A ARTE DA ELETRÔNICA

A RT O

F ELETRÔNICA

PAUL HOROWITZ WINFIELD HILL

TERCEIRO

EDIÇÃO

A arte da eletrônica

Terceira edição

Finalmente, aqui está a terceira edição completamente revisada, atualizada e há muito esperada do enorme sucesso *The Art of Electronics.* Amplamente aceito como o melhor texto oficial único e referência em projeto de circuitos eletrônicos, tanto analógicos quanto digitais, as duas primeiras edições foram traduzidas para oito idiomas e venderam mais de um milhão de cópias em todo o mundo. A arte da eletrônica é explicada enfatizando os métodos realmente usados pelos projetistas de circuitos – uma combinação de algumas leis básicas, regras práticas e um tratamento não matemático que incentiva a compreensão de por que e como um circuito funciona.

Paul Horowitz é professor pesquisador de Física e de Engenharia Elétrica na Universidade de Harvard, onde em 1974 criou o curso de Eletrônica Laboratorial do qual surgiu *a Arte da Eletrônica.* Além de seu trabalho em projeto de circuitos e instrumentação eletrônica, seus interesses de pesquisa incluem astrofísica observacional, raios-x e microscopia de partículas e interferometria óptica. Ele é um dos pioneiros da busca por vida inteligente além da Terra (SETI). Ele é o autor de cerca de 200 artigos e relatórios científicos, prestou ampla consultoria para a indústria e o governo e é o designer de vários instrumentos científicos e fotográficos.

Winfield Hill é, por inclinação, um guru de design de circuitos eletrônicos. Depois de abandonar o programa de pós-graduação em Física Química na Universidade de Harvard e obter um diploma de EE, ele começou sua carreira de engenheiro no Harvard's Electronics Design Center. Após 7 anos aprendendo eletrônica em Harvard, ele fundou a Sea Data Corporation, onde passou 16 anos projetando instrumentos para Oceanografia Física. Em 1988, ele foi recrutado por Edwin Land para ingressar no Rowland Institute for Science. Posteriormente, o instituto se fundiu com a Universidade de Harvard em 2003. Como diretor do Laboratório de Engenharia Eletrônica do instituto, ele projetou cerca de 500 instrumentos científicos. Interesses recentes incluem RF de alta tensão (até 15 kV), eletrônica pulsada de alta corrente (até 1200 A), amplificadores de baixo ruído (até sub-nV e pA) e geradores de pulso MOSFET.

Esta página foi intencionalmente deixada em branco

A ARTE DA ELETRÔNICA

Terceira edição

Paul Horowitz UNIVERSIDADE DE HARVARD

Colina Winfield INSTITUTO ROWLAND EM HARVARD



32 Avenue of the Americas, Nova York, NY 10013-2473, EUA

A Cambridge University Press faz parte da Universidade de Cambridge.

Ele promove a missão da Universidade, disseminando conhecimento na busca de educação, aprendizado e pesquisa nos mais altos níveis internacionais de excelência.

www.cambridge.org
Informações sobre este título: www.cambridge.org/9780521809269

Publicado pela primeira vez em 1980
Segunda edição 1989
Terceira edição 2015
7ª impressão 2016 com correções

Impresso nos Estados Unidos da América

Um registro de catálogo para esta publicação está disponível na Biblioteca Britânica.

ISBN 978-0-521-80926-9 Capa dura

Para Vida e Ava

Esta página foi intencionalmente deixada em branco

In Memoriam: Jim Williams, 1948-2011

Esta página foi intencionalmente deixada em branco

Machine Translated by Google

CONTEÚDO

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google

LISTA DE MESAS

Esta página foi intencionalmente deixada em branco

PREFÁCIO À PRIMEIRA EDIÇÃO

Este volume destina-se a ser um livro-texto de projeto de circuitos eletrônicos e um livro de referência; ele começa em um nível adequado para aqueles sem experiência anterior com a eletrônica e leva o leitor a um grau razoável de proficiência em projeto de circuitos eletrônicos. Usamos uma abordagem direta para as ideias essenciais do projeto de circuitos, juntamente com uma seleção aprofundada de tópicos. Tentamos combinar a abordagem pragmática do físico praticante com a abordagem quantitativa do engenheiro, que deseja um projeto de circuito cuidadosamente avaliado.

Este livro evoluiu de um conjunto de notas escritas para acompanhar um curso de um semestre em eletrônica de laboratório em Harvard. Esse curso tem um número variado de matrículas - alunos de graduação adquirindo habilidades para seu eventual trabalho na ciência ou na indústria, alunos de pós-graduação com um campo de pesquisa claramente em mente e alunos de pós-graduação avançados e pesquisadores de pós-doutorado que de repente se veem prejudicados por sua incapacidade para "fazer eletrônica".

Logo ficou claro que os livros didáticos existentes eram inadequados para tal curso. Embora existam excelentes tratamentos de cada especialidade eletrônica, escritos para a sequência planejada de um currículo de engenharia de quatro anos ou para o engenheiro praticante, aqueles livros que tentam abordar todo o campo da eletrônica parecem sofrer de detalhes excessivos (a síndrome do manual).), da simplificação exagerada (a síndrome do livro de receitas) ou do mau equilíbrio do material. Grande parte da pedagogia favorita dos livros didáticos iniciantes é bastante desnecessária e, de fato, não é usada por engenheiros praticantes, enquanto circuitos e métodos de análise úteis no uso diário por projetistas de circuitos estão ocultos em notas de aplicação, diários de engenharia e materiais difíceis de entender. obter livros de dados. Em outras palavras, há uma tendência entre os escritores de livros didáticos de representar a teoria, e não a arte, da eletrônica.

Colaboramos na redação deste livro com a intenção específica de combinar a disciplina de um engenheiro projetista de circuitos com a perspectiva de um físico experimental e professor de eletrônica. Assim, o tratamento neste livro reflete nossa filosofia de que a eletrônica, conforme praticada atualmente, é basicamente uma arte simples, uma combinação de algumas leis básicas, regras práticas e um grande saco de truques. Por essas razões, omitimos inteiramente o discussões usuais de física de estado sólido, o modelo de parâmetro h de transistores e teoria de rede complicada e reduziu ao mínimo a menção de linhas de carga e o plano s. O tratamento é em grande parte não matemático, com forte incentivo ao brainstorming do circuito e ao cálculo mental (ou, no máximo, no fundo do envelope) dos valores e desempenho do circuito.

Além dos assuntos normalmente tratados em livros de eletrônica, incluímos os seguintes:

• um modelo de transistor fácil de usar; • extensa discussão de subcircuitos úteis, como fontes de corrente e espelhos de corrente; • projeto de amplificador operacional de alimentação única; • discussões fáceis de entender sobre tópicos sobre os quais as informações de projeto prático são muitas vezes difíceis de encontrar: compensação de frequência de amp op, circuitos de baixo ruído, loops de bloqueio de fase e projeto linear de precisão; • desenho simplificado de filtros ativos, com tabelas e gráficos; • uma seção sobre ruído, blindagem e aterramento; • um método gráfico exclusivo para análise simplificada de amplificadores de baixo ruído; • um capítulo sobre referências de tensão e reguladores, incluindo fontes de corrente constante; • uma discussão sobre multivibradores monoestáveis e suas idiossincrasias; • uma coleção de patologia lógica digital e o que fazer

sobre isso;

• uma extensa discussão sobre a interface com a lógica, com ênfase nos novos NMOS e PMOS LSI; • uma discussão detalhada da tecnologia de conversão A/D e D/A

niques; •

uma seção sobre geração de ruído digital; • uma discussão sobre minicomputadores e interface com barramentos de dados, com uma introdução à linguagem assembly; • um capítulo sobre microprocessadores, com exemplos de projeto reais e discussão – como projetá-los em instrumentos e como fazê-los fazer o que você deseja; • um capítulo sobre técnicas de construção: prototipagem, placas de circuito impresso, design de instrumentos;

- uma maneira simplificada de avaliar o circuito de comutação de alta velocidade cozinhou;
- um capítulo sobre medição científica e processamento de dados: o que você pode medir e com que precisão, e o que fazer com os dados; • métodos de estreitamento de largura de banda esclarecidos: média de sinal, escalonamento multicanal, amplificadores lock-in e análise de altura de pulso; • coleções divertidas de "circuitos ruins" e coleções de

"idéias de circuito";
- apêndices úteis sobre como desenhar diagramas esquemáticos, tipos genéricos de IC, projeto de filtro *LC* , valores de resistores, osciloscópios, revisão matemática e outros; • tabelas de diodos, transistores, FETs, amplificadores operacionais, comparadores, reguladores, referências de tensão, microprocessadores e outros dispositivos, geralmente listando as características dos tipos mais populares e melhores.

Ao longo de tudo, adotamos uma filosofia de nomeação de nomes, muitas vezes comparando as características de dispositivos concorrentes para uso em qualquer circuito e as vantagens de configurações alternativas de circuito. Circuitos de exemplo são desenhados com tipos de dispositivos reais, não caixas pretas. A intenção geral é levar o leitor a entender claramente as escolhas que se faz ao projetar um circuito – como escolher as configurações do circuito, os tipos de dispositivos e os valores das peças. O uso de técnicas de projeto de circuitos amplamente não matemáticas não resulta em circuitos que cortam atalhos ou comprometem o desempenho ou a confiabilidade. Pelo contrário, essas técnicas aumentam a compreensão das escolhas reais e compromissos enfrentados na engenharia de um circuito e representam a melhor abordagem para um bom projeto de circuito.

Este livro pode ser usado para um curso de projeto de circuito eletrônico de um ano inteiro em nível universitário, com apenas um pré-requisito matemático mínimo; ou seja, alguma familiaridade com funções trigonométricas e exponenciais e, de preferência, um pouco de cálculo diferencial. (Uma breve revisão de números complexos e derivadas está incluída como um apêndice.)

Se as seções menos essenciais forem omitidas, pode servir como texto para um curso de um semestre (como acontece em Harvard).

Um manual de laboratório disponível separadamente, *Manual de Laboratório para a Arte da Eletrônica* (Horowitz e Robinson, 1981), contém vinte e três exercícios de laboratório, juntamente com leitura e atribuição de problemas relacionados ao texto.

Para auxiliar o leitor na navegação, designamos com caixas abertas na margem aquelas seções dentro de cada capítulo que sentimos que podem ser omitidas com segurança em uma leitura abreviada. Para um curso de um semestre provavelmente seria sensato omitir, além disso, os materiais do Capítulo 5 (primeira metade), 7, 12, 13, 14 e possivelmente 15, conforme explicado nos parágrafos introdutórios desses capítulos.

Gostaríamos de agradecer a nossos colegas por seus comentários atenciosos e assistência na preparação do manuscrito, particularmente Mike Aronson, Howard Berg, Dennis Crouse, Carol Davis, David Griesinger, John Hagen, Tom Hayes, Peter Horowitz, Bob Kline, Paliolios de Costas, Jay Sage e Bill Vetterling. Somos gratos a Eric Hieber e Jim Mobley, e a Rhona Johnson e Ken Werner, da Cambridge University Press, por seu trabalho criativo e altamente profissional.

Paul Horowitz

Colina Winfield

abril de 1980

PREFÁCIO À SEGUNDA EDIÇÃO

A eletrônica, talvez mais do que qualquer outro campo da tecnologia, teve um desenvolvimento explosivo nas últimas quatro décadas. Assim, foi com alguma apreensão que tentamos, em 1980, lançar um volume definitivo ensinando a arte do assunto. Por “arte” entendemos o tipo de domínio que vem de uma familiaridade íntima com circuitos reais, dispositivos reais e similares, em vez da abordagem mais abstrata frequentemente favorecida em livros didáticos de eletrônica. É claro que, em um campo em rápida evolução, essa abordagem de porcas e parafusos tem seus riscos – principalmente uma obsolescência assustadoramente rápida.

O ritmo da tecnologia eletrônica não nos decepcionou! Mal a tinta secou na primeira edição, nos sentimos tolos ao ler nossas palavras sobre “o clássico [2Kbyte]
2716 EPROM. . . com um preço de cerca de US $ 25. Eles são tão clássicos que você nem consegue mais comprá-los, tendo sido substituídos por EPROMs 64 vezes maiores e custando menos da metade do preço! Assim, um elemento importante desta revisão responde a dispositivos e métodos aprimorados – capítulos completamente reescritos sobre microcomputadores e microprocessadores (usando o IBM PC e o 68008) e capítulos substancialmente revisados sobre eletrônica digital (incluindo PLDs e as novas famílias lógicas HC e AC).), em amplificadores operacionais e design de precisão (refletindo a disponibilidade de excelentes amplificadores operacionais de entrada FET) e em técnicas de construção (incluindo CAD/CAM). Todas as tabelas foram revisadas, algumas substancialmente; por exemplo, na Tabela 4.1 (amplificadores operacionais) apenas 65% das 120 entradas originais sobreviveram, com 135 novos amplificadores operacionais adicionados.

Aproveitamos esta oportunidade para responder às sugestões dos leitores e às nossas próprias experiências usando e ensinando desde a primeira edição. Assim, reescrevemos o capítulo sobre FETs (era muito complicado) e o reposicionamos antes do capítulo sobre amplificadores operacionais (que são cada vez mais de construção FET). Adicionamos um novo capítulo sobre design de baixa potência e micropotência (tanto analógico quanto digital), um campo importante e negligenciado. A maioria dos capítulos restantes foi amplamente revisada. Acrescentamos muitas novas tabelas, incluindo conversores A/D e D/A, componentes lógicos digitais e dispositivos de baixa potência, e ao longo do livro expandimos o número de figuras. o O livro agora contém 78 tabelas (disponíveis separadamente como *The Horowitz and Hill Component Selection Tables)* e mais de 1000 figuras.

Ao longo da revisão, nos esforçamos para manter a sensação de informalidade e facilidade de acesso que tornou a primeira edição tão bem-sucedida e popular, tanto como referência quanto como texto. Estamos cientes da dificuldade que os alunos geralmente experimentam ao abordar a eletrônica pela primeira vez: o campo é densamente entrelaçado e não há um caminho de aprendizado que o leve, por etapas lógicas, de neófito a designer amplamente competente. Assim, adicionamos extensas referências cruzadas ao longo do texto; além disso, expandimos o Manual de *Laboratório* separado em um *Manual do Aluno (Manual do Aluno para a Arte da Eletrônica,* de Thomas C. Hayes e Paul Horowitz), completo com exemplos trabalhados adicionais de projetos de circuitos, material explicativo, tarefas de leitura , exercícios de laboratório e soluções para problemas selecionados. Ao oferecer um suplemento para estudantes, conseguimos manter este volume conciso e rico em detalhes, conforme solicitado por nossos muitos leitores que usam o volume principalmente como uma obra de referência.

Esperamos que esta nova edição responda a todas as necessidades de nossos leitores – tanto estudantes quanto engenheiros praticantes. Aceitamos sugestões e correções, que devem ser endereçadas diretamente a Paul Horowitz, Physics Department, Harvard University, Cambridge, MA 02138.

Ao preparar esta nova edição, agradecemos a ajuda que recebemos de Mike Aronson e Brian Matthews (AOX, Inc.), John Greene (Universidade da Cidade do Cabo), Jeremy Avigad e Tom Hayes (Harvard University), Peter Horowitz (EVI, Inc.), Don Stern e Owen Walker.
Agradecemos a Jim Mobley por sua excelente edição de texto, a Sophia Prybylski e David Tranah, da Cambridge University Press, por seu incentivo e dedicação profissional, e aos tipógrafos incansáveis da Rosenlaui Publishing Services, Inc. por sua composição magistral em TEX.

Por fim, no espírito da jurisprudência moderna, lembramos a leitura do aviso legal aqui anexo.

Paul Horowitz

Colina Winfield
março de 1989

Notícia legal

Neste livro tentamos ensinar as técnicas de projeto eletrônico, usando exemplos de circuitos e dados que acreditamos serem precisos. No entanto, os exemplos, dados e outras informações destinam-se apenas a auxiliar o ensino e não devem ser usados em nenhuma aplicação específica sem testes e verificações independentes por parte da pessoa que faz a inscrição. Testes e verificações independentes são especialmente importantes em qualquer aplicação em que o funcionamento incorreto possa resultar em ferimentos pessoais ou danos à propriedade.

Por esses motivos, não oferecemos garantias, expressas ou implícitas, de que os exemplos, dados ou outras informações As informações contidas neste volume estão livres de erros, são consistentes com os padrões da indústria ou atendem aos requisitos de qualquer aplicação específica.

OS AUTORES E A EDITORA REJEITAM EXPRESSAMENTE AS GARANTIAS IMPLÍCITAS DE COMERCIABILIDADE E DE ADEQUAÇÃO A QUALQUER FINALIDADE ESPECÍFICA, mesmo que os autores tenham sido avisados de uma finalidade específica e mesmo que uma finalidade específica seja indicada no livro. Os autores e a editora também se isentam de qualquer responsabilidade por danos diretos, indiretos, incidentais ou consequentes que resultem de qualquer uso dos exemplos, dados ou outras informações deste livro.

PREFÁCIO À TERCEIRA EDIÇÃO

A Lei de Moore continua a se afirmar, inabalável, desde a publicação da segunda edição há um quarto de século. Nesta nova terceira (e última!) edição, respondemos a esta reviravolta com grandes melhorias:

• uma ênfase em dispositivos e circuitos para *conversão A/ D* e D/A (Capítulo 13), porque os microcontroladores embarcados estão por toda parte • ilustração de CIs periféricos especializados para uso com microcontroladores (Capítulo 15) • discussões detalhadas sobre escolhas de famílias lógicas, e de interfacear sinais lógicos com o mundo real (Capítulos 10 e 12)

• tratamento amplamente expandido de tópicos importantes no es parte analógica essencial do projeto do instrumento:
– projeto de circuito de precisão (Capítulo 5) – projeto de baixo ruído (Capítulo 8) – comutação de energia (Capítulos 3, 9 e 12) – conversão de energia (Capítulo 9)

E adicionamos muitos tópicos totalmente novos, incluindo:

• áudio e vídeo digital (incluindo TV a cabo e satélite) • linhas de transmissão • simulação de circuito com SPICE • amplificadores de transimpedância • MOSFETs de modo de depleção • MOSFETs protegidos • drivers high-side • propriedades e osciladores de cristal de quartzo • uma exploração completa de JFETs • alta - reguladores de tensão • registradores de lógica de potência optoeletrônicos • conversores delta-sigma • tecnologias de memória de conversão multislope de precisão • barramentos seriais • "Designs by the Masters" ilustrativos

•

•

Nesta nova edição, também respondemos à realidade de que as edições anteriores foram entusiasticamente adotadas pela comunidade de projetistas de circuitos praticantes, embora *The Art of Electronics* (agora com 35 anos de publicação) tenha se originado como um livro didático. Portanto, continuamos com a abordagem "como *fazemos* " para o projeto de circuitos; e nós ex expandiu a profundidade do tratamento, enquanto (esperamos) reteve o acesso fácil e a explicação do básico. Ao mesmo tempo, separamos alguns dos materiais de ensino e laboratório especificamente relacionados ao curso em um volume separado *Aprendendo a Arte da Eletrônica* , uma expansão substancial da edição anterior do *Manual do Aluno para A Arte da Eletrônica* .

Os osciloscópios digitais tornaram mais fácil capturar, anotar e combinar formas de onda medidas, uma capacidade que exploramos ao incluir algumas capturas de tela de 90' que ilustram o comportamento dos circuitos de trabalho. Juntamente com essas doses de realidade, incluímos (em tabelas e gráficos) quantidades substanciais de dados medidos altamente úteis - como ruído do transistor e características de ganho (en, in, rbb; hfe, *gm,* goss), características de interruptores analógicos (RON , Qinj, capacitância), características de entrada e saída do amplificador operacional *(en* e em sobrefrequência, faixa de modo comum de entrada, oscilação de saída, recuperação automática de zero, distorção, pacotes disponíveis) e preços aproximados (!) tipo de dados muitas vezes enterrados ou omitidos em folhas de dados, mas que você precisa (e não tem tempo para

Trabalhamos diligentemente, ao longo dos 20 anos necessários para preparar esta edição, para incluir informações importantes sobre o projeto de circuitos, na forma de cerca de 350 gráficos, 50 fotografias e 87 tabelas (listando mais de 1.900 componentes ativos). , a última escolha inteligente de componentes de circuito listando características essenciais (especificadas e medidas) das peças disponíveis.

Devido à significativa expansão de tópicos e profundidade de detalhes, tivemos que deixar para trás alguns tópicos que foram tratados na segunda edição,2 apesar do uso de páginas maiores, fontes mais compactas e a maioria das figuras dimensionadas para caber em um único coluna. Alguns materiais relacionados adicionais que esperávamos incluir neste volume (sobre propriedades reais de componentes e tópicos avançados em BJTs, FETs, amplificadores operacionais e controle de potência) serão publicados em um próximo volume complementar, *The Art*

1 Ambos por Hayes, T. e Horowitz, P., Cambridge University Press, 1989 e 2016.

2 Que, no entanto, continuará disponível em e-book.

de Eletrônica: Os x-Capítulos. As referências neste volume às seções e figuras dos capítulos x estão em itálico.

Um site artofelectronics.com recém-atualizado fornecerá um lar para uma continuação das coleções da edição anterior de *ideias de circuitos* e *circuitos ruins;* esperamos que se torne uma comunidade, também, para um animado fórum de circuitos eletrônicos.

Como sempre, agradecemos correções e sugestões (e, é claro, cartas de fãs), que podem ser enviadas para horowitz@physics.harvard.edu ou para hill@rowland.harvard.edu.

Com gratidão. Por onde começar, para agradecer aos nossos inestimáveis colegas? Certamente no topo da lista está David Tranah, nosso incansável editor na nave-mãe da Cambridge University Press, nosso pivô, útil LATEXpert, sábio conselheiro de todas as coisas literárias e (você acreditaria?) *Compositor!* Esse cara percorreu 1.905 páginas de texto marcado, atualizando os arquivos de origem LATEX com correções de várias personalidades, inserindo alguns milhares de entradas de índice e fazendo tudo funcionar com suas mais de 1.500 figuras e tabelas vinculadas. E depois aguentar alguns autores exigentes. Estamos totalmente em dívida com David. Devemos a ele um litro de cerveja.

Somos gratos a Jim Macarthur, extraordinário projetista de circuitos, por sua leitura cuidadosa dos rascunhos dos capítulos e sugestões invariavelmente úteis para melhorias; nós adotamos cada um. Nosso colega Peter Lu nos ensinou as delícias do Adobe Illustrator e apareceu de repente quando saímos dos trilhos; os números do livro são testemunho da qualidade de suas aulas. E nosso sempre divertido colega Jason Gallicchio generosamente contribuiu com seus talentos de mestre em Mathematica para revelar graficamente as propriedades de conversão delta-sigma, controle não linear, funções de filtro; ele deixou sua marca, também, no capítulo do microcontrolador, contribuindo com sabedoria e código.

Por suas muitas contribuições úteis, agradecemos a Bob Adams, Mike Burns, Steve Cerwin, Jesse Colman, Michael Covington, Doug Doskocil, Jon Hagen, Tom Hayes, Phil Hobbs, Peter Horowitz, George Kontopidis, Maggie McFee, Curtis Mead, Ali Mehmed, Angel Peterchev, Jim Phillips, Marco Sartore, Andrew Speck, Jim Thompson, Jim van Zee, GuYeon Wei, John Willison, Jonathan Wolff, John Woodgate e Woody Yang. Agradecemos também a outros que (temos certeza) deixamos aqui de lado, com desculpas pela omissão. Colaboradores adicionais para o conteúdo do livro (circuitos, ferramentas inspiradas baseadas na web, medições incomuns, etc., de nomes como Uwe Beis, Tom Bruhns e John Larkin) são referenciados ao longo do livro no texto relevante.

Simon Capelin manteve-nos fora da estagnação com seu incentivo incansável e sua aparente incapacidade de nos repreender por prazos perdidos (nosso contrato previa a entrega do manuscrito finalizado em dezembro... de *1994!* Estamos apenas 20 anos atrasados). Na cadeia de produção, estamos em dívida com nossa gerente de projeto Peggy Rote, nossa editora Vicki Danahy e um elenco de artistas gráficos anônimos que converteram nossos esboços de circuitos a lápis em belos gráficos vetoriais.

Lembramos com carinho de nosso falecido colega e amigo Jim Williams por suas histórias maravilhosas de falhas e conquistas de circuitos, e por sua abordagem implacável ao projeto de circuitos de precisão. Sua atitude sem rodeios é um modelo para todos nós.

E, finalmente, somos eternamente gratos a nossas amorosas, solidárias e sempre tolerantes esposas Vida e Ava, que sofreram por décadas de abandono enquanto obcecávamos cada detalhe de nosso segundo bis.

Uma nota sobre as ferramentas. As tabelas foram montadas no Microsoft Excel e os dados gráficos foram plotados com o Igor Pro; ambos foram então embelezados com o Adobe Illustrator, com texto e anotações no tipo de letra sem serifa Helvetica Neue LT. As capturas de tela do osciloscópio são de nossas confiáveis "lancheiras" Tek tronix TDS3044 e 3054, tiradas para terminar a escola no Illustrator, por meio do Photoshop. As fotos do livro foram tiradas principalmente com duas câmeras: uma câmera Calumet Horseman 6×9 cm com uma lente Schneider Symmar *f* / 5.6 de 105 mm e rolo de filme Kodak Plus X 120 (revelado em Microdol-X 1:3 em 75ÿF e digitalizada com um scanner multiformato Mamiya) e uma Canon 5D com uma lente Scheimpflug[3] de 90 mm com inclinação e deslocamento. Os autores redigiram o manuscrito em LATEX, utilizando o software PCTEX da Personal TeX, Incorporated. O texto é definido no Times New Roman e Helvetica tipos de letra, o primeiro datado de 1931,[4] o segundo desenhado em 1957 por Max Miedinger.

Paul Horowitz

Colina Winfield

janeiro de 2015

Cambridge, Massachusetts

*****

[3] O que é *isso?* Google-lo!

[4] Desenvolvido em resposta a uma crítica ao tipo de letra antiquado no *The Times* (Londres).

Machine Translated by Google

Adendo de Aviso Legal Além

do Aviso Legal anexado ao Prefácio da Segunda Edição, também não fazemos nenhuma representação sobre se o uso dos exemplos, dados ou outras informações neste volume pode infringir os direitos de propriedade intelectual de terceiros, incluindo os EUA e patentes estrangeiras. É responsabilidade exclusiva do leitor garantir que ele ou ela não esteja infringindo nenhum direito de propriedade intelectual, mesmo para uso que seja considerado experimental por natureza. Ao usar qualquer um dos exemplos, dados ou outras informações neste volume, o leitor concorda em assumir toda a responsabilidade por quaisquer danos decorrentes ou relacionados a tal uso, independentemente de tal responsabilidade ser baseada em propriedade intelectual ou qualquer outra causa. de ação, e independentemente de os danos serem diretos, indiretos, incidentais, consequentes ou de qualquer outro tipo. Os autores e a editora se isentam de qualquer responsabilidad

Esta página foi intencionalmente deixada em branco

FUNDAÇÕES

CAPÍTULO 1

1.1 Introdução

O campo da eletrônica é uma das grandes histórias de sucesso do século XX. Dos primitivos transmissores centelhadores e detectores de "bigodes de gato" em seu início, o primeiro meio século trouxe uma era de eletrônica de tubo de vácuo que desenvolveu considerável sofisticação e encontrou aplicação imediata em áreas como comunicações, navegação, instrumentação , controle e computação. O último meio século trouxe a eletrônica de "estado sólido" – primeiro como transistores discretos, depois como magníficos conjuntos deles dentro de "circuitos integrados" (ICs) – em uma enxurrada de avanços impressionantes que não mostram sinais de diminuir. Produtos de consumo compactos e baratos agora contêm muitos milhões de transistores em chips VLSI (integração em grande escala), combinados com optoeletrônicos elegantes (displays, lasers e assim por diante); eles podem processar sons, imagens e dados e (por exemplo) permitir redes sem fio e acesso no bolso da camisa aos recursos agrupados da Internet. Talvez também digna de nota seja a agradável tendência de maior desempenho por dólar.[1] O custo de um microcircuito eletrônico diminui rotineiramente para uma fração de seu custo inicial à medida que o processo de fabricação é aperfeiçoado (consulte a Figura 10.87 para obter um exemplo). Na verdade, é frequente que os controles do painel e o hardware do gabinete de um instrumento custem mais do que os componentes eletrônicos internos.

Ao ler esses excitantes novos desenvolvimentos em eletrônica, você pode ter a impressão de que deve ser capaz de construir pequenos gads poderosos, elegantes, porém baratos, capazes de realizar quase todas as tarefas concebíveis - tudo o que você precisa saber é como todos esses milagres dispositivos funcionam. Se você já teve esse sentimento, este livro é para você. Nele, tentamos transmitir a emoção e o know-how do assunto da eletrônica.

Neste capítulo, começamos o estudo das leis, regras práticas e truques que constituem a arte da eletrônica como a vemos. É preciso começar do começo – falando de tensão, corrente, potência e os componentes que compõem

Circuitos eletrônicos. Como você não pode tocar, ver, cheirar ou ouvir eletricidade, haverá uma certa quantidade de abstração (particularmente no primeiro capítulo), bem como alguma dependência de instrumentos de visualização como osciloscópios e voltímetros. De muitas maneiras, o primeiro capítulo também é o mais matemático, apesar de nossos esforços para manter a matemática no mínimo, a fim de promover uma boa compreensão intuitiva do design e comportamento do circuito.

Nesta nova edição, incluímos algumas aproximações que auxiliam a intuição que nossos alunos acharam úteis. E, introduzindo um ou dois componentes "ativos" antes de seu tempo, podemos saltar diretamente para algumas aplicações que normalmente são impossíveis em um capítulo tradicional de "eletrônica passiva" de um livro didático; isso manterá as coisas interessantes e até excitantes.

Uma vez que tenhamos considerado os fundamentos da eletrônica, entraremos rapidamente nos circuitos ativos (amplificadores, osciladores, circuitos lógicos, etc.) que fazem da eletrônica o campo excitante que é. O leitor com alguma experiência em eletrônica pode pular este capítulo, uma vez que não pressupõe nenhum conhecimento prévio de eletrônica. Outras generalizações neste momento seriam inúteis, então vamos mergulhar de cabeça.

1.2 Tensão, corrente e resistência 1.2.1

Tensão e corrente

Existem duas grandezas que gostamos de acompanhar em circuitos eletrônicos: tensão e corrente. Estes geralmente mudam com o tempo; caso contrário, nada de interessante está acontecendo.

Tensão (símbolo *V* ou às vezes E). Oficialmente, a voltagem entre dois pontos é o custo em energia (trabalho realizado) necessário para mover uma unidade de carga positiva do ponto mais negativo (potencial mais baixo) para o ponto mais positivo (potencial mais alto). Equivalentemente, é a energia liberada quando uma unidade de carga se move "para baixo" do potencial mais alto para o mais baixo.[2] A voltagem também é chamada

[1] Um computador de meados do século (o IBM 650) custava US$ 300.000, pesava 2,7 toneladas e continha 126 lâmpadas em seu painel de controle; em uma reversão divertida, uma lâmpada contemporânea com eficiência energética contém um computador de maior capacidade *em sua base* e custa cerca de US$ 10.

[2] Estas são as *definições,* mas dificilmente a maneira como os projetistas de circuitos pensam em tensão. Com o tempo, você desenvolverá um bom senso intuitivo do que realmente é a voltagem em um circuito eletrônico. Grosso modo *(muito* grosso), as tensões são o que você aplica para fazer com que as correntes fluam.

diferença de potencial ou *força eletromotriz* (EMF). A unidade de medida é o *volt,* com tensões geralmente expressas em volts (V), kilovolts (1 kV = 103 V), milivolts (1 mV = 10ÿ3 V) ou microvolts (1 V = 10ÿ6 V) (veja a caixa sobre prefixos). Um joule (J) de trabalho é realizado ao mover um coulomb (C) de carga através de uma diferença de potencial de 1 V. (O coulomb é a unidade de carga elétrica e é igual à carga de aproximadamente 6×1018 elétrons .) Por razões que ficarão claras mais tarde, as oportunidades para falar sobre nanovolts (1 nV = 10ÿ9 V) e megavolts (1 MV = 106 V) são raras.

Corrente (símbolo I). A corrente é a taxa de fluxo de carga elétrica passando por um ponto. A unidade de medida é o ampere, ou ampère, com correntes geralmente expressas em amperes (A), miliampères (1 mA = 10ÿ3 A), microam A = 10ÿ6 A), nanoampères (1 nA = 10ÿ9 A), e ocasionalmente picoampères (1 pA = 10ÿ12 A). Uma corrente de 1 ampère equivale a um fluxo de 1 coulomb de carga por segundo. Por convenção, considera-se que a corrente em um circuito flui de um ponto mais positivo apontam para um ponto mais negativo, mesmo que o fluxo real de elétrons esteja na direção oposta.

Importante: a partir dessas definições, você pode ver que as correntes fluem *através* das coisas e as tensões são aplicadas (ou aparecem) *nas* coisas. Portanto, você deve dizer corretamente: sempre se refira à tensão *entre* dois pontos ou *entre* dois pontos em um circuito. Sempre se refira à corrente *através* de um dispositivo ou conexão em um circuito.

Dizer algo como "a tensão através de um resistor" é um absurdo. No · · · entanto, falamos frequentemente da tensão *em um ponto* de um circuito. Isso sempre é entendido como a tensão entre esse ponto e o "terra", um ponto comum no circuito que todos parecem conhecer.

Em breve você também.

Geramos *tensões* realizando trabalho sobre cargas em dispositivos como baterias (conversão de energia eletroquímica), geradores (conversão de energia mecânica por forças magnéticas), células solares (conversão fotovoltaica da energia dos fótons) , etc. a voltagem envelhece através das coisas.

Neste ponto, você pode estar se perguntando como "ver" tensões e correntes. O instrumento eletrônico mais útil é o osciloscópio, que permite observar as tensões (ou, ocasionalmente, as correntes) em um circuito em função do tempo . ; para uma prévia, consulte o Apêndice O e a caixa do multímetro mais adiante neste capítulo.

Em circuitos reais, conectamos coisas com fios (condutores metálicos), cada um dos quais tem a mesma voltagem em todos os lugares (em relação ao terra, digamos).[4] Mencionamos isso agora para que você perceba que um circuito real não t tem que se parecer com seu diagrama esquemático, porque os fios podem ser reorganizados.

Aqui estão algumas regras simples sobre tensão e corrente:

1. A soma das correntes em um ponto de um circuito é igual à soma das correntes de saída (conservação de carga). Isso às vezes é chamado de lei atual de Kirchhoff (KCL). Os engenheiros gostam de se referir a esse ponto como um *nó.* Segue-se que, para um circuito em série (um monte de coisas de dois terminais todos conectados de ponta a ponta), a corrente é a mesma em todos os lugares.

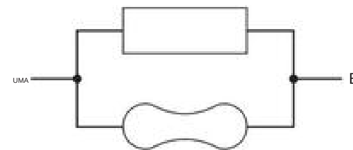


Figura 1.1. Conexão paralela.

2. Coisas ligadas em paralelo (Figura 1.1) têm a mesma tensão entre elas. Reformulado, a soma das "quedas de tensão" de *A* para *B* através de um caminho através de um circuito é igual à soma de qualquer outra rota e é simplesmente a tensão entre *A* e B. Outra maneira de dizer isso é que a soma da tensão cai em qualquer circuito fechado é zero.

   Esta é a lei de tensão de Kirchhoff (KVL).
3. A potência (energia por unidade de tempo) consumida por um circuito dispositivo é

$$P = V I \tag{1.1}$$

   Isso é simplesmente (energia/carga) × (carga/tempo). Para *V* em volts e *I* em amperes, *P* sai em watts. Um watt é um joule por segundo (1W = 1 J/s). Assim, por exemplo, a corrente que flui através de uma lâmpada de 60 W funcionando com 120 V é 0,5 A.

A energia se transforma em calor (geralmente) ou, às vezes, trabalho mecânico (motores), energia irradiada (lâmpadas, transmissores) ou energia armazenada (baterias, capacitores, indutores). Gerenciar a carga de calor em um sistema complicado (por exemplo, um grande computador, no qual muitos quilowatts de energia elétrica são convertidos em calor, com o subproduto energeticamente insignificante de algumas páginas de resultados computacionais) pode ser uma parte crucial do sistema Projeto.

[3] Já foi dito que os engenheiros de outras disciplinas têm inveja dos engenheiros elétricos, porque temos uma ferramenta de visualização tão esplêndida.

[4] No domínio de altas frequências ou baixas impedâncias, isso não é estritamente verdade, e teremos mais a dizer sobre isso mais tarde, e no Capítulo *1x.* Por enquanto, é uma boa aproximação.

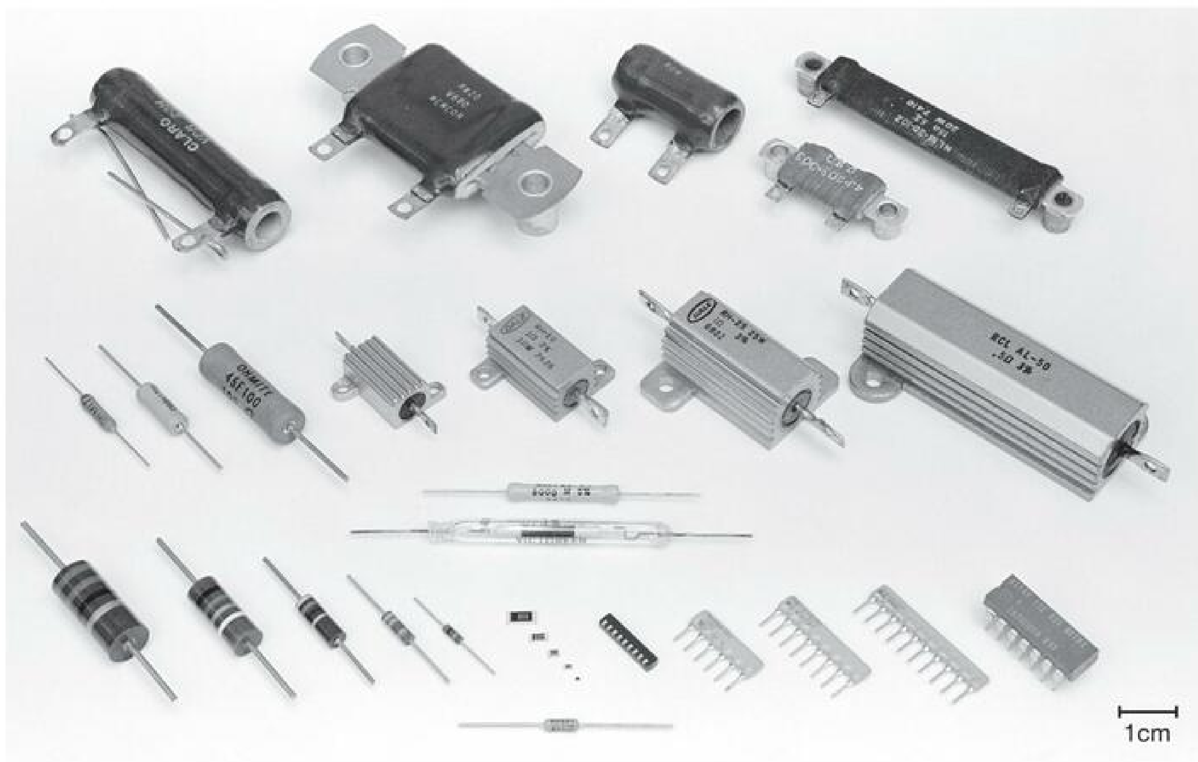


Figura 1.2. Uma seleção de tipos de resistores comuns. Fila superior, da esquerda para a direita (resistores de potência de cerâmica enrolados): esmalte vítreo de 20 W com terminais, 20 W com pinos de montagem, esmalte vítreo de 30 W, 5 W e 20 W com pinos de montagem. Fila do meio (resistores de potência de fio enrolado): cerâmica axial de 1 W, 3 W e 5 W; 5 W, 10 W, 25 W e 50 W refrigerados por condução ("tipo Dale"). Linha inferior: composição de carbono 2W, 1W, 2W, 4W e 8W; [illegible] superfície [illegible], de montagem em superfície; matrizes de encapsulamento em linha simples de 6, 8 e 10 pinos; matriz de pacotes em linha dupla. O resistor na parte inferior é o onipresente RN55D 4W, tipo filme de metal de 1%; e o par de resistores acima são do tipo Victoreen de alta resistência (vidro, 2 Gÿ; cerâmica, 5 Gÿ).

Em breve, quando lidarmos com tensões e correntes que variam periodicamente, teremos que generalizar a equação simples $P = VI$ para lidar com a potência *média ,* mas está correta como uma declaração de potência *instantânea* exatamente como está.

Aliás, não chame a corrente de "amperagem"; isso é estritamente bush league.5 O mesmo cuidado se aplica ao termo "ohmage"6 quando chegarmos à resistência no próximo seção.

1.2.2 Relação entre tensão e corrente: resistores

Esta é uma história longa e interessante. É o coração da eletrônica. Grosso modo, o nome do jogo é fazer e usar dispositivos que tenham características I-versus *V* interessantes e úteis . Resistores *(I* simplesmente proporcional a V), capacitores *(I* proporcional à taxa de mudança de V), diodos *(I* flui em apenas uma direção), termistores (resistor dependente da temperatura), fotoresistores (resistor dependente da luz), medidores de tensão (resistor dependente da tensão), etc., são exemplos. Talvez ainda mais interessantes sejam os dispositivos *de três terminais ,* como os transistores, nos quais a corrente que pode fluir entre um par de terminais é controlada pela tensão aplicada a um terceiro terminal. Entraremos gradualmente em alguns desses dispositivos exóticos; por enquanto, começaremos com o elemento de circuito mais comum (e mais usado), o resistor (Figura 1.3).



Figura 1.3. Resistor.

A. Resistência e resistores É um fato interessante que a corrente através de um condutor metálico (ou outro material parcialmente condutor) é proporcional à tensão através dele. (No caso de fio

[5] A menos que você seja um engenheiro de energia trabalhando com transformadores gigantes de 13 kV e similares - esses caras podem dizer amperagem. 6 . . . também, cara, "ohmage" não é a nomenclatura preferida: *resistência,* por favor.

PREFIXOS

Múltiplo	*Prefixo*	*Símbolo*	*Derivação*
1024 1021	yotta	Y	final-1 do alfabeto latino, dica do *iota* grego fim do
1018 1015	zetta	A PARTIR DE	alfabeto latino, dica do *zeta* grego
1012 109	exa	E	*Hexa* grego (seis: poder de 1000)
106 103	peta	P	*Penta* grego (cinco: poder de 1000)
10ÿ3 10ÿ6	tera	T	*Terraços* gregos (monstros)
10ÿ9	gig	G	grego *gigas* (gigante)
10ÿ12	mega	M	*Megas* gregos (ótimo)
10ÿ15	quilo	k	*khilioi* grego (mil)
10ÿ18	mili	m	latim *mili* (mil)
10ÿ21	micro	m	*mikros* gregos (pequeno)
10ÿ24	nano	n	Grego *nanos* (anão) do
	pico	pf	italiano/espanhol *flautim/ pico* (pequeno)
	femto		*Femten* dinamarquesa/norueguesa (quinze)
	ato	uma	Dinamarquês/Norueguês *atten* (dezoito)
	zepto	Com	final do alfabeto latino, espelha *zetta* final-1
	yocto	Y	do alfabeto latino, espelha *yotta*

Esses prefixos são usados universalmente para dimensionar unidades em ciência e engenharia. Suas derivações etimológicas são objeto de alguma controvérsia e não devem ser consideradas historicamente confiáveis. Ao abreviar uma unidade com um prefixo, o símbolo da unidade segue o prefixo sem espaço. Tenha cuidado com letras maiúsculas e minúsculas (especialmente m e M) tanto no prefixo quanto na unidade: 1 mW é um miliwatt, ou um milésimo de watt; 1 MHz é um megahertz ou 1 milhão de hertz. Em geral, as unidades são escritas com letras minúsculas, mesmo quando são derivadas de nomes próprios. O nome da unidade não é capitalizado quando é soletrado e usado com um prefixo, apenas quando abreviado. Assim: hertz e quilohertz, mas Hz e kHz; watt, miliwatt e megawatt, mas W, mW e MW.

condutores usados em circuitos, geralmente escolhemos um fio grosso o suficiente para que essas "quedas de tensão" sejam desprezíveis.) Esta não é de forma alguma uma lei universal para todos os objetos. Por exemplo, a corrente através de uma lâmpada de néon é uma função altamente não linear da tensão aplicada (é zero até uma tensão crítica, ponto em que sobe dramaticamente).
O mesmo vale para uma variedade de dispositivos especiais interessantes – diodos, transistores, lâmpadas, *etc.* .

Um resistor é feito de algum material condutor (carbono, ou um metal fino ou filme de carbono, ou fio de baixa condutividade), com um fio ou contatos em cada extremidade. Caracteriza-se pela sua resistência:

$$R = V/I; \tag{1.2}$$

R está em ohms para *V* em volts e *I* em amperes. Isso é conhecido como lei de Ohm. Resistores típicos do tipo usado com mais frequência (filme de óxido metálico, filme de metal ou filme de carbono) vêm em valores de 1 ohm (1 ÿ) a cerca de 10 megohms (10 Mÿ).
Os resistores também são caracterizados por quanta potência eles podem dissipar com segurança (os mais comumente usados são classificados em 1/4 ou 1/8 W), seu tamanho físico[7] e por outros parâmetros, como tolerância (precisão), coeficiente de temperatura , ruído, coeficiente de tensão (a medida em que *R* depende de V aplicado), estabilidade com o tempo, indutância, etc.
Consulte a caixa sobre resistores, Capítulo *1x* e Apêndice C para obter mais detalhes. A Figura 1.2 mostra uma coleção de resistores, com a maioria das morfologias disponíveis representadas.

Grosso modo, os resistores são usados para converter um

[7] Os tamanhos dos *resistores de chip* e outros componentes destinados à montagem em superfície são especificados por um código de tamanho de quatro dígitos, no qual cada par de dígitos especifica uma dimensão em unidades de 0,010 (0,25 mm). Por exemplo, um resistor de tamanho 0805 é 2 mm × 1,25 mm ou 80 mils × 50 mils (1 mil é 0,001); a altura deve ser especificada separadamente. Para adicionar confusão a este esquema simples, o código de tamanho de quatro dígitos pode ser *métrico* (às vezes sem dizer isso!), Em unidades de 0,1 mm: portanto, um "0805" (Inglês) também é um "2012" (métrica).

RESISTORES

Os resistores são verdadeiramente onipresentes. Existem quase tantos tipos quanto aplicações. Os resistores são usados em amplificadores como cargas para dispositivos ativos, em redes de polarização e como elementos de realimentação. Em combinação com capacitores, eles estabelecem constantes de tempo e atuam como filtros. Eles são usados para definir correntes de operação e níveis de sinal. Os resistores são usados em circuitos de energia para reduzir tensões por meio da dissipação de energia, para medir correntes e para descarregar capacitores depois que a energia é removida. Eles são usados em circuitos de precisão para estabelecer correntes, fornecer relações de tensão precisas e definir valores de ganho precisos. Em circuitos lógicos eles atuam como terminadores de barramento e linha e como resistores "pullup" e "pull-down". Em circuitos de alta tensão, eles são usados para medir tensões e equalizar correntes de fuga entre diodos ou capacitores conectados em série. Em circuitos de radiofrequência (RF), eles definem a largura de banda dos circuitos ressonantes e são até usados como formas de bobina para indutores.

Os resistores estão disponíveis com resistências de 0,0002 ÿ a 1.012 ÿ, potência padrão de 1/8 watt a 250 watts e precisão de 0,005% a 20%. Os resistores podem ser feitos de filmes de metal, filmes de óxido de metal ou filmes de carbono; da composição de carbono ou molduras de composição cerâmica; de folha de metal ou fio de metal enrolado em uma forma; ou de elementos semicondutores semelhantes a transistores de efeito de campo (FETs). O tipo de resistor mais comumente usado é formado a partir de um filme de carbono, metal ou óxido, e vem em dois "pacotes" amplamente usados: o tipo cilíndrico *axial de chumbo* (tipificado pelo genérico RN55D 1% 1/4 W metal-film resistor)8 e o muito menor " *resistor de chip*". Esses tipos comuns vêm em tolerâncias de 5%, 2% e 1%, em um conjunto padrão de valores que variam de 1 ÿ a 10 Mÿ. Os tipos 1% têm 96 valores por década, enquanto os tipos 2% e 5% têm 48 e 24 valores por década (consulte o Apêndice C). A Figura 1.2 ilustra a maioria dos pacotes de resistores comuns.

Os resistores são tão fáceis de usar e bem comportados que muitas vezes são subestimados. Eles não são perfeitos, porém, e você deve estar ciente de algumas de suas limitações para não ser surpreendido algum dia. Os principais defeitos são variações na resistência com temperatura, voltagem, tempo e umidade. Outros defeitos estão relacionados à indutância (que pode ser grave em altas frequências), ao desenvolvimento de pontos quentes térmicos em aplicações de energia ou à geração de ruído elétrico em amplificadores de baixo ruído. Tratamos disso no capítulo avançado *1x.*

tensão em corrente, e vice-versa. Isso pode soar totalmente banal, mas você logo verá o que queremos dizer.

B. Resistores em série e paralelo Da definição de R, seguem alguns resultados simples:

1. A resistência de dois resistores em série (Figura 1.4) é

$$R = R1 + R2. \quad (1.3)$$

Ao colocar resistores em série, você sempre obtém um resistor *maior* .

2. A resistência de dois resistores em paralelo (Figura 1.5) é

$$R = \frac{R1R2}{R1 + R2} \quad \text{ou } R = \frac{1}{\frac{1}{R1} + \frac{1}{R2}}. \quad (1.4)$$

Ao colocar resistores em paralelo, você sempre obtém um resistor *menor* . A resistência é medida em ohms (ÿ), mas, na prática, frequentemente omitimos o símbolo ÿ quando nos referimos a resistores com mais de 1.000 ÿ (1 kÿ). Assim, um resistor de 4,7 kÿ costuma ser chamado de resistor de 4,7 k, e um resistor de 1 Mÿ resistor como um resistor de 1M (ou 1 meg).9 Se essas preliminares o aborrecem, por favor, tenha paciência – em breve chegaremos a inúmeras aplicações divertidas.



Figura 1.4. Resistores em série.

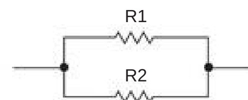


Figura 1.5. Resistores em paralelo.

Exercício 1.1. Você tem um resistor de 5k e um resistor de 10k. Qual é a resistência combinada (a) em série e (b) em paralelo?

Exercício 1.2. Se você colocar um resistor de 1 ohm em uma bateria de carro de 12 volts, quanta energia ele dissipará?

Exercício 1.3. Prove as fórmulas para resistores em série e em paralelo.

8 Com classificação conservadora em 1/8 watt em seu grau militar RN55 ("especificação MIL"), mas classificado em 1/4 watt em seu grau industrial CMF-55.

9 Uma popular notação alternativa "internacional" substitui o ponto decimal pelo multiplicador da unidade, portanto 4k7 ou 1M0. Um resistor de 2,2 ÿ torna-se 2R2. Existe um esquema análogo para capacitores e indutores.

Exercício 1.4. Mostre que vários resistores em paralelo têm resistência tância

$$R = \frac{1}{\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} + \cdots} \qquad (1.5)$$

Iniciantes tendem a se empolgar com álgebra complicada ao projetar ou tentar entender a eletrônica. Agora é a hora de começar a aprender a intuição e os atalhos. Aqui estão alguns bons truques:

Atalho #1 Um resistor grande em série (paralelo) com um resistor pequeno tem aproximadamente a resistência do maior (menor). Assim, você pode "aparar" o valor de um resistor para cima ou para baixo conectando um segundo resistor em série ou paralelo: para ajustar , escolha um valor de resistor disponível abaixo do valor alvo e adicione um resistor em série (muito menor) para compensar A diferença; para reduzir , escolha um valor de resistor disponível acima do valor alvo e, em seguida, conecte um resistor (muito maior) em paralelo. Para o último, você pode aproximar com proporções – para diminuir o valor de um resistor em 1%, digamos, coloque um resistor 100 vezes maior em paralelo.[10] **Atalho nº 2** Suponha que você queira a resistência de 5k em paralelo com 10k. Se você pensar nos 5k como dois 10k em paralelo, todo o circuito é como três 10k em paralelo. Como a resistência de *n* resistores iguais em paralelo é *1/* nº da resistência dos resistores individuais, a resposta nesse caso é 10k/3, ou 3,33k. Esse truque é útil porque permite que você analise circuitos rapidamente em sua cabeça, sem distrações. Queremos encorajar o design mental, ou pelo menos o design "atrás do envelope", para o brainstorming de ideias.

Um pouco mais de filosofia doméstica: há uma tendência entre os iniciantes em querer calcular os valores do resistor e outros valores de componentes do circuito em muitos lugares significativos, particularmente com calculadoras e computadores que prontamente o obrigam. Há duas razões pelas quais você deve tentar evitar cair nesse hábito: (a) os próprios componentes são de precisão finita (resistores normalmente têm tolerâncias de ±5% ou ±1%; para capacitores é tipicamente ±10% ou ±5%; e os parâmetros que caracterizam os transistores, digamos, freqüentemente são conhecidos apenas por um fator de 2); (b) uma marca de um bom projeto de circuito é a insensibilidade do circuito acabado a valores precisos dos componentes (há exceções, é claro). Você também aprenderá a intuição do circuito mais rapidamente se adquirir o hábito de fazer cálculos aproximados de cabeça, em vez de assistir a números sem sentido aparecerem no visor de uma calculadora. Acreditamos fortemente que a confiança em fórmulas e equações no início de seu circuito eletrônico a educação é uma ótima maneira de impedir que você entenda o que realmente está acontecendo.

Ao tentar desenvolver a intuição sobre a resistência, algumas pessoas acham útil pensar na *condutância, G = 1/ R.* A corrente através de um dispositivo de condutância *G* ponteando uma tensão *V* é então dada por *I = GV* (lei de Ohm). Uma pequena resistência é uma grande condutância, com corrente correspondentemente grande sob a influência de uma tensão aplicada. Vista sob esta luz, a fórmula para resistores paralelos é óbvia: quando vários resistores ou caminhos condutores são conectados através da mesma tensão, a corrente total é a soma das correntes individuais. Portanto, a condutância líquida é simplesmente a soma das condutâncias individuais, $G = G_1 + G_2 + G_3 + \cdots$, que é a mesma fórmula para resistores paralelos derivada anteriormente.

Os engenheiros gostam de definir unidades recíprocas e designaram como unidade de condutância o siemens (S = 1/ÿ), também conhecido como mho (que é ohm escrito ao contrário, devido ao símbolo). Embora o conceito de condutância seja útil no desenvolvimento da intuição, ele não é amplamente utilizado;[11] a maioria das pessoas prefere falar sobre resistência.

C. Potência em resistores

A potência dissipada por um resistor (ou qualquer outro dispositivo) é $P = IV$. Usando a lei de Ohm, você pode obter as formas equivalentes $P = I^2R$ e $P = V^2/R$.

Exercício 1.5. Mostre que não é possível exceder a potência nominal de um resistor de 1/4 watt de resistência maior que 1k, não importa como você o conecte, em um circuito operando com uma bateria de 15 volts.

Exercício 1.6. Exercício opcional: a cidade de Nova York requer cerca de 1.010 watts de energia elétrica, a 115 volts[12] (isso é plausível: 10 milhões de pessoas com média de 1 quilowatt cada). Um cabo de força pesado pode ter uma polegada de diâmetro. Vamos calcular o que acontecerá se tentarmos fornecer a energia através de um cabo de 1 pé de diâmetro ÿ (5×10ÿ8 ohms) feito de cobre puro. Sua resistência é de 0,05 por pé. Calcule (a) a potência perdida por pé de "perdas I2R ", (b) o comprimento do cabo no qual você perderá todos os 1010 watts e (c) quão quente o cabo ficará, se você souber a física envolvida = 6 ×10ÿ12W/K4 cm2). absorvo. Se você fez esse cálculo corretamente, o resultado deve parecer Qual é a solução para este quebra-cabeça?

[10] Com um erro, neste caso, de apenas 0,01%.

[11] Embora o elegante *teorema de Millman* tenha seus admiradores: ele diz que a tensão de saída de um conjunto de resistores (chamados de *Ri)* que são acionados por um conjunto de tensões de entrada correspondentes *(Vi)* e conectados juntos na saída é *Vout=(ÿViGi)/ ÿGi,* onde *Gi* são as condutâncias (Gi=1/Ri).

[12] Embora a tensão de linha "oficial" seja de 120 V ± 5%, às vezes você verá 110 V, 115 V ou 117 V. Essa linguagem solta é aceitável (e a usamos neste livro), porque (a) a mediana a voltagem no plugue da parede é 3 a 5 volts mais baixa, ao ligar coisas; e (b) a voltagem *mínima* da tomada é 110 V. Consulte o padrão ANSI C84.1.

D. Entrada e saída Quase todos os circuitos eletrônicos aceitam algum tipo de *entrada* aplicada (geralmente uma tensão) e produzem algum tipo de *saída* correspondente (que também é frequentemente uma tensão). Por exemplo, um amplificador de áudio pode produzir uma tensão de saída (variável) que é 100 vezes maior que uma tensão de entrada (variando de forma semelhante). Ao descrever tal amplificador, imaginamos medir a tensão de saída para uma dada tensão de entrada aplicada. Os engenheiros falam da *função de transferência* H, a razão entre a saída (medida) dividida pela entrada (aplicada); para o amplificador de áudio acima, **H** é simplesmente uma constante (**H** = 100). Chegaremos aos amplificadores em breve, no próximo capítulo. No entanto, apenas com resistores já podemos ver um fragmento de circuito muito importante, o *divisor de tensão* (que você pode chamar de "desamplificador").

1.2.3 Divisores de tensão

Agora chegamos ao assunto do divisor de tensão, um dos fragmentos de circuitos eletrônicos mais difundidos. Mostre-nos qualquer circuito da vida real e mostraremos meia dúzia de divisores de voltagem. Simplificando, um divisor de tensão é um circuito que, dada uma certa entrada de tensão, produz uma fração previsível da tensão de entrada como a tensão de saída.
O divisor de tensão mais simples é mostrado na Figura 1.6.

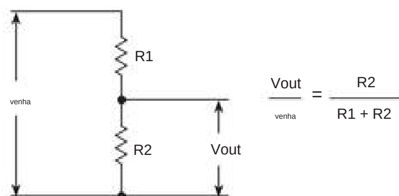


Figura 1.6. Divisor de tensão. Uma tensão aplicada Vin resulta em uma tensão de saída (menor) Vout.

Uma palavra importante de explicação: quando os engenheiros desenham um circuito como este, geralmente é assumido que o Vin à esquerda é uma tensão que você está aplicando ao circuito e que o Vout à direita é a tensão de saída resultante (produzida pelo circuito) que você está medindo (ou pelo menos está interessado). Você deve saber tudo isso (a) por causa da convenção de que os sinais geralmente fluem da esquerda para a direita, (b) pelos nomes sugestivos ("dentro", "fora") dos sinais e (c) pela familiaridade com circuitos como este. Isso pode ser confuso no começo, mas com o tempo fica fácil.

O que é Vout? Bem, a corrente (a mesma em todos os lugares, sem "carga" na saída; ou seja, nada conectado na saída) é

$$eu = \frac{\text{venha}}{R1 + R2}.$$

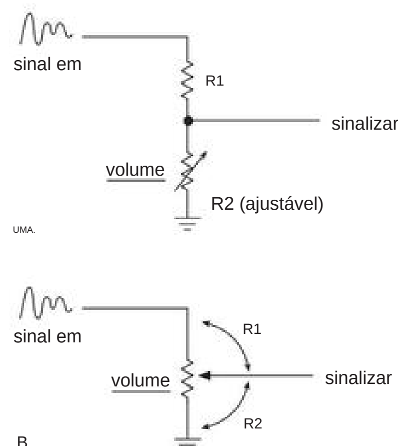


Figura 1.7. Um divisor de tensão ajustável pode ser feito de um resistor fixo e variável ou de um potenciômetro. Em alguns circuitos contemporâneos, você encontrará, em vez disso, uma longa cadeia em série de resistores de valor igual, com um arranjo de chaves eletrônicas que permite escolher qualquer uma das junções como saída; isso parece muito mais complicado - mas tem a vantagem de poder ajustar a taxa de tensão eletricamente (em vez de mecanicamente).

(Usamos a definição de resistência e a lei da série.)
Então, para R2,

$$\text{Vout} = IR2 = \text{Vin}.\frac{R2}{R1 + R2} \qquad (1.6)$$

Observe que a tensão de saída é sempre menor (ou igual) à tensão de entrada; é por isso que é chamado de divisor. Você poderia obter amplificação (mais saída do que entrada) se uma das resistências fosse negativa. Isso não é tão louco quanto parece; é possível fazer dispositivos com resistências "incrementais" negativas (por exemplo, o componente conhecido como *diodo túnel)* ou mesmo resistências negativas verdadeiras (por exemplo, o conversor de impedância negativa sobre o qual falaremos mais adiante no livro, §6.2.4B). No entanto, esses aplicativos são bastante especializados e não precisam preocupar você agora.

Os divisores de tensão são frequentemente usados em circuitos para gerar uma tensão específica a partir de uma tensão fixa (ou variável) maior. Por exemplo, se Vin é uma tensão variável e R2 é um resistor ajustável (Figura 1.7A), você tem um "controle de volume"; mais simplesmente, a combinação *R1R2* pode ser feita a partir de um único resistor variável, ou *potenciômetro* (Figura 1.7B). Esta e aplicações semelhantes são comuns, e os potenciômetros vêm em uma variedade de estilos, alguns dos quais são mostrados na Figura 1.8.

O humilde divisor de tensão é ainda mais útil, porém, como uma forma de *pensar* sobre um circuito: a tensão de entrada e a resistência superior podem representar a saída de um amplificador, digamos, e a resistência mais baixa pode representar a entrada de



Figura 1.8. A maioria dos estilos comuns de potenciômetros são mostrados aqui. Fila superior, da esquerda para a direita (montagem em painel): fio enrolado, composição de carbono "tipo AB" 2W, híbrido de plástico/fio enrolado de 10 voltas, pote duplo agrupado. Fila intermediária (montagem em painel): codificador óptico (rotação contínua, 128 ciclos por volta), cermet de volta única, carbono de volta única, travamento de volta única com ajuste de parafuso. Fila frontal (aparadores montados em placa): ajuste lateral multivolta (dois estilos), volta única quádrupla, volta única quadrada de 3/8 (9,5 mm), volta única quadrada de 1/4 (6,4 mm), 1/4 (6,4 mm) redondo de volta única, montagem de superfície de volta única quadrada de 4 mm, montagem de superfície multivolta quadrada de 4 mm, multivolta quadrada de 3/8 (9,5 mm), potenciômetro integrado de 256 passos não volátil quádruplo (E2POT) em 24 pinos pequenos -contorno IC.

a etapa seguinte. Nesse caso, a equação do divisor de tensão informa quanto sinal chega à entrada desse último estágio. Tudo isso ficará mais claro depois que você souber de um fato notável (o teorema de Thevenin) que será discutido mais adiante. Antes, porém, um breve aparte sobre fontes de tensão e fontes de corrente.

1.2.4 Fontes de tensão e fontes de corrente

Uma *fonte de tensão* perfeita é uma "caixa preta" de dois terminais que mantém uma queda de tensão fixa em seus terminais, independentemente da resistência da carga. Isso significa, por exemplo, que ele deve fornecer uma corrente I = V/R quando uma resistência R está ligada aos seus terminais. Uma fonte de tensão real pode fornecer apenas uma corrente máxima finita e, além disso, geralmente se comporta como uma fonte de tensão perfeita com uma pequena resistência em série. Obviamente, quanto menor for essa resistência em série, melhor. Por exemplo, uma bateria alcalina padrão de 9 volts se comporta aproximadamente como uma fonte de voltagem perfeita de 9 volts em série com um resistor de 3 ÿ e pode fornecer um máximo corrente (quando em curto) de 3 amperes (que, no entanto, vai matar a bateria em poucos minutos). Uma fonte de tensão "gosta" de uma carga de circuito aberto e "odeia" uma carga de curto-circuito, por razões óbvias. (O significado de "circuito aberto" e "curto-circuito" às vezes confunde o iniciante: um circuito aberto não tem nada conectado a ele, enquanto um curto-circuito é um pedaço de fio conectando a saída.) Os símbolos usados para indicar uma fonte de tensão são mostrados na Figura 1.9.

Uma *fonte de corrente* perfeita é uma caixa preta de dois terminais que mantém uma corrente constante através do circuito externo, independentemente da resistência da carga ou da tensão aplicada. Para fazer isso, ele deve ser capaz de fornecer qualquer tensão necessária em seus terminais. Fontes de corrente real (um assunto muito negligenciado na maioria dos livros didáticos) têm um limite para a tensão que podem fornecer (chamado *de conformidade de tensão de saída* ou apenas *conformidade)* e, além disso, não fornecem corrente de saída absolutamente constante. Uma fonte de corrente "gosta" de uma carga de curto-circuito e "odeia" uma carga de circuito aberto. Os símbolos usados para indicar uma fonte de corrente são mostrados na Figura 1.10.

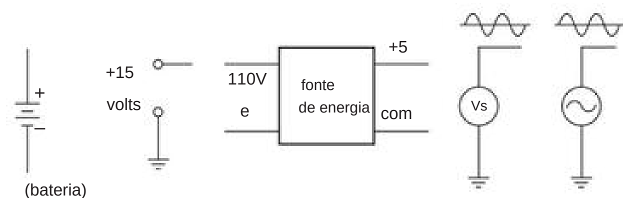


Figura 1.9. As fontes de tensão podem ser constantes (dc) ou variáveis (ac).

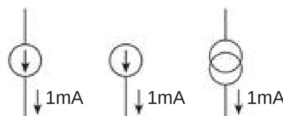


Figura 1.10. Símbolos de fonte de corrente.

Uma bateria é uma aproximação real de uma fonte de tensão (não há analógico para uma fonte de corrente). Uma célula de lanterna tamanho D padrão, por exemplo, tem uma tensão terminal de 1,5 V, uma resistência equivalente em série de cerca de 0,25 ÿ e uma capacidade total de energia de cerca de 10.000 watts-segundos (suas características gradualmente se deterioram com o uso; em no final de sua vida útil, a tensão pode ser de cerca de 1,0 V, com uma resistência interna em série de vários ohms). É fácil construir fontes de tensão com características muito melhores, como você aprenderá quando chegarmos ao assunto de realimentação; este é um tópico importante do Capítulo 9. Exceto na importante classe de dispositivos destinados à portabilidade, o uso de baterias em dispositivos eletrônicos é raro.

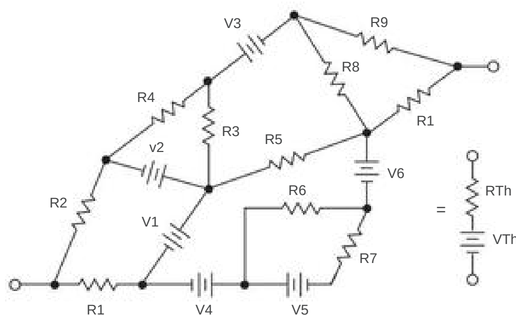


Figura 1.11. O circuito equivalente de Thévenin.

1.2.5 Circuito equivalente de Thevenin

O teorema de Thevenin afirma [12] que qualquer rede de dois terminais de resistores e fontes de tensão é equivalente a um único resistor *R* em série com uma única fonte de tensão V. Isso é notável. Qualquer confusão de baterias e resistores pode ser simulada com uma bateria e um resistor (Figura 1.11).

(Aliás, há outro teorema, o teorema de Norton, que diz que você pode fazer a mesma coisa com uma fonte de corrente em paralelo com um resistor.)

Como você descobre o equivalente de Thevenin RTh e VTh para um determinado circuito? Easy!VTh é a tensão de circuito aberto do circuito equivalente de Thevenin; portanto, se os dois circuitos se comportarem de maneira idêntica, também deve ser a tensão de circuito aberto do circuito fornecido (que você obtém por cálculo, se souber qual é o circuito, ou por medição, se não souber).

Então você encontra RTh observando que a corrente de curto-circuito do circuito equivalente é *VTh/ RTh.* Em outras palavras,

$$\mathrm{VTh} = V\,(\text{circuito aberto}),$$
$$\mathrm{RTh} = \frac{V\,(\text{circuito aberto})}{Eu\,(\text{curto-circuito})}. \qquad (1.7)$$

Vamos aplicar este método ao divisor de tensão, que deve ter um equivalente de Thevenin:

1. A tensão de circuito aberto é

$$V = \mathrm{Vin}\frac{R2}{R1 + R2}.$$

2. A corrente de curto-circuito é

Vinho/R1.

Assim, o circuito equivalente de Thevenin é uma fonte de tensão,

$$\mathrm{VTh} = \mathrm{Vin}\frac{R2}{R1 + R2}, \qquad (1.8)$$

em série com um resistor,

$$\mathrm{RTh} = \frac{R1R2}{R1 + R2}. \qquad (1.9)$$

(Não é coincidência que essa seja a resistência paralela de R1 e R2. A razão ficará clara mais tarde.)

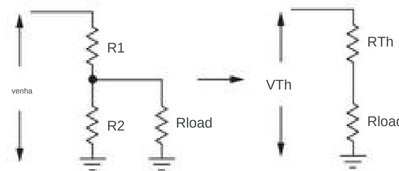


Figura 1.12. Equivalente Thevenin de um divisor de tensão.

A partir deste exemplo, é fácil ver que um divisor de tensão não é uma bateria muito boa, no sentido de que sua tensão de saída cai drasticamente quando uma carga é conectada. Como exemplo, considere o Exercício 1.10. Agora você sabe tudo o que precisa saber para calcular exatamente quanto a saída

12 Fornecemos uma prova, para os interessados, no Apêndice D.

MULTÍMETROS Existem vários instrumentos que permitem medir tensões e correntes em um circuito. O osciloscópio é o mais versátil; ele permite que você "veja" tensões versus tempo em um ou mais pontos em um circuito. Sondas lógicas e analisadores lógicos são instrumentos de finalidade especial para solucionar problemas de circuitos digitais. O multímetro simples oferece uma boa maneira de medir tensão, corrente e resistência, geralmente com boa precisão; no entanto, ele responde lentamente e, portanto, não pode substituir o osciloscópio onde as variações de tensão são interessantes. Existem dois tipos de multímetros: os que indicam medições em uma escala convencional com um ponteiro móvel e os que usam um visor digital.

O tradicional (e agora amplamente obsoleto) multímetro VOM (volt-ohm miliamperímetro) usa um movimento de medidor que mede a corrente (normalmente 50 A em escala completa m). (Veja um livro de eletrônica mais antigo para o design do medidor; para nossos propósitos, basta dizer que ele usa bobinas e ímãs.) Para medir a *tensão,* o VOM coloca um resistor em série com o resistor básico . movimento.

Por exemplo, um tipo de VOM gerará uma faixa de 1 V (escala total) colocando um resistor de 20k em série com o movimento padrão de 50 A; faixas de tensão mais altas usam resistores correspondentemente maiores. Esse VOM é especificado como 20.000 ÿ/V, o que significa que ele se parece com um resistor cujo valor é 20k multiplicado pela tensão de fundo de escala da faixa específica selecionada. A escala completa em qualquer faixa de tensão é de 1/20.000 amperes ou 50 A. m

Deve ficar claro que um desses voltímetros perturba um circuito menos em uma faixa mais alta, pois parece uma resistência mais alta (pense no voltímetro como a parte inferior de um divisor de tensão, com a resistência de Thevenin do circuito que você está medindo como o resistor superior). Idealmente, um voltímetro deve ter uma resistência de entrada infinita.

A maioria dos multímetros contemporâneos usa amplificação eletrônica e tem uma resistência de entrada de 10 Mÿ a 1000 Mÿ ao medir a tensão; eles exibem seus resultados digitalmente e são conhecidos coletivamente como multímetros digitais (DMMs). Uma palavra de cautela: às vezes a resistência de entrada desses medidores é muito alta nas faixas mais sensíveis, caindo para uma resistência menor nas faixas mais altas. Por exemplo, normalmente você pode ter uma resistência de entrada de 109 ÿ nas faixas de 0,2 V e 2 V e 107 ÿ em todas as faixas superiores. Leia atentamente as especificações! No entanto, para a maioria das medições de circuito, essas altas resistências de entrada produzirão efeitos de carga insignificantes. Em qualquer caso, é fácil calcular a gravidade do efeito usando a equação do divisor de tensão.

Normalmente, os multímetros fornecem faixas de tensão de um volt (ou menos) a um quilovolt (ou mais), em escala completa.

Um multímetro geralmente inclui capacidade de medição de corrente, com um conjunto de faixas comutáveis. Idealmente, um medidor de corrente deve ter resistência zero[13] para não perturbar o circuito em teste, pois deve ser colocado em série com o circuito. Na prática, você tolera alguns décimos de queda de volt (às vezes chamado de "carga de tensão") com VOMs e multímetros digitais. Para qualquer tipo de medidor, a seleção de uma faixa de corrente coloca um pequeno resistor nos terminais de entrada do medidor, normalmente com valor de resistência para criar uma queda de tensão de 0,1 V a 0,25 V para a corrente de fundo de escala escolhida; a queda de tensão é então convertida em uma indicação de corrente correspondente.[14] Normalmente, os multímetros fornecem faixas de corrente de 50 A (ou menos) a um ampère (ou mais), escala completa. m

Os multímetros também possuem uma ou mais baterias para alimentar a medição de resistência. Ao fornecer uma pequena corrente e medir a queda de tensão, eles medem a resistência, com vários intervalos para cobrir valores de 1 ÿ (ou menos) a 10 Mÿ (ou mais).

Importante: não tente medir "a corrente de uma fonte de tensão", colando o medidor na tomada; o mesmo se aplica para ohms. Esta é uma das principais causas de medidores estourados.

Exercício 1.7. Qual será a leitura de um medidor de 20.000 ÿ/V, em sua escala de 1 V, quando conectado a uma fonte de 1 V com uma resistência interna de 10k? O que ele lerá quando conectado a um divisor de tensão de 10k–10k acionado por uma fonte de 1 V "rígida" (resistência zero da fonte)?

Exercício 1.8. Um movimento de 50 A tem uma resistência interna de 5k. m Que resistência shunt é necessária para convertê-lo em um medidor de 0-1 A? Que resistência em série irá convertê-lo em um medidor de 0–10 V?

Exercício 1.9. A resistência interna muito alta dos multímetros *digitais* , em suas faixas de medição de tensão, pode ser usada para medir *correntes* extremamente baixas (mesmo que o DMM não ofereça uma faixa de corrente baixa explicitamente). Suponha, por exemplo, que você queira medir a pequena corrente que flui através de uma resistência de "vazamento" de 1000 Mÿ (esse termo é usado para descrever uma pequena corrente que idealmente deveria estar totalmente ausente, por exemplo, através do isolamento de um cabo subterrâneo) . Você tem disponível um DMM padrão, cuja faixa de 2 Vcc tem resistência interna de 10 Mÿ, e você tem disponível uma fonte dc de +10 V. Como você pode usar o que tem para medir com precisão a resistência de vazamento?

queda para uma determinada resistência de carga: use o circuito equivalente de Thevenin, conecte uma carga e calcule a nova saída, observando que o novo circuito nada mais é do que um divisor de tensão (Figura 1.12).

Exercício 1.10. Para o circuito mostrado na Figura 1.12, com Vin = 30 V e R1 = R2 = 10k, encontre (a) a tensão de saída sem carga conectada (a tensão de circuito aberto); (b) a tensão de saída com uma carga de 10k (trate como um divisor de tensão, com R2 e Rcarga combinados em um único resistor); (c) o circuito equivalente de Thevenin; (d) o mesmo que na parte (b), mas usando o circuito equivalente de Thevenin [novamente, você termina com um divisor de tensão; a resposta deve concordar com o resultado da parte (b)]; (e) a potência dissipada em cada um dos resistores.

A. Resistência equivalente da fonte e carregamento do circuito

Como acabamos de ver, um divisor de tensão alimentado por uma tensão fixa é equivalente a uma fonte de tensão menor

[13] Isso é o oposto de um medidor de tensão ideal, que deve apresentar resistência infinita em seus terminais de entrada.

[14] Uma classe especial de medidores de corrente conhecidos como *eletrômetros* opera com cargas de tensão muito pequenas (como 0,1 mV) usando a técnica de realimentação, algo que aprenderemos nos Capítulos 2 e 4.

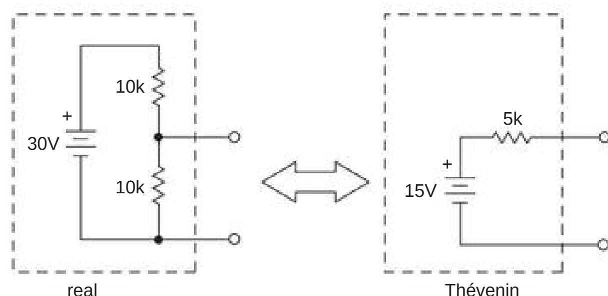


Figura 1.13. Exemplo de divisor de tensão.

em série com um resistor. Por exemplo, os terminais de saída de um divisor de tensão de 10k–10k acionado por uma bateria perfeita de 30 volts são precisamente equivalentes a uma bateria perfeita de 15 volts em série com um resistor de 5k (Figura 1.13). Conectar um resistor de carga faz com que a saída do divisor de tensão caia, devido à resistência finita da *fonte* (resistência equivalente de Thevenin da saída do divisor de tensão, vista como uma fonte de tensão). Isso geralmente é indesejável. Uma solução para o problema de fazer uma fonte de tensão rígida ("rígido" é usado neste contexto para descrever algo que não se curva sob carga) pode ser usar resistores muito menores em um divisor de tensão. Ocasionalmente, essa abordagem de força bruta é útil. No entanto, geralmente é melhor construir uma fonte de tensão, ou fonte de alimentação, como é comumente chamada, usando componentes ativos como transistores ou amplificadores operacionais, que trataremos nos Capítulos 2–4. Desta forma, você pode facilmente fazer uma fonte de tensão com resistência interna (equivalente de Thevenin) tão pequena quanto miliohms (milésimos de um ohm), sem as grandes correntes e dissipação de energia características de um divisor de tensão de baixa resistência fornecendo o mesmo desempenho. Além disso, com uma fonte de alimentação ativa, é fácil tornar a tensão de saída ajustável. Esses tópicos são tratados extensivamente no Capítulo 9.

O conceito de resistência interna equivalente se aplica a todos os tipos de fontes, não apenas baterias e divisores de tensão. Todas as fontes de sinal (por exemplo, osciladores, amplificadores e dispositivos sensores) têm uma resistência interna equivalente. Conectar uma carga cuja resistência é menor ou mesmo comparável à resistência interna reduzirá consideravelmente a saída. Essa redução indesejável da tensão (ou sinal) de circuito aberto pela carga é chamada de "carga de circuito". Portanto, você deve se esforçar para tornar RloadRinternal, porque uma carga de alta resistência tem pouco efeito atenuante na fonte (Figura 1.14).15 Veremos vários circuitos exemplos nos capítulos seguintes. Esta condição de alta resistência caracteriza idealmente os instrumentos de medição, como voltímetros e osciloscópios.

Uma palavra sobre linguagem: você frequentemente ouve coisas como "a resistência olhando para o divisor de tensão" ou "a saída vê uma carga de tantos e tantos ohms", como se os circuitos tivessem olhos. Tudo bem (na verdade, é uma maneira muito boa de saber de qual resistência você está falando) dizer qual parte do circuito está "olhando".

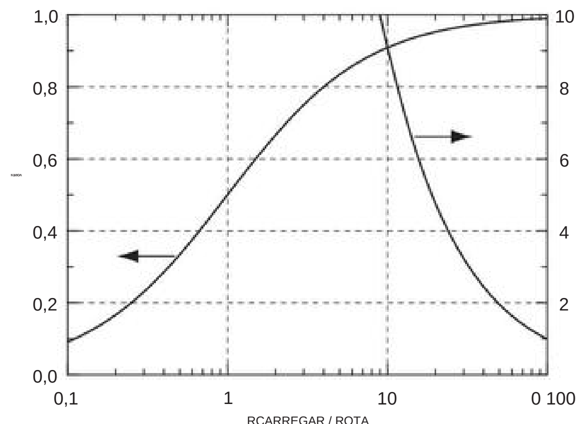


Figura 1.14. Para minimizar a atenuação de uma fonte de sinal abaixo de sua tensão de circuito aberto, mantenha a resistência de carga alta em comparação com a resistência de saída.

B. Transferência de

potência Aqui está um problema interessante: qual resistência de carga resultará na transferência máxima de potência para a carga para uma dada resistência de fonte? (Os termos *resistência da fonte, resistência interna* e *resiśtência equivalente de Thevenin* significam a mesma coisa.) É fácil ver que Rcarga=0 ou Rcarga=ÿ resulta em potência zero transferida, porque Rcarga=0 significa que Vcarga=0 e Icarga =Vsource/Rsource, de modo que Pload=VloadIload=0. Mas Rload=ÿ significa que *Vload=Vsource* e Iload =0, então novamente Pload=0. Tem que haver um máximo no meio.

Exercício 1.11. Mostre que Rcarga = Rfonte maximiza a potência na carga para uma dada resistência da fonte. Observação: pule este exercício se você não souber cálculo e acredite que a resposta é verdadeira.

[15] Há duas exceções importantes a esse princípio geral: (1) uma fonte de corrente tem uma resistência interna alta (idealmente infinita) e deve acionar uma carga de resistência de carga relativamente baixa; (2) ao lidar com ra frequências de rádio e linhas de transmissão, você deve "combinar as impedâncias" (ou seja, definir Rload=Rinternal) para evitar reflexão e perda de energia. Consulte o Apêndice H sobre linhas de transmissão. 16 O desejo de antropomorfizar é profundo na engenharia e na comunidade científica, apesar de advertências como "não antropomorfize computadores. . . eles não gostam."

Para que este exemplo não deixe uma impressão errada, gostaríamos de enfatizar novamente que os circuitos são normalmente projetados para que a resistência da carga seja muito maior do que a resistência da fonte do sinal que aciona a carga.

1.2.6 Resistência a pequenos sinais

Frequentemente lidamos com dispositivos eletrônicos para os quais *I* não é proporcional a V; nesses casos, não há muito sentido em falar sobre resistência, já que a relação V/I dependerá de V, em vez de ser uma boa constante, independente de V. Para esses dispositivos, às vezes é útil conhecer a *inclinação* do V– A curva I , em outras palavras, é a relação entre uma pequena alteração na tensão aplicada e a alteração resultante na corrente através do dispositivo, ÿV/ÿI (ou *dV/ dI).* Esta quantidade tem as unidades de resistência (ohms) e substitui a resistência em muitos cálculos. É chamada de resistência de pequeno sinal, resistência incremental ou resistência dinâmica.

A. Diodos Zener

Como exemplo, considere o *diodo zener,* que tem a curva I-V mostrada na Figura 1.15. Zeners são usados para criar uma tensão constante dentro de um circuito em algum lugar, simplesmente fornecendo-lhes uma corrente (aproximadamente constante) derivada de uma tensão mais alta dentro do circuito.[17] Por exemplo, o diodo zener na Figura 1.15 converterá um ap corrente aplicada na faixa mostrada a uma faixa correspondente (mas um pouco mais estreita) de tensões. É importante saber como a tensão zener resultante mudará com a corrente aplicada; esta é uma medida de sua "regulação" contra mudanças na corrente motriz fornecida a ele. Incluída nas especificações de um zener estará sua resistência dinâmica, dada em uma determinada corrente. Por exemplo, um zener pode ter uma resistência dinâmica de 10 ÿ a 10 mA, em sua tensão zener especificada de 5 V. Usando a definição de resistência dinâmica, descobrimos que uma alteração de 10% na corrente aplicada resultará, portanto, em uma alteração em voltagem de

$$ÿV = RdynÿI = 10×0{,}1×0{,}01 = 10mV$$

ou

$$ÿV/V = 0{,}002 = 0{,}2\%,$$

demonstrando assim uma boa capacidade de regulação de tensão. Nesse tipo de aplicação, você frequentemente obtém a corrente zener através de um resistor de uma tensão mais alta disponível em algum lugar do circuito, como na Figura 1.16.

[17] Zeners pertencem à classe mais geral de *diodos* e *retificadores,* dispositivos importantes que veremos mais adiante no capítulo (§1.6) e, de fato, ao longo do livro. O diodo ideal (ou retificador) atua como um condutor perfeito para o fluxo de corrente em uma direção e um isolante perfeito para o fluxo de corrente na direção reversa; é uma "válvula unidirecional" para corrente.

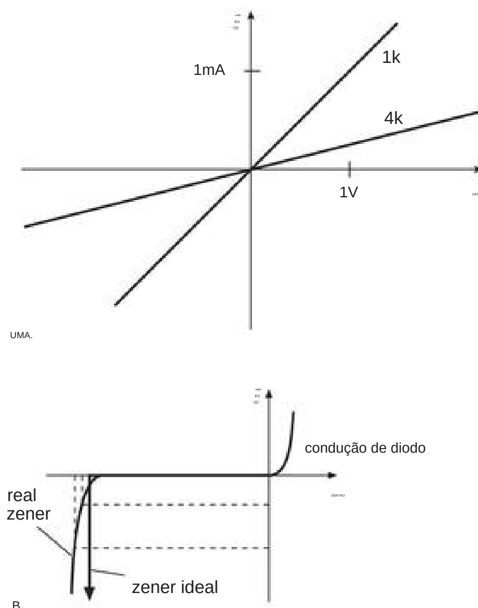


Figura 1.15. Curvas I–V: A. Resistor (linear). B. Diodo Zener (não linear).

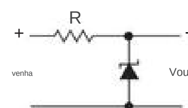


Figura 1.16. Regulador Zener.

Então,

$$eu = \frac{Vinho\ ÿVout}{R}$$

e

$$ÿI = \frac{ÿVin\ ÿÿVout}{R},$$

assim

$$ÿVout = RdynÿI = \frac{Rdyn}{R}(ÿVin\ ÿÿVout)$$

e finalmente

$$ÿVout = ÿVin\frac{Rdyn}{R+Rdyn}$$

Aha – a equação do divisor de tensão, novamente! Assim, para *variações* de tensão, o circuito se comporta como um divisor de tensão, com o zener substituído por um resistor igual à sua resistência dinâmica na corrente de operação. Isto é o

utilidade da resistência incremental. Por exemplo, suponha que no circuito anterior temos uma tensão de entrada variando entre 15 e 20 V, e usamos um 1N4733 (5,1 V, 1W diodo zener) para gerar uma fonte de alimentação estável de 5,1 V. Escolhemos *R* = 300 ÿ, para uma corrente zener máxima de 50 mA: (20 Vÿ5,1 V)/300 ÿ. Agora podemos estimar a regulação da tensão de saída (variação na tensão de saída), sabendo que este zener em particular tem uma resistência dinâmica máxima especificada de 7,0 ÿ a 50 mA. A corrente zener varia de 50 mA a 33 mA na faixa de tensão de entrada; esta mudança de 17 mA na corrente produz uma mudança de tensão na saída de *ÿV* = RdynÿI, ou 0,12 V.

É um fato útil, ao lidar com diodos zener, que a resistência dinâmica de um diodo zener varia aproximadamente na proporção inversa da corrente. Vale saber, também, que existem CIs projetados para substituir os diodos zener; essas “referências de tensão de dois terminais” têm desempenho superior – resistência dinâmica muito menor (menos de 1 ÿ, mesmo em correntes tão pequenas quanto 0,1 mA; isso é mil vezes melhor do que o zener que acabamos de usar) e excelente estabilidade de temperatura (melhor que 0,01%/C). Veremos mais sobre zeners e referências de tensão em §§2.2.4 e 9.10.

Na vida real, um zener fornecerá melhor regulação se acionado por uma fonte de corrente, que tem, por definição, Rincr=ÿ (a mesma corrente, independentemente da tensão). Mas as fontes atuais são mais complexas e, portanto, na prática, muitas vezes recorremos ao humilde resistor. Ao pensar em zeners, vale a pena lembrar que as unidades de baixa tensão (por exemplo, 3,3 V) se comportam bastante mal, em termos de constância de tensão versus corrente (Figura 1.17); se você acha que precisa de um zener de baixa tensão, use uma referência de dois terminais (§9.10).

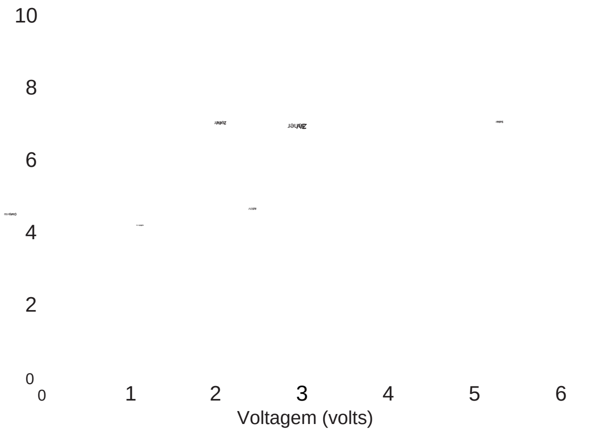


Figura 1.17. Os zeners de baixa tensão são bastante desanimadores, como visto nestas curvas *I* vs. *V* medidas (para três membros da série 1N5221–67), particularmente em contraste com o excelente desempenho medido de um par de “referências de tensão IC” (LM385Z -1.2 e LM385Z-2.5, consulte §9.10 e Tabela 9.7). No entanto, os diodos zener na vizinhança de 6 V (como o 1N5232B de 5,6 V ou o 1N5234B de 6,2 V) exibem curvas acentuadas admiravelmente e são peças úteis

1.2.7 Um exemplo: “Está muito quente!”

Algumas pessoas gostam de aumentar o termostato, irritando outras pessoas que gostam de suas casas frescas. Aqui está um pequeno gadget (Figura 1.18) que permite que as pessoas da última persuasão saibam quando reclamar – ele acende um indicador de diodo emissor de luz (LED) vermelho quando a temperatura da sala é superior a 30 °C (86°F). Também mostra como usar o humilde divisor de tensão (e ainda mais humilde a lei de Ohm) e como lidar com um LED, que se comporta como um diodo zener (e às vezes é usado como tal).

O símbolo triangular é um *comparador,* um dispositivo útil (discutido em §12.3) que comuta sua saída de acordo com as tensões relativas em seus dois terminais de entrada. O dispositivo sensor de temperatura é R4, que diminui a resistência em cerca de 4%/ÿC, e que é 10kÿ a 25ÿC. Então nós fizemos é a parte inferior de um divisor de tensão *(R3R4),* cuja saída é comparada com o divisor insensível à temperatura *R1R2.* Quando está mais quente do que 30ÿC, o ponto “X” está em uma tensão mais baixa do que o ponto “Y”, então o comparador puxa sua saída para o terra.

Na saída está um LED, que se comporta eletricamente como um diodo zener de 1,6 V; e quando a corrente está fluindo, ela acende. Seu terminal inferior está então em 5 V-1,6 V ou +3,4 V. Portanto, adicionamos um resistor em série, dimensionado para permitir 5 mA quando a saída do comparador estiver no terra: R5=3,4 V/5 mA, ou 680 ÿ.

Se você quiser, pode tornar o ponto de ajuste ajustável substituindo R2 por um potenciômetro de 5k em série com um resistor fixo de 5k. Veremos mais tarde que também é uma boa ideia adicionar alguma *histerese,* para encorajar o comparador a ser decisivo. Observe que este circuito é insensível à tensão exata da fonte de alimentação porque compara *proporções.* As técnicas raciométricas são boas; vamos vê-los novamente mais tarde.

1.3 Sinais

Uma seção posterior neste capítulo tratará dos capacitores, dispositivos cujas propriedades dependem da maneira como as tensões e correntes em um circuito estão *variando.* Nossa análise dos circuitos CC até agora (lei de Ohm, circuitos equivalentes de Thevenin, etc.) ainda se mantém, mesmo que as tensões e correntes estejam mudando com o tempo. Mas para uma compreensão adequada dos circuitos de corrente alternada (ac), é útil ter em mente certas

Machine Translated by Google

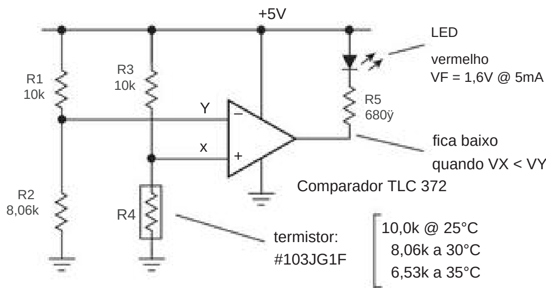


Figura 1.18. O LED acende quando está mais quente do que 30ÿC. O comparador (que veremos mais adiante, nos Capítulos 4 e 12) puxa sua saída para o terra quando a tensão em "X" é menor que a tensão em "Y". R4 é um termistor, que é um resistor com um coeficiente de temperatura deliberadamente negativo; ou seja, sua resistência diminui com o aumento da temperatura – cerca de 4%/ÿC.

tipos de *sinais,* tensões que variam no tempo de uma maneira particular.

1.3.1 Sinais senoidais

Sinais senoidais são os sinais mais populares; eles são o que você obtém da tomada de parede. Se alguém disser algo como "pegue um sinal de 10 V a 1 MHz", está se referindo a uma onda senoidal. Matematicamente, o que você tem é uma voltagem descrita por

$$V = \text{Sal} \quad \text{pi} \; \textit{pés} \tag{1.10}$$

onde *A* é chamada de amplitude e *f* é a frequência em hertz (ciclos por segundo). Uma onda senoidal se parece com a onda mostrada na Figura 1.19. Às vezes é importante saber o valor do sinal em algum tempo arbitrário *t* = 0, caso em que você pode ver uma *fase* na expressão: Phi

$$V = \text{Asin}(2 \; \text{pi} \; \textit{pés} + \text{Phi}).$$

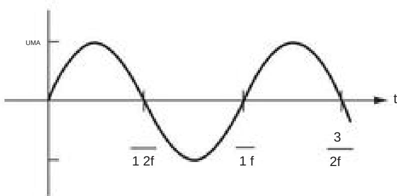


Figura 1.19. Onda senoidal de amplitude *A* e frequência *f* .

A outra variação desse tema simples é o uso da *frequência angular,* que se parece com isso:

$$V = \text{Sal} \quad \text{oht}.$$

Aqui oh é a frequência angular, medida em radianos por segundo. Apenas lembre-se da relação importante oh = 2 pi *f* e que você não vai errar.

O grande mérito das ondas senoidais (e a causa de sua popularidade perene) é o fato de serem soluções para certas equações diferenciais lineares que descrevem muitos fenômenos na natureza, bem como as propriedades de circuitos lineares. Um circuito linear tem a propriedade de que sua saída, quando acionada pela soma de dois sinais de entrada, é igual à soma de suas saídas individuais quando acionada por cada sinal de entrada por vez; ou seja, se *O(A)* representa a saída quando acionado pelo sinal A, então um circuito é linear se O(A + B) = *O(A)* + *O(B).* Um circuito linear conduzido por uma onda senoidal sempre responde com uma onda senoidal, embora em geral a fase e a amplitude sejam alteradas. Nenhum outro sinal periódico pode fazer esta afirmação. É uma prática padrão, de fato, descrever o comportamento de um circuito por sua *resposta de frequência,* ou seja, a forma como o circuito altera a amplitude de uma onda senoidal aplicada em função da frequência. Um amplificador estéreo, por exemplo, deve ser caracterizado por uma resposta de frequência "plana" na faixa de 20 Hz a 20 kHz, pelo menos.

As frequências de onda senoidal com as quais geralmente lidamos variam de alguns hertz a algumas dezenas de megahertz. Frequências mais baixas, até 0,0001 Hz ou menos, podem ser geradas com circuitos cuidadosamente construídos, se necessário. Frequências mais altas, até 2.000 MHz (2 GHz) e acima, podem ser geradas, mas requerem técnicas especiais de linha de transmissão. Acima disso, você está lidando com micro-ondas, para os quais os circuitos convencionais com fios com elementos de circuito concentrado tornam-se impraticáveis, e guias de onda exóticos ou "striplines" são usados em seu lugar.

1.3.2 Amplitudes e decibéis do sinal

Além de sua amplitude, existem várias outras maneiras de caracterizar a magnitude de uma onda senoidal ou qualquer outro sinal. Às vezes, você o vê especificado pela amplitude *pico a pico* (amplitude pp), que é exatamente o que você imaginaria, ou seja, o dobro da amplitude. O outro método é fornecer a *amplitude quadrática média* (amplitude rms), que é Vrms = (1/ ÿ 2)A = 0,707A (isso é apenas para ondas senoidais; a razão de pp para rms será diferente para outros formas de onda). Por mais estranho que pareça, esse é o método usual, porque a tensão rms é usada para calcular a potência. A tensão nominal nos terminais de uma tomada de parede (nos Estados Unidos) é de 120 volts rms, 60 Hz. A *amplitude* é de 170 volts (339 volts pp).[18]

[18] Ocasionalmente, você encontrará dispositivos (por exemplo, medidores mecânicos de ponteiro móvel) que respondem à magnitude *média* de um sinal CA.

A. Decibéis

Como você compara as amplitudes relativas de dois sinais? Você poderia dizer, por exemplo, que o sinal *X* é duas vezes maior que o sinal Y. Isso é bom e útil para muitas finalidades. Mas como muitas vezes lidamos com proporções tão grandes quanto um milhão, é melhor usar uma medida logarítmica e, para isso, apresentamos o decibel (é um décimo do tamanho de algo chamado bel, que ninguém nunca usa). Por definição, a razão entre dois sinais, em decibéis (dB), é

$$\text{dB} = 10\log_{10}\frac{P_2}{P_1}, \quad (1.11)$$

onde P1 e P2 representam a *potência* nos dois sinais. Muitas vezes estamos lidando com *amplitudes de sinal,* no entanto, nesse caso, podemos expressar a proporção de dois sinais com a mesma forma de onda como

$$\text{dB} = 20\log_{10}\frac{A_2}{A_1}, \quad (1.12)$$

onde A1 e A2 são as duas amplitudes de sinal. Assim, por exemplo, um sinal com o dobro da amplitude de outro é +6 dB em relação a ele, pois log10 2 = 0,3010. Um sinal 10 vezes maior é +20 dB; um sinal de um décimo do tamanho é -20 dB.

Embora os decibéis sejam normalmente usados para especificar a proporção de dois sinais, às vezes eles são usados como uma medida absoluta de amplitude. O que está acontecendo é que você está assumindo algum nível de sinal de referência e expressando qualquer outro nível em decibéis em relação a ele. Existem vários níveis padrão (que não são declarados, mas compreendidos) que são usados dessa maneira; as referências mais comuns são (a) 0 dBV (1 V rms); (b) 0 dBm (a tensão correspondente a 1 mW em alguma impedância de carga assumida, que para radiofrequências é geralmente 50 ÿ, mas para áudio geralmente é 600 ÿ; as amplitudes correspondentes de 0 dBm, quando carregadas por essas impedâncias, são então 0,22 V rms e 0,78 V rms); e (c) a pequena tensão de ruído gerada por um resistor à temperatura ambiente (esse fato surpreendente é discutido em §8.1.1). Além dessas, existem amplitudes de referência usadas para medições em outros campos da engenharia e da ciência. Por exemplo, em acústica, 0 dB SPL (nível de pressão sonora) é uma onda cuja pressão eficaz é 20 Pa (isto é, 2×10ÿ10 atm); em comunicações de áudio, os níveis podem ser expressos em dBrnC (referência de ruído relativo ponderada em frequência pela "curva C"). Ao declarar amplitudes dessa maneira, é melhor ser específico sobre a amplitude de referência de 0 dB;

Para uma onda senoidal, a relação é Vavg=Vrms/1.11. No entanto, tais medidores são normalmente calibrados para que indiquem a amplitude de onda senoidal rms. Para sinais que não sejam ondas senoidais, sua indicação está errada; certifique-se de usar um medidor "true rms" se quiser a resposta certa.

diga algo como "uma amplitude de 27 decibéis em relação a 1 V rms" ou abrevie "27 dB re 1 V rms" ou defina um termo como "dBV".

Exercício 1.12. Determine as relações de tensão e potência para um par de sinais com as seguintes relações de decibéis: (a) 3 dB, (b) 6 dB, (c) 10 dB, (d) 20 dB.

Exercício 1.13. Podemos chamar esse divertido exercício de "Desert Island dBs": na tabela abaixo, começamos a inserir alguns valores para relações de potência correspondentes à primeira dúzia de dBs integrais, usando os resultados das partes (a) e (c) do último exercício . Seu trabalho é completar a tabela, sem recorrer a uma calculadora. Uma dica possivelmente útil: começando em 10 dB, desça a tabela em etapas de 3 dB, depois suba em uma etapa de 10 dB e depois desça novamente. Finalmente, livre-se de números nojentos como 3,125 (e seus parentes próximos), percebendo que é encantadoramente próximo de π

dB	razão *(P/ P0)*
0	1
1	
2	
3	2
4	
5	
6	4
7	
8	
9	8
10	10
11	

1.3.3 Outros sinais

A. Rampa

A rampa é um sinal que se parece com o mostrado na Figura 1.20A. É simplesmente uma tensão subindo (ou caindo) a uma taxa constante. Isso não pode durar para sempre, é claro, mesmo em filmes de ficção científica. Às vezes, é aproximado por uma rampa finita (Figura 1.20B) ou por uma rampa periódica (conhecida como *dente de serra,* Figura 1.20C).

B. Triângulo

A onda triangular é prima próxima da rampa; é simplesmente uma rampa simétrica (Figura 1.21).

C. Sinais

de ruído de interesse são frequentemente misturados com *ruído;* esta é uma frase genérica que geralmente se aplica a ruído aleatório de origem térmica. As tensões de ruído podem ser especificadas por seus

[19] Um dos autores, quando perguntado por sua esposa não técnica quanto gastamos naquela grande tela de plasma, respondeu "36 dB$".

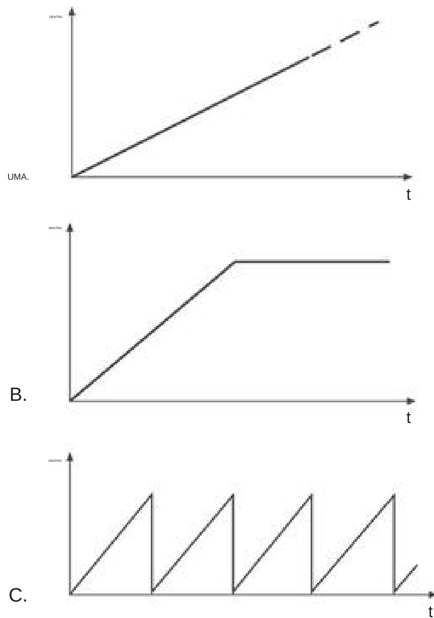


Figura 1.20. A: Forma de onda da rampa de tensão. B: Rampa com limite. C: onda dente de serra.

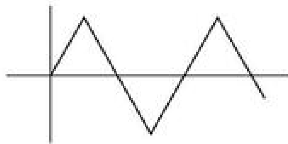


Figura 1.21. Onda triangular.



Figura 1.22. Ruído.

espectro de freqüência (potência por hertz) ou por sua distribuição de amplitude. Um dos tipos mais comuns de ruído é *o ruído gaussiano branco limitado em banda,* que significa um sinal com igual potência por hertz em alguma banda de frequências e que exibe uma distribuição gaussiana (em forma de sino) de amplitudes quando muitas medições instantâneas de sua amplitude são feitas. Esse tipo de ruído é gerado por um resistor (ruído de Johnson ou ruído de Nyquist) e afeta medições sensíveis de todos os tipos. Em um osciloscópio, ele aparece como mostrado na Figura 1.22. Discutiremos as técnicas de ruído e baixo ruído em detalhes consideráveis no Capítulo 8.

D. Onda quadrada

Uma onda quadrada é um sinal que varia no tempo conforme mostrado na Figura 1.23. Como a onda senoidal, é caracterizada por amplitude e frequência (e talvez fase). Um circuito linear conduzido por uma onda quadrada raramente responde com uma onda quadrada. Para uma onda quadrada, a amplitude de pico e a amplitude rms são as mesmas.

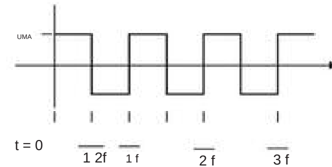


Figura 1.23. Onda quadrada.

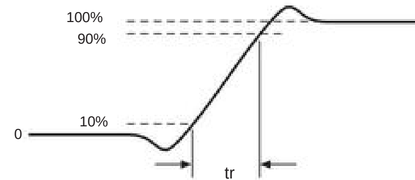


Figura 1.24. Tempo de subida de uma forma de onda em degrau.

As bordas de uma onda quadrada não são perfeitamente quadradas; em circuitos eletrônicos típicos, o *tempo de subida tr* varia de alguns nanossegundos a alguns microssegundos. A Figura 1.24 mostra o tipo de coisa normalmente vista. O tempo de subida é convencionalmente definido como o tempo necessário para que o sinal passe de 10% a 90% de sua transição total.

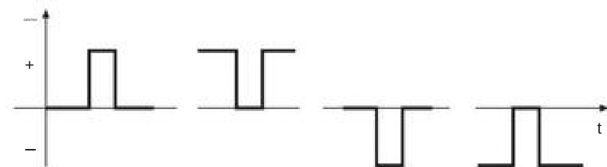


Figura 1.25. Pulsos positivos e negativos de ambas as polaridades.

E. Pulsos

Um pulso é um sinal que se parece com os objetos mostrados na Figura 1.25. É definido pela amplitude e largura de pulso. Você pode gerar um trem de pulsos periódicos (igualmente espaçados), caso em que você pode falar sobre a frequência, ou taxa de repetição de pulso, e o "ciclo de trabalho", a relação entre a largura do pulso e o período de repetição (o ciclo de trabalho varia de zero a 100%). Os pulsos podem ter polaridade positiva ou negativa; além disso, eles podem ser "positivos" ou "negativos". Por

Por exemplo, o segundo pulso na Figura 1.25 é um pulso negativo de polaridade positiva.

F. Degraus e picos

Degraus e picos são sinais sobre os quais se fala muito, mas não são usados com tanta frequência. Eles fornecem uma boa maneira de descrever o que acontece em um circuito. Se você pudesse desenhá-los, eles se pareceriam com o exemplo da Figura 1.26. A função degrau faz parte de uma onda quadrada; o pico é simplesmente um salto de duração extremamente curta.

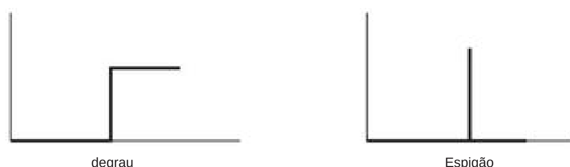


Figura 1.26. Passos e picos.

1.3.4 Níveis lógicos

Pulsos e ondas quadradas são amplamente usados em eletrônica digital, na qual os níveis de tensão predefinidos representam um dos dois possíveis estados presentes em qualquer ponto do circuito. Esses estados são chamados simplesmente de ALTO e BAIXO e correspondem aos estados 1 (verdadeiro) e 0 (falso) da lógica booleana (a álgebra que descreve esses sistemas de dois estados).

Tensões precisas não são necessárias em eletrônica digital. Você só precisa distinguir qual dos dois estados possíveis está presente. Cada família lógica digital, portanto, especifica os estados HIGH e LOW legais. Por exemplo, a família de lógica digital "74LVC" funciona a partir de uma única fonte de +3,3 V, com níveis de saída que são tipicamente 0 V (BAIXO) e 3,3 V (ALTO) e um limite de decisão de entrada de 1,5 V.
No entanto, as saídas reais podem ser de até 0,4 V longe do terra ou de +3,3 V sem mau funcionamento. Teremos muito mais a dizer sobre níveis lógicos nos capítulos 10 a 12.

1.3.5 Fontes de sinal

Freqüentemente, a fonte de um sinal é alguma parte do circuito em que você está trabalhando. Mas, para fins de teste, uma fonte de sinal flexível é inestimável. Eles vêm em três tipos: geradores de sinal, geradores de pulso e geradores de função.

A. Geradores de sinal Os
geradores de sinal são osciladores de onda senoidal, geralmente equipados para fornecer uma ampla faixa de cobertura de frequência, com provisão para controle preciso de amplitude (usando uma rede divisora resistiva chamada *atenuador).* Algumas unidades permitem *modular* (ou seja, variar no tempo) a amplitude de saída ("AM" para "amplitude modulada") ou frequência ("FM" para "frequência modulada"). Uma variação desse tema é o *gerador de varredura,* um gerador de sinal que pode varrer sua frequência de saída repetidamente em algum intervalo. Eles são úteis para testar circuitos cujas propriedades variam com a frequência de uma maneira particular, por exemplo, "circuitos sintonizados" ou filtros. Hoje em dia esses dispositivos, assim como a maioria dos instrumentos de teste, estão disponíveis em configurações que permitem programar frequência, amplitude, etc., a partir de um computador ou outro instrumento digital.

Para muitos geradores de sinal, a fonte do sinal é um *sintetizador de frequência,* um dispositivo que gera ondas senoidais cujas frequências podem ser ajustadas com precisão. A frequência é definida digitalmente, geralmente com oito algarismos significativos ou mais, e é sintetizada internamente a partir de um padrão preciso (um oscilador autônomo de cristal de quartzo ou padrão de frequência de rubídio ou um oscilador derivado de GPS) por métodos digitais que discutiremos mais adiante (§13.13.6). Típico dos sintetizadores é o SG384 programável da Stanford Research Systems, com uma faixa de frequência de 1 Hz a 4 GHz, uma faixa de amplitude de -110 dBm a +16,5 dBm (0,7 V a 1,5 V, rms) e vários modos de modulação, como AM, FM e ÿM; custa cerca de $ 4.600. Você pode obter geradores de varredura sintetizados e sintetizadores que produzem outras formas de onda (consulte *Geradores de função,* abaixo). Se o seu requisito é para geração de frequência precisa e prática, você não pode vencer um sintetizador.

B. Geradores de pulso

Os geradores de pulso produzem apenas pulsos, mas que pulsos! Largura de pulso, taxa de repetição, amplitude, polaridade, tempo de subida, etc., podem ser ajustáveis. Os mais rápidos chegam a taxas de pulso de gigahertz. Além disso, muitas unidades permitem gerar pares de pulsos, com espaçamento e taxa de repetição configuráveis, ou mesmo padrões programáveis (às vezes são chamados de geradores de padrão). A maioria dos geradores de pulso contemporâneos são fornecidos com saídas de nível lógico para fácil conexão com circuitos digitais. Assim como os geradores de sinal, eles vêm na variedade programável.

C. Geradores de função De
muitas maneiras, os geradores de função são as fontes de sinal mais flexíveis de todas. Você pode fazer ondas senoidais, triangulares e quadradas em uma enorme faixa de frequência (0,01 Hz a 30 MHz é típico), com controle de amplitude e deslocamento CC (uma tensão CC constante adicionada ao sinal). Muitos deles têm provisão para varredura de frequência, muitas vezes em

vários modos (variação de frequência linear ou logarítmica versus tempo). Eles estão disponíveis com saídas de pulso (embora não com a flexibilidade que você obtém com um gerador de pulso), e alguns deles têm provisão para modulação.

Os geradores de funções tradicionais usavam circuitos analógicos, mas os modelos contemporâneos geralmente são geradores de funções digitais sintetizados, exibindo toda a flexibilidade de um gerador de funções junto com a estabilidade e precisão de um sintetizador de frequência. Além disso, eles permitem que você programe uma forma de onda "arbitrária", especificando a amplitude em um conjunto de pontos igualmente espaçados. Um exemplo é o Tektronix AFG3102, com limite inferior de frequência de 1 microhertz, que pode fazer ondas senoidais e quadradas até 100 MHz, pulsos e "ruído" até 50 MHz e formas de onda arbitrárias (até 128k pontos) até 50 MHz. Possui modos de modulação (cinco tipos), varredura (linear e log) e burst (1 a 106 ciclos), e tudo é programável, incluindo frequência, largura de pulso e tempos de subida, modulação e amplitude (20 mV a 10 Vpp); ele ainda inclui algumas formas de onda incorporadas bizarras, como *sin(x)/ x,* ascensão e queda exponencial, gaussiana e lorentziana. Tem duas saídas independentes e custa cerca de $ 5k. Para uso geral, se você pode ter apenas uma fonte de sinal, o gerador de função é para você.

1.4 Capacitores e circuitos CA

Uma vez que entramos no mundo da *mudança* de tensões e correntes, ou "sinais", encontramos dois elementos de circuito muito interessantes que são inúteis em circuitos puramente CC: capacitores e indutores. Como você verá, esses dispositivos simples, combinados com resistores, completam a tríade de elementos de circuito lineares passivos que formam a base de quase todos os circuitos.20 Os capacitores, em particular, são essenciais em quase todas as aplicações de circuito. Eles são usados para aplicações de geração de forma de onda, filtragem e bloqueio e bypass. Eles são usados em integradores e diferenciadores. Em combinação com indutores, eles possibilitam filtros nítidos para separar os sinais desejados do fundo. Você verá algumas dessas aplicações à medida que continuarmos neste capítulo, e haverá vários exemplos interessantes em capítulos posteriores.

Vamos então examinar os capacitores em detalhes. por

[20] Os leitores da revista científica *Nature* (Londres) foram recebidos, em 2008, com um artigo intitulado "The missing memristor found" (DB Strukov et al., **453,** 80, 2008), alegando ter encontrado um "quarto elemento [circuito passivo] fundamental" até então ausente. Estamos céticos. Seja como for que a controvérsia seja finalmente resolvida, deve-se notar que o memristor é um elemento não linear; existem apenas três elementos de circuito passivo *linear* de 2 terminais.

+

Figura 1.27. Capacitores. O eletrodo curvo indica o terminal negativo de um capacitor polarizado, ou a "folha externa" de um capacitor de filme enrolado.

ções do tratamento que se segue são necessariamente de natureza matemática; o leitor com pouca preparação matemática pode achar útil a revisão matemática no Apêndice A. De qualquer forma, a compreensão dos detalhes é menos importante a longo prazo do que a compreensão dos resultados.

1.4.1 Capacitores

Um capacitor (Figura 1.27) (o nome antiquado era *condensador)* é um dispositivo que tem dois fios saindo dele e tem a propriedade

$$Q = CV. \qquad (1.13)$$

Sua forma básica é um par de placas de metal próximas umas das outras, separadas por algum material isolante, como no "capacitor de filme axial" enrolado da Figura 1.28. Um capacitor de *C* farads com *V* volts em seus terminais tem *Q* coulombs de carga armazenada em uma placa e -*Q* na outra. A capacitância é proporcional à área e inversamente proporcional ao espaçamento. Para o capacitor simples de placas paralelas, com separação *d* e área das placas *A* (e com espaçamento *d* muito menor que as dimensões das placas), a capacitância *C* é dada por

$$C = 8{,}85 \times 10^{-14} \epsilon A/d \text{ F}, \qquad (1.14)$$

onde ϵ é a constante dielétrica do isolador e as dimensões são medidas em centímetros. É necessária uma grande área e um espaçamento mínimo para produzir os tipos de capacitância comumente usados em circuitos.21 Por exemplo, um par de placas de 1 cm2 separadas por 1 mm é um capacitor ligeiramente inferior a 10^{-12} F (um picofarad); você precisaria de 100.000 deles apenas para criar o 0.1 μF capacitor da Figura 1.28 (o que não é nada especial; rotineiramente usamos capacitores com muitos microfarads de capacitância). Normalmente você não precisa calcular ca pacitâncias, porque você compra um capacitor como um componente eletrônico.

Para uma primeira aproximação, os capacitores são dispositivos que podem ser considerados simplesmente resistores dependentes da frequência.

[21] E também não faz mal ter uma constante dielétrica alta: o ar tem ϵ = 1, mas os filmes plásticos têm ϵ = 2,1 (polipropileno) ou 3,1 (poliéster). E certas cerâmicas são populares entre os fabricantes de capacitores: ϵ = 45 (tipo "C0G") ou 3000 (tipo "X7R").

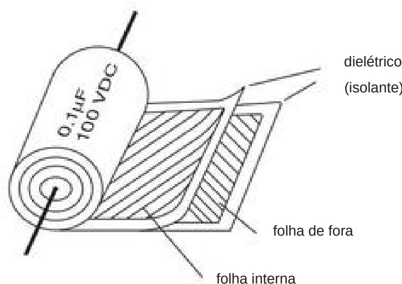


Figura 1.28. Você ganha bastante área enrolando um par de filmes plásticos metalizados. E é muito divertido desenrolar um desses capacitores Mylar de chumbo axial (idem para as bolas de golfe de estilo antigo com seu longo elástico enrolado).

Eles permitem que você faça divisores de tensão dependentes da frequência, por exemplo. Para algumas aplicações (bypass, acoplamento) isso é quase tudo que você precisa saber, mas para outras aplicações (filtragem, armazenamento de energia, circuitos ressonantes) é necessário um entendimento mais profundo. Por exemplo, capacitores ideais não podem dissipar potência, mesmo que a corrente possa fluir através deles, porque a tensão e a corrente estão 90° fora de fase.

Antes de entrarmos nos detalhes dos capacitores nas próximas dezenas de páginas (incluindo algumas matemáticas necessárias que descrevem seu comportamento no tempo e na frequência), queremos enfatizar essas duas primeiras aplicações – por passagem e acoplamento – porque são as mais comuns usos de capacitores, e eles são fáceis de entender no nível mais simples. Veremos isso em detalhes mais tarde (§§1.7.1C e 1.7.16A), mas não é preciso esperar – é fácil e intuitivo. Como um capacitor parece um circuito aberto em CC, ele permite que você acople um sinal variável enquanto bloqueia seu nível CC médio. Este é um capacitor de *bloqueio* (também chamado de capacitor de *acoplamento),* como na Figura 1.93. Da mesma forma, como um capacitor se parece com um curto-circuito em altas frequências, ele suprime ("desvia") os sinais onde você não os deseja, por exemplo, nas tensões CC que alimentam seus circuitos, como na Figura 8.80A (onde os capacitores estão suprimindo sinais nas tensões de alimentação de +5 V e -5 V CC e também no terminal de base do transistor Q2).22 Demograficamente, essas duas aplicações respondem pela grande maioria dos capacitores conectados aos circuitos do mundo.

Tomando a derivada da equação definidora 1.13, você obtém

$$I = C\frac{dV}{dt}. \qquad (1.15)$$

Portanto, um capacitor é mais complicado que um resistor: a corrente não é simplesmente proporcional à tensão, mas sim à taxa de variação da tensão. Se você alterar a tensão em um farad em 1 volt por segundo, estará fornecendo um ampère. Por outro lado, se você fornecer um amplificador, sua tensão mudará em 1 volt por segundo. Um farad é uma capacitância enorme, e você normalmente lida com microfarads (F), nanofarads (nF) ou picofarads (pF).23 Por exemplo, se você fornecer uma corrente F, a tensão aumentará a 1.000 volts por segundo. Um pulso de 1 mA para 1 m de 10 ms dessa corrente aumentará a tensão no capacitor em 10 volts (Figura 1.29).

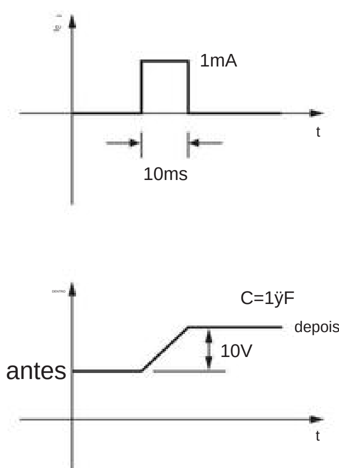


Figura 1.29. A tensão através de um capacitor muda quando uma corrente flui através dele.

Quando você carrega um capacitor, você está fornecendo energia. O capacitor não esquenta; em vez disso, ele armazena a energia em seus campos elétricos internos. É um exercício fácil descobrir por si mesmo que a quantidade de energia armazenada em um capacitor carregado é apenas

$$UC = \frac{1}{2}CV2, \qquad (1.16)$$

onde UC está em joules para *C* em farads e *V* em volts. Este é um resultado importante; veremos com frequência.

Exercício 1.14. Aceite o desafio da energia: imagine carregar um capacitor de capacitância C, de 0 V até alguma tensão final Vf. Se você fizer certo, o resultado não vai depender de como chegar lá,

22 Ironicamente, esses capacitores de bypass essenciais são tão aceitos que geralmente são omitidos dos diagramas esquemáticos (uma prática que seguimos neste livro). Não cometa o erro de omiti-los também de seus circuitos reais!

23 Para tornar as coisas confusas para os não iniciados, as unidades são frequentemente omitidas em valores de capacitores especificados em diagramas esquemáticos. Você tem que descobrir a partir do contexto.

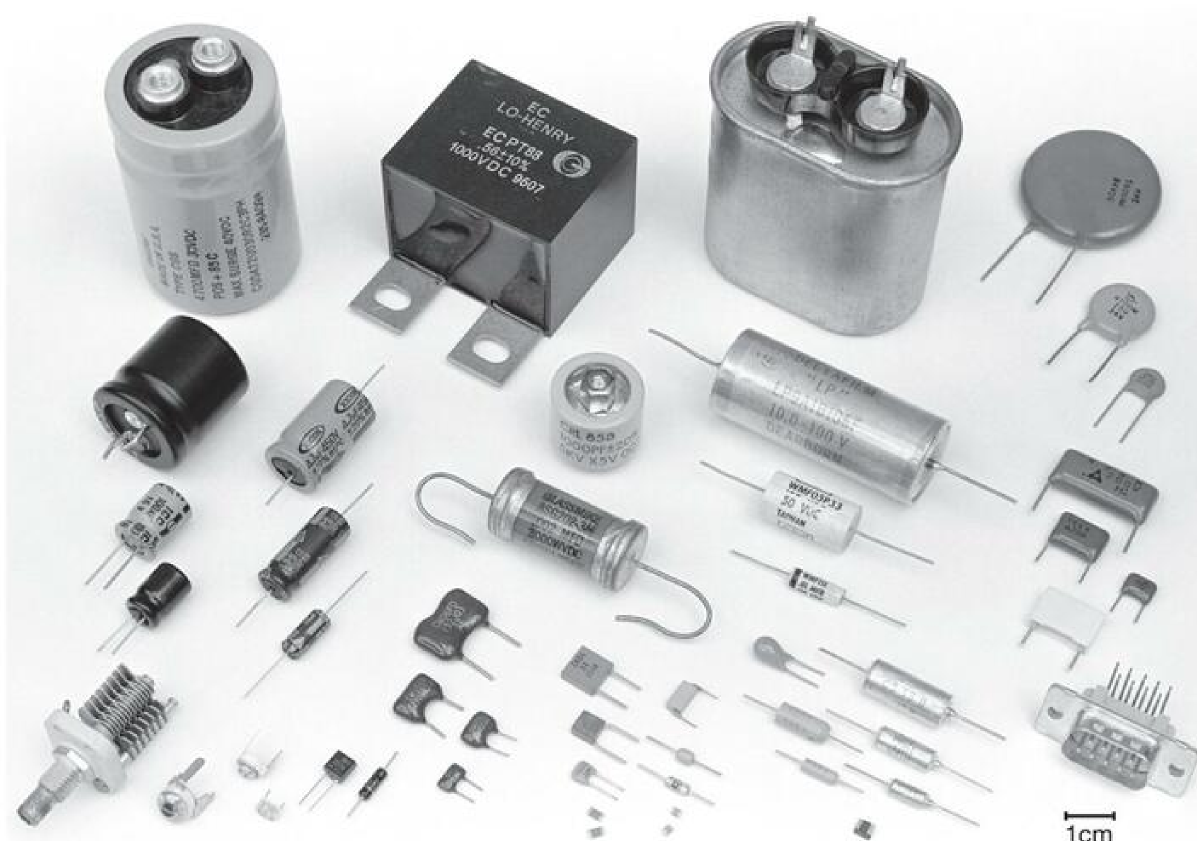


Figura 1.30. Os capacitores se disfarçam como o que quiserem! Aqui está uma coleção representativa. No canto inferior esquerdo estão capacitores variáveis de pequeno valor (um de ar, três de cerâmica), com eletrolíticos de alumínio polarizado de grande valor acima deles (os três à esquerda têm condutores radiais, os três à direita têm condutores axiais e a amostra com terminais de parafuso na parte superior é freqüentemente chamado de computador eletrolítico). Em seguida, na linha superior, está um capacitor de filme de baixa indutância (observe os terminais de cinta larga), depois um capacitor de papel cheio de óleo e, por último, um conjunto de capacitores de disco cerâmico descendo à direita. Os quatro objetos retangulares abaixo são capacitores de filme (poliéster, policarbonato ou polipropileno). O conector D-subminiature parece mal colocado – mas é um conector filtrado, com um capacitor de 1000 pF de cada pino para o shell. À sua esquerda está um grupo de sete eletrolíticos de tântalo polarizados (cinco com eletrodos axiais, um radial e um de montagem em superfície). Os três capacitores acima deles são capacitores de filme axial. Os dez capacitores na parte inferior central são todos do tipo cerâmico (quatro com condutores radiais, dois axiais e quatro capacitores de chip de montagem em superfície); acima deles estão capacitores de alta tensão - um capacitor de vidro axial e um capacitor de transmissão de cerâmica com terminais de parafuso. Finalmente, abaixo deles e à esquerda estão quatro capacitores de mica e um par de objetos semelhantes a diodos conhecidos como varactors, que são capacitores de tensão variável feitos de uma junção de diodo.

então você não precisa assumir o carregamento de corrente constante (embora você seja bem-vindo a fazê-lo). Em qualquer instante, a taxa de fluxo de energia no capacitor é VI (joules/s); então você precisa integrar $dU = V\,Idt$ do início ao fim. Pegue a partir daí.

Os capacitores vêm em uma incrível variedade de formas e tamanhos (a Figura 1.30 mostra exemplos da maioria deles); com o tempo, você reconhecerá suas nações encarnadas mais comuns. Para as menores capacitâncias, você pode ver exemplos da construção básica de placa paralela (ou pistão cilíndrico). Para maior capacitância, você precisa de mais área e espaçamento mais próximo; a abordagem usual é colocar algum condutor em um material isolante fino (o dielétrico), por exemplo, filme plástico aluminizado enrolado em uma pequena configuração cilíndrica. Outros tipos populares são wafers finos de cerâmica (capacitores de chip de cerâmica), folhas de metal com isoladores de óxido (capacitores eletrolíticos) e mica metalizada. Cada um desses tipos possui propriedades únicas; para um breve resumo, consulte a seção sobre capacitores no Capítulo *1x.* Em geral, os tipos de cerâmica e poliéster são usados para a maioria das aplicações de circuitos não críticos; capacitores com policarbonato, poliestireno, polipropileno, Teflon ou dielétrico de vidro são

usado em aplicações exigentes; capacitores de tântalo são usados onde maior capacitância é necessária; e eletrolíticos de alumínio são usados para filtragem de fonte de alimentação.

A. Capacitores em paralelo e em série A capacitância de vários capacitores em paralelo é a soma de suas capacitâncias individuais. Isso é fácil de ver: coloque a tensão *V* na combinação paralela; então

$$C_{total}V = Q_{total} = Q_1 + Q_2 + Q_3 + \cdots$$
$$= C_1V + C_2V + C_3V + \cdots$$
$$= (C_1 + C_2 + C_3 + \cdots)V$$

ou

$$C_{total} = C_1 + C_2 + C_3 + \cdots. \qquad (1.17)$$

Para capacitores em série, a fórmula é a mesma para resistores em paralelo:

$$C_{total} = \frac{1}{\frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3} + \cdots} \qquad (1.18)$$

ou (somente dois capacitores)

$$C_{total} = \frac{C_1C_2}{C_1 + C_2}.$$

Exercício 1.15. Derive a fórmula para a capacitância de dois pacitores ca em série. *Dica:* como não há conexão externa até o ponto em que os dois capacitores estão conectados, eles devem ter cargas armazenadas iguais.

A corrente que flui em um capacitor durante o carregamento *(I = C dV/ dt)* tem algumas características incomuns. Ao contrário da corrente resistiva, não é proporcional à tensão, mas sim à taxa de variação (a "derivada de tempo") da tensão. Além disso, ao contrário da situação em um resistor, a potência (V×I) associada à corrente capacitiva não é transformada em calor, mas é armazenada como energia no campo elétrico interno do capacitor.

Você recupera toda essa energia quando descarrega o capacitor. Veremos outra maneira de olhar para essas curiosas propriedades quando falarmos sobre *reatância,* começando em §1.7.

1.4.2 Circuitos RC: V e I versus tempo

Ao lidar com circuitos CA (ou, em geral, quaisquer circuitos que tenham tensões e correntes variáveis), existem duas abordagens possíveis. Você pode falar sobre *V* e *I* versus tempo, ou pode falar sobre amplitude versus frequência do sinal. Ambas as abordagens têm seus méritos, e você se vê alternando de acordo com a descrição mais conveniente em cada situação. Começamos nosso estudo de circuitos CA no *domínio do tempo.* Começando com §1.7, abordaremos o *domínio da frequência.*

Quais são algumas das características dos circuitos com capacitores? Para responder a essa pergunta, vamos começar com o circuito *RC* simples (Figura 1.31). A aplicação das regras do capacitor fornece

$$C\frac{dV}{dt} = I = -\frac{V}{R}. \qquad (1.19)$$

Esta é uma equação diferencial, e sua solução é

$$V = Ae^{-t/RC}. \qquad (1.20)$$

Portanto, um capacitor carregado colocado em um resistor descarregará como na Figura 1.32. A intuição serve bem aqui: a corrente que flui é (pela equação do resistor) proporcional à voltagem restante; mas a inclinação da descarga é (da equação do capacitor) proporcional a essa corrente.

Então a curva de descarga tem que ser uma função cuja derivada seja proporcional ao seu valor, ou seja, uma exponencial.

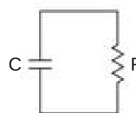
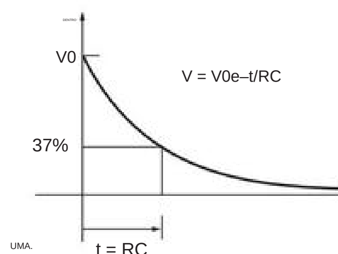


Figura 1.31. O circuito *RC* mais simples .



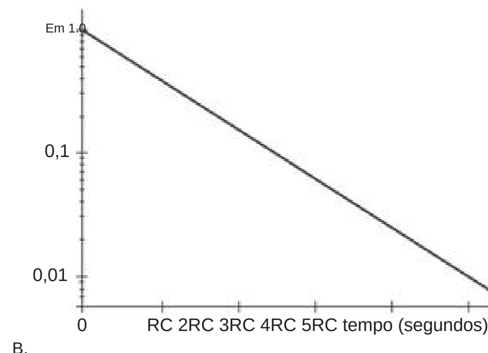


Figura 1.32. Forma de onda de descarga *RC* , plotada com eixos de tensão (A) linear e (B) logarítmico.

A. Constante de tempo

O produto *RC* é chamado de *constante* de tempo do circuito. Para *R* em ohms e C em farads, o produto *RC* é em segundos. Um microfarad em 1,0k tem uma constante de tempo de 1 ms; se o capacitor for inicialmente carregado com 1,0 V, a corrente inicial é 1,0 mA.

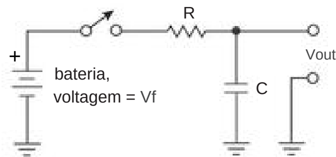


Figura 1.33. Circuito de carregamento *RC* .

A Figura 1.33 mostra um circuito ligeiramente diferente. No tempo *t* = 0, alguém conecta a bateria. A equação do circuito é então

$$I = C\frac{dV}{dt} = \frac{V_f ÿ V_{out}}{R},$$

com a solução

$$V_{out} = V_f + A\, eÿt/RC.$$

(Por favor, não se preocupe se você não conseguir acompanhar a matemática. O que estamos fazendo é obter alguns resultados importantes, dos quais você deve se lembrar. Posteriormente, usaremos os resultados de dez, sem mais necessidade da matemática usada para derivá-los. Para leitores cujo conhecimento de matemática é um pouco *enferrujado,* a breve revisão no Apêndice A pode ser útil.) A constante *A* é determinada pelas condições iniciais (Figura 1.34): *V* = 0 em *t* = 0; portanto, *A* = ÿVf, e

$$V_{out} = V_f(1ÿeÿt/RC). \quad (1.21)$$

Mais uma vez a intuição é boa: conforme o capacitor carrega, a inclinação (que é proporcional à corrente, porque é um capacitor) é proporcional à tensão *restante* (porque é ela que aparece no resistor, produzindo a corrente); então temos uma forma de onda cuja inclinação diminui proporcionalmente à distância vertical que ainda falta percorrer – uma exponencial.

Você pode inverter a última equação para descobrir o tempo necessário para atingir uma tensão *V* no caminho para a tensão final Vf. Tente! (Consulte o Apêndice A se precisar de ajuda com logaritmos.) Você deve obter

$$t = \log RC \frac{V_f}{V_f ÿ V} \quad (1.22)$$

B. Decaimento para o equilíbrio

Eventualmente (quando *t* RC), *V* atinge Vf. (Apresentando a " regra *prática 5RC* ": um capacitor carrega ou decai para

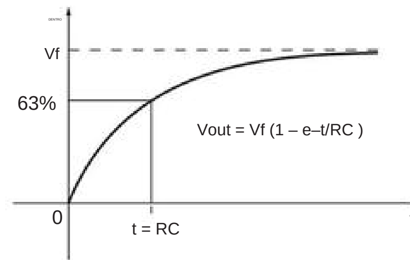


Figura 1.34. Forma de onda de carregamento *RC* .

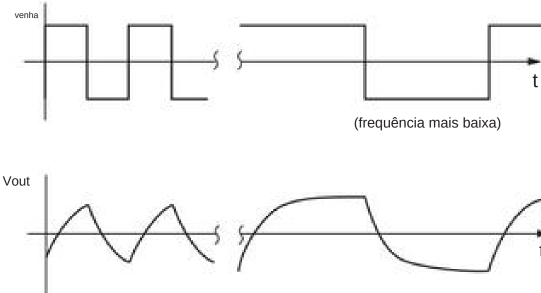


Figura 1.35. Saída (formas de onda mais baixas) através de um capacitor, quando conduzido por ondas quadradas através de um resistor.

dentro de 1% de seu valor final em cinco constantes de tempo.) Se então mudarmos a voltagem da bateria para algum outro valor (digamos, 0 V), *V* decairá em direção a esse novo valor com um exponencial eÿt/ RC. Por exemplo, substituir a entrada degrau da bateria de 0 a +*Vf* por uma entrada de onda quadrada Vin(t) produziria a saída mostrada na Figura 1.35.

Exercício 1.16. Mostre que o tempo de subida (tempo necessário para ir de 10% a 90% de seu valor final) desse sinal é *2,2RC.*

Você pode fazer a próxima pergunta óbvia: e quanto a *V(t)* para Vin(t) arbitrário ? A solução envolve uma equação diferencial não homogênea e pode ser resolvida por métodos padrão (que estão, entretanto, fora do escopo deste livro). você iria encontrar

$$V(t) = \frac{1}{RC}\int_{ÿÿ}^{t} \text{vir a ser}\,t\,)eÿ(tÿ\,t\,)/RCd\,t\,.$$

Ou seja, o circuito *RC* calcula a média do histórico passado na entrada com um fator de ponderação de

$$eÿÿt/RC.$$

Na prática, você raramente faz essa pergunta. Em vez disso, você lida com o *domínio da frequência,* no qual pergunta quanto de cada componente de frequência presente na entrada passa. Chegaremos a este importante tópico em breve (§1.7). Antes de fazermos isso, porém, há alguns outros

circuitos que podemos analisar simplesmente com essa abordagem no domínio do tempo.

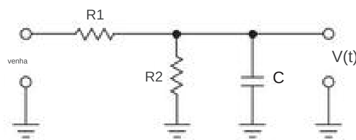


Figura 1.36. Parece complicado, mas não é! (Thevenin para o resgate.)

C. Simplificação por equivalentes de Thevenin

Poderíamos prosseguir e analisar circuitos mais complicados por métodos semelhantes, anotando as equações diferenciais e tentando encontrar soluções. Para a maioria dos propósitos, simplesmente não vale a pena. Este é um circuito *RC* tão complicado quanto precisamos. Muitos outros circuitos podem ser reduzidos a ele; veja, por exemplo, o circuito da Figura 1.36. Usando apenas o equivalente de Thevenin do divisor de tensão formado por R1 e R2, você pode encontrar a saída *V(t)* produzida por uma entrada degrau para Vin.

Exercício 1.17. No circuito mostrado na Figura 1.36, R1 = R2 =10k e *C* =0,1 mF. Encontre *V(t)* e esboce-o.

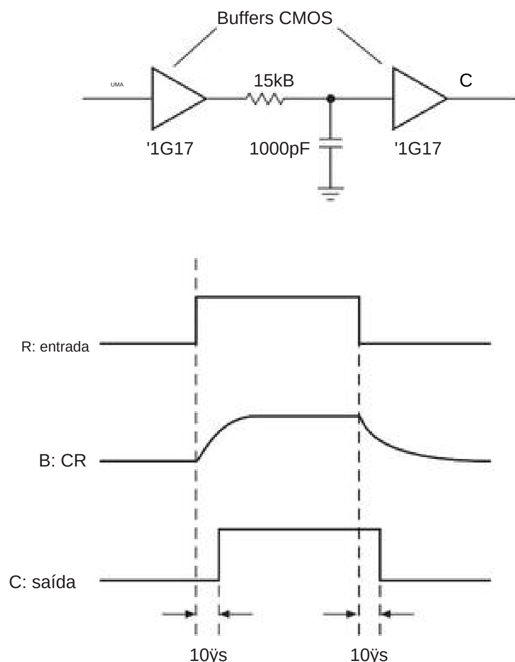


Figura 1.37. Produzindo uma forma de onda digital atrasada com a ajuda de um *RC* e um par de buffers lógicos da família LVC (pequenas peças com um grande número de peça: SN74LVC1G17DCKR!).

D. Um exemplo de circuito: circuito de retardo de tempo

de tempo Vamos fazer um pequeno desvio para testar essas ideias teóricas em alguns circuitos reais. Os livros didáticos geralmente evitam esse pragmatismo, especialmente nos primeiros capítulos, mas achamos divertido aplicar a eletrônica a aplicações práticas. Precisaremos introduzir alguns componentes de "caixa preta" para fazer o trabalho, mas você aprenderá sobre eles em detalhes mais tarde, então não se preocupe.

Já mencionamos os níveis lógicos, as tensões nas quais vivem os circuitos digitais. A Figura 1.37 mostra uma aplicação de capacitores para produzir um pulso atrasado. Os símbolos triangulares são " buffers CMOS[24] ". Eles fornecem uma saída ALTA se a entrada for ALTA (mais da metade da tensão da fonte de alimentação CC usada para alimentá-los) e vice-versa. O primeiro buffer fornece uma réplica do sinal de entrada, mas com baixa resistência da fonte, para evitar o carregamento de entrada pelo *RC* (lembre-se de nossa discussão anterior sobre carregamento de circuito em §1.2.5A). A saída *RC* tem a característica de decair e faz com que o buffer de saída comute 10 s após as transições de entrada (um tempo *t* = *0,7RC).* Em uma aplicação real, você teria que considerar o efeito do limite de entrada do buffer desviando da metade da tensão de alimentação, o que alteraria o atraso e mudaria a largura do pulso de saída. Às vezes, esse circuito é usado para atrasar um pulso para que algo mais possa acontecer primeiro. Ao projetar circuitos, você não costuma confiar em truques como esse, mas eles são ocasionalmente úteis.

E. Outro exemplo de circuito: "One Minute of Power"

A Figura 1.38 mostra outro exemplo do que pode ser feito com circuitos de temporização *RC* simples . O símbolo triangular é um *comparador,* algo que trataremos em detalhes mais adiante, nos Capítulos 4 e 10; tudo o que você precisa saber, por enquanto, é que (a) é um CI (contendo um monte de resistores e transistores), (b) é alimentado por alguma tensão CC positiva que você conecta ao pino rotulado como "V+, " e (c) direciona sua saída (o fio saindo para a direita) para V+ ou para o terra, dependendo se a entrada rotulada como "+" é mais ou menos positiva do que a entrada rotulada como "-", respectivamente. (Essas são chamadas *de entradas não inversoras* e *inversoras* , respectivamente.) Ele não extrai nenhuma corrente de suas entradas, mas alimenta alegremente cargas que requerem até 20 mA ou mais. E um comparador é decisivo: sua saída é "HIGH" (em V+) ou "LOW" (terra).

Veja como o circuito funciona: o divisor de tensão *R3R4* mantém a entrada (-) em 37% da tensão de alimentação, neste caso cerca de +1,8 V; vamos chamar isso de "tensão de referência".

---

[24] Semicondutor de óxido de metal complementar, a forma dominante da lógica digital, como veremos do Capítulo 10 em diante.

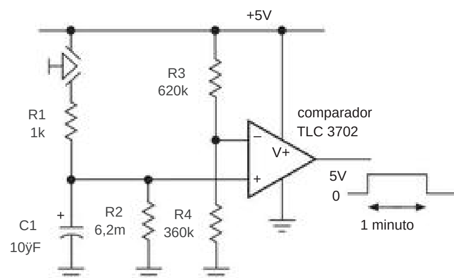


Figura 1.38. Circuito de temporização *RC :* um toque ÿ um minuto!.

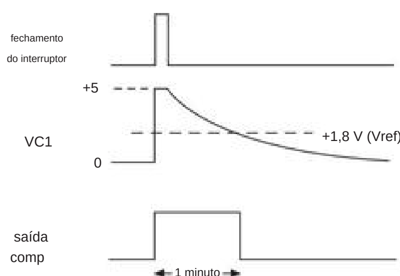


Figura 1.39. Produzindo uma forma de onda digital atrasada para o circuito da Figura 1.38. A tensão *VC1* tem um tempo de subida de *R1C1* ÿ10 ms.

Portanto, se o circuito estiver parado por um tempo, C1 está totalmente descarregado e a saída do comparador está aterrada. Quando você pressiona o botão START momentaneamente, C1 carrega rapidamente (constante de tempo de 10 ms) para +5 V, o que faz com que a saída do comparador mude para +5 V; veja a Figura 1.39. Após soltar o botão, o capacitor descarrega exponencialmente em direção ao terra, com uma constante de tempo de = *R2C1,* que definimos como 1 minuto. Nesse momento, sua tensão cruza a tensão de referência, de modo que a saída do comparador volta rapidamente ao terra. (Observe que escolhemos convenientemente a tensão de referência como uma fração 1/e de V+, portanto, leva exatamente uma constante de tempo para que isso aconteça. Para R2 , usamos o valor padrão mais próximo de 6 Mÿ; consulte o Apêndice C .) O ponto principal é que a saída gasta 1 minuto em +5 V, depois que o botão é pressionado.

Adicionaremos alguns detalhes em breve, mas primeiro vamos usar a saída para fazer algumas coisas interessantes, que são mostradas nas Figuras 1.40A–D. Você pode fazer um chaveiro de lanterna com parada automática conectando sua saída a um LED; você precisa colocar um resistor em série, para definir a corrente (falaremos muito mais sobre isso depois). Se preferir fazer algum barulho, você pode conectar um *bipe piezoelétrico* para bipar continuamente (ou intermitentemente) por um minuto (isso pode ser um sinal de fim de ciclo para uma secadora de roupas). Outra possibilidade é conectar um pequeno *relé eletromecânico,* que é apenas uma chave mecânica operada eletricamente, para fornecer um par de contatos que pode ativar praticamente qualquer carga que você deseja ligar e desligar. O uso de um relé tem a propriedade importante de que a carga – o circuito sendo comutado pelo relé – é eletricamente isolada dos +5 V e do terra do próprio circuito de temporização.

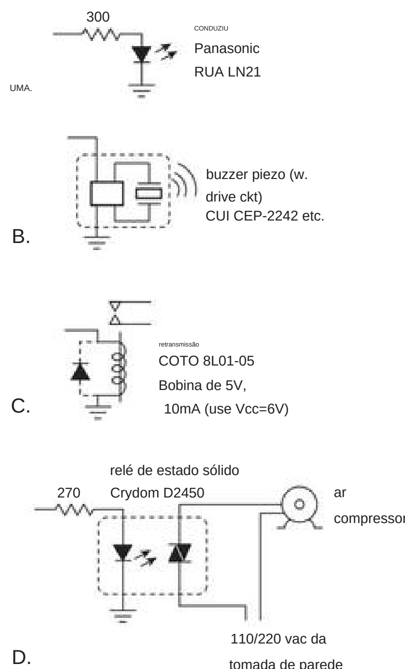


Figura 1.40. Extraindo coisas interessantes da saída do circuito do temporizador na Figura 1.38.

Finalmente, para ligar e desligar máquinas industriais sérias, você provavelmente usaria um robusto *relé de estado sólido* (SSR, §12.7), que possui um LED infravermelho acoplado a um dispositivo de comutação CA conhecido como *triac.* Quando ativado, o triac atua como um excelente interruptor mecânico, capaz de alternar muitos amperes e (como o relé eletromecânico) é totalmente isolado eletricamente de seu circuito de entrada. O exemplo mostra essa coisa ligada a um compressor de ar, para que seus amigos tenham um minuto de ar para encher os pneus no "posto de gasolina" de sua casa (literalmente!) depois de colocarem uma moeda no cronômetro iniciado por uma moeda. Você poderia fazer uma coisa análoga com um banho quente operado por moedas (mas, ei, temos apenas *um minuto?!).*

Alguns detalhes: (a) no circuito da Figura 1.38 você poderia omitir R1 e o circuito ainda funcionaria, mas haveria uma grande corrente transiente quando o capacitor descarregado fosse inicialmente conectado através da fonte de +5 V (lembre-se de *I = C dV/dt:* aqui você estaria tentando produzir 5 V de *"dV"* em aproximadamente 0 s de "dt"). Ao adicionar um resistor em série R1 , você limita a corrente de pico a modestos 5 mA durante o carregamento

o capacitor rápido o suficiente (> 99% em 5 constantes de tempo *RC* , ou 0,05 s). (b) A saída do comparador provavelmente oscilaria um pouco (veja a Figura 4.31), assim como a entrada (+) cruza a tensão de referência em sua prome nade vagarosamente exponencial em direção ao terra, devido aos inevitáveis bits de ruído elétrico. Para corrigir esse problema, você geralmente vê o circuito organizado de forma que parte da saída seja acoplada de volta à entrada de uma maneira que reforce a comutação (isso é oficialmente chamado *de histerese* ou *feedback positivo;* veremos isso nos capítulos 4 e 10). (c) Em circuitos eletrônicos é sempre uma boa idéia *desviar* a alimentação CC conectando um ou mais capacitores entre o "trilho" CC e o terra. A capacitância é não crítica – valores de 0,1 F são comumente usados; consulte §1.7.16A.

m F a 10 m

Acima de tudo, nossos exemplos simples envolviam ligar e desligar alguma carga. Mas há outros usos para um eletrônico sinal *lógico* , como a saída do comparador, que está em um dos dois estados binários possíveis, chamados HIGH e LOW (neste caso +5 V e terra), 1 e 0, ou TRUE e FALSE.

Por exemplo, tal sinal pode habilitar ou desabilitar a operação de algum outro circuito. Imagine que a abertura da porta de um carro aciona nossa saída ALTA de 1 min , que permite que um teclado aceite um código de segurança para que você possa ligar o carro. Depois de um minuto, se você não conseguiu digitar o código mágico, ele desliga, garantindo assim um certo mínimo de sobriedade do operador.

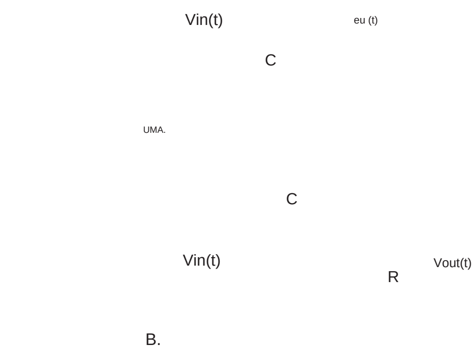


Figura 1.41. Diferenciais. A. Perfeito (exceto que não tem terminal de saída). B. Aproximado (mas pelo menos tem uma saída!).

1.4.3 Diferenciais

Você pode fazer um circuito simples que diferencie um sinal de entrada; isto é, Vout ÿ dVin/dt. Vamos fazer isso em duas etapas.

1. Primeiro observe o circuito (impraticável) da Figura 1.41A: A tensão de entrada Vin(t) produz uma corrente através do capacitor de Icap =*C* dVin/dt. Isso é exatamente o que queremos - se nós poderia de alguma forma usar a corrente através de *C* como nossa "saída"! Mas não podemos.[25] 2. Portanto, adicionamos um pequeno resistor do lado inferior do capacitor ao terra, para atuar como um resistor "detetor de corrente" (Figura 1.41B). A boa notícia é que agora temos uma saída proporcional à corrente através do capacitor. A má notícia é que o circuito não é mais um diferenciador matemático perfeito. Isso ocorre porque a tensão em *C* (cuja derivada produz a corrente que estamos sentindo com R) não é mais igual a Vin; agora é igual à diferença entre Vin e Vout. Veja como funciona: a tensão em *C* é *Vin-Vout,* então

$$I = C\frac{d}{dt}(V_{in} - V_{out}) = \frac{V_{out}}{R}.$$

Se escolhermos *R* e *C* pequenos o suficiente para que dVout/dt dVin/dt, então

$$C\frac{dV_{in}}{dt} ÿ \frac{V_{out}}{R}$$

ou

$$V_{out}(t) ÿ RC\frac{d}{dt}V_{in}(t).$$

Ou seja, obtemos uma saída proporcional à taxa de variação da forma de onda de entrada.

Para manter dVout/dt dVin/dt, tornamos o produto *RC* pequeno, tomando cuidado para não "carregar" a entrada tornando *R* muito pequeno (na transição, a mudança de tensão no capacitor é zero, então *R* é a carga visto pela entrada). Teremos um critério melhor para isso quando olharmos para as coisas no domínio da frequência (§1.7.10). Se você conduzir este circuito com uma onda quadrada, a saída será como mostrado na Figura 1.42.



Figura 1.42. Forma de onda de saída (inferior) do diferenciador conduzido por uma onda quadrada.

Os diferenciadores são úteis para detectar *bordas* de ataque e *bordas de fuga* em sinais de pulso e, em circuitos digitais, às vezes você vê coisas como as representadas na Figura 1.43. O diferenciador *RC* gera picos nas transições do sinal de entrada e o buffer de saída converte

25 Os devotos do cinema serão lembrados da explosão do Dr. Strangelove: "Todo o objetivo de uma máquina do Juízo Final é perdido se você mantê-la em *segredo!"*

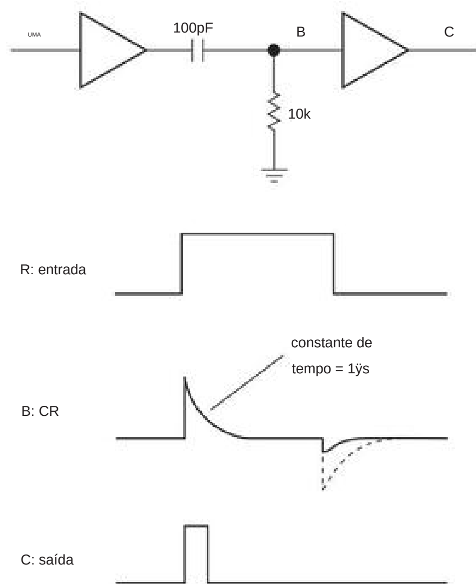


Figura 1.43. Detector de ponta.

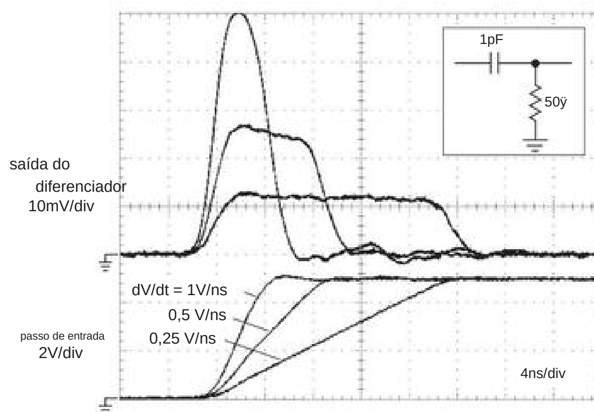


Figura 1.44. Três formas de onda de passo rápido, diferenciadas pela rede *RC* mostrada. Para a forma de onda mais rápida (109 volts por segundo!), imperfeições nos componentes e instrumentos de medição causam desvio do ideal.

os picos em pulsos curtos de topo quadrado. Na prática, o pico negativo será pequeno por causa de um diodo (um dispositivo prático discutido em §1.6) embutido no buffer.

Para injetar algum realismo do mundo real aqui, conectamos e fizemos algumas medições em um diferenciador que configuramos para sinais de alta velocidade. Para isso, usamos C=1 pF e R=50ÿ (o último é o padrão mundial para circuitos de alta velocidade, consulte o Apêndice H), nós o conduzimos com um passo de 5 V de taxa de variação ajustável (ou seja, *dV/ dt).* A Figura 1.44 mostra as formas de onda de entrada e saída, para três opções de dVin/dt.
Nessas velocidades (observe a escala horizontal: 4 nanossegundos por divisão!), os circuitos geralmente se afastam do desempenho ideal, como pode ser visto no tempo de subida mais rápido. As duas etapas mais lentas mostram um comportamento razoável; isto é, uma forma de onda de saída plana durante a rampa ascendente da entrada; verifique você mesmo se a amplitude de saída está prevista corretamente pela fórmula.

A. Acoplamento capacitivo não intencional Os diferenciadores às vezes surgem inesperadamente, em situações em que não são bem-vindos. Você pode ver sinais como os mostrados na Figura 1.45. O primeiro caso é causado por uma onda quadrada em algum lugar do circuito acoplando-se capacitivamente à linha de sinal que você está olhando; isso pode indicar uma terminação de resistor ausente em sua linha de sinal. Caso contrário, você deve reduzir a resistência da fonte da linha de sinal ou encontrar uma maneira de reduzir o acoplamento capacitivo da onda quadrada de proteção. O segundo caso é típico do que você pode ver quando olha para uma onda quadrada, mas tem um conexão quebrada em algum lugar, geralmente na sonda do osciloscópio. A capacitância muito pequena da conexão quebrada combina com a resistência de entrada do osciloscópio para formar um diferenciador. Saber que você tem um "algo" diferenciado pode ajudá-lo a encontrar o problema e eliminá-lo.

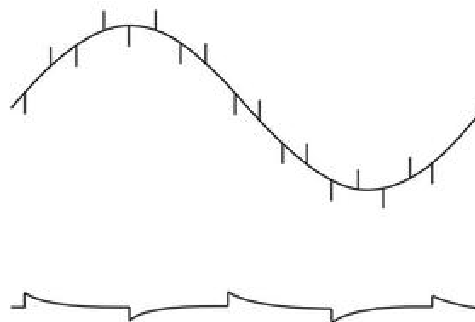


Figura 1.45. Dois exemplos de acoplamento capacitivo não intencional.

1.4.4 Integradores

Se os circuitos *RC* podem derivar, por que não integrais? Como antes, vamos fazer isso em duas etapas.

1. Imagine que temos um sinal de entrada que é uma *corrente* variável no tempo versus tempo, Iin(t) (Figura 1.46A).26 Essa corrente de entrada é precisamente a corrente através do capacitor, então Iin(t) = *C* dV(t)/dt, e portanto *V(t) = Iin(t)dt.*

---

26 Estamos acostumados a pensar em sinais como *tensões variáveis no tempo;* mas veremos como podemos converter esses sinais em correntes proporcionais variáveis no tempo , usando "conversores de tensão para corrente" (com o nome mais sofisticado de "amplificadores de transcondutância").

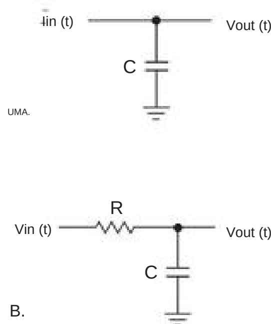


Figura 1.46. Integrador. A. Perfeito (mas requer um sinal de entrada atual). B. Aproximado (ver texto).

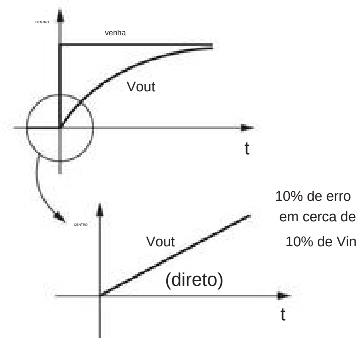


Figura 1.47. A aproximação do integrador é boa quando Vout Vin.

Isso é exatamente o que queríamos! Assim, um capacitor simples, com um lado aterrado, é um integrador, *se* tivermos um sinal de entrada na forma de uma corrente Iin(t). Na maioria das vezes, não o fazemos, no entanto.

2. Portanto, conectamos um resistor em série com o sinal *de tensão de* entrada mais comum , Vin(t), para convertê-lo em corrente (Figura 1.46B). A boa notícia é que funciona, mais ou menos. A má notícia é que o circuito não é mais um integrador perfeito. Isso porque a corrente através de *C* (cuja integral produz a tensão de saída) não é mais proporcional a Vin; agora é proporcional à diferença entre Vin e V.

Veja como funciona: a tensão em *R* é VinÿV, então

$$I = C\frac{dV}{dt} = \frac{Vin - V}{R}.$$

Se conseguirmos manter *V* Vin, mantendo o produto *RC* grande,[27] então

$$C\frac{dV}{dt} ÿ \frac{venha}{R}$$

ou

$$V(t) = \frac{1}{RC}\int^{t} Vin(t)dt + \text{constante}.$$

Ou seja, obtemos uma saída proporcional à integral ao longo do tempo da forma de onda de entrada. Você pode ver como a aproximação funciona para uma entrada de onda quadrada: *V(t)* é então a curva de carga exponencial que vimos anteriormente (Figura 1.47). A primeira parte da exponencial é uma rampa, a integral de uma constante; à medida que aumentamos a constante de tempo *RC,* extraímos uma parte menor da exponencial, ou seja, uma melhor aproximação de uma rampa perfeita.

Observe que a condição *V* Vin é o mesmo que dizer que *I* é proporcional a Vin, que foi nosso primeiro integrador o circuito. Uma grande tensão através de uma grande resistência aproxima uma fonte de corrente e, de fato, é freqüentemente usada como 1.

Mais tarde, quando chegarmos aos amplificadores operacionais e feedback, poderemos construir integradores sem a restrição Vout Vin. Eles trabalharão em grandes faixas de frequência e tensão com erro insignificante.

O integrador é usado extensivamente em computação analógica. É um subcircuito útil que encontra aplicação em sistemas de controle, realimentação, conversão analógico-digital e geração de formas de onda.

A. Geradores de rampa

Neste ponto é fácil entender como funciona um gerador de rampa. Este bom circuito é extremamente útil, por exemplo, em circuitos de temporização, forma de onda e geradores de função, circuitos de varredura de osciloscópios analógicos e circuitos de conversão analógico-digital. O circuito usa uma corrente constante para carregar um capacitor (Figura 1.48). Da equação do capacitor *I* = C(dV/dt), você obtém *V(t)=(I/ C)t.* A forma de onda de saída é mostrada na Figura 1.49. A rampa para quando a fonte de corrente "fica sem tensão", ou seja, atinge o limite de sua complacência. Na mesma figura é mostrada a curva para um *RC simples,* com o resistor ligado a uma fonte de tensão igual à complacência da fonte de corrente, e com *R* escolhido de forma que a corrente na tensão de saída zero seja igual à da corrente fonte. (Fontes de corrente reais geralmente têm conformidades de saída limitadas pelas tensões da fonte de alimentação usadas em sua fabricação, portanto a comparação é realista.) No próximo capítulo, que trata de transistores, projetaremos algumas fontes de corrente, com alguns refinamentos a seguir. os capítulos sobre amplificadores operacionais (op-amps) e FETs.

Coisas emocionantes para esperar!

Exercício 1.18. Uma corrente de 1 mA carrega um 1 mcapacitor F. Quão longo demora a rampa para chegar a 10 volts?

[27] Assim como com o diferenciador, teremos outra forma de enquadrar este critério em §1.7.10.

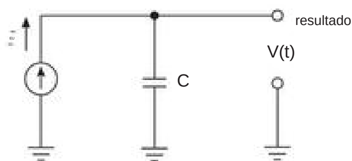


Figura 1.48. Uma fonte de corrente constante carregando um capacitor gera uma forma de onda de tensão de rampa.

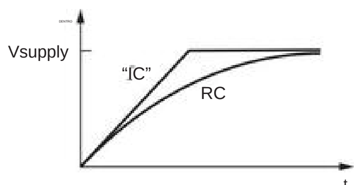


Figura 1.49. Carregamento de corrente constante (com conformidade finita) versus carregamento *RC* .

1.4.5 Não é perfeito. . .

Capacitores reais (do tipo que você pode ver, tocar e pagar) geralmente se comportam de acordo com a teoria; mas eles têm alguns "recursos" adicionais que podem causar problemas em alguns aplicativos exigentes. Por exemplo, todos os capacitores exibem *alguma resistência em série* (que pode ser uma função da frequência) e *alguma indutância em série* (consulte a próxima seção), juntamente com alguma resistência em paralelo dependente da frequência. Depois, há um efeito de "memória" (conhecido como *absorção dielétrica),* que raramente é discutido na sociedade educada: se você carregar um capacitor até uma certa tensão V0 e mantê-lo lá por um tempo e depois descarregá-lo para 0 V, quando você remover o curto em seus terminais, ele tenderá a voltar um pouco para V0.

Não se preocupe com essas coisas, por enquanto. Trataremos em detalhes esses efeitos (e outras peculiaridades dos componentes do mundo real) nos tópicos avançados do Capítulo *1x.*

1.5 Indutores e transformadores

1.5.1 Indutores

Se você entende de capacitores, não deve ter grandes problemas com indutores (Figura 1.50). Eles estão intimamente relacionados aos capacitores: a taxa de mudança de corrente em um indutor é proporcional à tensão aplicada através dele (para um capacitor é o contrário – a taxa de mudança de *tensão* é proporcional à *corrente* através dele). A equação que define um indutor é

$$V = L\,\frac{\text{a partir de}}{dt}, \qquad (1.23)$$

onde *L* é chamado de *indutância* e é medido em henrys (ou mH, H, nH, etc.). Colocar uma tensão constante em um indutor faz com que a corrente suba como uma rampa (compare com um capacitor, no qual uma *corrente* constante faz com que a *tensão* suba como uma rampa); 1 V em 1 H produz uma corrente que aumenta a 1 ampère por segundo.



Figura 1.50. Indutores. O símbolo da barra paralela representa um núcleo de material magnético.

Assim como nos capacitores, a energia investida para aumentar a corrente em um indutor é armazenada internamente, aqui na forma de campos magnéticos. E a fórmula análoga é

$$U_L = \frac{1}{2} LI^2, \qquad (1.24)$$

onde UL está em joules (segundos de watt) para *L* em henrys e *I* em amperes. Assim como acontece com os capacitores, esse é um resultado importante, que está no cerne da conversão de energia de comutação (exemplificado por aquelas pequenas "verrugas na parede" pretas que fornecem energia a todos os tipos de dispositivos eletrônicos de consumo). Veremos muito mais sobre isso no Capítulo 9.

O símbolo de um indutor se parece com uma bobina de fio; isso porque, em sua forma mais simples, isso é tudo. É um comportamento peculiar porque os indutores são dispositivos magnéticos, nos quais duas coisas estão acontecendo: a corrente que flui através da bobina cria um campo magnético alinhado ao longo do eixo da bobina; e então mudanças nesse campo produzem uma voltagem (às vezes chamada de "back EMF") de uma forma que tenta cancelar essas mudanças (um efeito conhecido como lei de Lenz). A indutância *L* de uma bobina é simplesmente a razão entre o fluxo magnético que passa pela bobina dividido pela corrente através da bobina que produz esse fluxo (multiplicado por uma constante geral). A indutância depende da geometria da bobina (por exemplo, diâmetro e comprimento) e das propriedades de qualquer material magnético (o "núcleo") que pode ser usado para confinar o campo magnético. Isso é tudo que você precisa para entender porque a indutância de uma bobina de determinada geometria é proporcional ao quadrado do número de voltas.

Exercício 1.19. Explique por que *L* ÿ n2 para um indutor que consiste em uma bobina de *n* voltas de fio, mantendo diâmetro e comprimento fixos quando *n* varia.

Entraremos em mais detalhes no Capítulo *1x.* Mas vale a pena exibir uma fórmula semi-empírica para a indutância aproximada *L* de uma bobina de diâmetro *d* e comprimento l, na qual a dependência n2 está em exibição:

$$L \text{ ÿ } K \frac{d^2n^2}{18d + 40l} \ \text{mH},$$

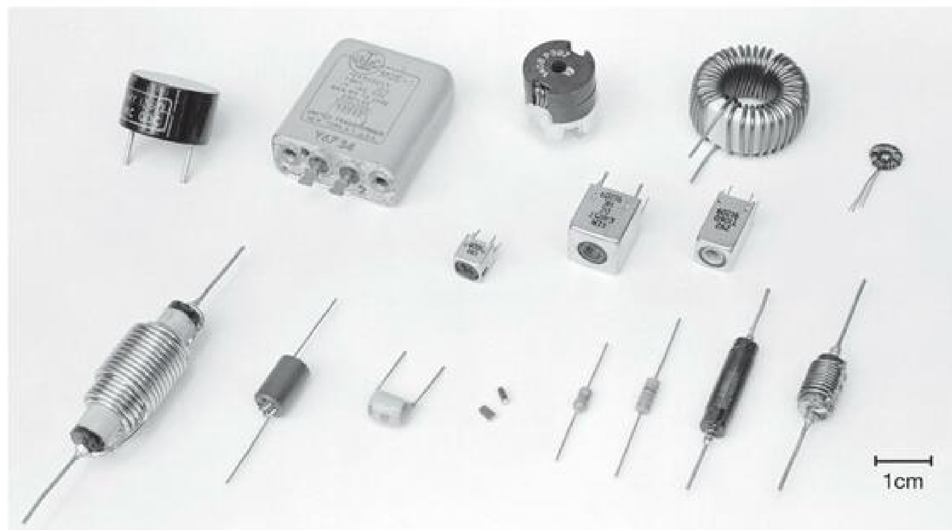


Figura 1.51. Indutores. Linha superior, da esquerda para a direita: toroide encapsulado, toroide hermeticamente selado, núcleo de pote montado em placa, toroide nu (dois tamanhos). Linha do meio: indutores de núcleo de ferrite sintonizados por slug (três tamanhos). Linha inferior: indutor de núcleo de ferrite de alta corrente, indutor de núcleo de ferrite, indutor de núcleo de ferrite de chumbo radial mergulhado, indutores de ferrite de montagem em superfície, indutores de núcleo de ferrite de chumbo axial moldado (dois estilos), indutores de núcleo de ferrite lacados (dois estilos).

onde K = 1,0 ou 0,395 para dimensões em polegadas ou centímetros, respectivamente. Isso é conhecido como fórmula de Wheeler e tem precisão de 1%, desde que l > 0,4d.

Assim como a corrente capacitiva, a corrente indutiva não é simplesmente proporcional à tensão (como em um resistor). Além disso, ao contrário da situação em um resistor, a potência associada à corrente indutiva (V×I) não é transformada em calor, mas é armazenada como energia no campo magnético do indutor (lembre-se que para um capacitor a potência associada à corrente capacitiva é igualmente não é dissipada como calor, mas é armazenada como energia no campo elétrico do capacitor). Você recupera toda essa energia quando interrompe a corrente do indutor (com um capacitor você recupera toda a energia quando descarrega a tensão a zero).

O indutor básico é uma bobina, que pode ser apenas uma espira com uma ou mais voltas de fio; ou pode ser uma bobina com algum comprimento, conhecida como solenóide. As variações incluem bobinas enroladas em vários materiais de núcleo, sendo os mais populares ferro (ou ligas de ferro, laminações ou pó) e ferrita (um material magnético frágil, cinzento e não condutor). Todos esses são truques para multiplicar a indutância de uma determinada bobina pela "permeabilidade" do material do núcleo. O núcleo pode ter a forma de uma haste, um toróide (rosquinha) ou formas ainda mais bizarras, como um "núcleo de pote" (que deve ser visto para ser compreendido; a melhor descrição que podemos fazer é um molde de rosquinha dividido horizontalmente ao meio, se rosquinhas fossem feito em moldes). Veja a Figura 1.51 para algumas tentativas típicas de geometria.

Os indutores são muito usados em circuitos de radiofrequência (RF), servindo como "chokes" de RF e como partes de circuitos sintonizados (§1.7.14). Um par de indutores estreitamente acoplados forma o interessante objeto conhecido como transformador. Falaremos brevemente sobre eles em breve.

Um indutor é, na verdade, o oposto de um capacitor.[28] Você verá como isso funciona mais adiante no capítulo, quando lidarmos com o importante assunto da *impedância.*

A. Um olhar à frente: um pouco de mágica com indutores

Apenas para dar uma amostra de alguns dos truques que você pode fazer com indutores, dê uma olhada na Figura 1.52. Embora entendamos esses circuitos muito melhor quando os examinarmos no Capítulo 9, é possível ver o que está acontecendo com o que já sabemos. Na Figura 1.52A, o lado esquerdo do indutor L é comutado alternadamente entre uma tensão de entrada CC Vin e terra, em uma taxa rápida, gastando tempos iguais

[28] Na prática, entretanto, os capacitores são muito mais amplamente usados em circuitos eletrônicos. Isso ocorre porque os indutores práticos se afastam significativamente do desempenho ideal – por terem resistência de enrolamento, perdas no núcleo e autocapacitância – enquanto os capacitores práticos são quase perfeitos (mais sobre isso no Capítulo 1x). Os indutores são indispensáveis, no entanto, na *comutação de conversores de potência,* bem como em circuitos *LC* sintonizados para aplicações de RF.

conectados a cada um (um "ciclo de trabalho de 50%"). Mas a definição da equação *V=LdI/ dt* exige que a tensão *média* em um indutor seja zero, caso contrário, a magnitude de sua corrente média aumentará sem limite. (Algumas vezes, isso é chamado de regra *de equilíbrio volt-segundo .)* A partir disso, segue-se que a tensão média de saída é metade da tensão de entrada (certifique-se de entender o porquê). Neste circuito, C2 atua como um capacitor de armazenamento para estabilizar a tensão de saída (mais sobre isso mais tarde, no Capítulo 9).

Produzir uma saída com metade da tensão de uma entrada não é muito empolgante; afinal, um simples divisor de tensão pode fazer isso. Mas, ao contrário de um divisor de tensão, este circuito não desperdiça energia; tirando as não idealidades dos componentes, é 100% eficiente. E de fato este circuito é amplamente utilizado na conversão de energia; é chamado de "conversor buck síncrono".

Mas olhe agora para a Figura 1.52B, que é apenas uma versão invertida da Figura 1.52A. Desta vez, o equilíbrio volt-segundo requer que a tensão de saída seja o *dobro* da tensão de entrada. Você não pode fazer *isso* com um divisor de tensão! Mais uma vez, o capacitor de saída *(C1* desta vez) serve para manter a tensão de saída estável armazenando carga. Essa configuração é chamada de "conversor boost síncrono".

Esses e outros conversores de comutação são discutidos extensivamente no Capítulo 9, onde a Tabela 9.5 lista cerca de cinquenta tipos representativos.

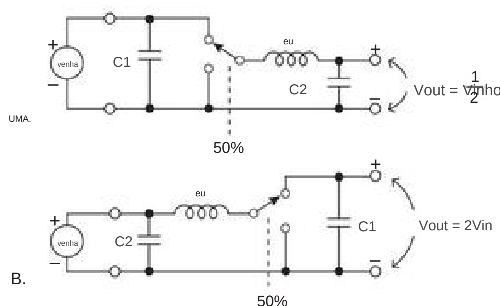


Figura 1.52. Os indutores permitem que você faça truques legais, como aumentar a tensão de entrada CC.

1.5.2 Transformadores

Um transformador é um dispositivo que consiste em duas bobinas estreitamente acopladas (chamadas primária e secundária). Uma tensão CA aplicada ao primário aparece através do secundário, com uma multiplicação de tensão proporcional à relação de espiras do transformador, e com uma multiplicação de corrente inversamente proporcional à relação de espiras. A energia é conservada. A Figura 1.53 mostra o símbolo do circuito para um transformador de núcleo laminado (o tipo usado para conversão de energia CA de 60 Hz).

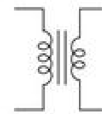


Figura 1.53. Transformador.

Os transformadores são bastante eficientes (a potência de saída é quase igual à potência de entrada); assim, um transformador elevador fornece uma tensão mais alta em uma corrente mais baixa. Avançando por um momento, um transformador de relação de espiras *n* aumenta a impedância em n2. Há muito pouca corrente primária se o secundário estiver descarregado.

Os transformadores de potência (destinados para uso na linha de força de 115 V) têm duas funções importantes em instrumentos eletrônicos: eles mudam a tensão da linha CA para um valor útil (geralmente mais baixo) que pode ser usado pelo circuito e eles "isolam" o dispositivo eletrônico da conexão real com a linha de energia, porque os enrolamentos de um transformador são eletricamente isolados um do outro. Eles vêm em uma enorme variedade de tensões e correntes secundárias: saídas tão baixas quanto 1 volt ou até vários milhares de volts, classificações de corrente de alguns miliamperes a centenas de amperes. Os transformadores típicos para uso em instrumentos eletrônicos podem ter tensões secundárias de 10 a 50 volts, com correntes nominais de 0,1 a 5 amperes ou mais. Uma classe relacionada de transformadores é usada na conversão de energia eletrônica, na qual muita energia está fluindo, mas normalmente como formas de pulso ou onda quadrada e em frequências muito mais altas (50 kHz a 1 MHz é típico).

Transformadores para sinais em frequências de áudio e frequências de rádio também estão disponíveis. Em frequências de rádio, você às vezes usa transformadores sintonizados se apenas uma faixa estreita de frequências estiver presente. Há também uma classe interessante de transformadores de linha de transmissão. Em geral, os transformadores para uso em altas frequências devem usar materiais de núcleo especiais ou construção para minimizar as perdas no núcleo, enquanto os transformadores de baixa frequência (por exemplo, transformadores de linha de força CA) são sobrecarregados por núcleos grandes e pesados. Os dois tipos de transformadores geralmente não são intercambiáveis.

R. Problemas, problemas. . .

Essa descrição simples de "primeira olhada" ignora questões interessantes – e importantes. Por exemplo, existem indutâncias associadas ao transformador, conforme sugerido por seu símbolo de circuito: uma indutância efetiva em paralelo (chamada de *indutância de magnetização)* e uma indutância em série efetiva (chamada de *indutância de dispersão).* A indutância magnetizante causa uma corrente primária mesmo sem carga secundária; mais significativamente, isso significa que você não pode fazer um "dc

transformador." E a indutância de fuga causa uma queda de tensão que depende da corrente de carga, bem como circuitos perturbadores que possuem pulsos ou bordas rápidas. Outros desvios do desempenho ideal incluem resistência do enrolamento, perdas no núcleo, capacitância e acoplamento magnético com o mundo externo.

Ao contrário dos capacitores (que se comportam de maneira quase ideal na maioria das aplicações de circuitos), as deficiências dos indutores têm efeitos significativos nas aplicações de circuitos do mundo real. Trataremos disso no Capítulo *1x* e no Capítulo 9.

1.6 Diodos e circuitos de diodos

Não terminamos com capacitores e indutores! Já lidamos com eles no *domínio do tempo (circuitos RC ,* carga e descarga exponenciais, diferenciadores e integradores, e assim por diante), mas ainda não abordamos seu comportamento no *domínio da frequência.*

Chegaremos a isso em breve. Mas este é um bom momento para fazer uma pausa no *"RLC"* e colocar nosso conhecimento em uso com alguns circuitos inteligentes e úteis. Começamos apresentando um novo dispositivo, o *diodo.* É o nosso primeiro exemplo de um dispositivo não linear, e você pode fazer coisas bacanas com ele.

1.6.1 Diodos

Os elementos do circuito que discutimos até agora (resistores, capacitores e indutores) são todos *lineares,* o que significa que uma duplicação do sinal aplicado (uma tensão, digamos) produz uma duplicação da resposta (uma corrente, digamos). . Isso é verdade mesmo para os dispositivos reativos (capacitores e indutores). Esses componentes também são *passivos,* em oposição aos dispositivos *ativos ,* estes últimos exemplificados pelos transistores, que são dispositivos semicondutores que controlam o fluxo de energia. E todos eles são dispositivos de dois terminais, o que é autoexplicativo.



Figura 1.54. Diodo.

O diodo (Figura 1.54) é um importante e útil dispositivo *não linear* passivo de dois terminais . Ele tem a curva V-I mostrada na Figura 1.55. (De acordo com a filosofia geral deste livro, não tentaremos descrever a física do estado sólido que torna esses dispositivos possíveis.)

A seta do diodo (o terminal do ânodo) aponta na direção do fluxo de corrente direto. Por exemplo, se o diodo está em um circuito no qual uma corrente de 10 mA flui do ânodo para o cátodo, então (pelo gráfico) o ânodo é aproximadamente 0,6 V mais positivo que o cátodo; isso é chamado de "queda de tensão direta". A corrente reversa, que é medido na faixa de nanoamp para um diodo de uso geral (observe as escalas extremamente diferentes no gráfico para corrente direta e reversa), quase nunca tem qualquer consequência até que você alcance a tensão de ruptura reversa (também chamada de tensão inversa de pico, PIV), normalmente 75 volts para um diodo de uso geral como o 1N4148. (Normalmente, você nunca submete um diodo a tensões grandes o suficiente para causar uma falha reversa; a exceção é o diodo zener que mencionamos anteriormente.) Freqüentemente, também, a queda de tensão direta de cerca de 0,5 a 0,8 V é de pouca preocupação, e o diodo pode ser tratado como uma boa aproximação para um condutor unidirecional ideal. Existem outras características importantes que distinguem os milhares de tipos de diodo disponíveis, por exemplo, corrente direta máxima, capacitância, corrente de fuga e tempo de recuperação reversa; A Tabela 1.1 inclui alguns diodos populares, para dar uma noção das capacidades desses pequenos dispositivos.

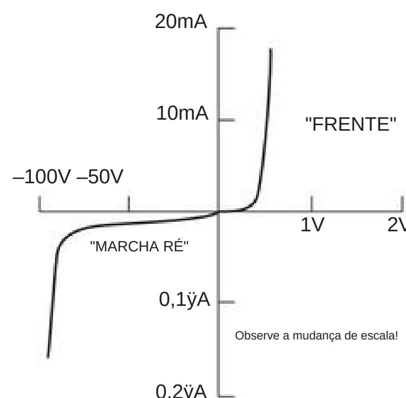


Figura 1.55. Curva de diodo V-I .

Antes de saltar para alguns circuitos com diodos, devemos apontar duas coisas: (a) um diodo não tem resistência (não obedece à lei de Ohm). (b) Se você colocar alguns diodos em um circuito, ele não terá um equivalente de Thevenin.

1.6.2 Retificação

Um retificador muda CA para CC; esta é uma das aplicações mais simples e importantes dos diodos (que às vezes são chamados de retificadores). O circuito mais simples é mostrado na Figura 1.56. O símbolo "ac" representa uma fonte de tensão CA; em circuitos eletrônicos, geralmente é fornecido por um transformador, alimentado pela rede elétrica CA. Para uma entrada de onda senoidal muito maior que a queda direta (cerca de 0,6 V para diodos de silício, o tipo usual), a saída será semelhante à da Figura 1.57. Se você pensar no diodo como um condutor unidirecional, não terá nenhum problema

Tabela 1.1 Diodos representativos

Papel #	V R (max) (DENTRO)	IR (típico, 25°C) (E EM)	VF @ SE (mV) (mA)		Capacitância (pF @ VR) SMTa p/n Comentários
Silício					
PAD5	45	0,25pA	20V 800		0,5pF 5V SSTPAD5 metal + lata de vidro 0,9pF 0V
1N4148	75	10nA	20V 750	1 10	1N4148W 1N4004 sig jellybean 18pF 10V DL4007 calor
1N4007	1000	50nA	800 V 800 250 600 V 1,0		através de condutores
1N5406	600	<10ÿA	V 10 A		
Schottkyb					
1N6263	60	7nA	20V 400	1	0,6pF 10V 1N6263W veja também 1N5711 150pF
1N5819	40	10ÿA	32V 400 1000		450pF poder 1V SS1N5819HW juba brinca! Moby Dual
1N5822	40	40ÿA	32V 480 3000		Schottky 3500pF 1V nenhum
MBRP40045	45	500ÿA	40V 540 400A		

Notas: (a) SMT, tecnologia de montagem em superfície. (b) Os diodos Schottky têm menor tensão direta e tempo de recuperação reversa zero, mas mais capacitância.

entender como o circuito funciona. Este circuito é chamado *de retificador de meia onda,* porque apenas metade da forma de onda de entrada é usada.

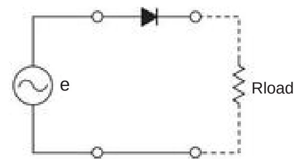


Figura 1.56. Retificador de meia onda.

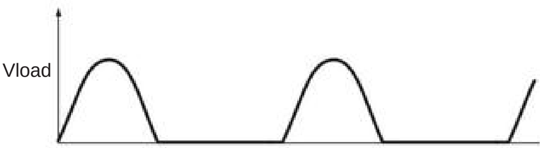


Figura 1.57. Tensão de saída de meia onda (sem filtro).

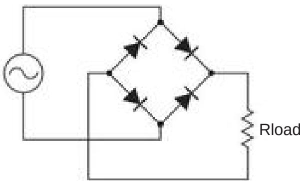


Figura 1.58. Ponte retificadora de onda completa.

A Figura 1.58 mostra outro circuito retificador, uma "ponte de onda completa". A Figura 1.59 mostra a tensão na carga; observe que toda a forma de onda de entrada é usada. As lacunas na tensão zero ocorrem devido à queda de tensão direta dos diodos. Neste circuito, dois diodos estão sempre em série com a entrada; quando você projeta fontes de alimentação de baixa tensão, por qual a queda do diodo se torna significativa, você deve se lembrar disso.[29]

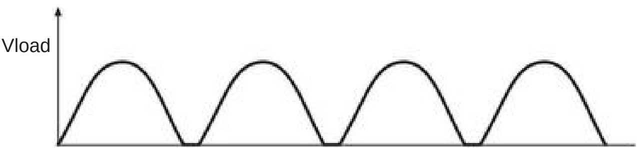


Figura 1.59. Tensão de saída de onda completa (sem filtro).

1.6.3 Filtragem da fonte de alimentação

As formas de onda retificadas anteriores não são boas para muito do jeito que estão. Eles são "dc" apenas no sentido de que não mudam de polaridade. Mas eles ainda têm muitas "ondulações" (variações periódicas na tensão em torno do valor constante) que precisam ser suavizadas para gerar CC genuína. Fazemos isso conectando um capacitor de valor relativamente grande (Figura 1.60); ele carrega até o pico de tensão de saída durante a condução do diodo, e sua carga armazenada *(Q = CV)* fornece a corrente de saída entre os ciclos de carregamento. Observe que os diodos impedem que o capacitor descarregue de volta através da fonte CA. Nesta aplicação, você deve pensar no capacitor como um dispositivo de armazenamento de energia, com *2CV2* armazenado (lembre-se de §1.4.1; para *C* em farads e *V* em energia *U* = volts, *U* sai 1 em joules ou, equivalentemente, watts segundos).

O valor do capacitor é escolhido de modo que

$$R_{carga}C \gg 1/f,$$

29 A queda de diodo pode ser eliminada com *comutação ativa* (ou *comutação síncrona,* uma técnica na qual os diodos são substituídos por chaves de transistor, acionadas em sincronismo com a forma de onda CA de entrada (consulte §9.5.3B).

Machine Translated by Google

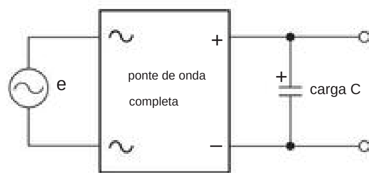


Figura 1.60. Ponte de onda completa com capacitor de armazenamento de saída ("filtro").

(onde *f* é a frequência de ondulação, aqui 120 Hz) para garantir uma pequena ondulação tornando a constante de tempo para descarga muito mais longa do que o tempo entre recargas. Tornamos esta vaga declaração mais clara agora.

A. Cálculo da tensão de ondulação É fácil calcular a tensão de ondulação aproximada, principalmente se ela for pequena em comparação com a CC (consulte a Figura 1.61). A carga faz com que o capacitor descarregue um pouco entre os ciclos (ou meio ciclos, para retificação de onda completa). Se você assumir que a corrente de carga permanece constante (será, para pequena ondulação), você terá

$$ÿV = ÿt \frac{I}{C} \qquad \text{de } I = C\frac{dV}{dt}. \qquad (1.25)$$

Use apenas 1/ *f* (ou 1/2 *f* para retificação de onda completa) para *ÿt* (essa estimativa é um pouco segura, porque o capacitor começa a carregar novamente em menos de meio ciclo). você ganha 30

$$ÿV = \frac{I_{carga}}{fC} \quad \text{(meia onda)},$$

$$ÿV = \frac{I_{carga}}{2fC} \quad \text{(onda cheia)}.$$

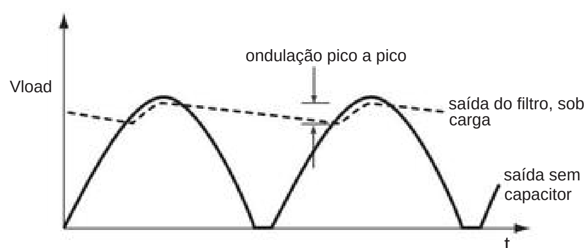


Figura 1.61. Cálculo do ripple da fonte de alimentação.

Se você quisesse fazer o cálculo sem nenhuma aproximação, usaria a fórmula de descarga exponencial exata. Você estaria errado em insistir nesse tipo de precisão, porém, por duas razões. (a) A descarga é exponencial apenas se a carga for uma resistência; muitas cargas não são. Na verdade, a carga mais comum, um *regulador de tensão,* parece uma carga de corrente constante. (b) As fontes de alimentação são construídas com capacitores com tolerâncias típicas de 20% ou mais. Percebendo o spread de fabricação, você projeta de forma conservadora, permitindo a combinação de valores de componentes no pior caso.

Nesse caso, ver a parte inicial da descarga como uma rampa é de fato bastante preciso, especialmente se a ondulação for pequena e, em qualquer caso, erra na direção do projeto conservador – superestima a ondulação.

Exercício 1.20. Projete um circuito retificador de ponte de onda completa para fornecer 10 V CC com menos de 0,1 V (pp) de ondulação em uma carga de até 10 mA. Escolha a tensão de entrada CA apropriada, assumindo quedas de diodo de 0,6 V. Certifique-se de usar a frequência de ondulação correta em seu cálculo.

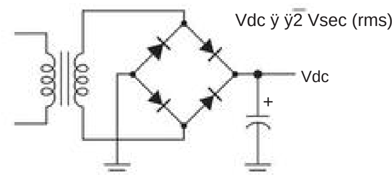


Figura 1.62. Circuito retificador em ponte. A marcação de polaridade e o eletrodo curvo indicam um capacitor polarizado, que não deve ser carregado com a polaridade oposta.

30 Ao ensinar eletrônica, notamos que os alunos adoram memorizar essas equações! Uma pesquisa informal com os autores mostrou que dois em cada dois engenheiros não os memorizam. Por favor, não desperdice células cerebrais dessa maneira – em vez disso, aprenda como derivá-las.

1.6.4 Configurações do retificador para fontes de alimentação

A. Ponte de onda completa Uma fonte de alimentação CC com o circuito de ponte que acabamos de discutir tem a aparência mostrada na Figura 1.62. Na prática, você geralmente compra a ponte como um módulo pré-embalado. Os menores vêm com correntes nominais máximas de 1 A em média, com uma seleção de tensões de ruptura mínimas nominais indo de 100 V a 600 V, ou mesmo 1000 V. Pontes retificadoras gigantes estão disponíveis com correntes nominais de 25 A ou ma

B. Retificador de onda completa com derivação central O circuito da Figura 1.63 é chamado de retificador de onda completa com derivação central. A tensão de saída é metade do que você obtém se usar uma ponte retificadora. Não é o circuito mais eficiente em termos de projeto de transformador, pois cada metade do secundário é utilizada apenas metade do tempo. Para desenvolver alguma intuição sobre este ponto sutil, considere duas configurações diferentes que produzem a mesma tensão de saída CC retificada: (a) o circuito da Figura 1.63 e (b) o mesmo transformador, desta vez com seu corte secundário no torneira central e

reconectado com as duas metades em paralelo, o enrolamento secundário combinado resultante conectado a uma ponte de onda completa. Agora, para fornecer a mesma potência de saída, cada meio enrolamento em (a), durante seu ciclo de condução, deve fornecer a mesma corrente que o par paralelo em (b). Mas a potência dissipada nas resistências dos enrolamentos vai como *I2R,* então a potência perdida por aquecimento nos enrolamentos secundários do transformador é reduzida por um fator de 2 para a configuração em ponte (b).

Aqui está outra maneira de ver o problema: imagine que usamos o mesmo transformador de (a), mas para nosso circuito de comparação substituímos o par de diodos por uma ponte, como na Figura 1.62, e deixamos a derivação central desconectada. Agora, para fornecer a mesma *potência de saída,* a corrente através do enrolamento durante esse tempo é o dobro do que seria para um verdadeiro circuito de onda completa. Para expandir este ponto sutil: o aquecimento nos enrolamentos, calculado a partir da lei de Ohm, é *I2R,* então você tem quatro vezes o aquecimento pela metade do tempo, ou duas vezes o aquecimento médio de um circuito de ponte de onda completa equivalente. Você teria que escolher um transformador com uma classificação de corrente 1,4 (raiz quadrada de 2) vezes maior em comparação com o (melhor) circuito de ponte; além de custar mais caro, o suprimento resultante seria mais volumoso e pesado.

Exercício 1.21. Esta ilustração do aquecimento I2R pode ajudá-lo a entender a desvantagem do circuito retificador com derivação central. Qual a classificação do fusível (mínimo) necessária para passar a forma de onda de corrente mostrada na Figura 1.64, que tem uma corrente média de 1 ampère? *Dica:* um fusível "explode" ao derreter um elo metálico (aquecimento I2R), para correntes constantes maiores que sua classificação. Suponha para este problema que a constante de tempo térmica do elo fusível é muito maior que a escala de tempo da onda quadrada, ou seja, que o fusível responde ao valor de I2 calculado em média ao longo de muitos ciclos.

C. Alimentação dividida Uma variação popular do circuito de onda completa com derivação central é mostrada na Figura 1.65. Dá a você fontes divididas (voltagens positivas e negativas iguais), que muitos circuitos precisam. É um circuito eficiente, porque ambas as metades da forma de onda de entrada são usadas em cada seção de enrolamento.

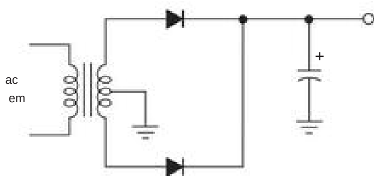


Figura 1.63. Retificador de onda completa usando transformador com derivação central.

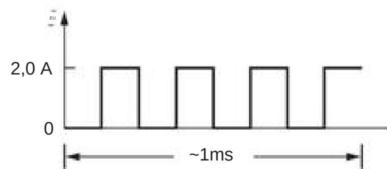


Figura 1.64. Ilustrando maior aquecimento I2R com fluxo de corrente descontínuo.

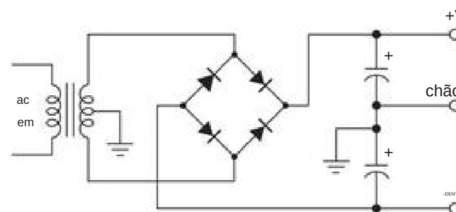


Figura 1.65. Fornecimento de dupla polaridade (split).

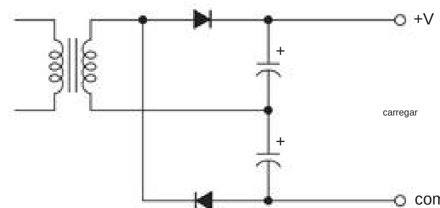


Figura 1.66. Duplicador de tensão.

D. Multiplicadores de tensão

O circuito mostrado na Figura 1.66 é chamado de dobrador de tensão. Pense nisso como dois circuitos retificadores de meia onda em série. É oficialmente um circuito retificador de onda completa porque ambas as metades da forma de onda de entrada são usadas – a frequência de ondulação é o dobro da frequência CA (120 Hz para a tensão de linha de 60 Hz nos Estados Unidos).

Existem variações desse circuito para triplicadores, quadruplicadores de tensão, etc. A Figura 1.67 mostra os circuitos duplicadores, triplicadores e quadruplicadores que permitem aterrar um lado do transformador. Você pode estender esse esquema até onde quiser, produzindo o que é chamado de gerador Cockcroft-Walton; eles são usados em aplicações misteriosas (como aceleradores de partículas) e em aplicações cotidianas (como intensificadores de imagem, ionizadores de ar, copiadoras a laser e até mesmo eliminadores de bugs) que requerem alta tensão CC, mas quase nenhuma corrente.

1.6.5 Reguladores

Ao escolher capacitores suficientemente grandes, você pode reduzir a tensão de ondulação para qualquer nível desejado. Essa abordagem de força bruta tem três desvantagens.

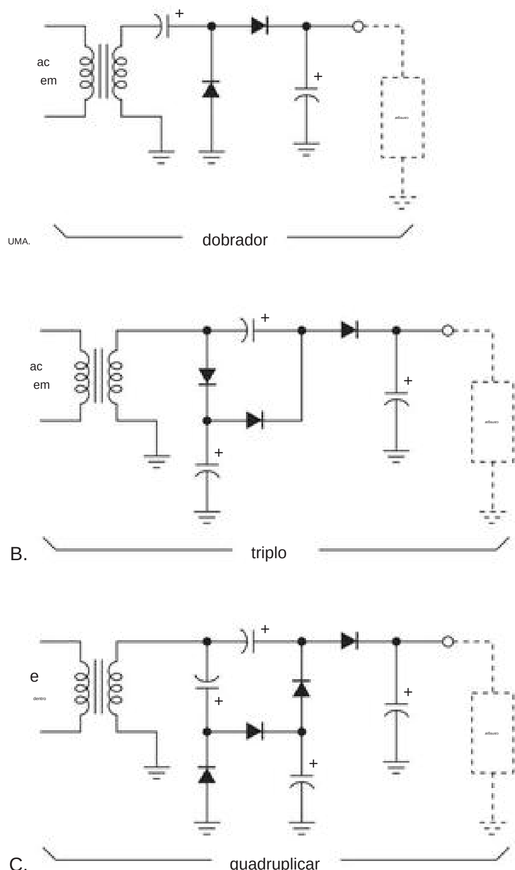


Figura 1.67. Multiplicadores de tensão; essas configurações não requerem uma fonte de tensão flutuante.

• Os capacitores necessários podem ser proibitivamente volumosos e caros.
• O intervalo muito curto de fluxo de corrente durante cada ciclo31 (apenas muito próximo ao topo da forma de onda senoidal) produz mais aquecimento I2R .
• Mesmo com o ripple reduzido a níveis insignificantes, você ainda tem variações na tensão de saída devido a outras causas, por exemplo, a tensão de saída CC será aproximadamente proporcional à tensão de entrada CA, dando origem a flutuações causadas pela linha de entrada variações de tensão. Além disso, mudanças na corrente de carga ainda farão com que a tensão de saída mude por causa das resistências internas finitas do transformador, diodo, etc. Em outras palavras, o circuito equivalente de Thevenin da fonte de alimentação CC tem *R* > 0.

Uma abordagem melhor para o projeto da fonte de alimentação é usar capacitância suficiente para reduzir a ondulação a níveis baixos (talvez

31 Chamado de *ângulo de condução.*

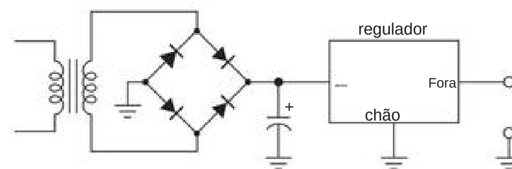


Figura 1.68. Fonte de alimentação CC regulada.

10% da tensão CC), então use um *circuito de realimentação* ativo para eliminar a ondulação restante. Esse circuito de realimentação "observa" a saída, fazendo alterações em um resistor em série controlável (um transistor) conforme necessário para manter a tensão de saída constante (Figura 1.68). Isso é conhecido como "fonte de alimentação CC linear regulada".32 Esses reguladores de tensão são usados quase universalmente como fontes de alimentação para circuitos eletrônicos. Atualmente, reguladores de tensão completos estão disponíveis como CIs baratos (abaixo de US$ 1). Uma fonte de alimentação construída com um regulador de tensão pode ser facilmente ajustável e auto-protegida (contra curtos-circuitos, superaquecimento, etc.), com excelentes propriedades como fonte de tensão (por exemplo, resistência interna medida em miliohms). Trataremos das fontes de alimentação CC reguladas no Capítulo 9.

1.6.6 Aplicações de circuito de diodos

A. Retificador de sinal

Há outras ocasiões em que você usa um diodo para fazer uma forma de onda de apenas uma polaridade. Se a forma de onda de entrada não for uma onda senoidal, você geralmente não pensa nisso como uma retificação no sentido de uma fonte de alimentação. Por exemplo, você pode querer um trem de pulsos correspondente à borda ascendente de uma onda quadrada. A maneira mais fácil é retificar a onda diferenciada (Figura 1.69). Sempre tenha em mente a queda direta de 0,6 V (aproximadamente) do diodo. Este circuito, por exemplo, não fornece saída para ondas quadradas menores que 0,6 V pp. Se isso for um problema, existem vários truques para contornar essa limitação. Uma possibilidade é usar *diodos portadores quentes* (diodos Schottky), com uma queda direta de cerca de 0,25 V.

Uma possível *solução de circuito* para este problema de queda de diodo finita é mostrada na Figura 1.70. Aqui , D1 compensa a queda direta de D2 fornecendo 0,6 V de *polarização* para manter D2 no limiar de condução. Usar um diodo (D1) para fornecer a polarização (em vez de, digamos, um divisor de tensão) tem vários

32 Uma variante popular é o conversor de potência *de comutação* regulado. Embora sua operação seja bastante diferente em detalhes, ele usa o mesmo princípio de realimentação para manter uma tensão de saída constante. Consulte o Capítulo 9 para saber mais sobre ambas as técnicas.

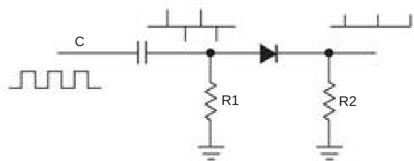


Figura 1.69. Retificador de sinal aplicado à saída do diferenciador.

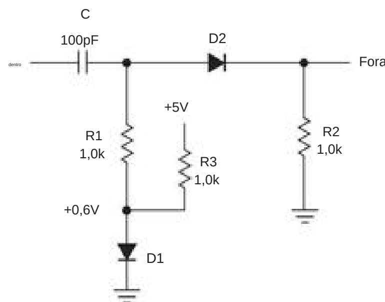


Figura 1.70. Compensação da queda de tensão direta de um retificador de sinal de diodo.

vantagens: (a) não há nada para ajustar, (b) a compensação será quase perfeita e (c) as alterações da queda frontal (por exemplo, com mudança de temperatura) serão compensadas adequadamente. Posteriormente, veremos outras instâncias de compensação de pares combinados de quedas diretas em diodos, transistores e FETs. É um truque simples e poderoso.

B. Portas de diodo

Outra aplicação dos diodos, que reconheceremos mais tarde sob o título geral da *lógica,* é passar a maior de duas tensões sem afetar a menor. Um bom exemplo é *o backup de bateria,* um método para manter alguma coisa funcionando (por exemplo, o chip "relógio em tempo real" em um computador, que mantém uma contagem contínua de data e hora) que deve continuar funcionando mesmo quando o dispositivo é trocado desligado. A Figura 1.71 mostra um circuito que faz o trabalho. A bateria não faz nada até que a alimentação de +5 V seja desligada; então ele assume sem interrupção.

C. Grampos de diodo

diodo Às vezes é desejável limitar o alcance de um sinal (ou seja, evitar que exceda certos limites de tensão) em algum lugar do circuito. O circuito mostrado na Figura 1.72 irá cumprir isso. O diodo evita que a saída exceda cerca de +5,6 V, sem efeito em tensões menores que isso (incluindo tensões negativas); a única limitação é que a entrada não deve ser tão negativa que a tensão de ruptura reversa do diodo seja excedida (por exemplo, ÿ75 V para um 1N4148). O resistor em série limita a corrente do diodo durante

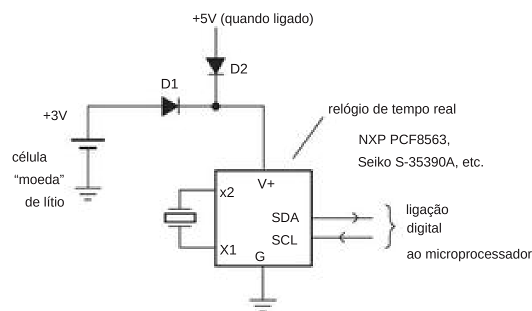


Figura 1.71. Diodo OR gate: backup de bateria. Os chips de relógio em tempo real são especificados para operar corretamente com tensões de alimentação de +1,8 V a +5,5 V. Eles consomem míseros 0,25 ÿA, o que dá uma vida útil de 1 milhão de horas (cem anos) de uma moeda CR2032 padrão célula!

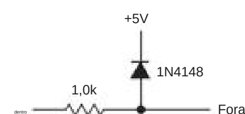


Figura 1.72. Pinça de tensão de diodo.

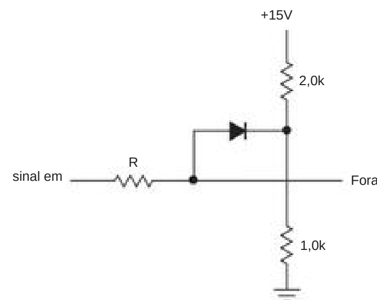


Figura 1.73. Divisor de tensão fornecendo tensão de fixação.

ação de aperto; no entanto, um efeito colateral é que ele adiciona 1 kÿ de resistência em série (no sentido de Thevenin) ao sinal, de modo que seu valor é um compromisso entre manter uma resistência de fonte baixa desejável (Thevenin) e uma corrente de fixação baixa desejável. Os grampos de diodo são equipamentos padrão em todas as entradas na lógica digital CMOS contemporânea. Sem eles, os delicados circuitos de entrada são facilmente destruídos por descargas de eletricidade estática durante o manuseio.

Exercício 1.22. Projete um alicate simétrico, ou seja, um que confine um sinal na faixa de -5,6 a +5,6 V.

Um divisor de tensão pode fornecer a tensão de referência para um alicate (Figura 1.73). Nesse caso, você deve garantir que a resistência olhando para o divisor de tensão (Rvd) seja pequena em comparação com *R* , porque o que você tem parece como mostrado

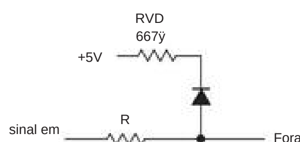


Figura 1.74. Fixação ao divisor de tensão: circuito equivalente.

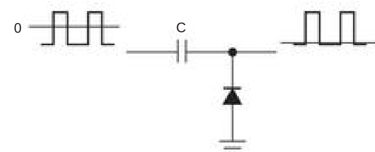


Figura 1.77. restauração dc.

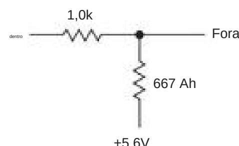


Figura 1.75. Fixação deficiente: divisor de tensão não suficientemente rígido.

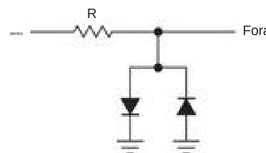


Figura 1.78. Diodo limitador.

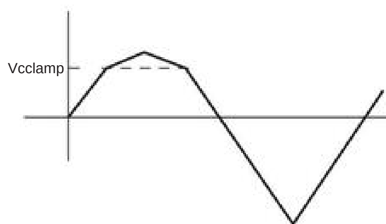


Figura 1.76. Forma de onda de fixação para o circuito da Figura 1.73.

na Figura 1.74 quando o divisor de tensão é substituído por seu circuito equivalente de Thevenin. Quando o diodo conduz (a tensão de entrada excede a tensão do grampo), a saída é realmente apenas a saída de um divisor de tensão, com a resistência equivalente de Thevenin da referência de tensão como o resistor inferior (Figura 1.75). Portanto, para os valores mostrados, a saída do alicate para uma entrada de onda triangular ficaria como mostrado na Figura 1.76. O problema é que o divisor de tensão não fornece uma referência rígida, na linguagem da eletrônica. Uma fonte de tensão rígida é aquela que não se dobra facilmente, ou seja, tem baixa resistência interna (Thevenin).

Na prática, o problema da impedância finita da referência do divisor de tensão pode ser facilmente resolvido com o uso de um transistor ou um amplificador operacional. Esta é geralmente uma solução melhor do que usar valores de resistor muito pequenos, porque não consome grandes correntes, mas fornece uma referência de tensão com uma resistência de Thevenin de alguns ohms ou menos. Mais longe-além disso, existem outras maneiras de construir um grampo, usando um amplificador operacional como parte do circuito do grampo. Você verá esses métodos no Capítulo 4.

Alternativamente, uma maneira simples de endurecer o circuito de fixação da Figura 1.73, apenas para sinais variáveis no tempo, é adicionar um chamado *capacitor de bypass* através do resistor inferior (1 kÿ). Para entender isso completamente, precisamos saber sobre capacitores em o domínio da frequência, um assunto que abordaremos em breve. Por enquanto, vamos simplesmente dizer que você pode colocar um capacitor no resistor de 1k, e sua carga armazenada age para manter esse ponto em tensão constante. Por exemplo, um capacitor de 15 µF faria com que o divisor parecesse ter uma resistência de Thevenin inferior a 10 ÿ para frequências acima de 1 kHz.
(Da mesma forma, você poderia adicionar um capacitor de desvio em D1 na Figura 1.70.) Como veremos, a eficácia desse truque diminui em baixas frequências e não faz nada em CC.

Uma aplicação de grampo interessante é a "restauração CC" de um sinal que foi acoplado CA (acoplado capacitivamente).
A Figura 1.77 mostra a ideia. Isso é particularmente importante para circuitos cujas entradas se parecem com diodos (por exemplo, um transistor com emissor aterrado, como veremos no próximo capítulo); caso contrário, um sinal acoplado CA simplesmente desaparecerá, pois o capacitor de acoplamento carrega até a tensão de pico do sinal.

D. Limitador

Um último circuito de grampo é mostrado na Figura 1.78. Este circuito limita a "oscilação" de saída (novamente, um termo eletrônico comum) a uma queda de diodo em qualquer polaridade, aproximadamente ±0,6 V. Isso pode parecer muito pequeno, mas se o próximo estágio for um amplificador com grande amplificação de tensão, sua entrada estará sempre próxima de 0 V; caso contrário, a saída está em "saturação" (por exemplo, se o próximo estágio tiver ganho de 1000 e operar com alimentação de ±15 V, sua entrada deve ficar na faixa de ±15 mV para que sua saída não sature). A Figura 1.79 mostra o que um limitador faz para ondas senoidais e picos superdimensionados. Este circuito de grampo é freqüentemente usado como proteção de entrada para um amplificador de alto ganho.

E. Diodos como elementos não lineares

Para uma boa aproximação, a corrente direta através de um diodo é proporcional a uma função exponencial do

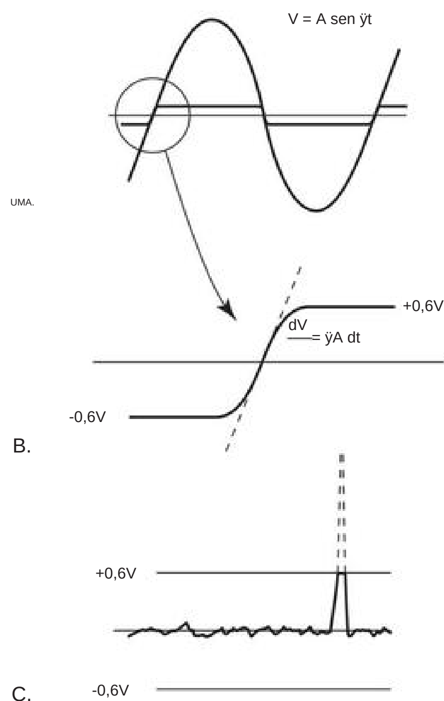


Figura 1.79. A. Limitando ondas senoidais de grande amplitude; B. detalhes; e C. picos.

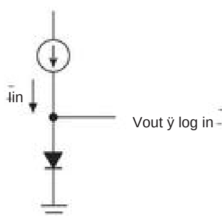


Figura 1.80. Explorando a curva V-I não linear do diodo : conversor de microfone logarítmico.

tensão através dele a uma determinada temperatura (para uma discussão da lei exata, consulte §2.3.1). Assim, você pode usar um diodo para gerar uma tensão de saída proporcional ao logaritmo de uma corrente (Figura 1.80). Como *V* paira na região de 0,6 V, com apenas pequenas alterações de tensão que refletem as variações da corrente de entrada, você pode gerar a corrente de entrada com um resistor se a tensão de entrada for muito maior que a queda de um diodo (Figura 1.81).

Na prática, você pode querer uma tensão de saída que não seja compensada pela queda de diodo de 0,6 V. Além disso, seria bom ter um circuito insensível a mudanças de temperatura (a queda de tensão de um diodo de silício diminui aproximadamente 2 mV/ÿC). O método de compensação de queda de diodo é útil aqui (Figura 1.82). R1 faz D2 conduzir, segurando

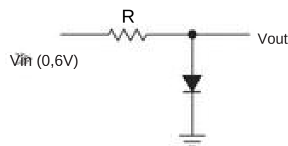


Figura 1.81. Conversor de log aproximado.

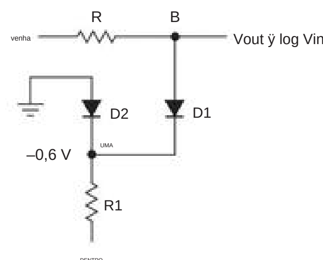


Figura 1.82. Compensação de queda de diodo no con logarítmico verter.

o ponto *A* em cerca de -0,6 V. O ponto *B* está então próximo ao solo (tornando Iin exatamente proporcional a Vin, incidentalmente). Enquanto os dois diodos (idênticos) estiverem na mesma temperatura, há um bom cancelamento das quedas diretas, exceto, é claro, pela diferença devido à corrente de entrada por D1, que produz a saída desejada. Neste circuito, R1 deve ser escolhido de forma que a corrente através de D2 seja significativamente maior que a corrente máxima de entrada para manter D2 em condução.

No Capítulo *2x* , examinaremos as melhores formas de construir circuitos conversores logarítmicos, juntamente com métodos cuidadosos de compensação de temperatura. Com tais métodos, é possível construir conversores logarítmicos com precisão de alguns por cento ao longo de seis décadas ou mais de corrente de entrada. Um melhor entendimento das características do diodo e do transistor, juntamente com um entendimento dos amplificadores operacionais, é necessário primeiro. Esta seção destina-se a servir apenas como uma introdução para o que está por vir.

1.6.7 Cargas indutivas e proteção de diodo

O que acontece se você abrir uma chave que está fornecendo corrente a um indutor? Como os indutores têm a propriedade

$$V = LdI/dt,$$

não é possível desligar a corrente repentinamente, pois isso implicaria uma tensão infinita nos terminais do indutor. Em vez disso, o que acontece é que a tensão no indutor aumenta abruptamente e continua subindo até forçar a corrente a fluir. Dispositivos eletrônicos controlando indutivo

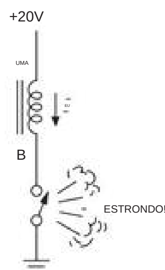


Figura 1.83. "chute" indutivo.

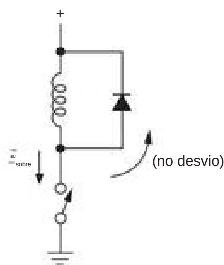


Figura 1.84. Bloqueio de chute indutivo.

as cargas podem ser facilmente danificadas, especialmente o componente que "quebra" para satisfazer o desejo do indutor de continuidade da corrente. Considere o circuito da Figura 1.83. A chave está inicialmente fechada e a corrente flui através do indutor (que pode ser um relé, conforme descrito posteriormente). Quando a chave é aberta, o indutor tenta manter a corrente fluindo de *A* para B, como antes. Em outras palavras, ele tenta fazer com que a corrente flua de B, o que faz forçando *B* a uma alta tensão positiva (em relação a A). Em um caso como este, no qual não há conexão com o terminal B, pode chegar a 1000 V positivo antes que o contato da chave "exploda". Isso reduz a vida útil da chave e também gera interferência impulsiva que pode afetar outros circuitos próximos. Se a chave for um transistor, seria um eufemismo dizer que sua vida é reduzida; sua vida *acabou.*

A melhor solução geralmente é colocar um diodo no indutor, como na Figura 1.84. Quando o interruptor está ligado, o diodo é polarizado de volta (da queda CC na resistência do enrolamento do indutor). No desligamento, o diodo entra em condução, colocando o terminal da chave uma queda de diodo acima da tensão de alimentação positiva. O diodo deve ser capaz de lidar com a corrente inicial do diodo, que é igual à corrente constante que fluiu através do indutor; algo como um 1N4004 é bom para quase todos os casos.

A única desvantagem deste circuito de proteção simples é que ele prolonga o decaimento da corrente através do indutor, porque a taxa de variação da corrente do indutor

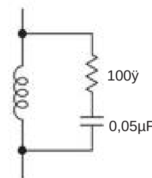


Figura 1.85. *RC* "snubber" para suprimir o chute indutivo.

é proporcional à tensão através dele. Para aplicações nas quais a corrente deve decair rapidamente (atuadores ou relés de alta velocidade, obturadores de câmeras, bobinas magnéticas, etc.), pode ser melhor colocar um resistor no indutor, escolhendo seu valor de forma que Valimentação + *IR* seja menor que a tensão máxima permitida através do interruptor. Para o decaimento mais rápido com uma determinada tensão máxima, um zener com diodo em série (ou outro dispositivo de fixação de tensão) pode ser usado, fornecendo uma redução linear da corrente em vez de um decaimento exponencial (consulte a discussão no Capítulo 1x). .

Para indutores acionados por CA (transformadores, relés CA), a proteção de diodo descrita acima não funcionará, porque o diodo conduzirá em meio ciclos alternados quando a chave estiver fechada. Nesse caso, uma boa solução é uma rede *RC* "snubber" (Figura 1.85). Os valores mostrados são típicos para pequenas cargas indutivas acionadas pela linha de alimentação CA. Esse snubber deve ser incluído em todos os instrumentos que funcionam a partir da linha de alimentação CA, porque o transformador de potência é indutivo.33 Uma alternativa ao

snubber *RC* é o uso de um elemento de fixação de tensão tipo zener bidirecional. Dentre estes, os mais comuns são o zener bidirecional "TVS" (transient voltage supressor) e o varistor de óxido metálico ("MOV"); o último é um dispositivo barato que se parece com um capacitor de cerâmica de disco e se comporta eletricamente como um diodo zener bidirecional. Ambas as classes são projetadas para proteção de tensão transiente, estão disponíveis de várias formas em tensões nominais de 10 a 1000 volts e podem lidar com correntes transientes de até milhares de amperes (consulte o Capítulo 9x). A inclusão de um supressor de transientes (com fusíveis apropriados) nos terminais de linha de força CA faz sentido em um equipamento eletrônico, não apenas para evitar a interferência de picos indutivos em outros instrumentos próximos, mas também para evitar que grandes picos ocasionais de linha de força danifiquem o próprio instrumento .

1.6.8 Interlúdio: indutores como amigos

Para não deixarmos a impressão de que a indutância e os indutores são coisas que devem ser temidas, vejamos o circuito em

33 Conforme explicado em §9.5.1, você deve escolher um capacitor classificado para serviço "across-the-line".

Figura 1.86. O objetivo é carregar o capacitor a partir de uma fonte de tensão CC Vin. No circuito superior (Figura 1.86A), fizemos da maneira convencional, com um resistor em série para limitar a corrente de pico exigida da fonte de tensão. OK, funciona - mas tem uma desvantagem que pode ser séria, ou seja, metade da energia é perdida como calor no resistor. Em contraste, no circuito com o indutor (Figura 1.86B) nenhuma energia é perdida (assumindo componentes ideais); e, como bônus, o capacitor é carregado com o dobro da tensão de entrada. A forma de onda da tensão de saída é um *ÿLC senoidal,* um semiciclo tópico na frequência de ressonância *f* pi = 1/2 que veremos em breve (§1.7.14).[34,35]

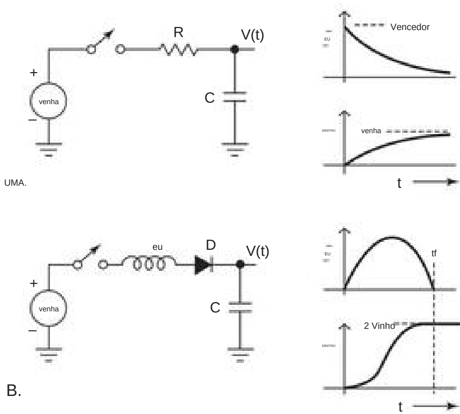


Figura 1.86. O carregamento ressonante é sem perdas (com componentes ideais) em comparação com a eficiência de 50% do carregamento resistivo. O carregamento é concluído após tf, igual a meio ciclo da frequência de ressonância. O diodo série termina o ciclo, que de outra forma continuaria a oscilar entre 0 e 2Vin.

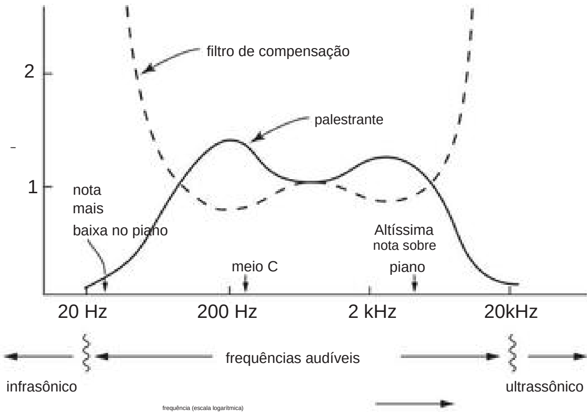


Figura 1.87. Exemplo de análise de frequência: equalização de alto-falantes "boom box". As notas de piano mais baixas e mais altas, chamadas A0 e C8, estão em 27,5 Hz e 4,2 kHz; eles estão quatro oitavas abaixo de A440 e quatro oitavas acima do dó central, respectivamente.

1.7 Impedância e reatância

Aviso: esta seção é um pouco matemática; você pode pular a matemática, mas preste atenção aos resultados e gráficos.

Circuitos com capacitores e indutores são mais complicados do que os circuitos resistivos de que falamos anteriormente, pois seu comportamento depende da frequência: um "divisor de tensão" contendo um capacitor ou indutor terá uma relação de divisão dependente da frequência. Além disso, os circuitos que contêm esses componentes (conhecidos coletivamente como componentes *reativos)* "corrompem" as formas de onda de entrada, como ondas quadradas, como vimos anteriormente.

No entanto, tanto os capacitores quanto os indutores são dispositivos *lineares ,* o que significa que a amplitude da forma de onda de saída, qualquer que seja sua forma, aumenta exatamente na proporção da amplitude da forma de onda de entrada. Essa linearidade tem muitas consequências, a mais importante das quais é provavelmente a seguinte: *a saída de um circuito linear, acionado por uma onda senoidal em alguma frequência f, é ela própria uma frequência (com, no máximo, amplitude e amplitude alteradas). Estágio).*

Devido a esta notável propriedade de circuitos contendo resistores, capacitores e indutores (e, mais tarde, amplificadores lineares), é particularmente conveniente analisar qualquer desses circuitos perguntando como a tensão de saída (amplitude e fase) depende da tensão de entrada *para entrada de onda senoidal em uma única frequência,* mesmo que esse não seja o uso pretendido. Um gráfico da *resposta de frequência resultante,* no qual a proporção de saída para entrada é plotada para cada frequência de onda senoidal, é útil para pensar em muitos tipos de

[34] Uma analogia mecânica pode ser útil aqui. Imagine largar pacotes em uma correia transportadora que se move na velocidade v; os pacotes são acelerados a essa velocidade por fricção, com 50% de eficiência, atingindo finalmente a velocidade v da esteira, velocidade na qual eles viajam para o pôr do sol. Isso é carregamento resistivo. Agora tentamos algo completamente diferente, ou seja, montamos uma correia transportadora com pequenos coletores presos por molas à correia; e ao lado dela temos uma segunda correia, rodando com o dobro da velocidade (2v). Agora, quando jogamos um pacote no primeiro transportador, ele comprime uma mola e, em seguida, ricocheteia em 2v; e faz uma aterrissagem suave no segundo transportador. Nenhuma energia é perdida (molas ideais) e o pacote segue para o pôr do sol em 2v. Isso é carregamento reativo.

[35] A carga ressonante é usada para o fornecimento de alta tensão em flashlamps e estroboscópios, com as vantagens de (a) carga total entre os flashes (espaçados não mais próximos do que tf) e (b) sem corrente imediatamente após a descarga (ver formas de onda), permitindo assim o flashlamp para "quench" após cada flash.

formas de onda. Por exemplo, um certo alto-falante “boom-box” pode ter a resposta de frequência mostrada na Figura 1.87, na qual a “saída” neste caso é obviamente a pressão sonora, não a tensão. É desejável que um alto-falante tenha uma resposta “plana”, o que significa que o gráfico da pressão sonora versus frequência é constante ao longo da banda de frequências audíveis. Neste caso, as deficiências do alto-falante podem ser corrigidas pela introdução de um filtro passivo com resposta inversa (como mostrado) dentro dos amplificadores do rádio.

Como veremos, é possível generalizar a lei de Ohm, substituindo a palavra “resistência” por “impedância”, para descrever qualquer circuito que contenha esses dispositivos passivos lineares (resistores, capacitores e indutores). Você pode pensar no assunto de impedância (resistência generalizada) como a lei de Ohm para circuitos que incluem capacitores e indutores.

Alguma terminologia: impedância **(Z)** é a “resistência generalizada”; os indutores e capacitores, para os quais a tensão e a corrente estão sempre 90º defasadas , são *reativos;* eles têm *reatância* (X). Resistores, com tensão e corrente sempre em fase, são *resistivos;* eles têm *resistência* (R).
Em geral, em um circuito que combina componentes resistivos e reativos, a tensão e a corrente em algum lugar terão alguma relação entre as fases, descrita por uma impedância complexa: impedância = resistência + reatância, ou **Z** = *R* + *jX* (mais sobre isso mais tarde).36 No entanto, você verá declarações como “a impedância do capacitor nessa frequência é. . .

” A razão pela qual você não precisa usar a palavra “reatância” nesse caso é que a impedância cobre tudo. Na verdade, você frequentemente usa a palavra “impedância” mesmo quando sabe que está falando de uma resistência; você diz “a impedância da fonte” ou “a impedância de saída” quando se refere à resistência equivalente de Thevenin de alguma fonte. O mesmo vale para “impedância de entrada”.

Em tudo o que se segue, falaremos sobre circuitos acionados por ondas senoidais em uma única frequência. A análise de circuitos conduzidos por formas de onda complicadas é mais elaborada, envolvendo os métodos que usamos anteriormente (equações diferenciais) ou a decomposição da forma de onda em ondas senoidais (análise de Fourier). Felizmente, esses métodos raramente são necessário.

1.7.1 Análise de frequência de circuitos reativos

Vamos começar observando um capacitor acionado por uma fonte de tensão de onda senoidal *V(t)* = V0 sen oh *t* (Figura 1.88). O actual

[36] Mas, em poucas palavras, a magnitude de **Z** dá a razão das amplitudes de tensão para corrente, e o ângulo polar de **Z** dá o ângulo de fase entre corrente e tensão.

é

$$I(t) = C\frac{dV}{dt} = C\,\text{oh}V_0 \cos \text{oh}t,$$

ou seja, uma corrente de amplitude oh CV0, com sua fase adiantada em 90ÿ da tensão de entrada. Se considerarmos apenas as amplitudes e desconsiderarmos as fases, a corrente é

$$eu = \frac{\text{DENTRO}}{1/\text{oh}C}.$$

(Lembre-se de que oh = 2 *f .)* pi Ela se comporta como uma resistência dependente da frequência *R* = 1/ C, mas, além disso, a corrente está oh 90° fora de fase com a tensão (Figura 1.89).

Isto)

V(t) = V0 sen ÿt

C

Figura 1.88. Uma tensão CA senoidal aciona um capacitor.



Figura 1.89. A corrente em um capacitor está 90° adiantada em relação à tensão senoidal .

Por exemplo, um 1 m O capacitor F colocado na linha de força de 115 volts (rms) 60 Hz extrai uma corrente de amplitude rms:

$$eu = \frac{115}{1/(2\,\text{pi} \times 60\times10ÿ6)} = 43{,}4\text{mA (rms)}.$$

Em breve, complicaremos as coisas ao nos preocuparmos explicitamente com *mudanças de fase* e coisas do gênero – e isso nos levará a uma álgebra complexa que aterroriza iniciantes (de dez) e matemáticos (sempre). Antes de fazermos isso, porém, este é um bom momento para desenvolver intuição sobre o comportamento dependente da frequência de alguns circuitos básicos e importantes que usam capacitores, ignorando por enquanto o problema de algum fato de que, quando acionados com um sinal senoidal, as correntes e as tensões em um capacitor não estão em fase.

Como acabamos de ver, a razão de *magnitudes* de tensão para

corrente, em um capacitor acionado a uma frequência oh, é apenas

$$\frac{|V|}{|Eu|} = \frac{1}{ohC},$$

que podemos pensar como uma espécie de "resistência" – a magnitude da corrente é proporcional à magnitude da tensão aplicada. O nome oficial dessa grandeza é *reatância,* com o símbolo X, portanto, XC para a reatância de um capacitor.37 Assim, para um capacitor,

$$XC = \frac{1}{ohC}. \quad (1.26)$$

Isso significa que uma capacitância maior tem uma reatância menor. E isso faz sentido, porque, por exemplo, se você dobrar o valor de um capacitor, será necessário o dobro da corrente para carregá-lo e descarregá-lo através da mesma variação de tensão ao mesmo tempo (lembre-se de *I = C dV/ dt).* Pela mesma razão, a reatância diminui à medida que você aumenta a frequência – dobrar a frequência (enquanto mantém *V* constante) dobra a taxa de variação da tensão e, portanto, requer que você dobre a corrente, portanto, metade da reação.

tância.

Então, grosso modo, podemos pensar em um capacitor como um "resistor dependente da frequência". Às vezes isso é bom o suficiente, às vezes não é. Veremos alguns circuitos nos quais essa visão simplificada nos dá resultados razoavelmente bons e fornece boa intuição; mais tarde iremos corrigi-lo, usando a álgebra complexa correta, para obter um resultado preciso. (Lembre-se de que os resultados que estamos prestes a obter são aproximados; estamos *mentindo* para você - mas é uma pequena mentira e, de qualquer maneira, contaremos a verdade mais tarde. Enquanto isso, usaremos o símbolo estranho em vez disso de = em todas essas "equações aproximadas" e marcaremos a equação como aproximada.)

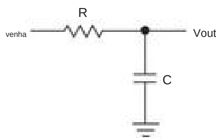


Figura 1.90. Filtro passa-baixo.

A. Filtro passa-baixo RC (aproximado)

O circuito da Figura 1.90 é chamado de *filtro passa-baixa,* porque ele passa por baixas frequências e bloqueia altas frequências. Se você pensar nisso como um divisor de tensão dependente da frequência, isso faz sentido: a parte inferior do divisor (o capacitor) tem uma reatância decrescente com o aumento da frequência, então a relação de Vout/Vin diminui de acordo:

37 Mais adiante veremos *indutores,* que também têm um deslocamento de fase de 90ÿ (embora com sinal oposto) e, portanto, também são caracterizados por uma reatância XL.

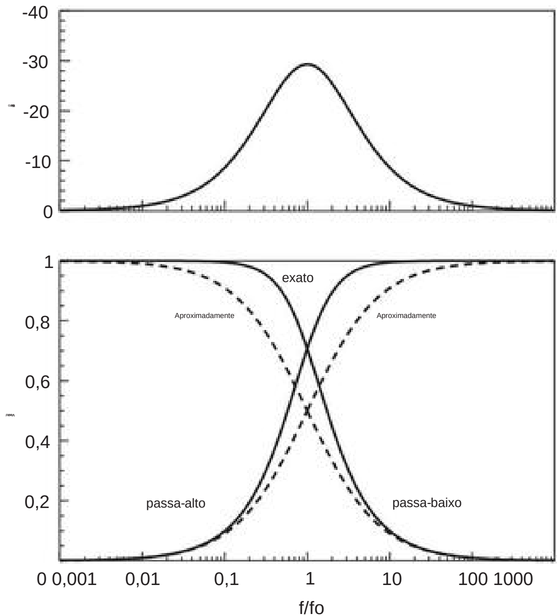


Figura 1.91. Resposta de frequência de filtros *RC* de seção única , mostrando os resultados de uma aproximação simples que ignora a fase (curva tracejada) e o resultado exato (curva sólida). O erro fracionário (ou seja, tracejado/sólido) é plotado acima.

$$\frac{Vout}{venha} = \frac{XC}{R+XC} = \frac{1/ohC}{R+1/ohC} = \frac{1}{1+ohRC} \quad \text{(aproximado!)} \quad (1.27)$$

Traçamos essa relação na Figura 1.91 (e também a de seu primo, o *filtro passa-alto),* junto com seus resultados exatos que entenderemos em breve em §1.7.8.

Você pode ver que o circuito passa totalmente por baixas frequências (porque em baixas frequências a reatância do capacitor é muito alta, então é como um divisor com um resistor menor em cima de um maior) e que bloqueia altas frequências. Em particular, o cruzamento de "passar" para "bloquear" (geralmente chamado de ponto de *interrupção)* ocorre em uma frequência 0 na qual a reatância do capacitor (1/ oh C) é igual à resistência: oh 0 = 1/ *RC.* Em frequências bem além do cruzamento (onde oh RC 1), a saída diminui inversamente com o aumento da frequência; isso faz sentido porque a reatância do capacitor, já bem menor que R, continua caindo à medida que oh aumenta. Observe como nossa razão das tensões é bastante preciso em frequências baixas e altas e tem apenas um erro modesto em torno do cruzamento oh·

Machine Translated by Google

frequência, onde a proporção correta é Vout/Vin = 1/ ÿ 2 ÿ 0,7, em vez de 0,5 que obtivemos.[38]

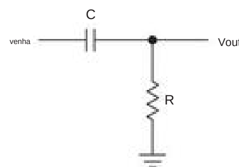


Figura 1.92. Filtro passa-alto.

B. Filtro passa-alto RC (aproximado)

Você obtém o comportamento inverso (passar altas frequências, bloquear baixas) trocando *R* e C, como na Figura 1.92. Tratando-o como um divisor de tensão dependente da frequência e ignorando os deslocamentos de fase mais uma vez, obtemos (consulte a Figura 1.91)

$$\frac{V_{out}}{V_{in}} = \frac{R}{R+X_C} = \frac{R}{R+1/\omega C} = \frac{\omega RC}{1+\omega RC} \quad \textit{(aproximado!)} \qquad (1.28)$$

Altas frequências (acima da mesma frequência de crossover como = *1/* itor é muito menor que R), passam (porque a reatância do capa RC)), enquanto frequências abaixo do crossover são bloqueadas (a reatância do capacitor é muito maior que R) . Como antes, a equação e o gráfico são precisos em ambas as extremidades e apresentam apenas um erro modesto no cruzamento, onde a razão correta é, novamente, Vout/Vin = 1/ ÿ 2.

C. Capacitor de bloqueio Às vezes você quer deixar alguma banda de frequências de sinal passar por um circuito, mas você quer bloquear qualquer voltagem DC estável que possa estar presente (veremos como isso pode acontecer quando aprendermos sobre amplificadores no próximo capítulo).

Você pode fazer o trabalho com um filtro *RC* highpass se escolher a frequência de crossover corretamente: um filtro highpass sempre bloqueia DC, então o que você faz é escolher valores de componentes para que a frequência de crossover fique *abaixo* de todas as frequências de interesse. Este é um dos usos mais frequentes de um capacitor e é conhecido como *capacitor de bloqueio CC.*

Por exemplo, todo amplificador de áudio estéreo tem todas as suas entradas acopladas capacitivamente, porque não sabe em que nível CC seus sinais de entrada podem estar operando. Em tal aplicação de acoplamento, você sempre escolhe *R* e *C* para que todas as frequências de interesse (neste caso, 20 Hz a 20 kHz) sejam passadas

sem perda (atenuação). Isso determina o produto *RC: RC* > 1/ min, onde para este caso você pode escolher fmin ÿ 5 Hz, e assim *RC* = 1/ = 1/2 fmin ÿ 30 ms.

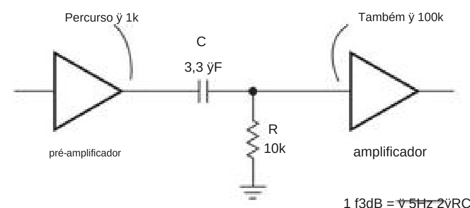


Figura 1.93. "Capacitor de bloqueio": um filtro passa-alto para o qual todas as frequências de sinal de interesse estão na banda passante.

Você obteve o produto, mas ainda precisa escolher valores individuais para *R* e C. Você faz isso observando que o sinal de entrada vê uma carga igual a *R* nas frequências do sinal (onde a reatância de C é pequena - é apenas um pedaço de fio ali), então você escolhe *R* para ser uma carga razoável, ou seja, não tão pequena que seja difícil de conduzir, e não tão grande que o circuito esteja sujeito a captação de sinal de outros circuitos na caixa. No negócio de áudio é comum ver um valor de 10 kÿ, então podemos escolher esse valor, para o qual o *C* correspondente é 3,3 F (Figura 1.93). O circuito conectado na saída deve ter uma resistência de entrada muito maior que 10 kÿ, para evitar efeitos de carga na saída do filtro, e o circuito de acionamento deve ser capaz de conduzir uma carga de 10 kÿ sem atenuação significativa (perda de amplitude do sinal) para evitar efeitos de carregamento do circuito pelo filtro na fonte de sinal. Vale a pena notar que nosso modelo aproximado, ignorando os deslocamentos de fase, é perfeitamente adequado para o projeto do capacitor de bloqueio; isso ocorre porque a banda do sinal está totalmente na banda passante, onde os efeitos das mudanças de fase são insignificantes.

Nesta seção estivemos pensando na frequência do main (ondas senoidais de frequência f). Mas é útil pensar no domínio do tempo, onde, por exemplo, você pode usar um capacitor de bloqueio para acoplar pulsos ou ondas quadradas. Em tais situações, você encontra *distorção da forma de onda,* na forma de "queda" e overshoot (em vez da simples atenuação de amplitude e mudança de fase que você obtém com ondas senoidais). Pensando no domínio do tempo, o critério que você usa para evitar a distorção da forma de onda em um pulso de duração *T* é que a constante de tempo =*RCT.* A queda resultante é aproximadamente T/ (seguida por um overshoot comparável na próxima transição).

Freqüentemente, você precisa saber a reatância de um capacitor em uma determinada frequência (por exemplo, para projeto de filtros). A Figura 1.100 em §1.7.8 fornece um gráfico muito útil que cobre grandes intervalos

[38] Claro, ele falha em prever qualquer coisa sobre mudanças de fase neste circuito. Como veremos mais tarde, a fase do sinal de saída está atrasada em relação à entrada em 90ÿ em altas frequências, indo suavemente de 0ÿ em baixas frequências, com um atraso de 45ÿ em 0 (consulte a Figura 1.104 em §1.7.9).

de capacitância e frequência, dando o valor de $XC = 1/2$ pi fC.

D. Acionamento e carregamento de filtros

RC Este exemplo de um capacitor de bloqueio de áudio levantou o problema de acionamento e carregamento de circuitos de filtro *RC* . Como discutimos em §1.2.5A, no contexto dos divisores de tensão, você geralmente gosta de organizar as coisas de forma que o circuito que está sendo acionado não carregue significativamente a resistência de acionamento (resistência equivalente da fonte de Thevenin) do sinal fonte.

A mesma lógica se aplica aqui, mas com um tipo generalizado de resistência que inclui a reatância de capacitores (e indutores), conhecida como *impedância.* Portanto, a impedância de uma fonte de sinal geralmente deve ser pequena em comparação com a impedância da coisa que está sendo acionada.[39] Teremos uma maneira precisa de falar sobre impedância em breve, mas é correto dizer que, além das mudanças de fase, a impedância de um capacitor é igual à sua reatância.

O que queremos saber, então, são as impedâncias de entrada e saída dos dois filtros *RC* simples (lowpass e highpass). Isso parece complicado, porque existem quatro impedâncias e todas variam com a frequência. No entanto, se você fizer a pergunta da maneira certa, a resposta é simples e a mesma em todos os casos!

Primeiro, assuma que em cada caso a coisa certa está sendo feita para a outra extremidade do filtro: quando perguntamos a impedância de entrada, assumimos que a saída conduz a uma alta impedância (comparada com a sua própria); e quando perguntamos a impedância de saída, assumimos que a entrada é acionada por uma fonte de sinal de baixa impedância interna (Thevenin). Em segundo lugar, descartamos a variação de impedâncias com frequência solicitando apenas o valor do *pior caso ;* ou seja, nos preocupamos apenas com a impedância *máxima* de saída de um circuito de filtro (porque é o pior para conduzir uma carga) e nos preocupamos apenas com a impedância de entrada *mínima* (porque é a mais difícil de conduzir).

Agora a resposta é surpreendentemente simples: em todos os casos, a impedância de pior caso é apenas R.

Exercício 1.23. Mostre que a afirmação anterior está correta.

Assim, por exemplo, se você deseja pendurar um filtro passa-baixo *RC* na saída de um amplificador cuja resistência de saída é de 100 ÿ, comece com *R* = 1k e escolha *C* para o ponto de interrupção desejado. Certifique-se de que o que quer que carregue a saída tenha uma impedância de entrada de pelo menos 10k. Você não pode errar.

Exercício 1.24. Projete um filtro *RC* "bandpass" de dois estágios , no qual o primeiro estágio é highpass com ponto de interrupção de 100 Hz e o segundo estágio é lowpass com ponto de interrupção de 10 kHz. Suponha que a fonte do sinal de entrada tenha uma impedância de 100ÿ. Qual é a impedância de saída do pior caso do seu filtro e, portanto, qual é a impedância de carga mínima recomendada?

[39] Com duas exceções importantes, a saber, linhas de transmissão e correntes fontes.

1.7.2 Reatância dos indutores

Antes de embarcarmos em um tratamento totalmente correto da impedância, repleto de exponenciais complexas e coisas do gênero, vamos usar nossos truques de aproximação para descobrir a reatância de um indutor.

É como antes: imaginamos um indutor *L* acionado por tal uma fonte de tensão senoidal de frequência angular *t* está oh corrente *I(t)* = I0 sin através do indutor oh.[40] Então, a tensão que uma

$$V(t) = L\,\frac{di(t)}{dt} = L \text{ oh } I0 \text{ corpo oh} t.$$

E assim a proporção de *magnitudes* de tensão para corrente - a quantidade semelhante à resistência chamada *reatância* - é apenas

$$\frac{|V|}{|Eu|} = \frac{eu \text{ oh } eu0}{eu0} = \text{oh} EU.$$

Então. para um indutor,

$$GG = \text{oh} EU. \quad (1.29)$$

Os indutores, como os capacitores, têm uma reatância dependente da frequência; no entanto, aqui a reatância *aumenta* com o aumento da frequência (o oposto dos capacitores, onde *diminui* com o aumento da frequência). Portanto, na visão mais simples, um indutor em série pode ser usado para passar CC e baixas frequências (onde sua reatância é pequena) enquanto bloqueia altas frequências (onde sua reatância é alta). Você costuma ver em dutos usados dessa maneira, principalmente em circuitos que operam em frequências de rádio; nesse aplicativo, eles às vezes são chamados de *estrangulamentos.*

1.7.3 Tensões e correntes como números complexos

Neste ponto é necessário entrar em alguma álgebra complexa; você pode pular a matemática em algumas das seções a seguir, anotando os resultados à medida que os derivamos. Um conhecimento da matemática detalhada não é necessário para entender o restante do livro. Muito pouca matemática será usada em capítulos posteriores. A seção a seguir é facilmente a mais difícil para o leitor com pouca preparação matemática. *Não desanime!*

Como acabamos de ver, pode haver mudanças de fase entre

[40] Tomamos o caminho mais fácil aqui, especificando a *corrente,* em vez da tensão; somos recompensados com uma derivada simples (em vez de uma integral simples!).

a tensão e a corrente em um circuito CA sendo acionadas por uma onda senoidal em alguma frequência. No entanto, desde que o circuito contenha apenas elementos *lineares* (resistores, capacitores, indutores), as magnitudes das correntes em todo o circuito ainda são proporcionais à magnitude da tensão motriz, então podemos esperar encontrar alguma generalização da tensão , corrente e resistência para resgatar a lei de Ohm. Evidentemente, um único número não será suficiente para especificar a corrente, digamos, em algum ponto do circuito, porque devemos de alguma forma ter informações sobre a magnitude e a mudança de fase.

Embora possamos imaginar a especificação das magnitudes e mudanças de fase de tensões e correntes em qualquer ponto do circuito, escrevendo-as explicitamente, por exemplo, $V(t) = 23{,}7 \sin(377t + 0{,}38)$, acontece que podemos atender aos nossos requisitos mais simplesmente usando a álgebra de números complexos para *representar* tensões e correntes. Então podemos simplesmente somar ou subtrair as representações dos números complexos, em vez de ter que somar ou subtrair laboriosamente as próprias funções senoidais reais do tempo. Como as tensões e correntes reais são quantidades reais que variam com o tempo, devemos desenvolver uma regra para converter as quantidades reais em suas representações e vice-versa. Lembrando mais uma vez que estamos falando de uma única frequência de onda senoidal, concordamos em usar as seguintes regras.

1. Tensões e correntes são *representadas* pelo complexo quantidades **V** e I. A tensão $V_0 \cos(\omega t + \varphi)$ deve ser representada pelo número complexo $V_0 e^{j\varphi}$. Lembre-se de que $e^{j\theta} = \cos\theta + j\sin\theta$, onde $j = \sqrt{-1}$.
2. Obtemos tensões e correntes *reais* multiplicando suas representações de números complexos por $e^{j\omega t}$ e em seguida, tomando a parte real: $V(t) = \mathbf{Re}(\mathbf{V}e^{j\omega t})$, $I(t) = \mathbf{Re}(\mathbf{I}e^{j\omega t})$.

Em outras palavras,

tensão do circuito versus tempo		representação de número complexo
$V_0 \cos(\omega t + \varphi)$	⇄ multiplique por $e^{j\omega t}$ e pegue a parte real	$V_0 e^{j\varphi} = a + jb$

(Em eletrônica, o símbolo *j* é usado em vez de *i* no exponencial para evitar confusão com o símbolo *i* que significa corrente de pequeno sinal.) Assim, no caso geral, as tensões e correntes reais são dadas por

$$V(t) = \mathbf{Re}(\mathbf{V}e^{j\omega t}) = \mathrm{Re}(\mathbf{V})\cos\omega t - \mathrm{Im}(\mathbf{V})\sin\omega t$$

$$I(t) = \mathbf{Re}(\mathbf{I}e^{j\omega t}) = \mathrm{Re}(\mathbf{I})\cos\omega t - \mathrm{Im}(\mathbf{I})\sin\omega t.$$

Por exemplo, uma tensão cuja representação complexa é

$$\mathbf{V} = 5j$$

corresponde a uma tensão (real) versus tempo de

$$V(t) = \mathrm{Re}[5j\cos\omega t + 5j(j)\sin\omega t] = -5\sin\omega t \text{ volts.}$$

1.7.4 Reatância de capacitores e indutores

Com esta convenção podemos aplicar a complexa lei de Ohm corretamente a circuitos contendo capacitores e indutores, assim como para resistores, uma vez que conhecemos a reatância de um capacitor ou indutor. Vamos descobrir quais são. Começamos com uma tensão simples (co) senoidal $V_0 \cos\omega t$ aplicada através de um capacitor:

$$V(t) = \mathrm{Re}(V_0 e^{j\omega t}).$$

Então, usando $I = C(dV(t)/dt)$, obtemos

$$I(t) = -V_0 C\omega \sin\omega t = \mathrm{Re}\left(\frac{V_0 e^{j\omega t}}{-j/\omega C}\right) = \mathrm{Re}\left(\frac{V_0 e^{j\omega t}}{Z_C}\right)$$

ou seja, para um capacitor

$$Z_C = -j/\omega C \;(= -jX_C);$$

Z_C é a impedância de um capacitor na frequência ω; é igual em magnitude à reatância $X_C = 1/\omega C$ que encontramos anteriormente, mas com um fator de $-j$ que explica o deslocamento de fase adiantado de 90° da corrente versus tensão. Por exemplo, um capacitor de 1 F tem uma impedância de $-2653j$ a 60 Hz e $-0{,}16j$ a 1 MHz. Sua reatância (e também sua impedância) em CC é infinita.[41]

Se fizéssemos uma análise semelhante para um indutor, encontraríamos

$$Z_L = j\omega L \;(= jX_L).$$

Um circuito contendo apenas capacitores e indutores sempre tem uma impedância puramente imaginária, o que significa que a tensão e a corrente estão sempre 90° fora de fase – é puramente reativo. Quando o circuito contém resistores, há também

[41] Observe a convenção de que a reatância X_C é um número real (o deslocamento de fase de 90° está implícito no termo "reatância"), mas a impedância correspondente é puramente imaginária: $\mathbf{Z} = R - jX$.

uma parte real para a impedância. O termo "reatância" nesse caso significa apenas a parte imaginária.

1.7.5 Lei de Ohm generalizada

Com essas convenções para representar tensões e correntes, a lei de Ohm assume uma forma simples. lê-se simplesmente

$$\mathbf{I} = \mathbf{V}/\mathbf{Z},$$
$$\mathbf{V} = \mathbf{IZ},$$

onde a tensão representada por **V** é aplicada através de um circuito de impedância Z, resultando em uma corrente representada por I. A impedância complexa de dispositivos em série ou paralelo obedece às mesmas regras da resistência:

$$\mathbf{Z} = \mathbf{Z_1} + \mathbf{Z_2} + \mathbf{Z_3} + \cdots \text{ (série)}, \quad (1.30)$$

$$\mathbf{Z} = \frac{1}{\frac{1}{\mathbf{Z_1}} + \frac{1}{\mathbf{Z_2}} + \frac{1}{\mathbf{Z_3}} + \cdots} \text{ (paralelo)}. \quad (1.31)$$

Finalmente, para completar, resumimos aqui as fórmulas para a impedância de resistores, capacitores e indutores: (resistor),

$$Z_R = R$$
$$Z_C = ÿj/ohC = 1/johC \text{ (capacitor)}, \quad (1.32)$$
$$Z_L = j oh^{eu} \text{ (indutor)}.$$

Com essas regras, podemos analisar muitos circuitos CA pelos mesmos métodos gerais que usamos ao lidar com circuitos CC, ou seja, aplicação das fórmulas em série e paralelo e a lei de Ohm. Nossos resultados para circuitos como divisores de tensão serão quase os mesmos de antes. Para redes multiconectadas, podemos ter que usar as leis de Kirchhoff, assim como nos circuitos CC, neste caso usando as representações complexas para *V* e I: a soma das quedas de tensão (complexas) ao longo de um circuito fechado é zero e a soma das correntes (complexas) em um ponto é zero. A última regra implica, como nos circuitos CC, que a corrente (complexa) em um circuito em série é a mesma em todos os lugares.

Exercício 1.25. Use as regras anteriores para impedância de dispositivos em paralelo e em série para derivar as fórmulas (1.17) e (1.18) para a capacitância de dois capacitores (a) em paralelo e (b) em série. *Dica:* em cada caso, deixe os capacitores individuais terem ca pacitâncias C_1 e C_2. Anote a impedância da combinação paralela ou série; em seguida, iguale-o à impedância de um capacitor com capacitância C. Em seguida, encontre C.

Vamos tentar essas técnicas no circuito mais simples imaginável, uma tensão CA aplicada em um capacitor, que vimos anteriormente, em §1.7.1. Então, após uma breve olhada na potência em circuitos reativos (para terminar de estabelecer as bases), analisaremos (corretamente, desta vez) os simples, mas extremamente importantes e úteis circuitos de filtro passa-baixa e passa-alta *RC* .

Imagine colocar um capacitor de 1 F em uma linha de força de 115 volts (rms) 60 Hz. Que corrente flui? Usando a lei de Ohm complexa, temos

$$\mathbf{Z} = ÿj/ohC.$$

Portanto, a corrente é dada por

$$\mathbf{I} = \mathbf{V}/\mathbf{Z}.$$

A fase da tensão é arbitrária, então vamos escolher **V** = t, onde a amplitude Então $A = 115ÿ2 ÿ$ A, ou seja, $V(t) = A\cos 163$ volts.

$$\mathbf{eu} = j ohCA\ ÿ\ ÿ0{,}061 \text{ sen } oht.$$

A corrente resultante tem amplitude de 61 mA (43 mA rms) e está 90° adiantada em relação à tensão . Isso está de acordo com nosso cálculo anterior. De forma mais simples, poderíamos ter notado que a impedância do capacitor é imaginária negativa, então qualquer que seja a fase absoluta de V, a fase de Icap deve adiantar 90ÿ. E, em geral, o ângulo de fase entre a corrente e a tensão, para qualquer circuito *RLC* de dois terminais , é igual ao ângulo da impedância (complexa) desse circuito.

Observe que, se quiséssemos saber apenas a magnitude da corrente e não nos importássemos com a fase relativa, poderíamos ter evitado fazer qualquer álgebra complexa: se

$$\mathbf{A} = \mathbf{B}/\mathbf{C},$$

então

$$A = B/C,$$

onde A, B e *C* são as magnitudes dos respectivos números complexos; isso também vale para a multiplicação (consulte o Exercício 1.18). Assim, neste caso,

$$I = V/Z = ohCV.$$

Esse truque, que usamos anteriormente (porque não conhecíamos melhor), costuma ser útil.

Surpreendentemente, não há potência dissipada pelo capacitor neste exemplo. Tal atividade não aumentará sua conta de energia elétrica; você verá por que na próxima seção. Em seguida, veremos circuitos contendo resistores e capacitores com nossa complexa lei de Ohm.

Exercício 1.26. Mostre que, se **A** = **BC,** então *A* = *BC,* onde A, B e *C* são magnitudes. *Dica:* represente cada número complexo na forma polar, ou seja, **A** = $Ae^{i\theta}$.

Machine Translated by Google

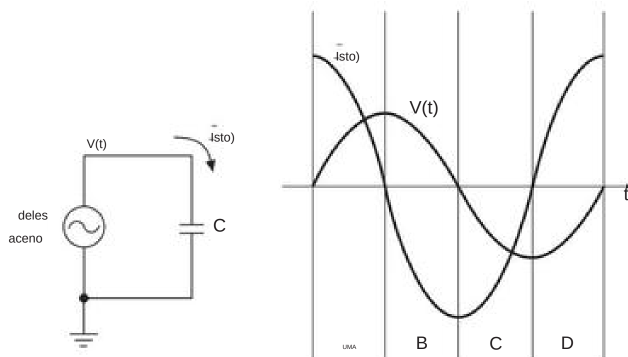


Figura 1.94. A potência fornecida a um capacitor é zero em um ciclo senoidal completo, devido ao deslocamento de fase de 90ÿ entre a tensão e a tensão. atual.

1.7.6 Potência em circuitos reativos

A potência instantânea fornecida a qualquer elemento do circuito é sempre dada pelo produto *P* = *V* I. No entanto, em circuitos reativos onde *V* e *I* não são simplesmente proporcionais, você não pode simplesmente multiplicar suas amplitudes. Coisas engraçadas podem acontecer; por exemplo, o sinal do produto pode ser revertido em um ciclo do sinal CA. A Figura 1.94 mostra um exemplo. Durante os intervalos de tempo *A* e C, a energia está sendo fornecida ao capacitor (embora a uma taxa variável), fazendo com que ele se carregue; sua energia armazenada está aumentando (potência é a taxa de mudança de energia). Durante os intervalos *B* e D, a potência fornecida ao capacitor é negativa; está descarregando. A potência média ao longo de um ciclo completo para este exemplo é de fato exatamente zero, uma afirmação que é sempre verdadeira para qualquer elemento de circuito puramente reativo (indutores, capacitores ou qualquer combinação deles). Se você conhece suas integrais trigonométricas, o próximo exercício mostrará como provar isso.

Exercício 1.27. Exercício opcional: prove que um circuito cuja corrente está 90ÿ fora de fase com a tensão motriz não consome energia, em média durante um ciclo completo.

Como encontramos a potência média consumida por um circuito arbitrário? Em geral, podemos imaginar a soma de pequenos pedaços do produto *VI* e depois a divisão pelo tempo decorrido. Em outras palavras,

$$P = \frac{1}{T}\int_0^T V(t)I(t)dt, \qquad (1.33)$$

onde *T* é o tempo para um ciclo completo. Felizmente, isso quase nunca é necessário. Em vez disso, é fácil mostrar que a potência média é dada por

$$P = \textbf{Re(VIÿ)} = \text{Re(VÿI)}, \qquad (1.34)$$

onde **V** e **I** são amplitudes rms complexas (e um aster isk significa *conjugado complexo* – consulte a revisão matemática, Apêndice A, se isso não for familiar).

Vamos dar um exemplo. Considere o circuito anterior, com uma onda senoidal de 1 volt (rms) acionando um capacitor. Faremos tudo com amplitudes rms, para simplificar. Nós temos

V = 1,

eu = DENTRO / ÿj/ ohC = *j* ohC,

P = **Re(VIÿ)** = Re(ÿj C) = 0. oh

Ou seja, a potência média é zero, como afirmado anteriormente.

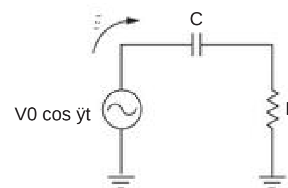


Figura 1.95. Potência e fator de potência em um circuito *RC* série.

Como outro exemplo, considere o circuito mostrado na Fig. 1,95. Nossos cálculos são assim: *j* C,

Z = Rÿ —— oh

V = V0,

eu = DENTRO / — = V0 / Rÿ(j/ ohC) = V0 *[R+ (j/* ohC)] / R2 + (1/ oh2C2) ,

P = **Re(VIÿ)** = R2 v2 0 *R* / + (1/ (Na oh2C2) .

terceira linha multiplicamos o numerador e o denominador pelo complexo conjugado do denominador para tornar o denominador real.) A potência[42] calculada é menor que o produto das grandezas de **V** e I. De fato, sua relação é chamada *de fator de potência:*

|V||Eu| = v2 0 / *[R2* + (1/ oh2C2)]1/2 ,

fator de potência = potência / |V||Eu|

= *R* / *[R2* + (1/ oh2C2)]1/2

[42] É sempre uma boa ideia verificar os valores limite: aqui vemos que *P* ÿ V2/ R para C grande; e para *C* pequeno a magnitude da corrente |*I*| ÿ *V0/ XC,* ou V0 C, portanto *P* ÿ I2R = V2 2C2R, de acordo em ambos os limites. oh oh

nesse caso. O fator de potência é o cosseno do ângulo de fase entre a tensão e a corrente, e varia de 0 (circuito puramente reativo) a 1 (puramente resistivo). Um fator de potência menor que 1 indica algum componente de corrente reativa.[43] Vale ressaltar que o fator de potência vai para a unidade, e a potência dissipada vai para V^2/R, no limite de grande capacitância (ou de alta frequência), onde a reatância do capacitor se torna muito menor que R.

Exercício 1.28. Mostre que toda a potência média fornecida ao circuito precedente termina no resistor. Faça isso calculando o valor de V^2/R. Qual é essa potência, em watts, para um capacitor do circuito em série F e um R resistor de 1,0k colocado no circuito de 115 volts? de um 1 m (rms), linha de força de 60 Hz?

O fator de potência é um assunto sério na distribuição de energia elétrica em larga escala, porque as correntes reativas não resultam em energia útil sendo entregue à carga, mas custam muito à empresa de energia em termos de aquecimento I^2R na resistência de geradores, transformadores e fiação. Embora os usuários residenciais sejam cobrados apenas pela energia "real" [Re(VIÿ)], a empresa de energia cobra dos usuários industriais de acordo com o fator de potência. Isso explica os pátios de capacitores que você vê atrás de grandes fábricas, construídos para cancelar a reatância indutiva de máquinas industriais (ou seja, motores).

Exercício 1.29. Mostre que adicionar um capacitor em série de valor *C = 2L* oh 1/ torna o fator de potência igual a 1,0 em um circuito *RL* em série. Agora faça a mesma coisa, mas com a palavra "série" alterada para "paralela".

1.7.7 Divisores de tensão generalizados

Nosso divisor de tensão original (Figura 1.6) consistia em um par de resistores em série com o terra, entrada no topo e saída na junção. A generalização desse divisor resistivo simples é um circuito semelhante no qual um ou ambos os resistores são substituídos por um capacitor ou indutor (ou uma rede mais complicada feita de R, L e C), como na Figura 1.96. Em geral, a razão de divisão Vout/Vin de tal divisor não é constante, mas depende da frequência (como já vimos, em nosso tratamento aproximado dos filtros passa-baixa e passa-alta em §1.7.1). A análise é direta:

$$\textbf{eu} = \frac{\text{venha}}{Z_{total}},$$

$$Z_{total} = Z_1 + Z_2$$

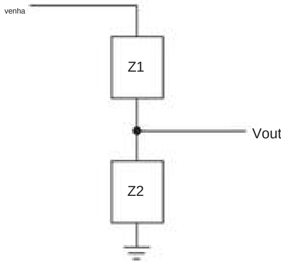


Figura 1.96. Divisor de tensão generalizado: um par de impedâncias arbitrárias.

$$V_{out} = IZ_2 = V_{in}\frac{Z_2}{Z_1 + Z_2}.$$

Em vez de nos preocuparmos com esse resultado em geral, vamos dar uma olhada em alguns exemplos simples (mas muito importantes), começando com os filtros passa-alta e passa-baixa *RC* que aproximamos anteriormente.

1.7.8 Filtros passa-alto RC

Vimos que, combinando resistores com capacitores, é possível fazer divisores de tensão dependentes da frequência, devido à dependência da frequência da impedância de um capacitor ZC = *ÿj/* oh C. Tais circuitos podem ter a propriedade desejável de passar frequências de sinal de interesse enquanto rejeita frequências de sinal indesejadas. Nesta subseção e na próxima revisitamos os filtros *RC* passa-baixa e passa-alta simples , corrigindo a análise aproximada de §1.7.1; embora simples, esses circuitos são importantes e amplamente utilizados. O Capítulo 6 e o Apêndice E descrevem os filtros de maior sofisticação.

Voltando ao clássico filtro passa-alto *RC* (Figura 1.92), vemos que a complexa lei de Ohm (ou a complexa equação do divisor de tensão) fornece *R(R*+ j/ oh C)

$$V_{out} = \text{Vinho}\frac{R}{R ÿ j/\text{oh}C} = V_{in}\frac{\text{oh}}{R^2 + (1/\text{oh}^2C^2)}.$$

(Para a última etapa, multiplique superior e inferior pelo conjugado complexo do denominador.) Na maioria das vezes, não nos importamos com a fase de Vout, apenas com sua amplitude:

$$V_{out} = (V_{out}V^{ÿ}_{out})^{1/2}$$

$$= \frac{R}{[R^2 + (1/\text{oh}^2C^2)]^{1/2}}\text{venha}$$

Observe a analogia com um divisor resistivo, onde

$$V_{out} = V_{in}\frac{R_2}{R_1 + R_2}.$$

Aqui a impedância da combinação *RC* em série

[43] Ou, para circuitos não lineares, indica que a forma de onda da corrente não é proporcional à forma de onda da tensão. Mais sobre isso em §9.7.1.

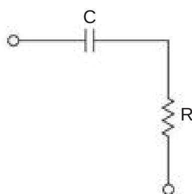


Figura 1.97. Impedância de entrada do filtro passa-alto descarregado.

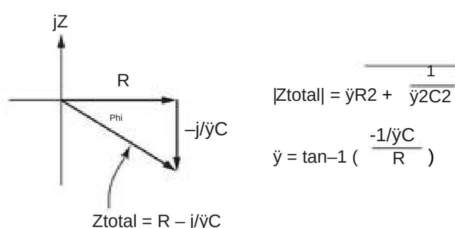


Figura 1.98. Impedância da série *RC.*

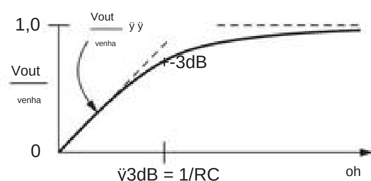


Figura 1.99. Resposta de frequência do filtro passa-alto. A mudança de fase correspondente vai suavemente de +90ÿ (em = 0), através de +45ÿ (em 3dB), para 0ÿ, análoga à mudança de fase do filtro passa-baixa (Figura 1.104).

(Figura 1.97) é como mostrado na Figura 1.98. Portanto, a "resposta" deste circuito, ignorando as mudanças de fase tomando as magnitudes das amplitudes complexas, é dada por

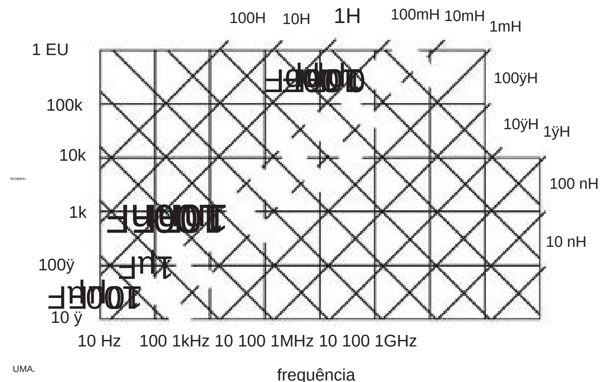
$$V_{out} = \frac{R}{[R^2 + (1/\omega^2 C^2)]^{1/2}} V_{in}$$

$$= \frac{2\pi f RC}{[1 + (2\pi f RC)^2]^{1/2}} V_{in} \quad (1.35)$$

e tem a aparência mostrada na Figura 1.99 (e anterior na Figura 1.91).

Observe que poderíamos ter obtido esse resultado imediatamente tomando a razão das *magnitudes* das impedâncias, como no Exercício 1.26 e no exemplo imediatamente anterior; o numerador é a magnitude da impedância da perna inferior do divisor (R) e o denominador é a magnitude da impedância da combinação em série de *R* e C.

Como observamos anteriormente, a saída é aproximadamente igual à entrada em altas frequências (quão alto? oh 1/*RC)* e vai a zero em baixas frequências. O filtro passa-alto é



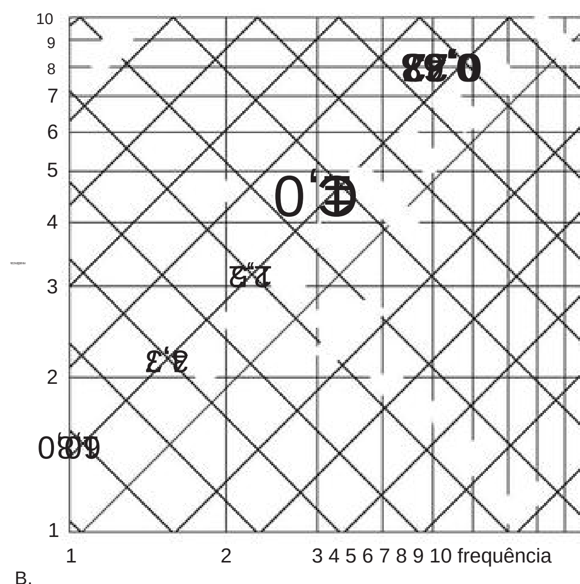


Figura 1.100. A: Reatância de indutores e capacitores versus frequência; todas as décadas são idênticas, exceto pela escala. B: Uma única década da parte A expandida, com valores de componentes padrão de 20% (EIA "E6") mostrados.

muito comum; por exemplo, a entrada do osciloscópio pode ser alterada para "acoplamento CA". Isso é apenas um filtro passa-alto *RC* com curvatura em cerca de 10 Hz (você usaria acoplamento CA se quisesse observar um pequeno sinal em uma grande tensão CC). Os engenheiros gostam de se referir ao "ponto de interrupção" de -3 dB de um filtro (ou de qualquer circuito que se comporte como um filtro). No caso do filtro passa-alto *RC* simples, o ponto de interrupção de -3 dB é dado por

$$f_{3\,dB} = 1/2\pi RC.$$

Freqüentemente, você precisa saber a impedância de um capacitor em uma determinada frequência (por exemplo, para o projeto de filtros).

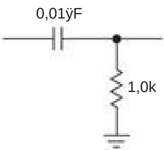


Figura 1.101. Exemplo de filtro passa-alto.

A Figura 1.100 fornece um gráfico muito útil cobrindo grandes faixas de capacitância e frequência, fornecendo o valor de **|Z|** = 1/2 pi *fC.*

Como exemplo, considere o filtro mostrado na Figura 1.101. É um filtro passa-alto com o ponto 3 dB44 em 15,9 kHz. A impedância de uma carga acionada por ele deve ser muito maior que 1,0k para evitar efeitos de carregamento do circuito na saída do filtro, e a fonte acionadora deve ser capaz de acionar uma carga de 1,0k sem atenuação significativa (perda de amplitude do sinal) em para evitar efeitos de carregamento do circuito pelo filtro na fonte de sinal (lembre-se de §1.7.1D para fonte de pior caso e impedâncias de carga de filtros *RC).*

1.7.9 Filtros passa-baixa RC

Revisitando o filtro passa-baixo, no qual você obtém o comportamento de frequência oposto trocando *R* e *C* (Figura 1.90, repetida aqui como Figura 1.102), encontramos o resultado preciso

$$\text{Vout} = \frac{1}{(1+ \text{oh}\text{Vin } 2R2C2)1/2} \qquad (1.36)$$

como visto na Figura 1.103 (e anteriormente na Figura 1.91). O ponto de 3 dB está novamente na frequência *45 f* = 1/2 pi *RC*. Os filtros passa-baixa são bastante úteis na vida real. Por exemplo, um filtro passa-baixo pode ser usado para eliminar a interferência de estações de rádio e televisão próximas (0,5 a 800 MHz), um problema que afeta amplificadores de áudio e outros equipamentos eletrônicos sensíveis.

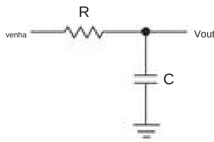


Figura 1.102. Filtro passa-baixo.

Exercício 1.30. Mostre que a expressão anterior para a resposta de um filtro passa-baixa *RC* está correta.

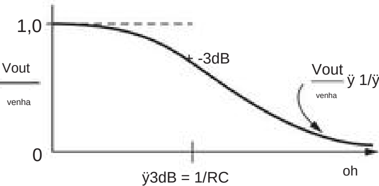


Figura 1.103. Resposta de frequência do filtro passa-baixo.

A saída do filtro passa-baixo pode ser vista como uma fonte de sinal por si só. Quando acionado por uma tensão CA perfeita (impedância de fonte zero), a saída do filtro se parece com *R* em baixas frequências (a fonte de sinal perfeita pode ser substituída por um curto, ou seja, por sua impedância de fonte de pequeno sinal, para fins de cálculos de impedância). Ele cai para impedância zero em altas frequências, onde o capacitor domina a impedância de saída. O sinal que conduz o filtro vê uma carga de *R* mais a resistência de carga em baixas frequências, caindo para apenas *R* em altas frequências. Como observamos em §1.7.1D, a impedância de fonte de pior caso e a impedância de carga de pior caso de um filtro *RC* (passa-baixa ou passa-alta) são iguais a R.

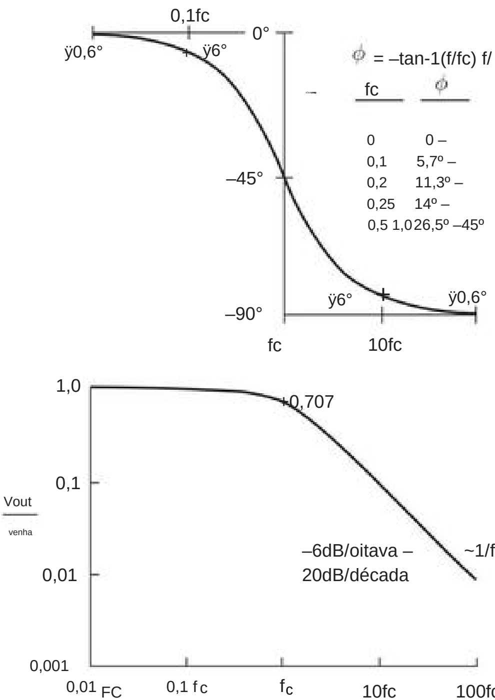


Figura 1.104. Resposta de frequência (fase e amplitude) do filtro passa-baixo representada em eixos logarítmicos. Observe que a mudança de fase é ÿ45ÿ no ponto ÿ3 dB e está dentro de 6ÿ de seu valor assintótico para uma década de mudança de frequência.

44 Frequentemente omite-se o sinal de menos quando se refere ao ponto -3 dB.

45 Conforme mencionado em §1.7.1A, geralmente gostamos de definir o ponto de frequência oh interrupção fre 0=1/RC e trabalhar com razões de frequência/ Oh 0. Então o denominador na equação 1.36 é 1+ (/ 0) 2. O mesmo / se aplica à eq'n 1.35, onde o numerador se torna Oh Oh 0.

Na Figura 1.104, plotamos a mesma resposta do filtro passa-baixa com eixos logarítmicos, que é a forma mais comum de fazer isso. Você pode pensar no eixo vertical como decibéis e no eixo horizontal como oitavas (ou décadas).

Em tal gráfico, distâncias iguais correspondem a proporções iguais. Também plotamos a mudança de fase, usando um eixo vertical linear (graus) e o mesmo eixo de frequência logarítmica. Esse tipo de gráfico é bom para ver a resposta detalhada mesmo quando ela é muito atenuada (como à direita); veremos vários desses gráficos no Capítulo 6, quando tratarmos de filtros ativos. Observe que a curva do filtro plotada aqui se torna uma linha reta em grandes atenuações, com uma inclinação de -20 dB/década (os engenheiros preferem dizer "-6 dB/oitava").

Observe também que a mudança de fase vai suavemente de 0ÿ (em frequências bem abaixo do ponto de interrupção) a ÿ90ÿ (bem acima dele), com um valor de ÿ45ÿ no ponto de ÿ3 dB. Uma regra prática para filtros *RC* de seção única é que a mudança de fase é ÿ 6ÿ de seu valor assintótico em 0,1 f3 dB e em 10 f3 dB.

Exercício 1.31. Prove a última afirmação.

Uma questão interessante é a seguinte: é possível fazer um filtro com alguma resposta de amplitude especificada arbitrária e alguma outra resposta de fase especificada arbitrária?

Surpreendentemente, a resposta é não: as demandas de causalidade (ou seja, essa resposta deve seguir a causa, não precedê-la) forçam uma relação entre a resposta de fase e amplitude de filtros analógicos realizáveis (conhecida oficialmente como a relação Kramers-Kronig).

1.7.10 Diferenciadores e integradores RC no domínio da frequência

O diferenciador *RC* que vimos em §1.4.3 é exatamente o mesmo circuito que o filtro passa-alto nesta seção. Na verdade, pode ser considerado como qualquer um, dependendo se você está pensando em formas de onda no domínio do tempo ou resposta no domínio da frequência. Podemos reafirmar a condição anterior no domínio do tempo para sua operação adequada (dVoutdVin) em termos de resposta de frequência: para que a saída seja pequena em comparação com a entrada, a frequência do sinal (ou frequências) deve estar bem abaixo do ponto 3 dB. Isso é fácil de verificar: suponha que temos o sinal de entrada Vin = sin t. Então, usando a equação que obtivemos anteriormente para a saída do diferenciador, temos

$$\text{Vout} = RC \frac{d}{dt} \text{sen } \omega t = \omega RC \cos \omega t,$$

e assim dVoutdVin se *RC* 1, ou seja, *RC* 1/ Se o sinal de entrada contiver uma faixa de frequências, isso deve ser válido para as frequências mais altas presentes na entrada.

O integrador *RC* (§1.4.4) é o mesmo circuito que o filtro passa-baixo; por raciocínio semelhante, o critério para um bom integrador é que as frequências de sinal mais baixas devem estar bem acima do ponto 3 dB.

1.7.11 Indutores versus capacitores

Em vez de capacitores, os indutores podem ser combinados com resistores para fazer filtros passa-baixa (ou passa-alta). Na prática, no entanto, você raramente vê filtros passa-baixa ou passa-alta *RL* . A razão é que os indutores tendem a ser mais volumosos e caros e têm um desempenho pior (isto é, eles se afastam mais do ideal) do que os capacitores (consulte o Capítulo 1x). Se você puder escolher, use um capacitor. Uma exceção importante a essa afirmação geral é o uso de grânulos de ferrite e bobinas em circuitos de alta frequência. Você apenas enfia algumas contas aqui e ali no circuito; eles tornam as interconexões de fios ligeiramente indutivas, aumentando a impedância em frequências muito altas e evitando oscilações, sem a resistência em série adicional que você obteria com um filtro *RC* . Uma *bobina de RF* é um indutor, geralmente algumas voltas de fio enroladas em um núcleo de ferrite, usado para o mesmo propósito em circuitos de RF.

Observe, no entanto, que os indutores são componentes *essenciais* em (a) circuitos *LC* sintonizados (§1.7.14) e (b) conversores de potência de modo chaveado (§9.6.4).

1.7.12 Diagramas fasoriais

Existe um bom método gráfico que pode ser útil quando estamos tentando entender os circuitos reativos. Tomemos um exemplo, ou seja, o fato de um filtro *RC* atenuar 3 dB em uma frequência $f = 1/2\pi RC$, que derivamos em §1.7.8.

Isso é válido para filtros passa-alta e passa-baixa. É fácil ficar um pouco confuso aqui, porque nessa frequência a reatância do capacitor é igual à resistência do resistor; portanto, a princípio, você pode esperar uma atenuação de 6 dB (um fator de 1/2 na tensão). Isso é o que você obteria, por exemplo, se substituísse o capacitor por um resistor da mesma magnitude de impedância. A confusão surge porque o capacitor é reativo, mas a questão é esclarecida por um diagrama fasorial (Figura 1.105).

Os eixos são os componentes real (resistivo) e imaginário (reativo) da impedância. Em um circuito em série como este, os eixos também representam a tensão (complexa), porque a corrente é a mesma em todos os lugares.

Portanto, para este circuito (pense nele como um divisor de tensão *RC*), a tensão de entrada (aplicada no par *RC* em série) é proporcional ao comprimento da hipotenusa e a tensão de saída (somente em *R*) é proporcional ao comprimento da a perna *R* do triângulo. O diagrama representa a situação na frequência em que a reatância do capacitor é igual a R,

ou seja, $f = 1/2\pi RC$, e mostra que a relação entre a tensão de saída e a tensão de entrada é 1/ÿ 2, ou seja, ÿ3 dB.

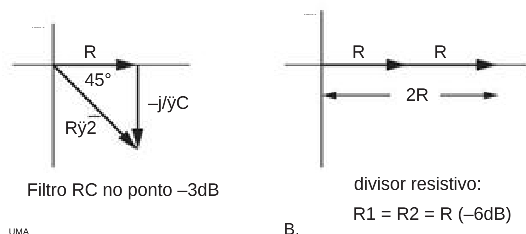


Figura 1.105. Diagrama fasorial para filtro passa baixa no ponto 3 dB.

O ângulo entre os vetores fornece a mudança de fase da entrada para a saída. No ponto de 3 dB, por exemplo, a amplitude de saída é igual à amplitude de entrada dividida pela raiz quadrada de 2 e está adiantada 45ÿ em fase. Este método gráfico facilita a leitura das relações de amplitude e fase em circuitos *RLC* . Você pode usá-lo, por exemplo, para obter a resposta do filtro passa-alto que derivamos anteriormente algebricamente.

Exercício 1.32. Use um diagrama fasorial para derivar a resposta de um filtro passa-alto *RC :* Vout = VinR/ R2 + (1/ ω2C2).

Exercício 1.33. Em que frequência um filtro passa-baixa *RC* atenua em 6 dB (tensão de saída igual à metade da tensão de entrada)? Qual é a mudança de fase nessa frequência?

Exercício 1.34. Use um diagrama fasorial para obter a resposta do filtro passa-baixa previamente derivada algebricamente.

No próximo capítulo (§2.2.8), veremos um bom exemplo de diagramas fasoriais em conexão com um circuito de deslocamento de fase de amplitude constante.

1.7.13 "Polos" e decibéis por oitava

Observe novamente a resposta do filtro passa-baixa *RC* (Figuras 1.103 e 1.104). Bem à direita do "joelho" a amplitude de saída está caindo proporcionalmente a 1/ *f .*
Em uma oitava (como na música, uma oitava é o dobro da frequência) a amplitude de saída cairá pela metade, ou -6 dB; portanto, um filtro *RC* simples tem uma queda de 6 dB/oitava. Você pode fazer filtros com várias seções *RC ;* então você obtém 12 dB/oitava (duas seções *RC),* 18 dB/oitava (três seções) e assim por diante. Esta é a maneira usual de descrever como um filtro se comporta além do corte. Outra maneira popular é dizer um "filtro tripolar", por exemplo, significando um filtro com três seções *RC* (ou um que se comporta como uma). (A palavra "pólo" deriva de um método de análise que está além do escopo deste livro e que envolve funções de transferência no plano de frequência complexo, conhecido pelos engenheiros como o "plano s". Isso é discutido no volume avançado, no Capítulo 1x.)

Um cuidado com filtros de vários estágios: você não pode simplesmente colocar em cascata várias seções de filtro idênticas para obter uma resposta de frequência que é a concatenação das respostas individuais. O motivo é que cada estágio carregará o anterior significativamente (já que são idênticos), alterando a resposta geral. Lembre-se de que a função de resposta que derivamos para os filtros *RC* simples foi baseada em uma fonte motriz de impedância zero e uma carga de impedância infinita. Uma solução é fazer com que cada seção de filtro sucessiva tenha uma impedância muito maior do que a anterior.
Uma solução melhor envolve circuitos ativos como "buffers" intermediários de transistor ou amplificador operacional (op-amp) ou filtros ativos. Esses assuntos serão tratados nos Capítulos 2–4, 6 e 13.

1.7.14 Circuitos ressonantes

Quando os capacitores são combinados com indutores ou usados em circuitos especiais chamados filtros ativos, é possível fazer circuitos com características de frequência muito nítidas (por exemplo, um grande pico na resposta em uma frequência específica), em comparação com as características graduais do Filtros *RC* que vimos até agora. Esses circuitos encontram aplicações em vários dispositivos de áudio e RF. Vamos agora dar uma olhada rápida nos circuitos *LC* (haverá mais informações sobre eles e filtros ativos no Capítulo 6 e no Apêndice E).

A. Circuitos LC paralelos e em série

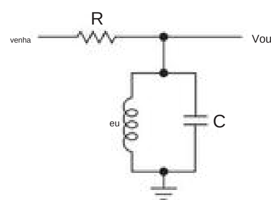


Figura 1.106. Circuito ressonante *LC :* filtro passa-banda.

Primeiro, considere o circuito mostrado na Figura 1.106. o impedância da combinação *LC* na frequência *f* é apenas

$$\frac{1}{Z_{LC}} = \frac{1}{Z_L} + \frac{1}{Z_C} = \frac{1}{j\omega L} - \frac{\omega C}{j}$$

$$= j\left(\omega C - \frac{1}{\omega L}\right),$$

isto é,

$$Z_{LC} = \frac{j}{(1/\omega L) - \omega C}.$$

Em combinação com *R* forma um divisor de tensão. Devido aos comportamentos opostos de indutores e capacitores, a impedância do *LC* paralelo vai para o infinito na *frequência de ressonância*

$$f_0 = 1/2\pi\sqrt{LC} \quad (1.37)$$

(ou $\omega_0 = 1/\sqrt{LC}$), dando um pico na resposta lá. seja, a resposta geral é mostrada na Figura 1.107.

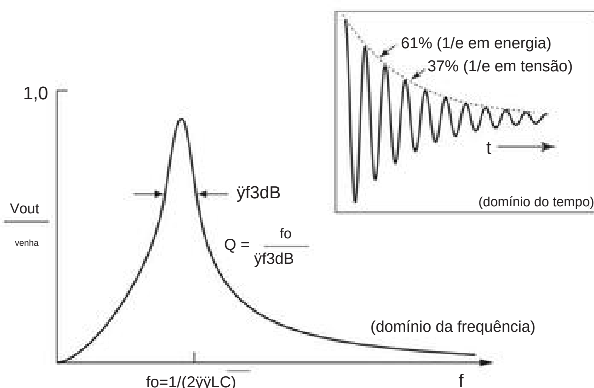


Figura 1.107. Resposta de frequência do circuito "tanque" *LC* paralelo . A inserção mostra o comportamento no domínio do tempo: uma forma de onda de oscilação amortecida ("ringing") seguindo um passo ou pulso de tensão de entrada.

Na prática, as perdas no indutor e no capacitor limitam a nitidez do pico, mas com um bom projeto essas perdas podem ser muito pequenas. Por outro lado, um resistor de deterioração de Q às vezes é adicionado intencionalmente para reduzir a nitidez do pico ressonante. Este circuito é conhecido simplesmente como um circuito ressonante *LC* paralelo (ou "circuito sintonizado" ou "tanque") e é usado extensivamente em circuitos de RF para selecionar uma frequência específica para amplificação (o *L* ou *C* pode ser variável, então você pode sintonizar a frequência de ressonância). Quanto maior a impedância de acionamento, mais agudo o pico; não é incomum conduzi-los com algo próximo a uma fonte de corrente, como você verá mais adiante. O *fator de qualidade Q* é uma medida da nitidez do pico. É igual à frequência de ressonância dividida pela largura nos pontos de -3 dB. Para um circuito *RLC* paralelo, $Q = \omega_0 RC$.[46] Outra variedade de circuito *LC* é a série *LC* (Figura 1.108). Ao anotar as fórmulas de impedância envolvidas, e assumindo que tanto o capacitor quanto o indutor são ideais, ou seja, que eles não têm perdas resistivas,[47] você pode se convencer de que a impedância do *LC* vai para zero

[46] Ou, de forma equivalente, $Q = R/X_C = R/X_L$, onde $X_L = X_C$ são as reatâncias no ω_0.

[47] Veremos no Capítulo *1x* que os componentes reais se afastam do ideal, muitas vezes expresso em termos de uma resistência em série efetiva, ESR.

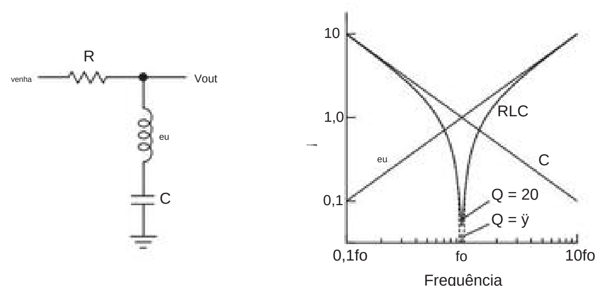


Figura 1.108. Filtro notch *LC* ("trap"). As reatâncias indutiva e capacitiva se comportam como mostrado, mas o sinal oposto de suas impedâncias complexas faz com que a impedância série caia. Para componentes ideais a reatância da série *LC* vai completamente a zero na ressonância; para componentes do mundo real, o mínimo é diferente de zero e geralmente dominado pelo indutor.

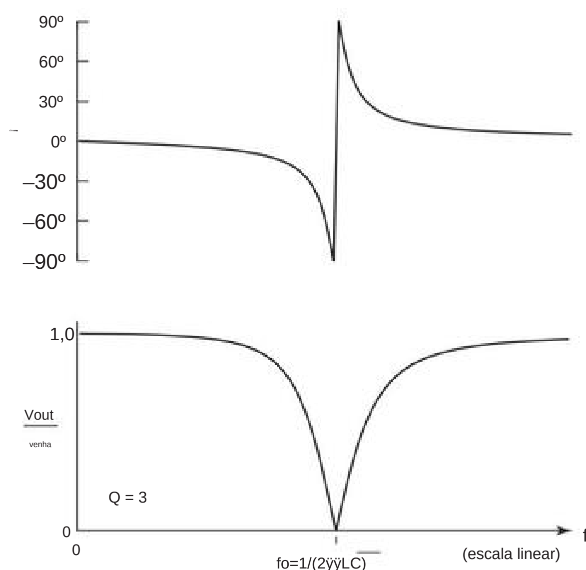


Figura 1.109. Frequência e resposta de fase do trap série *LC* . A fase muda abruptamente na ressonância, um efeito visto em outros tipos de ressonadores (veja, por exemplo, a Figura 7.36).

para ressonância ($f_0 = 1/2\pi\sqrt{LC}$). Tal circuito é uma "armadilha" para sinais na frequência ressonante ou perto dela, colocando-os em curto com o terra. Novamente, este circuito encontra aplicação principalmente em circuitos de RF. A Figura 1.109 mostra como é a resposta.

O *Q* de um circuito *RLC* em série é $Q = \omega_0 L/R$.[48] Para ter o impacto do aumento de Q, observe os gráficos precisos da resposta do tanque e do entalhe na Figura 1.110.

[48] Ou, de forma equivalente, $Q = X_L/R = X_C/R$, onde $X_L = X_C$ são as reatâncias no ω_0.

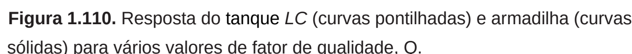


Figura 1.110. Resposta do tanque *LC* (curvas pontilhadas) e armadilha (curvas sólidas) para vários valores de fator de qualidade, Q.

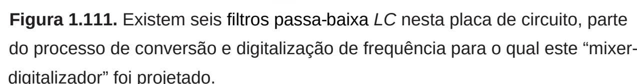


Figura 1.111. Existem seis filtros passa-baixa *LC* nesta placa de circuito, parte do processo de conversão e digitalização de frequência para o qual este "mixer-digitalizador" foi projetado.

Exercício 1.35. Encontre a resposta (Vout/Vin versus frequência) para o circuito trap série *LC* na Figura 1.108.

Essas descrições de circuitos ressonantes *LC* são expressas em termos de resposta de frequência, ou seja, no domínio de frequência. No domínio do tempo, você geralmente está interessado na resposta de um circuito a pulsos ou etapas; aí você vê o tipo de comportamento mostrado na inserção da Figura 1.107, um circuito *LC* com Q=20. A tensão do sinal cai para 1/e (37%) em ciclos; a em amplitude) em ciclos Q/2π (Você pode preferir pensar em a energia armazenada (proporcional a v²) cai para 1/e (61% radianos: a energia cai para 1/e em Q/π radianos; e a tensão cai para Q radianos 2Q radianos. Os circuitos ressonantes *LC* não são os únicos a fornecer um comportamento de circuito altamente seletivo em frequência; alternativas incluem ressonadores de cristal de quartzo, cerâmica e onda acústica de superfície (SAW); linhas de transmissão; e cavidades ressonantes.

1.7.15 Filtros LC

Combinando indutores com capacitores, você pode produzir filtros (lowpass, highpass, bandpass) com comportamento muito mais nítido na resposta de frequência do que com um filtro feito de um *RC* simples ou de qualquer número de seções *RC* em cascata . Veremos mais sobre isso, e o tópico relacionado aos filtros ativos, no Capítulo 6. Mas vale a pena admirar agora como isso funciona bem, para apreciar a virtude do humilde indutor (um componente de circuito frequentemente difamado).

Como exemplo, veja a Figura 1.111, uma fotografia de uma placa de circuito "mixer-digitizer" que construímos para um projeto alguns anos atrás (especificamente, um receptor de rádio com 250 milhões de canais simultâneos). Há muitas coisas no quadro, que precisam mudar de frequência e digitalizar três bandas de RF; seu design poderia ocupar um capítulo de livro. Por enquanto, observe apenas o filtro irregular no oval (há mais cinco na placa), composto por três indutores (as latas quadradas de metal) e quatro capacitores (os pares de retângulos brilhantes). É um filtro passa-baixa, projetado para cortar em 1,0 MHz; ele evita 'aliases' na saída digitalizada, um assunto que abordaremos no Capítulo 13.

Quão bem ele funciona? A Figura 1.112 mostra uma "varredura de frequência", na qual uma entrada de onda senoidal vai de 0 Hz a 2 MHz conforme o traço vai da esquerda para a direita na tela. As formas de salsicha são o "envelope" da saída de onda senoidal, aqui comparando o filtro *LC* com um filtro passa-baixa *RC* com o mesmo corte de 1 MHz (1 kÿ e 160 pF). O *LC* vence, sem dúvida. O *RC* é patético em comparação. Nem é bom inglês chamar 1 MHz de "cutoff": dificilmente corta alguma coisa.

1.7.16 Outras aplicações de capacitores

Além de seus usos em filtros, circuitos ressonantes, diferenciais e integradores, os capacitores são necessários para várias outras aplicações importantes. Trataremos disso em detalhes posteriormente neste livro, mencionando-os aqui apenas como uma prévia.

A. Bypass A impedância de um capacitor diminui com o aumento da frequência. Esta é a base de outra aplicação importante: *bypassing.* Existem lugares nos circuitos onde você deseja permitir uma tensão CC, mas não deseja a presença de sinais. Colocar um capacitor nesse elemento do circuito (geralmente um resistor) ajudará a eliminar qualquer sinal ali.
Você escolhe o valor do capacitor (não crítico) para que

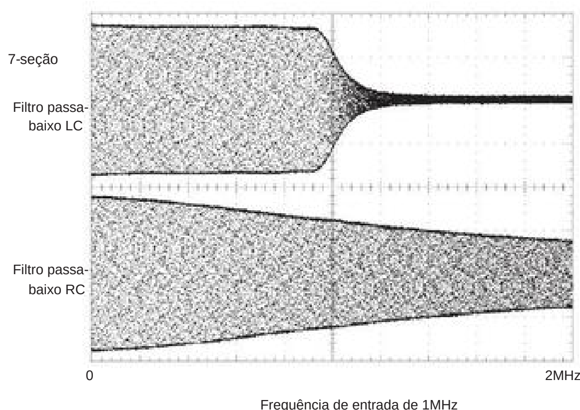


Figura 1.112. Varredura de frequência do filtro passa-baixa *LC* mostrado na Figura 1.111 em comparação com um filtro passa-baixa *RC* com a mesma frequência de corte de 1 MHz. O contorno escuro é o envelope de amplitude da onda senoidal de varredura rápida, que atinge uma aparência de lixa nesta captura de escopo digital.

a impedância nas frequências do sinal é pequena em comparação com o que está ignorando. Você verá muito mais sobre isso em capítulos posteriores.

B. Filtragem da fonte de alimentação Vimos esta aplicação em §1.6.3, para filtrar a ondulação dos circuitos retificadores. Embora os projetistas de circuitos frequentemente os chamem de capacitores de *filtro* , esta é realmente uma forma de desvio, ou armazenamento de energia, com capacitores de grande valor; nós preferimos o termo capacitor *de armazenamento* . E esses capacitores são realmente grandes – eles são as grandes coisas redondas e brilhantes que você vê na maioria dos instrumentos eletrônicos. Entraremos em detalhes no projeto da fonte de alimentação CC no Capítulo 9.

C. Temporização e geração de forma de onda
Como vimos, um capacitor alimentado com uma corrente constante carrega-se com uma forma de onda de rampa. Esta é a base dos geradores de rampa e dente de serra, usados em geradores de funções analógicas, circuitos de varredura de osciloscópios, conversores analógico-digitais e circuitos de temporização. Os circuitos *RC* também são usados para temporização e formam a base dos circuitos de atraso (multivibradores monoestáveis). Essas aplicações de temporização e forma de onda são importantes em muitas áreas da eletrônica e serão abordadas nos Capítulos 3, 6, 10 e 11.

1.7.17 Teorema de Thevenin generalizado

Quando capacitores e indutores são incluídos, o teorema de Thevenin deve ser reafirmado: qualquer rede de dois terminais de resistores, capacitores, indutores e fontes de sinal é equivalente a uma única impedância complexa em série com uma única fonte de sinal. Como antes, você encontra a impedância (complexa) e a fonte do sinal (forma de onda, amplitude e fase) da tensão de saída de circuito aberto e da corrente de saída de curto-circuito.

1.8 Juntando tudo – um rádio AM

Em nosso curso de circuitos, unimos os tópicos deste capítulo conectando um simples rádio AM. O sinal transmitido é uma onda senoidal na frequência da estação na banda AM (520–1720 kHz), com amplitude variada ("modulada") de acordo com a forma de onda do áudio (Figura 1.113). Em outras palavras, uma forma de onda de áudio descrita por alguma função *f(t)* seria transmitida como um sinal de RF *[A* + f(t)]sin 2 *fct;* aqui fc é a frequência de "portadora" da estação, e a constante *A* é adicionada à *f(t)* para que a forma de onda nunca seja negativo.

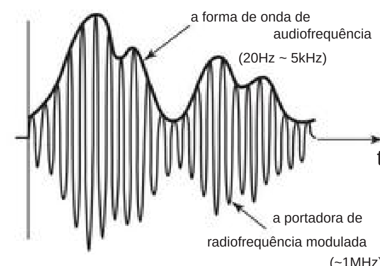


Figura 1.113. Um sinal AM consiste em uma portadora de RF (ÿ1 MHz) cuja amplitude é variada pelo sinal de frequência de áudio (fala ou música; frequências audíveis até ÿ5 kHz). A forma de onda de áudio é compensada em CC para que o envelope não cruze o zero.

No lado do receptor (somos nós!) a tarefa é selecionar esta estação (entre muitas) e de alguma forma extrair o *envelope modulante,* que é o sinal de áudio desejado. A Figura 1.114 mostra o rádio AM mais simples; é o "conjunto de cristal" do passado. É realmente bastante simples: o circuito ressonante *LC* paralelo é sintonizado na frequência da estação pelo capacitor variável C1 (§1.7.14); o diodo *D* é um retificador de meia onda (§1.6.2), que (se ideal) passaria apenas os semiciclos positivos da portadora modulada; e R1 fornece uma carga leve, de modo que a saída retificada segue os meios ciclos de volta a zero. Estamos quase terminando. Adicionamos o pequeno capacitor C2 para evitar que a saída siga os meio-ciclos rápidos da portadora (é um capacitor de armazenamento, §1.7.16B), escolhendo a constante de tempo *R1C2* para ser longa comparada com um período da portadora (ÿ1 s), mas curto em comparação com o período de maior frequência de áudio (ÿ200 s).
m

As Figuras 1.115 e 1.116 mostram o que você vê quando examina com um 'escopo'. A antena *nua* mostra bastante captação de baixa frequência (principalmente 60 Hz ac powerline) e um pouquinho de sinal de todas as estações AM ao mesmo tempo. Mas

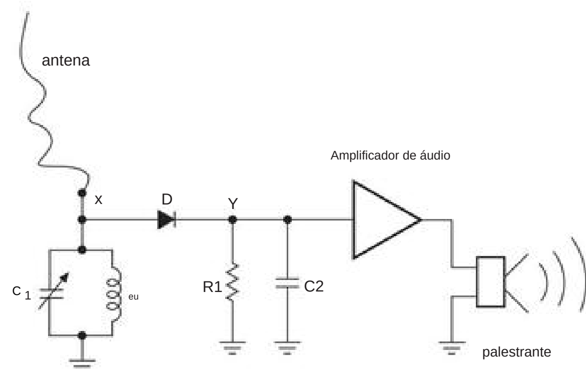


Figura 1.114. O receptor AM mais simples. O capacitor variável C1 sintoniza a estação desejada, o diodo *D* capta o envelope positivo (suavizado por R1C2) e o sinal de áudio fraco resultante é amplificado para acionar o alto-falante, alto.

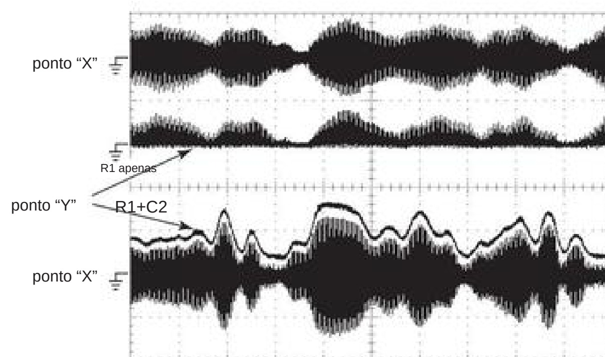


Figura 1.116. Formas de onda observadas no ponto "Y" apenas com R1 (superior) e com capacitor de suavização C2 incluído (inferior). O par superior é uma captura única (com a portadora de ÿ1 MHz aparecendo como preto sólido), e o par inferior é uma captura única separada, na qual compensamos a onda retificada para maior clareza. Vertical: 1 V/div; horizontal: 1ms/div.

quando você o conecta ao circuito ressonante *LC* , todo o material de baixa frequência desaparece (porque o *LC* parece uma impedância muito baixa, Figura 1.107) e vê apenas a estação AM selecionada. O que é interessante aqui é que a amplitude da estação selecionada é muito maior com o *LC* conectado do que sem nada conectado à antena: isso ocorre porque o alto *Q* do circuito ressonante está armazenando energia de vários ciclos do sinal.49

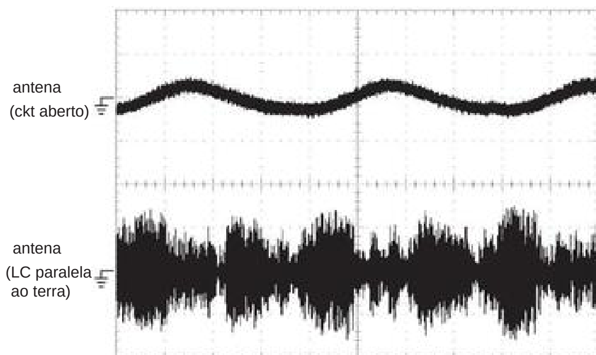


Figura 1.115. Formas de onda observadas no ponto "X" a partir da antena nua (topo) e com o *LC* conectado. Observe que o lixo de baixa frequência desaparece e que o sinal de rádio aumenta. Estes são traços únicos, nos quais a portadora de radiofrequência de ÿ1 MHz aparece como uma área sólida preenchida. Vertical: 1 V/div; horizontal: 4 ms/div.

O amplificador de áudio também é divertido, mas não estamos preparados para isso. Veremos como fazer um desses no Capítulo 2 (com transistores discretos) e novamente no Capítulo 4 (com amplificadores operacionais, o bloco Lego™ de design analógico).

E uma observação final divertida: em nossa aula, gostamos de mostrar o efeito de sondar o ponto "X" com um comprimento de cabo BNC (baioneta Neill–Concelman) indo para uma 'entrada de osciloscópio (é assim que começamos, no primeiro semana). Quando fazemos isso, a capacitância do cabo (cerca de 30 pF/ft) se soma a C1, diminuindo a frequência de ressonância e, assim, sintonizando uma estação diferente. Se acertarmos, muda de *idioma* (do inglês para o espanhol)! Os alunos uivam de tanto rir – um componente eletrônico de tradução de linguagem. Em seguida, usamos uma sonda 'scope' comum, com seus ~10 pF de capacitância: sem mudança de estação, nem de idioma.

1.9 Outros componentes passivos

Nas subseções a seguir, gostaríamos de apresentar brevemente uma variedade de componentes diversos, mas essenciais. Se você tiver experiência em construção eletrônica, talvez queira prosseguir para o próximo capítulo.

1.9.1 Dispositivos eletromecânicos: interruptores

Esses dispositivos mundanos, mas importantes, parecem acabar na maioria dos equipamentos eletrônicos. Vale a pena gastar alguns parágrafos sobre o assunto (e há mais no Capítulo 1x). As Figuras 1.117 e 1.118 mostram alguns tipos de chaves comuns.

A. Interruptores O interruptor simples está disponível em várias configurações, dependendo do número de pólos; A Figura 1.119 mostra as usuais (SPST indica uma chave unipolar de acionamento simples, SPDT indica uma chave unipolar de acionamento duplo

49 Existem maneiras mais complicadas de enquadrar isso, mas você realmente não quer saber ainda. . .



Figura 1.117. Mudar Smorgasbord. Os nove interruptores à direita são interruptores de contato momentâneo ("pushbutton"), incluindo montagem em painel e montagem em PCB (PCB, placa de circuito impresso). À esquerda estão tipos adicionais, incluindo estilos multipolares e acionados por alavanca. Acima deles, há um par de chaves seletoras codificadas em binário para montagem em painel, à esquerda das quais há um teclado hexadecimal codificado em matriz. Os interruptores no primeiro plano central são interruptores de alternância, nas variedades de montagem em painel e montagem em PCB; vários estilos de atuadores são mostrados, incluindo uma variedade de travamento (quarta da frente) que deve ser puxada antes de ser trocada. Os interruptores rotativos na coluna da esquerda ilustram os tipos de código binário (os três na frente e o quadrado maior) e os tradicionais interruptores wafer configuráveis multipolo-multiposição.

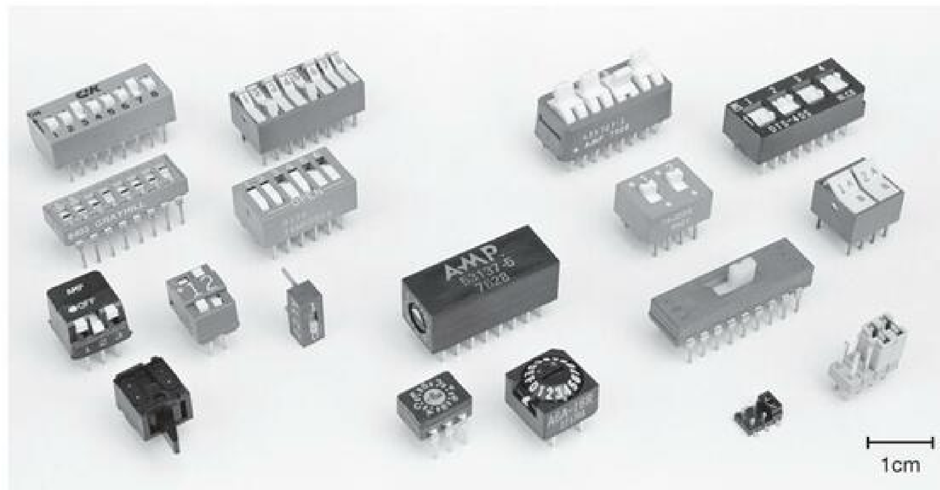


Figura 1.118. "Interruptores DIP" montados na placa. Grupo da esquerda, da frente para trás e da esquerda para a direita (todos são SPST): alternância de ação lateral de estação única; ação lateral de três estações, rocker de duas estações e slide de estação única; slide de oito estações (perfil baixo) e rocker de seis estações; slide e rocker de oito estações. Grupo do meio (todos são codificados em hexadecimal): perfil baixo de seis pinos, seis pinos com ajuste superior ou lateral; 16 pinos com codificação verdadeira e complementar. Grupo direito: bloco de cabeçalho de montagem em superfície de 2 mm × 2 mm com jumper móvel ("shunt"), bloco de cabeçalho de furo passante de 0,1 × 0,1 (2,54 mm × 2,54 mm) com derivações; SPDT de 18 pinos (atuador comum); slide SPDT duplo de oito pinos e balancim; Slide SPDT quad de 16 pinos (dois exemplos).

interruptor, e DPDT indica um interruptor de dois pólos de duplo curso). Os interruptores basculantes também estão disponíveis com posições “central OFF” e com até quatro pólos comutados simultaneamente. As chaves de alternância são sempre “interrompidas antes de serem fechadas”, por exemplo, o contato móvel nunca se conecta a ambos os terminais em uma chave SPDT.

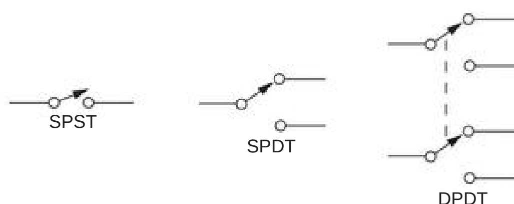


Figura 1.119. Tipos de switch fundamentais.

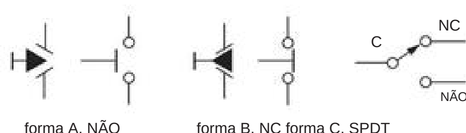


Figura 1.120. Interruptores de contato momentâneo (botão).

B. Botões de pressão Os

botões de pressão são úteis para aplicações de contato momentâneo; eles são desenhados esquematicamente como mostrado na Figura 1.120 (NO e NC significam normalmente aberto e normalmente fechado). Para interruptores de contato momentâneo SPDT, os terminais devem ser rotulados como NO e NC, enquanto para os tipos SPST o símbolo é auto-explicativo. Os interruptores de contato momentâneo são sempre "interrompidos antes do fechamento". Na indústria elétrica (em oposição à eletrônica), os termos forma A, forma B e forma C são usados para significar SPST (NO), SPST (NC) e SPDT, respectivamente.

C. Chaves rotativas

Chaves rotativas estão disponíveis com muitos pólos e muitas posições, muitas vezes como kits com wafers individuais e hardware de eixo. Ambos os tipos de curto- *circuito* (fazer antes da interrupção) e *sem curto* -circuito (interromper antes da interrupção) estão disponíveis e podem ser combinados na mesma chave. Em muitas aplicações, o tipo de curto-circuito é útil para evitar um circuito aberto entre as posições do interruptor, porque os circuitos podem enlouquecer com entradas não conectadas. Os tipos sem curto-circuito são necessários se as linhas separadas que estão sendo comutadas para uma linha comum nunca devem ser conectadas umas às outras.

Às vezes você realmente não quer todos aqueles pólos, você só quer saber quantos cliques (detenções) o eixo foi girado. Para isso, uma forma comum de chave rotativa codifica sua posição como uma quantidade binária de 4 bits, economizando assim muitos fios (apenas cinco são necessários: os quatro bits e uma linha comum). Uma alternativa é o uso de um *codificador rotativo,* um dispositivo eletromecânico montado em painel que cria uma sequência de *N* pares de pulsos para cada rotação completa do botão. Eles vêm em dois tipos (usando internamente contatos mecânicos ou métodos eletro-ópticos) e normalmente fornecem de 16 a 200 pares de pulsos por revolução. As variedades ópticas custam mais, mas duram para sempre.

D. Chaves de montagem em PC

É comum ver pequenas matrizes de chaves em placas de circuito impresso (PC), como as mostradas na Figura 1.118.
Eles são freqüentemente chamados *de interruptores DIP,* referindo-se ao pacote de circuito integrado duplo em linha que eles emprestam, embora a prática contemporânea use cada vez mais o pacote *de tecnologia de montagem em superfície* (SMT) mais compacto. Como o gráfico da foto ilustra, você pode obter chaves rotativas codificadas; e porque estes são usados para configurações internas de definir e esquecer, você pode substituir um bloco de *cabeçalho* multipino , com pouco deslizamento em “shunts” para fazer as conexões.

E. Outros tipos de chaves

Além desses tipos básicos de chaves, estão disponíveis várias chaves exóticas, como chaves de efeito Hall, chaves reed, chaves de proximidade, etc. Todas as chaves carregam correntes e tensões nominais máximas; uma pequena chave seletora pode ser classificada em 150 volts e 5 amperes. A operação com cargas indutivas reduz drasticamente a vida útil do interruptor devido ao arco durante o desligamento. É sempre bom operar um interruptor *abaixo* de suas classificações máximas, com uma exceção notável: como muitos interruptores dependem de um fluxo de corrente substancial para limpar os óxidos de contato, é importante usar um interruptor projetado para “comutação a seco” ao alternar sinais de baixo nível ;50 caso contrário, você obterá uma operação ruidosa e intermitente (consulte o Capítulo 1x).

F. Exemplos de

interruptores Como exemplo do que pode ser feito com interruptores simples, vamos considerar o seguinte problema: suponha que você queira soar uma campainha de alerta se o motorista de um carro estiver sentado e uma das portas do carro estiver aberta. Tanto as portas quanto o banco do motorista possuem interruptores, todos normalmente abertos. A Figura 1.121 mostra um circuito que faz o que você deseja. Se uma OU a outra porta estiver aberta (interruptor fechado) E o interruptor do assento estiver fechado, o alarme soará. As palavras OU e E são usadas em um sentido lógico aqui, e veremos este exemplo novamente em

50 Estes usam revestimento de contato de ouro.

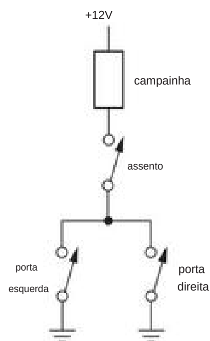


Figura 1.121. Exemplo de circuito de comutação: aviso de porta aberta.

Capítulos 2, 3 e 10, quando falamos sobre transistores e lógica digital.

A Figura 1.122 mostra um circuito de interruptor clássico usado para ligar ou desligar uma luminária de teto a partir de um interruptor em qualquer um dos dois en transes para um quarto.

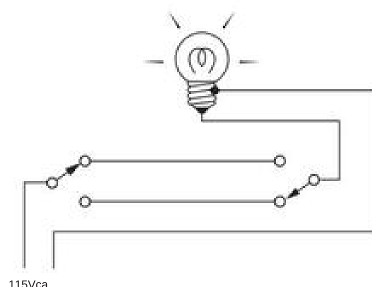


Figura 1.122. Fiação do interruptor de "três vias" do eletricista.

Exercício 1.36. Embora poucos projetistas de circuitos eletrônicos saibam como, todo *eletricista* pode conectar uma luminária de modo que qualquer um dos *N* interruptores possa ligá-la ou desligá-la. Veja se você consegue descobrir essa generalização da Figura 1.122. Requer dois switches SPDT e N-2 switches DPDT.

1.9.2 Dispositivos eletromecânicos: relés

Os relés são interruptores controlados eletricamente. No relé eletromecânico tradicional, uma bobina puxa uma armadura (para fechar os contatos) quando flui corrente suficiente na bobina. Muitas variedades estão disponíveis, incluindo relés de "latching" e "stepping".51 Os relés estão disponíveis com DC ou AC excitação e tensões de bobina de 3 volts até 115 volts (ca ou cc) são comuns. Os relés "molhados com mercúrio" e "reed" são destinados a aplicações de alta velocidade (ÿ1 ms), e relés gigantes destinados a comutar milhares de amperes são usados por empresas de energia.

O *relé de estado sólido* (SSR) – composto por uma chave eletrônica semicondutora que é acionada por um LED – oferece melhor desempenho e confiabilidade do que os relés mecânicos, porém com custo maior. Os SSRs operam rapidamente, sem contato "salto" e geralmente fornecem chaveamento inteligente de energia CA (eles ligam no momento de tensão zero e desligam no momento de corrente zero). Muito mais sobre esses dispositivos úteis no Capítulo 12.

Como veremos, a comutação eletricamente controlada de sinais dentro de um circuito pode ser realizada com interruptores de transistor, sem ter que usar relés de qualquer tipo (Capítulos 2 e 3). Os principais usos dos relés são na comutação remota e na comutação de alta tensão (ou alta corrente), onde é importante ter isolamento elétrico completo entre o sinal de controle e o circuito que está sendo comutado.

51 Em uma divertida nota de rodapé histórica, o relé escalonado usado por um século como a pedra angular das centrais telefônicas (o "seletor Strowger") foi inventado por um agente funerário de Topeka, Almon Strowger, evidentemente porque ele suspeitava que ligações telefônicas destinadas ao seu negócio estavam sendo encaminhado (pelos telefonistas da sua cidade) para uma funerária concorrente.

1.9.3 Conectores

Trazer sinais para dentro e para fora de um instrumento, rotear sinal e energia CC entre as várias partes de um instrumento, fornecer flexibilidade ao permitir que placas de circuito e módulos maiores do instrumento sejam desconectados (e substituídos) - essas são as funções do *conector,* um ingrediente essencial (e geralmente a parte menos confiável) de qualquer peça de equipamento eletrônico. Os conectores vêm em uma variedade desconcertante de tamanhos e formas.52 As Figuras 1.123, 1.124 e 1.125 dão uma ideia da variedade.

A. Conectores de fio único O tipo mais simples de conector é o conector de pino simples ou conector banana usado em multímetros, fontes de alimentação, etc. O humilde poste de encadernação é outra forma de conector de fio único, sem mesa para a falta de jeito que inspira em quem tenta usá-lo.

B. Conectores de cabo blindado

Para evitar captação capacitiva, e por outras razões que veremos no Apêndice H, geralmente é desejável canalizar sinais de um instrumento para outro em cabo coaxial blindado. O conector mais popular é o tipo BNC que

52 Uma busca por "conector" no site da DigiKey retorna 116 categorias, com aproximadamente 43.000 variedades individuais em estoque.

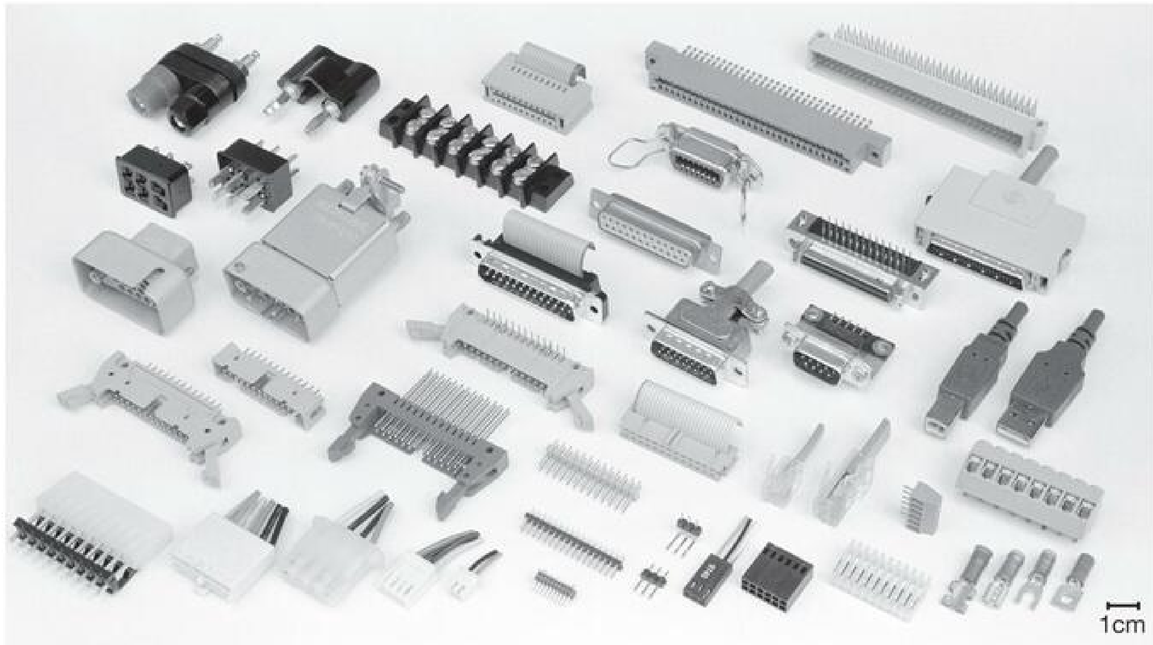


Figura 1.123. Conectores retangulares. A variedade de conectores multipinos disponíveis é impressionante. Aqui está uma coleção de amostras comuns: os cinco conectores no canto inferior esquerdo são conectores de alimentação de nylon multipinos (às vezes chamados de tipo Molex por razões históricas). Acima deles estão quatro cabeçalhos de caixa de linha dupla (espaçamento 0,1, mostrados com e sem ejetores de trava, e também com Wire-Wrap® e caudas em ângulo reto) e à direita um cabeçalho de linha dupla 0,1 aberto ("desenvolvido") , juntamente com um par de cabeçalhos de linha dupla de passo mais fino (2 mm e 1,27 mm). Esses conectores macho de fileira dupla combinam com conectores de deslocamento de isolamento (IDC), como o mostrado anexado a um pequeno comprimento de cabo plano (logo acima do cabeçalho não blindado). Logo abaixo da fita são mostrados cabeçotes 0.1 de linha única, com capas correspondentes (AMP MODU) que aceitam condutores de fios individuais. No canto inferior direito estão vários blocos de terminais usados para a fiação de energia e quatro terminais de pá crimpáveis do tipo "Faston". Acima deles estão os conectores USB e à esquerda estão os conectores modulares comuns de telefone/dados RJ-45 e RJ-11. Os populares e confiáveis conectores D-subminiatura estão no centro, incluindo (da direita para a esquerda) um par de micro-D de 50 pinos (plugue de cabo, soquete PCB), o D-sub de 9 pinos, alta densidade de 26 pinos, e um par de D-subs de 25 pinos (um IDC). Acima deles estão (da direita para a esquerda) um conector de backplane VME de 96 pinos, um conector de borda de placa de 62 pinos com extremidades de solda, um conector "tipo Centronrics" com alça de travamento e um conector de borda de placa com fita IDC. No canto superior esquerdo há uma miscelânea - um par correspondente de conectores banana duplos "tipo GR", um par correspondente de conectores tipo Cinch, um par correspondente de conectores tipo Winchester blindados com parafusos de travamento e (à direita) um parafuso -bloco de barreira terminal. Não são mostrados aqui os conectores realmente minúsculos usados em pequenos eletrônicos portáteis (smartphones, câmeras, etc); você pode ver um bom exemplo na Figura 1.131.

adorna a maioria dos painéis frontais dos instrumentos. Ele se conecta com uma torção de um quarto de volta e completa o circuito de blindagem (terra) e o circuito do condutor interno (sinal) simultaneamente. Como todos os conectores usados para conectar um cabo a um instrumento, ele vem nas variedades de montagem em painel e terminação de cabo.

Entre os outros conectores para uso com cabo coaxial estão o TNC ("threaded Neill–Concelman," um primo próximo do BNC, mas com revestimento externo rosqueado), o tipo N de alto desempenho, mas volumoso, o miniatura SMA e SMB, o subminiatura LEMO e SMC, e a alta tensão MHV e SHV. O chamado jack phono usado em equipamentos de áudio é uma boa lição de design ruim, porque o condutor interno (sinal) se encaixa *antes* da blindagem (terra) quando você o conecta; além disso, o projeto do conector é tal que tanto a blindagem quanto o condutor central tendem a fazer contato ruim. Você, sem dúvida, *ouviu* os resultados!

Para não ficar atrás, a indústria da televisão respondeu com seu próprio padrão ruim, o "conector" coaxial tipo F, que usa o fio interno não suportado do coaxial como o pino do plugue macho e um arranjo de má qualidade para acoplar a blindagem. .53 Nós, por meio deste, introduzimos esses perdedores no Sistema Eletrônico

53 Os defensores de cada um provavelmente responderiam: "Este é o nosso receptáculo com preço mais *modesto* ".

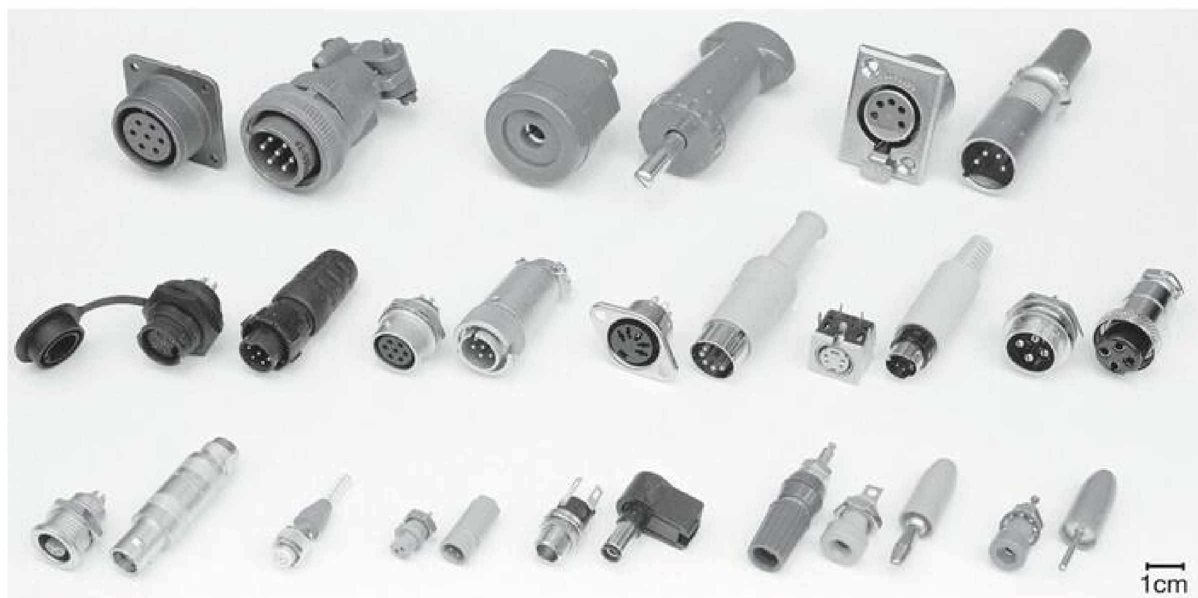


Figura 1.124. Conectores circulares. Uma seleção de conectores multipinos e outros conectores "não RF"; o receptáculo de montagem em painel é mostrado à esquerda de cada plugue montado em cabo. Linha superior, da esquerda para a direita: conector robusto do tipo "MS" (MIL-C-5015) (disponível em centenas de configurações), "Supericon" de alta corrente (50 A), XLR de bloqueio de pinos múltiplos. Linha do meio: à prova de intempéries (Switchcraft EN3), vídeo de 12 mm (Hirose RM), DIN circular, mini-DIN circular, conector de microfone de 4 pinos. Linha inferior: travamento de 6 pinos (Lemo), microminiatura de 7 pinos blindado (Microtech EP-7S), miniatura de 2 pinos blindado (Litton SM), alimentação de 2,5 mm, banana, conector de pino.

Componentes Hall of Infamy, alguns membros fundadores dos quais são mostrados na Figura 1.126.

C. Conectores multipinos

Instrumentos eletrônicos frequentemente exigem cabos e conectores multifios. Existem literalmente dezenas de tipos diferentes. O exemplo mais simples é um conector de cabo powerline "IEC" de três fios. Entre os mais populares estão a excelente subminiatura tipo D, a série Winchester MRA, o venerável tipo MS e os conectores de terminação em massa de cabo plano plano. Esses e outros são mostrados na Figura 1.123.

Cuidado com os conectores que não toleram quedas no chão (os conectores hexagonais em miniatura são clássicos) ou que não fornecem um mecanismo de travamento seguro (por exemplo, a série Jones 300).

D. Conectores de borda do cartão

O método mais comum usado para fazer a conexão com os cartões de circuito impresso é o conector de borda do cartão, que se conecta a uma fileira de contatos folheados a ouro na borda do cartão; exemplos comuns são os conectores da placa-mãe que aceitam módulos plug-in de memória de computador. Conectores de borda de cartão podem ter de 15 a 100 ou mais conexões, e eles vêm com diferentes estilos de terminais de acordo com o método de conexão. Você pode soldá-los a uma "placa-mãe" ou "backplane", que é apenas outra PCB contendo a fiação de interconexão entre as placas de circuito individuais. Alternativamente, você pode querer usar conectores de borda com terminações de terminal de solda padrão, particularmente em um sistema com apenas alguns cartões. Uma solução mais confiável (embora mais cara) é o uso de conectores PCB de "duas partes", em que uma parte (soldada na placa) se encaixa na outra parte (em um backplane, etc); um exemplo é o amplamente utilizado conector VME (VersaModule Eurocard) (canto superior direito da Figura 1.123).

1.9.4 Indicadores

A. Metros

Para ler o valor de alguma tensão ou corrente, você pode escolher entre o tipo de medidor de ponteiro móvel consagrado pelo tempo e medidores de leitura digital. Estes últimos são mais caros e mais precisos. Ambos os tipos estão disponíveis em uma variedade de faixas de tensão e corrente. Existem, além disso, medidores de painel exóticos que leem coisas como VUs (unidades de volume, uma escala de dB de áudio), volts CA em escala expandida (por exemplo, 105 a 130 V), temperatura (de um termopa



Figura 1.125. RF e conectores blindados. O receptáculo de montagem em painel é mostrado à esquerda de cada plugue montado em cabo. Fila superior, da esquerda para a direita: conector de fone estéreo, tipo de áudio "XLR"; N e UHF (conectores de RF). Segunda linha abaixo: BNC, TNC, tipo F; MHV e SHV (alta tensão). Terceira linha abaixo: áudio de 2,5 mm (3/32), estéreo de 3,5 mm, estéreo de 3,5 mm aprimorado, fono ("tipo RCA"), LEMO coaxial. Linha inferior: SMA (conector de painel, plugue coaxial flexível), SMA (conector de montagem em placa, plugue coaxial rígido), SMB; SC e ST (fibra ótica).

porcentagem de carga do motor, frequência, etc. Os medidores de painel digital geralmente oferecem a opção de saídas de nível lógico, além do display visível, para uso interno do instrumento.

Como um substituto para um medidor dedicado (seja analógico ou digital), você vê cada vez mais um LCD (tela de cristal líquido) ou painel de LED com um padrão de medidor. Isso é flexível e eficiente: com um módulo de display LCD gráfico (§12.5.3) você pode oferecer ao usuário uma escolha de "metros", de acordo com a quantidade sendo exibida, tudo sob o controle de um controlador embutido (um integrado -no microprocessador; consulte o Capítulo 15).

B. Lâmpadas, LEDs e telas Luzes intermitentes, telas cheias de números e letras, sons estranhos – essas são coisas dos filmes de ficção científica e, exceto pelo último, formam o tema de lâmpadas e telas (consulte §12.5. 3). Pequenas lâmpadas incandescentes costumavam ser padrão para indicadores do painel frontal, mas foram re colocados com LEDs. Os últimos se comportam eletricamente como diodos comuns, mas com uma queda de tensão direta na faixa de 1,5 a 2 volts (para vermelho, laranja e alguns LEDs verdes; 3,6 V para azul54 e verde de alto brilho; consulte a Figura 2.8). Quando a corrente flui na direção direta, eles acendem. Normalmente, 2 mA a 10 mA produz brilho adequado. Os LEDs são mais baratos que as lâmpadas incandescentes, duram praticamente para sempre e vêm em quatro cores padrão, além de "branco" (que geralmente é um LED azul com um revestimento fluorescente amarelo). Eles vêm em pacotes convenientes para montagem em painel; alguns até fornecem limitação de corrente integrada.55

Os LEDs também podem ser usados para displays digitais, por exemplo

54 A invenção do LED azul de nitreto de gálio foi o produto inovador de um funcionário solitário e não apreciado da Nichia Chemical Industries, Shuji Nakamura. 55 E, claro, para iluminação de áreas residenciais e comerciais, os LEDs agora relegaram para a lata de lixo da história a centenária lâmpada incandescente de filamento quente.



Figura 1.126. Componentes a evitar. Aconselhamos o uso de componentes como esses, se você tiver escolha (consulte o texto se precisar de convencimento!). Linha superior, da esquerda para a direita: pote de fio enrolado de baixo valor, tipo conector UHF, fita isolante ("apenas diga não!"). Fila do meio: conectores "tipo cinch", conector de microfone, conectores hexagonais. Linha inferior: interruptor deslizante, soquete de IC barato (não "parafusado"), conector tipo F, potenciômetro de elemento aberto, conector phono.

como visores numéricos de 7 segmentos ou (para exibir letras e números – "alfanumérico") visores de 16 segmentos ou visores de matriz de pontos. No entanto, se for necessário exibir mais do que alguns dígitos ou caracteres, os LCDs geralmente são os preferidos. Eles vêm em matrizes orientadas por linha (por exemplo, 16 caracteres por 1 linha, até 40 caracteres por 4 linhas), com uma interface simples que permite a entrada sequencial ou endereçável de caracteres alfanuméricos e símbolos adicionais. Eles são baratos, de baixa potência e visíveis mesmo sob a luz do sol.

Versões retroiluminadas funcionam bem mesmo com luz fraca, mas não são de baixa potência. Muito mais sobre esses (e outros) dispositivos *optoeletrônicos* em §12.5.

1.9.5 Componentes variáveis

A. Resistores variáveis Os

resistores variáveis (também chamados de controles de volume, potenciômetros, potenciômetros ou aparadores) são úteis como controles de painel ou ajustes internos em circuitos. Um tipo de painel clássico é o potenciômetro AB de 2 watts; ele usa o mesmo material básico do resistor fixo de composição de carbono, com um contato "limpador" rotativo. Outros tipos de painéis estão disponíveis com elementos de resistência de cerâmica ou plástico, com características melhoradas. Tipos multivoltas (3, 5 ou 10 voltas) estão disponíveis, com mostradores de contagem, para melhor resolução e linearidade. Os potes "Ganged" (várias seções independentes em um eixo) também são fabricados, embora em variedade limitada, para aplicações que os exijam. A Figura 1.8 mostra uma seleção representativa de potes e aparadores.

Para uso dentro de um instrumento, em vez de no painel frontal, os *potenciômetros trimmer* vêm em estilos de volta única e voltas múltiplas, mais destinados à montagem de circuitos impressos. Eles são úteis para ajustes de calibração do tipo "configurar e esquecer". Um bom conselho: resista à tentação de usar muitos aparadores em seus circuitos. Em vez disso, use um bom design.

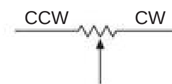


Figura 1.127. Potenciômetro (resistor variável de três terminais).

O símbolo de um resistor variável, ou potenciômetro, é mostrado na Figura 1.127. Às vezes, os símbolos CW e CCW são usados para indicar as extremidades no sentido horário e anti-horário.

Uma versão totalmente eletrônica de um potenciômetro pode ser feita com um conjunto de interruptores eletrônicos (transistores) que selecionam uma derivação em uma longa cadeia de resistores fixos. Por mais estranho que isso possa parecer, é um esquema perfeitamente viável quando implementado como um IC. Por exemplo, Analog Devices, Maxim/Dallas Semiconductor e Xicor fazem uma série de "potenciômetros digitais" com até 1024 passos; eles vêm como unidades simples ou duplas e alguns deles são "não voláteis", o que significa que eles se lembram de sua última configuração mesmo se a energia for desligada. Eles encontram aplicação em eletrônicos de consumo (televisões, aparelhos de som) onde você deseja ajustar o volume de seu controle remoto infravermelho, em vez de girar um botão; consulte §3.4.3E.

Um ponto importante sobre resistores variáveis: não tente usar um potenciômetro como um substituto para um valor de resistor preciso em algum lugar dentro de um circuito. Isso é tentador, porque você pode ajustar a resistência ao valor desejado.
O problema é que os potenciômetros não são tão estáveis quanto bons resistores (1%) e, além disso, podem não ter boa resolução (ou seja, não podem ser ajustados para um valor preciso). Se você precisar ter um valor de resistor preciso e configurável em algum lugar, use uma combinação de um resistor de precisão de 1% (ou melhor) e um potenciômetro, com o resistor fixo contribuindo com a maior parte da resistência. Por exemplo, se você precisar de um resistor de 23,4k, use um resistor fixo de 22,6k de 1% (um valor padrão) em série com um potenciômetro de ajuste de 2k. Outra possibilidade é usar uma combinação em série de vários resistores de precisão, selecionando o último (e menor) resistor para fornecer a resistência em série desejada.

Como veremos mais adiante (§3.2.7), é possível usar FETs como resistores variáveis controlados por tensão em algumas aplicações.
Outra possibilidade é um "optofotoresistor" (§12.7).
Os transistores podem ser usados como amplificadores de ganho variável, novamente controlados por uma tensão. Mantenha a mente aberta durante o brainstorming de design.



Figura 1.128. Capacitor variável.

B. Capacitores variáveis Os

capacitores variáveis são principalmente confinados aos valores de capacitância menores (até cerca de 1000 pF) e são comumente usados em circuitos de RF. Trimmers estão disponíveis para ajustes no circuito, além do tipo de painel para ajuste do usuário. A Figura 1.128 mostra o símbolo para um capacitor variável.

Diodos operados com tensão reversa aplicada podem ser usados como capacitores de tensão variável; nesta aplicação, eles são chamados *de varactors,* ou às vezes *varicaps* ou *epi caps.* Eles são muito importantes em aplicações de RF, especialmente loops de bloqueio de fase, controle automático de frequência (AFC), moduladores e amplificadores paramétricos.

C. Indutores variáveis Os

indutores variáveis são geralmente feitos organizando-se para mover um pedaço de material do núcleo em uma bobina fixa. Nesta forma, eles estão disponíveis com indutâncias que variam de microhenrys a henrys, normalmente com uma faixa de ajuste de 2:1 para qualquer indutor fornecido. Também estão disponíveis indutores rotativos (bobinas sem núcleo com contato rolante).[56]

D. Transformadores variáveis

Os transformadores variáveis são dispositivos práticos, especialmente aqueles operados na linha de 115 volts CA. Geralmente são configurados como "autotransformadores", ou seja, possuem apenas um enrolamento, com contato deslizante. Eles também são comumente chamados de Variacs (o nome dado a eles pela General Radio), e são fabricados pela Technipower, Superior Electric e outras. A Figura 1.129 mostra uma unidade clássica da General Radio. Normalmente, eles fornecem saída de CA de 0 a 135 volts quando operados a partir de 115 volts e vêm em classificações atuais de 1 a 20 amperes ou mais. Eles são bons para testar instrumentos que parecem ser afetados por variações de linha de energia e, em qualquer caso, para verificar o desempenho do pior caso. *Aviso Importante:* não se esqueça que a saída não está eletricamente isolada da rede elétrica, como seria com um transformador!



Figura 1.129. Um transformador variável powerline ("Variac") permite ajustar a tensão de entrada CA para algo que você está testando. Aqui é mostrada uma unidade de 5 A, tanto vestida como despida.

1.10 Um tiro de despedida: marcações confusas e componentes itty-bitty

Em nosso curso de eletrônica,[57] e de fato na eletrônica do dia-a-dia na bancada, encontramos uma maravilhosa confusão de marcações de componentes. Capacitores em particular são apenas, bem, perversos: eles raramente se preocupam em especificar *unidades* (mesmo que eles tenham 12 ordens de magnitude, picofarads a farads), e para variedades SMT de cerâmica eles dispensam quaisquer marcações! Pior ainda, eles ainda estão presos na transição de imprimir o valor como um número inteiro (por exemplo, "470" significando 470 pF) versus usar notação de expoente (por exemplo, "470" significando 47 × 100, ou seja, 47 pF). A Figura 1.130 mostra exatamente esse caso! Outra armadilha para os incautos (e às vezes também para os desconfiados) é a *pegadinha do código de data:* o código de 4 dígitos (yydd) pode se disfarçar como um número de peça, como nos quatro exemplos da foto. E, à medida que os componentes se tornam cada vez menores, há pouco espaço precioso para todos, exceto para as marcações mais breves; assim, acompanhando a indústria farmacêutica, os fabricantes inventam um

[56] Uma forma interessante de indutor variável do passado era o *variômetro,* uma bobina rotativa posicionada dentro de uma bobina externa fixa e conectada em série com ela. À medida que a bobina interna era girada, a indutância total ia do máximo (quatro vezes a indutância de cada bobina sozinha) até zero. Essas coisas eram itens de *consumo ,* listados, por exemplo, no catálogo Sears Roebuck de 1925.

[57] Física 123 ("Laboratory Electronics") na Universidade de Harvard: "Meio curso (período de outono; período de primavera repetido). Uma introdução de laboratório intensivo ao projeto de circuitos eletrônicos. Desenvolve a intuição do circuito e as habilidades de depuração por meio de exercícios práticos diários de laboratório, cada um precedido por discussão em classe, com uso mínimo de matemática e física. Move-se rapidamente de circuitos passivos para transistores discretos e, em seguida, concentra-se em amplificadores operacionais, usados para fazer uma variedade de circuitos, incluindo integradores, osciladores, reguladores e filtros. A metade digital do curso trata da interface analógico-digital, enfatizando o uso de microcontroladores e dispositivos lógicos programáveis (PLDs). Consulte http://webdocs.registrar.fas.harvard.edu/course/Physics.html.

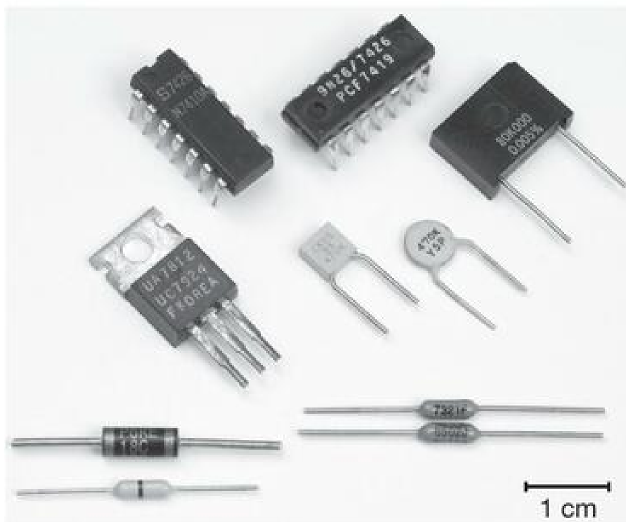


Figura 1.130. Central de confusão! Os três ICs são marcados com um número de peça (por exemplo, UA7812) e um "código de data" (por exemplo, UC7924, significando a 24ª semana de 1979). Infelizmente, ambos são números de peça perfeitamente válidos (um regulador de +12 V ou um regulador de -24 V). O par de resistores (na verdade, duas visualizações de resistores marcados de forma idêntica) sofre do mesmo problema: pode ser 7,32 Kÿ±1% ou pode ser 85,0 kÿ±5% (é o primeiro, mas quem diria?). O par de capacitores de cerâmica está marcado como 470K (470.000 de alguma coisa?), mas, surpresa, o "K" significa 10% de tolerância; e, surpresa maior, a tampa quadrada é de 47 pF, a redonda é de 470 pF. E o que fazer com uma caixa preta rotulada como 80K000 (pronuncia-se "oitenta-koooh"), ou um diodo com dois cátodos (e nenhum ânodo?), ou um resistor com uma única faixa preta no centro?

código alfanumérico para cada componente. E isso é tudo que você consegue. Por exemplo, o amplificador operacional LMV981 da National vem em vários pacotes de 6 pinos: o SOT23 é marcado como "A78A", o SC70 menor diz "A77" e o microSMD realmente minúsculo emite uma única letra "A" (ou "H" se estiver livre de chumbo). Não muito para prosseguir.

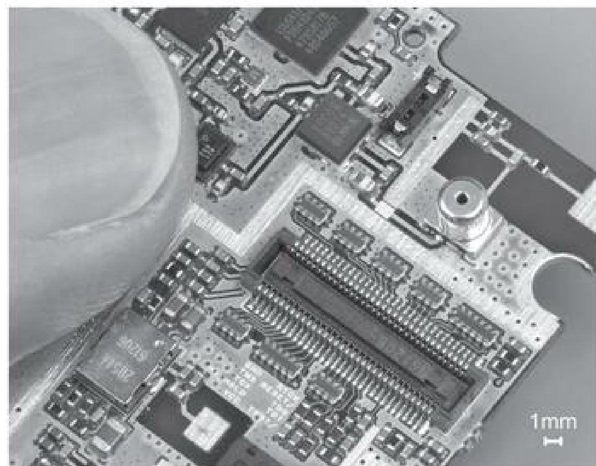


Figura 1.131. Somos "todos perfeitos" quando trabalhamos com tecnologia de montagem em superfície (SMT). Este é um canto de uma placa de circuito de celular, mostrando pequenos resistores e capacitores de cerâmica, circuitos integrados com pontos de conexão de grade de esferas na parte inferior e os conectores liliputianos para a antena e o painel de exibição. Veja também a Figura 4.84.

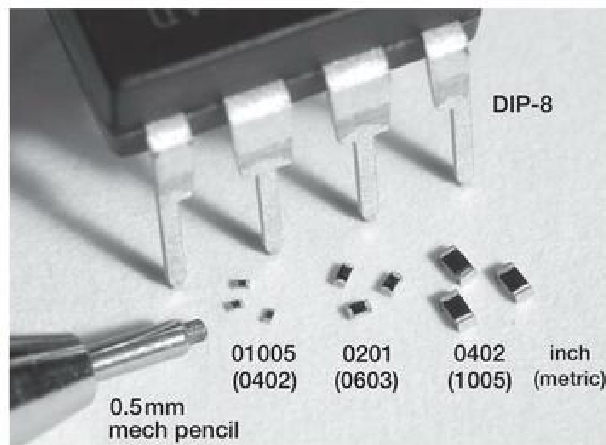


Figura 1.132. Quão pequenas essas coisas podem ficar?! O SMT de tamanho "01005" (0,016 × 0,008, ou 0,4 mm × 0,2 mm) representa o maior insulto da indústria ao experimentador.

1.10.1 Tecnologia de montagem em superfície: a alegria e a dor

Enquanto reclamamos, vamos lamentar um pouco sobre a dificuldade de prototipar circuitos com minúsculos componentes montados em superfície. Do ponto de vista *elétrico* são excelentes: baixa indutância e compactos. Mas eles são quase impossíveis de conectar no protótipo da placa de ensaio, da maneira que era fácil com componentes "through-hole" (ou "chumbo" - pronunciado lee -ded), como resistores com terminais axiais (um fio saindo de cada end), ou circuitos integrados em casos DIP (dual in-line). A Figura 1.131 fornece uma noção da escala desses pequenos componentes, e a Figura 1.132 mostra o verdadeiro horror do menor deles – os componentes de chip de tamanho "01005" (0402 métrico) que significam: não com certeza 200 m×400 m muito mais grosso que um cabelo humano, e indistinguível da poeira!

Às vezes, você pode usar pequenos adaptadores (de empresas como Bellin Dynamic Systems, Capital Advanced Technologies ou Aries) para converter um circuito integrado SMT em um DIP falso. Mas a montagem em superfície mais densa



Figura 1.133. Uma amostra do mundo dos componentes passivos em pacotes de montagem em superfície: conectores, interruptores, potenciômetros, indutores, resistores, capacitores, cristais, fusíveis. . . . Se você pode nomeá-lo, provavelmente poderá obtê-lo no SMT.

os pacotes não têm guias, apenas uma série de protuberâncias (até vários milhares!) na parte inferior; e estes requerem equipamentos sérios de "refluxo" antes que você possa fazer qualquer coisa com eles. Infelizmente, não podemos ignorar essa tendência perturbadora, porque a maioria dos novos componentes é oferecida apenas em pacotes de montagem em superfície. Ai do experimentador-inventor solitário do porão! A Figura 1.133 dá uma idéia da variedade de tipos de componentes passivos que vêm em configurações de montagem em superfície.

Exercícios Adicionais para o Capítulo 1

Exercício 1.37. Encontre o circuito equivalente de Norton (uma fonte de corrente em paralelo com um resistor) para o divisor de tensão na Figura 1.134. Mostre que o equivalente de Norton fornece a mesma tensão de saída que o circuito real quando carregado por um resistor de 5k.

Exercício 1.38. Encontre o equivalente de Thevenin para o circuito mostrado na Figura 1.135. É o mesmo que o equivalente de Thevenin para o Exercício 1.37?

Exercício 1.39. Projete um "filtro de vibração" para áudio. Ele deve passar frequências maiores que 20 Hz (defina o ponto ÿ3 dB em 10 Hz). Assuma impedância de fonte zero (fonte de tensão perfeita) e impedância de carga de 10k (mínimo) (isso é importante para que você possa escolher *R* e *C* de forma que a carga não afete significativamente a operação do filtro).

Exercício 1.40. Projete um "filtro de arranhões" para sinais de áudio (3 dB abaixo de 10 kHz). Use as mesmas impedâncias de fonte e carga do Exercício 1.39.

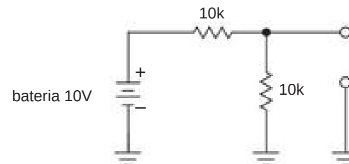


Figura 1.134. Exemplo de circuito equivalente Norton.

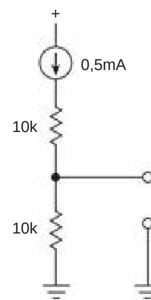


Figura 1.135. Exemplo de circuito equivalente de Thevenin.

Exercício 1.41. Como você faria um filtro com R's e C's para dar a resposta mostrada na Figura 1.136?

Exercício 1.42. Projete um filtro *RC* passa-banda (como na Figura 1.137);

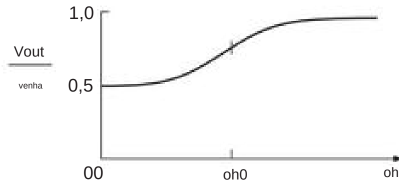


Figura 1.136. Resposta do filtro de alta ênfase.

f1 e f2 são os pontos de 3 dB. Escolha as impedâncias para que o primeiro estágio não seja muito afetado pelo carregamento do segundo estágio.

Exercício 1.43. Esboce a saída para o circuito mostrado na Figura 1.138.

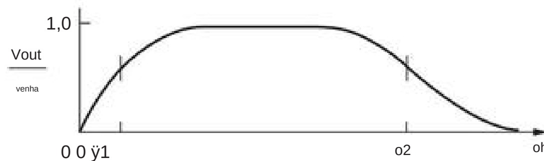


Figura 1.137. Resposta do filtro passa-banda.

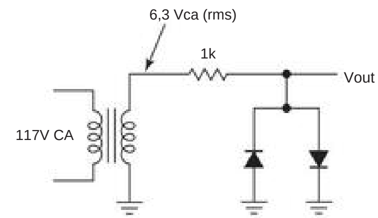


Figura 1.138. Circuito do Exercício 1.43.

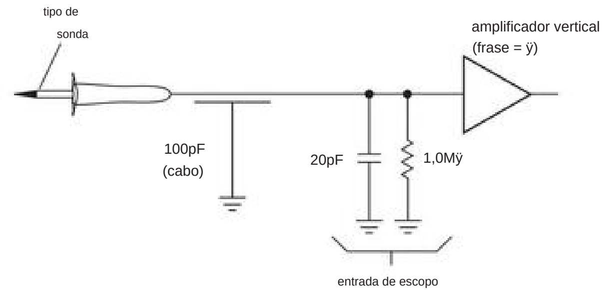


Figura 1.139. Sonda de osciloscópio ×10.

Exercício 1.44. Projete um osciloscópio "ponta de prova × 10" para usar com um osciloscópio cuja impedância de entrada é 1 Mÿ em paralelo com 20 pF descobrindo o que está dentro da alça da ponta de prova na Figura 1.139 Suponha que o cabo da sonda adicione 100 pF adicionais e que os componentes da sonda sejam colocados na extremidade da ponta (em vez de na extremidade do osciloscópio) do cabo. A rede resultante deve ter Atenuação de 20 dB (taxa de divisão de tensão × 10) em todas as frequências, incluindo CC. A razão para usar uma ponta de prova ×10 é aumentar a impedância de carga vista pelo circuito em teste, o que reduz os efeitos de carga. Qual impedância de entrada *(R* em paralelo com C) sua ponta de prova ×10 apresenta ao circuito em teste quando usada com o osciloscópio?

Revisão do Capítulo 1

Um resumo de A a H do que aprendemos no Capítulo 1. Este resumo revisa os princípios e fatos básicos do Capítulo 1, mas não abrange os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. Tensão e Corrente.

Os circuitos eletrônicos consistem em componentes conectados entre si por fios. *Corrente (I)* é a taxa de fluxo de carga através de algum ponto nessas conexões; é medido em ampères (ou miliamperes, microamperes, etc.). *A tensão (V)* entre dois pontos em um circuito pode ser vista como uma "força" motriz aplicada que faz com que as correntes fluam entre eles; a tensão é medida em volts (ou quilovolts, milivolts, etc.); ver §1.2.1. Tensões e correntes podem ser constantes (dc) ou variáveis. O último pode ser tão simples quanto a tensão sinusoidal alternada (ac) do plugue, ou tão complexo quanto uma forma de onda de comunicação modulada de alta frequência, caso em que é geralmente chamado de *sinal* (consulte ¶B abaixo). A soma algébrica das correntes em um ponto de um circuito (um *nó)* é zero (a lei das correntes de Kirchhoff, KCL, uma consequência da conservação da carga), e a soma das quedas de tensão ao longo de um circuito fechado em um circuito é zero (a lei da tensão de Kirchhoff, KVL, uma consequência da natureza conservativa do campo eletrostático).

¶B. Tipos de Sinal e Amplitude.

Consulte §1.3. Na eletrônica digital, lidamos com *pulsos,* que são sinais que oscilam entre duas tensões (por exemplo, +5 V e terra); no mundo analógico são as *ondas senoidais* que ganham o concurso de popularidade. Em ambos os casos, um sinal periódico é caracterizado por sua frequência *f* (unidades de Hz, MHz, etc.) ou, equivalentemente, período *T* (unidades de ms, s, etc.). Para ondas senoidais, geralmente é mais conveniente usar a frequência *angular* (radianos/s), dada por oh=2 pi *f* .

As amplitudes digitais são especificadas simplesmente pelos níveis de tensão HIGH e LOW . Com ondas senoidais, a situação é mais complicada: a amplitude de um sinal V(t)=V0 sin oh *t* pode ser dada como (a) amplitude de *pico* (ou apenas "amplitude") V0, (b) *raiz quadrada média* (rms) amplitude Vrms=V0/ ÿ 2, ou (c) amplitude pico a pico Vpp=2V0. Se não declarada, uma amplitude de onda senoidal é geralmente entendida como Vrms. Um sinal de amplitude rms Vrms fornece potência *P=V2 rms/ Rcarga* para uma carga resistiva (independentemente da forma de onda do sinal), o que explica a popularidade da medida de amplitude rms.

As taxas de amplitude (ou potência) do sinal são comumente expressas em *decibéis* (dB), definidas como dB = *10log10* (P2/P1) ou 20log10(V2/V1); ver §1.3.2. Uma relação de amplitude de 10 (ou relação de potência de 100) é 20 dB; 3 dB é o dobro de potência; 6 dB é uma duplicação da amplitude (ou quadruplicação da potência). A medida de decibéis também é usada para especificar a amplitude (ou potência) diretamente, fornecendo um nível de referência: por exemplo, ÿ30 dBm (dB relativo a 1 mW) é 1 microwatt; +3 dBVrms é um sinal de 1,4 V rms de amplitude (2 Vpico, 4 Vpp).

Outras formas de onda importantes são ondas quadradas, ondas triangulares, rampas, ruído e uma série de esquemas de *modulação* pelos quais uma simples onda "portadora" é variada para transmitir informações; alguns exemplos são AM e FM para comunicação analógica e PPM (modulação de posição de pulso) ou QAM (modulação de amplitude em quadratura) para comunicação digital.

¶C. A relação entre corrente e tensão.

Este capítulo concentrou-se nos *dispositivos lineares de dois terminais* fundamentais, essenciais e onipresentes : resistores, capacitores e indutores. (Os capítulos subsequentes lidam com *transistores* – dispositivos de três terminais nos quais um sinal aplicado a um terminal controla o fluxo de corrente através do outro par – e suas muitas aplicações interessantes. Isso inclui amplificação, filtragem, conversão de energia, comutação e similares.) O dispositivo linear mais simples é o *resistor,* para o qual *I=V/ R* (Lei de Ohm, consulte §1.2.2A). O termo "linear" significa que a resposta (por exemplo, corrente) para uma soma combinada de entradas (ou seja, tensões) é igual à soma das respostas que cada entrada produziria: *I(V1 +V2)=I(V1) +I(V2).*

¶D. Resistores, Capacitores e Indutores.

O resistor é claramente linear. Mas não é o único componente linear de dois terminais, porque a linearidade não requer *I* ÿ V. Os outros dois componentes lineares são capacitores (§1.4.1) e *indutores* (§1.5.1), para os quais existe um relação dependente do tempo entre tensão e corrente: I=C dV/dt e *V=LdI/ dt,* respectivamente. Estas são as descrições do *domínio do tempo* . Pensando no *domínio da frequência,* esses componentes são descritos por suas *impedâncias,* a relação entre tensão e corrente (em função da frequência) quando conduzidos com uma onda senoidal (§1.7). Um dispositivo linear, quando acionado por uma senóide, responde com uma senóide da mesma frequência, mas com amplitude e fase alteradas. As impedâncias são, portanto, complexas, com a parte real representando a amplitude da resposta que está em fase e a parte imaginária representando a amplitude da resposta que está em quadratura (90ÿ fora de fase). Alternativamente, na representação polar da impedância complexa *(Z=|Z|ei),* a magnitude |*Z*| é a razão de magnitudes *(|Z|=|V|/|I|)* e a quantidade eu é a mudança de fase entre *V* e I. As impedâncias eu

componentes lineares de 2 terminais são ZR=R, ZC=ÿ j/ωC, e ZL=jωL, onde (como sempre) ω=2πf, ver §1.7.5. A corrente em um resistor está em fase com a tensão, enquanto para um capacitor ela está adiantada em 90ÿ e para um indutor ela está atrasada em 90ÿ.

¶E. Série e Paralelo.

A impedância dos componentes conectados em série é a soma de suas impedâncias; assim Rseries=R1+R2+···, Lseries=L1+L2+···, e *1/Cseries=1/C1+1/C2+···.*

Quando conectado em paralelo, por outro lado, são as *admitâncias* (inverso da impedância) que se somam. Assim, a fórmula para capacitores em paralelo se parece com a fórmula para resistores em série, *Cparalelo=C1+C2+···;* e vice-versa para resistores e indutores, assim 1/Rparalelo=1/R1+1/R2+···.

Para um par de resistores em paralelo, isso se reduz a Rparalelo=(R1R2)/(R1+R2). Por exemplo, dois resistores de valor *R* têm resistência R/2 quando conectados em paralelo, ou resistência *2R* em série.

A potência dissipada em um resistor *R* é *P=I2R=V2 / R.* Não há dissipação em um capacitor ou indutor ideal, porque a tensão e a corrente estão 90° fora de fase. Consulte §1.7.6.

¶F. Circuitos básicos com R, L e C.

Os resistores estão por toda parte. Eles podem ser usados para definir uma corrente de operação, como, por exemplo, ao alimentar um LED ou polarizar um diodo zener (Figura 1.16); em tais aplicações, a corrente é simplesmente I=(VsupplyÿVload)/R. Em outras aplicações (por exemplo, como resistor de carga de um transistor em um amplificador, Figura 3.29), é a *corrente* que é conhecida e um resistor é usado para convertê-la em tensão. Um fragmento de circuito importante é o *divisor de tensão* (§1.2.3), cuja tensão de saída sem carga (através de R2) é Vout=VinR2/(R1+R2).

Se um dos resistores em um divisor de tensão for substituído por um capacitor, você obtém um *filtro simples:* passa-baixa se a perna inferior for um capacitor, passa-alta se a perna superior for um capacitor (§§1.7.1 e 1.7.7) . Em ambos os casos, a frequência de transição de ÿ3 dB está em f3dB=1/2π*RC.* A taxa de rolloff final de um filtro de "pólo único" é de ÿ6 dB/oitava ou ÿ20 dB/década; ou seja, a amplitude do sinal cai 1/ *f* bem além de f3dB. Filtros mais complexos podem ser criados combinando indutores com capacitores, veja o Capítulo 6. Um capacitor em paralelo com um indutor forma um *circuito ressonante;* sua impedância (para componentes ideais) vai para o infinito *ÿLC).* A impedância na frequência de ressonância f=1/(2π de uma *série LC* vai a zero nessa mesma frequência de ressonância. Consulte §1.7.14.

Outras aplicações importantes de capacitores neste capítulo (§1.7.16) incluem (a) *desvio,* no qual a baixa tensão de um capacitor a impedância nas frequências do sinal suprime sinais indesejados, por exemplo, em um trilho de alimentação CC; (b) *bloqueio* (§1.7.1C), no qual um filtro passa-alto bloqueia CC, mas passa todas as frequências de interesse (ou seja, o ponto de interrupção é escolhido abaixo de todas as frequências do sinal); (c) *temporização* (§1.4.2D), em que um circuito *RC* (ou uma corrente constante em um capacitor) gera uma forma de onda inclinada usada para criar uma oscilação ou um intervalo de temporização; e (d) *armazenamento de energia* (§1.7.16B), no qual a carga armazenada de um capacitor *Q=CV* suaviza as ondulações em uma fonte de alimentação CC.

Em capítulos posteriores, veremos algumas aplicações adicionais de capacitores: (e) *detecção de pico* e *sample-and-hold* (§§4.5.1 e 4.5.2), que capturam o pico de tensão ou o valor transitório de uma forma de onda, e (f) o *integrador* (§4.2.6), que realiza uma integração matemática de um sinal de entrada.

¶G. Carregando; Circuito Equivalente de Thevenin.

Conectar uma carga (por exemplo, um resistor) à saída de um circuito (uma "fonte de sinal") faz com que a tensão de saída sem carga caia; a quantidade dessa *carga* depende da resistência da carga e da capacidade da fonte de sinal de acioná-la. Este último é geralmente expresso como a *impedância equivalente da fonte* (ou *impedância de Thevenin)* do sinal. Ou seja, a fonte de sinal é modelada como uma fonte de tensão perfeita Vsig em série com um resistor Rsig. A saída do divisor de tensão resistivo acionado por uma tensão de entrada Vin, por exemplo, é modelada como uma fonte de tensão Vsig=VinR2/(R1+R2) em série com uma resistência Rsig=R1R2/(R1+R2) (que é apenas R1R2). Portanto, a saída de um divisor de tensão de 1kÿ–1kÿ acionado por uma bateria de 10 V parece 5 V em série com 500 ÿ.

Qualquer combinação de fontes de tensão, fontes de corrente e resistores pode ser modelada perfeitamente por uma única fonte de tensão em série com um único resistor (seu "circuito equivalente de Thevenin"), ou por uma única fonte de corrente em paralelo com um único resistor (seu "circuito equivalente de Norton"); consulte o Apêndice D. A fonte equivalente de Thevenin e os valores de resistência são encontrados a partir da tensão de circuito aberto e da corrente de curto-circuito como *VTh=Voc,* RTh=Voc/Isc; e para o equivalente Norton são *IN=Isc,* RN=Voc/Isc.

Como uma impedância de carga forma um divisor de tensão com a impedância da fonte do sinal, geralmente é desejável que o último seja pequeno em comparação com qualquer impedância de carga antecipada (§1.2.5A). No entanto, há duas exceções: (a) uma *fonte de corrente* tem uma impedância de fonte alta (idealmente infinita) e deve acionar uma carga de impedância muito menor; e (b) sinais de *alta frequência* (ou tempo de subida rápido), trafegando por um comprimento de cabo, sofrem reflexões a menos que a impedância de carga seja igual à chamada "impedância característica" Z0 do cabo (comumente 50 ÿ), ver Apêndice H.

¶H. O diodo, um componente não linear.

Existem dispositivos importantes de dois terminais que não são lineares, principalmente o *diodo* (ou *retificador),* consulte §1.6. O diodo ideal conduz apenas em uma direção; é uma "válvula unidirecional". O início da condução em diodos reais é de aproximadamente 0,5 V na direção "para frente" e há uma pequena corrente de fuga na direção "reversa", veja a Figura 1.55. Circuitos de diodo úteis incluem *retificação* da fonte de alimentação (conversão de CA para CC, §1.6.2), retificação de sinal (§1.6.6A), *fixação* (limitação de sinal, §1.6.6C) e *bloqueio* (§1.6.6B) . Os diodos são comumente usados para evitar a polaridade reversão, como na Figura 1.84; e sua corrente exponencial versus tensão aplicada pode ser usada para modelar circuitos com resposta logarítmica (§1.6.6E).

Os diodos especificam uma tensão reversa máxima segura, além da qual ocorre uma avalanche (um aumento abrupto da corrente). Você não vai lá! Mas você pode (e deve) com um *diodo zener* (§1.2.6A), para o qual é especificada uma tensão de quebra reversa (em etapas, indo de cerca de 3,3 V a 100 V ou mais). Zeners são usados para estabelecer uma voltagem dentro de um circuito (Figura 1.16), ou para limitar a oscilação de um sinal.

TRANSISTORES BIPOLARES

CAPÍTULO 2

2.1 Introdução

O transistor é nosso exemplo mais importante de um componente "ativo", um dispositivo que pode amplificar, produzindo um sinal de saída com mais potência do que o sinal de entrada. A energia adicional vem de uma fonte externa de energia (a fonte de alimentação, para ser exato). Observe que a amplificação *de tensão* não é o que importa, pois, por exemplo, um transformador elevador, um componente "passivo" como um resistor ou capacitor, tem ganho de tensão, mas não ganho de potência.[1] Dispositivos com ganho de potência são distinguíveis por sua capacidade de fazer osciladores, alimentando algum sinal de saída de volta para a entrada.

É interessante notar que a propriedade de amplificação de potência parecia muito importante para os inventores do transistor. Praticamente a primeira coisa que fizeram para se convencerem de que realmente haviam inventado algo foi alimentar um alto-falante a partir de um transistor, observando que o sinal de saída soava mais alto que o sinal de entrada.

O transistor é o ingrediente essencial de todo circuito eletrônico, desde o mais simples amplificador ou oscilador até o mais elaborado computador digital. Os circuitos integrados (ICs), que substituíram em grande parte os circuitos construídos a partir de transistores discretos, são meramente arranjos de transistores e outros componentes construídos a partir de um único chip de material semicondutor.

Uma boa compreensão dos transistores é muito importante, mesmo que a maioria de seus circuitos sejam feitos de ICs, porque você precisa entender as propriedades de entrada e saída do IC para conectá-lo ao restante do circuito e ao mundo externo. Além disso, o transistor é o recurso mais poderoso para interface, seja entre ICs e outros circuitos ou entre um subcircuito e outro. Finalmente, há situações frequentes (alguns podem dizer muito frequentes) em que o IC correto simplesmente não existe e você precisa confiar em circuitos de transistores discretos para fazer o trabalho. Como você verá, os transistores têm uma excitação própria. Aprender como eles funcionam pode ser muito divertido.

[1] É até possível obter um ganho de tensão modesto em um circuito composto apenas por resistores e capacitores. Para explorar essa ideia, surpreendente até mesmo para engenheiros experientes, consulte o Apêndice J no SPICE.

Existem duas espécies principais de transistores: neste capítulo, aprenderemos sobre os transistores de junção bipolar (BJTs), que historicamente vieram primeiro com sua invenção ganhadora do Prêmio Nobel em 1947 nos Laboratórios Bell. O próximo capítulo trata dos transistores de "efeito de campo" (FETs), a espécie agora dominante na eletrônica digital. Para dar a comparação mais grosseira, os BJTs se destacam em precisão e baixo ruído, enquanto os FETs se destacam em baixa potência, alta impedância e comutação de alta corrente; há, é claro, muito mais sobre esse assunto complexo.

Nosso tratamento dos transistores bipolares será bem diferente daquele de muitos outros livros. É prática comum usar o modelo de parâmetro h e circuito equivalente. Em nossa opinião, isso é desnecessariamente complicado e pouco intuitivo. O comportamento do circuito não apenas tende a ser revelado a você como algo que sai de equações elaboradas, em vez de derivar de um entendimento claro em sua própria mente de como o circuito funciona; você também tem a tendência de perder de vista com quais parâmetros de comportamento do transistor você pode contar e, mais importante, quais podem variar em grandes faixas.

Neste capítulo, em vez disso, construiremos um modelo de transistor introdutório muito simples e trabalharemos imediatamente com alguns circuitos com ele. Suas limitações logo se tornarão aparentes; então expandiremos o modelo para incluir as respeitadas convenções de Ebers-Moll. Com as equações de Ebers-Moll e um modelo simples de três terminais, você terá uma boa compreensão dos transistores; você não precisará fazer muitos cálculos e seus designs serão de primeira linha. Em particular, eles serão amplamente independentes dos parâmetros do transistor mal controlados, como ganho de corrente.

Algumas notações importantes de engenharia devem ser mencionadas. A tensão em um terminal do transistor (em relação ao terra) é indicada por um único subscrito (C, B ou E): V_C é a tensão do coletor, por exemplo. A tensão entre dois terminais é indicada por um índice duplo: V_{BE} é a queda de tensão da base para o emissor, por exemplo. Se a mesma letra for repetida, isso significa uma tensão de alimentação: V_{CC} é a tensão de alimentação (positiva) associada ao coletor,

e V_{EE} é a tensão de alimentação (negativa) associada ao emissor.[2]

Por que os circuitos de transistores são difíceis Para aqueles que estão aprendendo eletrônica pela primeira vez, este capítulo será difícil. Aqui está o porquê: todos os circuitos no último capítulo lidaram com *dispositivos de dois terminais,* sejam lineares (resistores, capacitores, indutores) ou não lineares (diodos). Portanto, havia apenas uma tensão (a tensão entre os terminais) e apenas uma corrente (a corrente que flui através do dispositivo) para se pensar. Transistores, por outro lado, são *três dispositivos terminais,* o que significa que há duas tensões e duas correntes para fazer malabarismos.[3]

2.1.1 Primeiro modelo de transistor: amplificador de corrente

Vamos começar. Um transistor bipolar é um dispositivo de três terminais (Figura 2.1), no qual uma pequena corrente aplicada à base controla uma corrente muito maior fluindo entre o coletor e o emissor. Está disponível em dois sabores *(npn* e *pnp),* com propriedades que atendem às seguintes regras para *transistores npn* (para *pnp* basta inverter todas as polaridades):

1. **Polaridade** O coletor deve ser mais positivo que o emissor.
2. **Junções** Os circuitos base-emissor e base-coletor se comportam como diodos (Figura 2.2) nos quais uma pequena corrente aplicada à base controla uma corrente muito maior fluindo entre o coletor e o emissor. Normalmente o diodo base-emissor está conduzindo, enquanto o diodo base-coletor é polarizado reversamente, ou seja, a tensão aplicada está na direção oposta ao fácil fluxo de corrente.
3. **Classificações máximas** Qualquer transistor fornecido possui valores máximos de I_C, I_B e V_{CE} que não podem ser excedidos sem custar ao excedente o preço de um novo transistor (para valores típicos, consulte a listagem na Tabela 2.1 na página 74, Tabela 2.2 na página 106 e Tabela 8.1 nas páginas 501–502. Existem também outros limites, como dissipação de energia ($I_C V_{CE}$), temperatura e V_{BE}, que você deve ter em mente.
4. **Amplificador de corrente** Quando as regras 1–3 são obedecidas, I_C é aproximadamente proporcional a I_B e pode ser escrito como

$$I_C = h_{FE} I_B = \beta I_B, \qquad (2.1)$$

[2] Na prática, os projetistas de circuitos usam V_{CC} para designar a alimentação positiva e V_{EE} a alimentação negativa, embora logicamente eles devam ser intercambiados para transistores *pnp* (onde todas as polaridades são invertidas).

[3] Você pode pensar que haveria três tensões e três correntes; mas é um pouco menos complicado do que isso, porque existem apenas duas tensões dependentes e duas correntes independentes, graças às leis de tensão e corrente de Kirchhoff.

onde β, o ganho de corrente (às vezes chamado de h_{FE}),[4] é tipicamente cerca de 100. Ambos I_B e I_C fluem para o emissor.

Nota: a corrente do coletor não é devida à condução direta do diodo coletor-base; esse diodo é polarizado reversamente. Pense nisso como "ação do transistor".

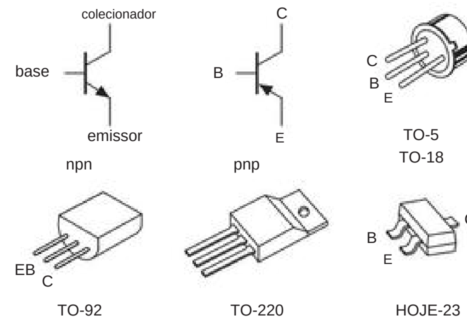


Figura 2.1. Símbolos de transistores e pequenos desenhos de pacotes de transistores (sem escala). Uma seleção de pacotes de transistores comuns é mostrada na Figura 2.3.

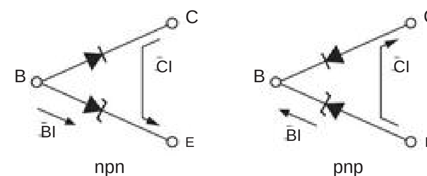


Figura 2.2. Visão de um ohmímetro dos terminais de um transistor.

A regra 4 dá ao transistor sua utilidade: uma pequena corrente fluindo para a base controla uma corrente muito maior fluindo para o coletor.

Um alerta importante: o ganho de corrente não é um parâmetro β "bom" do transistor; por exemplo, seu valor pode variar de 50 a 250 para diferentes espécimes de um determinado tipo de transistor. Também depende da corrente do coletor, da tensão coletor-emissor e da temperatura. *Um circuito que depende de um determinado valor para beta é um circuito ruim.*

Observe particularmente o efeito da regra 2. Isso significa que você não pode colocar uma tensão arbitrária entre os terminais base-emissor, porque uma enorme corrente fluirá se a base for mais positiva que o emissor em mais de 0,6 a 0,8 V (queda de diodo direta). Esta regra também implica que um transistor em operação tem V_B ÿ V_E + 0,6 V *(V_B* = V_E +V_{BE}). Novamente, as polaridades são normalmente dadas para transistores *npn ;* revertê-los para *pnp.*

Vamos enfatizar novamente que você não deve tentar pensar na corrente do coletor como sendo a condução do diodo. não é,

[4] Como o modelo de transistor de "parâmetro h" caiu em popularidade, você tende a ver β (em vez de h_{FE}) como símbolo para ganho de corrente.



Figura 2.3. A maioria das embalagens comuns são mostradas aqui, para as quais damos as designações tradicionais. Linha superior (potência), da esquerda para a direita: TO-220 (com e sem dissipador), TO-39, TO-5, TO-3. Fila do meio (montagem em superfície): SM-8 (duplo), SO-8 (duplo), SOT-23, cerâmica SOE, SOT-223. Linha inferior: DIP-16 (quad), DIP-4, TO-92, TO-18, TO-18 (dual).

porque o diodo coletor-base normalmente tem tensões aplicadas através dele na direção reversa. Além disso, a corrente do coletor varia muito pouco com a tensão do coletor (ela funciona como uma fonte de corrente não muito grande), ao contrário da condução direta do diodo, na qual a corrente aumenta muito rapidamente com a tensão aplicada.

A Tabela 2.1 na página seguinte inclui uma seleção de transistores bipolares comumente usados, com as curvas correspondentes de ganho de corrente[5] na Figura 2.4, e uma seleção de transistores destinados a aplicações de energia está listada na Tabela 2.2 na página 106. Uma lista mais completa pode podem ser encontrados na Tabela 8.1 nas páginas 501–502 e na Figura 8.39 no Capítulo 8.

2.2 Alguns circuitos básicos de transistores

2.2.1 Chave do transistor

Observe o circuito na Figura 2.5. Esta aplicação, na qual uma pequena corrente de controle permite que uma corrente muito maior fluxo em outro circuito, é chamado de interruptor de transistor. Das regras anteriores é fácil de entender. Quando a chave mecânica está aberta, não há corrente de base. Portanto, pela regra 4, não há corrente de coletor. A lâmpada está apagada.

Quando a chave é fechada, a base sobe para 0,6 V (diodo base-emissor está em condução direta). A queda no resistor de base é de 9,4 V, portanto a corrente de base é de 9,4 mA.
A aplicação cega da Regra 4 dá IC = 940 mA (para um beta típico de 100). Isso esta errado. Por quê? Porque a regra 4 vale apenas se a regra 1 for obedecida: em uma corrente de coletor de 100 mA, a lâmpada tem 10 V através dela. Para obter uma corrente mais alta, você teria que puxar o coletor para baixo do solo. Um transistor não pode fazer isso, e o resultado é o que chamamos de *saturação* – o coletor vai o mais próximo possível do terra (as tensões típicas de saturação são cerca de 0,05–0,2 V, consulte o Capítulo 2x.) e permanece lá. Nesse caso, a lâmpada acende, com sua tensão nominal de 10 V.

Sobrecarregar a base (usamos 9,4 mA quando 1,0 mA mal seria suficiente) torna o circuito conservador; neste caso particular é uma boa ideia, uma vez que uma lâmpada consome mais corrente quando está fria (a resistência de uma lâmpada quando está fria é 5 a 10 vezes menor do que a sua resistência à corrente de funcionamento). Além disso, o transistor beta cai em baixas tensões do coletor para a base, então alguma corrente de base extra é necessária para

5 Além de listar os betas típicos (hFE) e as tensões coletor-emissor máximas permitidas (VCEO), a Tabela 2.1 inclui a frequência de corte (fT, na qual o beta diminuiu para 1) e a capacitância de realimentação (Ccb) . Estes são importantes ao lidar com sinais rápidos ou altas frequências; nós os veremos em §2.4.5 e Capítulo *2x.*

Tabela 2.1 Transistores bipolares representativos

Papel #											
npn		pnp		VCEO Ic (max)		(hFE) mA ganho Cob fT @ 2,5 300 (MHz) Comentários (tip) curva (pF)					
TO-92	HOJE-23	TO-92	HOJE-23	(V) (mA)				jellybean 7			
2N3904 MMBT3904 2N3906 MMBT3906 40 150						200	10	6			
2N4401 MMBT4401 2N4403 MMBT4403 40 500						150 150		7		300 '2222 e '2907 morre	
BC337	BC817	BC327 BC807		45 750		350 40 5 10				150 jellybean 1.8	
2N5089 MMBT5089 2N5087 MMBT5087 25					50	500	1	3	350 high beta 150 jellybeanb		
BC547C BC847C		BC557C BC857C		45 100		500	10	4	120 high 5c 125 Darlington pequeno		
MPSA14 MMBTA14 MPSA64 MMBTA64 30 300 10000 50								-	7	500 interruptor	
ZTX618 FMMT618 ZTX718 FMMT718				20 2500		320 3A 3a			-	rápido, ouro dopado	
PN2369 MMBT2369 2N5771 MMBT5771 15					150	100	10 10 3				
2N5551 MMBT5551 2N5401 MMBT5401 150 100						100	10 5a 2.5 100 SOT-223 disponível				
MPSA42 MMBTA42 MPSA92 MMBTA92 300					30	75	10	9	1,5	50	HV sinal pequeno
MPS5179 BFS17		MPSH81 MMBTH81 15			25	90 20 8			0,9 900 amplificador de RF 15 10		
—	BFR93c	—	BFT93c	12	50	50	0,5 4000 amplificador de RF				
DICA142	—	DICA147	—	100 10A > 1000 5A				-	alto baixo TO-220, Darlington		

Notas: (a) consulte o Capítulo 2x para gráficos de Ccb e fT. (b) versões beta inferiores têm um sufixo -A ou -B; as versões de baixo ruído são BC850 (npn) e BC860 (pnp). (c) também BFR25A e BFT25A. (d) ver Figura 2.4.

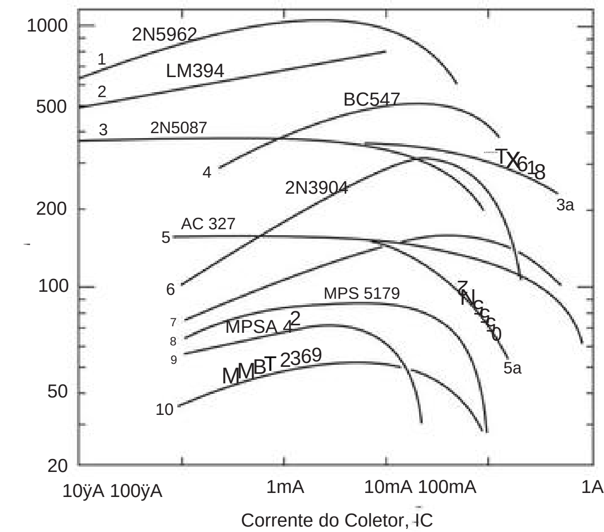


Figura 2.4. Curvas de ganho de corrente do transistor típico, b , por um se seleção dos transistores da Tabela 2.1. Estas curvas são retiradas de literatura dos fabricantes. Você pode esperar spreads de produção de +100%, -50% dos valores "típicos" representados no gráfico. Consulte também a Figura 8.39 para gráficos beta medidos para 44 tipos de transistores de "baixo ruído".

um transistor em saturação total. A propósito, em um circuito real, você provavelmente colocaria um resistor da base ao terra (talvez 10k neste caso) para garantir que a base esteja aterrada com a chave aberta. Isso não afetaria a operação ON , porque diminuiria apenas 0,06 mA do circuito base.

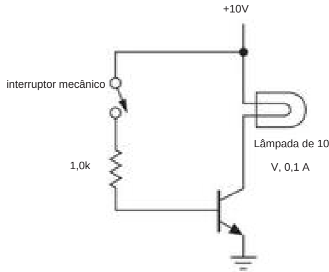


Figura 2.5. Exemplo de chave transistorizada.

Existem certos cuidados a serem observados ao projetar interruptores de transistor:

1. Escolha o resistor de base de forma conservadora para obter bastante excesso de corrente de base, especialmente ao dirigir lâmpadas, por causa do beta reduzido em VCE baixo. Essa também é uma boa ideia para comutação de alta velocidade, devido aos efeitos capacitivos e beta reduzido em frequências muito altas (muitos megahertz) . ou é indutivo), use um diodo em série com o coletor (ou um diodo na direção inversa ao terra) para evitar a condução coletor-base em oscilações negativas.

3. Para cargas indutivas, proteja o transistor com um diodo

6 Um pequeno capacitor de "aceleração" – normalmente apenas alguns picofarads – é frequentemente conectado ao resistor de base para melhorar o desempenho de alta velocidade.

através da carga, como mostrado na Figura 2.6.7 Sem o diodo, o indutor irá balançar o coletor para uma grande tensão positiva quando a chave for aberta, provavelmente excedendo a tensão de ruptura coletor-emissor, enquanto o indutor tenta manter sua Corrente "ligada" de VCC para o coletor (consulte a discussão sobre indutores em §1.6.7).

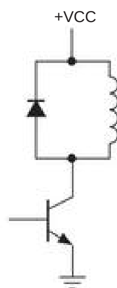


Figura 2.6. Sempre use um diodo de supressão ao alternar uma carga indutiva.

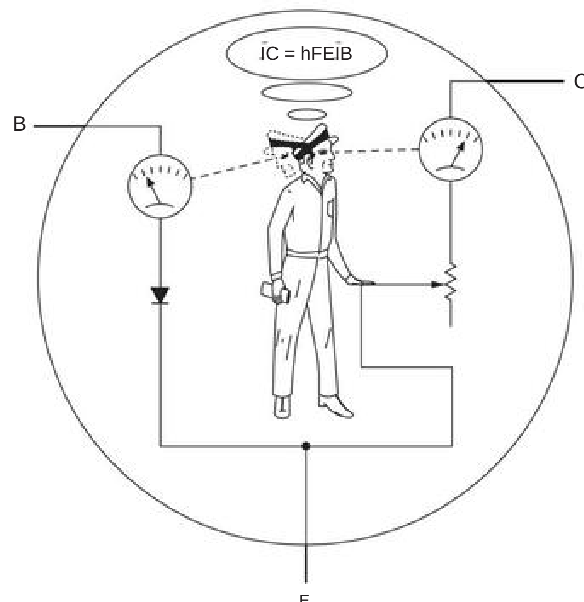


Figura 2.7. O "transistor man" observa a corrente de base, e ajusta o reostato de saída na tentativa de manter a corrente de saída vezes maior; hFE e são usados alternadamente. b b

Você pode perguntar por que estamos nos preocupando com um transistor, e toda a sua complexidade, quando poderíamos usar apenas aquele interruptor mecânico sozinho para controlar a lâmpada ou outra carga. Existem várias boas razões: (a) uma chave de transistor pode ser acionada *eletricamente* por algum outro circuito, por exemplo, um bit de saída de computador; (b) os interruptores do transistor permitem que você comute muito rapidamente, normalmente em uma pequena fração de um microssegundo; (c) você pode comutar muitos circuitos diferentes com um único sinal de controle; (d) interruptores mecânicos sofrem desgaste e seus contatos "pulam" quando o interruptor é ativado, muitas vezes fechando e fechando o circuito algumas dezenas de vezes nos primeiros milissegundos após a ativação; e (e) com interruptores de transistor, você pode tirar proveito da *comutação fria remota,* na qual apenas as tensões de controle CC serpenteiam pelos cabos para alcançar os interruptores do painel frontal, em vez da abordagem eletronicamente inferior de ter os próprios sinais viajando através de cabos e interruptores (se você passar muitos sinais por meio de cabos, é provável que obtenha captação capacitiva, bem como alguma degradação de sinal).

A. "homem do transistor"

O desenho na Figura 2.7 pode ajudá-lo a entender alguns limites do comportamento do transistor. A tarefa perpétua do homenzinho na vida é tentar manter IC = IB; no entanto, ele só pode girar o botão do resistor variável. Assim ele pode ir de um curto-circuito (saturação) para um circuito aberto (transistor no estado OFF), ou qualquer coisa intermediária, mas não é permitido o uso de baterias, fontes de corrente, etc.

Cabe aqui um alerta: não pense que o coletor de um transistor se parece com um resistor. Não. Em vez disso, parece aproximadamente um dissipador de corrente constante de baixa qualidade (o valor da corrente depende do sinal aplicado à base), principalmente por causa dos esforços desse homenzinho.

Outra coisa a ter em mente é que, a qualquer momento, um transistor pode ser (a) cortado (sem corrente de coletor), (b) na região ativa (alguma corrente de coletor e tensão de coletor mais de alguns décimos de um volt acima do emissor), ou (c) em saturação (coletor dentro de alguns décimos de volt do emissor). Consulte a discussão sobre a saturação do transistor no Capítulo *2x* para obter mais detalhes.

2.2.2 Exemplos de circuitos de comutação

A chave do transistor é um exemplo de circuito *não linear :* a saída não é proporcional à entrada;8 em vez disso, vai para um dos dois estados possíveis (cortado ou saturado). Esses circuitos de dois estados são extremamente comuns9 e formam a base da eletrônica digital. Mas para os autores o tema da

[7] Ou, para um desligamento mais rápido, com um resistor, uma rede *RC* ou pinça zener; ver §1.6.7.

[8] Um matemático definiria linearidade dizendo que a resposta à soma de duas entradas é a soma das respostas individuais; isso implica necessariamente proporcionalidade.

[9] Se você fizesse um censo, perguntando aos transistores do mundo o que eles estão fazendo, pelo menos 95% diriam que são interruptores.

circuitos *lineares* (como amplificadores, fontes de corrente e integradores) oferecem os desafios mais interessantes e o potencial para grande criatividade de circuito. Passaremos para os circuitos lineares em um momento, mas este é um bom momento para apreciar alguns exemplos de circuitos com transistores atuando como interruptores - gostamos de dar uma ideia da riqueza da eletrônica mostrando exemplos do mundo real assim que possível.

A. Driver de LED

Indicadores de diodos emissores de luz – LEDs – substituíram as lâmpadas incandescentes do passado para todos os indicadores eletrônicos e aplicações de leitura; eles são baratos, vêm em várias cores e duram quase para sempre. Eletricamente, eles são semelhantes aos diodos de sinal de silício comuns que encontramos no Capítulo 1, mas com uma queda de tensão direta maior (geralmente na faixa de 1,5 a 3,5 V, em vez de aproximadamente 10 0,6 V); ou seja, à medida que você aumenta lentamente a tensão nos terminais de um LED, descobre que eles começam a conduzir corrente em, digamos, 1,5 V, e a corrente aumenta rapidamente à medida que você aplica um pouco mais de tensão (Figura 2.8). Eles também acendem! Os LEDs indicadores típicos de "alta eficiência" parecem muito bons em alguns miliampères e impressionam em 10–20 mA.

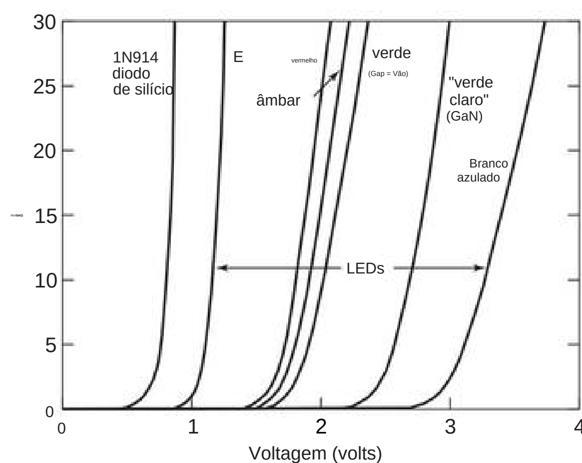


Figura 2.8. Como os diodos de silício, os LEDs têm uma corrente que aumenta rapidamente em relação à tensão aplicada, mas com quedas de tensão direta maiores.

Mostraremos uma variedade de técnicas para acionar LEDs no Capítulo 12; mas já podemos conduzi-los, com o que sabemos. A primeira coisa a perceber é que não podemos simplesmente alternar uma tensão entre eles, como na Figura 2.5, por causa de seu comportamento acentuado de *I* versus *V ;* por exemplo, aplicando 5 V através de um LED é garantido para explodi-lo. Em vez disso, precisamos tratá-lo com cuidado, persuadindo-o a extrair a corrente correta.

Vamos supor que queremos que o LED acenda em resposta a uma linha de sinal digital quando atingir um valor ALTO de +3,3 V (de sua tensão normal de repouso próximo ao terra). Vamos supor também que a linha digital pode fornecer até 1 mA de corrente, se necessário. O procedimento é o seguinte: primeiro, escolha uma corrente operacional de LED que forneça brilho adequado, digamos 5 mA (você pode querer experimentar algumas amostras, para ter certeza de que gosta da cor, brilho e ângulo de visão). Em seguida, use um transistor *npn* como chave (Figura 2.9), escolhendo o resistor do coletor para fornecer a corrente de LED escolhida, percebendo que a queda de tensão no resistor é a tensão de alimentação menos a queda direta do LED em sua corrente de operação. Finalmente, escolha o resistor de base para garantir a saturação, assumindo que um transistor conservadoramente baixo ÿ 25 é bastante seguro para 2N3904). um tran beta típico de pequeno sinal (sistor como o popular

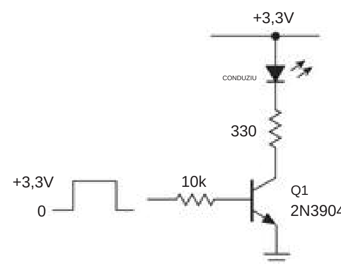


Figura 2.9. Acionando um LED a partir de um sinal de entrada de "nível lógico", usando uma chave saturada *npn* e um resistor limitador de corrente em série.

Observe que o transistor está agindo como um interruptor saturado, com o resistor do coletor ajustando a corrente de operação. Como veremos em breve, você pode criar circuitos que fornecem uma saída de *corrente* precisa , em grande parte independente do que a carga faz. Essa "fonte de corrente" também pode ser usada para acionar LEDs. Mas nosso circuito é simples e eficaz. Existem outras variações: veremos no próximo capítulo que um transistor do tipo MOSFET[11] costuma ser uma escolha melhor. E nos Capítulos 10–12 veremos maneiras de conduzir LEDs e outros dispositivos optoeletrônicos diretamente de circuitos digitais integrados, sem transistores discretos externos.

Exercício 2.1. Qual é a corrente do LED, aproximadamente, no circuito da Figura 2.9? Qual beta mínimo é necessário para o primeiro trimestre?

B. Variações sobre um tema

Para esses exemplos de chave, um lado da carga é conectado a uma tensão de alimentação positiva e o outro lado é

[10] A queda maior se deve ao uso de diferentes materiais semicondutores como GaAsP, GaAlAs e GaN, com seus bandgaps maiores.

[11] transistor de efeito de campo semicondutor de óxido metálico.

ligado à terra pelo interruptor do transistor *npn* . E se você quiser aterrar um lado da carga e mudar o "lado alto" para uma tensão positiva?

É bem fácil – mas você tem que usar a outra polaridade do transistor *(pnp),* com seu emissor no trilho positivo, e seu coletor amarrado no lado alto da carga, como na Figura 2.10A. O transistor é cortado quando a base é mantida na tensão do emissor (aqui +15 V) e comutada para saturação trazendo a base em direção ao coletor (isto é, em direção ao terra). Quando a entrada é aterrada, há cerca de 4 mA de corrente de base através do resistor de base de 3,3 kÿ, suficiente para comutar cargas de até cerca de 200 mA (b > 50).

Uma dificuldade desse circuito é a necessidade de manter a entrada em +15 V para desligar a chave; seria muito melhor usar uma tensão de controle mais baixa, por exemplo, +3 V e terra, comumente disponível na lógica digital que veremos nos Capítulos 10–15. A Figura 2.10B mostra como fazer isso: a chave *npn* Q2 aceita a entrada de "nível lógico" de 0 V ou +3 V, puxando sua carga de coletor para o terra de acordo.
Quando Q2 é cortado, R3 segura Q3 ; quando Q2 está saturado (por uma entrada de +3 V), R2 afunda a corrente de base de Q3 para trazê-lo à saturação.

O "divisor" formado por *R2R3* pode ser confuso: a função de R3 é manter Q3 desligado quando Q2 está desligado; e quando Q2 puxa seu coletor para baixo, a maior parte de sua corrente de coletor vem da base de Q3 (porque apenas ÿ0,6 mA da corrente de coletor de 4,4 mA vem de R3 – certifique-se de entender o porquê). Ou seja, R3 não tem muito efeito na saturação de Q3.
Outra maneira de dizer isso é que o divisor ficaria em cerca de +11,6 V (em vez de +14,4 V), não fosse pelo diodo base-emissor de Q3, que conseqüentemente obtém a maior parte da corrente do coletor de Q2. De qualquer forma, o valor de R3 não é crítico e pode ser aumentado; a desvantagem é o desligamento mais lento do terceiro trimestre, devido aos efeitos capacitivos.12

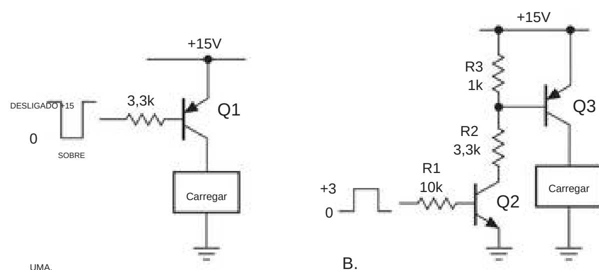


Figura 2.10. Alternando o lado alto de uma carga devolvida ao solo.

C. Gerador de pulso – I Ao incluir um *RC* simples , você pode fazer um circuito que forneça uma saída de pulso a partir de uma entrada degrau; a constante de tempo t = *RC* determina a largura do pulso. A Figura 2.11 mostra uma maneira. Q2 é normalmente mantido em saturação por R3, então sua saída está próxima do terra; observe que R3 é escolhido pequeno o suficiente para garantir a saturação de Q2. Com a entrada do circuito no terra, Q1 é cortado, com seu coletor em +5 V. O capacitor C1 fica então carregado, com +5 V em seu terminal esquerdo e aproximadamente +0,6 V em seu terminal direito; ou seja, tem cerca de 4,4 V através dele. O circuito está esperando que algo acon

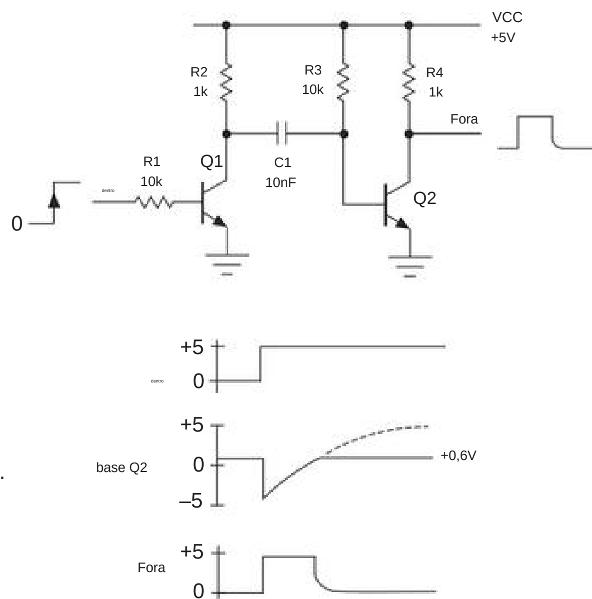


Figura 2.11. Gerando um pulso curto a partir de uma forma de onda de entrada em degrau.

Um degrau de entrada positivo de +5 V leva Q1 à saturação (observe os valores de R1 e R2), forçando seu coletor ao terra; por causa da tensão em C1, isso traz a base de Q2 momentaneamente negativa, para cerca de -4,4 V.13 Q2 é então cortado, nenhuma corrente flui através de R4 e, portanto, sua saída salta para +5 V; este é o início do pulso de saída.
Agora, para o *RC:* C1 não pode manter a base de Q2 abaixo do solo para sempre, porque a corrente está fluindo para baixo através de R3, tentando puxá-la para cima. Assim, o lado direito do capacitor carrega em direção a +5 V, com uma constante de tempo t = *R3C1*, aqui igual a 100 s. A largura do pulso de saída é definida por esta constante de tempo

12 Mas não o torne muito pequeno: Q3 não mudaria se R3 fosse reduzido para 100 ÿ (por quê?). Ficamos surpresos ao ver esse erro básico em um instrumento, cujo restante exibia um projeto de circuito da mais alta sofisticação.

13 Um cuidado aqui: este circuito não deve funcionar com uma tensão de alimentação superior a +7 V, porque o pulso negativo pode levar a base de Q2 a uma quebra reversa. Este é um descuido comum, mesmo entre projetistas de circuitos experientes.

e é proporcional a Para descobrir a largura de pulso com precisão, você deve observar detalhadamente a operação do circuito. Neste caso, é fácil ver que o transistor de saída Q2 ligará novamente, encerrando o pulso de saída, quando a tensão crescente na base do transistor Q2 atingir a queda de ÿ0,6 V VBE necessária para ligar. Tente este problema para testar sua compreensão.

Exercício 2.2. Mostre que a largura do pulso de saída para o circuito da Figura 2.11 é aproximadamente Tpulse=0,76R3C1=76 s. Um bom ponto de partida é observar que C1 está carregando exponencialmente de -4,4 V para +5 V, com a constante de tempo conforme acima.

D. Gerador de pulsos – II

Vamos brincar um pouco com este circuito. Funciona bem conforme descrito, mas observe que requer que a entrada permaneça alta durante a duração do pulso de saída, pelo menos. Seria bom eliminar essa restrição, e o circuito da Figura 2.12 mostra como. Ao circuito original, adicionamos uma terceira chave de transistor Q3, cujo trabalho é manter o coletor de Q1 no solo assim que o pulso de saída começar, independentemente do que o sinal de entrada faça. Agora, qualquer pulso de entrada positivo – seja maior ou menor que a largura de pulso de saída desejada – produz a mesma largura de pulso de saída; observe as formas de onda na figura. Observe que escolhemos R5 relativamente grande para minimizar o carregamento de saída enquanto ainda garantimos a saturação total de Q3.

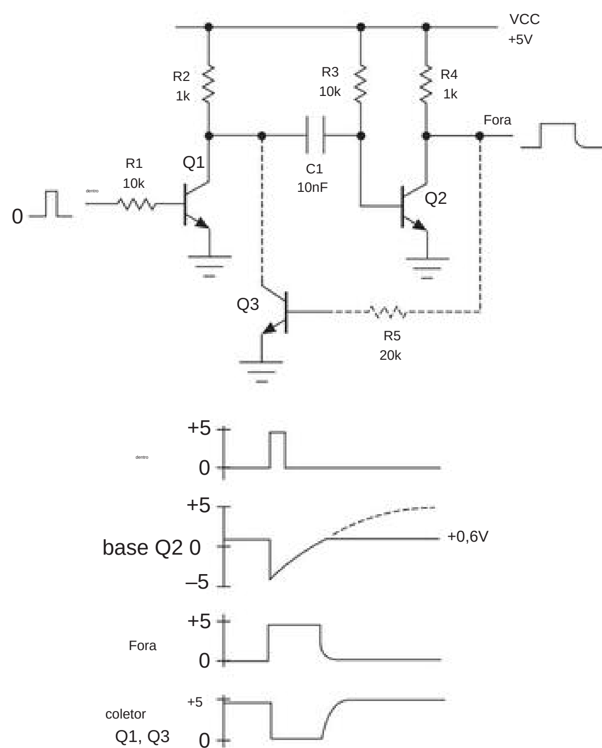


Figura 2.12. Gerando um pulso curto a partir de um degrau ou entrada de pulso.

Exercício 2.3. Elabore esta última afirmação: qual é a tensão de saída durante o pulso, ligeiramente reduzida devido ao efeito de carregamento de R5? Qual é o beta mínimo requerido de Q3 para garantir sua saturação durante o pulso de saída?

E. Gerador de pulsos – III

Para nosso ato final, vamos corrigir uma deficiência desses circuitos, ou seja, uma tendência do pulso de saída desligar um pouco lentamente. Isso acontece porque a tensão de base de Q2, com sua constante de tempo RC de 100 s relativamente lenta, aumenta suavemente até o limite de tensão de ativação de ÿ0,6 V. Observe, a propósito, que esse problema não ocorre na curva -on do pulso de saída, porque nessa transição a tensão de base de Q2 cai abruptamente para aproximadamente -4,4 V, devido à forma de onda de passo de entrada acentuada, que é ainda mais acentuada pela ação de comutação de Q1.

A solução aqui é adicionar na saída um circuito inteligente conhecido como *gatilho Schmitt,* mostrado em sua implementação de transistor14 na Figura 2.13A. Funciona assim: imagine um tempo dentro do pulso de saída positivo dos circuitos anteriores, então a entrada para este novo circuito Schmitt é alta (próximo +5 V). Isso mantém Q4 em saturação e, portanto, Q5 é cortado, com a saída em +5 V. A corrente do emissor de Q4 é de cerca de 5 mA, portanto a tensão do emissor é de aproximadamente +100 mV; a base é um VBE maior, aproximadamente +700 mV.

Agora imagine a borda de fuga da forma de onda do pulso de entrada, cuja tensão cai suavemente em direção ao solo. À medida que cai abaixo de 700 mV, o Q4 começa a desligar, então a tensão do coletor aumenta. Se fosse uma simples chave de transistor (ou seja, se Q5 estivesse ausente), o coletor aumentaria para +5 V; aqui, no entanto, o resistor de coletor R7 fornece corrente para Q5, colocando-o em saturação. Assim , o coletor de Q5 cai quase no chão.

Nesse nível simples de análise, o circuito parece bastante inútil, porque sua saída é a mesma que sua entrada! No entanto, vamos olhar um pouco mais de perto: conforme a tensão de entrada cai além do limite de 700 mV e o Q5 liga, a corrente total do emissor aumenta para ÿ10 mA (5 mA da corrente do coletor do Q5 e outros ÿ5 mA de sua corrente de base , ambos os quais fluem para fora do emissor). A queda no resistor do emissor agora é de 200 mV, o que significa que o limite de entrada aumentou para cerca de +800 mV. Assim, a tensão de entrada, que acabara de cair abaixo de 700 mV, agora se encontra bem abaixo do novo limite, causando o

14 Veremos outras maneiras de fazer um disparo de Schmitt, usando amplificadores operacionais ou comparadores, no Capítulo 4.

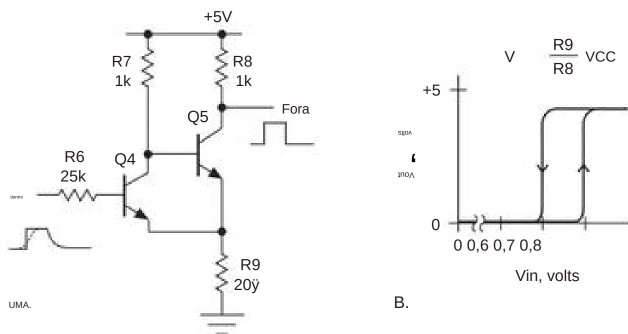


Figura 2.13. Um “gatilho Schmitt” produz uma saída com transições abruptas, independentemente da velocidade da forma de onda de entrada.

saída para mudar abruptamente. Essa ação “regenerativa” é como o gatilho Schmitt transforma uma forma de onda que se move lentamente em uma transição abrupta.

Uma ação semelhante ocorre à medida que a entrada passa desse limite mais alto; veja a Figura 2.13B, que ilustra como a tensão de saída muda à medida que a tensão de entrada passa pelos dois limiares, um efeito conhecido como *histerese.* O gatilho Schmitt produz transições de saída rápidas à medida que a entrada passa por qualquer um dos limites. Veremos os gatilhos de Schmitt novamente nos capítulos 4 e 10.

Existem muitas aplicações agradáveis de interruptores de transistores, incluindo aplicações de “sinal” como esta (combinadas com circuitos lógicos digitais mais complexos), bem como circuitos de “comutação de energia” nos quais os transistores operando em altas correntes, altas tensões, ou ambos, são usado para controlar cargas pesadas, realizar conversão de energia e assim por diante. Chaves de transistor também podem ser usadas como substitutas de chaves mecânicas quando estamos lidando com formas de onda contínuas (“lineares” ou “analógicas”). Veremos exemplos disso no próximo capítulo, quando lidarmos com FETs, que são ideais para tais tarefas de comutação, e novamente no Capítulo 12, onde lidamos com o controle de sinais e cargas externas de sinais de nível lógico.

Passamos agora a considerar o *primeiro* de vários circuitos de transistores.

2.2.3 Seguidor de emissor

A Figura 2.14 mostra um exemplo de *seguidor de emissor.* Chama-se assim porque o terminal de saída é o emissor, que segue a entrada (a base), menos uma queda de diodo:

$$V_E \approx V_B - 0{,}6 \text{ volts.}$$

A saída é uma réplica da entrada, mas 0,6 a 0,7 V menos positiva. Para este circuito, Vin deve permanecer em +0,6 V ou mais, caso contrário, a saída ficará no aterramento. Ao retornar a emissão

Depois de colocar o resistor em uma tensão de alimentação negativa, você também pode permitir oscilações de tensão negativas. Observe que não há resistor de coletor em um seguidor de emissor.

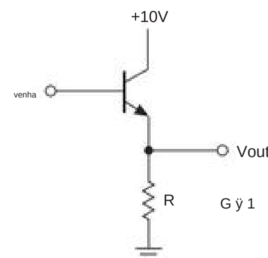


Figura 2.14. seguidor de emissor.

À primeira vista, este circuito pode parecer totalmente inútil, até você perceber que a impedância de entrada é muito maior que a impedância de saída, como será demonstrado em breve. Isso significa que o circuito requer menos energia da fonte de sinal para acionar uma determinada carga do que seria o caso se a fonte de sinal acionasse a carga diretamente. Ou um sinal de alguma impedância interna (no sentido de Thevenin) pode agora acionar uma carga de impedância comparável ou até menor sem perda de amplitude (do efeito usual do divisor de tensão). Em outras palavras, um seguidor de emissor tem ganho de corrente, mesmo que não tenha ganho de tensão.

Tem ganho *de potência* . Ganho de tensão não é tudo!

A. Impedâncias de fontes e cargas Este último ponto é muito importante e merece mais discussão antes de calcularmos em detalhes os efeitos benéficos dos seguidores de emissor. Em circuitos eletrônicos, você sempre liga a saída de alguma coisa à entrada de alguma outra coisa, conforme sugerido na Figura 2.15. A fonte do sinal pode ser a saída de um estágio do amplificador (com impedância em série equivalente de Thevenin Zout), acionando o próximo estágio ou talvez uma carga (de alguma impedância de entrada Zin). Em geral, o efeito de carregamento do estágio seguinte causa uma redução do sinal, conforme discutimos anteriormente em §1.2.5A. Por esta razão, geralmente é melhor manter Zout Zin (um fator de 10 é uma regra prática confortável).

Em algumas situações, não há problema em abandonar esse objetivo geral de tornar a fonte rígida em comparação com a carga. Em particular, se a carga estiver sempre conectada (por exemplo, dentro de um circuito) e se apresentar um Zin conhecido e constante, não é muito grave “carregar” a fonte. No entanto, é sempre melhor se os níveis de sinal não mudarem quando uma carga for conectada. Além disso, se Zin varia com o nível do sinal, então ter uma fonte rígida

(O Zin) garante a linearidade, caso contrário, o nível divisor de tensão dependente de Zout causaria distorção.15

Finalmente, como observamos em §1.2.5A, há duas situações em que Zout Zin é realmente a coisa errada a se fazer: em circuitos de radiofrequência, geralmente *combinamos* impedâncias (Zout = Zin), por motivos que descreveremos no Apêndice H Uma segunda exceção se aplica se o sinal acoplado for uma *corrente* em vez de uma tensão. Nesse caso a situação é inversa, e nos esforçamos para fazer Zin Zout (Zout = ÿ, para uma fonte de corrente).

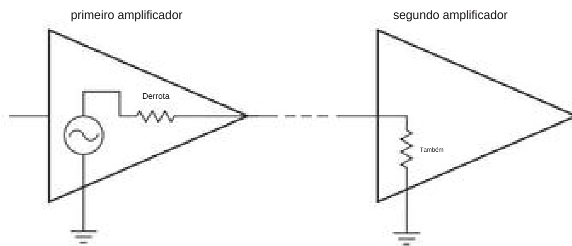


Figura 2.15. Ilustrando o "carregamento" do circuito como um divisor de tensão.

B. Impedâncias de entrada e saída de seguidores de emissor Como dissemos, o seguidor de emissor é útil para alterar as impedâncias de sinais ou cargas. Para ser franco, esse é realmente o objetivo de um seguidor de emissor.

Vamos calcular as impedâncias de entrada e saída do seguidor de emissor. No circuito anterior, consideramos *R* como a carga (na prática, às vezes *é* a carga; caso contrário, a carga está em paralelo com R, mas com *R* dominando a resistência paralela de qualquer maneira). Faça uma mudança de tensão *ÿVB* na base; a variação correspondente no emissor é *ÿVE* = ÿVB. Então a mudança na corrente do emissor é

$$ÿIE = ÿVB/R,$$

assim

$$ÿIB = \frac{1}{b} ÿIE = \frac{ÿVB}{R(b\,1) +1}$$

(usando IE = IC + IB). A resistência de entrada é ÿVB/ÿIB. Portanto

$$\text{também} = (b +1)\, R. \tag{2.2}$$

O ganho de corrente de pequeno sinal (ou "incremental") do transistor (bu, hfe) é normalmente cerca de 100, então uma carga de baixa impedância parece uma impedância muito maior na base; é mais fácil de dirigir.

No cálculo anterior, usamos as *mudanças* nas tensões e correntes, em vez dos valores constantes (CC) dessas tensões (ou correntes), para chegar à nossa resistência de entrada rin. Essa análise de "pequeno sinal" é usada quando as variações representam um sinal possível, como em um amplificador de áudio, operando em um "viés" CC constante (consulte §2.2.7). Embora tenhamos indicado mudanças em tensão e corrente explicitamente (com *"ÿV,"* etc.), a prática usual é usar símbolos minúsculos para pequenas variações de sinal (assim *ÿV* ÿ v); com esta convenção, a equação acima para ÿIE, por exemplo, seria iE = vB/R.

A distinção entre ganho de corrente CC (hFE) e ganho de corrente de pequeno sinal (hfe) nem sempre é clara, e o termo beta é usado para ambos. Tudo bem, já que hfe ÿ hFE (exceto em frequências muito altas), e você nunca assume que as conhece com precisão, de qualquer maneira.

Embora tenhamos usado resistências na derivação anterior, poderíamos generalizar para impedâncias complexas permitindo que ÿVB, ÿIB, etc., se tornem números complexos. Descobriríamos que a mesma regra de transformação se aplica a impedâncias:

$$\text{Sentença} = (b +1)\text{Zload}. \tag{2.3}$$

Poderíamos fazer um cálculo semelhante para descobrir que a impedância de saída Zout de um seguidor de emissor (a impedância olhando para o emissor) acionada por uma fonte de impedância interna Zsource é dada por

$$\text{Sal} = \frac{\text{ZsourceGenericName}}{b +1}. \tag{2.4}$$

Estritamente falando, a impedância de saída do circuito também deve incluir a resistência paralela de R, mas na prática Zout (a impedância olhando para o emissor) domina.

Exercício 2.4. Mostre que a relação anterior está correta. *Dica:* mantenha a tensão da fonte fixa e encontre a mudança na corrente de saída para uma dada mudança forçada na tensão de saída. Lembre-se de que a tensão da fonte está conectada à base por meio de um resistor em série.

Devido a essas boas propriedades, os seguidores de emissor encontram aplicação em muitas situações, por exemplo, fazendo fontes de sinal de baixa impedância dentro de um circuito (ou nas saídas), fazendo referências de tensão rígidas a partir de referências de impedância mais alta (formadas de divisores de tensão, digamos) e geralmente isolando as fontes de sinal dos efeitos de carregamento dos estágios subseqüentes.

15 Usamos o símbolo **Z em negrito** quando a natureza complexa da impedância é importante. No uso comum, o termo "impedância" pode se referir vagamente à *magnitude* da impedância, ou mesmo a uma impedância puramente real (por exemplo, impedância de linha de transmissão); para tais casos, usamos o símbolo matemático-itálico Z.

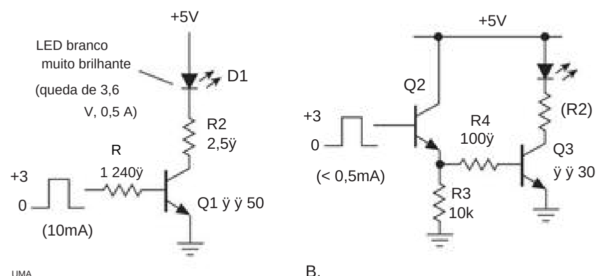


Figura 2.16. Colocar um seguidor de emissor na frente de uma chave torna mais fácil para um sinal de controle de baixa corrente comutar uma carga de alta corrente.

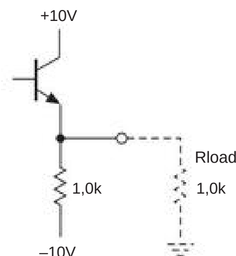


Figura 2.17. Um seguidor de emissor *npn* pode fornecer bastante corrente através do transistor, mas pode dissipar corrente limitada apenas através de seu resistor de emissor.

Exercício 2.5. Use um seguidor com a base acionada por um divisor de tensão para fornecer uma fonte rígida de +5 volts de uma fonte regulada de +15 V disponível. Corrente de carga (max) = 25 mA. Escolha os valores do seu resistor para que a tensão de saída não caia mais de 5% sob carga total.

C. Interruptor de acionamento

do seguidor A Figura 2.16 mostra um bom exemplo de um seguidor de emissor resgatando um circuito complicado. Estamos tentando ligar um LED branco realmente brilhante (do tipo que você usa para "iluminação de área"), que cai cerca de 3,6 V em seus 500 mA desejados de corrente direta. E temos um sinal lógico digital de 0–3 V disponível para controlar a chave. O primeiro circuito usa um único interruptor *npn* saturado, com um resistor de base dimensionado para produzir 10 mA de corrente de base e um resistor limitador de corrente de 2,5 ÿ em série com o LED.

Este circuito está OK, mais ou menos. Mas extrai uma corrente desconfortavelmente grande da entrada de controle; e exige que Q1 tenha bastante ganho de corrente na corrente de carga total de 0,5 A. No segundo circuito (Figura 2.16B), um seguidor de emissor veio em socorro, reduzindo bastante a corrente de entrada (por causa de seu ganho de corrente), e ao mesmo tempo relaxando o requisito beta mínimo do switch (Q3).

Para ser justo, devemos apontar que um MOS FET de baixo limiar fornece uma solução ainda mais simples aqui; nós lhe diremos como, nos Capítulos 3 e 12.

D. Pontos importantes sobre seguidores

Fluxo de corrente em apenas uma direção. Observe (§2.1.1, regra 4) que em um seguidor de emissor o transistor *npn* só pode *fornecer* corrente (ao contrário de *dissipar)* . Por exemplo, no circuito carregado mostrado na Figura 2.17, a saída pode oscilar dentro de uma queda de tensão de saturação do transistor de VCC (cerca de +9,9 V), mas não pode ser mais negativa do que -5 volts. Isso ocorre porque na oscilação negativa extrema, o transistor não pode fazer nada melhor do que desligar completamente, o que acontece na entrada de -4,4 volts (saída de -5 V put, definido pelo divisor formado pelos resistores de carga e emissor). Uma oscilação negativa adicional na entrada resulta em retropolarização da junção base-emissor, mas nenhuma alteração adicional na saída. A saída, para uma entrada de onda senoidal de amplitude de 10 volts, é mostrada na Figura 2.18.

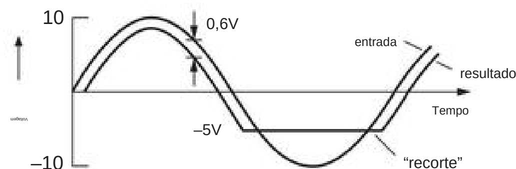


Figura 2.18. Ilustrando a capacidade de acionamento de corrente assimétrica do seguidor de emissor *npn* .

Outra maneira de ver o problema é dizer que o seguidor de emissor tem um valor baixo de impedância de saída *de sinal pequeno ,* enquanto sua impedância de saída de sinal grande é muito maior (tão grande quanto RE). A impedância de saída muda de seu valor de sinal pequeno para seu valor de sinal grande no ponto onde o transistor sai da região ativa (neste caso em uma tensão de saída de -5 V). Para colocar este ponto de outra forma, um valor baixo de impedância de saída de sinal pequeno não significa necessariamente que o circuito pode gerar grandes oscilações de sinal em uma carga de baixa resistência. Uma baixa impedância de saída de pequenos sinais não implica em uma grande capacidade de corrente de saída.

As possíveis soluções para este problema envolvem diminuir o valor do resistor do emissor (com maior dissipação de potência no resistor e no transistor), usar um transistor *pnp* (se todos os sinais forem apenas negativos), ou usar uma configuração "push-pull", em quais dois transistores complementares (um *npn,* um *pnp)* são usados (§2.4.1).

Esse tipo de problema também pode surgir quando a carga que um seguidor de emissor está conduzindo contém tensão ou fontes de corrente próprias e, portanto, pode forçar uma corrente na direção "errada". Isso acontece mais frequentemente com

fontes de alimentação reguladas (a saída geralmente é um seguidor de emissor) acionando um circuito que possui outras fontes de alimentação.

Decomposição base-emissor. Lembre-se sempre de que a tensão de ruptura reversa base-emissor para transistores de silício é pequena, geralmente tão baixa quanto 6 volts. Oscilações de entrada grandes o suficiente para tirar o transistor da condução podem facilmente resultar em quebra (causando degradação permanente do ganho de corrente), a menos que um diodo de proteção seja adicionado (Figura 2.19).

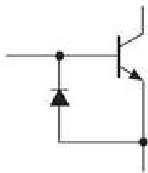


Figura 2.19. Um diodo evita a quebra de tensão reversa base-emissor baixa.

O ganho é um pouco menor que a unidade. O ganho de tensão de um seguidor de emissor é na verdade um pouco menor que 1,0, porque a queda de tensão base-emissor não é realmente constante, mas depende ligeiramente da corrente do coletor. Você verá como lidar com isso mais adiante neste capítulo, quando tivermos a equação de Ebers-Moll.

2.2.4 Seguidores de emissor como reguladores de tensão

A fonte de tensão regulada mais simples é simplesmente um zener (Figura 2.20). Alguma corrente deve fluir através do zener, então você escolhe

$$\frac{V_{in}(min) - V_{out}}{R} > I_{out}(max).$$

Como Vin não é regulado, você usa o menor valor de Vin que pode ocorrer. Projetar para operação satisfatória sob a pior combinação (aqui Vin mínimo e Iout máximo) é conhecido como projeto de "pior caso". Na prática, você também se preocuparia com tolerâncias de componentes, limites de tensão de linha, etc., projetando para acomodar a pior combinação possível que poderia ocorrer.

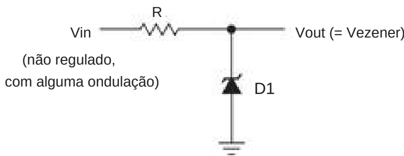


Figura 2.20. Regulador de tensão zener simples.

O zener deve ser capaz de dissipar

$$P_{zener} = \left(\frac{V_{in} - V_{out}}{R} - I_{out}\right) V_{zener}.$$

Novamente, para o projeto de pior caso, você usaria Vin(max) e Iout(min).

Exercício 2.6. Projete uma alimentação regulada de +10V para correntes de carga de 0 a 100 mA; a tensão de entrada é de +20 a +25 V. Permita pelo menos 10 mA de corrente Zener em todas as condições (pior caso). Que potência deve ter o zener?

Essa alimentação regulada por zener simples às vezes é usada para circuitos não críticos ou circuitos que usam pouca corrente de alimentação. No entanto, tem utilidade limitada, para diversas áreas filhos:

- Vout não é ajustável ou configurável para um valor preciso.
- Os diodos Zener oferecem apenas rejeição de ondulação moderada e regulação contra mudanças de entrada ou carga, devido à sua impedância dinâmica finita.
- Para correntes de carga amplamente variáveis, um zener de alta potência geralmente é necessário para lidar com a dissipação em baixa corrente de carga.16

Ao usar um seguidor de emissor para isolar o zener, você obtém o circuito aprimorado mostrado na Figura 2.21. Agora a situação está muito melhor. A corrente do Zener pode ser relativamente independente da corrente de carga, uma vez que a corrente de base do transistor é pequena e é possível uma dissipação de energia do zener muito menor (reduzida em até um fator de β). O resistor de coletor RC pode ser adicionado para proteger o transistor de curtos-circuitos de saída momentâneos, limitando a corrente, mesmo que não seja essencial para a função de seguidor de emissor.

Escolha RC para que a queda de tensão seja menor que a queda em *R* para a corrente de carga normal mais alta (ou seja, para que o transistor não sature na carga máxima).

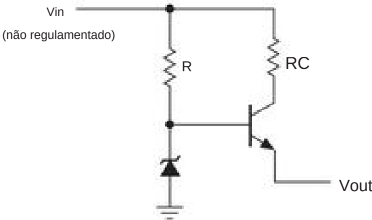


Figura 2.21. Regulador Zener com seguidor, para aumentar a corrente de saída. RC protege o transistor limitando a corrente máxima de saída aluguel.

16 Esta é uma propriedade compartilhada por todos os *reguladores shunt,* dos quais o zener é o exemplo mais simples.

Exercício 2.7. Projete uma fonte de +10 V com as mesmas especificações do Exercício 2.6. Use um zener e seguidor de emissor. cal cule a dissipação de pior caso em transistor e zener. Qual é a variação percentual na corrente do zener da condição sem carga para a carga total? Compare com seu circuito anterior.

Uma boa variação deste circuito visa eliminar o efeito da corrente de ondulação (através de R) na tensão do zener, fornecendo a corrente do zener a partir de uma fonte de corrente, que é o assunto de §2.2.6. Um método alternativo usa um filtro passa-baixa no circuito de viés zener (Figura 2.22). *R* é escolhido de forma que o par em série forneça corrente zener suficiente.[17]

Então *C* é escolhido grande o suficiente para que *RC* 1/ fripple.

Mais tarde você verá reguladores de tensão melhores, nos quais você pode variar a saída facilmente e continuamente usando feedback. Eles também são melhores fontes de tensão, com impedâncias de saída medidas em miliohms, coeficientes de temperatura de algumas partes por milhão por grau centígrado e outras características desejáveis.

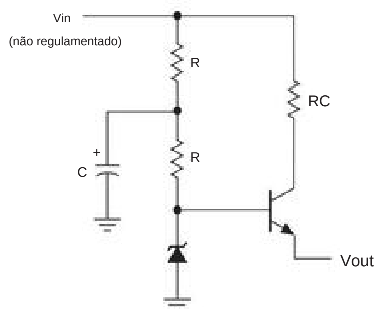


Figura 2.22. Reduzindo o ripple no regulador zener.

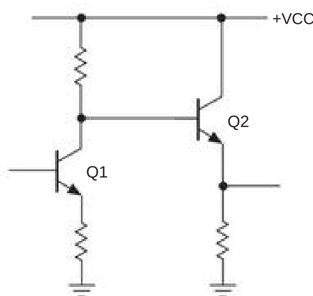


Figura 2.23. Polarizando um seguidor de emissor de um estágio anterior.

2.2.5 Polarização do seguidor de emissor

Quando um seguidor de emissor é acionado de um estágio anterior em um circuito, geralmente não há problema em conectar sua base diretamente à saída do estágio anterior, conforme mostrado na Figura 2.23.

Como o sinal no coletor de Q1 está sempre dentro do alcance das fontes de alimentação, a base de Q2 estará entre VCC e terra e, portanto, Q2 está na região ativa (nem cortada nem saturada), com seu diodo base-emissor em condução e seu coletor pelo menos alguns décimos de volt mais positivo que seu emissor. Às vezes, porém, a entrada para um seguidor pode não estar tão convenientemente situada em relação às tensões de alimentação. Um exemplo típico é um sinal acoplado capacitivamente (ou acoplado CA) de alguma fonte externa (por exemplo, uma entrada de sinal de áudio para um amplificador estéreo). Nesse caso, a tensão média do sinal é zero e o acoplamento direto a um seguidor de emissor fornecerá uma saída como a da Figura 2.24.

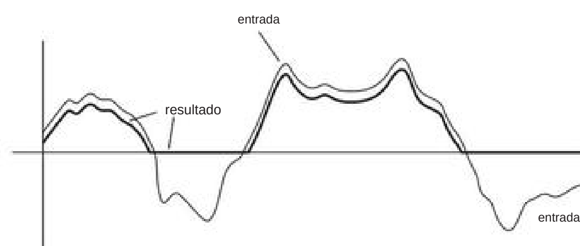


Figura 2.24. Um amplificador de transistor alimentado por uma única fonte positiva não pode gerar oscilações de tensão negativas no terminal de saída do transistor.

É necessário *polarizar* o seguidor (na verdade, qualquer amplificador transistorizado) para que a corrente do coletor flua durante toda a oscilação do sinal. Neste caso, um divisor de tensão é a maneira mais simples (Figura 2.25). R1 e R2 são escolhidos para colocar a base a meio caminho entre terra e VCC quando não há sinal de entrada, ou seja, R1 e R2 são aproximadamente iguais.

O processo de seleção das tensões de operação em um circuito, na ausência de sinais aplicados, é conhecido como ajuste do *ponto quiescente.* Nesse caso, como na maioria dos casos, o ponto de repouso é escolhido para permitir a oscilação simétrica máxima do sinal da forma de onda de saída sem *corte* (achatamento da parte superior ou inferior da forma de onda). Que valores devem ter R1 e R2 ? Aplicando nosso princípio geral (§1.2.5A, §2.2.3A), tornamos a impedância da fonte de polarização CC (a impedância olhando para o divisor de tensão) pequena em comparação com a carga que ele aciona (a impedância CC olhando para a base do seguidor). Nesse caso,

R1R2 b RÉ.

Isso é aproximadamente equivalente a dizer que a corrente que flui no divisor de tensão deve ser grande em comparação com a corrente consumida pela base.

17 Em uma variação deste circuito, o resistor superior é substituído por um diodo.

VCC
R1
Q1
C1
R2
C2
RÉ

Figura 2.25. Um seguidor de emissor acoplado. Observe o divisor de idade da tensão de polarização de base.

A. Exemplo de projeto de seguidor de emissor Como um exemplo de projeto real, vamos fazer um seguidor de emissor para sinais de áudio (20 Hz a 20 kHz). VCC é +15 V, e a corrente quiescente deve ser 1 mA.

Etapa 1. *Escolha* VE. Para o maior simétrico possível swing sem corte, VE = *0,5VCC* ou +7,5 volts.

Etapa 2. *Escolha* RE. Para uma corrente quiescente de 1 mA, RE = 7,5k.

Etapa 3. *Escolha* R1 *e* R2. VB é VE + 0,6 V ou 8,1 V. Isso determina a proporção de R1 para R2 como 1:1,17. O critério de carga anterior exige que a resistência paralela de R1 e R2 seja de cerca de 75k ou menos (um décimo de 7,5k×). b Os valores padrão adequados são R1 = 130k, R2 =150k.

Etapa 4. *Escolha* C1. O capacitor C1 forma um filtro passa-alto com a impedância que ele vê como uma carga, ou seja, a impedância olhando para a base em paralelo com a impedância olhando para o divisor de tensão de base. Se assumirmos que a carga que este circuito conduzirá é grande em comparação com o resistor do emissor, então a impedância olhando para a base é RE, cerca de 750k. O divisor se parece com 70k. Assim, o capacitor vê b uma carga de cerca de 63k, e deve ter um valor de pelo menos 0,15 F para que o ponto de 3 dB fique abaixo da menor frequência de interesse, 20 Hz. m

Etapa 5. *Escolha* C2. O capacitor C2 forma um filtro passa-alto em combinação com a impedância de carga, que é desconhecida. No entanto, é seguro assumir que a impedância de carga não será menor que RE, o que dá um valor para C2 de pelo menos 1,0 F para colocar o ponto de 3 dB abaixo de 20 Hz. m

Como agora existem duas seções de filtro passa-alto em cascata, os valores do capacitor devem ser aumentados um pouco para evitar atenuação excessiva (redução da amplitude do sinal, neste caso 6 dB) na menor frequência de interesse.

C1 = 0,47 F e C2 = 3,3 m mF podem ser boas escolhas.[18]

[18] Esses valores podem parecer curiosamente “desarredondados”. Mas eles são escolhidos a partir dos valores de década EIA “E6” amplamente disponíveis (consulte o Apêndice C); e, de fato, os valores de “número redondo” de 0,5 F são mais difíceis de encontrar. m F e 3,0 m

Do nosso modelo de transistor simples, a impedância de saída no emissor é apenas Zout = RE[(ZinR1R2)/], onde Zin é a resistência de saída (Thevenin) do sinal que aciona este circuito. Então, tomando ÿ 100, uma fonte de sinal com resistência de saída de 10 kÿ resultaria em uma impedância de saída (no emissor) de cerca de 87 ÿ. Como veremos mais adiante no capítulo (§2.3), há um efeito (a impedância intrínseca do emissor, re) que adiciona uma resistência adicional de 0,025/IE efetivamente em série com o emissor; então a impedância de saída aqui (com fonte de 10 kÿ) seria de cerca de 110 ÿ.

B. Seguidores com alimentações divididas Como os sinais geralmente estão “perto do solo”, é conveniente usar alimentações simétricas positivas e negativas. Isso simplifica a polarização e elimina os capacitores de acoplamento (Figura 2.26).

Aviso: você deve sempre fornecer um caminho CC para a corrente de polarização de base, mesmo que vá apenas para o terra. Neste circuito, presume-se que a fonte do sinal tenha um caminho CC para o terra. Se não (por exemplo, se o sinal for acoplado capacitivamente), você deve fornecer um resistor para o terra (Figura 2.27). RB poderia ser cerca de um décimo de RE, como antes. b

Exercício 2.8. Projete um seguidor de emissor com alimentação de ±15 V para operar na faixa de áudio (20 Hz a 20 kHz). Use corrente quiescente de 5 mA e acoplamento de entrada capacitiva.

+VCC
sinal
(perto do solo)
saída
(também perto do solo)
RÉ
- AGUA

Figura 2.26. Um seguidor de emissor acoplado em CC com alimentação dividida.

+VCC
RB
RÉ
- AGUA

Figura 2.27. Sempre forneça um caminho de polarização CC.

C. Tendência ruim

Às vezes, você vê circuitos indutores de tristeza, como o desastre mostrado na Figura 2.28. O projetista escolheu RB assumindo um valor específico para beta (100), estimando a corrente de base e, em seguida, esperando uma queda de 7 V em RB. Este é um design ruim; beta não é um bom parâmetro e irá variar consideravelmente. Ao usar polarização de tensão com um divisor de tensão rígido, como no exemplo detalhado apresentado anteriormente, o ponto quiescente é insensível a variações no transistor beta. Por exemplo, no exemplo de projeto anterior, a tensão do emissor aumentará apenas 0,35 V (5%) para um transistor com β = 200 em vez do nominal β = 100. E, como no exemplo do seguidor de emissor, é muito fácil cair nessa armadilha e projete circuitos de transistor ruins nas outras configurações de transistor (principalmente o amplificador de emissor comum, que trataremos mais adiante neste capítulo).

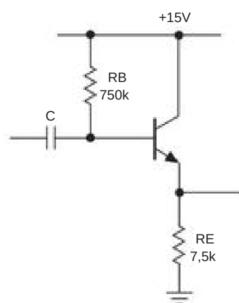


Figura 2.28. Não faça isso!

D. Cancelando o offset – I Não seria bom se um seguidor de emissor não causasse um offset do sinal de saída pela queda VBE ÿ 0,6 V base-emissor? A Figura 2.29 mostra como cancelar o offset dc, colocando em cascata um seguidor *pnp* (que tem um offset VBE positivo) com um seguidor *npn* (que tem um offset VBE negativo comparável). Aqui configuramos o circuito com alimentações simétricas divididas de ±10 V; e usamos resistores de emissor de valor igual para que os dois transistores tenham uma corrente quiescente comparável para um sinal de entrada próximo a 0 V.

Este é um bom truque, útil de se conhecer e muitas vezes útil. Mas o cancelamento não é perfeito, por razões que veremos mais adiante no capítulo (VBE depende um pouco da corrente do coletor e do tamanho do transistor, §2.3), e novamente no Capítulo 5. Mas, como veremos no Capítulo 4, *é* de fato bastante fácil fazer um seguidor, usando *amplificadores operacionais,* com deslocamento de zero quase perfeito (10 V ou menos), impedâncias de entrada em gigaohms (ou mais), correntes de entrada em nanoamps (ou menos) e impedâncias de saída

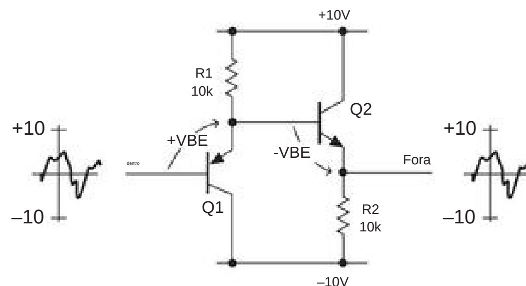


Figura 2.29. Colocar em cascata um *pnp* e um seguidor *npn* produz um cancelamento aproximado dos deslocamentos VBE .

medida em frações de um ohm. Dê uma olhada no Capítulo 4.

2.2.6 Fonte atual

As fontes de corrente, embora muitas vezes negligenciadas, são tão importantes e úteis quanto as fontes de tensão. Eles geralmente fornecem uma excelente maneira de polarizar os transistores e são inigualáveis como "cargas ativas" para estágios de amplificadores de superganho e como fontes emissoras para amplificadores diferenciais. Integradores, geradores dente de serra e geradores de rampa precisam de fontes de corrente. Eles fornecem pullups de ampla faixa de tensão dentro dos circuitos do amplificador e do regulador. E, finalmente, existem aplicações no mundo exterior que requerem fontes de corrente constante, por exemplo, eletroforese ou eletroquím

A. Resistor mais fonte de tensão A aproximação mais simples para uma fonte de corrente é mostrada na Figura 2.30. Enquanto Rcarga *R* (em outras palavras, Vcarga V), a corrente é quase constante e é aproximadamente

$$I ÿ V/R.$$

A carga não precisa ser resistiva. Um capacitor será carregado a uma taxa constante, desde que Vcap V; esta é apenas a primeira parte da curva de carga exponencial de um *RC.*

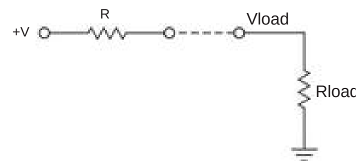


Figura 2.30. Aproximação da fonte de corrente.

Existem várias desvantagens em uma simples fonte de corrente de resistor. Para fazer uma boa aproximação de uma fonte de corrente, você deve usar grandes tensões, com muita dissipação de potência no resistor. Além disso, a corrente não é facilmente

programável, ou seja, controlável em uma ampla faixa por meio de uma tensão em algum outro lugar do circuito.

Exercício 2.9. Se você deseja uma fonte de corrente constante de 1% em uma faixa de tensão de carga de 0 a +10 volts, qual o tamanho da fonte de tensão que você deve usar em série com um único resistor?

Exercício 2.10. Suponha que você queira uma corrente de 10 mA no problema anterior. Quanta potência é dissipada no resistor em série? Quanto chega à carga?

B. Fonte de corrente do transistor

Felizmente, é possível fazer uma fonte de corrente muito boa com um transistor (Figura 2.31). Funciona assim: aplicando VB na base, com VB>0,6 V, garante que o emissor esteja sempre conduzindo:

$$V_E = V_B ÿ0{,}6 \text{ volts.}$$

Então

$$I_E = V_E/R_E = (V_B ÿ0{,}6 \text{ volts})/R_E.$$

Mas, como IE ÿ IC para beta grande,

$$I_C ÿ (V_B ÿ0{,}6 \text{ volts})/R_E, \quad (2.5)$$

independente de VC, desde que o transistor não esteja saturado *(VC* VE +0,2 volts).

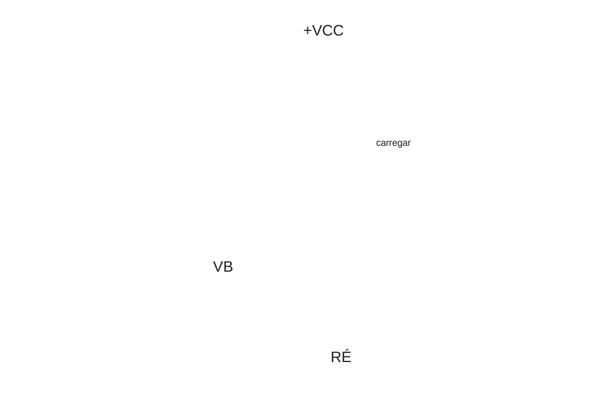


Figura 2.31. Fonte de corrente a transistor: conceito básico.

C. Polarização da fonte de corrente

A tensão de base pode ser fornecida de várias maneiras. Um divisor de tensão é bom, desde que seja rígido o suficiente. Como antes, o critério é que sua impedância seja bem menor que a impedância DC olhando para a base (RE). Ou você pode usar um zener (ou uma referência IC de dois terminais como o LM385), polarizado por VCC ou até mesmo alguns diodos polarizados[19] em série desde a base até a fonte do emissor correspondente. A Figura 2.32 mostra alguns exemplos. No último exemplo (Figura 2.32C), um transistor *pnp fornece* corrente para uma carga que voltou ao solo. Os outros exemplos (usando transistores *npn)* devem ser chamados *de dissipadores de corrente,* mas a prática usual é referir-se a todos eles vagamente como "fontes de corrente" . em comparação com a impedância olhando para a base de cerca de 100k (para = 100), portanto, quaisquer alterações em beta com a tensão do coletor não afetarão muito a corrente de saída, fazendo com que a tensão de base mude.

Nos outros dois circuitos, os resistores de polarização são escolhidos para fornecer vários miliampères para colocar os diodos em condução.

D. Conformidade

Uma fonte de corrente pode fornecer corrente constante para a carga somente em uma faixa finita de tensão de carga. Fazer o contrário seria equivalente a fornecer poder infinito. A faixa de tensão de saída na qual uma fonte de corrente se comporta bem é chamada de *conformidade de saída.* Para as fontes de corrente do transistor anteriores, a conformidade é definida pelo requisito de que os transistores permaneçam na região ativa. Assim, no primeiro circuito, a tensão no coletor pode cair até que o transistor esteja quase em saturação, talvez +1,1 V no coletor. O segundo circuito, com sua tensão de emissor mais alta, pode diminuir a corrente para uma tensão de coletor de cerca de +5,1 V.

Em todos os casos, a tensão do coletor pode variar de um valor próximo à saturação até a tensão de alimentação. Por exemplo, o último circuito pode fornecer corrente à carga para qualquer tensão entre zero e cerca de +8,6 V na carga. De fato, a carga pode até conter baterias ou fontes de alimentação próprias, que podem levar o coletor além da tensão de alimentação (Figura 2.32A,B) ou abaixo do solo (Figura 2.32C). Tudo bem, mas você deve tomar cuidado com a quebra do transistor (o VCE não deve exceder o BVCEO, a tensão de quebra coletor-emissor especificada) e também com a dissipação excessiva de energia (definida pelo ICVCE). Como você verá em §§3.5.1B, 3.6.4C e 9.4.2, há uma restrição adicional de área operacional segura nos transistores de potência.

Exercício 2.11. Você tem fontes reguladas de +5 e +15 V disponíveis em um circuito. Projete um dissipador de corrente *npn* de 5 mA usando +5 V para polarizar a base. Qual é a conformidade da saída?

[19] Um LED vermelho, com sua queda de tensão direta de ÿ1,6 V, é um substituto conveniente para uma sequência de três diodos.

[20] "Sink" e "source" referem-se simplesmente à direção do fluxo de corrente: se um circuito *fornece* corrente (positiva) a um ponto, é uma *fonte* e vice-versa. versa.

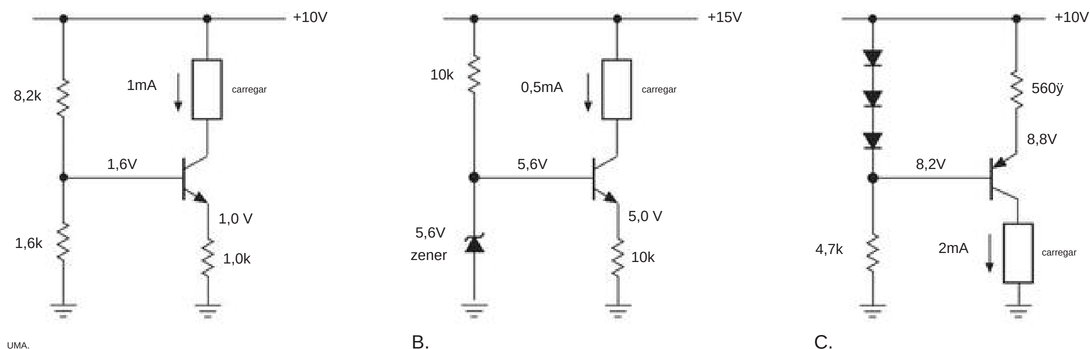


Figura 2.32. Circuitos de fonte de corrente do transistor, ilustrando três métodos de polarização de base; Os transistores *npn* drenam a corrente, enquanto os transistores *pnp* fornecem a corrente. O circuito em C ilustra uma carga retornada ao solo. Veja também a Figura 3.26.

Uma fonte de corrente não precisa ter uma tensão fixa na base. Ao variar VB , você obtém uma fonte de corrente programável por tensão. A oscilação do sinal de entrada vin (lembre-se de que os símbolos em letras minúsculas significam *variações)* deve permanecer pequena o suficiente para que a tensão do emissor nunca caia para zero, se a corrente de saída refletir as variações da tensão de entrada suavemente. O resultado será uma fonte de corrente com variações na corrente de saída proporcionais às variações na tensão de entrada, iout = vin/RE. Esta é a base do amplificador que veremos a seguir (§2.2.7).

E. Cancelando o deslocamento – II

É uma pequena desvantagem desses circuitos de fonte de corrente que você tem que aplicar uma tensão de base que é compensada por VBE ÿ 0,6 V da tensão que você deseja que apareça no resistor do emissor; e é claro que é o último que define a corrente de saída. É o mesmo problema de deslocamento de um seguidor de emissor; e você pode usar o mesmo truque (§2.2.5D) para obter o cancelamento aproximado do deslocamento em situações nas quais isso é um problema.

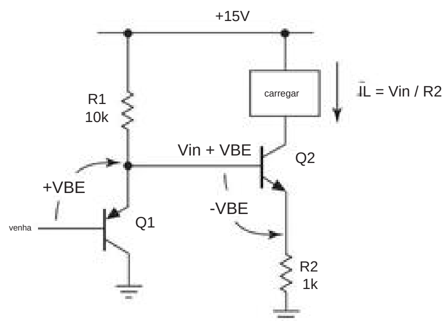


Figura 2.33. Compensando a queda de VBE em uma fonte de corrente.

Observe a Figura 2.33. Ele tem nosso estágio de saída de fonte de corrente padrão Q2, com a corrente definida pela tensão no resistor do emissor: IL=VE/R2. Portanto , a base do Q2 precisa ser um VBE maior (o deslocamento), mas é exatamente isso que o seguidor de entrada *pnp* faz de qualquer maneira. Então, voila, a tensão no emissor de Q2 acaba sendo aproximadamente igual a Vin que você aplica; e assim a corrente de saída é simplesmente IL=Vin/R2, sem ifs, ands, buts ou compensações VBE . Bonitinho!

Apressamo-nos a apontar, porém, que este não é um cancelamento particularmente preciso, porque os dois transistores terão, em geral, correntes de coletor diferentes e, portanto, quedas base-emissor um tanto diferentes (§2.3). Mas é um hack de primeira ordem e muito melhor do que nada. E, mais uma vez, a mágica dos amplificadores operacionais (Capítulo 4) fornecerá uma maneira de criar fontes de corrente nas quais a corrente de saída é programada com precisão por uma tensão de entrada, sem aquele incômodo deslocamento VBE .

F. Deficiências das fontes de corrente Esses circuitos de fonte de corrente do transistor funcionam bem, principalmente quando comparados com um resistor simples polarizado por uma tensão fixa (Figura 2.30). Quando você olha de perto, porém, descobre que eles se afastam do ideal em algum nível de escrutínio - isto é, a corrente de carga mostra alguma variação (relativamente pequena) com a tensão. Outra maneira de dizer a mesma coisa é que a fonte de corrente tem uma resistência equivalente de Thevenin finita (RTh < ÿ).

Discutimos as causas dessas deficiências e algumas correções de circuito muito inteligentes mais adiante neste capítulo e também no Capítulo *2x.*

2.2.7 Amplificador de emissor comum

Considere uma fonte de corrente com um resistor como carga (Figura 2.34). A tensão do coletor é

VC = VCC ÿCICV

Poderíamos acoplar capacitivamente um sinal à base para fazer com que a tensão do coletor variasse. Considere o exemplo em

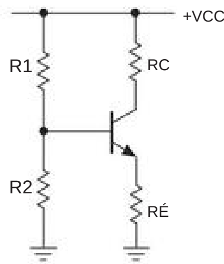


Figura 2.34. Fonte de corrente acionando um resistor como carga: um amplificador!

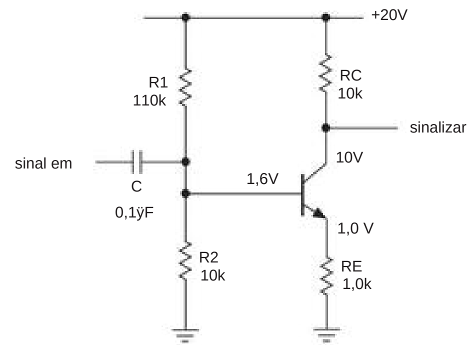


Figura 2.35. Um amplificador de emissor comum CA com degeneração do emissor. Observe que o terminal de saída é o coletor e não o emissor.

Figura 2.35. O capacitor de bloqueio *C* é escolhido de modo que todas as frequências de interesse sejam passadas pelo filtro passa-alto que ele forma em combinação com a resistência paralela dos resistores de polarização de base21; isso é,

$$C ÿ \frac{1}{2\pi f(R1R2)}.$$

A corrente quiescente do coletor é de 1,0 mA por causa da polarização de base aplicada e do resistor de emissor de 1,0k. Essa corrente coloca o coletor em +10 volts (+20 V, menos 1,0 mA até 10k). Agora imagine uma oscilação aplicada na tensão base vB. O emissor segue com vE = vB, o que causa uma oscilação na corrente do emissor

$$iE = vE/RE = vB/RE$$

e quase a mesma mudança na corrente do coletor (é grande). Assim, a oscilação inicial na tensão de base finalmente causa uma oscilação na tensão do coletor.

$$vC = ÿiCRC = ÿvB(RC/RE)$$

Ah! É um *amplificador de tensão,* com uma amplificação (ou “ganho”) de tensão dada por

$$ganho = vout/vin = ÿRC/RE \quad (2.6)$$

Nesse caso, o ganho é ÿ10.000/1.000, ou ÿ10. O sinal de menos significa que uma oscilação positiva na entrada é transformada em uma oscilação negativa (10 vezes maior) na saída. Isso é chamado *de amplificador de emissor comum* com degeneração do emissor.

A. Impedâncias de entrada e saída do amplificador de emissor comum

Podemos determinar facilmente as impedâncias de entrada e saída do amplificador. O sinal de entrada vê, em paralelo, 110k, 10k e a impedância olhando para a base. o último é cerca de 100k (vezes RE), então a impedância de entrada (dominada por 10k) é cerca de 8k. O capacitor de acoplamento de entrada forma assim um filtro passa-alto, com o ponto de 3 dB em 200 Hz. O sinal que conduz o amplificador vê 0,1 F em série com 8k, o que para sinais de frequências normais (bem acima do ponto de 3 dB) parece apenas 8k.

A impedância de saída é de 10k em paralelo com a impedância olhando para o coletor. O que é aquilo? Bem, lembre-se de que, se você cortar o resistor do coletor, estará simplesmente procurando uma fonte de corrente. A impedância do coletor é muito grande (medida em megohms) e, portanto, a impedância de saída é apenas o valor do resistor do coletor, 10k. Vale lembrar que a impedância olhando para o coletor de um transistor é alta, enquanto a impedância olhando para o emissor é baixa (como no seguidor de emissor). Embora a impedância de saída de um amplificador de emissor comum seja dominada pelo resistor de carga do coletor, a impedância de saída de um seguidor de emissor não será dominada pelo resistor de carga do emissor, mas sim pela impedância olhando para o emissor.

2.2.8 Divisor de fase de ganho unitário

Algumas vezes é útil gerar um sinal e seu inverso, ou seja, dois sinais 180° fora de fase. Isso é fácil de fazer – basta usar um amplificador degenerado de emissor com um ganho de -1 (Figura 2.36). A tensão quiescente do coletor é ajustada para *0,75VCC,* em vez dos *0,5VCC normais,* para obter o mesmo resultado – oscilação de saída simétrica máxima sem corte em nenhuma das saídas. O coletor pode oscilar de *0,5VCC* a VCC, enquanto o emissor pode oscilar de terra a *0,5VCC.*

Observe que as saídas do divisor de fase devem ser carregadas com impedâncias iguais (ou muito altas) nas duas saídas para manter a simetria de ganho.

21 A impedância olhando para a própria base geralmente será muito maior por causa da maneira como os resistores de base são escolhidos e geralmente pode ser ignorada.

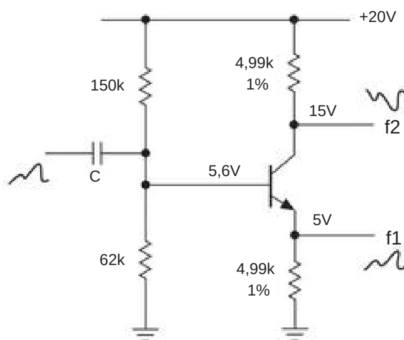


Figura 2.36. Divisor de fase de ganho unitário.

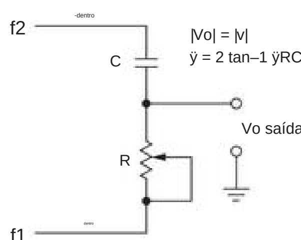


Figura 2.37. Deslocador de fase de amplitude constante.

A. Deslocador de fase

Um bom uso do divisor de fase é mostrado na Figura 2.37. Este circuito fornece (para uma entrada senoidal) uma onda senoidal de saída de fase ajustável (de zero a 180ÿ) e com amplitude constante. Pode ser melhor compreendido com um diagrama fasorial de tensões (§1.7.12); com o sinal de entrada representado por um vetor unitário ao longo do eixo real, os sinais têm a aparência mostrada na Figura 2.38.

Os vetores de sinal vR e vC devem estar em ângulos retos e devem se somar para formar um vetor de comprimento constante ao longo do eixo real. Existe um teorema da geometria que diz que o lugar geométrico desses pontos é um círculo. Portanto, o vetor resultante (a tensão de saída) sempre tem comprimento unitário, ou seja, a mesma amplitude da entrada, e sua fase pode variar de quase zero a quase 180ÿ em relação à onda de entrada conforme *R* varia de quase zero a um valor muito maior que XC na frequência de operação. No entanto, observe que o deslocamento de fase depende da frequência do sinal de entrada para um determinado ajuste do potenciômetro R. Vale a pena observar que uma simples rede *RC* highpass (ou lowpass) também pode ser usada como um deslocador de fase ajustável. No entanto, sua amplitude de saída variava em uma faixa enorme à medida que a mudança de fase era ajustada.

Uma preocupação adicional aqui é a capacidade do circuito divisor de fase de acionar o deslocador de fase *RC* como uma carga. Idealmente, a carga deve apresentar uma impedância grande comparado com os resistores de coletor e emissor. Como resultado, este circuito é de utilidade limitada onde uma ampla gama de mudanças de fase é necessária. Você verá técnicas aprimoradas de divisor de fase no Capítulo 4, onde usamos amplificadores operacionais como buffers de impedância, e no Capítulo 7, onde uma cascata de várias seções de deslocamento de fase gera um conjunto de sinais de "quadratura" que estendem o deslocamento de fase intervalo de 0ÿ a 360ÿ.

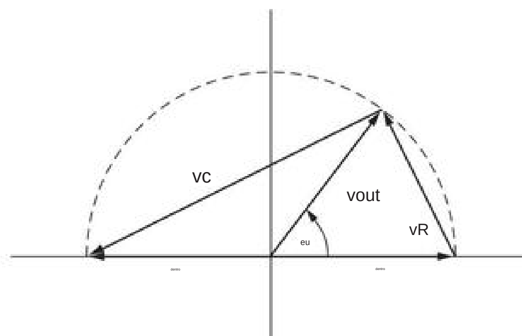


Figura 2.38. Diagrama fasorial para deslocador de fase, para o qual 2 eu = arctan(ohRC).

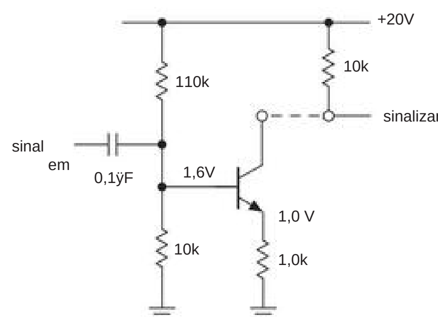


Figura 2.39. O amplificador de emissor comum é um estágio de transcondutância que aciona uma carga (resistiva).

2.2.9 Transcondutância

Na seção anterior, descobrimos a operação do amplificador degenerado do emissor (a) imaginando uma oscilação de tensão de base aplicada e vendo que a tensão do emissor tinha a mesma oscilação, então (b) calculando a oscilação da corrente do emissor; então, ignorando a pequena contribuição da corrente de base, obtemos a oscilação da corrente do coletor e, portanto, (c) a oscilação da tensão do coletor. O ganho de tensão era simplesmente a razão entre a oscilação da tensão do coletor (saída) e a oscilação da tensão da base (entrada).

Existe outra maneira de pensar sobre esse tipo de amplificador. Imagine separá-lo, como na Figura 2.39. O primeiro

parte é uma fonte de corrente controlada por tensão, com corrente quiescente de 1,0 mA e ganho de -1 mA/V. Ganho significa a proporção de saída para entrada; neste caso o ganho tem unidades de corrente/tensão, ou 1/resistência. O inverso da resistência[22] é chamado de *condutância.* Um amplificador cujo ganho possui unidades de condutância é chamado de amplificador de *transcondutância ;* a relação das mudanças ÿIout/ÿVin (geralmente escrita com pequenas mudanças de sinal indicadas em letras minúsculas: iout/vin) é chamada de transcondutância, *gm:*

ÿIout *gm* = ÿVin (sair / vir a ser) (2.7)

Pense na primeira parte do circuito como um amplificador de transcondutância, ou seja, uma tensão amplificador de -para-corrente com transcondutância *gm* (ganho) de -1 mA/V (1000 S, ou 1 mS, que é apenas 1/RE). A segunda parte do circuito é o resistor de carga, que converte a “amplificador” corrente em tensão. Este resistor poderia ser chamado de conversor de *transresistência ,* e seu ganho *(rm)* possui unidades de tensão/corrente, ou resistência. Nesse caso, sua tensão quiescente é VCC e seu ganho (resistência trans) é de 10 V/mA (10kÿ), que é apenas RC. Conectar as duas partes fornece um amplificador de tensão.

Você obtém o ganho geral multiplicando os dois ganhos. Neste caso, o ganho de tensão *GV=gmRC=* ÿ *RC/ RE,* ou ÿ10, um número sem unidade igual à razão (alteração da tensão de saída)/(alteração da tensão de entrada).

Esta é uma maneira útil de pensar em um amplificador, porque você pode analisar o desempenho das seções de forma independente. Por exemplo, você pode analisar a parte de transcondutância do amplificador avaliando *gm* para diferentes configurações de circuito ou até mesmo dispositivos diferentes, como transistores de efeito de campo FETs. Em seguida, você pode analisar a parte de transresistência (ou carga) considerando as compensações entre ganho e oscilação de tensão. Se você estiver interessado no ganho de tensão total, ele é dado por GV = *gmrm,* onde *rm* é a transresistência da carga. Em última análise, a substituição de uma carga ativa (fonte de corrente), com sua resistência trans extremamente alta, pode gerar ganhos de tensão de estágio único de 10.000 ou mais. A configuração do *cascode ,* que discutiremos mais adiante, é outro exemplo facilmente compreendido com essa abordagem.

No Capítulo 4, que trata de amplificadores operacionais, você verá mais exemplos de amplificadores com tensões ou correntes como entradas ou saídas: amplificadores de tensão (tensão para tensão), amplificadores de corrente (corrente para corrente) e amplificadores de transresistência (corrente para tensão).

[22] O inverso da reatância é a *susceptância* (e o inverso da impedância é a *admitância),* e tem uma unidade especial, o *siemens* (“S”, não confundir com o “s” minúsculo, que significa segundos), que costumava ser chamado o *mho* (ohm escrito ao contrário, símbolo “”).

A. Aumentando o ganho: limitações do simples modelo

O ganho de tensão do amplificador emissor-degenerado é ÿRC/RE, de acordo com nosso modelo. O que acontece quando RE é reduzido a zero? A equação prevê que o ganho aumentará sem limites. Mas se fizermos medições reais do circuito anterior, mantendo a corrente quiescente constante em 1 mA, descobriremos que o ganho se estabilizaria em cerca de 400 quando RE for zero, ou seja, com o emissor aterrado. Também descobriríamos que o amplificador se tornaria significativamente não linear (a saída não seria uma réplica fiel da entrada), a impedância de entrada se tornaria pequena e não linear e a polarização se tornaria crítica e instável com a temperatura. Claramente nosso modelo de transistor está incompleto e precisa ser modificado para lidar com esta situação de circuito, assim como outras que falaremos a seguir. Nosso modelo fixo, que chamaremos de modelo de transcondutância, será preciso o suficiente para o restante do livro.

B. Recapitulação: as “quatro topologias”

Antes de entrarmos na complexidade adiante, vamos nos lembrar dos quatro circuitos de transistor que vimos, ou seja, chave, seguidor de emissor, fonte de corrente e amplificador de emissor comum. Nós os desenhamos muito esquematicamente na Figura 2.40, omitindo detalhes como polarização e até mesmo a polaridade do transistor (ou seja, *npn* ou *pnp).* Para completar, incluímos também um quinto circuito, o *amplificador de base comum,* que veremos em breve (§2.4.5B).

2.3 Modelo de Ebers-Moll aplicado a circuitos transistorizados básicos

Gostamos de ver alguns feitos legais que podem ser realizados com o modelo BJT mais simples – switch, seguidor, fonte de corrente, amplificador – mas nos deparamos com algumas limitações sérias (ei, você acreditaria, ganho *infinito ?!) .* Agora é hora de ir um nível mais profundo, para lidar com essas limitações. O material que segue será suficiente para nossos propósitos. E – boas notícias – para muitas aplicações BJT, o modelo simples que você já viu é completamente adequado.

2.3.1 Modelo de transistor aprimorado: amplificador de transcondutância

A mudança importante está na regra 4 (§2.1.1), onde dissemos anteriormente que IC = βIB. Pensávamos no transistor como um amplificador de corrente cujo circuito de entrada se comportava como um diodo. Isso é mais ou menos correto e, para alguns aplicativos, é bom o suficiente. Mas para entender os amplificadores diferenciais,

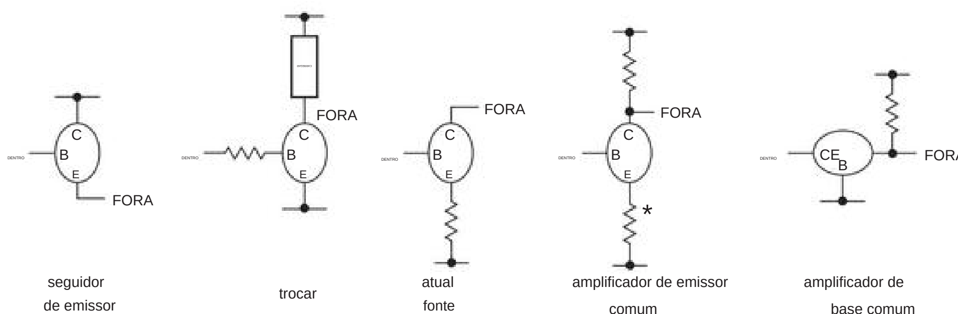


Figura 2.40. Cinco circuitos básicos de transistor. Tensões fixas (fontes de alimentação ou terra) são indicadas por conexões a segmentos de linhas horizontais. Para o interruptor, a carga pode ser um resistor, para produzir uma saída de tensão de oscilação completa; para o amplificador de emissor comum, o resistor do emissor pode ser desviado ou omitido completamente.

conversores logarítmicos, compensação de temperatura e outras aplicações importantes, você deve pensar no transistor como um dispositivo de *transcondutância* – a corrente do coletor é determinada pela tensão base-emissor .

Aqui está a regra 4 modificada.

4. Amplificador de transcondutância Quando as regras 1–3 (§2.1.1) são obedecidas, IC é relacionado a VBE por 23

$$I_C = I_S(T)\, e^{V_{BE}/V_T} - 1, \qquad (2.8)$$

ou equivalente,

$$V_{BE} = \frac{kT}{q} \log_e \left(\frac{I_C}{I_S(T)} + 1 \right), \qquad (2.9)$$

Onde

$$V_T = kT/q = 25{,}3\text{mV} \qquad (2.10)$$

à temperatura ambiente (68ÿF, 20ÿC), *q* é a carga do elétron (1,60 × 10ÿ19 coulombs), *k* é a constante de Boltzmann (1,38 × 10ÿ23 joules/K, às vezes escrita kB), *T* é o absoluto temperatura em graus Kelvin (K=ÿC+273,16), e IS(T) é a *corrente de saturação* do transistor em particular (que depende fortemente da temperatura, T, como veremos em breve). Então a renda base atual, que também depende do VBE, pode ser aproximada por

$$I_B = I_C/\beta,$$

onde a "constante" está β normalmente na faixa de 20 a 1000, mas depende do tipo de transistor, IC, VCE e temperatura. IS(T) aproxima a corrente de fuga reversa (aproximadamente 10-15 A para um transistor de pequeno sinal como o 2N3904). Na região ativa IC *IS,* e portanto

o termo -1 pode ser negligenciado em comparação com o exponencial:

$$I_C \approx I_S(T) e^{V_{BE}/V_T}. \qquad (2.11)$$

A equação para IC é conhecida como equação de Ebers-Moll.24 Ela também descreve aproximadamente a corrente versus tensão para um diodo, se VT for multiplicado por um fator de correção *m* entre 1 e 2. Para transistores, é importante perceber que a corrente do coletor é determinada com precisão pela tensão base-emissor, em vez da corrente base (a corrente base é aproximadamente determinada por β), e que essa lei exponencial é precisa em uma enorme faixa de correntes, normalmente de nanoampères a miliamperes .

A Figura 2.41 mostra isso graficamente.25 Se você medir a corrente de base em várias correntes de coletor, obterá um gráfico de IC versus IC b como na Figura 2.42. O beta do transistor versus corrente de coletor é discutido mais adiante no Capítulo *2x.*

Embora a equação de Ebers-Moll nos diga que a tensão base-emissor "programa" a corrente do coletor, essa propriedade não é fácil de usar na prática (polarizar um transistor pela aplicação de uma tensão de base) por causa do grande coeficiente de temperatura da base- tensão do emissor. Você verá mais tarde como a equação de Ebers-Moll fornece informações e soluções para esse problema.

2.3.2 Consequências do modelo de Ebers-Moll: regras práticas para o projeto de transistores

Da equação de Ebers-Moll (2.8) obtemos estas simples (mas úteis) "regras de relação" para corrente de coletor: IC2/IC1=exp(ÿVBE/VT) e ÿVBE=VT loge(IC2/IC1). Nós

[23] Indicamos a importante dependência de temperatura de IS , mostrando-a explicitamente na forma funcional – *"IS(T)".*

[24] JJ Ebers & JL Moll, "Comportamento de grandes sinais de transistores de junção," *Proc. IRE* **42,** 1761 (1954).

[25] Isso às vezes é chamado de trama de Gummel.

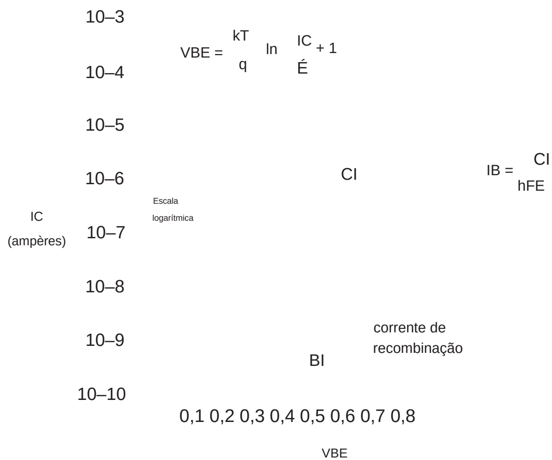


Figura 2.41. Correntes de coletor e base do transistor como funções da tensão base-emissor VBE.

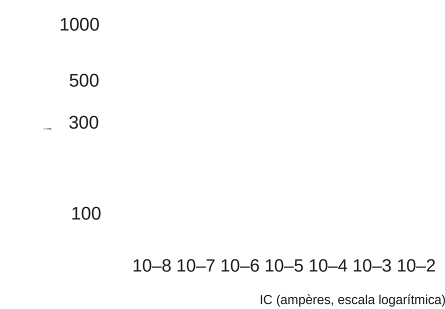


Figura 2.42. Ganho típico de corrente do transistor ( ) versus coletor atual.

obtenha também as seguintes quantidades importantes que usaremos frequentemente no projeto de circuitos.

A. A inclinação da curva do diodo.

Quanto precisamos aumentar VBE para aumentar IC por um fator de 10? Pela equação de Ebers-Moll, isso é apenas VT loge 10, ou 58,2 mV à temperatura ambiente. Gostamos de lembrar disso, pois *a tensão base-emissor aumenta aproximadamente 60 mV por década de corrente de coletor.* (Duas outras formulações: a corrente do coletor dobra para cada aumento de 18 mV na tensão base-emissor; a corrente do coletor aumenta 4% por aumento de milivolts na tensão base-emissor.) De modo equivalente, IC = *IC0eÿV/ 25,* onde *ÿV* está em milivolts. 26

B. A impedância de pequenos sinais olhando para o emissor, re, para a base mantida em uma tensão fixa.

Tomando a derivada de VBE em relação a IC, você obtém

$$re = VT / IC = 25/IC \text{ ohms}, \qquad (2.12)$$

onde IC está em miliampères.27 O valor numérico 25/IC é para temperatura ambiente. Essa resistência *intrínseca* do emissor, re, age como se estivesse em série com o emissor em todos os circuitos do transistor. Ele limita o ganho de um amplificador de emissor aterrado, faz com que um seguidor de emissor tenha um ganho de tensão ligeiramente menor que a unidade e evita que a impedância de saída de um seguidor de emissor chegue a zero. Observe que a transcondutância28 de um amplificador emissor aterrado é apenas

$$gm = IC/VT = 1/re \ (= 40IC \text{ à temperatura ambiente}). \qquad (2.13)$$

C. A dependência da temperatura de VBE.

Uma olhada na equação de Ebers-Moll sugere que VBE (em IC constante) tem um coeficiente de temperatura positivo por causa do fator de multiplicação de *T* em VT. No entanto, a forte dependência da temperatura de IS(T) mais do que compensa esse termo, de modo que VBE (em IC constante) *diminui* cerca de 2,1 mV/ÿC. É aproximadamente proporcional a 1/Tabs, onde Tabs é a temperatura absoluta. Às vezes é útil lançar isso em termos da dependência da temperatura de IC (em VBE constante): IC *aumenta* cerca de 9%/ÿC; dobra para um aumento de 8ÿC .

Há uma quantidade adicional que precisaremos ocasionalmente, embora não seja derivada da equação de Ebers-Moll. É conhecido como efeito Early,29 e estabelece limites importantes na fonte de corrente e no desempenho do amplificador.

D. Efeito inicial.

VBE (em IC constante) varia ligeiramente com a mudança de VCE. Este efeito é causado pela variação da largura efetiva da base à medida que o VCE muda, e é dado, aproximadamente, por

$$ÿVBE = ÿ \ a ÿVCE, \qquad (2.14)$$

Onde a ÿ 10ÿ4–10ÿ5. (Como exemplo, o *npn* 2N5088 tem a = 1,3 × 10-4, portanto, uma alteração de 1,3 mV de VBE para manter a corrente de coletor constante quando VCE muda em 10 V.)

[26] O “25” nesta discussão e na seguinte é mais precisamente 25,3 mV, o valor de *kBT/ q* à temperatura ambiente. É proporcional à temperatura absoluta – os engenheiros gostam de dizer “PTAT”, pronuncia -se *pee-tat.* Isso tem consequências interessantes (e úteis), por exemplo, a oportunidade de fazer um “termômetro de silício”. Veremos mais sobre isso no Capítulo *2x* e novamente no Capítulo 9.

[27] Gostamos de lembrar o fato de que re = 25ÿ em uma corrente de coletor de 1 mA. Então, apenas escalamos inversamente para outras correntes: assim re = 2,5ÿ em IC = 10 mA, etc.

[28] No próximo nível de sofisticação, veremos que, como a quantidade re é proporcional à temperatura absoluta, um amplificador emissor aterrado cuja corrente de coletor é PTAT tem transcondutância (e ganho) independente da temperatura. Mais no Capítulo 2x.

[29] JM Early, “Efeitos do alargamento da camada de carga espacial em transistores de junção,” *Proc. IRE* **40,** 1401 (1952). James Early morreu em 2004.

Isso geralmente é descrito como um aumento linear da corrente do coletor com o aumento da tensão do coletor quando VBE é mantido constante; você o vê expresso como

$$IC = IC0\ 1+ \frac{VCE}{E},\quad (2.15)$$

onde VA (normalmente 50–500 V) é conhecido como Tensão inicial.30 Isso é mostrado graficamente na Figura 2.59 em §2.3.7A. Uma tensão inicial baixa indica uma baixa resistência de saída do coletor; transistores *pnp* tendem a ter baixo VA, veja os valores medidos na Tabela 8.1. Tratamos o efeito Early com mais detalhes 31 no Capítulo *2x.*

Estas são as quantidades essenciais de que precisamos. Com eles, seremos capazes de lidar com a maioria dos problemas de projeto de circuito de transistor e teremos pouca necessidade de nos referirmos à própria equação de Ebers-Moll.32

2.3.3 O seguidor de emissor revisitado

Antes de olhar novamente para o amplificador de emissor comum com o benefício de nosso novo modelo de transistor, vamos dar uma olhada rápida no humilde seguidor de emissor. O modelo de Ebers-Moll prevê que um seguidor de emissor deve ter impedância de saída diferente de zero, mesmo quando acionado por uma fonte de tensão, por causa do fogo finito (item B na lista acima). O mesmo efeito também produz um ganho de tensão ligeiramente menor que a unidade, porque forma novamente um divisor de tensão com o resistor de carga.

Esses efeitos são fáceis de calcular. Com tensão de base fixa, a impedância olhando de volta para o emissor é apenas Rout = dVBE/ dIE; mas IE ÿ IC, então Rout ÿ re, a resistência intrínseca do emissor [lembre- se re = 25/IC(mA)]. Por exemplo, na Figura 2.43A, a carga vê uma impedância de condução de re = 25 ÿ, porque IC = 1 mA. (Isso é paralelo ao resistor de emissor RE, se usado; mas na prática RE sempre será muito maior que re.) A Figura 2.43B mostra uma situação mais típica, com resistência de fonte finita RS (para simplificar, omitimos a componentes de polarização obrigatórios - divisor de base e capacitor de bloqueio – que são mostrados na Figura 2.43C). Neste caso, a impedância de saída do seguidor de emissor é apenas re em série com Rs/(+ 1) (novamente paralelo com um RE, se presente). Por exemplo, se Rs = 1k e IC = 1 mA, Rout = 35 ÿ (assumindo = 100). É fácil mostrar que o emissor intrínseco também figura na impedância de *entrada* de um seguidor de emissor , como se estivesse em série com a carga (na verdade, combinação paralela de resistor de carga e resistor de emissor). Em outras palavras, para o circuito seguidor de emissor, o efeito do modelo de Ebers-Moll é simplesmente adicionar uma resistência de emissor em série com referência aos nossos resultados anteriores.33 O ganho de tensão de um seguidor de emissor é ligeiramente menor que a unidade, devido à tensão divisor produzido por re e a carga. É simples de calcular, porque a saída está na junção de re e Rload: GV = vout/vin = RL/(re+RL).

Assim, por exemplo, um seguidor rodando em corrente quiescente de 1 mA, com carga de 1k, tem um ganho de tensão de 0,976. Às vezes, os engenheiros gostam de escrever o ganho em termos de transcondutância, para colocá-lo em uma forma que também seja válida para FETs (consulte §3.2.3A); nesse caso (usando *gm = 1/ re)* você obtém GV = *RLgm/ (1 +RLgm).*

2.3.4 O amplificador de emissor comum revisitado

Anteriormente obtínhamos respostas erradas para o ganho de tensão do amplificador de emissor comum com resistor de emissor (às vezes chamado de degeneração do emissor) quando definimos o resistor do emissor igual a zero; lembre-se de que nossa resposta errada foi GV = ÿRC/RE = ÿ!

O problema é que o transistor tem 25/IC(mA) ohms de resistência de emissor embutida (intrínseca) que deve ser adicionada ao resistor de emissor externo real. Essa resistência é significativa apenas quando resistores de emissor pequenos (ou nenhum) são usados.34 Assim, por exemplo, o amplificador que consideramos anteriormente terá um ganho de tensão de ÿ10k/re, ou ÿ400, é zero. A impedância de entrada não é zero, como teríamos previsto anteriormente (RE); é aproximadamente re, ou neste caso (1 mA de corrente quiescent) cerca de 2,5k.35 b

[30] A conexão entre Tensão precoce e *VT/ VA;* a é a =VT/(VA+VCE)ÿ consulte o Capítulo 2x. 31 Visualizando alguns dos resultados, o efeito Early (a) determina a resistência de saída do coletor do transistor ro=VA/IC; (b) define um limite no ganho de tensão de estágio único; e (c) limita a resistência de saída de uma fonte de corrente. Outras coisas sendo iguais, os transistores *pnp* tendem a ter tensões iniciais baixas, assim como os transistores com beta alto; os transistores de alta tensão geralmente têm altas tensões iniciais, juntamente com beta baixo. Essas tendências podem ser vistas nas tensões iniciais medidas listadas na Tabela 8.1.

[32] O programa de análise de circuitos de computador SPICE inclui simulação precisa de transistores com as fórmulas de Ebers-Moll e Gummel-Poon modelos de carga. É muito divertido “ligar” os circuitos na tela do computador e configurá-los para funcionar com o SPICE. Para obter mais detalhes, consulte a aplicação do SPICE à distorção do amplificador BJT no Capítulo *2x.*

[33] Há mais, se você olhar mais fundo: em altas frequências (acima de fT/b) o ganho efetivo de corrente cai inversamente com a frequência; então você obtém uma impedância de saída ascendente de um seguidor de emissor que é acionado com Rs baixos. Ou seja, parece uma indutância e uma carga capacitiva pode causar toque ou até oscilação; esses efeitos são tratados no Capítulo 2x.

[34] Ou, de forma equivalente, quando o resistor do emissor é contornado com um capacitor cuja impedância nas frequências do sinal é comparável ou menor que re.

[35] Essas estimativas de ganho e impedância de entrada são razoavelmente boas, desde que fiquemos longe da operação em frequências muito altas ou

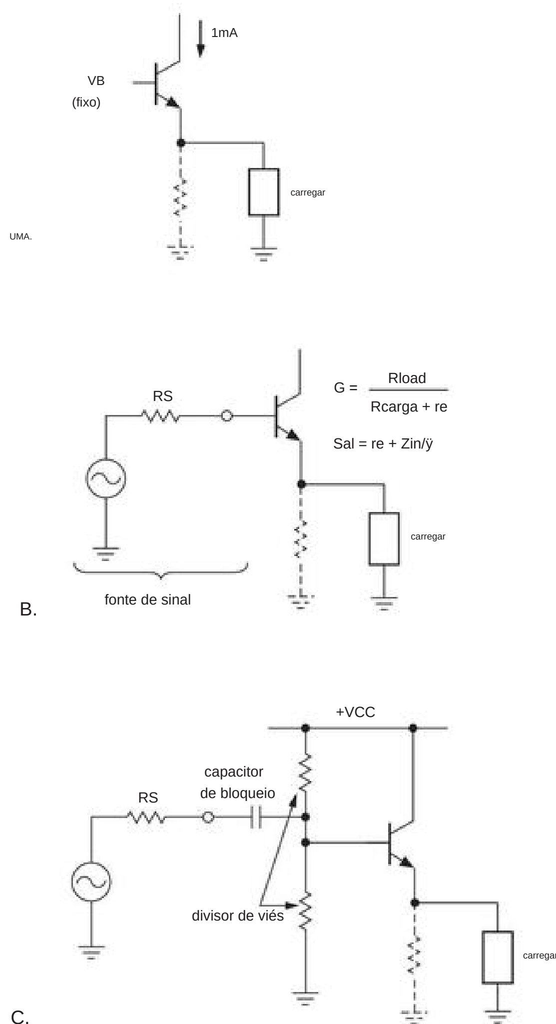


Figura 2.43. Impedância de saída dos seguidores de emissor (ver texto).

Os termos "emissor aterrado" e "emissor comum" às vezes são usados de forma intercambiável e podem ser confusos. Usaremos a expressão "amplificador de emissor aterrado" para significar um amplificador de emissor comum com RE = 0 (ou desvio equivalente). Um estágio amplificador de emissor comum pode ter um resistor de emissor; o que importa é que o circuito emissor seja comum ao circuito de entrada e ao circuito de saída.

---

de circuitos nos quais o resistor de carga do coletor é substituído por uma fonte de corrente "carga ativa" (RC ÿ ÿ). O ganho de tensão final de um amplificador de emissor aterrado, na última situação, é limitado pelo efeito Early; isso é discutido com mais detalhes no Capítulo *2x.*

A. Deficiências do amplificador emissor aterrado de estágio único

O ganho de tensão extra que você obtém usando RE = 0 ocorre às custas de outras propriedades do amplificador. De fato, o amplificador de emissor aterrado, apesar de sua popularidade nos livros didáticos, deve ser evitado, exceto em circuitos com realimentação totalmente negativa. Para ver por que, considere a Figura 2.44.

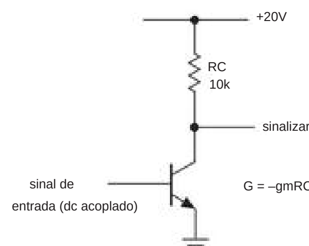


Figura 2.44. Amplificador de emissor comum sem degeneração do emissor.

1. Não linearidade. O ganho de tensão é *G = ÿgmRC* = ÿRC/re = ÿRCIC(mA)/25, portanto, para uma corrente quiescente de 1 mA, o ganho é de ÿ400. Mas o IC varia conforme o sinal de saída varia. Para este exemplo, o ganho irá variar de ÿ800 (Vout = 0, IC = 2 mA) até zero (Vout = VCC, IC = 0).

Para uma entrada de onda triangular, a saída será semelhante à da Figura 2.45. O amplificador tem muita distorção ou linearidade ruim. O amplificador de emissor aterrado sem realimentação é útil apenas para pequenas oscilações de sinal em torno do ponto quiescente. Em contraste, o amplificador degenerado do emissor tem um ganho quase totalmente independente da corrente do coletor, desde que RE re, e pode ser usado para amplificação sem distorção mesmo com grandes oscilações de sinal.

É fácil estimar a distorção, com e sem um resistor de emissor externo. Com um emissor *aterrado ,* o ganho incremental (pequeno sinal) é GV = ÿRC/re = ÿICRC/VT = ÿVdrop/VT, onde Vdrop é a queda de tensão instantânea no resistor do coletor. Como o ganho é proporcional à queda no resistor do coletor, a não linearidade (alteração fracionária do ganho com a oscilação) é igual à razão entre a oscilação instantânea e a queda quiescente média no resistor do coletor: ÿG/G ÿ *ÿVout/ Vdrop,* onde Vdrop é o queda de tensão média ou quiescente no resistor coletor RC. Como isso representa a variação extrema de ganho (ou seja, nos picos do swing), a "distorção" geral da forma de onda (geralmente declarada como a amplitude da forma de onda residual após a subtração do componente estritamente linear) será menor em aproximadamente um fator de 3.

Observe que a distorção depende apenas da proporção de oscilação para queda quiescente e não diretamente da corrente de operação, etc.

Como exemplo, em um amplificador de emissor aterrado alimentado por +10 V, polarizado para metade da fonte (isto é, queda de V = 5 V), medimos uma distorção de 0,7% na amplitude de onda senoidal de saída de 0,1 V e 6,6% na amplitude de 1 V ; estes valores estão de acordo com os valores previstos. Compare isso com a situação com um resistor de emissor externo RE adicionado, no qual o ganho de tensão se torna GV = ÿRC/(re + RE) = ÿICRC/(VT + ICRE). Apenas o primeiro termo no denominador contribui com a distorção, então a distorção é reduzida pela razão de re para a resistência efetiva total do emissor: a não linearidade torna -se ÿG/G ÿ (ÿVout/Vdrop)[re/(re + RE)] = (ÿVout/Vdrop)[VT/(VT +IERE)]; o segundo termo é o fator pelo qual a distorção é reduzida. Quando adicionamos um resistor de emissor, escolhido para cair 0,25 V na corrente quiescente – o que por esta estimativa deve reduzir a não linearidade por um fator de 10 – a distorção medida do amplificador anterior caiu para 0,08% e 0,74% para 0,1 V e amplitudes de saída de 1 V, respectivamente. Mais uma vez, essas medições concordam bem com nossa previsão.

Exercício 2.12. Calcule a distorção prevista para esses dois amplificadores nos dois níveis de saída que foram medidos.

Como observamos, a não linearidade de um amplificador de emissor comum, quando acionado por uma onda triangular, assume a forma da distorção assimétrica de "telhado de celeiro" esboçada na Figura 2.45.36 Para comparação, tomamos um escopo real (osciloscópio) traço de um amplificador emissor aterrado (Figura 2.46); usamos um 2N3904 com um resistor coletor de 5k para uma fonte de +10 V, polarizado (com cuidado!) para metade da fonte. Com uma régua estimamos o ganho incremental nas tensões de saída de +5 V (metade de V+) e em +7,5 V, conforme mostrado, onde a corrente do coletor é 1 mA e 0,5 mA, respectivamente. Os valores de ganho estão de acordo com as previsões *(G* = RC/re = *IC(mA)RC/ 25ÿ)* de *G* = ÿ200 e *G* = ÿ100, respectivamente. Em comparação, a Figura 2.47 mostra o que aconteceu quando adicionamos um resistor de emissor de 225 ÿ: o ganho é reduzido por um fator de 10 no ponto quiescente *(G* = RC/(RE +re) ÿ RC/ 250ÿ), mas com muito melhor linearidade (porque as mudanças em re contribuem pouco para a resistência geral no denominador, que agora é dominada pelo resistor de emissor externo fixo de 225 ÿ).

Para entrada senoidal, a saída contém todos os harmônicos da onda fundamental. Mais adiante no capítulo veremos como fazer amplificadores diferenciais com um par de transistores; para estes, a distorção residual é simétrica e contém apenas os harmônicos ímpares. E no Capítulo *2x* veremos alguns métodos muito inteligentes para cancelar a distorção em diferencial

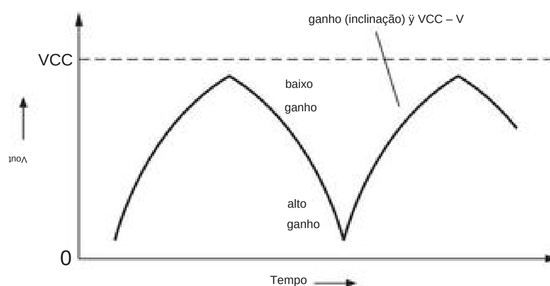


Figura 2.45. Forma de onda de saída não linear do amplificador de emissor aterrado.

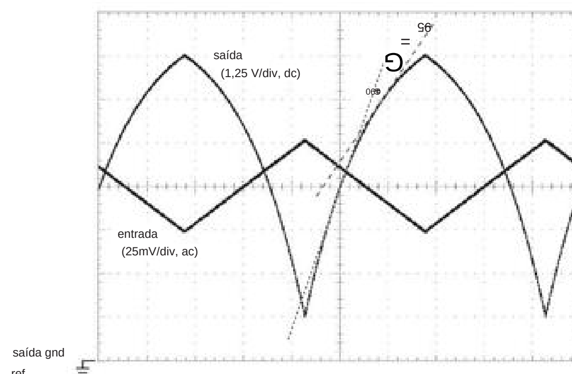


Figura 2.46. Vida real! O amplificador de emissor aterrado da Figura 2.44, com RC = 5k, V+ = +10V e uma entrada de onda triangular de 1 kHz. As partes superior e inferior da tela são +10 V e terra para o traço de saída acoplado CC (observe a escala sensível para o sinal de entrada acoplado CA). As estimativas de ganho (linhas tangentes) estão em valores Vout de 0,5 V+ e 0,75 V+. Horizontal: 0,2 ms/div.

amplificadores, juntamente com o uso do software de simulação SPICE para análise rápida e iteração do circuito. Finalmente, para colocar as coisas em perspectiva, devemos acrescentar que a distorção residual de qualquer amplificador pode ser drasticamente reduzida pelo uso de *feedback negativo.* Apresentaremos o feedback mais adiante neste capítulo (§2.5), depois que você estiver familiarizado com os circuitos transistorizados comuns. O feedback finalmente ocupará o centro do palco quando chegarmos aos *amplificadores operacionais* no Capítulo 4

2. Impedância de entrada. A impedância de entrada é vez, IC [illegible] fonte de sinal que conduz a base tenha baixa impedância, você acabará com não linearidade por causa do divisor de tensão não linear (variável) formado a partir da fonte de sinal e da impedância de entrada do amplificador. Em contraste, a impedância de entrada de um amplificador degenerado do emissor é quase constante e alta.

3. Preconceito. O amplificador emissor aterrado é difícil de

[36] Como o ganho (ou seja, a inclinação de Vout versus Vin) é proporcional à distância da linha VCC , o formato da curva é, de fato, exponencial.

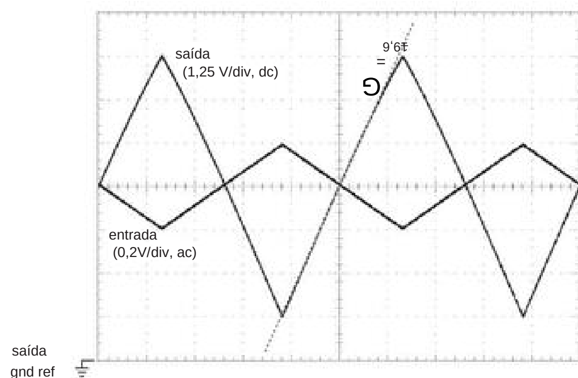


Figura 2.47. Adicionar um resistor de emissor de 225 ÿ melhora drasticamente a linearidade em detrimento do ganho (que cai por um fator de 10 no ponto quiescente). Horizontal: 0,2 ms/div.

tendência. Pode ser tentador apenas aplicar uma tensão (de um divisor de tensão) que forneça a corrente quiescente correta de acordo com a equação de Ebers-Moll. Isso não vai funcionar, por causa da dependência da temperatura de VBE (em IC fixo), que varia cerca de 2,1 mV/ÿC [na verdade diminui com o aumento de *T* por causa da variação de IS(T) com a temperatura; como resultado, VBE é aproximadamente proporcional a *1/ T,* a temperatura absoluta]. Isso significa que a corrente do coletor (para VBE fixo) aumentará por um fator de 10 para um aumento de temperatura de 30ÿC (o que corresponde a uma mudança de 60 mV em VBE), ou cerca de 9%/ ÿC. Essa polarização instável é inútil, porque mesmo pequenas mudanças na temperatura farão com que o amplificador sature. Por exemplo, um estágio de emissor aterrado polarizado com o coletor na metade da tensão de alimentação entrará em saturação se a temperatura subir 8°C.

Exercício 2.13. Verifique se um aumento de 8ÿC na temperatura ambiente causará a saturação de um estágio de emissor aterrado polarizado por tensão de base, assumindo que ele foi inicialmente polarizado para VC = *0,5VCC.*

Algumas soluções para o problema de polarização são discutidas nas seções a seguir. Em contraste, o amplificador degenerado do emissor alcança polarização estável aplicando uma voltagem à base, a maior parte da qual aparece através do resistor do emissor, determinando assim a corrente quiescente.

B. Resistor de emissor como realimentação Adicionar um resistor externo em série à resistência intrínseca do emissor (degeneração do emissor) melhora muitas propriedades do amplificador de emissor comum, mas às custas do ganho. Você verá a mesma coisa acontecendo nos Capítulos 4 e 5, quando discutirmos *a realimentação negativa,* uma técnica importante para melhorar as características do amplificador realimentando parte do sinal de saída para reduzir o sinal de entrada efetivo. A semelhança aqui não é coincidência – o próprio amplificador degenerado do emissor usa uma forma de realimentação negativa. Pense no transistor como um dispositivo de transcondutância, determinando a corrente do coletor (e, portanto, a tensão de saída) de acordo com a tensão aplicada entre a base e o emissor; mas a entrada para o amplificador é a tensão da base para *o solo.* Portanto, a tensão da base para o emissor é a tensão de entrada, *menos uma amostra da saída* (ou seja , IERE). Isso é feedback negativo, e é por isso que a degeneração do emissor melhora a maioria das propriedades do amplificador (aqui melhor linearidade e estabilidade e maior impedância de entrada.37) Mais adiante no capítulo, em §2.5, faremos essas declarações quantitativas quando olharmos pela primeira vez para retorno. E há grandes coisas pelas quais esperar, com o florescimento total do feedback nos Capítulos 4 e 5!

2.3.5 Polarizando o amplificador de emissor comum

Se você deve ter o maior ganho possível (ou se o estágio do amplificador estiver dentro de um loop de realimentação), é possível organizar a polarização bem-sucedida de um amplificador de emissor comum. Existem três soluções que podem ser aplicadas, separadamente ou em combinação: resistor de emissor desviado, transistor de polarização casada e realimentação CC.

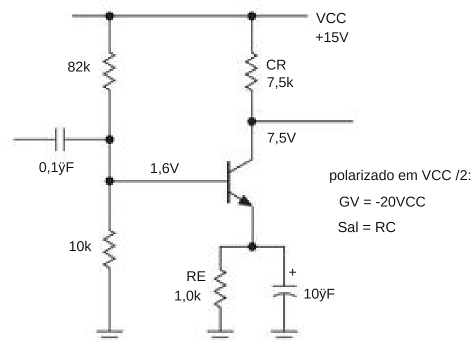


Figura 2.48. Um resistor de emissor desviado pode ser usado para melhorar a estabilidade de polarização de um amplificador de emissor aterrado.

A. Resistor de emissor desviado Você pode usar um resistor de emissor desviado, polarizando como para o amplificador degenerado, conforme mostrado na Figura 2.48. Neste caso , RE foi escolhido em torno de *0,1RC,* para facilitar a polarização; se RE for muito pequeno, a tensão do emissor será muito menor do que a queda base-emissor, levando à instabilidade de temperatura do ponto quiescente, pois VBE varia com a temperatura. O capacitor de desvio do emissor é escolhido para tornar sua impedância pequena em comparação com re (não RE - por quê?)

[37] E, como veremos, a impedância de saída seria reduzida – uma característica desejável em um amplificador de tensão – se a realimentação fosse obtida diretamente do coletor.

menor frequência de interesse. Neste caso, sua impedância é de 25 ÿ a 650 Hz. Nas frequências de sinal, o capacitor de acoplamento de entrada vê uma impedância de 10k em paralelo com a impedância de base, neste caso ×25ÿ, ou aproximadamente 2,5k. Em CC, a impedância olhando para a base é muito maior (vezes o resistor do emissor ou cerca de 100k)b

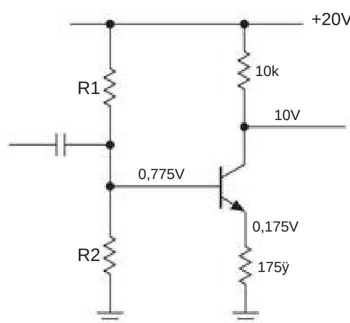


Figura 2.49. O estágio de ganho de 50 apresenta problema de estabilidade de viés.

Uma variação desse circuito consiste em usar dois resistores emissores em série, um deles em bypass. Por exemplo, suponha que você queira um amplificador com ganho de tensão de 50, corrente quiescente de 1 mA e VCC de +20 volts, para sinais de 20 Hz a 20 kHz. Se você tentar usar o circuito emissor degenerado, terá o circuito mostrado na Figura 2.49. O resistor do coletor é escolhido para colocar a tensão do coletor quiescente em *0,5VCC.* Em seguida, o resistor do emissor é escolhido para o ganho necessário, incluindo os efeitos do re de 25/IC(mA). O problema é que a tensão do emissor de apenas 0,175 V irá variar significativamente conforme a queda de ~0,6 V da base-emissor varia com a temperatura (-2,1 mV/ÿC, aproximadamente), uma vez que a base é mantida em tensão constante por R1 e R2 ; por exemplo, você pode verificar que um aumento de 20ÿC fará com que a corrente do coletor aumente em cerca de 25%.

Exercício 2.14. Mostre que esta afirmação está correta.

A solução aqui é adicionar alguma resistência do emissor desviada para polarização estável, sem alteração no ganho nas frequências do sinal (Figura 2.50). Como antes, o resistor do coletor é escolhido para colocar o coletor em 10 volts *(0,5VCC).* Em seguida, o resistor de emissor não desviado é escolhido para fornecer um ganho de 50, incluindo a resistência intrínseca do emissor re = 25/IC(mA). Resistência de emissor contornada suficiente é adicionada para tornar possível a polarização estável (um décimo da resistência do coletor é uma boa diretriz). A tensão de base é escolhida para fornecer 1 mA de corrente de emissor, com impedância de cerca de um décimo da impedância CC olhando para a base (neste caso, cerca de 100k). O capacitor de desvio do emissor é escolhido para ter baixa impedância em comparação com 180 + 25ÿ nas frequências de sinal mais baixas. Finalmente, o acoplamento de entrada ca

O pacitor é escolhido para ter baixa impedância em comparação com a impedância de entrada de *sinal de frequência* do amplificador, que é igual à impedância do divisor de tensão em paralelo com × b (180 + 25)ÿ (o 820 ÿ é contornado e se parece com um curto nas frequências do sinal).

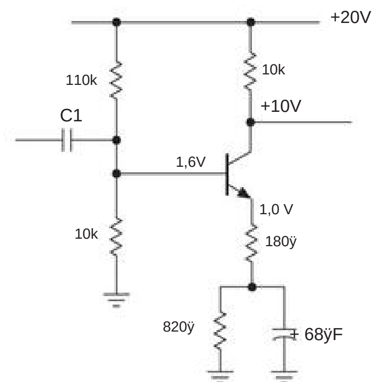


Figura 2.50. Um amplificador de emissor comum que combina estabilidade de polarização, linearidade e grande ganho de tensão.

Um circuito alternativo divide os caminhos de sinal e CC (Figura 2.51). Isso permite que você varie o ganho (alterando o resistor de 180 ÿ) sem alterar o viés.

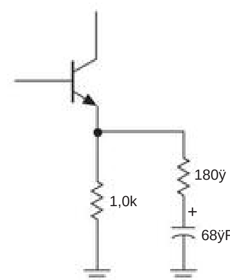


Figura 2.51. Circuito emissor equivalente para a Figura 2.50.

B. Transistor de polarização casada

Você pode usar um transistor casada para gerar a tensão de base correta para a corrente de coletor necessária; isso garante a compensação automática de temperatura (Figura 2.52).38 O coletor de Q1 está consumindo 1 mA, pois é garantido que está próximo ao solo (cerca de uma queda de VBE acima do solo, para ser exato); se Q1 e Q2 forem um par combinado (disponível como um único dispositivo, com os dois transistores em um pedaço de silício), então Q2 também será polarizado para consumir 1 mA, colocando seu coletor em

[38] R. Widlar, "Algumas técnicas de projeto de circuitos para circuitos integrados lineares," *IEEE Trans. Circuit Theory* **CT-12,** 586 (1965). Veja também a Patente US 3.364.434.

+10 volts e permitindo uma oscilação simétrica completa de ±10 V em seu coletor. Mudanças de temperatura não têm importância, desde que ambos os transistores estejam na mesma temperatura. Esta é uma boa razão para usar um transistor duplo "monolítico".

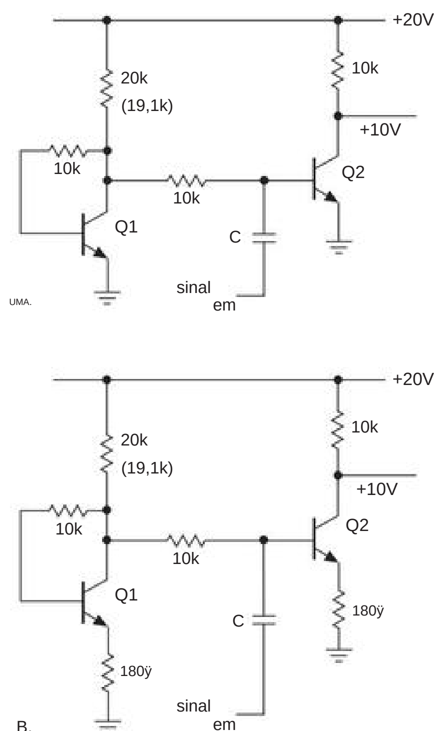


Figura 2.52. Esquema de polarização com queda de VBE compensada , para os estágios de emissor aterrado (A) e emissor degenerado (B). Com os valores mostrados, VC seria de aproximadamente 10,5 V; reduzir o resistor de 20k para 19,1k (um valor padrão) levaria em consideração os efeitos de VBE e finito b e coloque VC em 10 V.

C. Realimentação em

CC Você pode usar a realimentação CC para estabilizar o ponto quiescente. A Figura 2.53A mostra um método. Ao obter a idade da tensão de polarização do coletor, em vez do VCC, você obtém alguma medida da estabilidade da polarização. A base fica a uma gota de diodo acima do solo - e como sua polarização vem de um divisor de 10:1, o coletor deve estar a 11 gotas de diodo acima do solo, ou cerca de 7 volts. Qualquer tendência de saturação do transistor (por exemplo, se ele tiver um beta incomumente alto) é estabilizada, pois a queda da tensão do coletor reduzirá a polarização da base. Este esquema é aceitável se não for necessária grande estabilidade. O ponto quiescente está sujeito a flutuar um volt ou mais conforme a temperatura ambiente (ao redor) muda, porque a tensão base-emissor tem um coeficiente de temperatura significativo (Ebers-Moll, novamente). Melhor estabilidade é possível se vários estágios de amplificação estão incluídos no loop de feedback. Você verá exemplos mais tarde em relação ao feedback.

Uma melhor compreensão do feedback é realmente necessária para entender este circuito. Por exemplo, o feedback atua para reduzir as impedâncias de entrada e saída. O sinal de entrada vê a resistência de R1 efetivamente reduzida pelo ganho de tensão do estágio. Neste caso é equivalente a um resistor de cerca de 200 ÿ para o terra (nada agradável!). Mais adiante neste capítulo (e novamente no Capítulo 4), trataremos a realimentação com detalhes suficientes para que você possa calcular o ganho de tensão e a impedância terminal desse circuito.

As Figuras 2.53B–D ilustram algumas variações no esquema básico de polarização de realimentação CC: o circuito B adiciona alguma geração de emissor para melhorar a linearidade e a previsibilidade do ganho; o circuito C adiciona a isso um seguidor de entrada para aumentar a impedância de entrada (com valores do divisor *R1R2* adequadamente aumentados e taxa alterada para acomodar a queda adicional de VBE); e o circuito D combina os métodos da Figura 2.51 com o circuito B para obter maior estabilidade de polarização.

Observe que os valores do resistor de polarização de base nesses circuitos podem ser aumentados para aumentar a impedância de entrada, mas você deve levar em consideração a corrente de base não desprezível. Os valores adequados podem ser R1 = 220k e R2 = 33k. Uma abordagem alternativa pode ser contornar a resistência de realimentação para eliminar a realimentação (e, portanto, reduzir a impedância de entrada) nas frequências do sinal (Figura 2.54).39

D. Comentários sobre polarização e ganho

Um ponto importante sobre os estágios do amplificador do emissor aterrado: você pode pensar que o ganho de tensão pode ser aumentado pelo aumento da corrente quiescente, já que a resistência intrínseca do emissor cai com o aumento da corrente. Embora o re diminua com o aumento da corrente de coletor, o resistor de coletor menor que você precisa para obter a mesma tensão de coletor quiescente apenas cancela a vantagem. Na verdade, você pode mostrar que o ganho de tensão de pequeno sinal de um amplificador de emissor aterrado polarizado para *0,5VCC* é dado por *G = 20VCC* (em volts), independente da corrente quiescente.

Exercício 2.15. Mostre que a afirmação anterior é verdadeira.

Se você precisar de mais ganho de tensão em um estágio, uma abordagem é usar uma fonte de corrente como *carga ativa.* Como sua impedância é muito alta, ganhos de tensão de estágio único de

[39] Mas *cuidado:* as seções *RC* em cascata (33k em 10 F, 33k no capacitor de entrada) podem causar picos ou instabilidade, a menos que sejam tomados cuidados (por exemplo, evitando produtos *RC* similares).

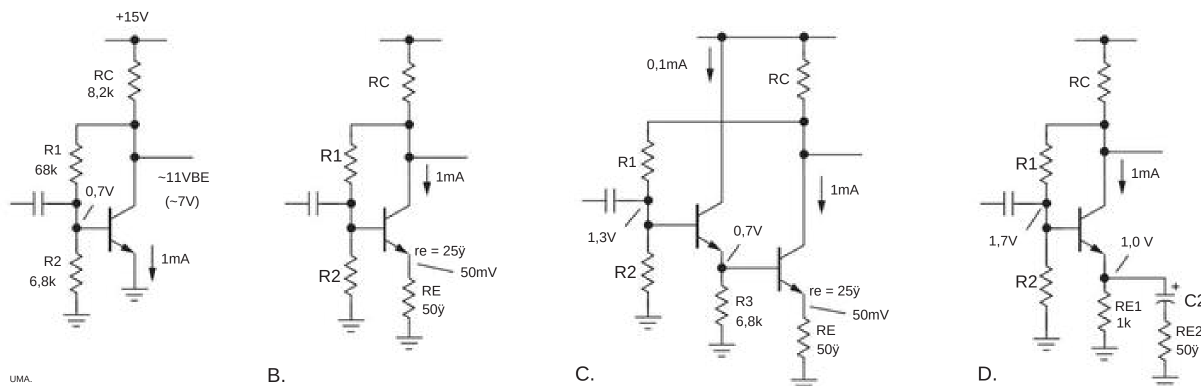


Figura 2.53. A estabilidade do viés é melhorada pelo feedback.

1000 ou mais são possíveis.40 Esse arranjo não pode ser usado com os esquemas de polarização que discutimos, mas deve fazer parte de um loop de realimentação CC geral, um assunto que discutiremos no Capítulo 4. Você deve ter certeza de que esse amplificador parece em uma carga de alta impedância; caso contrário, o ganho obtido pela alta impedância da carga do coletor será perdido.

Algo como um seguidor de emissor, um FET ou um amplificador operacional apresenta uma boa carga.

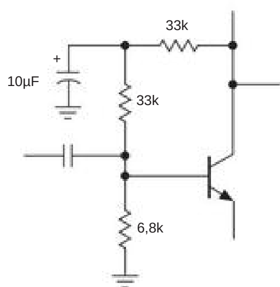


Figura 2.54. Eliminando feedback de redução de impedância em frequências de sinal.

Em amplificadores de RF destinados ao uso somente em uma faixa estreita de frequência, é comum usar um circuito *LC* paralelo como uma carga coletora. Nesse caso, é possível um ganho de tensão muito alto, pois o circuito *LC* possui alta impedância (como uma fonte de corrente) na frequência do sinal, com baixa impedância em CC. Como o *LC* está "sintonizado", sinais de interferência fora da banda (e distorção) são efetivamente rejeitados.

Bônus adicionais são a possibilidade de oscilações de saída pico a pico (pp) de 2VCC e o uso de acoplamento de transformador do indutor.

40 Em última análise, limitado pela resistência de saída do coletor finito do transistor (uma consequência do efeito Early); veja a discussão do efeito inicial no Capítulo *2x.*

Exercício 2.16. Projete um estágio amplificador de emissor comum sintonizado para operar a 100 kHz. Use um resistor de emissor desviado e defina a corrente quiescente em 1,0 mA. Suponha que VCC = +15 V e *L* = 1,0 mH e coloque um resistor de 6,2k no *LC* para definir *Q* = 10 (para obter uma passagem de banda de 10%; consulte §1.7.14). Use acoplamento de entrada capacitivo.

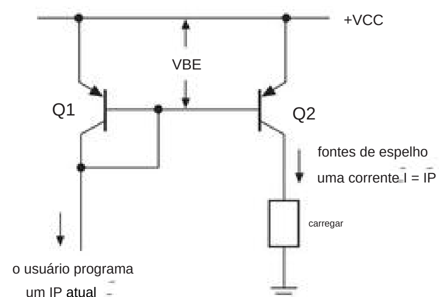


Figura 2.55. Clássico espelho de corrente de par combinado com transistor bipolar. Observe a convenção comum de se referir à alimentação positiva como VCC, mesmo quando são usados transistores *pnp* .

2.3.6 Um aparte: o transistor perfeito

Olhando para as propriedades do transistor BJT como o VBE diferente de zero (e dependente da temperatura) , a impedância do emissor finita (e dependente da corrente) re e a transcondutância *gm,* a corrente do coletor que varia com a tensão do coletor (efeito inicial) etc., fica-se tentado perguntar qual transistor é melhor? Existe um "melhor" transistor, ou talvez até mesmo um transistor *perfeito ?* Se você examinar nossas tabelas de transistores, por exemplo, Tabelas 2.1 e 2.2, e especialmente a Tabela 8.1 para transistores de pequenos sinais, verá que não há melhor candidato a transistor.

Isso ocorre porque todos os transistores bipolares físicos estão sujeitos à mesma física do dispositivo e seus parâmetros tendem a escalar com o tamanho da matriz e a corrente, etc.

No entanto, verifica-se que existe *um* candidato a um "transistor perfeito", se você não se limitar a uma única estrutura *npn* ou *pnp ;* veja a Figura 2.56. Este dispositivo tem propriedades quase ideais: VBE=0 V (!), juntamente com *gm* muito alto (portanto, baixo re) e beta muito alto. E ainda por cima, a corrente pode fluir em qualquer direção – é ambidestro, ou "bipolaridade" (dizer que é bipolaridade é melhor do que dizer que é um transistor bipolar bipolar). Como um BJT normal, é um dispositivo de transcondutância: quando acionado com um sinal de entrada VBE positivo, ele gera uma corrente de saída que é *gm* vezes maior e vice-versa (com um VBE negativo , ele drena uma corrente). Ao contrário de um BJT, porém, é não inversor. Todos os sinais são referenciados ao terra. Muito agradável.

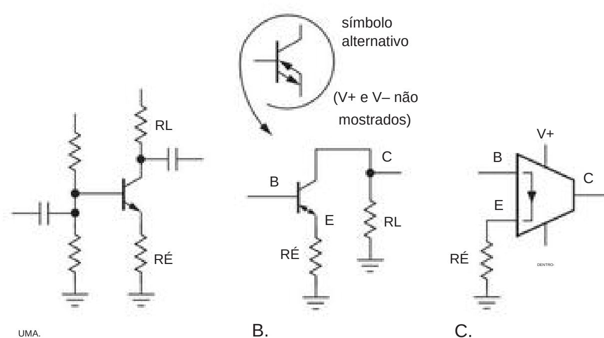


Figura 2.56. A. Um estágio amplificador BJT de emissor comum comum, com um resistor de degeneração do emissor RE e um resistor de carga RL. B. Em um amplificador de emissor comum construído com o transistor "perfeito", todos os sinais são referenciados ao terra, para o qual a carga RL também é retornada (as fontes de alimentação não são mostradas). C. O símbolo OTA para o transistor perfeito, implementado como um dispositivo Amplificador de Transcondutância Operacional. O símbolo de vértice truncado significa que o dispositivo tem uma saída de corrente.

Como funciona o transistor perfeito? A Figura 2.57 mostra um circuito de quatro transistores conhecido como *estágio de transistor de diamante.* Este circuito é uma variação do seguidor de emissor *pnp npn* em cascata na Figura 2.29: um seguidor de entrada *npn pnp* complementar é conectado em paralelo e polarizado com fontes de corrente; as saídas do emissor *(2VBE à* parte) acionam um seguidor de saída push-pull correspondente, que, portanto, funciona na mesma corrente quiescente. O nó comum é o emissor efetivo, E. Finalmente, um par de espelhos de corrente traz as duas correntes de coletor individuais para uma saída comum, o coletor efetivo, C, onde a corrente de saída é zero se a tensão de entrada (entre os terminais *B* e E) é zero. Como acontece com um BJT comum, qualquer corrente que entra (ou sai) do emissor tem que aparecer no coletor. A peça requer duas conexões de fonte de alimentação. Teremos mais a dizer sobre este interessante componente nos Capítulos *2x* e *4x.*

A Texas Instruments chama seu transistor perfeito (sua parte

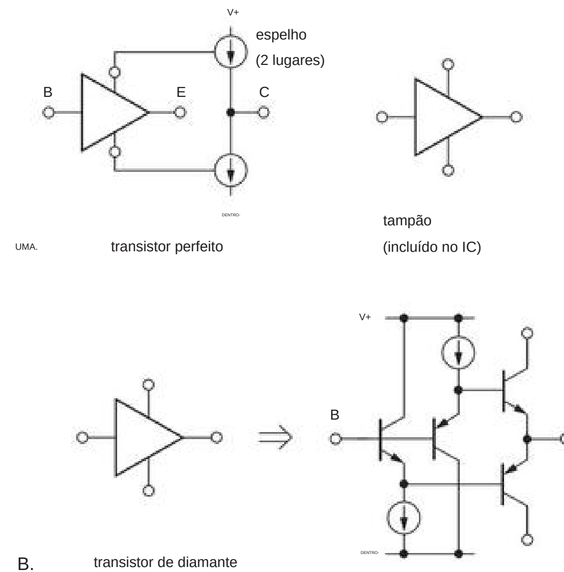


Figura 2.57. A. O transistor perfeito OPA860 inclui um transistor de diamante (o triângulo) e um par de espelhos de corrente. Um segundo transistor de diamante atua como um buffer de saída. B. O transistor de diamante consiste em um par complementar de seguidores de emissor compensados com cancelamento de deslocamento.

número é OPA86041) um Amplificador de Transcondutância Operacional (OTA). Outros nomes que eles usam são "fonte de corrente controlada por tensão", "transcondutor", "transistor macro" e "transportador de corrente positiva de segunda geração" (CCII+). Tememos que haja uma crise de identidade de marca, então, com eufemismo característico, estamos chamando-o de "transistor perfeito".

Quão perto da perfeição essas peças chegam? Os transistores perfeitos OPA860 e OPA861 possuem as seguintes especificações: Vos=3 mV tip (12 mV max), gm=95 mS, re=10.5ÿ, Zout=54kÿ2 pF, Zin=455kÿ2 pF, Iout(max)=±15 mA. Seu ganho máximo é 5100. Dificilmente perfeito, mas, ei, não tão ruim. Você pode criar muitos circuitos legais com esses filhotes (por exemplo, filtro ativo, circuito de soma de corrente de banda larga ou integrador para pulsos em escala de nanossegundos); consulte a folha de dados OPA860 para obter detalhes.

41 A versão OP861 da TI omite o buffer de saída e está disponível em um pequeno pacote SOT-23. Esse é um dos nossos estilos de pacote de montagem em superfície favoritos, disponível para muitos dos outros transistores mencionados em nossas tabelas. Leitores experientes reconhecerão o circuito de dentro de um feedback de corrente, ou CFB opamp. Alguns destes dispositivos (por exemplo o AD844) disponibilizam o nó interno.

2.3.7 Espelhos atuais

A técnica de polarização base-emissor combinada pode ser usada para fazer o que é chamado de *espelho de corrente,* um interessante circuito fonte de corrente que simplesmente inverte o sinal de uma corrente de "programação". (Figura 2.55). Você programa o espelho absorvendo uma corrente do coletor de Q1. Isso causa um VBE para Q1 apropriado para aquela corrente no circuito tem perature e para aquele tipo de transistor. Q2, combinado com Q1,[42] é assim programado para fornecer a mesma corrente para a carga. As pequenas correntes de base não são importantes.43

Uma boa característica deste circuito é a conformidade de tensão da fonte de corrente do transistor de saída dentro de alguns décimos de volt de VCC, já que não há queda do resistor do emissor para enfrentar. Além disso, em muitas aplicações é útil poder programar uma corrente com uma corrente. Uma maneira fácil de gerar a corrente de controle IP é com um resistor (Figura 2.58). Como as bases são uma queda de diodo abaixo de VCC, o resistor de 14,4k produz uma corrente de controle e, portanto, uma corrente de saída de 1 mA. Espelhos de corrente podem ser usados em circuitos de transistor sempre que uma fonte de corrente for necessária. Eles são muito populares em circuitos integrados, onde (a) os transistores combinados são abundantes e (b) o projetista tenta fazer circuitos que funcionem em uma ampla faixa de tensões de alimentação. Existem até amplificadores operacionais IC sem resistor nos quais a corrente operacional de todo o amplificador é definida por um resistor externo, com todas as correntes quiescentes dos estágios individuais do amplificador sendo determinadas por espelhos de corrente.

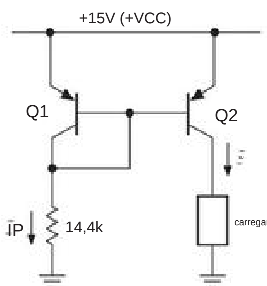


Figura 2.58. Programação corrente-espelho atual.

A. Limitações do espelho de corrente devido ao efeito inicial Um problema com o espelho de corrente simples é que a corrente de saída varia um pouco com as mudanças na tensão de saída, ou seja, a impedância de saída não é infinita. Isso ocorre devido à pequena variação de VBE com a tensão do coletor em uma determinada corrente em Q2 (que se deve ao efeito Early); Dito de outra maneira, a curva de corrente de coletor versus tensão coletor-emissor em uma tensão base-emissor fixa não é plana (Figura 2.59). Na prática, a corrente pode variar cerca de 25% na faixa de conformidade de saída – desempenho muito inferior ao da fonte de corrente com um resistor de emissor discutido anteriormente.

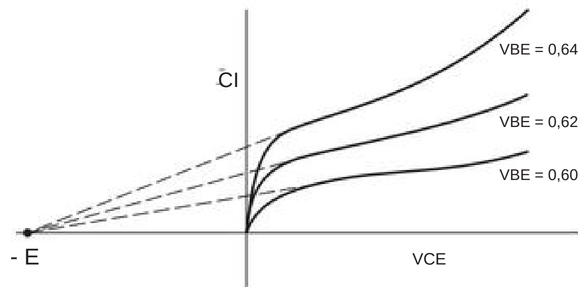


Figura 2.59. Efeito inicial: a corrente do coletor varia com o VCE. (Curiosamente, você obtém uma curva muito semelhante, com VA comparável, se aplicar, em vez disso, uma família de correntes de base constantes.)

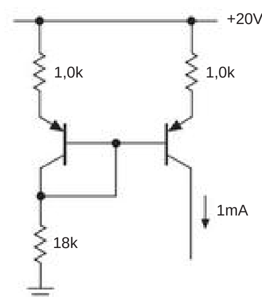


Figura 2.60. Espelho de corrente aprimorado com resistores de emissor.

Uma solução, se for necessária uma fonte de corrente melhor (de dez não é), é o circuito mostrado na Figura 2.60. Os resistores do emissor são escolhidos para ter pelo menos alguns décimos de queda de volt; isso torna o circuito uma fonte de corrente muito melhor, já que as pequenas variações de VBE com VCE agora são insignificantes na determinação da corrente de saída. Novamente, transistores casados devem ser usados. Observe que este circuito perde sua eficácia se for pretendida a operação em uma ampla faixa de corrente de programação (descubra o porquê).44

[42] Um transistor duplo monolítico é ideal; A Tabela 8.1b na página 502 lista a maioria dos transistores combinados disponíveis. Alguns, como o DMMT3904 e o 3906, são compatíveis com 1 mV e são bastante acessíveis, US$ 0,36 em pequenas quantidades.

[43] Esse circuito costuma ser chamado de espelho de corrente de Widlar; veja a referência na página 97 e a Patente US 3.320.439.

[44] Fontes de corrente e espelhos de corrente são discutidos com mais detalhes em Capítulo *2x.*

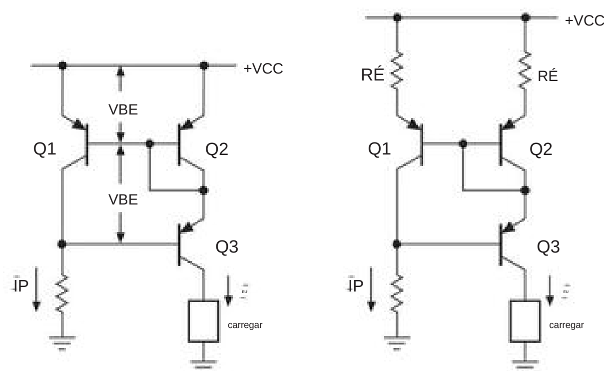


Figura 2.61. Espelho atual de Wilson. Boa estabilidade com variações de carga é obtida através do transistor cascode Q3, que reduz as variações de tensão em Q1. A adição de um par de resistores de emissor RE, conforme mostrado, reduz o erro de corrente de saída causado pela incompatibilidade de VBE , quando escolhido de forma que *IPRE* seja da ordem de 100 mV ou mais.

B. Espelho de Wilson

Outro espelho de corrente com consistência de corrente melhorada é mostrado no circuito inteligente da Figura 2.61. Q1 e Q2 estão na configuração de espelho usual, mas Q3 agora mantém o coletor de Q1 fixo em duas quedas de diodo abaixo de VCC. Isso contorna o efeito Early em Q1, cujo coletor agora é o terminal de programação, com Q2 agora fornecendo a corrente de saída. O resultado é que ambos os transistores determinantes de corrente *(Q1* e Q2) têm quedas coletor-emissor fixas; você pode pensar em Q3 como simplesmente passando a corrente de saída para uma carga de tensão variável (um truque semelhante é usado na conexão cascode, que você verá mais adiante neste capítulo). A propósito, o transistor Q3 não precisa ser combinado com Q1 e Q2; mas se tiver o mesmo beta, você obterá um cancelamento exato do (pequeno) erro de corrente de base que aflige o espelho simples da Figura 2.55 (ou o espelho aprimorado beta no Capítulo 2x).

Exercício 2.17. Mostre que esta afirmação é verdadeira.

Existem truques interessantes adicionais que você pode fazer com espelhos de corrente, como gerar várias saídas independentes ou uma saída que é um múltiplo fixo da corrente de programação. Um truque (inventado pelo lendário Widlar) é desequilibrar os REs na Figura 2.61; como uma estimativa aproximada, a relação da corrente de saída é aproximadamente a relação dos valores do resistor (porque as quedas base-emissor são aproximadamente iguais). Mas, para acertar, você precisa levar em consideração a diferença de VBEs (porque os transistores estão operando em correntes diferentes), para a qual o gráfico da Figura 2.62 é útil. Este gráfico também é útil para estimar o desequilíbrio de corrente em um espelho de corrente construído com discreto (ou seja, não combinados) transistores. Tratamos dos espelhos de corrente mais adiante no Capítulo *2x (§§2x.3* e *2x.11).*

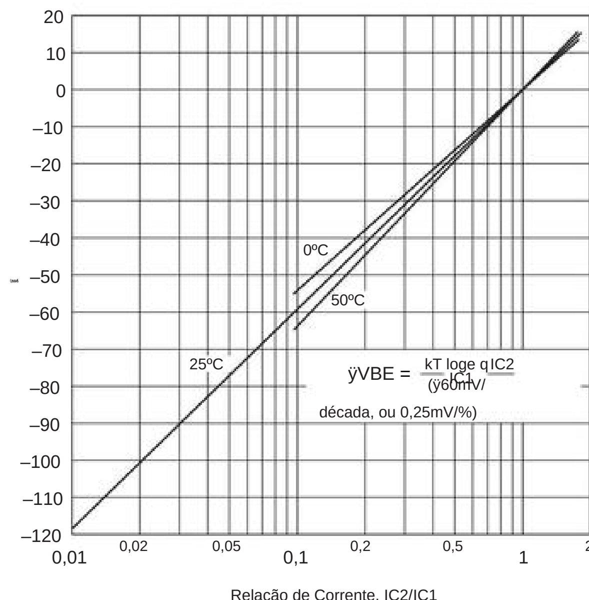


Figura 2.62. Taxas de corrente do coletor para transistores combinados, conforme determinado pela diferença nas tensões base-emissor aplicadas. Consulte a Tabela 8.1b para BJTs combinados de baixo ruído.

2.3.8 Amplificadores diferenciais

O amplificador diferencial é uma configuração muito comum usada para amplificar a diferença de tensão entre dois sinais de entrada. No caso ideal, a saída é totalmente independente dos níveis de sinal individuais – apenas a diferença importa.

Amplificadores diferenciais são importantes em aplicações nas quais sinais fracos são contaminados por “captação” e outros ruídos diversos. Os exemplos incluem sinais digitais e de RF transferidos por cabos de par trançado, sinais de áudio (o termo “balanceado” significa diferencial, geralmente impedância de 600 ÿ, no setor de áudio), sinais de rede local (como 100BASE-TX e 1000BASE-T Ethernet), tensões de eletrocardiograma, amplificadores de cabeça de disco magnético e inúmeras outras aplicações. Um amplificador diferencial na extremidade receptora restaura o sinal original se os sinais de "modo comum" interferentes (veja abaixo) não forem muito grandes.

Amplificadores diferenciais são usados universalmente em amplificadores operacionais, um bloco de construção essencial que é o assunto do Capítulo 4. Eles são muito importantes no projeto de amplificadores CC (amplificadores que amplificam claramente até CC, ou seja, não possuem capacitores de acoplamento) porque sua simetria o design é inerentemente compensado contra desvios térmicos.

Alguma nomenclatura: quando ambas as entradas mudam de nível juntas, isso é uma mudança de entrada *de modo comum* . Uma alteração diferencial é chamada *de modo normal* ou, às vezes , *modo diferencial.* Um bom amplificador diferencial tem uma alta *taxa de rejeição de modo comum* (CMRR), a taxa de resposta de um sinal de modo normal para a resposta de um sinal de modo comum da mesma amplitude. CMRR é geralmente especificado em decibéis. A faixa de entrada de modo comum é o nível de tensão sobre o qual as entradas podem variar. O amplificador diferencial às vezes é chamado de "par de cauda longa".

A Figura 2.63 mostra o circuito básico. A saída é retirada de um coletor em relação ao terra; isso é chamado *de saída de terminação única* e é a configuração mais comum.
Você pode pensar neste amplificador como um dispositivo que amplifica um sinal de diferença e o converte em um sinal de terminação única para que subcircuitos comuns (seguidores, fontes de corrente, etc.) possam fazer uso da saída. (Se, em vez disso, uma saída diferencial for desejada, ela será tomada entre os coletores.)

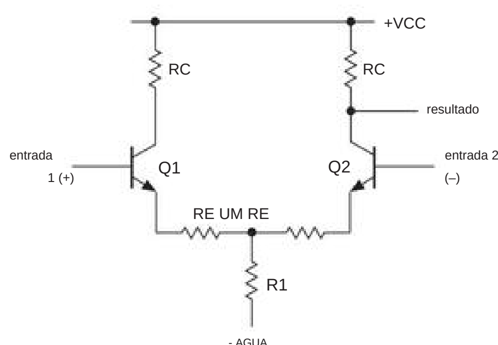


Figura 2.63. Amplificador diferencial de transistor clássico.

Qual é o ganho? Isso é fácil de calcular: imagine uma oscilação simétrica do sinal de entrada, na qual a entrada 1 aumenta em vin (uma variação de sinal pequeno) e a entrada 2 cai na mesma proporção. Enquanto ambos os transistores permanecerem na região ativa, o ponto *A* permanecerá fixo. Você então determina o ganho como com o amplificador de transistor único, lembrando que a mudança de entrada é na verdade o dobro da oscilação em qualquer base: Gdiff = RC/2(re +RE). Normalmente RE é pequeno, 100 ÿ ou menos, ou pode ser totalmente omitido. Ganhos de tensão diferencial de algumas centenas são possíveis.

Você pode determinar o ganho de modo comum colocando sinais idênticos vin em ambas as entradas. Se você pensar sobre isso corretamente45 (lembrando que R1 carrega ambas as correntes do emissor), você encontrará GCM = ÿRC/(2R1 +RE). aqui temos ig notou o pequeno re, porque R1 é tipicamente grande, pelo menos alguns milhares de ohms. Nós realmente poderíamos ter ignorado o RE também. O CMRR é, portanto, aproximadamente R1/(re +RE). Vejamos um exemplo típico (Figura 2.64) para obter alguma familiaridade com amplificadores diferenciais.

O resistor de coletor RC é escolhido para uma corrente quiescente de 100 A. Como de costume, colocamos o coletor em *0,5VCC* para numa ampla faixa dinâmica. O resistor de coletor de Q1 pode ser omitido, já que nenhuma saída é tomada lá.46 R1 é escolhido para dar o total A, dividido igualmente entre os dois lados quando a entrada corrente de emissor de 200 m (diferencial) é zero. Da fórmula que acabamos de derivar, esse amplificador tem um ganho diferencial de 10 e um ganho de modo comum de 0,55. Omitir os resistores de 1,0k aumenta o ganho diferencial para 50, mas reduz a impedância de entrada (diferencial) de cerca de 250k para cerca de 50k (você pode substituir os transistores Darlington47 no estágio de entrada para aumentar a impedância na faixa de megohm, se necessário) .

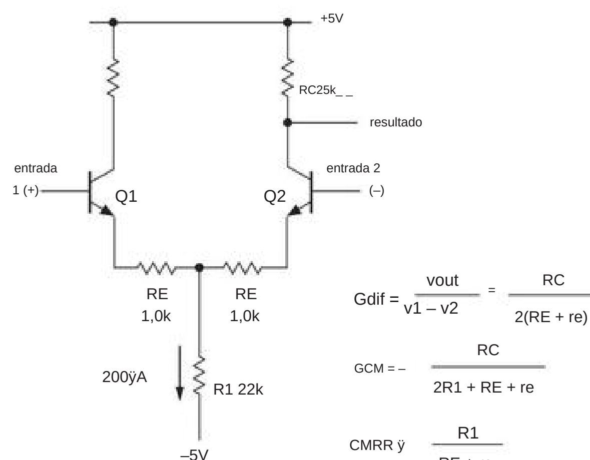


Figura 2.64. Cálculo do desempenho do amplificador diferencial.

Lembre-se de que o ganho máximo de um amplificador de emissor aterrado de terminação única polarizado para *0,5VCC* é de *20VCC* (em volts). No caso de um amplificador diferencial, o ganho diferencial máximo *(RE* = 0) é metade desse valor, ou (para ponto quiescente arbitrário) 20 vezes a tensão (em volts) através do resistor do coletor. O CMRR máximo correspondente (novamente com RE = 0) é igual a 20 vezes a tensão (em volts) em R1. Tal como acontece com o amplificador de emissor comum de terminação única, os resistores de emissor RE reduzem a distorção, no

[45] *Dica:* substitua R1 por um par paralelo, cada um com resistência 2R1; então observe que você pode cortar o fio que os conecta no ponto *A* (porque nenhuma corrente flui); pegue de lá.

[46] *Pode* ser omitido, mas às custas de quedas base-emissor balanceadas com precisão: você obtém um melhor balanceamento se mantiver os dois resistores de coletor (evitando o efeito Early); mas você suprime o efeito Miller (§2.4.5) na entrada 1 se você omitir o resistor coletor de Q1. 47 Ver §2.4.2.

despesa de ganho. Veja a extensa discussão sobre distorção do amplificador BJT no Capítulo *2x.*

Exercício 2.18. Verifique se essas expressões estão corretas. Em seguida, projete um amplificador diferencial para funcionar a partir de trilhos de alimentação de ± 5 V, com Gdiff = 25 e Rout = 10k. Como de costume, coloque o ponto quiescente do coletor na metade do VCC.

A. Polarização com uma fonte de corrente

O ganho de modo comum do amplificador diferencial pode ser reduzido enormemente pela substituição de R1 por uma fonte de corrente. Então R1 efetivamente se torna muito grande e o ganho de modo comum é quase zero. Se preferir, imagine uma oscilação de entrada em modo comum; a fonte de corrente do emissor mantém uma corrente de emissor total constante, compartilhada igualmente pelos dois circuitos coletores, por simetria. A saída é, portanto, inalterada. A Figura 2.65 mostra um exemplo. O CMRR deste circuito, usando um par de transistores monolíticos LM394 para Q1 e Q2, será em torno de 100.000:1 (100 dB) em CC. A faixa de entrada em modo comum para este circuito vai de -3,5 V a +3 V; é limitado na extremidade inferior pela complacência da fonte de corrente do emissor e na extremidade superior pela tensão quiescente do coletor.48

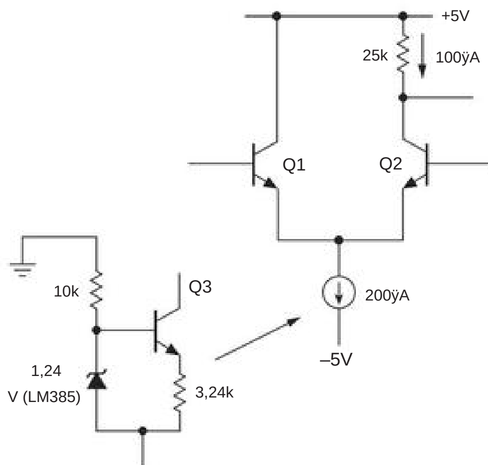


Figura 2.65. Melhorando o CMRR do amplificador diferencial com uma fonte de corrente.

Certifique-se de lembrar que este amplificador, como todos os amplificadores de transistor, deve ter um caminho de polarização CC para as bases. Se a entrada for acoplada capacitivamente, por exemplo, você deve ter resistores de base ao terra. Um cuidado adicional para amplificadores diferenciais, particularmente aqueles sem resistores entre emissores: os transistores bipolares podem tolerar apenas 6 volts de polarização reversa base-emissor antes da quebra; portanto, aplicar uma tensão de entrada diferencial maior que essa destruirá o estágio de entrada (se não houver resistor entre emissores). Um resistor entre emissores limita a corrente de ruptura e evita a destruição, mas mesmo assim os transistores podem ser degradados (em beta, ruído, etc.). Em ambos os casos, a impedância de entrada cai drasticamente durante a condução reversa.

Um aparte interessante: o dissipador de corrente do emissor mostrado na Figura 2.65 tem alguma variação com a temperatura, porque VBE diminui com o aumento da temperatura (na ordem de aproximadamente ÿ2,1 mV/ÿC, §2.3.2), fazendo com que a corrente aumente. Mais explicitamente, se chamarmos o zener de 1,24 V como referência "Vref", então a queda no resistor do emissor é igual a Vref-VBE; a corrente é proporcional, aumentando assim com a temperatura. Acontece que isso é de fato *benéfico:* pode ser mostrado a partir da teoria básica do transistor que a quantidade Vg0ÿVBE é aproximadamente proporcional à temperatura absoluta (PTAT), onde *Vg0* é a tensão de bandgap do silício (extrapolada para o zero absoluto), aproximadamente 1,23 V. Assim, escolhendo nossa tensão Vref igual à tensão bandgap, temos uma corrente de emissor que aumenta o PTAT; e isso cancela a dependência de temperatura do ganho de tensão de par diferencial *(gm* ÿ 1/Tabs, §2.3.2). Exploraremos um pouco mais esse tipo de esperteza em §9.10.2. E no Capítulo 9 há uma extensa discussão sobre o amplificador diferencial e o intimamente relacionado “amplificador de instrumentação”.

B. Uso em amplificadores CC de terminação simples Um amplificador diferencial é um excelente amplificador CC, mesmo para entradas de terminação única. Basta aterrar uma das entradas e conectar o sinal na outra (Figura 2.66).

Você pode pensar que o transistor “não utilizado” pode ser eliminado. Não tão! A configuração diferencial é inerentemente compensada por desvios de temperatura, e mesmo quando uma entrada está aterrada, o transistor ainda está fazendo algo: uma mudança de temperatura faz com que ambos os VBEs mudem na mesma quantidade, sem mudança no equilíbrio ou na saída. Ou seja, as mudanças no VBE não são amplificadas pelo Gdiff (somente pelo GCM, que pode ser praticamente zero). Além disso, a interrupção dos VBEs significa que não há quedas de 0,6 V na entrada com que se preocupar. A qualidade de um amplificador CC construído dessa maneira é limitada apenas pela incompatibilidade dos VBEs de entrada ou seus coeficientes de temperatura. Pares de transistores monolíticos comerciais e ICs amplificadores diferenciais comerciais estão disponíveis com correspondência extremamente boa (por exemplo, o par combinado monolítico *npn* MAT12 tem um desvio típico de

48 Você também pode fazer bons dissipadores de corrente com JFETs (consulte a discussão em §3.2.2C), mas os BJTs são melhores para essa tarefa de várias maneiras. Veja, por exemplo, a Figura 3.26, onde mostramos quatro configurações de dissipadores de corrente BJT que melhoram a alternativa JFET.

VBE entre os dois transistores de 0,15 V/ÿC). Consulte a Tabela 8.1b na página 502 para obter uma lista de BJTs correspondentes.

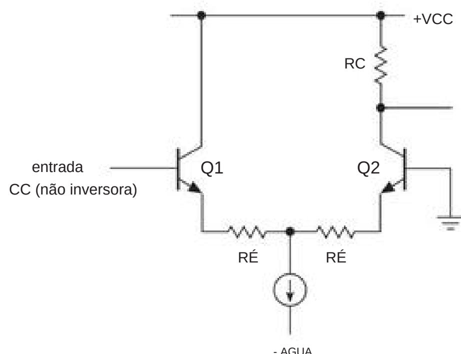


Figura 2.66. Um amplificador diferencial pode ser usado como um amplificador CC de terminação simples de precisão.

Qualquer uma das entradas poderia ter sido aterrada no exemplo de circuito anterior. A escolha depende se o amplificador deve ou não inverter o sinal. (A configuração mostrada é preferível em altas frequências, no entanto, por causa do *efeito Miller;* consulte §2.4.5.) A conexão mostrada é não inversora e, portanto, a entrada inversora foi aterrada. Essa terminologia é transferida para amplificadores operacionais, que são amplificadores diferenciais de alto ganho versáteis.

C. Carga ativa de espelho de corrente

Assim como acontece com o amplificador de emissor aterrado simples, algumas vezes é desejável ter um amplificador diferencial de estágio único com ganho muito alto. Uma solução elegante é uma carga ativa espelhada atual (Figura 2.67). *Q1Q2* é o par diferencial com a fonte de corrente do emissor. Q3 e Q4, um espelho de corrente, formam a carga do coletor. A alta impedância efetiva de carga do coletor fornecida pelo espelho produz ganhos de tensão de 5.000 ou mais, assumindo nenhuma carga na saída do amplificador.[49] Tal amplificador é muito comum como o estágio de entrada em um circuito maior e geralmente é usado apenas dentro de um loop de feedback, ou como um comparador (discutido na próxima seção). Certifique-se de manter a impedância de carga de tal amplificador muito alta, ou o ganho cairá enormemente.

D. Amplificadores diferenciais como divisores de fase

Os coletores de um amplificador diferencial simétrico geram oscilações de sinal iguais de fase oposta. Tirando puts de ambos os coletores, você tem um divisor de fase. Claro, você também pode usar um amplificador diferencial com ambos

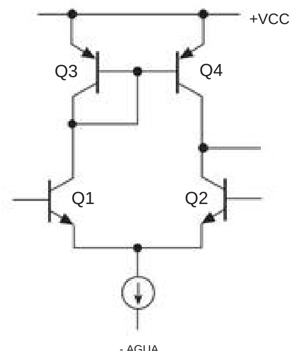


Figura 2.67. Amplificador diferencial com carga de espelho de corrente ativa.

entradas diferenciais e saídas diferenciais. Esse sinal de saída diferencial poderia então ser usado para acionar um estágio amplificador diferencial adicional, com rejeição de modo comum geral muito melhorada.

E. Amplificadores diferenciais como comparadores

Por causa de seu alto ganho e características estáveis, o amplificador diferencial é o principal bloco de construção do comparador (que vimos em §1.4.2E), um circuito que informa qual das duas entradas é maior . Eles são usados para todos os tipos de aplicações: ligar luzes e aquecedores, gerar ondas quadradas a partir de triângulos, detectar quando um nível em um circuito excede algum limite específico, amplificadores de classe D e modulação de código de pulso, comutação de fontes de alimentação, etc. A idéia básica é conectar um amplificador diferencial para que ele ligue ou desligue um transistor, dependendo dos níveis relativos dos sinais de entrada. A região linear de amplificação é ignorada, com um ou outro dos dois transistores de entrada cortados a qualquer momento. Uma conexão típica é ilustrada em §2.6.2 por um circuito de controle de temperatura que usa um sensor de temperatura resistivo (termistor).

2.4 Alguns blocos de construção do amplificador

Já vimos a maioria das configurações básicas - e importantes - do circuito do transistor: interruptor, seguidor, fonte de corrente (e espelho) e amplificador de emissor comum (ambos de terminação única e diferencial). No restante do capítulo, veremos algumas elaborações de circuitos e suas consequências: push-pull, Darlington e Sziklai, bootstrap ping, efeito Miller e a configuração do cascode. Terminaremos com uma introdução à maravilhosa (e essencial) técnica do *feedback negativo.* O Capítulo *2x* trata de circuitos e técnicas de transistores subsequentes em um nível maior de sofisticação.

[49] O ganho DC é limitado principalmente pelo efeito Early; veja §2.3.2 e a discussão no Capítulo *2x.*

Tabela 2.2 Transistor de Potência Bipolara

NPN	PNP	Caso	VCEO máximo (DENTRO)	ic maxb (UMA)	Pdiss maxb,h (W)	RÿJC c (ºC/W)	hFE min	hFE modelo	no Ic min (A)	fT (MHz)	manf múltiplo?
BJT padrão											
BD139	BD140 TO-126		80	1,5	12,5 10		40e 100		0,15 50		•
2N3055	2N2955	TO-3	60	15	115	1,5	20	--	4	2,5	•
2N6292	2N6107 TO-220		70	7	40	3,1	30	--	2	4	–
TIP31C	TIP32C TO-220 100				40	3.1	25	100		3	•
Dica33C	TIP34C TO-218d 100			3 10	80	1.6	40	100	1 1	3	•
TIP35C	TIP36C TO-218d 100			25	125	1,0	25	150	1,5		•
MJ15015	MJ15016	TO-3 120		15	180	1,0	20	35	4	3 0,8g	–
MJE15030	MJE15031	TO-220 150		8	50	2,5	40	80	3	30	•,Com
MJE15032	MJE15033 TO-220 250			8	50	2,5	50	100	1	30	•
2SC5200	2SA1943 TO-264 230			17	150	0,8	55	80	1	30	•
2SC5242k	2SA1962k TO-3P 250			s	s	s	s	s	s	s	•
MJE340	MJE350 TO-126 300			0,5 20 1 40			30	--	0,05	--	•
TIPO47	MJE5730 TO-220 250					6 3.1	30	--	0,3	10	•
TIP50u	MJE5731Au TO-220 400			s				--		s	•
MJE13007	MJE5852 TO-220 400f			8	anos 80	s 1.6	s 8g	s 20g 2		14t	–
Darlington											
MJD112	MJD117	DPak 100		2	20	6,3 1000 2000 1,9 1000			2	25	•
DICA122	TIP127 TO-220 100			5	65			--	3	--	•
DICA142	TIP147 TO-218 100			10	125	1,0 1000 0,9		--		--	•
MJ11015	MJ11016	TO-3 120		30	200	1000		5 -- 20		4	•
MJ11032	MJ11033	TO-3 120		50	300	0,6 1000 0,8		-- 25 10		--	•
MJH11019	MJH11020 TO-218 200v 15				150	400		--		3	•

Notas: (a) ordenadas mais ou menos por tensão, corrente e famílias; veja também tabelas adicionais no Capítulo 2x. (b) com caso em 25C. (c) Pdiss(realidade) =(TJ[seu-valor-max] – Tamb) / (RÿJC + RÿCS + RÿSA); este é um número muito menor do que a "especificação", especialmente se você for cuidadoso com TJ max, digamos 100ºC. (d) semelhante ao TO-247. (e) graus de ganho mais altos estão disponíveis. (f) capacidade de ``bloqueio'' VCES muito maior (em comparação com Vceo), por exemplo, 700V para MJE13007. (g) maior para o dispositivo PNP. (h) Pdiss(max) = (150ºC–25ºC) / RÿJC; este é um valor clássico de especificação de folha de dados. (k) versão maior do pacote acima. (s) o mesmo que acima. (t) típico. (u) versão de tensão mais alta acima. (v) também existem versões 150V e 250V. (z) se forem difíceis de obter, experimente as versões '028 e '029 (120 V em vez de 150 V).

2.4.1 Estágios de saída push-pull

Como mencionamos anteriormente no capítulo, um seguidor de emissor *npn* não pode drenar corrente e um seguidor *pnp* não pode fornecer corrente. O resultado é que um seguidor de terminação única operando entre fontes divididas pode acionar uma carga com retorno de terra somente se uma alta corrente quiescente for usada.50 A corrente quiescente deve ser pelo menos tão grande quanto a corrente de saída máxima durante os picos do forma de onda, resultando em alta dissipação de energia quiescente. Por exemplo, a Figura 2.68 mostra um circuito seguidor para acionar uma carga de alto-falante de 8 ÿ com até 10 watts de áudio.

Uma explicação do estágio do driver: o seguidor *pnp* Q1 é incluído para reduzir os requisitos do drive e para cancelar o deslocamento VBE do Q2 (0 V de entrada fornece aproximadamente 0 V de saída). Q1 poderia, é claro, ser omitido para simplificar. A forte fonte de corrente na carga do emissor de Q1 é usada para garantir que haja acionamento de base suficiente para Q2 no topo da oscilação do sinal. Um resistor como carga de emissor seria inferior porque teria que ser um valor bastante baixo (50 ÿ ou menos) para garantir pelo menos 50 mA de acionamento de base para Q2 no pico da oscilação, quando a corrente de carga seria máximo e a queda no resistor seria mínima; a corrente quiescente resultante em Q1 seria excessiva.

A saída deste circuito de exemplo pode oscilar para aproximadamente ±15 volts (pico) em ambas as direções, fornecendo a potência de saída desejada (9 V rms em 8 ÿ). No entanto, o transistor de saída dissipa 55 watts sem sinal (daí o símbolo do dissipador de calor) e o resistor do emissor dissipa outros 110 watts. A dissipação de energia quiescente muitas vezes maior que a potência máxima de saída é característica desse tipo de circuito classe A (transistor sempre em condução);

[50] Um amplificador no qual a corrente flui no transistor de saída ao longo de toda a oscilação da forma de onda é algumas vezes chamado de amplificador "classe A".

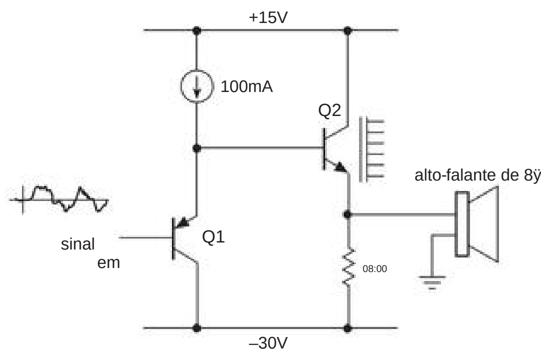


Figura 2.68. Um amplificador de alto-falante de 10 W, construído com um seguidor de emissor simples, dissipa 165 W de potência quiescente!

isso obviamente deixa muito a desejar em aplicações nas quais qualquer quantidade significativa de energia está envolvida.

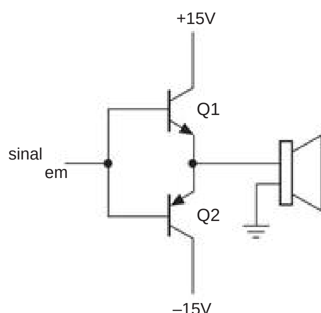


Figura 2.69. Seguidor de emissor push-pull.

A Figura 2.69 mostra um seguidor *push-pull* fazendo o mesmo trabalho. Q1 conduz em oscilações positivas, Q2 em oscilações negativas. Com tensão de entrada zero, não há corrente de coletor nem dissipação de energia. Com 10 watts de potência de saída, há menos de 10 watts de dissipação em cada transistor.51

A. Distorção de cruzamento em estágios push-pull Há um problema com o circuito anterior conforme desenhado. A saída segue a entrada por uma queda VBE ; em oscilações positivas, a saída é cerca de 0,6 V menos positiva que a entrada, e o inverso para oscilações negativas. Para uma onda senoidal de entrada, a saída seria como mostrado na Figura 2.70. Na linguagem do negócio de áudio, isso é chamado de *distorção cruzada.* A melhor cura (o feedback oferece outro método, embora por si só não seja totalmente satisfatório; consulte §4.3.1E) é polarizar o estágio push-pull para uma condução leve, como na Figura 2.71.

Os resistores de polarização *R* trazem os diodos para a condução direta, mantendo a base de Q1 uma queda de diodo acima da entrada

51 Um amplificador como este, com condução de meio ciclo em cada um dos transistores de saída, às vezes é chamado de amplificador “classe B”.

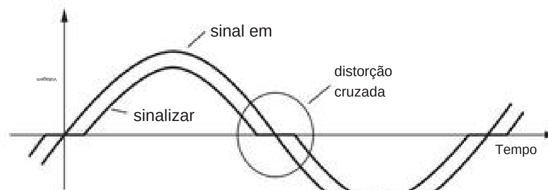


Figura 2.70. Distorção cruzada no seguidor push-pull.

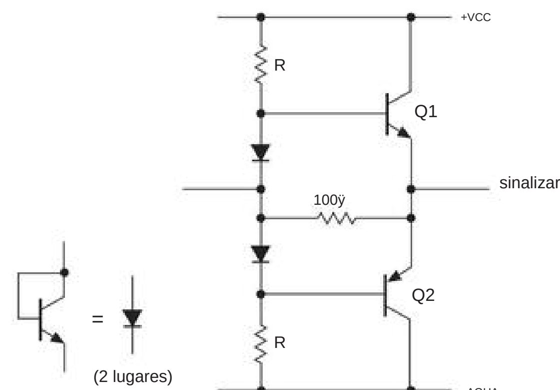


Figura 2.71. Polarizando o seguidor push-pull para eliminar a distorção do crossover.

sinal e base de Q2 um diodo cair abaixo do sinal de entrada. Agora, quando o sinal de entrada passa por zero, a condução passa de Q2 para Q1; um dos transistores de saída está sempre ligado. O valor *R* dos resistores de base é escolhido para fornecer corrente de base suficiente para os transistores de saída no pico de oscilação de saída. Por exemplo, com fontes de ±20 V e uma carga de 8 ÿ funcionando com até 10 watts de potência de onda senoidal, a tensão base de pico é de cerca de 13,5 volts e a corrente de carga de pico é de cerca de 1,6 amperes. Assumindo um transistor beta de 50 (os transistores de potência geralmente têm menor ganho de corrente do que os transistores de pequeno sinal), os 32 mA de corrente de base necessários exigirão resistores de base de cerca de 220 ÿ (6,5 V de VCC para base no pico de oscilação).

Neste circuito, adicionamos um resistor da entrada à saída (isso também poderia ter sido feito na Figura 2.69). Isso serve para eliminar a “zona morta” conforme a condução passa de um transistor para o outro (particularmente no primeiro circuito), o que é desejável especialmente quando esse circuito está incluído em um circuito de realimentação maior. No entanto, isso não substitui o melhor procedimento de linearização por polarização, como na Figura 2.71, para obter a condução do transistor em toda a forma de onda de saída. Temos mais a dizer sobre isso no Capítulo *2x.*

Machine Translated by Google

B. Estabilidade térmica em amplificadores push-pull classe B O amplificador anterior tem uma característica infeliz: não é termicamente estável. À medida que os transistores de saída esquentam (e eles vão esquentar, porque estão dissipando energia quando o sinal é aplicado), seu VBE cai, fazendo com que a corrente quiescente flua. O calor adicional que isso produz faz com que a situação piore, com a forte possibilidade do que é chamado de *fuga térmica* (sair ou não depende de uma série de fatores, incluindo o tamanho do "dissipador de calor" usado, quão bem o diodo temperatura rastreia a temperatura do transistor, etc.). Mesmo sem fuga, é necessário um melhor controle sobre o circuito, geralmente com o tipo de arranjo mostrado na Figura 2.72.

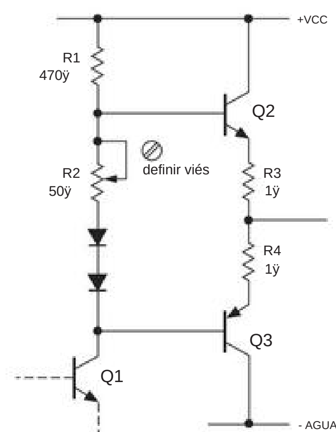


Figura 2.72. Adicionar (pequenos) resistores de emissor melhora a estabilidade térmica no seguidor push-pull.

Para variedade, a entrada é mostrada vindo do coletor do estágio anterior; R1 agora serve ao duplo propósito de ser o resistor coletor de Q1 e também fornecer corrente para polarizar os diodos e o resistor de ajuste de polarização no circuito base push-pull. Aqui R3 e R4, normalmente alguns ohms ou menos, fornecem uma "almofada" para a polarização crítica da corrente quiescente: a tensão entre as bases dos transistores de saída agora deve ser um pouco maior que duas quedas de diodo, e você fornece o extra com resistor de polarização ajustável R2 (muitas vezes substituído por um diodo de terceira série ou, melhor, com o circuito de polarização mais elegante da Figura 2.78 na página 111). Com alguns décimos de volt entre R3 e R4, a variação de temperatura de VBE não faz com que a corrente suba muito rapidamente (quanto maior a queda entre R3 e R4, menos sensível ela é) e o circuito ficará estável . A estabilidade é melhorada com a montagem dos diodos52

[52] Ou, melhor, transistores conectados a diodo: conecte a base e o coletor juntos como "ânodo" com o emissor como "cátodo".

em contato físico com os transistores de saída (ou seus dissipadores de calor).

Você pode estimar a estabilidade térmica de tal circuito lembrando que a queda base-emissor diminui cerca de 2,1 mV para cada aumento de 1ÿC e que a corrente do coletor aumenta em um fator de 10 para cada aumento de 60 mV na base- tensão do emissor (ou 4% por mV). Por exemplo, se R2 fosse substituído por um diodo, você teria três gotas de diodo entre as bases de Q2 e Q3, deixando cerca de uma queda de diodo na combinação em série de R3 e R4.

(O último seria então escolhido para fornecer uma corrente quiescente apropriada, talvez 100 mA para um amplificador de potência de áudio.) O pior caso para estabilidade térmica ocorre se os diodos de polarização não estiverem termicamente acoplados aos transistores de saída.

Vamos assumir o pior e calcular o aumento de corrente quiescente no estágio de saída correspondente a um aumento de temperatura de 30°C na temperatura do transistor de saída. A propósito, isso não é muito para um amplificador de potência. Para esse aumento de temperatura, o VBE de cada transistor de saída diminuirá em cerca de 63 mV em corrente constante, elevando a tensão entre R3 e R4 em cerca de 50% (ou seja, a corrente quiescente aumentará em cerca de 50%). O valor correspondente para o circuito amplificador anterior sem resistores de emissor (Figura 2.71) será um fator de 10 aumento na corrente quiescente (lembre-se que IC aumenta uma década por aumento de 60 mV em VBE), ou seja, 1000%. A estabilidade térmica aprimorada desse arranjo de polarização (mesmo sem ter os diodos acoplados termicamente aos transistores de saída) é evidente. E você se sairá significativamente melhor quando os diodos (ou transistores conectados a diodos ou, melhor de tudo, polarização referenciada por VBE, conforme mostrado na Figura 2.78) acompanham o dissipador de calor.

Este circuito tem a vantagem adicional de que, ajustando a corrente quiescente, você tem algum controle sobre a quantidade de distorção de crossover residual. Um amplificador push-pull polarizado dessa maneira para obter uma corrente quiescente substancial no ponto de cruzamento é às vezes chamado de amplificador "classe AB", o que significa que ambos os transistores conduzem simultaneamente durante uma parte significativa do ciclo. Na prática, você escolhe uma corrente quiescente que é um bom compromisso entre baixa distorção e dissipação quiescente excessiva. O feedback, introduzido posteriormente neste capítulo (e explorado descaradamente e com alegria, no Capítulo 4), é quase sempre usado para reduzir ainda mais a distorção.

Veremos uma evolução adicional desse circuito em §2.4.2, onde o complementamos com as técnicas intrigantes de polarização referenciada por VBE, ping de inicialização do coletor e estágio de saída Darlington complementar de reforço.

C. Amplificadores "classe-D"

Uma solução interessante para todo esse negócio de dissipação (e distorção) de potência em amplificadores de potência linear classe-AB é abandonar totalmente a ideia de um estágio linear e usar um esquema de *comutação :* imagine que os transistores push-pull Q2 e Q3 na Figura 2.72 são substituídos por um par de *interruptores de transistor,* com um ON e o outro OFF a qualquer momento, de modo que a saída seja comutada completamente para +VCC ou para -VCC a qualquer instante. Imagine também que esses interruptores sejam operados em alta frequência (digamos, pelo menos 10 vezes a frequência de áudio mais alta) e que seu tempo relativo seja controlado (por técnicas que veremos mais adiante, nos Capítulos 10–13) de modo que a saída *média* tensão é igual à saída analógica desejada. Por fim, adicionamos um filtro passa-baixa *LC* para eliminar o sinal de comutação alto, deixando a saída analógica desejada (frequência mais baixa) intacta.

Este é um amplificador *de classe D* ou *de comutação .* Tem a vantagem de uma eficiência muito alta, pois os transistores de chaveamento estão desligados (sem corrente) ou em saturação (tensão próxima de zero); ou seja, a potência dissipada nos transistores de chaveamento (o produto VCE × IC) é sempre pequena. Também não há preocupação com fuga térmica. As desvantagens são os problemas de emissão de ruído de alta frequência, comutação do feedthrough para a saída e a dificuldade de obter excelente linearidade.

Os amplificadores de classe D são quase universais em equipamentos de áudio baratos e estão cada vez mais encontrando seu caminho em equipamentos de áudio de última geração. A Figura 2.73 mostra as formas de onda medidas de um IC amplificador de classe D barato (e minúsculo!) conduzindo uma carga de 5 ÿ com uma onda senoidal no limite superior da faixa de áudio (20 kHz). Este IC específico usa uma frequência de comutação de 250 kHz e pode direcionar 20 watts cada para um par de alto-falantes estéreo; praticamente tudo que você precisa (exceto os filtros *LC* de saída) está no chip, que custa cerca de US$ 3 em pequenas quantidades. Muito arrumado.

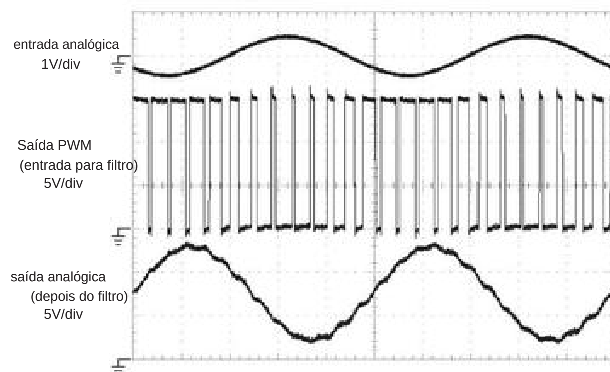


Figura 2.73. Formas de onda do amplificador Classe D: uma onda senoidal de entrada de 20 kHz controla o "ciclo de trabalho" (fração de tempo em que a saída é ALTA) de uma saída comutada push-pull. Essas formas de onda são de um chip amplificador estéreo TPA3123 funcionando a partir de +15V e mostram a saída PWM (modulada por largura de pulso) pré-filtrada e a saída suavizada final após o filtro de saída passa -baixa *LC* . Horizontal: 10 ms/div.

2.4.2 Conexão Darlington

Se você conectar dois transistores como na Figura 2.74, o resultado – chamado de *conexão Darlington*53 (ou *par Darlington)* – se comporta como um único transistor com beta igual ao produto dos dois transistores betas.54 Isso pode ser muito útil quando altas correntes estão envolvidos (por exemplo, reguladores de tensão ou estágios de saída do amplificador de potência), ou para estágios de entrada de amplificadores onde impedância de entrada muito alta é necessária

imagem.

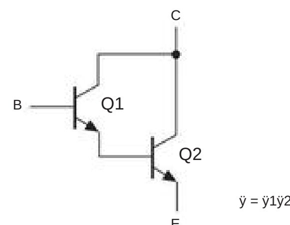


Figura 2.74. Configuração do transistor Darlington.

Para um transistor Darlington, a queda base-emissor é duas vezes normal e a tensão de saturação é de pelo menos uma queda de diodo (já que o emissor de Q1 deve ser uma queda de diodo acima do emissor de Q2). Além disso, a combinação tende a agir como um transistor bastante lento porque Q1 não pode desligar Q2 rapidamente. Esse problema geralmente é resolvido incluindo um resistor da base ao emissor de Q2 (Figura 2.75). O resistor *R* também evita que a corrente de fuga através de Q1 envie Q2 para a condução;55 seu valor é escolhido de forma que a corrente de fuga de Q1 (nanoampères para transistores de sinal pequeno, tanto quanto centenas de microampères para transistores de potência) produza menos que uma queda de diodo R, e para que *R* não absorva uma grande proporção da corrente de base de Q2 quando houver uma queda de diodo através dele. Normalmente *R* pode ser algumas centenas de ohms em

[53] Sidney Darlington, Patente dos EUA 2.663.806: "Dispositivo de tradução de sinais semicondutores". Darlington queria que a patente cobrisse qualquer número de transistores em um pacote, mas os advogados do Bell Laboratories o rejeitaram, abrindo mão de uma patente que cobriria todos os CIs.

[54] Na corrente de operação de cada transistor, é claro.

55 E, ao estabilizar a corrente do coletor do Q1, melhora a previsibilidade do VBE total do Darlington .

um transistor de potência Darlington, ou alguns milhares de ohms para um Darlington de pequeno sinal.

Os transistores Darlington estão disponíveis como pacotes individuais, geralmente com o resistor base-emissor incluído. Um exemplo típico é o *npn* power Darlington MJH6284 (e primo *pnp* MJH6287), com um ganho de corrente de 1000 (típico) em uma corrente de coletor de 10 amperes. Outro poder popular Darlington é o barato *npn* TIP142 (e primo *pnp* TIP147): estes custam $ 1 em pequenas quantidades e têm típico = 4000 em IC = 5 A. E para aplicações de pequenos sinais, gostamos do amplamente disponível MPSA14 ou o MMBTA14 (em pacotes TO-92 e SOT23, respectivamente), com beta mínimo de 10.000 a 10 mA e 20.000 a 100 mA. Essas peças de 30 volts não têm resistor de base-emissor interno (portanto, você pode usá-las em correntes muito baixas); eles custam menos de $ 0,10 em pequenas quantidades. A Figura 2.76 mostra beta versus corrente de coletor para essas partes; observe os valores agradavelmente altos de beta, mas com dependência substancial tanto da temperatura quanto da corrente do coletor.

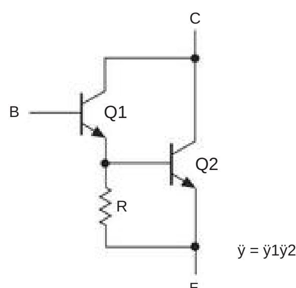


Figura 2.75. Melhorando a velocidade de desligamento em um par Darlington. (A fórmula beta é válida desde que *R* não roube corrente de base significativa de Q2.)

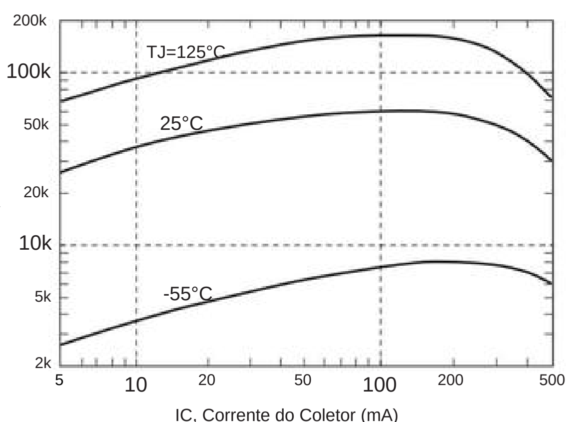


Figura 2.76. Beta típico versus corrente de coletor para o popular MPSA14 *npn* Darlington (adaptado do datasheet).

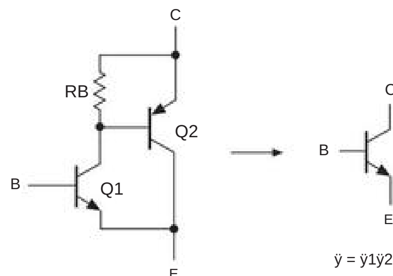


Figura 2.77. Conexão Szikla ("Darlington complementar").

A. Conexão Sziklai Uma configuração de reforço beta semelhante é a conexão Sziklai,56 às vezes chamada de Dar lington complementar (Figura 2.77). Essa combinação se comporta como um transistor *npn* , novamente com beta grande. Ele tem apenas uma única queda base-emissor, mas (como o Darlington) também não pode saturar para menos de uma gota de diodo. Um resistor de base para emissor de Q2 é aconselhável, pelas mesmas razões que com o Darlington (corrente de fuga; velocidade; estabilidade do VBE). Essa conexão é comum em estágios de saída de potência push-pull nos quais o projetista pode desejar usar apenas uma polaridade do transistor de saída de alta corrente. No entanto, mesmo quando usado como pares de polaridade complementar, geralmente é preferível ao Darlington para amplificadores e outras aplicações lineares; isso ocorre porque ele tem a vantagem de uma única queda de VBE (em vez de duas), e essa queda de tensão é estabilizada pelo resistor base-emissor do transistor de saída. Por exemplo, se RB for escolhido de forma que sua corrente (com uma queda nominal de VBE através dele) seja 25% da corrente de base do transistor de saída no pico de saída, então o transistor do driver vê uma corrente de coletor que varia apenas um fator de 5; portanto, seu VBE (que é o VBE de Sziklai) varia apenas 40 mV *(VT* ln 5) durante a oscilação total da corrente de saída. A configuração Sziklai é discutida com mais detalhes no Capítulo 2x (ver *§2x.10);* e você encontrará bons exemplos de circuitos que dependem do

[56] George C. Sziklai, "Propriedades simétricas de transistores e suas aplicações", *Proc. IRE* **41,** 717–24 (1953) e patentes dos EUA 2.762.870 e 2.791.644. Sua nova configuração complementar está enterrada na Figura 8, onde ele observa que "A simetria complementar dos transistores encontra uma aplicação interessante quando aplicada à cascata de estágios de amplificadores push-pull". O circuito evidentemente foi concebido por Sziklai, Lohman e Herzog, para uma demonstração de TV transistorizada na RCA; o senso comum era que os transistores não eram bons o suficiente para a tarefa. Nos primeiros CIs, onde apenas transistores *pnp* ruins estavam disponíveis, um *npn* adicional foi adicionado, no estilo Sziklai, para aumentar a capacidade atual do *pnp;* a combinação foi chamada de " *pnp* lateral composto ".

As propriedades únicas de Sziklai na seção do capítulo “Distorção do amplificador BJT: uma exploração do SPICE”.

A Figura 2.78 mostra um bom exemplo de um estágio de saída Szik lai push-pull. Isso tem uma vantagem importante em comparação com a alternativa de Darlington, ou seja, que o polarização do par *Q3Q5* em condução de classe AB (para minimizar a distorção de crossover) tem apenas duas quedas base-emissor, em vez de quatro; e, mais importante, Q3 e Q5 estão funcionando bem em comparação com os transistores de saída *(Q4* e Q6), portanto, eles podem ter uma queda base-emissor estável. Isso permite correntes quiescentes mais altas do que com o Darlington convencional, onde você deve deixar uma margem de segurança maior; resultado final, menor distorção.57

Neste circuito, o Q2 funciona como um “ multiplicador VBE ajustável ” para polarização, aqui configurável de 1 a 3,5 VBE's; ele é ignorado nas frequências do sinal. Outro truque do circuito é o “bootstrapping” do resistor do coletor de Q1 por C1 (consulte §2.4.3), aumentando sua resistência efetiva nas frequências do sinal e aumentando o ganho do loop do amplificador para produzir menor distorção.

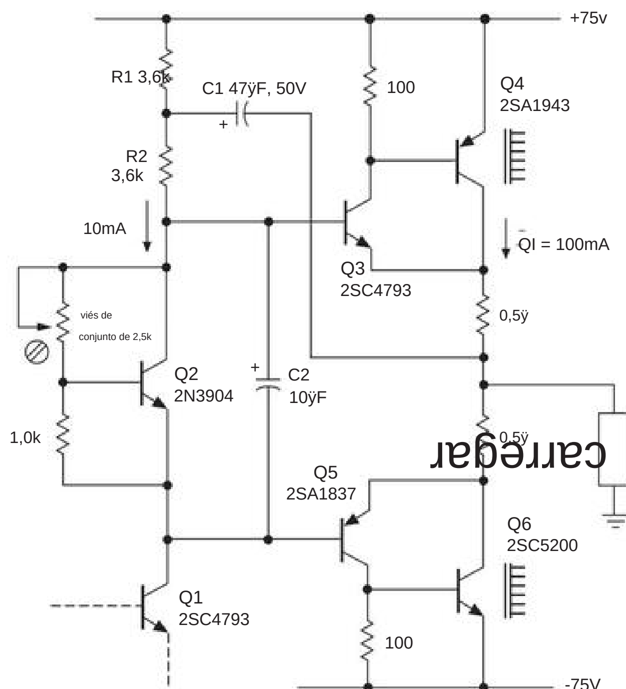


Figura 2.78. Estágio de potência push-pull com transistores de saída de par Sziklai, capaz de oscilações de saída de ±70 V e correntes de saída de pico de ±2 A.

B. Transistor Superbeta A conexão Darlington e seus parentes próximos não devem ser confundidos com o chamado transistor superbeta, um dispositivo com altíssimo ganho de corrente obtido através do processo de fabricação. Um transistor superbeta típico é o 2N5962, com um ganho de corrente mínimo garantido de 450 em correntes de coletor de 10 A a 10 mA (consulte, por exemplo, a Tabela 8.1a na página 501. Pares correspondentes Superbeta estão disponíveis para uso em baixo nível amplificadores que requerem características combinadas, por exemplo, o amplificador diferencial de §2.3.8. Exemplos lendários são as séries LM394 e MAT-01; eles fornecem pares de transistor *npn* de alto ganho cujos VBEs são combinados a uma fração de um milivolt (como pouco como 50 V nas melhores versões) e cujos betas correspondem a cerca de 1%. O MAT-03 é um par combinado *pnp* (consulte a Tabela 8.1b na página 502). (ou seja, base bias) correntes tão baixas quanto 50 picoamps desta forma, exemplos são o LT1008 e LT1012.

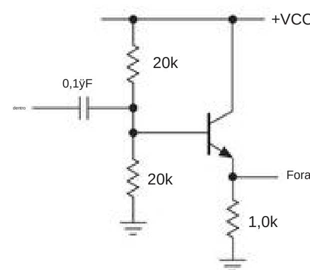


Figura 2.79. A rede de polarização reduz a impedância de entrada.

2.4.3 Inicialização

Ao polarizar um seguidor de emissor, por exemplo, você escolhe os resistores divisores de tensão de base para que o divisor apresente uma fonte de tensão rígida para a base, ou seja, seu par a impedância do alelo é muito menor do que a impedância olhando para a base. Por esta razão, o circuito resultante tem uma impedância de entrada dominada pelo divisor de tensão – o sinal de condução vê uma impedância muito menor do que seria necessário. A Figura 2.79 mostra um exemplo. A resistência de entrada de cerca de 9,1k deve-se principalmente à impedância do divisor de tensão de 10k. É sempre desejável manter as impedâncias de entrada altas e, de qualquer forma, é uma pena carregar a entrada com o divisor, que, afinal, existe apenas para polarizar o transistor.

“Bootstrapping” é o nome pitoresco dado a uma técnica que contorna esse problema (Figura 2.80). o

57 Para lidar com maior potência, uma prática comum é conectar em paralelo vários estágios *Q3Q4* idênticos (cada um com seu resistor de emissor de 0,5ÿ) e da mesma forma para *Q5Q6.* Consulte §2.4.4.

O transistor é polarizado pelo divisor *R1R2* através do resistor em série R3. O capacitor C2 é escolhido para ter baixa impedância nas frequências de sinal em comparação com os resistores de polarização. Como sempre, a polarização é estável se a impedância CC vista da base (neste caso, 9,7k) for muito menor que a impedância CC olhando para a base (neste caso, aproximadamente 100k).
Mas agora a impedância de entrada de frequência de sinal não é mais a mesma que a impedância CC. Veja desta forma: um wiggle de entrada vin resulta em um wiggle de emissor vE ÿ vin.
Portanto, a mudança na corrente através do resistor de polarização R3 é *i* = (vin ÿvE)/R3 ÿ 0, ou seja, Zin (da string de polarização) = vin/ iin ÿ infinito. Tornamos a impedância de carregamento (shunt) da rede de polarização muito grande *nas frequências do sinal.*

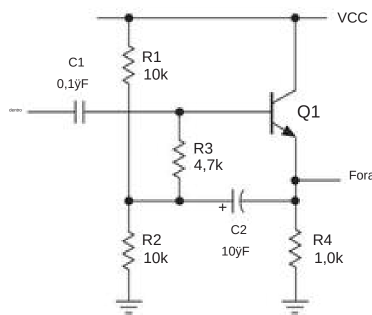


Figura 2.80. Aumentar a impedância de entrada de um seguidor de emissor em frequências de sinal por inicialização do divisor de polarização de base.

Outra maneira de ver isso é observar que R3 sempre tem a mesma tensão nas frequências de sinal (já que ambas as extremidades do resistor têm as mesmas mudanças de tensão), ou seja, é uma fonte de corrente. Mas uma fonte de corrente tem impedância infinita. Na realidade, a impedância efetiva é menor que o infinito porque o ganho de um seguidor é ligeiramente menor que a unidade. Isso ocorre porque a queda base-emissor depende da corrente do coletor, que muda com o nível do sinal.
Você poderia ter previsto o mesmo resultado do efeito de divisão de tensão da impedância olhando para o emissor *[re* = 25/IC(mA) ohms] combinado com o resistor do emissor.
Se o seguidor tiver ganho de tensão *A* (ligeiramente menor que a unidade), o valor efetivo de R3 nas frequências do sinal é

R3/(1ÿA).

O ganho de tensão de um seguidor pode ser escrito *A=RL/ (RL+re),* onde RL é a carga total vista no emissor (aqui R1 R2 R4), então o valor efetivo do resistor de polarização R3 nas frequências do sinal pode ser escrito como R3 ÿ R3(1+RL/re). Na prática, o valor de R3 é efetivamente aumentado em cerca de cem, e a impedância de entrada é então dominada pela impedância de base do transistor.
O amplificador degenerado do emissor pode ser inicializado da mesma maneira, uma vez que o sinal no emissor segue a base. O circuito do divisor de polarização é acionado pela saída do emissor de baixa impedância nas frequências do sinal, que é o que isola o sinal de entrada dessa tarefa usual e possibilita o aumento benéfico da impedância de entrada.

A. Resistores de carga de coletor de inicialização O princípio de inicialização pode ser usado para aumentar o valor efetivo do resistor de carga de coletor de um transistor, se esse estágio acionar um seguidor. Isso pode aumentar substancialmente o ganho de tensão do estágio – lembre-se que GV = *ÿgmRC,* com *gm* = 1/(RE + re). Essa técnica é usada na Figura 2.78, onde inicializamos o resistor de carga do coletor de Q1 (R2), formando uma carga aproximada da fonte de corrente. Isso serve a duas funções úteis: (a) aumenta o ganho de tensão de Q1 e (b) fornece corrente de base para *Q3Q4* que não cai em direção ao topo da oscilação (como faria uma carga resistiva, exatamente quando você precisa mais).

2.4.4 Compartilhamento de corrente em BJTs paralelos

Não é incomum no projeto de eletrônica de potência descobrir que o transistor de potência que você escolheu não é capaz de lidar com a dissipação de potência necessária e precisa compartilhar o trabalho com transistores adicionais. Esta é uma boa ideia, mas você precisa de uma maneira de garantir que cada transistor lide com uma parte igual da dissipação de energia. Em §9.13.5 ilustramos o uso de transistores *em série.* Isso pode simplificar o problema, pois sabemos que todos estarão funcionando na mesma corrente.
Mas geralmente é mais atraente dividir a corrente conectando os transistores em paralelo, como na Figura 2.81A.

Há dois problemas com esta abordagem. Primeiro, sabemos que o transistor bipolar é um dispositivo de transcondutância, com sua corrente de coletor determinada de forma precisa por sua tensão base-emissor VBE, conforme dado pelas equações de Ebers-Moll 2.8 e 2.9. Como vimos em §2.3.2, o coeficiente de temperatura de VBE (na corrente de coletor constante) é de cerca de ÿ2,1 mV/ÿC; ou, equivalentemente, IC *aumenta* com a temperatura para um VBE fixo.[58] Isso é lamentável, porque se a junção de um dos transistores ficar mais quente do que o resto, ele consome mais da corrente total, aquecendo ainda mais. Está em perigo da temida fuga térmica.

O segundo problema é que os transistores do mesmo número de peça não são idênticos. Eles saem da prateleira com

[58] Este resultado vem diretamente de ÿIC/ *T*ÿ = *ÿgm* VBE/ÿT, que, ÿapós substituir *gm* = IC/VT nos diz que a variação fracionária da corrente de coletor é apenas (IC/ T)/IC = ÿ(V[illegible] 8,4%) por

valores diferentes de VBE para um dado IC. Isso é verdade mesmo para peças feitas ao mesmo tempo na mesma linha de fabricação e a partir do mesmo wafer de silício. Para ver o tamanho da variação que você provavelmente obterá, medimos 100 transistores ZTX851 adjacentes em uma bobina, com uma dispersão observada de cerca de 17 mV, mostrado na Figura 8.44. Isso realmente representa um "melhor caso", porque você não pode ter certeza de que um lote de transistores de entrada deriva de um único lote, muito menos de um único wafer. Quando você constrói algo pela primeira vez, os VBEs de transistores "idênticos" podem estar dentro de 20–50 mV um do outro, mas essa correspondência é perdida quando um deles precisa ser substituído algum dia. É sempre mais seguro assumir uma possível dispersão de 100 mV ou mais de tensões base-emissor. Lembrando que ÿVBE=60 mV corresponde a um fator de dez na razão de corrente, fica claro que você não pode se safar com uma conexão paralela direta como na Figura 2.81A.

A solução usual para este problema é a utilização de pequenos resistores nos emissores, conforme mostra a Figura 2.81B. Esses são chamados de resistores *de lastro de emissor* e seu valor é escolhido para cair pelo menos alguns décimos de volt na extremidade superior da faixa de corrente operacional prevista. Essa queda de tensão deve ser adequada para inundar a propagação VBE dos transistores individuais e é normalmente escolhida em algum lugar na faixa de 300–500 mV.

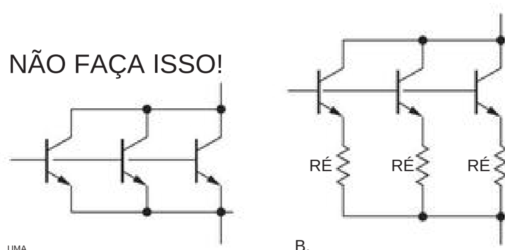


Figura 2.81. Para equalizar as correntes dos transistores paralelos, use resistores de lastro de emissor RE, como no circuito B.

Em correntes altas, os resistores podem sofrer uma dissipação de energia inconvenientemente alta, então você pode querer usar o truque de compartilhamento de corrente mostrado na Figura 2.82. Aqui, os transistores de detecção de corrente Q4–Q6 ajustam a unidade de base para os transistores de potência "paralelos" Q1–Q3 para manter correntes de emissor iguais (você pode pensar em Q4–Q6 como um amplificador diferencial de alto ganho com três entradas). Esta técnica de "lastro ativo" funciona bem com power Darlington BJTs, e funciona particularmente bem com MOSFETs (veja a Figura 3.117), graças à sua corrente de entrada (porta) insignificante, tornando assim MOSFETs são uma boa escolha para circuitos com muita dissipação de energia.59

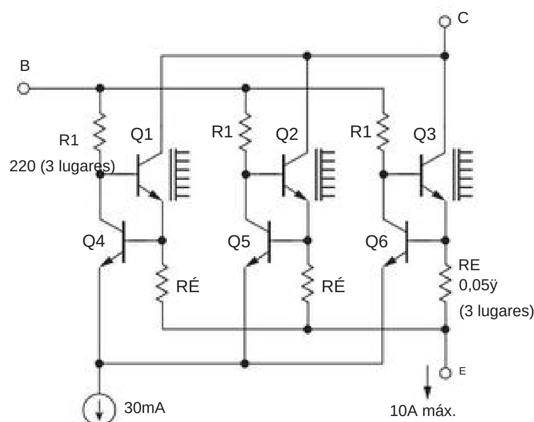


Figura 2.82. O lastro ativo dos transistores paralelos Q1–Q3 via feedback dos transistores de detecção de corrente Q4–Q6 permite configurar transistores de potência paralelos com quedas muito baixas nos resistores do emissor.

2.4.5 Capacitância e efeito Miller

Em nossa discussão até agora, usamos o que equivale a um modelo CC ou de baixa frequência do transistor. Nosso modelo simples de amplificador de corrente e o mais sofisticado modelo de transcondutância de Ebers-Moll lidam com tensões, correntes e resistências vistas em vários terminais. Somente com esses modelos, conseguimos ir muito longe e, na verdade, esses modelos simples contêm quase tudo o que você precisa saber para projetar circuitos de transistores. No entanto, um aspecto importante que tem sério impacto em circuitos de alta velocidade e alta frequência tem sido negligenciado: a existência de capacitância no circuito externo e nas próprias junções do transistor. De fato, em altas frequências, os efeitos da capacitância geralmente dominam o comportamento do circuito; a 100 MHz, uma capacitância de junção típica de 5 pF tem uma impedância de apenas 320 ÿ!

Nesta breve subseção, apresentamos o problema, ilustramos algumas de suas encarnações de circuito e sugerimos alguns métodos para contornar seus efeitos. Seria um erro deixar este capítulo sem perceber a natureza deste problema. No decorrer desta breve discussão, encontraremos o infame *efeito Miller* e o uso de configurações como o cascode para superá-lo.

59 Outra característica interessante dos MOSFETs é a falta de segunda divisão, portanto, uma área operacional segura mais ampla; consulte §3.6.4C.

A. Junção e capacitância do circuito A capacitância limita a velocidade na qual as tensões dentro de um circuito podem oscilar ("taxa de variação"), devido à impedância ou corrente de condução finita. Quando uma capacitância é acionada por uma resistência de fonte finita, você vê o comportamento de carregamento exponencial *RC* , enquanto uma capacitância acionada por uma fonte de corrente leva a formas de onda limitadas por taxa de variação (rampas). Como orientação geral, reduzir as impedâncias da fonte e as capacitâncias de carga e aumentar as correntes de acionamento dentro de um circuito acelerará as coisas. No entanto, existem algumas sutilezas relacionadas à capacitância de realimentação e à capacitância de entrada.
Vamos dar uma breve olhada.

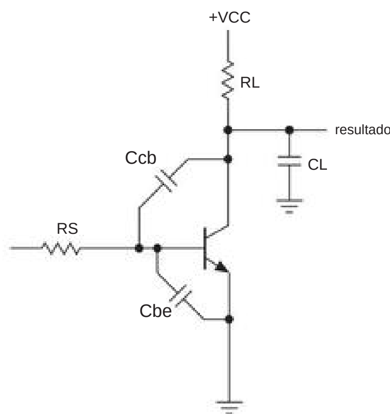


Figura 2.83. Capacitâncias de junção e carga em um amplificador a transistor.

O circuito da Figura 2.83 ilustra a maioria dos problemas de capacitância de junção. A capacitância de saída forma uma constante de tempo com a resistência de saída RL *(RL* inclui ambas as resistências de coletor e carga, e CL inclui ambas as capacitâncias de junção e carga), dando um rolloff começando em alguma frequência $f = 1/2\pi R_L C_L$. O mesmo é verdade para a capacitância de entrada, Cbe, em combinação com a impedância da fonte RS.

De maior significado, em altas frequências a capacitância de entrada rouba a corrente de base, diminuindo efetivamente o beta do transistor. Na verdade, as folhas de dados do transistor especificam uma frequência de corte, fT, na qual o beta diminui para a unidade – não é mais um amplificador! Discutiremos isso mais adiante no Capítulo *2x.*

B. Efeito Miller A impedância de realimentação Ccb é outra questão. O amplificador tem algum ganho geral de tensão GV, então uma pequena oscilação de tensão na entrada resulta em uma oscilação GV vezes maior (e invertida) no coletor. Isso significa que a fonte de sinal vê uma corrente através de Ccb que é GV+ 1 vezes maior do que se Ccb estivesse conectado da base ao terra; ou seja, para o pur pose de cálculos de frequência rolloff de entrada, a capacitância de realimentação se comporta como um capacitor de valor Ccb(GV+ 1) da entrada para o terra. Esse aumento efetivo de Ccb é conhecido como efeito Miller. Frequentemente domina as características de rolloff dos amplificadores, porque uma capacitância de realimentação típica de 4 pF pode parecer várias centenas de picofarads para o terra.

Existem vários métodos disponíveis para vencer o efeito Miller: (a) você pode diminuir a impedância da fonte que aciona um estágio de emissor aterrado usando um seguidor de emissor. A Figura 2.84 mostra três outras possibilidades; (b) o circuito amplificador diferencial sem resistor de coletor em Q1 (Figura 2.84A) não tem efeito Miller; você pode pensar nisso como um seguidor de emissor acionando um amplificador de base aterrada (veja abaixo); (c) a famosa configuração cascode (Figura 2.84B) derrota elegantemente o efeito Miller. Aqui Q1 é um amplificador de emissor aterrado com RL como seu resistor de coletor: Q2 é interposto no caminho do coletor para evitar que o coletor de Q1 oscile (eliminando assim o efeito Miller) enquanto passa a corrente do coletor para o resistor de carga inalterado. A entrada rotulada V+ é uma tensão de polarização fixa, geralmente definida alguns volts acima da tensão do emissor de Q1 para conectar o coletor de Q1 e mantê-lo na região ativa.

Este fragmento de circuito está incompleto, porque a polarização não é mostrada; você pode incluir um resistor de emissor desviado e um divisor de base para polarizar Q1 (como fizemos anteriormente no capítulo) ou incluí-lo em um loop geral com realimentação em CC. V+ pode ser fornecido a partir de um divisor ou zener, com desvio para mantê-lo rígido nas frequências do sinal. (d) Finalmente, o amplificador de base aterrada pode ser usado sozinho, conforme mostrado na Figura 2.84C. Não tem efeito Miller porque a base é acionada por impedância de fonte zero (terra) e o amplificador não inverte da entrada para a saída.

Exercício 2.19. Explique em detalhes por que não há efeito Miller em nenhum dos transistores nos amplificadores diferenciais anteriores e nos circuitos cascode.

Os efeitos capacitivos podem ser um pouco mais complicados do que esta breve introdução pode indicar. Em particular: (a) os rolloffs devidos à realimentação e às capacitâncias de saída não são totalmente independentes; na terminologia do comércio, há *separação de pólos;* (b) a capacitância de entrada do transistor ainda tem efeito, mesmo com uma fonte de sinal de entrada rígida. Em particular, a corrente que flui através de Cbe não é amplificada pelo transistor. Esse "roubo" de corrente de base pela capacitância de entrada faz com que o ganho de corrente de pequeno sinal do transistor, hfe , caia em altas frequências, eventualmente atingindo a unidade em uma frequência conhecida como fT. (c) Para complicar, as capacitâncias da junção dependem da tensão: uma porção dominante de Cbe muda proporcionalmente com

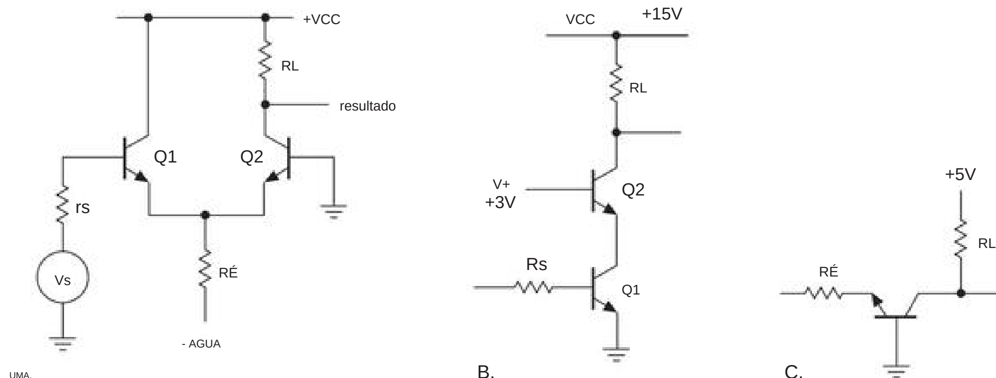


Figura 2.84. Três configurações de circuito que evitam o efeito Miller. A. Amplificador diferencial com entrada inversora aterrada. B. Conexão Cascode. C. Amplificador de base aterrado.

corrente operacional, então fT é dado em seu lugar.60 (d) Quando um transistor é operado como um interruptor, os efeitos associados à carga armazenada na região de base de um transistor saturado causam uma perda adicional de velocidade.

O efeito Miller se destaca em circuitos de alta velocidade e banda larga, e veremos isso repetidamente nos capítulos subseqüentes.

2.4.6 Transistores de efeito de campo

Neste capítulo, tratamos exclusivamente dos BJTs, caracterizados pela equação de Ebers-Moll. Os BJTs foram os transistores originais e são amplamente usados em projetos de circuitos analógicos. No entanto, seria um erro continuar sem algumas palavras de explicação sobre o outro tipo de transistor, o FET, que abordaremos em detalhes no Capítulo 3.

O FET se comporta de muitas maneiras como um transistor bipolar comum. É um amplificador de três terminais, disponível em ambas as polaridades, com um terminal (portão) que controla o fluxo de corrente entre os outros dois terminais *(fonte* e *dreno).* No entanto, ele tem uma propriedade única: o portão não consome corrente contínua, exceto por vazamento. Isso significa que impedâncias de entrada extremamente altas são possíveis, limitadas apenas por capacitância e efeitos de vazamento. Com os FETs, você não precisa se preocupar em fornecer uma corrente de base substancial, como foi necessário com o projeto de circuito BJT deste capítulo. As correntes de entrada medidas em picoampères são comuns. No entanto, o FET é um dispositivo robusto e capaz, com classificações de tensão e corrente comparáveis às dos transistores bipolares.

A maioria dos dispositivos disponíveis fabricados com BJTs (pares combinados, amplificadores diferenciais e operacionais, comparadores, interruptores e amplificadores de alta corrente e amplificadores de RF) também estão disponíveis com construção FET, de dez com desempenho superior. Além disso, lógica digital, microprocessadores, memória e todos os tipos de chips digitais complexos e maravilhosos em grande escala são construídos quase exclusivamente com FETs. Finalmente, a área de projeto de micropotência é dominada por circuitos FET. Não é exagero dizer que, demograficamente, quase todos os transistores são FETs.61

Os FETs são tão importantes no projeto eletrônico que dedicamos o próximo capítulo a eles antes de tratar de amplificadores operacionais e realimentação no Capítulo 4. Pedimos ao leitor que seja paciente conosco enquanto estabelecemos as bases nesses três primeiros capítulos difíceis; essa paciência será recompensada muitas vezes nos capítulos seguintes, à medida que exploramos os agradáveis tópicos do projeto de circuitos com amplificadores operacionais e circuitos integrados digitais.

2.5 Feedback negativo

Insinuamos anteriormente no capítulo que o feedback oferece uma cura para alguns problemas irritantes: polarizar o amplificador emissor aterrado (§2.3.4 e 2.3.5), polarizar o amplificador diferencial com carga ativa de espelho de corrente (§2.3.8C) e minimizando a distorção de crossover em seguidores push-pull (§2.4.1A). É ainda melhor do que isso - *feedback negativo*

60 Consulte os valores de fT versus corrente de coletor para 25 transistores, plotados e tabulados na seção do Capítulo 2x intitulada "BJT Bandwidth and fT".

61 Para que essa manifestação de entusiasmo não deixe uma impressão errada, apressamo-nos a apontar que os BJTs estão vivos e bem, em grande parte porque são imbatíveis quando se trata de características como precisão e ruído (assuntos dos Capítulos 5 e 8). Eles também se destacam em transcondutância (ou seja, ganho). Esses FETs de força muscular sofrem de capacitância de entrada bastante alta; e, como partes discretas, você não pode obter MOS FETs de sinal pequeno, apenas MOSFETs de *potência* .

é uma técnica maravilhosa que pode curar todos os tipos de males: distorção e não linearidades, dependência de frequência do ganho do amplificador, desvio do desempenho ideal de fontes de tensão, fontes de corrente ou praticamente qualquer outra coisa.

Estaremos desfrutando plenamente dos benefícios do feedback negativo no Capítulo 4, onde apresentamos o componente analógico universal chamado *amplificador operacional* ("op-amp"), uma criatura que prospera com o feedback negativo. Mas este é um bom lugar para introduzir o feedback, tanto porque é amplamente utilizado em circuitos de transistores discretos quanto porque já está presente em nosso amplificador de emissor comum, cuja linearidade aprimorada (comparada com a do amplificador de emissor aterrado) é devido ao feedback negativo.

2.5.1 Introdução ao feedback

O feedback tornou-se um conceito tão conhecido que a palavra entrou no vocabulário geral. Em sistemas de controle, o feedback consiste em comparar a saída real do sistema com a saída desejada e fazer uma correção correspondente. O "sistema" pode ser quase qualquer coisa: por exemplo, o processo de dirigir um carro na estrada, no qual o resultado (a posição e a velocidade do carro) é percebido pelo motorista, que o compara com as expectativas e faz correções. à entrada (volante, acelerador, freio). Em circuitos amplificadores, a saída deve ser um múltiplo da entrada, portanto, em um amplificador de realimentação, a entrada é comparada com uma versão atenuada da saída.

Conforme usado em amplificadores, o feedback negativo é implementado simplesmente acoplando a saída de volta de forma a cancelar parte da entrada. Você pode pensar que isso só teria o efeito de reduzir o ganho do amplificador e seria uma coisa muito estúpida de se fazer. Harold S. Black, que tentou patentear o feedback negativo em 1928, foi recebido com a mesma resposta. Em suas palavras, "Nosso pedido de patente foi tratado da mesma maneira que o de uma máquina de movimento perpétuo." nivelamento da resposta (ou conformidade com alguma resposta de frequência desejada) e previsibilidade. De fato, quanto mais realimentação negativa é usada, as características do amplificador resultante tornam-se menos dependentes das características do amplificador de malha aberta (sem realimentação) e, finalmente, dependem apenas das propriedades da própria rede de realimentação. Amplificadores operacionais (os blocos de construção do amplificador diferencial de ganho muito alto de Capítulo 4) são normalmente usados neste limite de ganho de malha alta, com ganho de tensão *de malha aberta* (sem realimentação) de um milhão ou assim.

Uma rede de feedback pode ser dependente da frequência, para produzir um amplificador de equalização (com características específicas de ganho versus frequência), ou pode ser dependente da amplitude, produzindo um amplificador não linear (um exemplo é um amplificador logarítmico, construído com feedback que explora o VBE logarítmico versus IC de um diodo ou transistor). Ele pode ser organizado para produzir uma fonte de corrente (impedância de saída quase infinita) ou uma fonte de tensão (impedância de saída quase zero) e pode ser conectado para gerar impedância de entrada muito alta ou muito baixa. Falando em termos gerais, a propriedade que é amostrada para produzir feedback é a propriedade que é melhorada. Portanto, se você realimentar um sinal proporcional à corrente de saída, gerará uma boa fonte de corrente.[63] Vejamos como funciona a realimentação e como ela afeta o que um amplificador faz. Encontraremos expressões simples para impedância de entrada, impedância de saída e ganho de um amplificador com realimentação negativa.

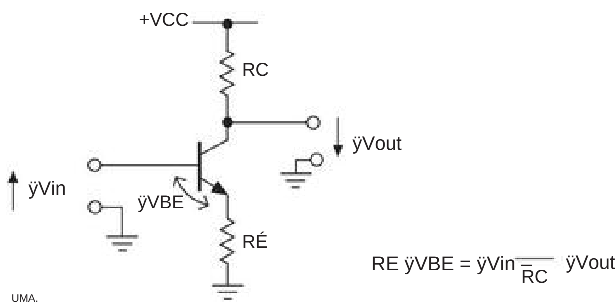
2.5.2 Equação de ganho

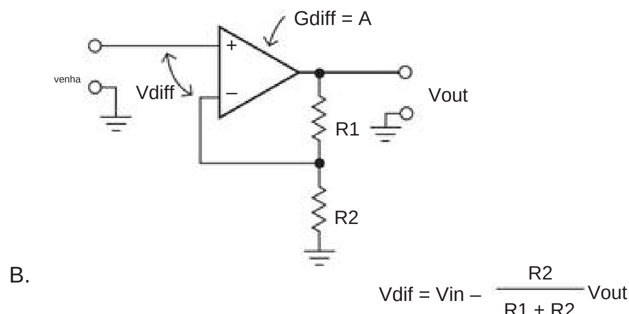
Observe a Figura 2.85. Para começar, desenhamos o familiar amplificador de emissor comum com degeneração do emissor. Pensando no transistor no sentido de Ebers-Moll, a tensão de pequeno sinal da base para o emissor (ÿVBE) programa a corrente do coletor. Mas ÿVBE é menor que a tensão de entrada Vin, por causa da queda em RE. Se a saída for descarregada, é fácil obter a equação na figura. Em outras palavras, o amplificador de emissor comum com degeneração do emissor é um amplificador de emissor aterrado com realimentação negativa, como sugerimos anteriormente.

Este circuito tem algumas sutilezas, que gostaríamos de evitar por enquanto, olhando para a configuração mais direta mostrada na Figura 2.85B. Aqui desenhamos um amplificador diferencial (com ganho diferencial A), com uma fração de seu sinal de saída subtraída da entrada do circuito vin. Essa fração, é claro, é dada simplesmente por

[62] Veja o fascinante artigo no *IEEE Spectrum,* dezembro de 1977. Sua patente para feedback negativo (No. 2.102.671, modestamente intitulada "Sistema de tradução de onda") foi concedida em 1937, nove anos após seu registro inicial.

[63] O feedback também pode ser *positivo;* é assim que você faz um oscilador, por exemplo. Por mais divertido que isso possa parecer, simplesmente não é tão importante quanto o feedback negativo. Na maioria das vezes é um incômodo, porque um circuito de realimentação negativa pode ter grandes mudanças de fase em alguma frequência alta para produzir realimentação positiva e oscilações. É surpreendentemente fácil fazer isso acontecer, e a prevenção de oscilações indesejadas é o objetivo do que chamamos de *compensação,* um assunto que tratamos brevemente no final do Capítulo 4.





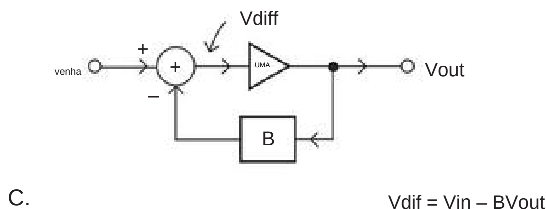


Figura 2.85. A realimentação negativa subtrai uma fração da saída da entrada: A. Amplificador de emissor comum. B. Amplificador diferencial configurado como amplificador de tensão não inversora. C. Diagrama de blocos convencional.

a equação do divisor de tensão, como mostrado. Essa é uma configuração muito comum, amplamente usada com amplificadores operacionais (Capítulo 4) e conhecida simplesmente como "amplificador não inversor".

Ao falar sobre feedback negativo, é convencional desenhar um diagrama como a Figura 2.85C, no qual a fração de feedback é simplesmente rotulada como B. Isso é útil porque permite mais generalidade do que um divisor de tensão (o feedback pode incluir componentes dependentes da frequência, como capaci tores e componentes não lineares como diodos) e mantém as equações simples. Para um divisor de tensão, é claro, *B* seria simplesmente igual a R2/(R1 +R2).

Vamos descobrir o ganho. O amplificador tem ganho de tensão A em malha aberta e a rede de realimentação subtrai uma fração *B* da tensão de saída da entrada. (Depois iremos generalizar as coisas para que as entradas e saídas possam ser correntes ou tensões.) A entrada para o bloco de ganho é então Vin ÿBVout. Mas a saída é apenas a entrada vezes A:

$$A(Vin\ ÿBVout) = Vout.$$

Em outras palavras,

$$Vout = \frac{UMA}{1+AB}\ venha,$$

e assim o ganho de tensão em malha fechada, Vout/Vin, é apenas

$$G = \frac{UMA}{1+AB}. \quad (2.16)$$

Alguma terminologia: as designações padrão para essas quantidades são as seguintes: *G* = ganho de malha fechada, *A* = ganho de malha aberta, *AB* = ganho de malha, *1+AB* = diferença de retorno ou dessensibilidade. A rede de realimentação às vezes é chamada de rede beta (sem relação com o transistor beta, hfe).64

2.5.3 Efeitos da realimentação nos circuitos amplificadores

Vejamos os efeitos importantes do feedback. Os mais significativos são a previsibilidade do ganho (e redução da distorção), alteração da impedância de entrada e alteração da impedância de saída.

A. Previsibilidade do ganho O ganho de tensão é *G* = A/(1 + AB). No limite do ganho de malha aberta infinito65 A, *G = 1/B.* Para ganho finito A, o feedback atua para reduzir os efeitos das variações de *A* (com frequência, temperatura, amplitude, etc.). Por exemplo, suponha que *A* dependa da frequência como na Figura 2.86. Isso certamente satisfará a definição de amplificador ruim de qualquer pessoa (o ganho varia em um fator de 10 com a frequência). Agora imagine que introduzimos realimentação, com *B* = 0,1 (um simples divisor de voltagem serve). O ganho de tensão em malha fechada agora varia de 1000/[1 +(1000×0,1)], ou 9,90, a 10.000/[1 + (10.000×0,1)], ou 9,99, uma variação de apenas 1% na mesma faixa de frequência! Para colocá-lo em termos de áudio, o amplificador original é plano para ±10 dB, enquanto o amplificador de feedback é plano para ±0,04 dB. Agora podemos recuperar o ganho original de 1000 com quase essa linearidade simplesmente colocando em cascata três desses estágios.

Foi exatamente por esse motivo (ou seja, a necessidade de amplificadores repetidores de telefone de resposta extremamente plana) que

64 Veremos mais tarde que os amplificadores usados com realimentação geralmente têm mudanças de fase de atraso significativas da entrada para a saída. Portanto, o ganho de tensão *A* em malha aberta deve ser representado adequadamente como um número complexo. Trataremos disso em §2.5.4; por enquanto vamos adotar a simplificação de que a tensão de saída do amplificador é proporcional à sua tensão de entrada. 65 O que não é uma aproximação ruim para um amplificador operacional, cujo ganho típico de malha aberta está na vizinhança de AOL ÿ 106.

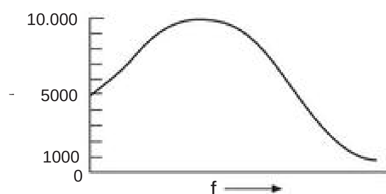


Figura 2.86. Amplificador com ganho de malha aberta *A* que varia amplamente com a frequência *f* .

feedback negativo em eletrônica foi inventado. Como o inventor, Harold Black, descreveu em sua primeira publicação aberta sobre a invenção *[Elec. Eng.,* **53,** 114, (1934)], "construindo um amplificador cujo ganho é feito deliberadamente, digamos 40 decibéis acima do necessário (excesso de 10.000 vezes com base na energia) e, em seguida, alimentando a saída de volta para a entrada em tal uma maneira de jogar fora o excesso de ganho, descobriu-se que é possível efetuar uma melhoria extraordinária na constância da amplificação e na ausência de não linearidade."

A patente de Black é espetacular, com dezenas de figuras elegantes; nós reproduzimos um deles aqui (Figura 2.87), o que torna o ponto eloquentemente.

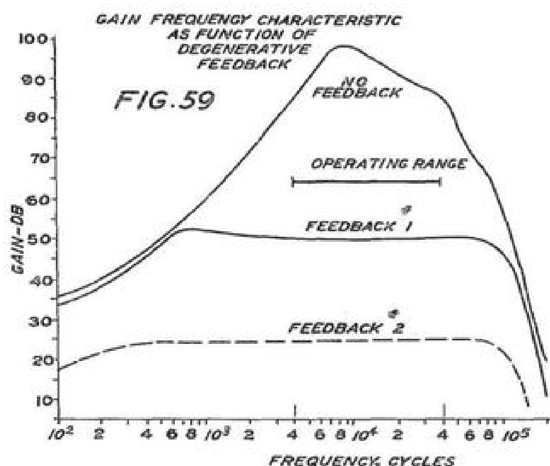


Figura 2.87. Harold Black explica isso em sua histórica patente de 1937, com o modesto título "Sistema de tradução de ondas".

É fácil mostrar, tomando a derivada parcial de *G* G/ em relação a *A* no ganho de malha aberta são (reduzidas) pelas variações relativas ÿ G/G, ÿA/A, que as variações de

$$\frac{G}{G} = \frac{1}{1+AB}\,\frac{\text{UMA}}{\text{UMA}}. \qquad (2.17)$$

Portanto, para um bom desempenho, o ganho de malha *AB* deve ser muito maior que 1. Isso equivale a dizer que o ganho de malha aberta deve ser muito maior que o ganho de malha fechada.

Uma consequência muito importante disso é que as não linearidades, que são simplesmente variações de ganho que dependem do nível do sinal, são reduzidas exatamente da mesma maneira.

B. A realimentação da

impedância de entrada pode ser arranjada para subtrair uma tensão ou uma corrente da entrada (algumas vezes são chamadas de *realimentação em série* e realimentação *em derivação,* respectivamente). A configuração do amplificador não inversor que estamos considerando, por exemplo, subtrai uma amostra da tensão de saída da tensão diferencial *que* aparece na entrada, enquanto o esquema de realimentação na Figura 2.89B subtrai uma *corrente* da entrada. Os efeitos na impedância de entrada são opostos nos dois casos: a realimentação de tensão multiplica a impedância de entrada em malha aberta por 1 + *AB,* enquanto a realimentação de corrente a reduz pelo mesmo fator. No limite de ganho de loop infinito a impedância de entrada (no terminal de entrada do amplificador) vai para infinito ou zero, respectivamente. Isso é fácil de entender, pois a realimentação da tensão tende a subtrair o sinal da entrada, resultando em uma variação menor (pelo fator *AB)* na resistência de entrada do amplificador; é uma forma de ping de bootstrap. A realimentação de corrente reduz o sinal de entrada compensando-o com uma corrente igual.

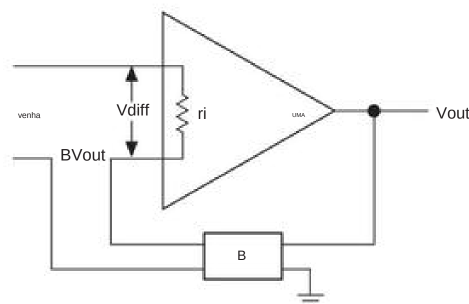


Figura 2.88. Impedância de entrada de realimentação em série.

Realimentação em série

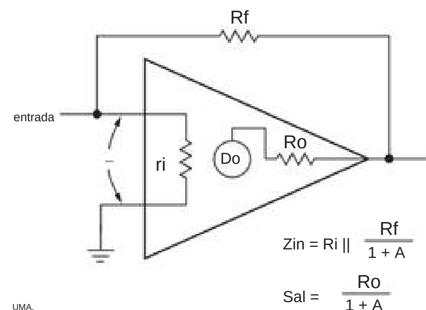
(tensão) Vamos ver explicitamente como a impedância de entrada efetiva é alterada pela realimentação. Ilustramos apenas o caso de realimentação de tensão, pois as derivações são semelhantes para os dois casos. Começamos com um modelo de amplificador diferencial com resistência de entrada (finita) conforme mostrado na Figura 2.88. Uma entrada Vin é reduzida por BVout, colocando uma tensão Vdiff =Vin ÿBVout nas entradas do amplificador. A corrente de entrada está lá

$$\text{Iin} = \frac{\text{Vin -BVout}}{ri} = \frac{\text{Vin } 1\text{ÿB}\,\frac{\text{UMA}}{1+AB}}{ri} = \frac{\text{venha}}{(1+AB)Ri},$$

dando uma impedância de entrada efetiva

$$Zin = Vin/Iin = (1+AB)Ri.$$

Em outras palavras, a impedância de entrada é aumentada por um fator de ganho do loop mais um. Se você fosse usar o circuito da Figura 2.85B para fechar o loop de realimentação em torno de um amplificador diferencial cuja impedância de entrada nativa é 100 kÿ e cujo ganho diferencial é 104, escolhendo a relação do resistor (99:1) para um ganho alvo de 100 (no limite do ganho infinito do amplificador), a impedância de entrada vista pela fonte do sinal seria de aproximadamente 10 Mÿ e o ganho de malha fechada seria de 99,66



Realimentação shunt (corrente)

Veja a Figura 2.89A. A impedância vista na entrada de um amplificador de tensão com realimentação de corrente é reduzida pela corrente de realimentação, que se opõe a mudanças de tensão na entrada.67 Ao considerar a mudança de corrente produzida por uma mudança de tensão na entrada, você descobre que o sinal de entrada vê uma combinação paralela de (a) a impedância de entrada nativa do amplificador Ri e (b) o resistor de realimentação Rf dividido por *1+A.* Aquilo é,

$$Zin = Ri \,||\, \frac{Rf}{1+A}$$

(veja se você pode provar isso). Em casos de ganho de loop muito alto (por exemplo, um amplificador operacional), a impedância de entrada é reduzida a uma fração de ohm, o que pode parecer ruim. Mas, na verdade, essa configuração é usada para converter uma corrente de entrada em uma tensão de saída (um "amplificador de transresistência"), para o qual uma baixa impedância de entrada é uma boa característica. Veremos exemplos nos Capítulos 4 e *4x.*

Pela adição de um resistor de entrada (Figura 2.89B), o circuito torna-se um "amplificador inversor", com resistência de entrada conforme mostrado. Você pode pensar nisso (particularmente no limite de ganho de loop alto) como um resistor alimentando um amplificador de corrente para tensão. Nesse limite, Rin é aproximadamente igual a R1 (e o ganho de malha fechada é aproximadamente igual a *-R2/ R1).*

É um exercício direto derivar uma expressão para o ganho de tensão em malha fechada do amplificador inversor com ganho em malha finita. A resposta é

$$G = ÿA(1ÿB)/(1+AB)$$

onde *B* é definido como antes, *B* = R1/(R1+R2). No limite de grande ganho de malha aberta A, *G* = 1ÿ1/B (ou seja, *G = ÿR2/ R1).*

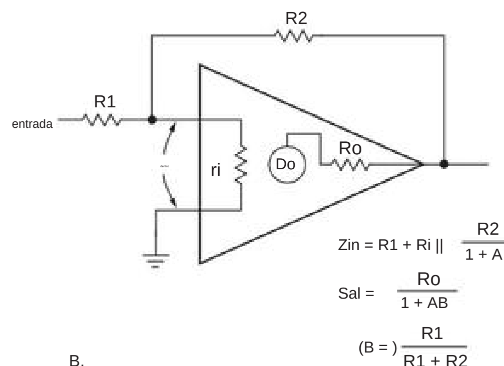


Figura 2.89. Impedâncias de entrada e saída para (A) amplificador de transresistência e (B) amplificador inversor.

Exercício 2.20. Derive as expressões anteriores para impedância de entrada e ganho do amplificador inversor.

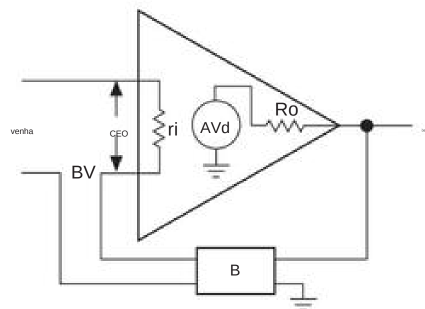


Figura 2.90. Impedância de saída.

C. Impedância de saída

Novamente, a realimentação pode extrair uma amostra da tensão de saída ou da corrente de saída. No primeiro caso, a impedância de saída em malha aberta será reduzida pelo fator 1 + *AB,* enquanto no segundo caso será aumentada pelo mesmo fator.

Ilustramos esse efeito para o caso de amostragem de tensão.

---

66 Obviamente, sabendo que o ganho de malha aberta é de aproximadamente 104, você pode aumentar a taxa do resistor para 100:1 para compensar. Com um amplificador operacional não há necessidade: com um ganho típico de malha aberta de ~106, o ganho de malha fechada seria GCL = 99,99. 67 Como no circuito da Figura 2.53 em §2.3.5C.

Começamos com o modelo mostrado na Figura 2.90. Desta vez, mostramos explicitamente a impedância de saída. O cálculo é simplificado por um truque: curto na entrada e aplique uma tensão *V* na saída; calculando a saída cur = *V/ I.* Tensão *V* aluguel I, obtemos a *R* na saída coloca uma tensão *ÿBV* na entrada do amplificador, o impedância de saída produzindo uma tensão *ÿABV* no gerador interno do amplificador. A corrente de saída é, portanto,

$$eu = \frac{V ÿ (ÿABV)}{Ro} = \frac{V(1+AB)}{Ro}$$

dando uma impedância de saída efetiva[68] de

$$Sal = V/I = Ro/(1+AB).$$

D. Corrente de saída de detecção

O feedback pode ser conectado para amostrar a *corrente de saída.* Então a expressão para a impedância de saída será vem

$$Sal = Ro(1+AB).$$

Na verdade, é possível ter vários caminhos de realimentação, amostrando tanto a tensão quanto a corrente. No caso geral, a impedância de saída é dada pela relação de impedância de Blackman[69]

$$Sal = Ro \frac{1+ (AB)SC}{1+ (AB)OC},$$

onde (AB)SC é o ganho do loop com a saída em curto com o terra e (AB)OC é o ganho do loop sem carga conectada. Assim, o feedback pode ser usado para gerar uma impedância de saída desejada. Essa equação se reduz aos resultados anteriores para a situação usual na qual o feedback é derivado da tensão de saída ou da corrente de saída. Ver discussão adicional no Capítulo *2x.*

2.5.4 Dois detalhes importantes

O feedback é um assunto rico, que simplificamos descaradamente nesta breve introdução. Aqui estão dois detalhes que não devem ser negligenciados, mesmo nesse nível um tanto superficial de compreensão.

A. Carregamento pela rede de realimentação

Em cálculos de realimentação, você geralmente assume que a rede beta não carrega a saída do amplificador. Em caso afirmativo, isso deve ser levado em consideração no cálculo do ganho de malha aberta. Da mesma forma, se a conexão da rede beta na entrada do amplificador afetar o ganho de malha aberta (realimentação removida, mas a rede ainda conectada), você deve usar o ganho de malha aberta modificado. Por fim, as expressões anteriores assumem que a rede beta é unidirecional, ou seja, não acopla nenhum sinal da entrada à saída.

B. Mudanças de fase, estabilidade e "compensação"

O ganho *A* do amplificador de malha aberta é central nas expressões que encontramos para o ganho de malha fechada e o correspondente nas impedâncias de entrada e saída. Por padrão, pode-se razoavelmente supor que *A* é um número real – isto é, que a saída está em fase com a entrada. Na vida real, as coisas são mais complexas,[70] por causa dos efeitos das capacitâncias do circuito (e efeito Miller, §2.4.5) e também da largura de banda limitada (fT) dos próprios componentes ativos. O resultado é que o amplificador de malha aberta exibirá mudanças de fase atrasadas que aumentam com a frequência. Isso tem várias consequências para o amplificador de malha fechada.

Estabilidade Se a mudança de fase atrasada do amplificador de malha aberta atingir 180ÿ, então a realimentação negativa torna-se realimentação *positiva ,* com a possibilidade de oscilação. Isso não é o que você quer! (O critério real para oscilação é que o deslocamento de fase seja de 180ÿ em uma frequência na qual o ganho do loop *AB* seja igual a 1.) Essa é uma preocupação séria, principalmente em amplificadores com muito ganho (como amplificadores operacionais). O problema só é agravado se a rede de realimentação contribuir com deslocamento de fase retardado adicional (como geralmente ocorre). O assunto da *compensação de frequência* em amplificadores de realimentação trata diretamente dessa questão essencial; você pode ler sobre isso em §4.9.

Ganho e mudança de fase As expressões que encontramos para o ganho de malha fechada e para as impedâncias de entrada e saída contêm o ganho de malha aberta A. Por exemplo, o amplificador de tensão com realimentação em série (Figuras 2.85B&C, 2.88 e 2.90) tem ganho de malha GCL = A/(1+AB), onde *A* = GOL, o ganho de malha aberta do amplificador. Vamos imaginar que o ganho de malha aberta *A* é 100 e que escolhemos *B* = 0,1 para um ganho de malha fechada alvo de GCL ÿ 10. Agora, se o amplificador de malha aberta não tiver deslocamentos de fase, então GCL ÿ 9,09 , também sem deslocamento de fase. Se, em vez disso, o amplificador tiver um deslocamento de fase atrasado de 90°, então *A* é pu

[68] Se o ganho de malha aberta *A* for real (ou seja, sem deslocamento de fase), então a impedância de saída Zout será real (ou seja, resistiva: Rout). Como veremos no Capítulo 4, no entanto, *A* pode ser (e geralmente é) complexo, representando uma mudança de fase atrasada. Para amplificadores operacionais, a mudança de fase é de 90ÿ na maior parte da largura de banda do amplificador. O resultado é uma impedância de saída de malha fechada *indutiva .* Veja, por exemplo, a Figura 4.53 no Capítulo 4.

[69] RB Blackman, "Effect of feedback on impedance," *Bell. sys. Tecnologia J.* **22,** 269 (1943).

[70] Isso é um trocadilho, entendeu?

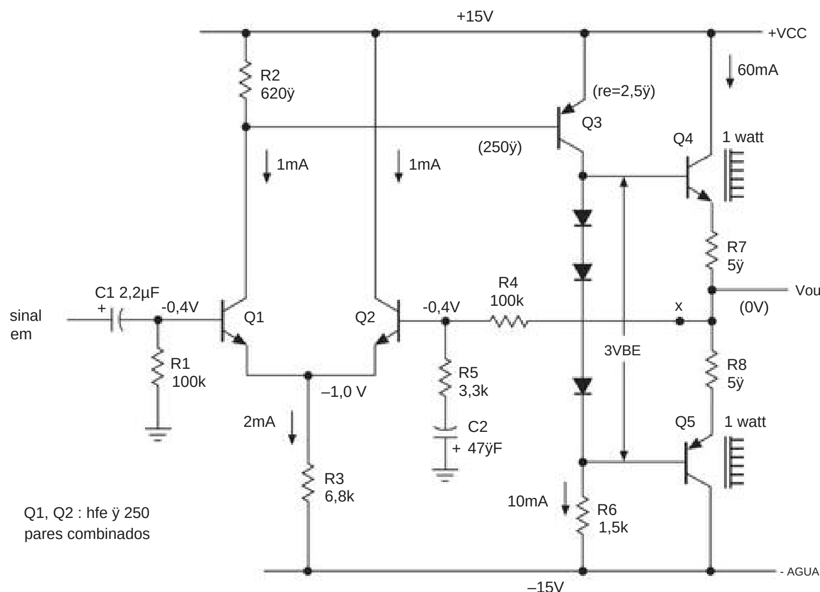


Figura 2.91. Amplificador de potência a transistor com realimentação negativa.

imaginário (A=ÿ100 j), e o ganho de malha fechada torna-se GCL = 9,90ÿ0,99 j. Isso é uma magnitude |GCL|=9,95, com uma mudança de fase atrasada de aproximadamente 6ÿ. Em outras palavras, o efeito de uma mudança de fase em malha aberta bastante significativa (a meio caminho da oscilação!) acaba sendo, de fato, favorável: o ganho em malha fechada é apenas 0,5% menor que o alvo, em comparação com 9% para o caso do mesmo amplificador sem deslocamento de fase. O preço que você paga é alguma mudança de fase residual e, é claro, uma aproximação à instabilidade.

Por mais artificial que este exemplo possa parecer, ele de fato reflete a realidade dos amplificadores operacionais, que geralmente têm uma mudança de fase de atraso de ÿ90ÿ em quase toda a largura de banda (tipicamente de ÿ10 Hz a 1 MHz ou mais). Por causa de seu ganho de malha aberta muito maior, o amplificador com realimentação exibe muito pouco deslocamento de fase e um ganho preciso definido quase inteiramente pela rede de realimentação. Muito mais sobre isso no Capítulo 4 e em §4.9.

Exercício 2.21. Verifique se as expressões acima para GCL estão corretas.

2.5.5 Dois exemplos de amplificadores transistorizados com realimentação

Vejamos dois projetos de amplificadores a transistor para ver como o desempenho é afetado pela realimentação negativa. Há um pouco de complexidade nessa análise. . .

[71] Aqueles que temem o desânimo podem pular esta seção em uma primeira leitura.

A Figura 2.91 mostra um amplificador transistorizado completo com realimentação negativa. Vamos ver como acontece.

A. Descrição do circuito

Pode parecer complicado, mas é um projeto extremamente simples e relativamente fácil de analisar. Q1 e Q2 formam um par diferencial, com o amplificador de emissor comum Q3 amplificando sua saída. R6 é o resistor de carga do coletor de Q3, e o par push-pull Q4 e Q5 formam o seguidor de emissor de saída. A tensão de saída é amostrada pela rede de realimentação que consiste no divisor de tensão R4 e R5, com C2 incluído para reduzir o ganho à unidade em CC para polarização estável.

R3 define a corrente quiescente no par diferencial e, como o feedback geral garante que a tensão de saída quiescente esteja no terra, a corrente quiescente de Q3 é facilmente vista como 10 mA (VEE em R6, aproximadamente). Como discutimos anteriormente (§2.4.1B), os diodos polarizam o par push-pull em condução, deixando uma queda de diodo através do par em série R7 e R8, ou seja, 60 mA de corrente quiescente. Essa é a operação de classe AB, boa para minimizar a distorção de crossover, ao custo de 1 watt de dissipação de espera em cada transistor de saída.

Do ponto de vista de nossos circuitos anteriores, a única característica incomum é a tensão quiescente do coletor Q1, um diodo abaixo de VCC. É aí que ele deve se sentar para manter o Q3 em condução, e o caminho do feedback garante que isso aconteça. (Por exemplo, se Q1 puxasse seu coletor para mais perto do solo, Q3 conduziria fortemente, aumentando a saída

tensão, que por sua vez forçaria Q2 a conduzir mais intensamente, reduzindo a corrente de coletor de Q1 e, portanto, restaurando o status quo.) R2 foi escolhido para dar uma queda de diodo na corrente quiescente de Q1 para manter as correntes de coletor no par diferencial aproximadamente igual no ponto de repouso. Neste circuito de transistor, a corrente de polarização de entrada não é desprezível (4 A), resultando em uma queda de 0,4 V nos resistores de entrada de 100k. Em circuitos como este, nos quais as correntes de entrada são consideravelmente maiores do que nos amplificadores operacionais, é particularmente importante certificar-se de que as resistências CC vistas das entradas sejam iguais, conforme mostrado (um estágio de entrada Darlington provavelmente seria melhor aqui).

B. Análise

Vamos analisar este circuito em detalhes, determinando o ganho, as impedâncias de entrada e saída e a distorção. Para ilustrar a utilidade da realimentação, encontraremos esses parâmetros para as situações de malha aberta e malha fechada (reconhecendo que o viés seria inútil no caso de malha aberta). Para ter uma ideia do efeito de linearização do feedback, o ganho será calculado na saída de +10 volts e -10 volts, bem como no ponto quiescente (0 V).

Malha aberta

Impedância de entrada Cortamos a realimentação no ponto *X* e aterramos o lado direito de R4. O sinal de entrada vê 100k em paralelo com a impedância olhando para a base.

O último é igual a duas vezes a resistência intrínseca do emissor mais a impedância vista no emissor de Q2 causada pela impedância finita da rede de realimentação na base de Q2.

Para hfe ÿ 250, Zin ÿ 250 × [(2 × 25)+(3,3k/250)]; ou seja, Zin ÿ 16k.

Impedância de saída Como a impedância olhando para o coletor do Q3 é alta, os transistores de saída são acionados por uma fonte de 1,5k (R6). A impedância de saída é de cerca de 15ÿ (ÿ 100) mais a resistência do emissor de 5 ÿ, ou 20 ÿ. A resistência intrínseca do emissor de 0,4 ÿ é desprezível.

Ganho O estágio de entrada diferencial vê uma carga de R2 em paralelo com a resistência de base de Q3. Como Q3 está executando uma corrente quiescente de 10 mA, sua resistência intrínseca do emissor é de 2,5 ÿ, fornecendo uma impedância de base de cerca de 250 ÿ (novamente, ÿ 100). O par diferencial tem assim um ganho de

$$\frac{250620}{2\times25ÿ} \quad \text{ou } 3.5.$$

O segundo estágio, Q3, tem um ganho de tensão de 1,5k ÿ/2,5 ÿ, ou 600. O ganho de tensão geral no ponto quiescente é 3,5×600, ou 2100. Como o ganho de Q3 depende da corrente de seu coletor, há uma mudança de ganho com sinal swing, ou seja, não linearidade. O ganho é tabelado na seção a seguir para três valores de tensão de saída.

Impedância de entrada de malha fechada Este circuito usa realimentação em série, de modo que a impedância de entrada é aumentada em (1 + ganho de malha). A rede de realimentação é um divisor de tensão com B=1/30 nas frequências do sinal, portanto o ganho do loop *AB* é 70. A impedância de entrada é, portanto, 70 × 16k, ainda em paralelo com o resistor de polarização de 100k, ou seja, cerca de 92k. O resistor de polarização agora domina a impedância de entrada.

Impedância de saída Como a *tensão de* saída é amostrada, a impedância de saída é reduzida em (1 + ganho de loop). A impedância de saída é, portanto, 0,3 ÿ. Observe que esta é uma impedância de pequeno sinal e não significa que uma carga de 1 ÿ possa ser levada a um balanço quase total, por exemplo. Os resistores emissores de 5 ÿ no estágio de saída limitam a grande oscilação do sinal. Por exemplo, uma carga de 4 ÿ poderia ser conduzida apenas para 10 Vpp, aproximadamente.

Ganho O ganho é A/(1+AB). No ponto quiescente que é igual a 30,84, usando o valor exato para B. Para ilustrar a estabilidade de ganho alcançada com realimentação negativa, o ganho de tensão total do circuito com e sem realimentação é tabulado em três valores de nível de saída no final deste parágrafo. Deve ser óbvio que o feedback negativo trouxe uma melhoria considerável nas características do amplificador, embora, para ser justo, deva ser apontado que o amplificador poderia ter sido projetado para melhor desempenho em malha aberta, por exemplo, usando uma fonte de corrente para a carga do coletor de Q3 e degenerando seu emissor, usando uma fonte de corrente para o circuito emissor de par diferencial, etc.

Mesmo assim, o feedback ainda faria uma grande melhoria.

	Circuito aberto			*Circuito fechado*		
Vout	ÿ10	0	+10	ÿ10	0	+10
Sentido	16k	16k	16k	92k	92k	92k
Sal	20ÿ	20ÿ	20ÿ	0,3ÿ	0,3ÿ	0,3ÿ
Ganho	1360	2100	2400	30,60	30,84	30,90

C. Par série-realimentação A

Figura 2.92 mostra outro amplificador a transistor com realimentação. Pensando em Q1 como um amplificador de sua queda de tensão base-emissor (pensando no sentido de Ebers-Moll), o feedback amostra a tensão de saída e subtrai uma fração dela do sinal de entrada. Este circuito é um pouco complicado porque o resistor do coletor de Q2 funciona como o trabalho da rede de realimentação. Aplicando as técnicas que usamos anteriormente, pode-se mostrar que G(malha aberta) ÿ 200, ganho de malha ÿ 20, Zout(abertura

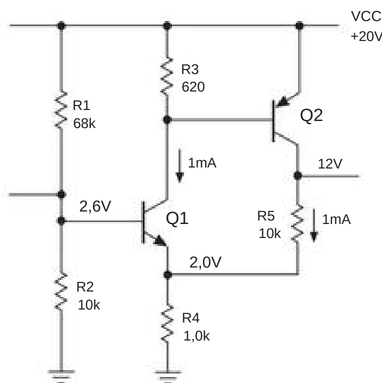


Figura 2.92. Par série-feedback.

loop) ÿ 10k, Zout(loop fechado) ÿ 500 ÿ, e G(loop fechado) ÿ 9,5.

Exercício 2.22. Vá em frente!

2.6 Alguns circuitos transistorizados típicos

Para ilustrar algumas das ideias deste capítulo, vejamos alguns exemplos de circuitos com transistores. A gama de circuitos que podemos cobrir neste ponto é necessariamente limitada, porque os circuitos do mundo real geralmente incorporam op-amps (o assunto do Capítulo 4) e outros CIs úteis – mas veremos muitos transistores usados juntamente com CIs nesses circuitos. capítulos posteriores.

2.6.1 Fonte de alimentação regulada

A Figura 2.93 mostra uma configuração muito comum. R1 normalmente segura Q1 ; quando a saída atinge 10 volts, Q2 entra em condução (base em 5 V), evitando aumento adicional da tensão de saída desviando a corrente de base da base de Q1.
A alimentação pode ser ajustada substituindo R2 e R3 por um potenciômetro. Neste *circuito regulador de tensão* (ou "alimentação CC regulada"), a realimentação negativa atua para estabilizar a tensão de saída: Q2 "observa" a saída e faz algo a respeito se a saída não estiver na tensão correta.

Alguns detalhes: (a) A adição de um resistor de polarização R4 garante uma corrente zener relativamente constante, de modo que a tensão zener não varia significativamente com a corrente de carga. É tentador fornecer essa corrente de polarização da entrada, mas é muito melhor usar a saída regulada. Cabe um alerta: sempre que você usar uma tensão de saída para fazer alguma coisa acontecer dentro de um circuito, certifique-se de que o circuito inicializará corretamente; aqui, porém, não há problema (por que não?). (b) O capacitor C1 provavelmente seria necessário em este circuito para garantir a estabilidade (ou seja, para evitar a oscilação), particularmente se a saída for desviada capacitivamente (como deveria ser), por razões que veremos mais tarde em conexão com a estabilidade do loop de realimentação (§4.9).

Veremos muito mais sobre esse assunto no Capítulo 9.

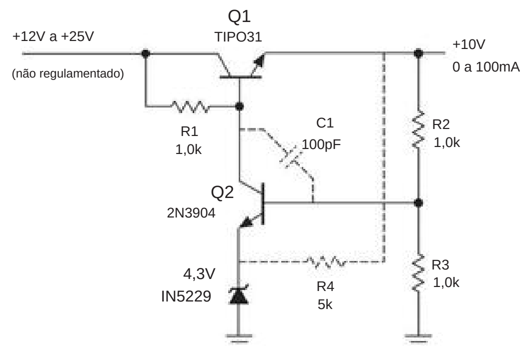


Figura 2.93. Regulador de tensão de feedback.

2.6.2 Controlador de temperatura

O diagrama esquemático na Figura 2.94 mostra um controlador de temperatura baseado em um elemento sensor *termistor* , um dispositivo que muda a resistência com a temperatura. Diferencial Darlington Q1–Q4 compara a tensão do divisor de referência ajustável R4–R6 com o divisor formado pelo termistor e R2. (Ao comparar as *relações* da mesma alimentação, a comparação torna-se insensível às variações de alimentação; essa configuração específica é chamada de ponte de pedra de trigo.) O espelho de corrente *Q5Q6* fornece uma carga ativa para aumentar o ganho e o espelho *Q7Q8* fornece corrente de emissor. Q9 compara a saída do amplificador diferencial com uma tensão fixa, saturando Darlington *Q10Q11* (que fornece energia ao aquecedor) se o termistor estiver muito frio. R9 é um resistor de detecção de corrente que liga o transistor de proteção Q12 se a corrente de saída exceder cerca de 6 amperes; que rouba a unidade base do *Q10Q11,* evitando danos. E o R12 adiciona uma pequena quantidade de feedback positivo, para fazer com que o aquecedor ligue e desligue abruptamente; este é o mesmo truque (um "gatilho Schmitt") da Figura 2.13.

2.6.3 Lógica simples com transistores e diodos

A Figura 2.95 mostra um circuito que executa uma tarefa que ilustramos em §1.9.1F: soar uma campainha se uma das portas do carro estiver aberta e o motorista estiver sentado. Neste circuito, todos os transistores operam como interruptores (desligados ou saturados). Os diodos D1 e D2 formam o que é chamado de porta OR , desligando Q1 se uma das portas estiver aberta (interruptor fechado). No entanto, o colecionador de

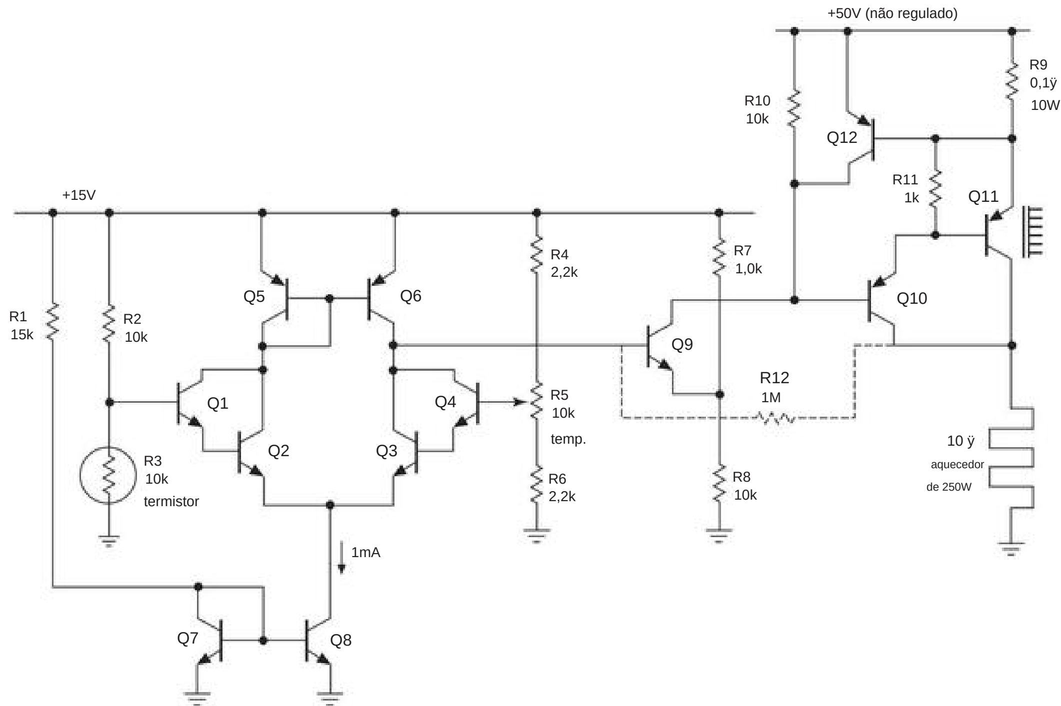


Figura 2.94. Controlador de temperatura para aquecedor de 250 W.

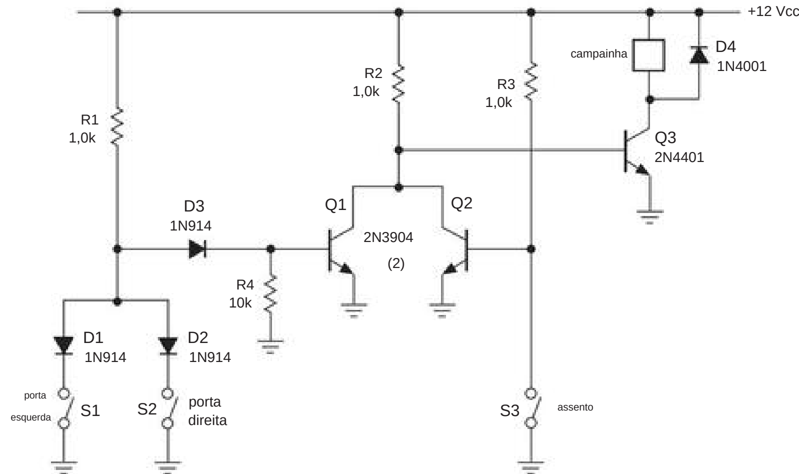


Figura 2.95. Ambos os diodos e transistores são usados para fazer "portas" lógicas digitais neste circuito de campainha de cinto de segurança.

Q1 fica próximo ao solo, impedindo que a campainha soe, a menos que a chave S3 também esteja fechada (motorista sentado); nesse caso, R2 liga Q3, colocando 12 volts na campainha. D3 fornece uma queda de diodo para que Q1 seja DESLIGADO com S1 ou S2 fechado, e D4 protege Q3 do transiente de desligamento indutivo da campainha. Nos Capítulos 10–15, discutimos os circuitos lógicos em detalhes.

Exercícios Adicionais para o Capítulo 2

Exercício 2.23. Projete um circuito de comutação de transistor que permita comutar duas cargas para o terra por meio de *transistores npn* saturados . O fechamento da chave *A* deve fazer com que ambas as cargas sejam alimentadas, enquanto o fechamento da chave *B* deve alimentar apenas uma carga. *Dica:* use diodos.

Exercício 2.24. Considere a fonte de corrente na Figura 2.96. (uma) O que é Iload? Qual é a conformidade da saída? Suponha que VBE seja 0,6 V. (b) Se varia de 50 a 100 para tensões de coletor dentro da faixa de conformidade, b saída, quanto variará a corrente de saída? (Existem dois efeitos aqui.) (c) Se VBE varia de acordo com ÿVBE = ÿ0,0001 ÿVCE (Efeito inicial), quanto a corrente de carga irá variar ao longo da faixa de conformidade? (d) Qual é o coeficiente de temperatura da corrente de saída assumindo que não varia com a temperatura? Qual é o coeficiente de temperatura da corrente de saída assumindo que aumenta de seu valor nominal de 100 em 0,4%/ÿC? b

b

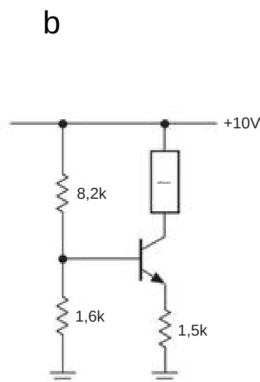


Figura 2.96. Exercício fonte atual.

Exercício 2.25. Projete um amplificador *npn* de emissor comum com ganho de tensão de 15, VCC de +15 V e IC de 0,5 mA. Polarize o coletor em *0,5VCC* e coloque o ponto de 3 dB de baixa frequência em 100 Hz.

Exercício 2.26. Inicialize o circuito no problema anterior para aumentar a impedância de entrada. Escolha o rolloff do bootstrap apropriadamente.

Exercício 2.27. Projete um amplificador diferencial com acoplamento CC com um ganho de tensão de 50 (para uma saída de terminação única) para sinais de entrada próximos ao terra, tensões de alimentação de ±15 volts e correntes quiescentes de 0,1 mA em cada transistor. Use uma fonte de corrente no emissor e um estágio de saída seguidor de emissor.

Exercício 2.28. Neste problema, você projetará um amplificador cujo ganho é controlado por uma tensão aplicada externamente (no Capítulo 3, você verá como fazer a mesma coisa com os FETs). (a) Comece projetando um amplificador diferencial de par de cauda longa com fonte de corrente de emissor e sem resistores de emissor (não degenerados). Use fontes de ±15 V. Defina IC (cada transistor) em 100 A e use RC = 10k. Calcule o ganho de tensão de uma entrada de terminação (outra entrada aterrada) para uma saída de terminação única. (b) Agora modifique o circuito para que uma tensão aplicada externamente controle a fonte de corrente do emissor. Forneça uma fórmula aproximada para o ganho em função da tensão de controle. (Em um circuito real, você pode arranjar um segundo conjunto de fontes de corrente controladas por tensão para cancelar a mudança do ponto quiescente que as mudanças de ganho produzem neste circuito, ou um segundo estágio de entrada diferencial pode ser adicionado ao seu circuito.)

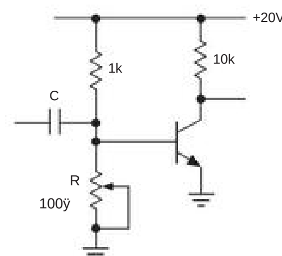


Figura 2.97. Tendência ruim.

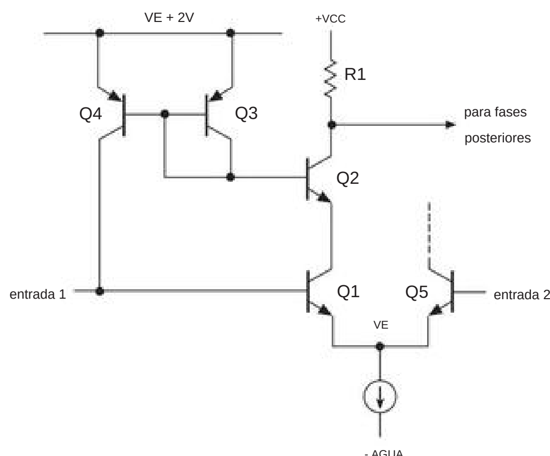


Figura 2.98. Esquema de cancelamento de corrente de base usado em amplificadores operacionais de precisão. O cancelamento da corrente de polarização é discutido em detalhes no Capítulo 4x.

Exercício 2.29. Desconsiderando as lições deste capítulo, um aluno insatisfeito constrói o amplificador mostrado na Figura 2.97. Ele ajusta *R* até que o ponto quiescente seja *0,5VCC.* (a) O que é Zin (em altas frequências onde ZC ÿ 0)? (b) Qual é o ganho de tensão para pequenos sinais? (c) Que aumento na temperatura ambiente (aproximadamente) fará com que o transistor fique saturado?

Exercício 2.30. Vários amplificadores operacionais de precisão disponíveis comercialmente (por exemplo, o venerável OP-07) usam o circuito da Figura 2.98 para limitar a corrente de polarização de entrada (apenas metade do amplificador diferencial de entrada simétrica é mostrada em detalhes; a outra metade funciona da mesma forma caminho). Explique como o circuito funciona. *Nota:* Q1 e Q2 são um par correspondente beta. *Dica:* é tudo feito com espelhos.

Revisão do Capítulo 2

Uma revisão de A a W do Capítulo 2. Esta revisão não segue a ordem exata dos tópicos do capítulo: aqui primeiro abordamos a teoria do transistor e depois voltamos para discutir algumas aplicações. No capítulo, os circuitos foram intercalados com a teoria para fornecer motivação e ilustrar como usar a teoria.

¶UMA. Convenções de rotulagem de pinos.
A introdução (§2.1) descreve algumas convenções de rotulagem de transistores e circuitos. Por exemplo, VB (com um único subscrito) indica a tensão no terminal de base e, da mesma forma, IB indica a corrente fluindo para o terminal de base. VBE (dois subscritos) indica a tensão base-emissor. Símbolos como VCC e VEE (subscritos repetidos) indicam as tensões de alimentação positiva e negativa.

¶B. Tipos de transistores e polaridades.
Transistores são dispositivos de três terminais capazes de amplificar sinais. Eles vêm em duas grandes classes, transistores de *junção bipolar* (BJTs, o assunto deste capítulo) e *transistores de efeito de campo* (FETs, o assunto do Capítulo 3). Os BJTs têm um terminal de controle chamado *base* e um par de terminais de saída, chamados de *coletor* e *emissor* (os terminais correspondentes em um FET são *porta, dreno* e *fonte).* Um sinal aplicado à base controla a corrente que flui do coletor para o emissor. Existem duas polaridades BJT disponíveis, *npn* e *pnp;* para dispositivos *npn ,* o coletor é mais positivo que o emissor, e o oposto é verdadeiro para *pnp.* A Figura 2.2 ilustra isso e identifica os diodos intrínsecos que fazem parte da estrutura do transistor, veja ¶D e ¶F abaixo. A figura também ilustra que a corrente de coletor e a corrente de base (muito menor) se combinam para formar a corrente de emissor.

Modos de operação Os transistores podem operar como *interruptores* – ligados ou desligados – ou podem ser usados como dispositivos *lineares ,* por exemplo, como amplificadores, com uma corrente de saída proporcional a um sinal de entrada. Dito de outra forma, um transistor pode estar em um dos três estados: *corte* (não-zero VCE , mas zero IC), *saturado* (não-zero IC , mas próximo de zero VCE) ou na *região linear* (não-zero VCE e IC). Se você preferir prosa (e usar "tensão" como abreviação de tensão coletor-emissor VCE e "corrente" como abreviação de corrente de coletor IC), o estado de corte tem tensão, mas não tem corrente, o estado saturado tem corrente, mas quase -tensão zero, e a região linear tem tensão e corrente.

¶C. Transistor Man e Ganho de Corrente.
Na análise mais simples, §2.1.1, o transistor é simplesmente um amplificador de corrente, com um *ganho de corrente* chamado *beta* (b, símbolo ou às vezes hFE). Uma corrente na base causa uma corrente b vezes maior para passar do coletor para o emissor, IC= b IB, sendo o circuito externo permitir. Quando conduzindo, então a base é ÿ0,65 V mais positiva (para *npn)* do que o emissor. O transistor não *cria* a corrente do coletor do nada; ele simplesmente limita a corrente de uma tensão de alimentação disponível. Este ponto importante é enfatizado por nossa criação do "transistor man" (Figura 2.7), um pequeno homúnculo cujo trabalho é examinar continuamente a corrente de base e tentar ajustar a corrente do coletor para ser um fator b (ou hFE) vezes maior. Para um BJT típico, o beta pode estar em torno de 150, mas o beta é apenas vagamente especificado, e um determinado tipo de transistor pode ter um spread de 3:1 (ou mais) em beta especificado em alguma corrente de coletor (e mais spreads de 3:1 de b versus IC e b versus temperatura, veja por exemplo a Figura 2.76).

¶D. Chaves e Saturação.
Quando operado como um interruptor, §2.2.1, uma corrente deve ser injetada na base para manter o transistor "ON". Essa corrente deve ser substancialmente maior que *IB*=*IC*/b. Na prática um valor de 1/10 da corrente máxima esperada do coletor, mas você pode usar menos, dependendo das recomendações do fabricante. Nessa condição, o transistor está em *saturação,* com 25–200 mV nos terminais. Em tensões coletor-emissor tão baixas, o diodo base-coletor na Figura 2.2 está conduzindo e rouba parte do acionamento da corrente de base. Isso cria um equilíbrio na tensão de saturação. Voltaremos em ¶K para ver alguns exemplos de circuitos. Veja também a discussão sobre a saturação do transistor no Capítulo *2x.*

¶E. O BJT é um dispositivo de transcondutância.
Como apontamos em §2.1.1, "Um circuito que depende de um determinado valor para beta é um circuito ruim". Isso porque b posso variam por fatores de 2 a 3 do valor nominal da ficha técnica do fabricante. Uma abordagem de projeto mais confiável é usar outros parâmetros BJT altamente previsíveis que levam em conta que é um dispositivo de *transcondutância .* De acordo com a definição de transcondutância (uma corrente de saída proporcional a uma tensão de entrada), a corrente de coletor de um BJT, IC, é controlada por sua tensão base-emissor, VBE, consulte §2.3. (Podemos então confiar em *IB*=*IC*/b para estimar a corrente de base, ao contrário da abordagem simples em ¶C.) A visão de transcondutância dos BJTs é útil em muitas circunstâncias (estimativa de ganho, distorção, tempco) e é essencial para entender e projetar circuitos como amplificadores diferenciais e espelhos de corrente. No entanto, em muitas situações, você pode contornar o problema da incerteza beta com truques de projeto de circuito, como realimentação CC ou degeneração do emissor, sem invocar explicitamente Ebers-Moll

(¶F). Observe também que, assim como seria uma má ideia polarizar um BJT aplicando uma corrente de base calculada IC/ (de um suposto), seria ainda pior tentar polarizar um BJT b aplicando um VBE calculado (de um é assumido , ver ¶F); mais sobre isso em ¶Q, abaixo. Podemos parafrasear isso dizendo "um circuito que depende de um valor específico para Is, ou para operação em uma temperatura ambiente precisa, é um circuito ruim".

¶F. Ebers-Moll.

A Figura 2.41 mostra um *gráfico de Gummel típico,* com VBE ditando IC e, portanto, um IB aproximado. As equações (2.8) e (2.9) mostram a natureza exponencial (ou logarítmica) dessa relação. Uma forma simples da equação, IC=Is exp(VBE/VT) e sua inversa, VBE=VT loge(IC/Is), onde a constante VT=25 mV a 25ÿC, revela que a corrente do coletor é determinada por VBE e um parâmetro Is, este último relacionado ao tamanho da matriz do transistor e seu den atual

cidade. É uma corrente muito pequena, tipicamente cerca de 1011 vezes menor que IC. A fórmula de Ebers-Moll é válida para toda a gama de tipos de BJT de silício, por exemplo, os listados na Tabela 8.1. A indústria de circuitos integrados (IC) conta com a Ebers-Moll para o projeto de seus altamente bem-sucedidos circuitos lineares BJT.

¶G. Corrente do Coletor versus Tensão de Base: Regras Práticas.

Consulte §2.3.2. É útil lembrar algumas regras práticas, que podemos derivar de Ebers-Moll: IC aumenta por um fator de dez para um aumento de ÿ60 mV em VBE; dobra para um aumento de ÿ18 mV VBE e aumenta 4% para um aumento de 1 mV VBE .

¶H. Pequenos sinais, transcondutância e r Consulte e.
§2.3.2B. É conveniente assumir a operação em IC fixo e procurar o efeito de pequenas mudanças ("pequenos sinais"). Primeiramente, pensando nas regras de ouro acima, podemos calcular (eq'n 2.13,) a transcondutância, VBE=IC/VT. Isso é avaliado como corrente. Em outras palavras, podemos atribuir uma resistência ŸCIŸ/ gm=40 mS em *gm* =1 mA, com *gm* proporcional à interna efetiva re em série com o emissor, re=1/gm=VT/IC, ver eq'n 2.12. (O pequeno *r* indica *um sinal pequeno.)* Um fato útil para memorizar: re é cerca de 25 ÿ em uma corrente de coletor de 1 mA e escala inversamente com a corrente.

¶EU. Dependência da temperatura.

Consulte §2.3.2C. Em ¶F dissemos VT=25 mV a 25ÿC, o que sugere que não é exatamente uma constante, mas muda com a temperatura. Como *VT=kT/ q* (§2.3.1), você pode supor que VBE é proporcional à temperatura absoluta, portanto, um temperamento coeficiente de natureza de cerca de +2mV/ÿC (porque VBEÿ600 mV em T=300K). Mas o parâmetro de escala Is tem um tempco oposto grande, produzindo um tempco geral de cerca de -2,1 mV/ ÿC. Memorize este fato também! Como VT é proporcional à temperatura absoluta, o tempco de transcondutância na corrente fixa do coletor é inversamente proporcional à temperatura absoluta (lembre-se de gm=IC/VT) e, portanto, cai cerca de 0,34%/ ÿC a 25ÿC.

¶ J. Efeito Antecipado.

Consulte §2.3.2D. Em nosso entendimento simples até agora, as tensões de base (ou correntes) "programam" uma corrente de coletor do BJT, independentemente da tensão do coletor. Mas, na realidade, o IC aumenta ligeiramente com o aumento do VCE. Isso é chamado *de efeito Early,* veja a equação 2.14 e a Figura 2.59, que pode ser caracterizado por uma *tensão Early* VA, um parâmetro independente da corrente de operação; veja a equação 2.15. Se a tensão inicial for baixa (uma desvantagem comum dos transistores *pnp),* o efeito pode ser bastante grande. Por exemplo, um *pnp* 2N5087 com VA=35 V mostra um aumento de 10 V na VCE; se, mudança de 4 mV de VBE com ÿ=4×10ÿ4, uma experimentaria uma em vez disso, a tensão de base fosse mantida constante, um aumento de 10 V na tensão do coletor causaria um aumento de 17% na corrente do coletor. Apressamo-nos a apontar que existem configurações de circuito, como *degeneração* ou *cascode,* que aliviam o efeito Early. Para obter mais detalhes, consulte a discussão no Capítulo *2x.*

Exemplos de Circuitos

Com este resumo da teoria básica do BJT, voltamos agora e revisamos alguns exemplos de circuitos do Capítulo 2. Uma maneira de revisar os circuitos é folhear o capítulo olhando as figuras (e lendo as legendas) e consultar o texto associado sempre que você não tiver certeza dos princípios subjacentes.

¶K. Chaves Transístoras.

As chaves BJT são discutidas em §2.2.1, e exemplos de circuitos aparecem nas Figuras 2.9 (conduzindo um LED), 2.10 (comutação do lado alto, incluindo mudança de nível) e 2.16 (com um driver seguidor de emissor). Simplificando, você deve direcionar uma corrente para a base para colocar o transistor em saturação sólida para a corrente de carga do coletor antecipada (ou seja, IB IC/), trazendo seu coletor a dezenas de milivolts do emissor. Mais b com isso para o Capítulo 12 (Interface Lógica). Olhando para o futuro, o uso de switches *MOSFET* de dez fornece uma solução de comutação superior (§§3.4.4 e 3.5); seu terminal de controle (o portão) convenientemente *não* requer corrente estática de portão, embora você possa ter que fornecer correntes transitórias significativas para carregar sua capacitância de portão durante a comutação rápida.

¶EU. Pulsadores Transistores.

Os circuitos básicos do temporizador e do gerador de pulsos são mostrados nas Figuras 2.11 (pulso de um degrau) e 2.12 (pulso de um pulso). Estes são simples, mas não muito precisos ou estáveis; melhor usar um temporizador dedicado ou gerador de pulso IC, veja §7.2.

¶M. Gatilho Schmitt.

Um *gatilho Schmitt* é um circuito de detecção de nível de limite (Figura 2.13) com histerese para evitar transições múltiplas quando sinais de entrada ruidosos passam pelo(s) limite(s). Embora você possa fazer um circuito de disparo Schmitt com transistores discretos, boas práticas de projeto favorecem o uso de CIs *comparadores* dedicados , consulte §§4.3.2 e 12.3.

¶N. Seguidor do Emissor.

O seguidor de emissor é um amplificador linear com um ganho de tensão ideal de unidade, consulte §2.2.3. O beta do transistor aumenta a impedância de entrada do seguidor e reduz sua impedância de saída, veja §2.2.3B e eq'n 2.2. Há mais detalhes em §2.3.3 e na Figura 2.43, onde o efeito da resistência intrínseca do emissor re é levado em consideração. De forma simplificada Rout=re +Rs/ resistência vista na base. A tensão de saída CC está deslocada da entrada CC por VBE, b, onde Rs é a fonte do sinal cerca de 0,6 V a 0,7 V, a menos que um circuito de cancelamento seja usado, consulte §2.2.3D e Figura 2.29.

Seguidores de emissor também são usados como reguladores de tensão, consulte §2.2.4 e Figuras 2.21 e 2.22. Uma alternativa de precisão é o *seguidor de amplificador operacional,* consulte §4.2.3 no Capítulo 4.

¶O. Fonte de corrente (ou coletor de corrente).

Em contraste com a conhecida *fonte de tensão* (que fornece uma tensão constante independentemente da corrente de carga, pense em uma bateria), uma *fonte de corrente* fornece uma corrente constante independentemente da queda de tensão da carga, consulte §2.2.6 e Figura 2.31; não há "equivalente de bateria" para o dia a dia. Dispositivos de transcondutância como BJTs, com suas correntes de saída de coletor relativamente constantes, são candidatos naturais para fazer fontes de corrente. Para a fonte de corrente mais simples, a base é polarizada com uma tensão, digamos Vb, em relação a um ponto de referência (geralmente o terra), e o emissor é conectado por meio de um resistor à mesma referência. Para um *transistor npn* com referência de terra, a corrente de saída (sinking) será *IC=(VbÿVBE)/ RE,* veja a Figura 2.32. Para melhor estabilidade e previsibilidade, o termo VBE pode ser cancelado, veja a Figura 2.33. A faixa de tensão operacional de uma fonte de corrente é chamada de *faixa de conformidade,* definida na extremidade inferior pela saturação do coletor e na extremidade superior pela tensão de ruptura do transistor ou por problemas de dissipação de energia. As fontes de corrente são frequentemente criadas usando circuitos de espelho de corrente, veja ¶P abaixo. Fontes de corrente precisas e estáveis podem ser feito com amplificadores operacionais (§4.2.5); também existem circuitos integrados de fonte de corrente dedicados (§9.3.14).

¶P. Espelhos Atuais.

Um espelho de corrente (§2.3.7) é um circuito fonte de corrente de três terminais que gera uma corrente de saída proporcional a uma corrente de "programação" de entrada. Em uma configuração típica (Figuras 2.55 e 2.58), o espelho é conectado a um trilho CC (ou ao terra), refletindo a corrente de programação, esta última talvez definida por um resistor. O circuito geralmente omite quaisquer resistores de emissor, alcançando assim conformidade dentro de uma fração de volt do trilho. Normalmente, você não tentaria aplicar exatamente o VBE correto para gerar um IC prescrito (à la Ebers–Moll); mas isso é exatamente o que você está fazendo aqui.
O truque é que um transistor (Q1) do par combinado em verts Ebers-Moll, criando a partir do IP da corrente de programação exatamente o VBE correto para recriar a mesma corrente no transistor de saída Q2. Bonitinho!

Esses circuitos assumem transistores casados, como você encontraria dentro de um CI (lembre-se de ¶G que mesmo uma diferença de 1 mV de VBE produz uma mudança de 4% na corrente). A Figura 2.62 apresenta um gráfico da diferença de tensão base-emissor versus razão de corrente do coletor, ÿVBE=VT loge(IC2/IC1). Você pode explorar esse efeito para gerar um "espelho de proporção", conforme discutido no Capítulo *2x.*

Por mais bonito que pareça, o espelho de corrente básico da Figura 2.55 sofre com a mudança de efeito antecipado da corrente de saída quando a tensão de saída muda. O efeito é particularmente sério com transistores *pnp :* no exemplo de um 2N5087 em ¶ J acima, a mudança de 4 mV de VBE (para uma mudança de saída de 10 V) causaria um erro de corrente de 17%. Uma solução (Figura 2.60) é adicionar resistores de degeneração do emissor, às custas tanto da complacência próxima ao trilho de referência quanto da faixa dinâmica. Uma solução mais elegante é o espelho de Wilson (Figura 2.61), que anula o efeito Early explorando a sempre útil configuração *cascode* (Figura 2.84B).

O transistor Cascode Q3 passa a corrente do coletor do transistor de saída Q2 para a carga, enquanto Q2 opera com um VCE fixo de uma queda de diodo (seu próprio VBE). A configuração genial do espelho de Wilson também cancela erros de corrente de base (um espelho comum com BJTs tendo =100 tem um erro de corrente de 2%). Resistores de degeneração podem ser adicionados, como mostrado no circuito B, para supressão adicional do efeito Early, mas eles seriam omitidos em um "espelho de Wilson puro". CIs lineares estão cheios de espelhos de Wilson. Consulte o Capítulo *2x* para uma discussão sobre espelhos de corrente de *bipolaridade* .

¶Q. Amplificadores de Emissor Comum.

Ver §§2.2.7 e 2.3.4, e Figuras 2.35, 2.48 e 2.50. A forma mais simples de amplificador BJT tem um emissor aterrado, um resistor de carga RL do coletor para uma fonte V+ e

uma polarização CC mais uma pequena tensão de sinal aplicada à base. O ganho é GV= ÿ *RL/ re.* Se a polarização de base for cuidadosamente definida para que a corrente do coletor puxe o coletor até a metade do caminho para o terra, então IC=Vs/2RL, re=VT/IC=2RLVT/Vs e, portanto, o ganho de tensão (lembre -se de VTÿ25 mV) é GV = ÿ *20Vs,* onde Vs está em unidades de volts. Para Vs=20 V, por exemplo, o ganho de tensão é ÿ400.

É muito ganho! A menos que os sinais sejam pequenos, porém, há um problema sério: o ganho é inverso em re, portanto proporcional a IC. Mas o último muda à medida que a tensão de saída oscila para cima e para baixo, produzindo mudanças de primeira ordem no ganho, com distorções severas resultantes (Figura 2.46). Isso pode ser aliviado (às custas do ganho) adicionando *degeneração do emissor* na forma de um resistor de emissor RE. O ganho é então GV= ÿ RL/(RE+re), com efeito bastante reduzido da variação de re; veja a Figura 2.47, onde a degeneração do emissor foi adicionada para reduzir o ganho por um fator de dez (RE=9re).
Esta também é uma forma de feedback negativo, consulte §2.3.4B e ¶W abaixo. Você pode pensar neste circuito como uma fonte de corrente clássica (¶O) acionando um resistor como carga; o ganho de tensão é a transcondutância da fonte de corrente multiplicada pela resistência da carga, *GV=gmRL,* onde gm=ÿ1/re.

Evitamos a importante questão de definir a tensão de polarização de base para produzir a corrente de coletor quiescente desejada. Mas não sabemos a tensão apropriada VBE, e uma pequena mudança tem um grande efeito, veja ¶G acima (por exemplo, uma incerteza de 60 mV em VBE, que é sobre o que você pode encontrar em diferentes lotes de um determinado transistor, pro induz um erro de 10× em IC!). Existem muitas soluções de circuito, veja §2.3.5, mas a mais simples envolve a adição de emissor de geração em CC, contornado conforme necessário para produzir maior ganho em frequências de sinal (Figura 2.50 e 2.51). Outra abordagem é usar um transistor correspondente para definir a polarização, de forma análoga ao espelho de corrente (Figura 2.52); esse método é inerente ao *amplificador diferencial* amplamente usado (Figura 2.65). Uma terceira abordagem é explorar o feedback para definir o viés (Figuras 2.53 e 2.54), um método que figura centralmente em circuitos de amplificadores operacionais (Capítulo 4).

¶R. Amplificadores Diferenciais.

O amplificador diferencial (§2.3.8) é uma configuração simétrica de dois transistores casados, usados para amplificar a diferença de dois sinais de entrada. Pode incluir degeneração do emissor (Figura 2.64), mas não necessariamente (Figura 2.65). Para melhor desempenho, o resistor pulldown do emissor é substituído por uma fonte de corrente e (para maior ganho) a carga resistiva do coletor é substituída por um espelho de corrente (Figura 2.67). Amplificadores diferenciais devem rejeitar fortemente qualquer sinal de entrada de modo comum, alcançando uma boa taxa de rejeição de modo comum (CMRR, a razão Gdiff/GCM). Amplificadores diferenciais podem ser usados para amplificar sinais de entrada de terminação única (terra a outra entrada), onde o cancelamento inerente de VBE off sets permite um desempenho DC preciso (§2.3.8B). Normalmente você usa apenas uma saída de um amplificador diferencial; ou seja, é usado para converter uma entrada balanceada em uma saída de terminação única. Mas você pode usar ambas as saídas (um "amplificador totalmente diferencial", §5.17) para conduzir uma carga balanceada ou para criar um par de sinais 180° fora de fase (um *divisor de fase).* Consulte também as seções sobre amplificador diferencial de entrada do emissor e distorção do amplificador BJT no Capítulo *2x* e §5.13–§5.16 (diferencial de precisão e amplificadores de instrumentação).

¶S. Comparadores.

Um amplificador diferencial com muito ganho Gdiff é levado à saturação diferencial com uma pequena entrada diferencial (§2.3.8E). Por exemplo, apenas alguns milivolts de diferença de entrada são adequados para saturar a saída se Gdiff=1000 (facilmente realizado com uma carga de coletor de espelho de corrente).
Quando operado desta forma, o amplificador diferencial é um *comparador de tensão,* um circuito amplamente utilizado para detectar limiares ou comparar níveis de sinal; é a base da conversão de analógico para digital e figura de maneira importante no Capítulo 12 (consulte §12.3 e as Tabelas 12.1 e 12.2).

¶T. Amplificadores push-pull.

Um único transistor conduz apenas em uma direção (por exemplo, um transistor *npn* só pode drenar corrente de seu coletor e fornecer corrente de seu emissor). Isso torna difícil acionar uma carga pesada com polaridade alternada (por exemplo, um alto-falante, servomotor, etc.), embora possa ser feito, totalmente desperdiçado, com um estágio de terminação única ("classe A") com alto qui corrente ascendente, consulte a Figura 2.68. A configuração push-pull usa um par de transistores conectados a trilhos de alimentação opostos (§2.4.1), um arranjo que pode fornecer grandes correntes de saída de qualquer polaridade com pouca ou nenhuma corrente quiescente. A Figura 2.69 mostra um seguidor push-pull com polaridades complementares e com corrente quiescente zero ("classe-B"); isso produz alguma distorção de crossover, que pode ser eliminada pela polarização do par em condução quiescente ("classe AB", Figura 2.71). Os transistores de saída podem ser configurações beta-boosting como Darlington ou Sziklai (¶U), veja por exemplo a Figura 2.78. A configuração push pull é amplamente usada em circuitos lógicos (consulte a Figura 10.25), ICs de driver de porta (consulte a Figura 3.97) e em combinação com amplificadores operacionais para fornecer correntes de saída maiores (consulte a Figura 4.26).

¶VOCÊ. As conexões de Darlington e Sziklai.

Essas combinações simples de dois transistores criam um transistor equivalente de 3 terminais com 2. O Darlington (Figuras 2.74 e 2.75) conecta em cascata dois transistores do

mesma polaridade e tem uma queda base-emissor de 2VBE; o Sziklai (Figura 2.77) emparelha polaridades opostas e tem uma única queda base-emissor (que depende apenas fracamente da corrente de saída, graças ao RB). Para qualquer configuração, um resistor RB deve ser conectado aos terminais base-emissor do transistor de saída. Para saber mais sobre esse assunto, consulte a discussão no Capítulo *2x.*

¶V. Efeito Miller.

Como todos os componentes eletrônicos, os transistores possuem capacitâncias entre terminais, designadas (por pares de terminais) Cbe, Cce e Ccb.[72] Enquanto Cbe e Cce retardam a entrada e saída colocar formas de onda criando filtros passa-baixo com as resistências de fonte e carga, o efeito da capacitância de realimentação Ccb é mais insidioso: cria uma capacitância de entrada adicional para o terra igual a Ccb multiplicada pelo ganho de tensão de inversão do estágio, portanto, sua capacitância de entrada efetiva be comes Ceff=(GV+1)Ccb. Este é o infame *efeito Miller* (§2.4.5B), cujo impacto pode ser devastador em amplificadores de banda larga e de alta velocidade. Algumas soluções de circuito incluem o amplificador de base aterrada, o amplificador diferencial e a configuração do cascode (consulte a discussão sobre o cascode no Capítulo 2x).

[72] Eles têm muitos aliases (um conjunto comum usa iniciais para "in" e "out" em vez de "base" e "coletor", portanto , Cie, Coe e Cob, respectivamente), consulte a seção sobre largura de banda BJT no Capítulo *2x.*

¶C. Avaliação negativa.

Se houvesse um prêmio Nobel para projetos de grandes conceitos em circuitos, ele certamente iria para Harold Black por sua elegante elucidação do *feedback negativo.* Em sua forma mais simples, consiste em subtrair, do sinal de entrada, uma fração *B* do sinal de saída de um amplificador Vout (Figura 2.85). Se o ganho de malha aberta do amplificador for A, então o ganho de malha fechada se torna (eq'n 2.16) Gcl=A/(1+AB). A quantidade *AB,* que geralmente é grande em comparação com a unidade, é chamada de *ganho de loop* e (mais precisamente a quantidade *1+AB)* é o multiplicador pelo qual a realimentação negativa melhora o desempenho do amplificador: melhor linearidade e constância de ganho e (nesta configuração de circuito de *realimentação em série)* aumentou a impedância de entrada e diminuiu a impedância de saída; ver §2.5.3.

A realimentação é a essência do projeto linear e está profundamente enraizada no DNA dos circuitos de amplificadores operacionais (o assunto do Capítulo 4) e dos circuitos de potência (Capítulo 9). Com realimentação negativa, você pode fazer amplificadores com distorção de 0,0001%, fontes de tensão com impedância de saída de 0,001 ÿ e muitas outras maravilhas magníficas demais para serem relatadas aqui. Fique ligado. Melhor ainda, *continue lendo!*

TRANSISTORES DE EFEITO DE CAMPO

CAPÍTULO **3**

3.1 Introdução

Os transistores de efeito de campo (FETs) são diferentes dos transistores bipolares[1] sobre os quais falamos no último capítulo. Em linhas gerais, no entanto, são dispositivos semelhantes, que poderíamos chamar *de dispositivos de controle de carga:* em ambos os casos (Figura 3.1) temos um dispositivo de três terminais em que a condução entre dois eletrodos depende da disponibilidade de portadores de carga, que é controlado por uma voltagem aplicada a um terceiro *eletrodo de controle.*

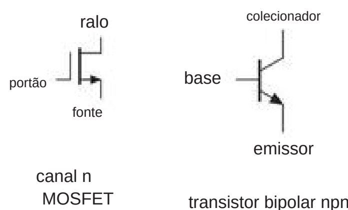


Figura 3.1. O MOSFET de canal n e seu transistor analógico *npn* .

Veja como eles diferem: em um transistor bipolar, a junção coletor-base é retropolarizada, de modo que normalmente não há fluxo de corrente. A polarização direta da junção base-emissor em ÿ0,6 V supera sua "barreira de potencial de contato" do diodo, fazendo com que os elétrons entrem na região da base, onde são fortemente atraídos para o coletor. Apesar de alguns resultados de corrente base, a maioria desses "portadores minoritários" são capturados pelo coletor. Isso resulta em uma corrente de coletor, controlada por uma corrente de base (muito menor). A corrente do coletor é proporcional à taxa de injeção de portadores minoritários na região de base, que é uma função exponencial de VBE (a equação de Ebers-Moll). Você pode pensar em um transistor bipolar como um amplificador de corrente (com ganho de corrente aproximadamente constante) ou (Ebers-Moll: transcondutância) dispositivo de corrente de coletor programada pela *tensão base-emissor).*

Em um FET, como o nome sugere, a condução em um *canal* é controlada por um *campo elétrico,* produzido por uma voltagem aplicada ao eletrodo de *porta .* Não há junções com polarização direta, então o portão não puxa corrente. Isso é por talvez a vantagem mais importante do FET. Assim como os BJTs, existem duas polaridades, FETs *de canal n* (condução por elétrons) e FETs *de canal p* (condução por lacunas). Essas duas polaridades são análogas aos conhecidos transistores bipolares *npn* e *pnp ,* respectivamente. Além disso, no entanto, os FETs tendem a ser confusos no início porque podem ser feitos com dois tipos diferentes de portas (portanto, JFETs e MOSFETs) e com dois tipos diferentes de dopagem de canal (levando a modos de *aprimoramento* e *depleção).* Vamos resolver essas possibilidades em breve.

Primeiro, porém, alguma motivação e perspectiva. A corrente de porta inexistente do FET é sua característica mais importante. A alta impedância de entrada resultante (que pode ser superior a 1014 ÿ) é essencial em muitas aplicações e, em qualquer caso, torna o projeto de circuitos simples e divertido. Para aplicações como interruptores analógicos e amplificadores de impedância de entrada ultra alta, os FETs não têm igual. Eles podem ser facilmente usados sozinhos ou combinados com transistores bipolares para fazer circuitos integrados. No próximo capítulo, veremos o sucesso desse processo na fabricação de amplificadores operacionais quase perfeitos (e maravilhosamente fáceis de usar) . cuits. Como muitos FETs que usam corrente muito baixa podem ser construídos em uma área pequena, eles são especialmente úteis para circuitos digitais de integração em escala muito grande (VLSI), como microprocessadores, memória e chips de "aplicação específica" do tipo usado em telefones celulares, televisores e similares. No outro extremo do espectro, MOS FETs robustos de alta corrente (50 amperes ou mais) substituíram os transistores bipolares em muitas aplicações, geralmente fornecendo circuitos mais simples com desempenho aprimorado.

3.1.1 Características do FET

Os iniciantes às vezes ficam catatônicos quando confrontados diretamente com a confusa variedade de tipos de FET. Essa variedade surge das escolhas combinadas de polaridade *(canal n* ou canal *p),* forma de isolamento da porta [junção do duto semicondutor (JFET) ou *isolador* de óxido (MOSFET)] e dopagem do canal *(modo de aprimoramento* ou *depleção).* Do

[1] Muitas vezes chamados de BJTs, para "transistores de junção bipolar", para distingui-los dos FETs.

oito possibilidades resultantes, seis *poderiam* ser feitas, e cinco realmente são. Quatro desses cinco são de grande importância.

No entanto, ajudará na compreensão (e na sanidade) se começarmos com apenas um tipo, assim como fizemos com o transistor bipolar *npn* . Uma vez familiarizados com os FETs, teremos poucos problemas com sua árvore genealógica.

A. Curvas FET V-I

Vamos primeiro examinar o MOS FET de modo de aprimoramento de canal n, que é análogo ao transistor bipolar *npn* (Figura 3.2). Em operação normal, o dreno (ÿcoletor) é mais positivo que a fonte (ÿemissor). Nenhuma corrente flui do dreno para a fonte, a menos que a porta (ÿbase) seja positiva em relação à fonte. Uma vez que o portão é "polarizado diretamente", haverá corrente de dreno, que fluirá para a fonte. A Figura 3.2 mostra como o ID da corrente dreno varia com a tensão dreno-fonte VDS para alguns valores de controle da tensão porta-fonte VGS. Para comparação, é mostrada a "família" correspondente de curvas de IC versus VBE para um transistor bipolar *npn* comum. Evidentemente, existem muitas semelhanças entre os MOSFETs de canal n e os transistores bipolares *npn .*

Como o transistor *npn ,* o FET tem uma alta impedância de dreno incremental, fornecendo uma corrente aproximadamente constante para VDS maior que um ou dois volts. Por uma escolha infeliz de linguagem, isso é chamado de região de "saturação" do FET (um termo melhor é "saturação de corrente") e corresponde à região "ativa" do transistor bipolar. Análogo ao transistor bipolar, uma polarização porta-fonte maior produz uma corrente de dreno maior. E, análogo aos transistores bipolares, os FETs não são dispositivos de transcondutância perfeitos (corrente de dreno constante para tensão porta-fonte constante): assim como a característica de transcondutância Ebers-Moll ideal dos transistores bipolares é degradada pelo efeito Early (§2.3.2D e *§2x.8),* há um afastamento análogo do comportamento de transcondutância ideal para FETs, caracterizado por uma resistência de saída de dreno finita ro (mais comumente chamada de 1/gos, consulte §3.3.2 e *§3x.4).*

Até agora, o FET se parece com o transistor *npn .* Vamos olhar mais de perto, no entanto. Por um lado, na faixa normal de correntes, a corrente de dreno de saturação aumenta modestamente com o aumento da tensão de porta (VGS). Na verdade, é aproximadamente proporcional a (VGS ÿVth)2, onde Vth é a tensão de limiar da porta na qual a corrente de dreno começa (Vth ÿ 1,63 V para o FET na Figura 3.2); compare esta lei quadrática suave com a lei do transistor exponencial íngreme, como nos foi dada por Ebers e Moll. Em segundo lugar, há *zero* corrente de porta CC, então você não deve pensar no FET como um dispositivo com ganho de corrente (que seria infinito). Em vez disso, pense no FET como um dispositivo de transcondutância, com porta-fonte tensão programando a corrente de dreno, como fizemos com o transistor bipolar no tratamento de Ebers-Moll. Lembre-se de que a transcondutância *gm* é simplesmente a relação id/vgs (usando a convenção de letras minúsculas para indicar mudanças de "pequeno sinal" em um parâmetro; por exemplo, id/vgs = ID/ VGS). d d
Em terceiro lugar, a porta de um MOSFET é realmente isolada do canal dreno-fonte; assim, ao contrário da situação dos transistores bipolares (ou JFETs, como veremos), você pode trazê-lo positivo (ou negativo) pelo menos 10 V ou mais sem se preocupar com a condução do diodo. Finalmente, o FET difere do transistor bipolar na chamada região *linear* (baixa tensão) do gráfico, onde se comporta de forma bastante precisa como um resistor, mesmo para VDS *negativo ;* isso acaba sendo bastante útil porque a resistência equivalente dreno-fonte é, como você pode imaginar, programada pela tensão de porta-fonte.

B. Dois exemplos de

FETs nos reservam mais surpresas. Mas antes de entrar em mais detalhes, vamos ver duas aplicações simples de comutação. A Figura 3.3 mostra o MOSFET equivalente à Figura 2.5, nossa primeira chave de transistor saturado. O circuito FET é ainda mais simples, porque não temos que nos preocupar com o inevitável compromisso de fornecer corrente de base adequada (considerando o mini caso pior combinado com a resistência ao frio da lâmpada) sem desperdiçar mãe b energia excessiva. Em vez disso, apenas aplicamos um inversor de tensão CC de oscilação total à porta cooperativa de alta impedância. Enquanto o FET ligado se comportar como uma resistência pequena em comparação com a carga, ele trará seu dreno para perto do solo; os MOSFETs de potência típicos têm RON < 0,1ÿ, o que é bom para este trabalho.

Demonstramos esse circuito em nosso curso de eletrônica, mas colocamos um resistor em série com a porta. Os alunos ficam surpresos ao descobrir sua resistência – 10 Mÿ – o que implica um "beta" de pelo menos 100.000. Eles ficam ainda mais surpresos quando percebem que a luz permanece acesa quando o gate é então aberto: a voltagem do gate é mantida na capacitância do gate e permanecerá assim pelo resto da palestra de uma hora.2 Isso implica que o a corrente do portão está bem abaixo de um picoampère!

A Figura 3.4 mostra uma aplicação de "interruptor analógico"3 , que não pode ser feito com transistores bipolares. A ideia aqui é mudar a condução de um FET de circuito aberto (gate reverse-biased) para curto-circuito (gate forward biased), bloqueando ou passando o sinal analógico (veremos muitas razões para fazer este tipo de coisa mais tarde). Nisso

2 A capacitância da porta "lembra" qualquer voltagem que foi aplicada pela última vez. Portanto, você pode mantê-lo ligado, desligado ou até mesmo com meio brilho, sem nenhuma mudança perceptível, mesmo com o portão flutuando.

3 Também chamado de "interruptor linear".

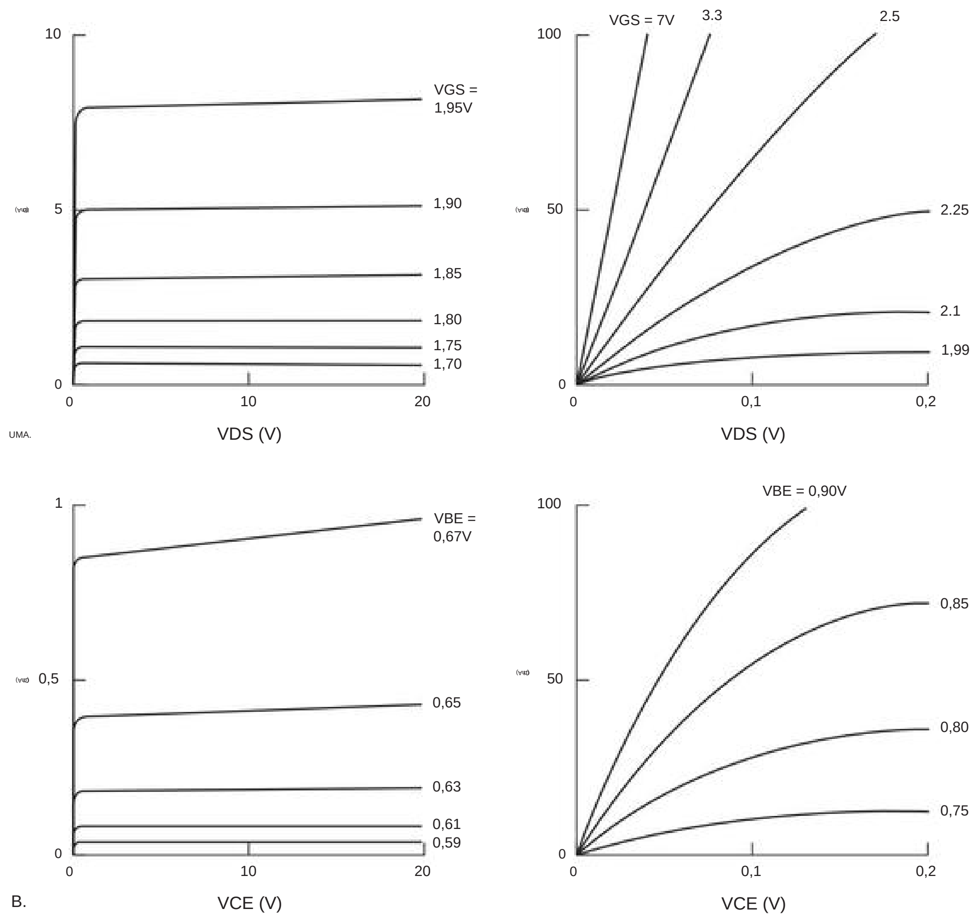


Figura 3.2. Curvas características medidas do MOSFET/transistor: A. VN0106 (semelhante ao popular 2N7000) MOSFET de canal n: ID versus VDS para vários valores de VGS. B. 2N3904 transistor bipolar *npn :* IC versus VCE para vários valores de VBE.

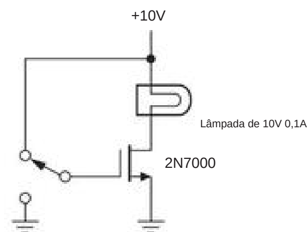


Figura 3.3. Interruptor de alimentação MOSFET.

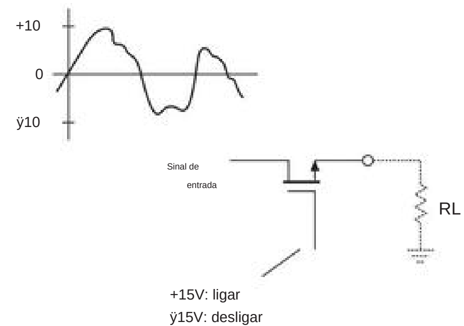


Figura 3.4. Interruptor analógico MOSFET (sinal).

Nesse caso, nós apenas arranjamos para que a porta seja acionada de forma mais negativa do que qualquer oscilação do sinal de entrada (interruptor *aberto),* ou alguns volts mais positivos do que qualquer oscilação do sinal de entrada (interruptor *fechado).* Os transistores bipolares não são adequados para esta aplicação, porque a base extrai corrente e forma diodos com o emissor e o coletor, produzindo uma ação de fixação desajeitada. O MOSFET é deliciosamente simples em comparação,

ing apenas uma oscilação de tensão no portão (essencialmente de circuito aberto).4

4 É justo mencionar que nosso tratamento deste circuito foi algo

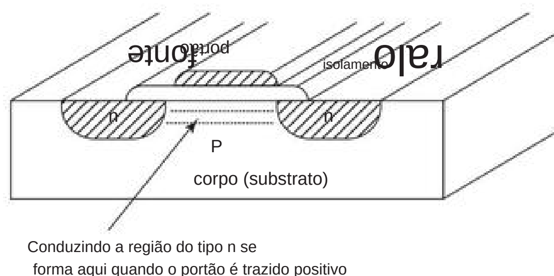


Figura 3.5. Um MOSFET "lateral" de canal n.

3.1.2 Tipos de FET

A. canal n, canal p Agora, para a árvore genealógica. Primeiro, os FETs (como os BJTs) podem ser fabricados em ambas as polaridades. Assim, o espelho gêmeo do nosso MOSFET de canal n é um MOSFET de canal p. Seu comportamento é simétrico, imitando transistores *pnp :* o dreno é normalmente negativo em relação à fonte, e a corrente de dreno flui se a porta for trazida pelo menos um ou dois volts negativos em relação à fonte. A simetria não é perfeita porque os portadores são buracos, em vez de elétrons, com menor mobilidade e tempo de vida de portadores minoritários.[5] Vale a pena lembrar a consequência – FETs de canal p geralmente têm desempenho inferior, manifestado como uma tensão de limite de porta mais alta, R_{ON} mais alto e corrente de saturação mais baixa.[6]

B. MOSFET, JFET Em um MOSFET ("Metal-Oxide-Semiconductor Field-Effect Transistor") a região do gate é separada do canal condutor por uma fina camada de SiO_2 (vidro) desenvolvida no canal (Figura 3.5). A porta, que pode ser de metal ou silício dopado, é realmente isolada do circuito de dreno da fonte, com resistência de entrada característica >10^{14} ÿ.

Afeta a condução do canal puramente por seu campo elétrico. Às vezes, os MOSFETs são chamados de FETs *de porta isolada* ou IGFETs. A camada isolante da porta é bastante fina, normalmente menos do que um comprimento de onda de luz, e pode suportar tensões de porta de até ± 20 V em MOSFETs de potência típicos (menos para a pequenos MOSFETs em circuitos integrados de baixa tensão). Os MOS FETs são fáceis de usar porque o gate pode oscilar em qualquer polaridade em relação à fonte sem qualquer fluxo de corrente no gate. Eles são, no entanto, bastante suscetíveis a danos por eletricidade estática; você pode destruir um dispositivo MOSFET literalmente tocando nele.

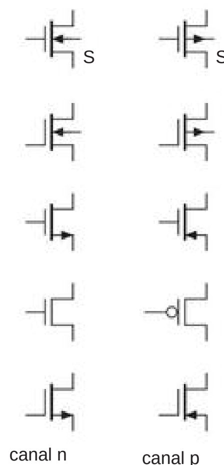


Figura 3.6. Símbolos esquemáticos MOSFET.

Os símbolos para MOSFETs são mostrados na Figura 3.6. O terminal extra que às vezes é mostrado é o "corpo" ou "substrato", o pedaço de silício no qual o FET é fabricado. Como o corpo forma uma junção de diodo com o canal, ele deve ser mantido em uma tensão não condutora. Pode ser vinculado à fonte ou a um ponto do circuito mais negativo (positivo) que a fonte para o canal n (canal p)

MOSFETs. É comum ver o terminal do corpo omitido; além disso, os engenheiros costumam usar o símbolo com o portão simétrico. Infelizmente, com o que sobra, você não consegue distinguir a fonte do dreno; pior ainda, você não pode diferenciar o canal n do canal p! Neste livro, usamos com mais frequência o par inferior de símbolos esquemáticos, que, embora pouco convencionais, são inequívocos e organizados.[7]

Em um JFET (transistor de efeito de campo de junção), o portão forma uma junção de semicondutor com o canal subjacente. Isso tem a importante consequência de que *uma porta JFET não deve ser polarizada diretamente em relação ao canal, para evitar a corrente da porta.* Por exemplo, a condução do diodo ocorrerá quando a porta de um JFET de canal n se aproximar de +0,6 V em relação à extremidade mais negativa do canal (que geralmente é a fonte). A porta é, portanto, operada com polarização reversa em relação ao canal, e nenhum

o que é simplista, por exemplo, ignorando os efeitos da capacitância do canal de porta e a variação de R_{ON} com a oscilação do sinal. Teremos mais a dizer sobre interruptores analógicos mais tarde.

[5] Estes são parâmetros de semicondutores de importância no desempenho do transistor. mance.

[6] No caso dos chamados "pares complementares" (uma parte do canal n e uma parte do canal p com tensões e correntes semelhantes), a parte do canal p é geralmente construída com uma área maior para corresponder ao desempenho do n -parte do canal. Você pode ver a evidência no datasheet na forma de maior capacitância para a parte do canal p.

[7] Na prática atual, os projetistas de lógica gostam de usar o segundo par de baixo para cima, enquanto os usuários de power MOSFET preferem o segundo par de cima para baixo.

corrente (exceto vazamento de diodo) flui no circuito de porta. Os símbolos de circuito para JFETs são mostrados na Figura 3.7. Mais uma vez, favorecemos o símbolo com porta de deslocamento para identificar a fonte (embora os JFETs e os pequenos MOSFETs integrados sejam simétricos, os MOSFETs de potência são bastante assimétricos, com capacitâncias e tensões de ruptura muito diferentes).

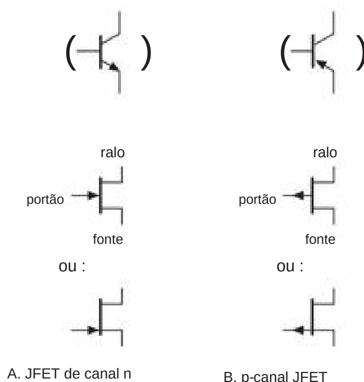


Figura 3.7. Símbolos esquemáticos JFET: A. JFET de canal n. B. p canal JFET.

C. Aprimoramento, esgotamento

Os MOSFETs de canal n com os quais iniciamos o capítulo não eram condutores, com polarização de porta zero (ou negativa) e foram conduzidos ao trazer a porta positiva em relação à fonte. Esse tipo de FET é conhecido como *modo de aprimoramento.* A outra possibilidade é fabricar o FET de canal n com o semicondutor de canal "dopado" para que haja bastante condução de canal mesmo com polarização de porta zero, e a porta deve ser polarizada inversamente por alguns volts para cortar o dreno atual. Tal FET é conhecido como *modo de depleção.* Os MOSFETs podem ser feitos em qualquer uma das variedades, porque a porta, sendo isolada do canal, pode oscilar em qualquer uma das polaridades. Mas os JFETs, com seu diodo de canal de porta, permitem apenas polarização de porta reversa e, portanto, são feitos apenas no modo de depleção.

Um gráfico de corrente de dreno versus tensão de porta-fonte, em um valor fixo de tensão de dreno, pode ajudar a esclarecer essa distinção (Figuras 3.8 e 3.9). O dispositivo de modo de aprimoramento não extrai corrente de dreno até que o gate seja colocado positivo (estes são FETs de canal n) em relação à fonte, enquanto o dispositivo de modo de depleção está operando quase em seu valor máximo de corrente de dreno quando o gate está na mesma tensão da fonte. Em certo sentido, as duas categorias são artificiais, porque as duas curvas são idênticas, exceto por um deslocamento ao longo do eixo VGS . De fato, é possível fabricar MOSFETs "intermediários". No entanto, a distinção é importante quando se trata de projeto de circuito.

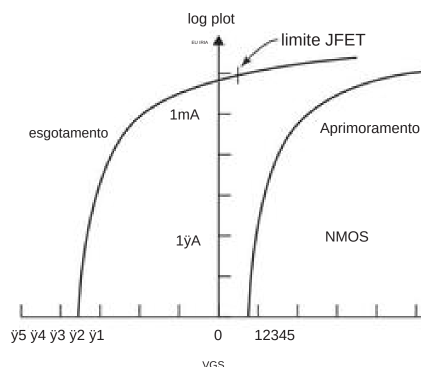


Figura 3.8. Características de transferência *(ID* versus VGS) para um transistor JFET (modo de depleção) e MOSFET (modo de aprimoramento). Veja também as curvas medidas na Figura 3.19.

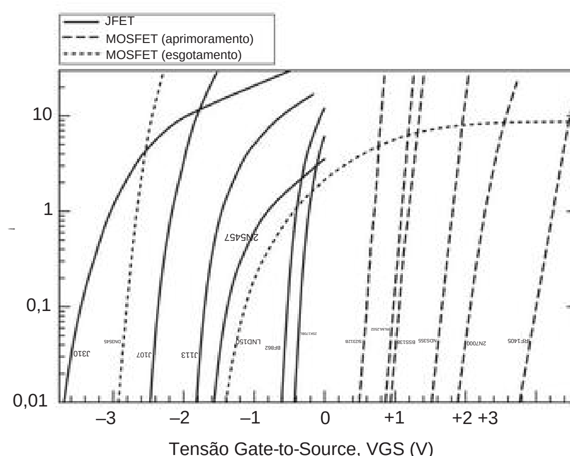


Figura 3.9. Dando alguma autenticidade ao esboço teórico da Figura 3.8: ID medido versus VGS para uma seleção de FETs de canal n.

Observe que os JFETs são sempre dispositivos de modo de depleção e que a porta não pode ser trazida mais do que cerca de 0,5 V mais positiva (para o canal n) do que a fonte, pois o diodo do canal da porta conduzirá. Os MOSFETs *podem* ser de aprimoramento ou depleção, mas na prática a espécie dominante é o aprimoramento, com uma pitada de MOSFETs de modo de depleção.8 Na maioria das vezes, então, você precisa se preocupar apenas com (a) JFETs de modo de depleção e

[8] Na forma de FETs GaAs de canal n, cascodes de "porta dupla" para aplicações de radiofrequência e uma seleção de MOSFETs de potência de modo de depleção de alta tensão (como o Supertex lateral LND150 ou DN3435 vertical, bem como ofertas por seis outros fabricantes).

(b) MOSFETs de modo de aprimoramento. Cada um vem em duas polaridades, canal n e canal p.

3.1.3 Características universais do FET

Uma árvore genealógica (Figura 3.10) e um mapa (Figura 3.11) da tensão de entrada-saída (fonte aterrada) podem ajudar a simplificar as coisas. Os diferentes dispositivos (incluindo transistores bipolares *npn* e *pnp* de variedade de jardim) são desenhados no quadrante que caracteriza suas tensões de entrada e saída quando estão na região ativa com fonte (ou emissor) aterrada. Você não precisa se lembrar das propriedades dos cinco tipos de FETs, porque eles são basicamente os mesmos.

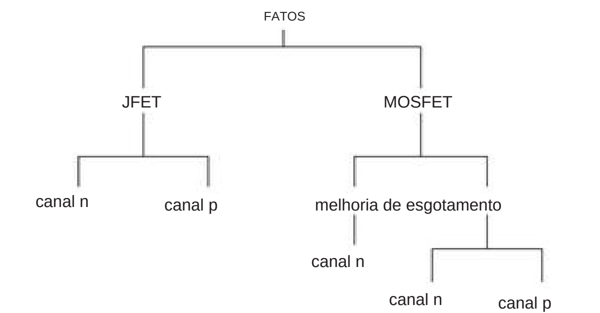


Figura 3.10. Árvore genealógica FET.

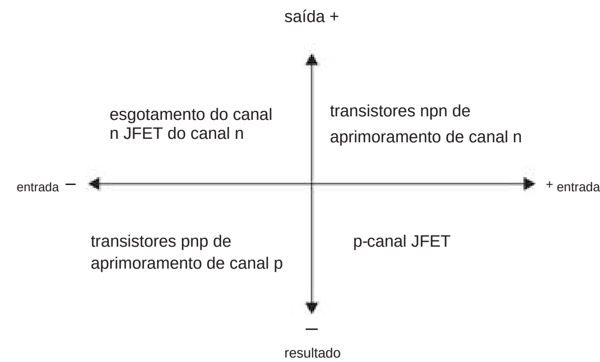


Figura 3.11. "Mapa de polaridade" do transistor.

Primeiro, com a fonte aterrada, um FET é ligado (colocado em condução) trazendo a tensão do portão "para a frente" da tensão de alimentação do dreno ativo. Isso é verdade para todos os cinco tipos de FETs, bem como para os transistores bipolares. Por exemplo, um JFET de canal n (que é necessariamente o modo de depleção) usa um suprimento de dreno positivo, assim como todos os dispositivos do tipo n. Assim, uma tensão de porta positiva tende a ligar o JFET. A sutileza para dispositivos de modo de depleção é que o portão deve ser (negativamente) polarizado para drenagem zero corrente, enquanto que para dispositivos de modo de aprimoramento, a tensão de porta zero é suficiente para fornecer corrente de dreno zero.

Em segundo lugar, devido à quase simetria de fonte e dreno, qualquer um dos terminais pode atuar como fonte efetiva (exceção: não verdadeiro para MOSFETs de potência, nos quais o corpo está conectado internamente à fonte). Ao pensar na ação do FET e para fins de cálculo, lembre-se de que o terminal da fonte efetiva é sempre o mais "distante" do suprimento de dreno ativo. Por exemplo, suponha que um FET seja usado para comutar uma linha para o terra, e ambos os sinais positivos e negativos estão presentes na linha comutada, que geralmente é selecionada para ser o dreno do FET. Se a chave for um MOSFET de canal n (portanto, aprimoramento) e uma tensão negativa estiver presente no terminal de drenagem (desligado), esse terminal é na verdade a "fonte" para fins de tensão de ativação do portão Cálculo. Assim, uma tensão de porta negativa maior que o sinal mais negativo, em vez de terra, é necessária para garantir o desligamento.

O gráfico da Figura 3.12 pode ajudar a esclarecer todas essas ideias confusas. Novamente, a diferença entre intensificação e depleção é apenas uma questão de deslocamento ao longo do eixo VGS , ou seja, se há muita corrente de dreno ou nenhuma corrente de dreno quando o gate está no mesmo potencial que a fonte. Os FETs de canal n e canal p são complementares da mesma forma que os transistores bipolares *npn* e *pnp* .

Na Figura 3.12 usamos símbolos padrão para os importantes parâmetros FET de corrente de saturação e tensão de corte. Para JFETs, o valor da corrente de dreno com o portão em curto com a fonte é especificado nas folhas de dados como IDSS e é quase a corrente de dreno máxima possível. (IDSS significa corrente do dreno para a fonte com o portão em curto com a fonte. Ao longo do capítulo você verá esta notação, na qual as duas primeiras letras subscritas designam o par de terminais e a terceira especifica a condição). MOSFETs, a especificação análoga é ID(ON), dada em alguma tensão de porta direta ("IDSS" seria zero para qualquer dispositivo de modo de aprimoramento).

Para JFETs, a tensão porta-fonte na qual a corrente de dreno é trazida essencialmente para zero9 é chamada de "tensão de corte da fonte-porta", VGS(OFF) ou (às vezes) "tensão pinçada", VP, e é tipicamente na faixa de ÿ1 V a ÿ5 V (positivo para o canal p, é claro). A quantidade análoga não é normalmente especificada para MOSFETs de modo de aprimoramento;10 em vez disso, as folhas de dados especificam o

9 Geralmente escolhido para ser 10 nA; um circuito de teste de tensão pinchoff é descrito em §4.3.4.

10 Usaremos o símbolo Vth para designar a "tensão de corte da fonte de porta" análoga idealizada para MOSFETs, que precisaremos em alguns

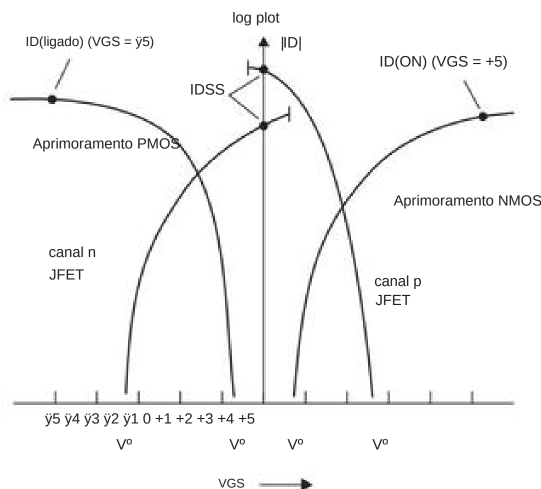


Figura 3.12. Tensões de porta importantes e correntes de dreno.

"tensão de limite de fonte de porta", VGS(th), na qual o início da corrente de dreno atingiu um valor de limite pequeno, mas arbitrário, normalmente 0,25 mA. VGS(th) está tipicamente na faixa de 0,5–5 V, na direção "para frente", é claro.

Com FETs é fácil ficar confuso sobre as polaridades. Por exemplo, dispositivos de canal n, que geralmente têm dreno positivo em relação à fonte, podem ter tensão de porta positiva ou negativa e tensões de limite positivas (aumento) ou negativas (esgotamento). Para piorar a situação, o dreno pode ser (e frequentemente é) operado de forma negativa em relação à fonte. Claro, todas essas declarações são inversas para dispositivos de canal p. A fim de minimizar a confusão, sempre assumiremos que estamos falando sobre dispositivos de canal n, a menos que seja explicitamente declarado o contrário. Da mesma forma, como os MOSFETs estão quase sempre no modo de aprimoramento e os JFETs estão sempre no modo de depleção, omitiremos essas designações de agora em diante.

3.1.4 Características do dreno FET

Na Figura 3.2 mostramos uma família de curvas de ID versus VDS que medimos para um VN0106, um canal n MOSFET de modo de aprimoramento.[11] Observamos que os FETs se comportam como dispositivos de transcondutância muito bons na maior parte do gráfico (ou seja, ID quase constante para um determinado VGS), exceto em pequenos VDS, onde eles se aproximam de uma resistência (ou seja, ID proporcional a VDS) . Em ambos os casos, a tensão da fonte de porta aplicada controla o comportamento, que pode ser bem descrito pelo análogo FET da equação de E Vejamos agora essas duas regiões um pouco mais de perto; revisitaremos esse assunto importante com mais detalhes em §3.3 e novamente nos tópicos avançados do Capítulo *3x.*

A Figura 3.13 mostra esquematicamente a situação. Em ambas as regiões, a corrente de dreno depende de VGS ÿVth, a quantidade pela qual a tensão de porta-fonte aplicada excede a tensão de limiar (ou pinch-off). A região linear, na qual a corrente de dreno é aproximadamente proporcional a VDS, estende-se até uma tensão VDS(sat), após a qual a corrente de dreno é aproximadamente constante. A inclinação na região linear, *ID/ VDS,* é proporcional à polarização da porta, VGS ÿVth.
Além disso, a tensão de dreno na qual as curvas entram na " *região de saturação", VDS(sat),* é aproximadamente VGSÿVth, tornando a corrente de dreno de saturação, ID(sat), proporcional a (VGS ÿVth)2, a lei quadrática que mencionado anteriormente. Para referência, aqui estão as fórmulas de corrente de dreno FET universal:

ID = 2 k *[(VGS* ÿVth)VDS *ÿV2* DS/2] (região linear) (3.1)

ID = k (VGS ÿVº)^2 (região de saturação) (3.2)

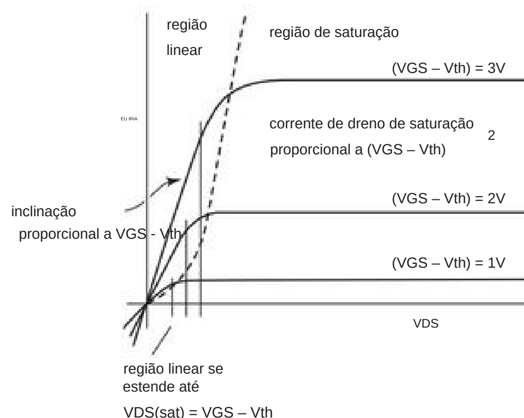


Figura 3.13. Regiões lineares e de saturação da operação FET.

Se chamarmos VGS ÿVth (a quantidade pela qual a tensão da fonte do portão excede o limite) o "acionamento do portão", o

discussão que segue. Na literatura eletrônica, o símbolo VT é usado para essa grandeza, chamada de "tensão limite"; mas preferimos evitar o mesmo símbolo usado para a "tensão térmica" VT na equação de Ebers–Moll, onde VT = *kT/ qÿ25* mV. E não confunda Vth com VGS(th): Vth é obtido extrapolando um *gráfico ÿID* versus VGS ; não é encontrado em datasheets, mas é bastante útil. Por outro lado, VGS(th) não é muito útil, mas é a quantidade que você encontra nas folhas de dados.

[11] O VN0106 não está amplamente disponível. É semelhante ao muito popular 2N7000 ou BS170 (no pacote TO-92) e ao 2N7002, BSS138 ou MMBF170 (nos pacotes SMT).

Machine Translated by Google

resultados importantes são que (a) a resistência na região linear é inversamente proporcional ao drive do gate, (b) a região linear se estende a uma tensão dreno-fonte aproximadamente igual ao drive do gate, e (c) o dreno de saturação a corrente é proporcional ao quadrado do acionamento do portão. Essas equações assumem que o corpo está conectado à fonte. Observe que a "região linear" não é realmente linear por causa do termo V2 ; mostraremos uma correção de circuito inteligente mais tarde.
DS

O fator de escala k depende de particularidades como a geometria do FET, capacitância de óxido e mobilidade do portador ÿ T No entanto, Vth também depende ligeiramente da temperatura (2–5 mV/ k ÿ3/2 , cuja bilidade . ÿC); o efeito combinado produz a curva de corrente de dreno versus temperatura, conforme mostrado na Figura 3.14.

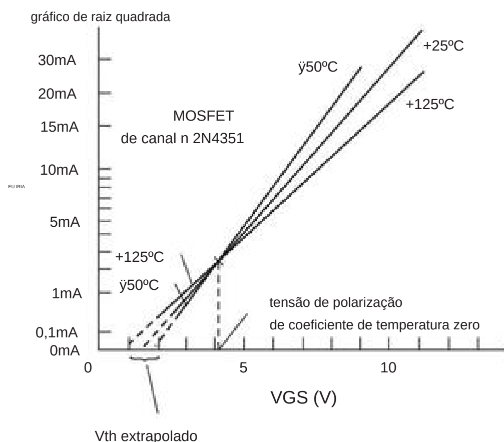


Figura 3.14. A "tensão limite" Vth é encontrada extrapolando um gráfico de raiz quadrada de ID para corrente de dreno zero. A corrente de dreno de saturação do FET tem um tempco negativo no regime de alta corrente.

Em grandes tensões de porta, o coeficiente negativo de temperatura faz com que a corrente de dreno diminua com o aumento da temperatura. k Como consequência, os FETs de um determinado tipo, operando neste regime de alta corrente, muitas vezes podem ser paralelos sem os resistores equalizadores de corrente externos ("lastro emissor") que você deve usar com transistores bipolares (consulte §3.6.3).13 Esse mesmo coeficiente negativo também evita fugas térmicas em regiões locais da junção (uma efeito conhecido como "corrente excessiva"), que limita severamente a capacidade de potência de grandes transistores bipolares, como veremos quando discutirmos "segunda falha" e "área operacional segura" no Capítulo 9.

Em pequenas correntes de dreno (onde o coeficiente de temperatura de Vth domina), ID tem um tempco positivo, com um ponto de coeficiente de temperatura zero em alguma corrente de dreno intermediária. Esse efeito é explorado em amplificadores operacionais FET para minimizar o desvio de temperatura, como veremos no próximo capítulo.

A. Região de sublimiar Nossa expressão dada anteriormente para corrente de dreno de saturação não se aplica a correntes de dreno muito pequenas. Isso é conhecido como região de "sublimiar", onde o canal está abaixo do limiar para condução, mas alguma corrente flui de qualquer maneira por causa de uma pequena população de elétrons termicamente energéticos. Se você estudou física ou química, provavelmente sabe profundamente que a corrente de dreno resultante é exponencial (com algum fator de escala) na diferença de tensão *VGS-Vth.*

Medimos alguns MOSFETs ao longo de nove décadas de corrente de dreno (1 nA a 1 A) e plotamos o resultado como um gráfico de ID versus VGS (Figura 3.15). A região de 1 nA a 1 mA é precisamente exponencial; acima desta região subliminar, as curvas entram na região "quadrática" normal.
Para o MOSFET de canal n (Supertex tipo VN01, semelhante ao sempre popular 2N7000), verificamos uma amostra de 20 transistores (de quatro execuções de fabricação diferentes espalhadas por dois anos), plotando a faixa extrema para lhe dar uma ideia de a variabilidade (veja a próxima seção). Observe as características um pouco mais pobres (Vth, ID(ON)) do VP01 "complementar" (semelhante ao popular BS250).

Os JFETs exibem um comportamento semelhante, conforme ilustrado nos dados medidos da Figura 3.16 (embora o VGS seja necessariamente limitado à polaridade de tensão de polarização reversa ou, no máximo, a uma polarização direta menor que uma queda de diodo). A região quadrática, onde IDÿ(VGSÿVth)2, é vista mais claramente plotando a *raiz quadrada* da corrente de dreno versus tensão de porta; consulte a Figura 3.14 e a Figura 3.51 mais adiante no capítulo.

3.1.5 Propagação de fabricação das características do FET

Antes de olharmos para alguns circuitos, vamos dar uma olhada na faixa de parâmetros do FET (como IDSS e VGS(th)), bem como sua "distribuição" de fabricação entre dispositivos do mesmo tipo nominal, a fim de obter uma melhor idéia do FET. Infelizmente, muitas das características dos FETs mostram uma dispersão de processo muito maior do que o correspondente

12 Você normalmente verá o símbolo *k* usado aqui. Preferimos a k , evitar confusão com a constante de Boltzmann *k* que figura na equação de Ebers-Moll para o comportamento do transistor bipolar. O modelo SPICE para JFETs chama esse parâmetro (e para Vth usa o parâmetro "VTO").
b

13 Alguns cuidados se aplicam, principalmente com MOSFETs de potência comuns ("verticais") em aplicações lineares, onde eles são operados em correntes de dreno bem abaixo da região do coeficiente de temperatura negativo – consulte §3.5.1B e §3.6.3. Em tais aplicações (por exemplo, amplificadores de potência de áudio) o MOSFET "lateral" alternativo é popular, devido ao seu coeficiente estabilizador negativo.

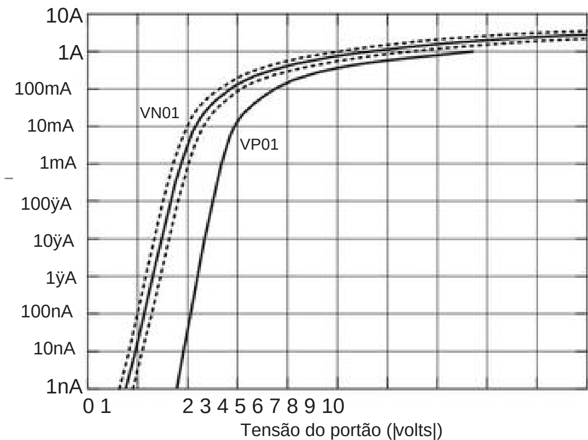


Figura 3.15. Corrente de dreno de saturação MOSFET medida versus tensão de porta-fonte. Para o VN01, as curvas pontilhadas são os espécimes extremos e a curva sólida é a mediana, de um grupo de 20 MOSFETs.

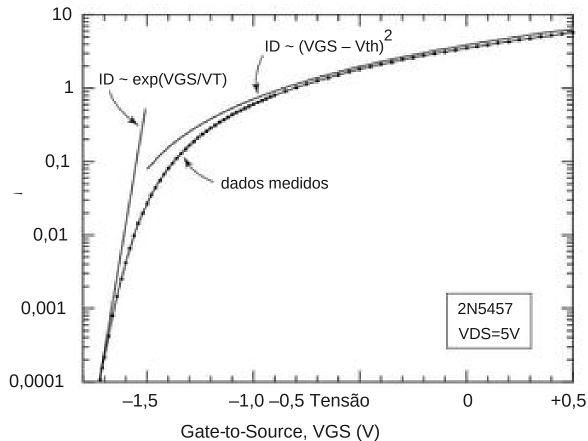


Figura 3.16. Cinco décadas de corrente de dreno medida versus tensão de porta para fonte para o canal n 2N5457 JFET. Na região abaixo do limite antigo, a corrente de dreno é exponencial, como um BJT, com quase o mesmo fator de escala VT (kT/q, ou 25,3 mV em temperatura ambiente); em correntes mais altas, torna-se quadrático (a curva calculada foi compensada em +10% para maior clareza).

características dos transistores bipolares, um fato que o projetista de circuitos deve ter em mente. Por exemplo, o 2N7000 (um típico MOSFET de canal n) tem um VGS(th) especificado de 0,8– 3V(ID = 1 mA), comparado com a propagação VBE analógica de 0,63– 0,83 V (também em IC = 1 mA) para um pequeno transistor bipolar *npn* . Aqui está o que você pode esperar:

Características FET: Spread de Manufatura

Característica	*Variação disponível*	
IDSS, ID(ON)	1 mA a 500 A ×5 0,001ÿ a	
RDS(ON)	10k ×5	
gm @ 1 mA	500–3000 mS	×5
VP (JFETs)	0,5–10 V	5 V
VGS(th) (MOSFETs)	0,5–5 V	2V
BVDS(DESLIGADO)	6–1000 V	
BVGS(DESLIGADO)	6–125 V	

RDS(ON) é a resistência dreno-fonte (região linear, ou seja, pequeno VDS) quando o FET está conduzindo totalmente, por exemplo, com a porta aterrada no caso de JFETs ou com uma grande tensão de porta-fonte aplicada (geralmente especificada como 10 V) para MOSFETs. IDSS e ID(ON) são as correntes de dreno da região de saturação (grande VDS) sob as mesmas condições de acionamento do gate ligado. VP é a tensão de pinçamento (JFETs), VGS(th) é a tensão de limiar da porta de ativação (MOSFETs) e os BVs são tensões de ruptura. Como você pode ver, um JFET com uma fonte aterrada pode ser uma boa fonte de corrente, mas você não pode prever muito bem qual será a corrente. Da mesma forma, o VGS necessário para produzir algum valor de corrente de dreno pode variar consideravelmente, em contras VBE de transistores bipolares. A Figura 3.17 ilustra este último ponto graficamente: medimos os valores VGS em uma corrente de dreno de 1 mA para cem peças cada (ei, eles são muito baratos: cerca de US$ 0,10 cada) de três tipos populares de JFET (a série 2N5457–59, classificados por seu IDSS). A dispersão das tensões porta-fonte, dentro de cada tipo, é de cerca de 1 V. Para comparação, observe o gráfico análogo para BJTs na Figura 8.44; ali a propagação é de apenas 10–20 mV.

A. Combinação de características

Como você pode ver, os FETs são inferiores aos transistores bipolares em previsibilidade VGS , ou seja, eles têm uma grande dispersão no VGS necessário para produzir um determinado ID. Dispositivos com grande dispersão de processo terão, em geral, um offset maior (desequilíbrio de tensão) quando usados como pares diferenciais. Por exemplo, transistores bipolares comuns comuns podem mostrar uma dispersão em VBE de 25 mV ou mais, em alguma corrente de coletor, para uma seleção de transistores comuns. O valor "oficial" comparável (conforme especificado nas folhas de dados) para MOSFETs é mais de 1 V a 2 V![14] Como os FETs têm algumas características muito desejáveis, vale a pena colocar algu

[14] Na prática, encontramos correspondência consideravelmente melhor dentro de um único lote de MOSFETs, às vezes tão bem combinados quanto 50 mV ou mais. Por outro lado, uma distribuição mais comum dentro de um lote é de várias centenas de milivolts, conforme ilustrado posteriormente na Figura 3.41. Se a correspondência for

Figura 3.17. Usamos nossos dedos até o osso (uma medição "digital"?) coletando valores de VGS (em VDS=5 V e ID=1 mA) para 300 JFETs na popular série 2N5457–59. Compare com os histogramas análogos na Figura 8.44.

esforço extra para reduzir esses deslocamentos em pares combinados especialmente fabricados. Os projetistas de IC usam técnicas como interdigitação (dois dispositivos compartilhando a mesma parte geral do estado do IC) e esquemas de cancelamento de gradiente térmico para melhorar o desempenho (Figura 3.18).

Figura 3.18. Técnicas para casamento de transistores: A. Interdigitação (Cortesia de Linear Integrated Systems.) B. Cancelamento de gradiente de temperatura.

importante em alguma aplicação (quando vários transistores são usados em paralelo, por exemplo), você deve medir as partes reais.

Os resultados são impressionantes. Embora os dispositivos FET ainda não sejam iguais aos transistores bipolares na correspondência VGS , seu desempenho é adequado para a maioria das aplicações. Por exemplo, o melhor FET combinado anteriormente disponível tinha15 um deslocamento de tensão de 0,5 mV (máx) e tempco de 5 V/ÿC; o melhor par bipolar tem valores de 25 V e 0,3 V/ÿC (máx), aproximadamente 20 vezes melhor.

Amplificadores operacionais (os amplificadores diferenciais universais de alto ganho que veremos no próximo capítulo) estão disponíveis em ambos os tipos; você geralmente escolheria um com entranhas bipolares para alta precisão (por causa de sua correspondência VBE de transistor de entrada próxima), enquanto um amplificador operacional de entrada FET é a escolha óbvia para aplicações de alta impedância (porque suas entradas - portas FET - desenham sem corrente). Por exemplo, as baratas entradas JFET LF411 e LF412 que usaremos como nosso amplificador operacional geral no próximo capítulo têm uma corrente de entrada típica (vazamento) de 50 pA e custam US$ 0,60; a popular entrada MOSFET TLC272 custa aproximadamente o mesmo e tem uma corrente de entrada típica (vazamer Compare isso com um amplificador operacional bipolar comum, o LM324, com corrente de entrada típica (bias) de 45.000 pA (45 nA).16

3.1.6 Circuitos FET básicos

Agora estamos prontos para ver os circuitos FET. Normalmente, você pode encontrar uma maneira de converter um circuito que usa BJTs em um que usa FETs - mas o novo circuito pode não ser uma melhoria! No restante do capítulo, gostaríamos de ilustrar situações de circuito que tiram proveito das propriedades exclusivas dos FETs, ou seja, circuitos que funcionam melhor com FETs ou que você não pode construir com transistores bipolares. Para esse propósito, pode ser útil agrupar os aplicativos FET em categorias; aqui estão os mais importantes, como vemos.

Alta impedância/baixa corrente. Buffers ou amplificadores para aplicações nas quais a corrente de base e a entrada finita

[15] Infelizmente essas peças não estão mais disponíveis. Mas a arte de combinar transistores está viva e bem nas entranhas dos amplificadores operacionais, para os quais o melhor espécime JFET tem um offset e tempco de 0,1 mV e V/ÿC, respectivamente, enquanto o melhor espécime BJT tem 0,01 mV 1 e 0,1 V/ÿC, ou seja, 10 vezes melhor.

[16] Os entusiastas do BJT gritariam "falta!", e apontariam que você pode usar BJTs superbeta, combinados com esquemas de cancelamento de corrente de polarização, para reduzir a corrente de entrada para 25 pA; eles apontariam ainda que a corrente de entrada do FET (que é vazamento) aumenta drasticamente com a temperatura, enquanto a corrente de entrada do BJT (que é uma corrente de polarização honesta) é estável ou até tende a diminuir ligeiramente (consulte a Figura 3.48). Os entusiastas do FET prevaleceriam, no entanto, com a réplica de que os amplificadores de entrada MOSFET, como o LMC6042 duplo, têm correntes de entrada típicas de 2 *femtoamps* (isto é, 0,000002 nA!).

a impedância dos BJTs limita o desempenho. Embora você *possa* construir tais circuitos com FETs discretos, a prática atual favorece o uso de circuitos integrados construídos com FETs.

Alguns deles usam FETs como front-end de alta impedância para um design bipolar, enquanto outros usam FETs por toda parte. Quando os ICs FET disponíveis não fornecem desempenho adequado, uma abordagem híbrida (front-end JFET discreto, assistido por um amplificador operacional) pode aumentar o desempenho.

Interruptores analógicos. MOSFETs são excelentes chaves analógicas controladas por tensão, como sugerimos em §3.1.1B. Veremos brevemente este assunto. Mais uma vez, você geralmente deve usar ICs dedicados de "switch analógico", em vez de construir circuitos discretos.

Lógica digital. Os MOSFETs dominam microprocessadores, memória, VLSI de propósito especial e lógica digital de alto desempenho. Eles são usados exclusivamente em lógica de micropotência e dispositivos portáteis de baixa potência.

Aqui, também, os MOSFETs aparecem em circuitos integrados. Veremos por que os FETs são preferíveis aos BJTs.

Comutação de energia. Os MOSFETs de potência geralmente são preferíveis aos transistores de potência bipolares comuns para comutação de cargas, como sugerimos em nosso primeiro circuito do capítulo. Para esta aplicação, você usa FETs de potência *discreta* .

Resistores variáveis; fontes atuais. Na região "linear" das curvas de dreno, os FETs se comportam como resistores controlados por tensão; na região de "saturação" são fontes de corrente controladas por tensão. Você pode explorar esse comportamento intrínseco dos FETs em seus circuitos.

Substituição generalizada para transistores bipolares. Você pode usar FETs em osciladores, amplificadores, reguladores de tensão e circuitos de radiofrequência (para citar alguns), onde normalmente também são usados transistores bipolares. Não é *garantido* que os FETs farão um circuito melhor - às vezes sim, às vezes não. Você deve mantê-los em mente como uma alternativa.

Agora vamos ver esses assuntos. Adotaremos um pouco ordem diferente, para maior clareza.

3.2 Circuitos lineares FET

Uma observação ao leitor: Esta seção e a próxima (§§3.2 e 3.3) tratam principalmente dos *JFETs,* que são adequados para aplicações lineares como fontes de corrente, seguidores e amplificadores. Se você precisa de um amplificador de baixo ruído com impedância de entrada extremamente alta, o JFET é seu amigo (e talvez seu *único* amigo). Os leitores que desejam mudar diretamente para MOSFETs, começando com interruptores FET, podem desejar

Tabela 3.1 JFET Mini-tablea (consulte também a Tabela JFET 3.7)

VGS(desligado) medido a 1mA Crss RONY
Idss min max VGS gm tip type (mA) (V) Gmaxb
Nº da peça (DENTRO) (DENTRO) (V/V) (mS) (pF) (ÿ)

2N5484 A 1–5 –0,3 –3 –0,73 2,3 B 2N5485 4–10 – 180 -
2,4 2,1 2N5457 D 1–5 –0,5 C 2N5486 8–20 2N5458 E 110 -
–8 –2,8 2,0 2–9 F 162 10,35 2,3 F 2N5459 4–16 –2 J 50 -
200 1 1 1
170 1,5 - 1,5
100 - 1,5 -
250 1,9 - 2
J309 12–30 –1 –4 –1,6 4,2 J310 24–60 –2 –6,5 300 50
–3,0 4,3 100 2 50
J113 k 2– –0,5 –3 –1,5 5,7 140 3 50
J112 eu 5– –1 –5 –3,3 5 100 3 30
PN4393 5–30 M –0,5 –3 –0,83 6,2 N PN4392 25–75 100 3,5 100 130
2 –0,09 11 J2105 Q –2,6 –5,4 P LSK170B 6 R J107 –2 – 3,5 60 160 340 235 8
4,5 –10 –8,7 6,0 IF3601 30 –0,5 –0,6 –8,3 J1005 20 – – 60 35 1400 300 -
18
8
-
3
S -

Notas: (a) classificados por família Crss, e dentro de cada família por IDSS crescente. (b) Gmax=gm/gos, o ganho máximo de tensão da fonte aterrada em uma fonte de corrente como carga de dreno; Gmax é proporcional a VDS (os valores tabulados estão em VDS=5V) e, para a maioria dos JFETs, Gmax é relativamente constante ao longo da variação de ID.

pule esses materiais JFET17 e prossiga diretamente para §3.4 na página 171, onde lançamos os assuntos dominados por MOSFET de comutação de sinal, lógica digital e comutação de energia.

3.2.1 Alguns JFETs representativos: um breve tour

A Tabela 3.1 lista uma pequena seleção de JFETs de canal n representativos.18 Vamos dar uma olhada no que você obtém.

Esta seleção inclui apenas JFETs de canal n, a polaridade dominante. Complementos com características semelhantes às vezes estão disponíveis, por exemplo, o canal p 2N5460–62 para o canal n 2N5457–59; consulte a Tabela 3.7 na página 217 para exemplos adicionais.

Muitos JFETs vêm em famílias de três ou quatro partes, classificadas por IDSS e VGS(off), o que alivia um pouco

[17] No entanto, você desejará estudar este material se quiser entender os amplificadores lineares MOSFET, porque abordamos tópicos como o significado da transcondutância e da condutância de saída de um FET e sua variação com a tensão e a corrente de dreno.

[18] A Tabela 3.7 expandida na página 217 inclui muito mais JFETs; mais adiante neste capítulo, há tabelas análogas de MOSFETs (Tabelas 3.4a e 3.4b, páginas 188–191, Tabela 3.5, página 206 e Tabela 3.6, página 210).

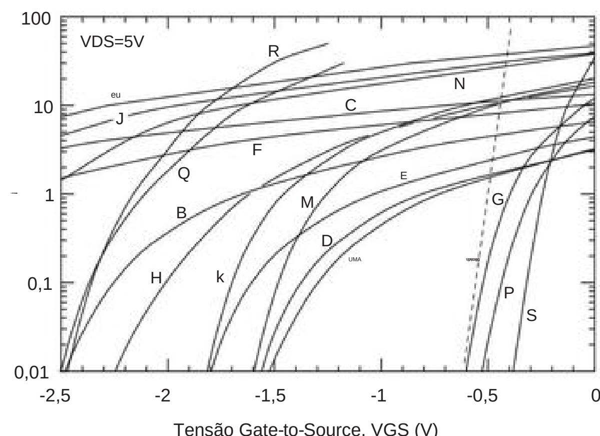


Figura 3.19. Corrente de dreno medida versus tensão de porta-fonte para os JFETs na Tabela 3.1 na página anterior.

os irritantes problemas de projeto de circuito criados pela ampla disseminação desses parâmetros. Mas mesmo essas famílias classificadas podem apresentar uma distribuição de até 5:1 (ou mais). Observe também que JFETs destinados a alternar aplicativos (aqueles que especificam Ron) podem especificar apenas um valor *mínimo* de IDSS: o que você pode dizer, por exemplo, sobre o valor provável para um J110 (especificado como IDSS = 10 mA, mínimo)? Resposta: não muito – nossa amostra mediu 122 mA!

Em muitas aplicações (amplificadores, seguidores), você deseja muito ganho de transcondutância, *gm.* Folhas de dados JFET geralmente especificam *gm* no IDSS da peça, mas isso não é muito útil se você não souber o que é IDSS . Além disso, o *gm* listado no IDSS sofre com a distribuição de especificação usual, normalmente 5:1 ou mais. Ao contrário dos BJTs, para os quais a transcondutância é previsivelmente dada por gm=1/re=IC/VT (onde *VT=kT/ qÿ25,3* mV), a transcondutância de diferentes tipos de JFET pode variar em uma ordem de grandeza, mesmo quando cada um é operado na mesma corrente de dreno. Na Tabela 3.1 na página anterior, listamos os valores medidos de *gm,* todos em uma corrente padrão de 1 mA.19 Nessas correntes, sua transcondutância é muito menor do que a de um BJT (onde gm = 40 mS a 1 mA), embora compitam bem em correntes muito baixas (a região do sublimiar). Esse comportamento pode ser visto nas diferentes inclinações das curvas ID versus VGS medidas da Figura 3.19.

A coluna denominada Gmax lista o ganho de tensão quando usado como um amplificador de fonte aterrada com carga de fonte de corrente; nesse caso, a resistência de carga efetiva está relacionada a uma quantidade chamada gos, a condutância de saída vista olhando para o dreno com a tensão de porta mantida constante (análogos para o efeito Early em BJTs; mais sobre isso no Capítulo 3x). Aqui também há uma ampla distribuição entre os tipos de JFET.

Um parâmetro importante na amplificação de baixo nível é a tensão de ruído de entrada de um JFET, não listado aqui, mas tratado em detalhes no Capítulo 8. O destaque passa a ser o IF3601 (um incrível en=0,3 nV/ ÿ Hz), mas seu pacto com o diabo é a alta capacitância de 300 pF da junção de grande área.20 Há muito mais a dizer sobre os habitantes do zoológico JFET, como veremos em conexão com a Tabela 3.7 na página 217. Capítulo 8 discute JFETs em conexão com ruído (§§8.6 e 8.6.5), com tabela de partes relevantes (Tabela 8.2 na página 516).

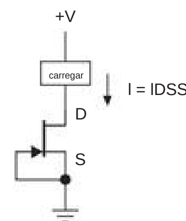


Figura 3.20. Um coletor de corrente JFET de canal n.

3.2.2 fontes de corrente JFET

Os JFETs são usados como fontes de corrente em circuitos integrados (particularmente amplificadores operacionais) e também, às vezes, em projetos discretos. A fonte de corrente JFET mais simples é mostrada na Figura 3.20; escolhemos um JFET, em vez de um MOSFET, porque não precisa de polarização de porta (é o modo de depleção). A partir de um gráfico das características de drenagem do FET (Figura 3.21), você pode ver que a corrente será razoavelmente constante para VDS maior que alguns volts. No entanto, devido à propagação do IDSS , a corrente é imprevisível. Por exemplo, o MMBF5484 (um típico JFET de canal n) tem um IDSS especificado de 1 Ainda assim, o circuito é atraente devido à simplicidade de um dispositivo de corrente constante de dois terminais. Se isso lhe agrada, você está com sorte. Você pode comprar "diodos reguladores de corrente" que nada mais são do que JFETs com porta ligada à fonte, classificados de acordo com a corrente. Eles são o análogo atual de um diodo zener (regulador de tensão). Aqui estão as características da série 1N5283–1N5314:21

[19] Na região "quadrática" normal da corrente de dreno, a transcondutância varia aproximadamente como ÿID, consulte §3.3.3.

[20] Consulte a Tabela 8.2 para IF3601 e IF3602 (dual). Os vice-campeões na competição de baixo ruído são o LSK170B e o BF862, com capacitâncias consideravelmente mais baixas.

[21] Disse estar disponível a partir de vários fabricantes. Alternativas em incluem as séries MS5283, MV5283 e MX5283 da Microsemi; as séries SST502–SST511 e CR160–CR470 da Vishay; e as séries J500–J511, J553–J557 e U553–U557 da InterFET. Fontes alternativas: Semicondutor Central e Sistemas Integrados Lineares.

Característica	*Valor*
Correntes disponíveis	0,22–4,7 mA
Tolerância	±10%
Coeficiente de temperatura ±0,4%/ÿC 1–2,5 V tensão Regulação de corrente 5% típico Impedância 1M tip (para dispositivo de 1 mA)	min, 100 V máx Faixa de

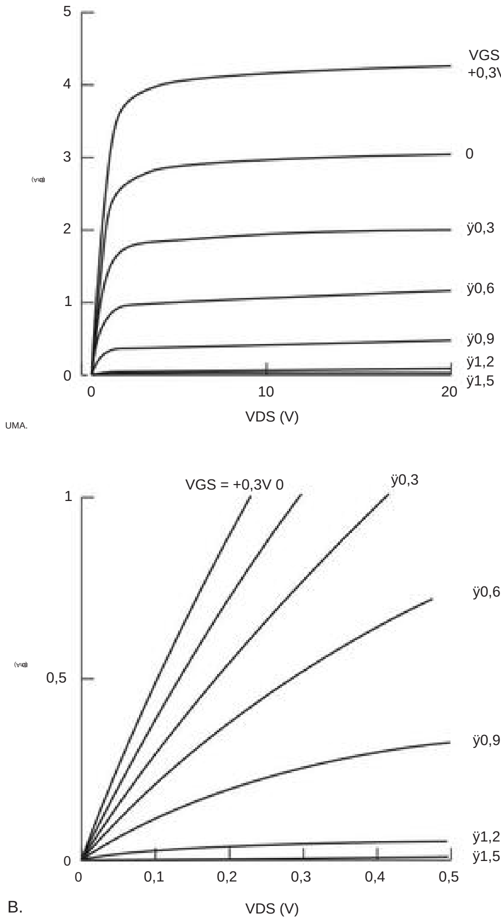


Figura 3.21. Curvas características JFET medidas. 2N5484 n canal JFET: ID versus VDS para vários valores de VGS. Veja também a Figura 3.47.

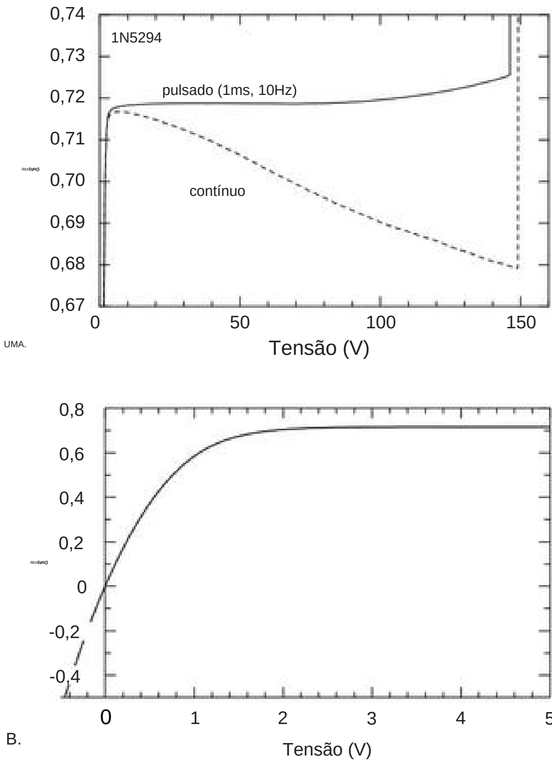


Figura 3.22. 1N5294 diodo regulador de corrente.

Medimos *I* versus *V* para um 1N5294 (classificado em 0,75 mA), aplicando pulsos de tensão de 1 ms em intervalos de 100 ms para evitar o aquecimento. A Figura 3.22A mostra uma boa constância de corrente até a tensão de ruptura (ÿ145 V para este espécime em particular). Você também pode ver o efeito do aquecimento quando a tensão é aplicada continuamente em uma medição CC, causada pelo coeficiente de temperatura negativo da corrente de dreno. A Figura 3.22B mostra que o dispositivo atinge a corrente máxima renda com um pouco menos de 1,5 V através dele (aqui as curvas pulsadas e CC são plotadas, demonstrando efeitos térmicos insignificantes com menos de 0,4 mW de dissipação). Mostraremos como usar esses dispositivos para fazer um lindo gerador de ondas triangulares em §7.1.3E. E teremos muito mais a dizer sobre as fontes atuais em §4.2.5 e §9.3.14.

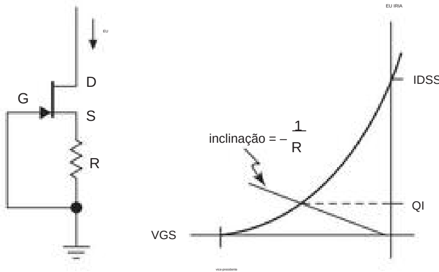


Figura 3.23. Coletor de corrente JFET (I=VGS/R) para ID < IDSS.

A. Autopolarização da fonte

Uma variação do circuito anterior (Figura 3.23) fornece uma fonte de corrente ajustável. O resistor de autopolarização *R* polariza o portão por *IDR,* reduzindo o ID e trazendo o

JFET mais perto de pinch-off. Você pode estimar o valor de *R* das curvas de drenagem para o JFET específico. Este circuito permite definir a corrente (que deve ser menor que IDSS), bem como torná-la mais previsível. Além disso, o circuito é uma fonte de corrente melhor (maior impedância) porque o resistor da fonte fornece “feedback de detecção de corrente” (sobre o qual aprenderemos em §4.2.5A). (Há uma boa demonstração disso na figura “ ID medido versus VDS para quatro JFETs” em *§3x.4.3,* onde você encontrará curvas de corrente de dreno versus tensão de dreno com e sem um resistor de auto-polarização de fonte.) Lembre-se, porém, que as curvas reais de ID para algum valor de VGS obtido com um FET real podem diferir acentuadamente dos valores lidos de um conjunto de curvas publicadas, devido ao spread de fabricação. (Isto é bem ilustrado pelos exemplos das Figuras 3.25 e 3.41 nas páginas 145 e 156, usando características reais de drenagem medidas de um lote de JFETs.) Você pode, portanto, querer usar um resistor de fonte ajustável, se for importante ter um específico atual.

Exercício 3.1. Use as curvas medidas 2N5484 na Figura 3.21 para projetar uma fonte de corrente JFET para fornecer 1 mA. Agora pondere o fato de que o IDSS especificado de um 2N5484 é 1 mA (min), 5 mA (max).

B. Exemplo: pull-down do seguidor de emissor

Vejamos um exemplo para explorar ainda mais este problema de imprevisibilidade da corrente de dreno de polarização zero JFET, IDSS (ou, de forma equivalente, a dificuldade de prever a polarização de porta-fonte necessária para produzir um dreno desejado atual).

Figura 3.24. Exemplo de design: seguidor de emissor *npn* com JFET cur pia de aluguel.

A Figura 3.24 mostra um seguidor de emissor BJT, funcionando entre fontes divididas de ±12 V, com um JFET de dissipação de corrente para o trilho negativo. Especificamos que o circuito deve ser capaz de fornecer uma oscilação completa de ±10 V em uma tensão de 2kÿ carga (que é corrente de carga de ±5 mA). A princípio, você pode pensar em usar um resistor pull-down simples RE no trilho de -12 V. Mas o requisito de oscilação de saída torna as coisas difíceis, porque você precisaria manter RE menor que 400 ÿ (podemos escolher 365 ÿ, um valor padrão de 1%) para obter uma oscilação negativa completa; e essa baixa resistência produziria uma corrente quiescente relativamente alta (na saída de 0 V) de 33 mA (portanto, ~400 mW de dissipação quiescente tanto em Q1 quanto em RE), em comparação com a corrente de pico de 5 mA entregue à carga (lembre-se da discussão em §2.4.1). Pior ainda, um pulldown resistivo também degrada muito a linearidade, devido a variações na referência do seguidor causadas pela grande variação da corrente de coletor (65 mA no topo do balanço, caindo para 0,5 mA na parte inferior, correspondendo assim a um re de 0,4 ÿ e 50 ÿ em uma resistência de carga combinada de ~300ÿ). Finalmente, o pequeno resistor pull-down resistivo (comparado com a resistência de carga mínima) reduz indesejavelmente a impedância de entrada do circuito por um fator de 6.

Portanto, um dissipador de corrente ativo é o caminho a percorrer. Uma primeira possibilidade é escolher um JFET cujo IDSS mínimo especificado seja pelo menos igual aos 5,5 mA necessários. Apenas o membro 2N5486 da família 2N5484–86 satisfaz este requisito (8 mAÿ IDSS ÿ20 mA, consulte a Tabela 3.1 na página 141). Mas essas correntes são um pouco mais do que gostaríamos, e uma parte com IDSS = 20 mA produz muito calor: a dissipação de pior caso é de 440 mW no JFET (no pico de oscilação positiva) ou no BJT (no pico negativo swing sem carga), muito para um transistor em um pacote TO-92 ou SOT-23 sem um dissipador de calor.

Então, vamos adicionar um resistor de fonte para que possamos ajustar a corrente de dreno do JFET; buscaremos uma corrente de dissipação mínima de 5,5 mA, de modo que retemos uma reserva de 0,5 mA em oscilação negativa total. O IDSS mínimo do 2N5486 de 8 mA garante que um circuito auto-polarizado da fonte possa dissipar a corrente necessária de 5,5 mA. Agora só precisamos escolher o resistor da fonte RS.

O problema é que as curvas de folha de dados de ID versus VGS (chamadas “características de transferência”), quando fornecidas, não mostram toda a gama de possibilidades; em vez disso, eles mostram curvas típicas de peças com dois ou três valores selecionados de IDSS dentro da faixa permitida. E às vezes tudo o que você obtém são limites tabulados para IDSS e para VGS (desligado).[22] Mas você pode medir alguns JFETs para ter uma noção das coisas. Fizemos isso e a Figura 3.25 mostra as curvas ID versus VGS medidas para sete 2N5486s de diferentes fabricantes

[22] É *possível* extrapolar a partir de curvas publicadas (ou medidas) estimando *k* e Vth para a lei quadrática simples ID = *k(VGSÿVth)2.* Veja a discussão no Capítulo *3x.*

e lotes.[23] Supondo que isso represente a faixa total de variabilidade (não é exatamente o que pode ser visto a partir do IDSS mínimo de 9,2 mA), podemos balançar uma linha de carga desde a origem até que a interseção mais baixa esteja acima de ID = 5,5 mA. Isso é um RS de 140 ÿ (mostrado), para o qual a faixa de corrente de dreno é de 5,7 mA (mínimo) a 9,5 mA (máximo).

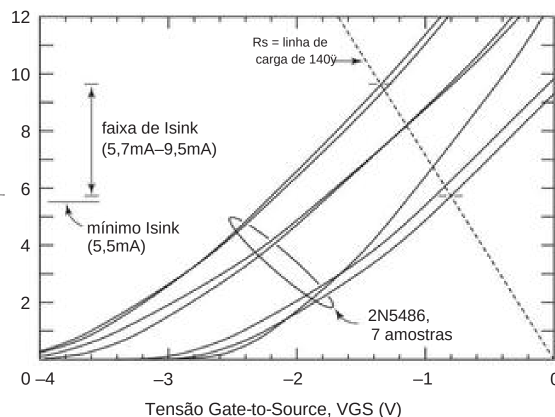


Figura 3.25. Escolhendo um resistor de fonte RS para polarizar um dissipador de corrente JFET para produzir Isink ÿ 5,5 mA.

A boa notícia é que o circuito funcionará; a má notícia é que a faixa de correntes de dissipação é quase 2:1 (levando em conta a possibilidade de produção de peças cujas curvas abrangem uma faixa um pouco mais ampla do que a vista nessas sete peças). Mas a boa notícia, novamente, é que mesmo para um JFET no limite superior da faixa (portanto, Isink ÿ10 mA), a dissipação de pior caso do seguidor é limitada a 220 mW (no pico da oscilação negativa, sem carga) e a dissipação de pior caso do JFET também é limitada a 220 mW (na oscilação positiva de pico). Isso está bem dentro da dissipação permitida para um transistor TO 92 (350 mW a 25° C ambiente).

C. Drenos de corrente para amplificadores

JFET Recuando um pouco, pode-se perguntar se um dreno de corrente JFET, com sua propagação de 2:1 de corrente quiescente, foi uma boa escolha. É verdade que funciona. Mas você pode fazer melhor com um dissipador de corrente BJT simples, cinco versões das quais são mostradas na Figura 3.26. Estes usam mais peças, mas afundam uma corrente previsível. E se você *realmente* se preocupa em minimizar a contagem de peças, sempre pode usar a alternativa de um JFET selecionado para uma faixa estreita de IDSS, sem resistor de auto-polarização, ou seja, Figura 3.24 com RS = 0 (o 2N5485 especifica IDSS como 4 mA–10 mA; você pode selecionar partes de 5,5–8 mA).[24]

Este exemplo ilustra o lado negativo das especificações de corrente de dreno frouxa (e tensão de porta correspondente) características de todos os JFETs. Por mais atraente que pareça cair em um JFET quando você precisa de uma fonte de corrente, é problemático. Mas os JFETs se destacam quando você precisa de um amplificador com alta impedância de entrada e baixo ruído - embora as especificações ainda sejam desafiadoras, os resultados valem a pena. Veremos exemplos agora.

D. Fonte de corrente imperfeita

Uma fonte de corrente JFET, mesmo que construída com um resistor de fonte, mostra alguma variação da corrente de saída com a tensão de saída; ou seja, tem impedância de saída finita, em vez do Zout infinito desejável.[25] As curvas medidas da Figura 3.21, por exemplo, sugerem que, em uma faixa de tensão de dreno de 5 a 20 V, um 2N5484 mostra uma variação de corrente de dreno de 5% quando operado com porta ligada à fonte (isto é, IDSS). Isso pode cair para 2% ou mais se você usar um resistor de fonte. Uma solução elegante é o uso de um transistor cascode para suprimir as variações de tensão de dreno no transistor de ajuste de corrente. Isso pode ser usado tanto para fontes de corrente BJT (é mostrado em *§2x.3)* quanto para fontes de corrente JFET, conforme mostrado na Figura 3.27. A ideia (como com os BJTs) é usar um segundo JFET para manter constante a tensão dreno-fonte da fonte de corrente. Q1 é uma fonte de corrente JFET comum, mostrada neste caso com um resistor de fonte. Q2 é um JFET de IDSS maior, conectado "em série" com a fonte de corrente. Ele passa a corrente de dreno de Q1 (constante) para a carga, enquanto mantém o dreno de Q1 em uma tensão fixa – ou seja, a tensão porta-fonte que faz Q2 operar na mesma corrente de Q1. Assim, Q2 protege Q1 de oscilações de tensão em sua saída; já que Q1 não vê variações de tensão de dreno, ele apenas fica lá e fornece corrente constante. Se você olhar novamente para o espelho de Wilson (Figuras 2.61, 3.26D), verá que ele usa a mesma ideia de fixação de tensão.

Você pode reconhecer este circuito JFET como o "código cas", que normalmente é usado para contornar o efeito Miller (§2.4.5). Um cascode JFET é mais simples do que um cascode BJT,

[23] Fazendo uma mera aparição aqui, comparada com seu desempenho completo nas Figuras 3.55 e 3.56 e discussão associada).

[24] Uma alternativa cara é usar um "diodo regulador de corrente" de dois terminais pré-selecionado como aqueles na nota de rodapé 3.2.2 na página 142. Eles parecem ser uma espécie em extinção e a faixa de correntes é bastante limitada. (Uma reclamação dupla, reminiscente do diálogo "A comida lá é tão ruim." "Sim, e porções tão pequenas.")

[25] Isso é importante também para amplificadores JFET (§§3.2.3A e 3.3.2). Para mais detalhes, veja a discussão no Capítulo *3x.*

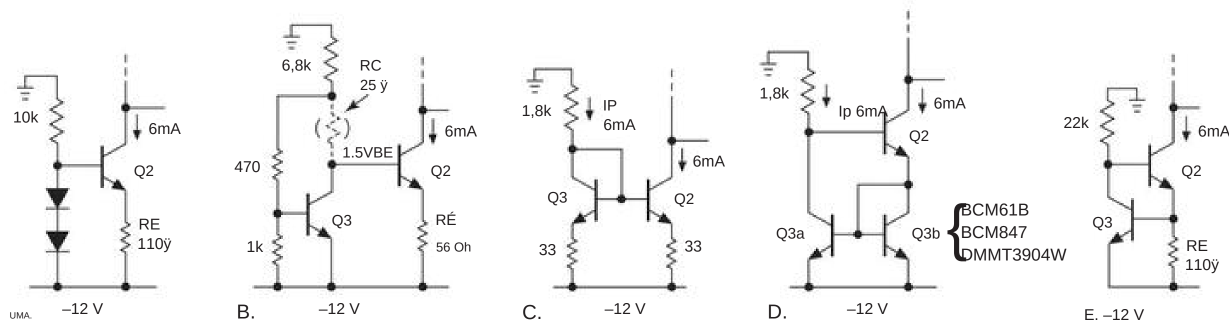


Figura 3.26. Alternativas para o JFET pulldown da Figura 3.24. A. Dissipador de corrente BJT clássico, base polarizada para ~2VBE; você pode substituir um LED vermelho pelo par de diodos. B. Q3 cria uma polarização de base *"1,5VBE"* para o dissipador de corrente Q2; adicionar o resistor opcional RC, escolhido igual ao re de Q3 , compensa habilmente a mudança deste último em VBE com variações de tensão de alimentação (ou seja, variações de IC através do resistor de 5,6k). Essa configuração é útil se a saída do dissipador de corrente precisar operar muito perto do trilho negativo – até algumas centenas de mV, digamos, se configurada como um viés "1,25VBE". C. Espelho de corrente com lastro de emissor de ÿ200 mV (necessário para equalizar correntes de coletor em vista da incompatibilidade de VBE e para suprimir as variações de corrente de saída do efeito Early). Espelho D. Wilson com par combinado; não são necessários resistores de emissor. E. Fonte de corrente "anel de dois". Veja a Figura 2.32 para outros circuitos de fonte de corrente.

no entanto, porque você não precisa de uma tensão de polarização para a porta do FET superior: porque é o modo de depleção, você pode simplesmente conectar a porta superior ao terminal inferior da fonte (compare com a Figura 2.84); A tensão porta-fonte de Q2 na corrente operacional (definida por Q1 com seu RS) então define a tensão operacional dreno-fonte de Q1: VDS1=ÿVGS2.
Um bom benefício adicional é que o circuito resultante é uma fonte de corrente *de dois terminais* .

É importante perceber que uma boa fonte de corrente de transistor bipolar fornecerá previsibilidade e estabilidade muito melhores do que uma fonte de corrente JFET. Além disso, as fontes de corrente assistidas por amplificadores operacionais que veremos no próximo capítulo são ainda melhores. Por exemplo, uma fonte de corrente FET pode variar 5% em uma faixa típica de temperatura e variação de tensão de carga, mesmo depois de ser ajustada para a corrente desejada ajustando o resistor da fonte, enquanto um op-amp/transistor (ou op-amp/ FET) fonte de corrente é previsível e estável para melhor que 0,5% sem grande esforço.

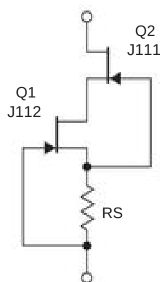


Figura 3.27. Cascode coletor de corrente JFET.

3.2.3 Amplificadores FET

Seguidores de fonte e amplificadores FET de fonte comum são análogos aos seguidores de emissor e amplificadores de emissor comum feitos com transistores bipolares sobre os quais falamos no capítulo anterior. No entanto, a ausência de corrente CC na porta torna possível obter impedâncias de entrada muito altas. Tais amplificadores são essenciais ao lidar com as fontes de sinal de alta impedância encontradas na medição e instrumentação. Para algumas aplicações especializadas, você pode querer construir seguidores ou amplificadores com FETs discretos; na maioria das vezes, no entanto, você pode aproveitar os amplificadores operacionais de entrada FET. Em ambos os casos, vale a pena saber como eles funcionam.

Com JFETs é conveniente usar o mesmo esquema de autopolarização das fontes de corrente JFET (§3.2.2), com um único resistor de polarização de porta para o terra (Figura 3.28); Os MOSFETs requerem um divisor do suprimento de drenagem, ou suprimentos divididos, assim como usamos com os BJTs. Os resistores de polarização da porta podem ser muito grandes (um megohm ou mais), porque a corrente de fuga da porta é medida em picoamps a nanoamps.

A. Transcondutância A

ausência de corrente de porta torna a *transcondutância* (a relação entre a corrente de saída e a tensão de entrada: *gm* = iout/vin) o parâmetro de ganho natural para FETs. Isso contrasta com os transistores bipolares do último capítulo, onde inicialmente flertamos com a ideia de ganho de corrente, ou beta (iout/iin), e depois introduzimos o modelo de Ebers-Moll orientado à transcondutância: é útil pensar em BJTs de qualquer maneira, dependendo da aplicação.

A transcondutância do FET pode ser estimada a partir do

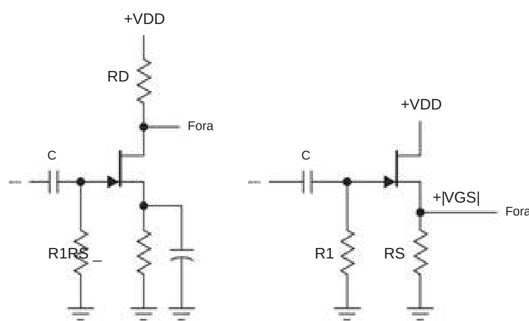


Figura 3.28. Amplificador de fonte comum e seguidor de fonte. Para ambas as configurações, a tensão da fonte está acima do solo, devido à corrente da fonte que flui através de RS, com um ponto quiescente VS = VGS = *RSID(VGS).*

curvas características, seja observando o aumento em ID de uma curva de tensão de porta para a próxima na família de curvas (Figuras 3.2 ou 3.21) ou, mais simplesmente, a partir da inclinação da curva de características de transferência ID versus VGS (Figuras 3.15 ou 3.51). A transcondutância depende da corrente de dreno (veremos como, em breve) e é, claro,

$$g_m(I_D) = i_d/v_{gs}.$$

(Lembre-se de que letras minúsculas indicam quantidades que são variações de pequenos sinais.) A partir disso, obtemos o ganho de tensão,

$$G_{tensão} = v_d/v_{gs} = ÿR_D\, i_d/v_{gs}$$

isto é,

$$G = ÿg_mR_D, \quad (3.3)$$

da mesma forma que o resultado do transistor bipolar em §2.2.9, com o resistor de carga RC substituído por RD. Normalmente, os FETs de pequenos sinais têm transcondutâncias próximas a 10 milisiemens[26] (mS) a alguns miliampères.[27] Como *gm* depende da corrente de dreno, haverá alguma variação de ganho (não linearidade) sobre a forma de onda à medida que a corrente de dreno varia, assim como temos com amplificadores emissores aterrados (onde *gm = 1/ re,* proporcional a IC).

Na discussão a seguir, usaremos o conceito de drive de porta FET, *VGS-Vth.* Lembre-se de que Vth é a tensão limite extrapolada da porta que discutimos em §§3.1.3 e 3.1.4.

A variação de *gm* com corrente de dreno é fácil de calcular e altamente útil ao projetar amplificadores e seguidores JFET. Para operação acima do sublimiar *(ID >* IDSS/25, digamos), vimos que a corrente de dreno é quadrática no acionamento do portão

$$I_D = k\,(V_{GS}\, ÿV_{th})\, 2, \quad (3.4)$$

da qual a transcondutância *(gm* = id/vgs = ÿ EU IRIA/ÿ VGS) é visto como

$$g_m = 2\,k\,(V_{GS}\, ÿV_{th}) = 2\,\sqrt{k\,I_{D}}. \quad (3.5)$$

Em outras palavras, na "região quadrática" da corrente de dreno, *gm* é proporcional ao acionamento do portão, aumentando aproximadamente linearmente desde o pinchoff até seu valor especificado no IDSS; alternativamente, você pode dizer que é proporcional à raiz quadrada da corrente de dreno.[28] Essa é uma regra útil, principalmente porque as folhas de dados especificam *gm* apenas em seu valor máximo, em IDSS; vamos usá-lo em breve.[29]

Por exemplo, se (como é frequentemente o caso) você estiver operando um JFET em sua região quadrática e quiser estimar a transcondutância em algum ID de corrente de dreno, então se você souber *gm* em algum outro ID0 de corrente de dreno (que pode ser IDSS) , você pode explorar a dependência da raiz quadrada da corrente de dreno na equação 3.5 para encontrar, simplesmente

$$g_m/\,g_{m0} = (I_D/\,I_{D0})^{1/2}. \quad (3.6)$$

Os FETs em geral têm transcondutância consideravelmente menor do que os transistores bipolares,[30] o que os torna menos impressionantes como amplificadores e seguidores; tratamos disso com mais detalhes em *§3x.2.* No entanto, sua excelente característica de corrente de entrada (porta) extremamente baixa, muitas vezes da ordem de um pi coampere ou menos, faz com que valha a pena desenvolver soluções de circuito que contornem os problemas de baixo ganho (por exemplo, fonte de corrente como carga de dreno) ou que melhorem sua transcondutância efetiva ("intensificador de transcondutância")

Neste ponto, é útil ver alguns exemplos de amplificadores JFET.

---

26 Anteriormente milimhos, ou m ЧО.

27 Isso é substancialmente menor que o de um BJT na mesma corrente; o último tem *gm* = 40 mS em 1 mA, e 200 mS em 5 mA, por exemplo. Há mais discussão em §3.3.3 e *§3x.2.*

28 Tenha cuidado com os sinais: nessas equações, Vth e VGS são negativos (para JFETs de canal n), mas Vth é mais negativo, portanto, um valor positivo para *gm.* Desde que você respeite os sinais, essas expressões funcionam para canal n ou canal p e para modos de aprimoramento ou depleção. Observe que o valor não é fornecido nas folhas de dados, mas pode ser determinado empiricamente para um determinado tipo de peça k, e fabricante. De um modo geral, dentro de um determinado lote ou tipo de JFET, você encontrará variações em Vth, sendo relativamente constante. Assim, uma medição de IDSS e Vth permite calcular a partir da eq'n 3.4, assumindo que a equação k quadrática k A região da corrente de dreno se estende até o IDSS (geralmente o faz).

29 Consulte *§3x.2* para uma discussão mais aprofundada sobre transcondutância versus curva de drenagem aluguel.

30 Exceto na região de baixa corrente de dreno ("sublimiar"); ver Figura 3.54 e figuras análogas em §3x.2.

B. Configurações do amplificador JFET

A Figura 3.29 mostra as configurações básicas para um estágio amplificador de fonte comum JFET. No circuito A, o JFET está funcionando em seu IDSS, com tamanho RD pequeno o suficiente para que o dreno esteja pelo menos um ou dois volts acima do solo para o IDSS máximo especificado. (Isso geralmente é uma restrição irritante, dada a baixa proporção de IDSS(max)/IDSS(min) especificado – geralmente 5:1 para a maioria dos JFETs, consulte as Tabelas 3.1 na página 141, 8.2 na página 516 e 3.7 na página 217 ;atualmente veremos maneiras de lidar com essa situação incômoda.) O resistor na entrada pode ser muito grande – 100 Mÿ ou mais – com um capacitor de bloqueio de entrada (para um amplificador com acoplamento CA); ou pode ser totalmente omitido para um sinal de acoplamento CC próximo ao solo. Para este circuito, o ganho de tensão ideal é *G=gmRD,* onde *gm* é a transcondutância na corrente de dreno operacional; é análogo ao amplificador de emissor aterrado BJT da Figura 2.44.31 Para ilustrar os valores e o desempenho dos componentes reais, escolhemos o BF862 exemplar, devido à sua alta transcondutância (45 mS típico no IDSS) e às especificações rígidas do IDSS (10–25 mA); também é uma parte de baixo ruído, como veremos no Capítulo 8. O resistor de dreno RD é dimensionado para manter um mínimo de 2,5 V em Q1 (para IDSS(max) especificado); o ganho de tensão típico é então *G=ÿgmRDÿ* ÿ 13 (invertendo).

Ao adicionar um resistor de fonte , o circuito RS B permite que você opere com uma corrente de dreno menor que IDSS, conforme mostrado nas Figuras 3.23 e 3.25. Mas a degeneração da fonte reduz o ganho, para G= ÿ RD/(RS+1/gm). Isso é análogo ao amplificador de emissor comum BJT degenerado da Figura 2.49 (mas com auto-polarização mais simples porque a junção porta-fonte é polarizada de volta), com *1/ gm* substituindo re (você pode pensar em *1/ gm* como um "impedância intrínseca da fonte" do JFET, análoga à resistência intrínseca do emissor re do BJT).32 Ilustrando com o mesmo BF862, buscamos uma corrente de dreno de 2 mA escolhendo um resistor de auto-polarização da fonte RS=200ÿ , estimando que ÿ0,4 V de polarização de retorno do portão está correto.33 Estimando que gmÿ20 mS nesta corrente de dreno,34 nós arrive em um ganho de tensão estimado (da equação acima) de Gÿ ÿ8.

O circuito C contorna o resistor de fonte nas frequências de sinal, então você pode operar com a mesma corrente de dreno CC do circuito B, mas com o ganho mais alto do circuito A (onde *gm* é a transcondutância na corrente de dreno real, aqui reduzida do IDSS do circuito A); é análogo ao circuito BJT da Figura 2.48. Você pode desacelerar o ganho adicionando um resistor de ajuste de ganho RS em série com o capacitor (circuito D), para um ganho de frequência de sinal de G= ÿ *RD/ (RSRS +1/ gm);* isso é análogo ao circuito BJT da Figura 2.50. Ou você pode pisar no acelerador adicionando um segundo estágio de ganho de tensão, como no circuito E, com o amplificador de emissor comum de segundo estágio multiplicando o ganho do primeiro estágio de qualquer um dos circuitos de estágio único anteriores por um fator RCIC/ VT (ie, *RC/ re),* onde como sempre VT=kT/qÿ25 mV. Essa aproximação assume que Q2 é acionado por uma fonte de tensão, ou seja, RD re; a maior parte do ganho da combinação vem do BJT, com sua alta transcondutância.

O circuito de aparência semelhante F cria uma criatura híbrida de três terminais, com o *gm* do BJT contribuindo para alcançar uma transcondutância geral efetiva alta; nesta configuração, o BJT é um "aumentador de transcondutância". Essa configuração é bastante análoga ao Darlington (Sziklai) complementar do BJT da Figura 2.77 e é tratada com mais detalhes em *§3x.2.*

C. Adicionando um cascode Os últimos quatro circuitos mostram como implementar um cascode de fixação de dreno no estágio de fonte comum. Essa configuração elegante é geralmente apresentada como uma forma de contornar o efeito Miller (a multiplicação efetiva da capacitância do gate de dreno pelo ganho de tensão do estágio); foi assim que foi apresentado na Figura 2.84, onde fez sua primeira aparição. Aqui ele realmente consegue isso (é um "assassino de Miller"), o que é útil para manter a impedância de entrada alta. Mas é melhor do que isso: (a) também permite que você mantenha baixa a tensão do dreno para a fonte (evitando o aumento vertiginoso na corrente do portão de "ionização por impacto", §3.2.8); e (b) ao limitar a tensão dreno-fonte, ele contorna o "efeito gos " (impedância de saída finita ro, causada pela dependência de ID em VDS); o ganho de tensão não é degradado e é simplesmente *G=gmRD.* Este último benefício lembra o uso de um transistor cascode no espelho de corrente de Wilson (Figura 2.61); é um "assassino precoce". Há mais detalhes no Capítulo 3x *(§3x.4),* incluindo resultados experimentais de quatro exemplares JFET cujos *gm* e gos foram medidos; em seguida, suas previsões de ganho foram comparadas com os ganhos medidos do amplificador (com e sem cascode).

No circuito G, o viés de base do BJT define os JFETs

[31] No entanto, devido à impedância de saída finita do JFET (chamada ro, ou 1/gos), o resistor de carga de dreno efetivamente vê uma resistência paralela de ro, então o ganho é reduzido para *G=gm(RDro);* isso tem um efeito insignificante para os valores dos componentes aqui. Isso é análogo ao efeito Early em BJTs e se torna importante para grandes valores de RD ou (especialmente) quando RD é substituído por uma fonte de corrente. Muita discussão em *§3x.4.*

[32] Desta vez, estamos ignorando a impedância de saída finita do JFET; consulte *§3x.4* se estiver curioso sobre o porquê e para obter muito mais detalhes (se for um detalhe que você realmente querer . . . cuidado com o que você deseja).

[33] Nossa confiança é reforçada, um pouco, por termos medido o ID de uma amostra versus VGS. 34 Nós medimos isso também.

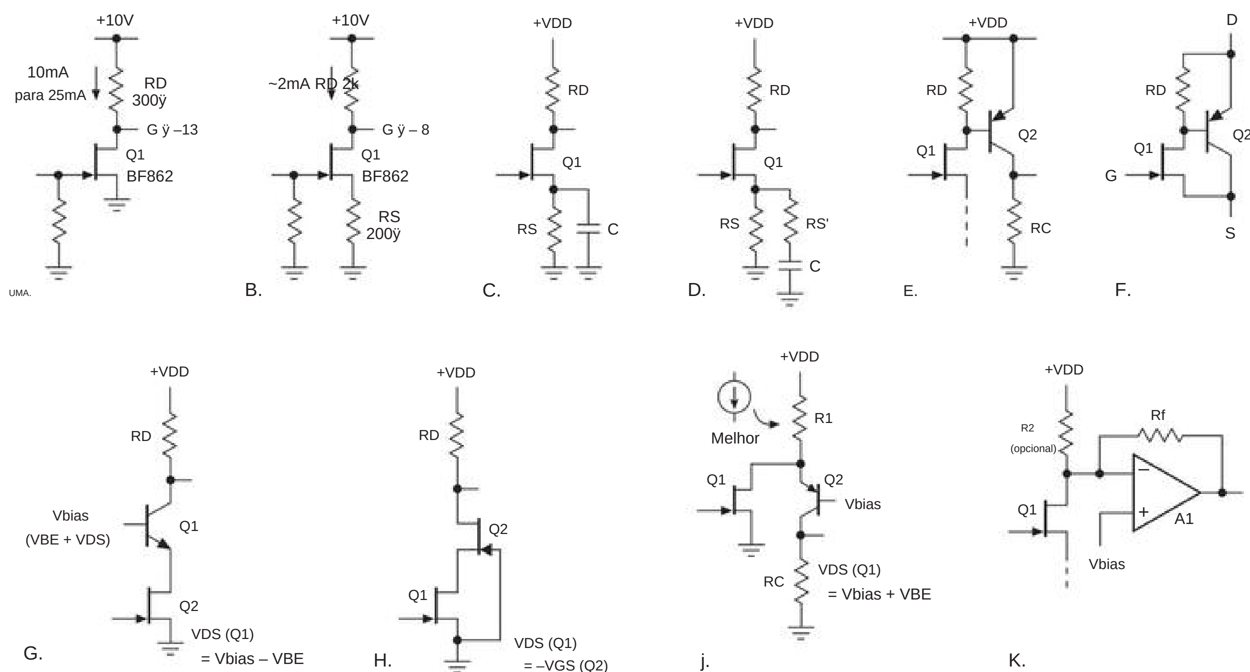


Figura 3.29. Amplificadores simples de fonte comum JFET de fonte única.

tensão de operação do dreno para a fonte. É mais simples usar um segundo JFET *(Q2* no circuito H), que deve ser escolhido para ter um back-bias VGS maior do que Q1 na mesma corrente de dreno, embora as especificações de tensão de gate geralmente fracas tornem isso uma proposição incerta. O circuito J é um "código cas invertido", no qual as variações de corrente de dreno de Q1 desviam a corrente de Q2; é um circuito útil para saber quando você se encontra esbarrando no trilho positivo com um cascode convencional. Finalmente, no circuito K, um estágio de transimpedância de amplificador operacional (corrente para tensão; consulte §4.3.1) substitui o transistor cascode de fixação de dreno Q2: o feedback através de Rf mantém sua entrada inversora (a entrada "-") no tensão de polarização enquanto produz uma tensão de saída Vo= ÿ *IDRf+Vbias;* o resistor opcional R2 permite adicionar um deslocamento para reposicionar a tensão de saída quiescente de acordo com seu capricho.

Os circuitos da Figura 3.29 operam a partir de uma única tensão de alimentação positiva; eles são simples, mas, dadas as especificações IDSS e VGS caracteristicamente soltas dos JFETs , eles sofrem de uma incerteza significativa da corrente operacional. Se você também tiver disponível uma tensão de alimentação negativa, existem várias maneiras de preparar as coisas para garantir uma polarização previsível. Observe a Figura 3.30A, onde a corrente de operação do canal n JFET é definida pelo resistor pulldown da fonte, *ID=ÿ(Vÿ+VGS)/ RS,* ou aproximadamente Vÿ/ RS para tensões de alimentação negativas grandes em comparação com

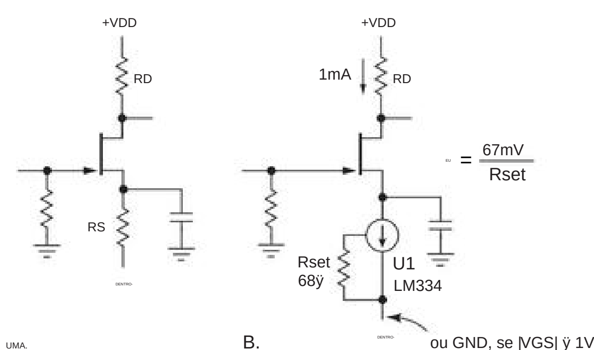


Figura 3.30. Um trilho de alimentação negativo permite a polarização pulldown de fonte previsível de amplificadores de fonte comum JFET.

a tensão porta-fonte do JFET. Como na Figura 3.29C, o capacitor de desvio permite que as frequências do sinal participem do ganho JFET total, ou seja, *GV=ÿgmRD,* onde *gm* é a transcondutância na corrente operacional. Uma solução mais elegante é o uso de um pulldown de dissipador de corrente, como na Figura 3.30B. O LM334 é uma fonte de corrente programável por resistor de baixo custo (ÿ$0,50) (consulte §9.3.14B), aqui configurada para 1 mA (Iÿ0,067/Rset). Com este circuito não há incerteza sobre a corrente de operação (não depende de VGS); melhor ainda, o LM334 opera com queda de 1 V, então você pode operar com uma única fonte positiva se o JFET

a tensão de porta-fonte mínima especificada na corrente programada é de pelo menos um volt.35

D. Par de realimentação em série ("realimentação de corrente") Os amplificadores JFET ilustrados acima têm uma impedância de entrada admiravelmente alta, mas sofrem de um ganho bastante baixo (e não terrivelmente previsível). Os transistores bipolares oferecem um ganho previsível, e muito; mas você paga o preço em termos de corrente de entrada. Você pode ter o melhor dos dois mundos, combinando um front-end JFET de ganho modesto (e não muito previsível) com algum ganho sério no segundo estágio. Dessa forma, você obtém a corrente de entrada ultrabaixa (alta impedância de entrada) de um JFET, mas com ganho de circuito de loop aberto geral suficiente para que o feedback negativo possa fechar o loop para produzir ganho previsível.

O próximo circuito é um amplificador operado por m bateria de baixa potência (660 A). Vamos explorá-lo com mais detalhes do que o normal, introduzindo alguns novos conceitos ao longo do caminho. A Figura 3.31 mostra o primeiro de vários exemplos de amplificadores JFET que exploram a corrente de entrada ultrabaixa do JFET, combinada com um estágio de ganho adicional (e realimentação) para obter um ganho de tensão previsível e estável. É semelhante ao par bipolar série-realimentação ilustrado na Figura 2.92: Q1 é um amplificador de fonte comum, com BJT Q2 fornecendo ganho de tensão de segundo estágio para a saída (via seguidor Q3, cuja queda base-emissor através de R3 define o coletor de Q2 atual). Isso fornece o ganho de tensão necessário (que o *gm* baixo do JFET é incapaz de fornecer). A realimentação negativa fecha o loop por meio do divisor de tensão R6 e *R5R1* (em frequências de sinal) e polarização por meio de R6 e R1 em CC. Essa configuração é conhecida como "feedback em série" ou "feedback atual".

A propagação de IDSS especificado (ou, de forma equivalente, de VGS(off)) cria um problema em qualquer projeto JFET. Para lidar com isso, escolhemos um JFET com uma especificação VGS(off) apertada (-1,2 a -2,7 V) e o executamos em uma corrente de dreno bem abaixo de IDSS (mínimo de 10 mA) para que a tensão de porta-fonte a idade está próxima de VGS(off). O caminho de realimentação define o ganho do sinal. Com algum pensamento cuidadoso (e alguns malabarismos e iterações), o mesmo caminho de feedback pode ser feito para estabelecer a condição de polarização (acoplada em CC).

Veja como funciona. O portão está no chão; começamos assumindo uma tensão de fonte de aproximadamente 1,7 V e escolhemos R1 para 500 A. Desses, cerca de 300 A vêm da corrente de dreno do JFET (VBE m de Q2 através de R2), por isso

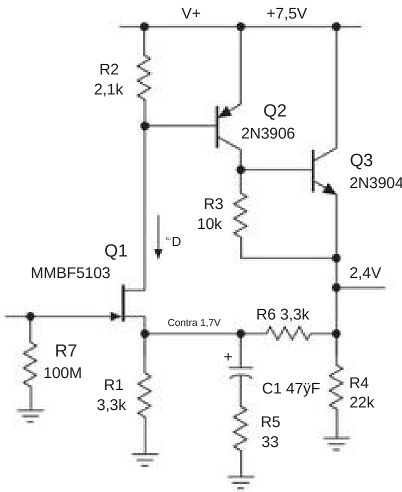


Figura 3.31. Par série-realimentação JFET–BJT.

~ 200 A vem de R6. Isso coloca a saída em cerca de +2,4 V e define a corrente do emissor de Q3 em cerca de 300 A (110 A até R4, mais 200 A até R6, menos 60 A de R3). m

milímetros

Essa é a situação autoconsistente, sob o VGS assumido de -1,7 V. Para um VGS diferente, a tensão de saída CC mudaria de acordo; pode variar de +1,3 a +4 V acima da faixa especificada extrema de tensão de limite de porta. Isso degradaria a oscilação de saída máxima possível, mas isso geralmente seria bom para um amplificador que lida com pequenos sinais (se não, R1 poderia ser selecionado para diferentes faixas VGS de partes JFET).36

O ganho nominal nas frequências do sinal é de aproximadamente 100, definido por R5 (bloqueado por C1): G=1 + R6/(R5R1). O ponto de baixa frequência -3 dB está em 100 Hz (onde a reatância de C1 é igual a R5). O ponto de ÿ3 dB de alta frequência não é calculado com tanta facilidade, mas um modelo SPICE o coloca em aproximadamente 800 kHz (ele mediu 720 kHz em nossa placa de pão, onde há algumas capacitâncias parasitas adicionadas).
O último é devido principalmente ao rolloff *RC* da impedância do sinal de saída de Q1 de 2,1 kÿ (ou seja, R2) conduzindo a capacitância de entrada de Q2 de ~4 pF, com o último grandemente ampliado pelo efeito Miller.

Para grandes impedâncias de condução de sinal Rsig , o amplificador

35 A capacitância efetiva de uma fonte/sumidouro de corrente LM334 é de 10 pF, pequena o suficiente para ser ignorada para a maioria dos propósitos. Calculamos isso a partir do gráfico de taxa de variação na folha de dados. A nota de aplicação LB-41 da TI contém informações úteis adicionais sobre o LM334.

36 Uma maneira melhor de garantir a polarização adequada é substituir R1 por um dissipador de corrente de 0,5 mA. Um JFET vem à mente (nós temos JFETs em mente!), mas, dadas suas características CC imprevisíveis, uma escolha muito melhor seria um dos coletores de corrente BJT ilustrados na Figura 3.26. Uma outra maneira de lidar com esse problema espinhoso é usar um loop de feedback lento para estabilizar o ID em um valor desejado menor que o IDSS mínimo especificado .

a largura de banda é reduzida,37 devido a uma capacitância de entrada de aproximadamente 5 pF; veja a Figura 3.32. Isso se deve principalmente à capacitância dreno-a-porta do JFET (mais a capacitância da fiação), dado que o terminal de origem é inicializado por realimentação. Existem vários truques para lidar com esse efeito (se mais largura de banda for desejada), incluindo um cascode no dreno do JFET (que pode ser inicializado para suprimir ainda mais sua ca pacitância de entrada) e um cascode no estágio de ganho Q2 BJT. Algumas dessas técnicas são discutidas no Capítulo *3x.*

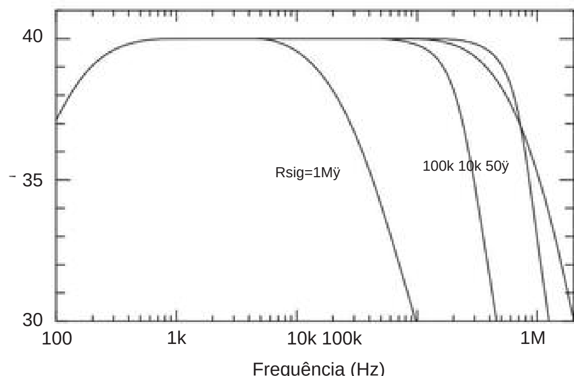


Figura 3.32. Ganho medido versus frequência para o amplificador da Figura 3.31. O f3dB com Rsig=1Mÿ mostra que Cin=7 pF.

Equações de projeto e dicas de projeto

Reunindo-o em um só lugar:

G = 1+ ÿ 1+ R6 / R5 R1   R6 / R5   (ganho ca),

GOL = gm1R2 gm2R3 gm3(R4R6), (ganho de malha aberta38)

ID = VBE2 / R2 ÿ 0,7 / R2 (viés JFET),

IC2 = VBE3 / R3 ÿ 0,65 / R3 (viés *Q2),*

Vout = VS 1ÿ R6 / R1   R1 R6 R6 |VEE| (viés de saída). + VBE2 + R2

[37] Embora paradoxalmente para valores de Rsig de alguns kÿ é *estendido* um pouco, devido a algum "pico" de resposta.

[38] Essa expressão superestima o ganho de malha aberta ao negligenciar o efeito Early limitador de ganho em Q2, o estágio em que reside a maior parte do ganho geral do circuito. A tensão inicial medida 2N3906 VAÿ25 V *(§2x.8)* implica um ganho de tensão máximo do estágio *Q2Q3* de ~1000 (comparado com seu Gÿ2500 ideal), portanto, um ganho geral de malha aberta de ~5000. Isso é suficiente para o modesto ganho de malha fechada de ×100.

Para operação de suprimento único, o último termo é zero. Basicamente, R2 define ID e a relação R6/R1 define Vout. Para operação de alimentação única (VEE=0), use um valor pequeno para R6 se o JFET tiver VGS substancial em sua corrente operacional e valores maiores para R6 para partes VGS inferiores . O último é complicado, porque a "alavancagem" de R6/R1 pode empurrar Vout por todo o mapa. Escolha R4 para ajudar a definir IC3 depois de lidar com Vout. Pode ser necessário selecionar R1 para ir com lotes de peças com VGS similar. Uma alimentação VEE negativa ajuda na polarização e também permite oscilações de saída em ambos os lados do solo.

Outra maneira de lidar com a incerteza em Vout é aplicar um viés positivo à porta, como na Figura 3.33A. Isso adiciona um deslocamento positivo de VB no terminal de origem (cuja tensão agora é VS = VB ÿVGS, onde VGS é negativo para um JFET de canal n), tornando VGS menos importante e, portanto, uma incerteza fracionária menor em VS. Enquanto você está nisso, você pode facilmente inicializar o divisor de polarização do portão,39 como na Figura 3.33B, para aumentar a impedância de entrada.

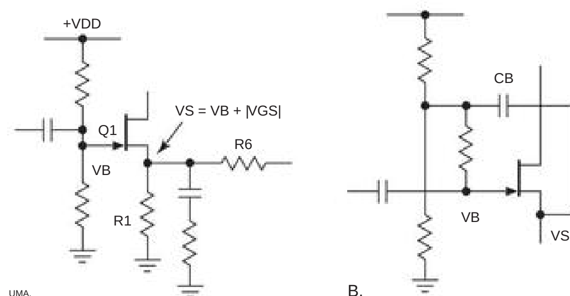


Figura 3.33. A. Um viés positivo na porta de Q1 na Figura 3.31 melhora a previsibilidade de Vout. B. Adicione um bootstrap para aumentar Rin.

E. Amplificador JFET "híbrido" simples

Com a ajuda de um amplificador operacional (a peça central magnífica do Capítulo 4), você pode fazer maravilhas. Simplificando, um amplificador operacional é um "amplificador de diferença de ganho muito alto em uma garrafa", destinado a ser alimento para feedback como o núcleo universal de praticamente qualquer circuito analógico. É *um motor puro:* um monociclo Harley turbo com duas entradas de ar. Este exemplo e o próximo mostram algumas maneiras de usar as propriedades de um amplificador operacional para dar suporte a um amplificador JFET. Observe primeiro a Figura 3.34. Aqui escolhemos o excelente 2SK170B (com LSK170B como segunda fonte) para o front-end: ele tem muita transcondutância (cerca de 25 mS em seu IDSS de 6–12 mA), junto com tensão de ruído muito baixa (ÿ1 nV/ÿ Nós o executamos com tensão de porta zero; e lidamos com o 2:1

[39] Você pode, é claro, inicializar o resistor do gate mesmo quando o gate estiver polarizado no terra, via R7 na Figura 3.31.

propagação do IDSS especificado (uma especificação mais rígida do que a fornecida para a maioria dos JFETs) escolhendo o resistor de carga de dreno RD pequeno o suficiente para evitar a saturação dc mesmo em IDSS (máx).
A tensão de dreno real não é importante porque usamos acoplamento CA para o segundo estágio (via C1). Ignorando por enquanto o segundo estágio (e configurando Rg = 0), o ganho de tensão de front-end seria *G = gmRD,* ou aproximadamente Gÿ25, com talvez ±25% de incerteza das variações do processo de fabricação JFET.

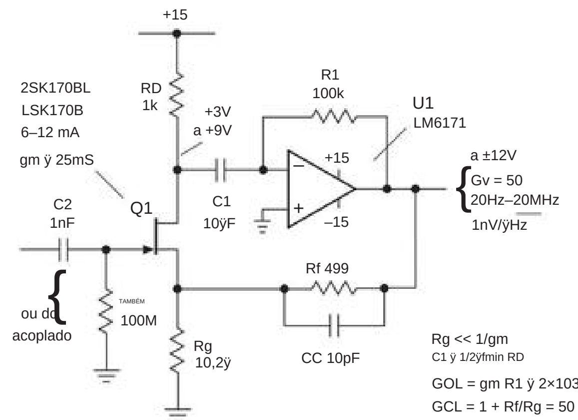


Figura 3.34. Amplificador JFET híbrido: alto-Z, baixo ruído, amplificador de banda larga. Um pico de resposta (para Rsigÿ1kÿ) pode ser domado adicionando um capacitor de 10–20 pF na entrada, veja a Figura 3.35.

Mas a carga vista pelo dreno (em frequências de sinal) é na verdade a entrada de baixa impedância do segundo estágio, que é um amplificador operacional configurado aqui como um conversor de corrente para tensão ("transresistência") (consulte §4.3 .1C). Seu "ganho" (relação entre a tensão de saída e a corrente de entrada, portanto, unidades de resistência) é apenas R1, tornando o ganho geral de malha aberta *G = gmR1* (novamente assumindo que não há realimentação e Rg = 0). Portanto, para os valores do circuito mostrados, o ganho em malha aberta GOLÿ2500.

Agora fechamos o loop via Rf, subtraindo da entrada uma fração Rg/(Rg + Rf), para um ganho de loop fechado ideal GCL=1+Rf/Rg=50. O ganho de loop (relação de ganhos de malha aberta para malha fechada) é de cerca de 50, adequado para uma boa linearidade e previsibilidade de ganho (consulte §2.5.3). Observe a baixa resistência de Rg: ela deve ser pequena o suficiente para que o ganho em malha aberta não seja muito reduzido (portanto, Rg < *1/gm);* e também deve ser pequeno o suficiente para que sua contribuição de ruído de Johnson seja insignificante (§8.1). Para uma transcondutância JFET de 25 mS, a primeira restrição limita Rg a um pouco menos de 40 ÿ; e para a tensão de ruído deste JFET de ÿ1 nV/ ÿ Hz, a segunda restrição limita Rg a um pouco menos de 25 ÿ.

Assim, escolhemos o valor baixo de ~10ÿ. Com os valores mostrados, o ganho em malha aberta é reduzido em aproximadamente 20%, o colocar tensão de ruído é aumentada em aproximadamente 8%, e a rede de feedback carrega o amplificador operacional para ±20 mA em pleno funcionamento.40

O amplificador operacional aqui foi escolhido por sua ampla largura de banda (ele cai para ganho unitário em ~100 MHz), então o ganho de malha fechada do circuito diminui em cerca de 20 MHz,41 como visto nos dados medidos da Figura 3.35. Um bônus é a impressionante capacidade do drive de saída: até 100 mA e variação total de ±10 V para quase 10 MHz. O pequeno capacitor de compensação Cc aumenta a estabilidade: sem compensação medimos 5 dB de pico em 16 MHz; a adição de Cc resultou em um pico insignificante de 0,1 dB em 10 MHz e uma redução de alta frequência de -3 dB em 22 MHz.42 Um circuito alternativo que explora a alta impedância de entrada do JFET é um seguidor de fonte JFET de entrada (§3.2.6) conduzindo um estágio de ganho de tensão. Essa é uma configuração perfeitamente

boa, principalmente se um coletor atual for usado para o menu suspenso de origem. Mas o circuito da Figura 3.34 é excelente em obter ruído mais baixo e melhor linearidade.

3.2.4 Amplificadores diferenciais

Até agora, lidamos com a relação incerta de ID versus VGS do JFET, restringindo-nos a designs de amplificadores acoplados. Mas podemos fazer melhor: um par combinado JFET nos permite fazer amplificadores acoplados em CC com desempenho respeitável. E, claro, sua corrente de entrada muito baixa significa que esses circuitos podem servir como estágios frontais de alta impedância de entrada para amplificadores diferenciais bipolares, bem como para os importantes amplificadores operacionais e comparadores que conheceremos no próximo capítulo. Como mencionamos anteriormente, as compensações VGS substanciais dos FETs geralmente resultarão em compensações de tensão de entrada e desvios de compensação maiores do que com um amplificador comparável

40 Se você não estiver satisfeito com isso, poderá dobrar ou triplicar Rf e Rg, às custas de um ruído ligeiramente maior do amplificador. Consulte §8.6 para saber mais sobre design JFET de baixo ruído.

41 Quando acionado com baixa impedância de sinal. Com uma fonte de sinal de impedância mais alta, o rolloff é dominado pela capacitância de entrada do circuito: Q1 tem uma capacitância dreno-porta Crss de 6 pF, assim a largura de banda observada de ÿ3 dB de ÿ400 kHz com uma fonte de 100kÿ. Felizmente, a capacitância porta-fonte maior (Cissÿ30 pF) é reduzida à insignificância por realimentação. "E quanto ao maléfico efeito Miller?" você se pergunta. Isso é suprimido aqui, porque o amplificador operacional mantém sua entrada (-) fixa (um "terra virtual") por meio de realimentação por meio de R1; consulte §4.3.1C.

42 Em qualquer circuito de realimentação existe a possibilidade de algum "pico" na resposta em alguma frequência (ou, no pior dos casos, uma oscilação total). Este circuito exibe picos modestos para impedâncias de entrada na faixa de alguns kÿ, como visto na Figura 3.35. Sua amplitude pode ser controlada pela adição de aproximadamente 10–20 pF de capacitância shunt de entrada, com alguma consequente redução da largura de banda.

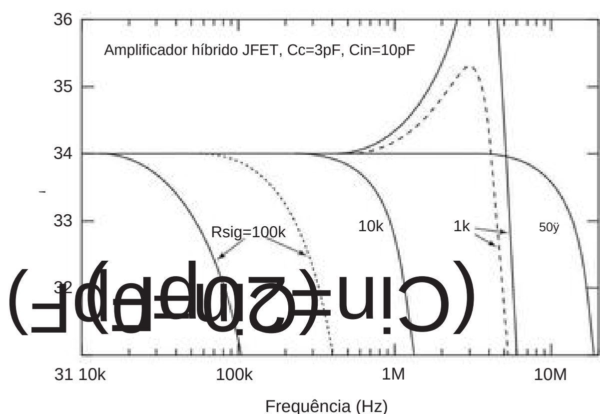


Figura 3.35. Ganho medido versus frequência para o amplificador da Figura 3.34. As curvas sólidas são com um capacitor shunt de 10 pF na entrada, um valor de compromisso para um bom desempenho em uma ampla faixa de impedâncias de sinal de entrada (omita o capacitor para impedância de fonte alta, aumente-o para o pior caso Rsig ÿ 1kÿ).

construído inteiramente com transistores bipolares, mas é claro que a impedância de entrada será aumentada enormemente.

A Figura 3.36 mostra as configurações mais simples, análogas aos amplificadores diferenciais BJT simples das Figuras 2.63 e 2.67. O ganho diferencial do clássico par de cauda longa na Figura 3.36A (definido como ÿVout/ÿVin, com R1 = R2 e saída diferencial como mostrado) é apenas *G=gmR1;* a rejeição de modo comum é grandemente melhorada com um dissipador de corrente substituindo o resistor de fonte RS. Uma desvantagem deste circuito é a incerteza no ganho (devido à incerteza na transcondutância); e o ganho é modesto, devido à limitada transcondutância dos JFETs em geral. Você pode contornar a limitação de ganho substituindo o(s) resistor(es) de carga de dreno por um espelho de corrente, como na Figura 3.36B. No entanto, este fragmento de circuito não é estável em polarização: ele deve ser acompanhado por um estágio seguinte configurado para fornecer realimentação CC.

Esses circuitos também sofrem do efeito Miller (§2.4.5), cuja ação multiplicadora na capacitância de realimentação Crss atua para aumentar a capacitância efetiva de entrada, reduzindo assim (em combinação com a impedância da fonte do sinal) a largura de banda. O espelho de corrente no circuito (B) bloqueia o dreno de Q1, mas o efeito Miller ainda está presente na entrada de Q2 . ou BJT) no(s) dreno(s), uma configuração desejável discutida posteriormente e no Capítulo *3x* na seção

[43] A menos que essa saída acione um estágio de transimpedância que limite sua tensão, como na Figura 3.31 ou 3.34.

"Largura de banda do Cascode.". Ao limitar a tensão de dreno, o cascode também elimina uma redução no ganho vista em circuitos simples como o da Figura 3.36A: isso ocorre porque a corrente de dreno do JFET depende um pouco da tensão de dreno (a inclinação ascendente em plotagens de corrente de dreno versus dreno tensão da fonte, que você pode imaginar como uma impedância de saída finita), que pode reduzir o ganho *gmR1* ideal em até 25%.

Por esta e outras razões, o cascode é altamente recomendado, mesmo quando a largura de banda não é um problema. Curioso sobre essas "outras razões"? Considere isto: a corrente de porta em JFETs, normalmente abaixo dos picoampères, sobe vertiginosamente com a tensão do dreno para a fonte – veja a Figura 3.49 na página 164 onde os picoamps se tornam microamps! Um cascode permite prender o dreno a uma baixa tensão operacional, suprimindo esse efeito. Isso é muito bem ilustrado na figura no final de *§3x.4* no Capítulo *3x.*

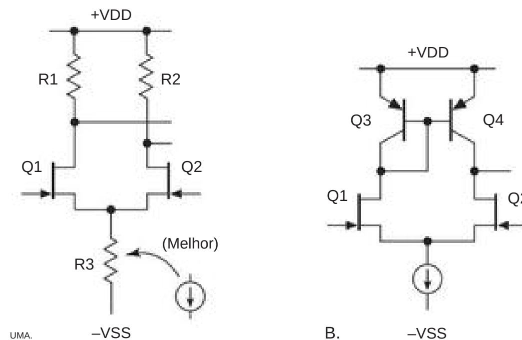


Figura 3.36. Amplificadores diferenciais JFET mais simples.

A. Exemplo: um amplificador JFET híbrido acoplado a CC

No exemplo anterior de projeto de amplificador híbrido (Figura 3.34), evitamos a questão da corrente de dreno JFET imprevisível, optando por um amplificador acoplado a CA. Isso é bom para algo como um amplificador de áudio ou RF; mas às vezes você gostaria de uma resposta até o DC.

Você pode conseguir isso explorando um estágio de entrada diferencial JFET de par combinado em um arranjo totalmente acoplado em CC, como na Figura 3.37. A configuração geral é um amplificador diferencial de fonte comum com o sinal de entrada conectado a um lado. Sua saída de tensão diferencial aciona um amplificador operacional de banda larga, cuja saída (dividida pelo divisor de tensão de ajuste de ganho) fornece feedback negativo para o outro terminal do par de entrada. Assim como no circuito anterior, o ganho de malha fechada é GCL=1 + Rf/Rg=50, com um pequeno capacitor de compensação de malha Cc escolhido para melhor resposta sem pico.

O diabo está nos detalhes, que, se você tiver sorte,

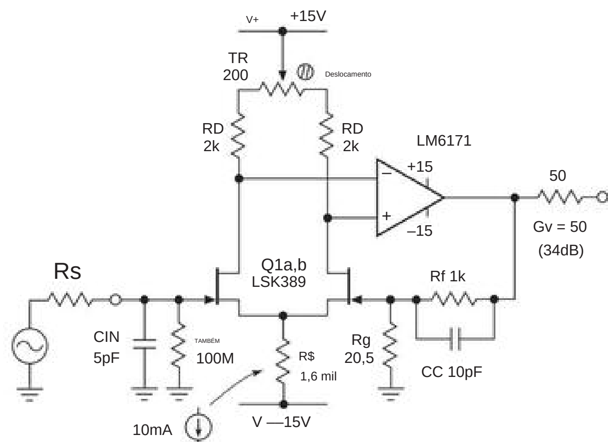


Figura 3.37. Um amplificador operacional fecha o loop em torno de um par combinado JFET para criar um amplificador de baixo ruído de banda larga acoplado a CC com alta impedância de entrada. Substitua o resistor de polarização da fonte RS por um dissipador de corrente (consulte a Figura 3.26) para melhorar a rejeição de alimentação.

podem se unir em uma harmonia sinfônica. Este circuito funcionou muito bem; daí o nosso entusiasmo por um pouco de discussão. Aqui vai.

O LSK389 é um par JFET combinado monolítico de ruído muito baixo (ÿ1 nV/ÿ Hz),44 disponível em três classes IDSS . Escolhemos a parte do sufixo –B de corrente média (com um IDSS especificado entre 6 mA e 12 mA) e forçamos cada JFET do par a funcionar a 5 mA, drenando 10 mA do par de terminais de origem. Isso coloca os drenos em +5 V (o amplificador operacional impõe igualdade), com um ganho de malha aberta (da entrada de terminação única para a saída diferencial) de aproximadamente *G=gm(RD* + 0,5RT)ÿ40. Para isso, o amplificador operacional contribui com seu ganho de malha aberta substancial (90 dB, ou seja, ×30.000), em uma configuração de aparência assustadora cuja estabilidade pode parecer seriamente duvidosa. Mas não se preocupe – o divisor ÷50 no loop de retorno limita com segurança o ganho do loop,45 com qualquer tendência à instabilidade facilmente domada com a escolha apropriada de Cc.

De acordo com a folha de dados, o par de entrada Q1ab possui "Tight Matching". Mas isso está na escala de JFETs, não de BJTs - aqui essa "correspondência" é um máximo de ± 20 mV (cerca de 100 × a correspondência de um bom par de BJT), que o *G* = 50 do circuito amplificaria para um deslocamento de saída de 1V! Daí o ajuste de compensação RT, com alcance suficiente para equilibrar o deslocamento de entrada do pior caso.

Nosso projeto inicial incluía um capacitor de derivação do dreno do transistor de entrada para o terra, para suprimir o Efeito Miller. Um bom pensamento, mas a realidade é que o efeito Miller está quase totalmente ausente devido ao efeito de fixação do amplificador operacional no par de dreno. E o capacitor de bypass apresenta dois problemas: ele desequilibra o par de transistores, então o circuito é sensível ao ruído no trilho de alimentação positivo; e introduz um deslocamento de fase dentro do loop, causando alguns picos indesejáveis, exigindo assim um valor maior de Cc e, portanto, largura de banda reduzida.

Agora, para a "compensação" da estabilidade do feedback. Em um circuito de terminação única como na Figura 3.34, você pode colocar um pequeno capacitor em R1 ou em Rf. Aqui, no entanto, queremos manter a simetria do estágio de entrada, então Cc tem que passar por Rf. Na bancada, descobrimos que 10 pF eram necessários para eliminar o pico na resposta de frequência, quando testado com uma entrada de onda senoidal de baixo nível; A Figura 3.38 mostra os dados.

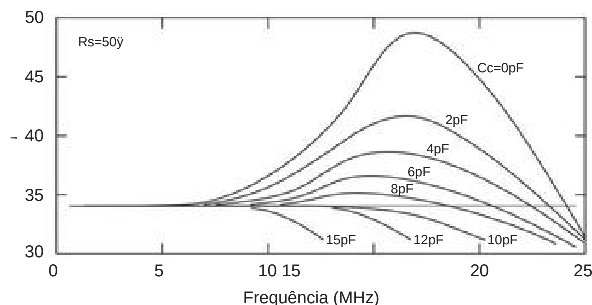


Figura 3.38. Selecionando o capacitor de compensação Cc para o amplificador da Figura 3.37. Um valor de 8 ou 10 pF funciona bem.

Um bit final de compensação é o capacitor de derivação Cin através da entrada para suprimir alguns picos modestos que são vistos para fontes de sinal de impedância de ~1kÿ (Rsig). Aqui 5 pF fez o trabalho bem (embora tenha aumentado a capacitância de entrada do circuito para ÿ20 pF). A Figura 3.39 mostra o ganho medido versus frequência para o circuito finalizado (com os valores dos componentes mostrados na Figura 3.37), para nove valores de Rsig (abrangendo quatro décadas de resistência).

Assim como no circuito anterior, o amplificador operacional LM6171 fornece uma oscilação de saída completa de ±10 V para quase 10 MHz. O resistor de 50ÿ em série com a saída garante estabilidade em cargas capacitivas; ele também fornece "terminação de retorno" em cabo coaxial de 50 ÿ (consulte o Apêndice H sobre Linhas de Transmissão). Este amplificador operacional não é particularmente silencioso (enÿ12 nV/ ÿ Hz), mas é bom o suficiente: o ganho do estágio de entrada do circuito de ÿ40 reduz a contribuição do ruído do amplificador operacional para ÿ0,3 nV/ ÿ Hz quando referido a entrada. O ruído geral do amplificador é de ÿ2 nV/ ÿ Hz.46

44 Um substituto para o lendário (e descontinuado) 2SK389 da Toshiba. 45 Para aproximadamente o mesmo valor do amplificador operacional sozinho, se ele fosse conectado como um seguidor de ganho unitário estável.

46 Se você deseja *silêncio* , pode substituir o IF3602 duplo de matriz grande

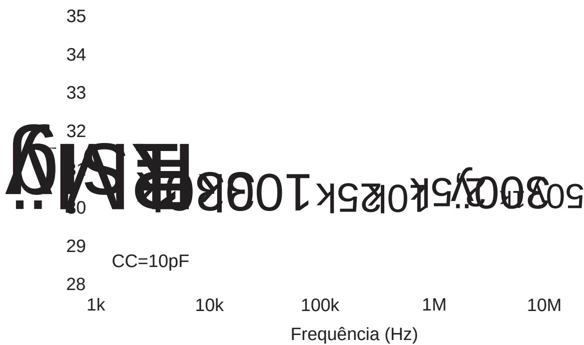


Figura 3.39. Ganho medido versus frequência para o amplificador da Figura 3.37, para uma faixa de valores de impedância da fonte de sinal Rsig.

Este é um amplificador muito bom! Com um pouco de refinamento (principalmente substituindo um dissipador de corrente de baixo ruído por RS), dois desses amplificadores, combinados em uma configuração chamada "amplificador de instrumentação" (INA), irão superar qualquer INA integrado disponível em termos de ruído e velocidade; consulte a Figura 8.49 em §8.6.3.

B. Comparação com amplificadores operacionais de entrada JFET Já podemos ouvir: "Sim, sim. . . vocês gostam de mostrar seus circuitos inteligentes, com muitos componentes discretos. Mas hoje em dia esse tipo de arte de circuito está obsoleto, porque você pode obter todo esse desempenho e muito mais em circuitos integrados prontamente disponíveis – amplificadores operacionais, em particular."

Mas, você *pode ?* A Tabela 3.2 lista os amplificadores operacionais atualmente disponíveis com entradas JFET que têm chance de competir. Como seu desempenho se compara ao de nosso amplificador híbrido acoplado CC da Figura 3.37? Vamos ver. . .

Balanço de saída Somente os três primeiros amplificadores operacionais podem oscilar toda a faixa de ±15 V; OK mas. . .

Largura de banda . . . o mais rápido desses amplificadores operacionais de "alta tensão" tem GBW de 80 MHz, portanto, para G=50, uma largura de banda inferior a 2 MHz; e os dois amplificadores operacionais mais rápidos, que podem corresponder à largura de banda do nosso amplificador, podem oscilar apenas ± 4 V ou mais. Por outro lado, o GBW do nosso amplificador é de 4 GHz (40 vezes o fT = 100 MHz do amplificador operacional) e, portanto, ganho excessivo (por exemplo, 400 a 10 MHz) com menor distorção resultante.

Ruído O ruído do nosso amplificador de ÿ2 nV/ ÿ Hz é 6 dB mais silencioso do que o melhor das ofertas da Tabela 3.2.

Custa $ 5–10 para a solução de amplificador operacional, aproximadamente o mesmo para o amplificador híbrido de melhor desempenho ($ 2,50 para o LM6171, $ 3,25 para o LSK389 dual JFET)

JFET. Isso reduzirá o ruído de entrada para ÿ0,7 nV/ ÿ Hz, mas com uma capacitância de entrada bastante aumentada (cerca de 300 pF!). (E o ruído térmico da rede de realimentação irá degradar isso, a menos que Rg seja diminuído para ~5 ÿ; veja §8.1 e Figura 8.80A.)

Tabela 3.2 Tensão de alimentação do amplificador operacional JFET rápido selecionada IQ type

Papel #	(V)	(mA)	Ibias 25ÿC (pA)	en 1kHz (nV/ÿHz)	GBW (MHz)	Giro Taxa (V/ÿs)	Tipo de custo tipo tipo tipo quantidade 25 intervalo ($US)
OPA604A	9–50	5	50	10	20 25	2,93 22	28 9,00
OPA827A	8–40	5	15	4	80d	170 10,12	7b 230
ADA4637	9–36	7	1	6	290	5,59 7	1600d 700
OPA656	9–13	14	2	10,01 4c	1050	870	4,93
OPA657	9–13	14	2				
ADA4817	5–10.6	19	2				

Notas: (a) candidatos a amplificador de baixo ruído de banda larga. (b) baixo ruído enC : Cin=2.8pF. (c) menor ruído enC : Cin=1,5pF. (d) decomp, GCL >7.

O concurso até agora? O amplificador híbrido está ganhando, em termos de métrica de desempenho combinado de largura de banda, oscilação de saída e tensão de ruído. Mas ainda não terminamos. . .

Tensão de deslocamento Os amplificadores operacionais ganham, aqui, com valores de Vos prontos para uso de 2 mV (máximo) para as três partes mais rápidas; o amplificador híbrido requer ajuste manual de seu deslocamento não compensado de pior caso de 20 mV, se for necessário melhor.

As **peças contam** Uma vitória, novamente, para os amplificadores operacionais.

Capacitância de entrada Apenas 1,5 pF para o ADA4817, contra 10 pF ou mais para o híbrido (o preço que pagamos por ruído 2 vezes menor).

Corrente de entrada 20 pA (máx.) para o ADA4817 (mas essa é uma parte de baixa tensão), versus 200 pA para o híbrido *(injusto!* – isso é especificado em um grande viés negativo, VGS = ÿ30 V)

O veredito? Uma decisão dividida: a solução JFET op-amp é simples e pode fornecer bastante velocidade (ou bastante oscilação, mas não ambos), juntamente com precisão ininterrupta e capacitância de entrada muito baixa (portanto, baixo ruído "enC" ; consulte o Capítulo 8). A abordagem híbrida oferece velocidade e oscilação e tensão de ruído mais baixa; mas requer ajuste manual, é mais complicado e tem mais capacitância de entrada. Observe também que um amplificador operacional é um bloco de construção mais flexível em geral, fornecendo, por exemplo, uma ampla faixa de tensão de entrada de modo comum que nosso circuito híbrido não possui; mas isso não é necessário aqui, porque a entrada está sempre próxima do terra (devido ao ganho do circuito de 50).

3.2.5 Osciladores

Em geral, os FETs têm características que os tornam substitutos úteis para transistores bipolares em quase todos os circuitos que podem se beneficiar de sua alta impedância de entrada e baixa corrente de polarização. Um exemplo particular é o uso de um estágio amplificador JFET para implementar um *LC* de alta estabilidade ou oscilador de cristal; mostraremos exemplos em §7.1.5D.

3.2.6 Seguidores de origem

Por causa da transcondutância relativamente baixa dos FETs, muitas vezes é melhor usar um "seguidor de fonte" FET (análogo a um seguidor de emissor) como um buffer de entrada para um amplificador BJT convencional, em vez de tentar fazer um amplificador FET de fonte comum diretamente . Você ainda obtém a alta impedância de entrada e a corrente de entrada CC zero do FET, e a grande transcondutância do BJT permite obter alto ganho de estágio único. Além disso, FETs discretos (ou seja, aqueles que não fazem parte de um circuito integrado) tendem a ter maior capacitância entre eletrodos do que BJTs, levando a um maior efeito Miller (§2.4.5B) em amplificadores de fonte comum; a configuração do seguidor de origem, como o seguidor de emissor, não tem efeito Miller.

Os seguidores FET, com sua alta impedância de entrada, são comumente usados como estágios de entrada em osciloscópios, bem como em outros instrumentos de medição. Existem muitas aplicações nas quais a impedância da fonte de sinal é intrinsecamente alta, por exemplo, microfones capacitores, sondas de pH, detectores de partículas carregadas ou sinais de microeletrodos em biologia e medicina. Nesses casos, um estágio de entrada FET (seja discreto ou parte de um circuito integrado) é uma boa solução. Dentro dos circuitos, existem situações em que o estágio seguinte deve consumir pouca ou nenhuma corrente. Exemplos comuns são os circuitos analógicos "sample-and-hold" e "detector de pico", nos quais o nível é armazenado em um capacitor e "cairá" se o próximo amplificador consumir uma corrente de entrada significativa. Em todas essas aplicações, a vantagem da corrente de entrada insignificante de um FET mais do que compensa sua baixa transcondutância, tornando os seguidores de fonte (ou mesmo amplificadores de fonte comum) alternativas atraentes para o seguidor de emissor bipolar.

A Figura 3.40 mostra o seguidor de fonte mais simples, que idealmente deve produzir uma réplica precisa da forma de onda de entrada enquanto extrai corrente de entrada essencialmente zero. Vamos descobrir coisas importantes como seu ponto de operação quiescente, seu ganho de tensão exato, sua impedância de saída e o desvio de tensão da entrada para a saída.

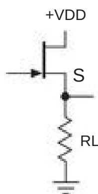


Figura 3.40. Seguidor de fonte JFET de canal N. Ao contrário do seguidor de emissor *npn* BJT (no qual a saída segue a entrada por VBE ÿ 0,6 V), a saída é aqui mais positiva do que a entrada.

A. Ponto de operação quiescente O seguidor de fonte JFET não é tão simplesmente analisado quanto o seguidor de emissor BJT análogo, no qual a tensão do emissor simplesmente segue a tensão de base por um relativamente constante (e previsível) VBE ÿ 0,6 V. Isso ocorre porque o FET tem características de transferência menos abruptas (e muito menos previsíveis) *(ID* versus VGS) – o mesmo problema com o qual acabamos de lidar em conexão com a fonte de corrente JFET (§3.2.2) e o amplificador JFET (§3.2.3) .

Poderíamos usar a mesma abordagem iterativa aqui, buscando a tensão de fonte quiescente VS (e, portanto, VGS = VS) que produz uma corrente de fonte IS (e, portanto, ID = IS) consistente com esse VS. E poderíamos fazer isso interpolando entre curvas como as da Figura 3.21A (uma família de ID versus VDS para vários VGS), ou deslizando para cima e para baixo uma curva característica de transferência como a da Figura 3.41 (uma única curva de ID versus VGS, em algum VDS fixo), até encontrarmos o ponto em que *IDRL* = ÿVGS.

Mas existe um método gráfico elegante, amplamente utilizado na época das válvulas a vácuo, que permite encontrar o ponto de operação imediatamente: o método das "linhas de carga".

B. Linhas de carga Para encontrar o ponto de operação para o seguidor de fonte na Figura 3.40, simplesmente notamos que o resistor de carga RL impõe suas regras em VGS versus IS admissíveis, ou seja, a lei de Ohm: *ISRL* = ÿVGS. Podemos plotar essa restrição no mesmo gráfico da curva de transferência da Figura 3.41, como uma linha reta com inclinação *ÿ1/RL;* observe que ele vai "para trás",

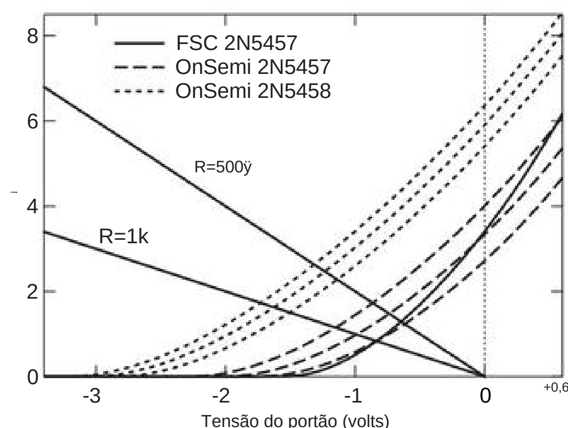


Figura 3.41. Curvas de transferência medidas para um conjunto de JFETs de canal n 2N5457 e 2N5458 em VDS=10V. Essas medições se estendem além do IDSS, com VGS tomado 0,6 V em território positivo. As curvas OnSemi mostram as peças com IDSS mais baixo, médio e mais alto de um lote de dez cada.

Machine Translated by Google

porque VS = ÿVGS. O ponto de operação deve ser consistente com esta restrição e simultaneamente com a característica de transferência do JFET. Em outras palavras, o ponto de operação é a interseção das duas curvas. Nesse caso, com RL = 1k, o ponto quiescente está em VS = +1,6 V (e, a partir da curva 2N5458 mais baixa, ID = 1,6 mA).

Para que ninguém fique tentado a se apaixonar rapidamente por essa técnica, nos apressamos em apontar que as curvas características para um tipo particular de JFET exibem uma grande dispersão. Para o 2N5458 ilustrado na Figura 3.41, por exemplo, a especificação permite que IDSS esteja em qualquer lugar entre 2 e 9 mA (e a tensão pinchoff VGS(off) pode variar de -1,0 a -7,0 V). Na prática, é raro encontrar dispositivos nos extremos, e tende a haver boa consistência em um único lote de fabricação (conforme indica o código de data estampado nas peças); por exemplo, medindo um lote de 10 2N5458 (Figura 3.41), determinamos que o ponto quiescente neste circuito varia de 1,52 a 1,74 V.

C. Amplitude de saída e ganho de tensão Podemos calcular a amplitude de saída, como fizemos para o seguidor de emissor na Seção 2.3.3, usando a transcondutância. Nós temos

$$vs = RLid$$

já que ig é desprezível; mas

$$id = gmvgs = gm(vg\ ÿvs),$$

assim

$$vs = \frac{RLgm}{(1+RLgm)}\ vg.$$

Ou seja, o ganho é

$$G = \frac{1}{1+\frac{1}{gmRL}}\ . \qquad (3.7)$$

Para RL1/gm é um bom seguidor (vsÿvg), com ganho próximo, mas sempre menor que a unidade. Não estamos próximos desse limite neste exemplo, em que o valor medido gm=1,9 mS implica um ganho de tensão de GV=0,66 na carga de 1 kÿ, distante do ideal de ganho unitário. Além disso, a variação da transcondutância ao longo da oscilação do sinal resulta em não linearidade indesejável. Uma solução é usar um JFET com maior transcondutância ou (melhor) adicionar um intensificador de transcondutância BJT (Figura 3.29F e *§3x.2).* Mas em situações em que a impedância da carga externa é alta, uma solução elegante é usar um sorvedouro de corrente como carga ativa, conforme veremos a seguir (§3.2.6F).

D. Impedância de entrada

Nossa esperança de que os seguidores de fonte JFET tenham impedância de entrada infinita é amplamente atendida, mas eles têm alguma corrente de fuga de porta (consulte §3.2.8) e capacitância de entrada (consulte a Tabela 3.7 na página 217). Vazamento de gate pode se tornar um problema em tensão de gate de dreno maior que cerca de 5 V (Figura 3.49), portanto, certifique-se de verificar a folha de dados do JFET e, se necessário, considere adicionar um cascode para limitar VDG.

A resposta de frequência de um seguidor quando acionada por sinais de alta impedância de fonte é limitada pela capacitância de entrada, f3dB=1/2 Cin, onde Cin=Ciss+Crss+Cstray. A capacitância porta-fonte Ciss é geralmente cerca de duas a cinco vezes maior do que a capacitância porta-dreno Crss, mas por acaso ela é inicializada pela ação do seguidor e é efetivamente reduzida a (1ÿGV)Ciss. Se você seguir nosso conselho (abaixo) para que o *GV* seja próximo de 1,0, apenas o Crss do JFET permanece para limitar a largura de banda. Mas é possível inicializar o dreno e reduzir o efeito do Crss por um fator de 5. Isso deixa Cstray como “o último homem em pé” para limitar a largura da banda – mas você pode derrubá-lo também “guardando” a maioria da capacitância da fiação de entrada (ou seja, usando o sinal de saída do seguidor para acionar a blindagem do cabo; consulte a discussão sobre proteção de sinal em §5.15.3).

E. Impedância de saída A equação anterior para vs é precisamente o que você preveria se a impedância de saída do seguidor de fonte fosse igual a *1/gm* (tente o cálculo, assumindo uma tensão de fonte de vg em série com *1/gm* conduzindo uma carga de RL). Isso é exatamente análogo à situação do seguidor de emissor, na qual a impedância de saída era re=25/IC, ou *1/gm.* Pode ser facilmente mostrado explicitamente que um seguidor de fonte tem impedância de saída *1/gm* calculando a corrente de fonte para um sinal aplicado à saída com a porta aterrada (Figura 3.42).

A corrente de dreno é

$$id = gmvgs = gmv,$$

assim

$$\text{rota} = v/id = 1/gm, \qquad (3.8)$$

tipicamente algumas centenas de ohms em correntes de alguns miliampères.47 Em geral, os seguidores de fonte FET não são tão rígidos quanto os seguidores de emissor. A exceção é em correntes muito baixas,

[47] Na prática, uma forma mais conveniente de medir a impedância de saída do seguidor é injetar um sinal de *corrente* e medir a tensão resultante da fonte, conforme a Figura 3.42B. Obtenha a corrente de um gerador de sinal, com um resistor em série Rsig muito maior que rout, tomando cuidado para manter vout pequeno, digamos ~50 mV; então a equação na figura lhe dá a derrota.

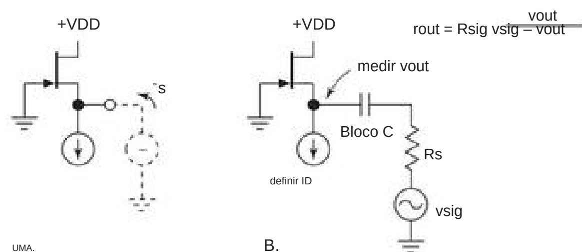


Figura 3.42. Calculando a impedância de saída do seguidor de fonte.

na região do sublimiar, onde a transcondutância de alguns JFETs se aproxima da de um BJT operado na mesma corrente; consulte a Figura 3.54 na página 168.

Neste exemplo, com *gm* = 1,9 mS, a impedância olhando de volta para a fonte do JFET é rout = 525 ÿ, que combina com o resistor de carga da fonte paralela de 1k para produzir uma impedância de saída de 345 ÿ, um pouco maior do que a valor análogo de re = 16 ÿ para um BJT operando no mesmo 1,6 mA.

Conseguimos calcular o ganho de tensão e a impedância de saída com razoável precisão neste exemplo porque nos demos ao trabalho de medir as curvas características de ID versus VGS . Vale ressaltar, porém, que o datasheet do fabricante do 2N5458 não nos ajuda muito aqui: não fornece curvas características para o 2N5458, apenas para a parte de menor corrente (2N5457); e para o 2N5458 ele especifica *gm* apenas no IDSS, onde fornece uma faixa de 1,5 mS a 5,5 mS. A partir desses limites, juntamente com os limites IDSS e VGS(OFF) acima, não seríamos capazes de formar uma boa estimativa da transcondutância operacional, porque o ponto operacional com um valor fixo de resistor de carga da fonte é mal determinado. Poderíamos fazer melhor assumindo que adicionamos apenas RS para fazer ID = 1,6 mA, digamos; então, usando o fato de que *gm* ÿ ÿID, os limites especificados de IDSS e de *gm* (em IDSS) garantem que *gm* esteja na faixa de 0,6 mS a 4,9 mS.48 Nosso valor medido de *gm* cai bem dentro dessa faixa, sendo bastante próximo da média geométrica desses limites.

Existem duas desvantagens neste circuito.

1. A impedância de saída relativamente alta significa que a oscilação de saída pode ser significativamente menor que a oscilação de entrada, mesmo com alta impedância de carga, porque RL sozinho forma um divisor com a impedância de saída da fonte. Além disso, como a corrente de dreno está mudando ao longo da forma de onda do sinal, *gm* e, portanto, a impedância de saída variam, produzindo alguma não linearidade (distorção) na saída. A situação melhora se FETs de alta transcondutância forem usados, é claro, mas uma combinação FET-BJT seguidor (ou FET-BJT *"gm* intensificador", Figura 3.29F) geralmente é uma solução melhor.
2. Como o VGS necessário para produzir uma certa corrente operacional é um parâmetro mal controlado na fabricação do FET, um seguidor de fonte tem um deslocamento CC imprevisível, uma séria desvantagem para circuitos acoplados CC.

(Um problema adicional é causado pelo fato de que a corrente de dreno de um FET depende até certo ponto da tensão dreno para fonte. Você pode chamar isso de "efeito gos ", que também atua para reduzir o ganho do *G* = 1 ideal. é discutido posteriormente em §§3.3.2 e na seção do Capítulo *3x* "Largura de banda do Seguidor de Fonte com uma Carga Capacitiva.")

Talvez este seja um bom lugar para fazer uma pausa e perceber que muitos dos circuitos que estamos considerando seriam mais fáceis de implementar e funcionariam melhor se tivéssemos acesso a uma tensão de alimentação negativa. Mas muitas vezes esse não é o caso; portanto, no espírito das restrições de projeto de circuito do mundo real (e como um exercício de aprendizado útil), estamos trabalhando duro nas dificuldades extras impostas pelo projeto de seguidor JFET de suprimento único. Mas se você tiver um suprimento negativo disponível, use-o!

F. Carga ativa A adição de alguns componentes melhora enormemente o seguidor de fonte. Trabalhe conosco aqui, à medida que avançamos em etapas (Figura 3.43).

Primeiro, substituímos o resistor de carga (chamado RS na Figura 3.43A) por um dissipador de corrente (pull-down) (circuito B). (Você pode pensar nisso como o caso anterior, com RS infinito.) A corrente de fonte constante torna VGS aproximadamente constante, reduzindo assim as não linearidades. Um bom truque (circuito B) tem um seguidor BJT fazendo dupla função, ambos fornecendo baixa impedância de saída enquanto afunda uma corrente (aproximadamente) constante de VBE/RB.

Ainda temos o problema da imprevisível (e, portanto, diferente de zero) tensão de deslocamento (da entrada para a saída) de VGS (ou VGS +VBE, para o circuito B). Obviamente, poderíamos simplesmente ajustar Isink para o valor específico de IDSS para o FET fornecido (no primeiro circuito) ou ajustar RB (no segundo). Esta é uma solução ruim por dois motivos: (a) requer ajuste individual para cada FET; e (b) mesmo assim, ID pode variar por um fator de dois ao longo da faixa normal de temperatura operacional para um determinado VGS.

Um circuito melhor usa um par de FET correspondente para atingir o deslocamento zero (circuito C). Q1 e Q2 são um par combinado, em um único chip de silício, por exemplo, o excelente LSK389 (ver

[48] Na verdade, pode-se restringir um pouco essa estimativa, porque *gm* e IDSS estão correlacionados: uma amostra JFET com *gm* excepcionalmente alto também ficará no limite superior da distribuição de IDSS .

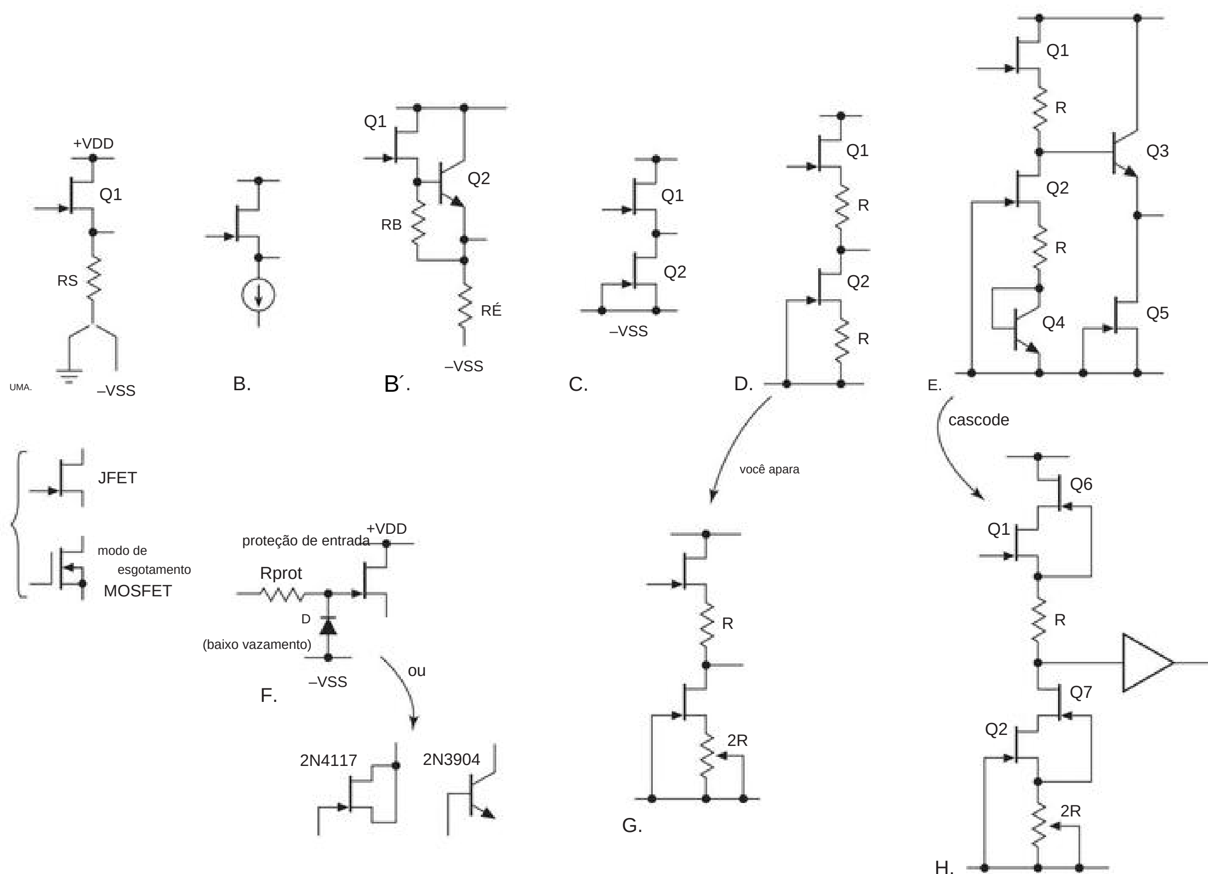


Figura 3.43. Seguidores de origem de ganho de unidade JFET - do mais simples ao melhor.

Tabela 3.7 na página 217), com Q2 afundando uma corrente de IDSS, ou seja, sua corrente de dreno correspondendo a VGS=0. Mas os JFETs são combinados, então VGS=0 para ambos os transistores: voila,` Q1 é um seguidor com deslocamento zero. Como Q2 rastreia Q1 em temperatura, o deslocamento permanece próximo de zero, independentemente da temperatura.

Você geralmente vê o circuito anterior com resistores de fonte adicionados (circuito D). Um pouco de reflexão deve convencê-lo de que o resistor superior *R* é necessário e que os resistores de valor igual garantem *queVout* =Vin se Q1 e Q2 forem combinados.

Essa modificação do circuito oferece melhor previsibilidade de ID , permite que você defina a corrente de dreno para um valor menor que IDSS e a degeneração da fonte oferece linearidade aprimorada.

A variação do circuito G permite ajustar a (já pequena) tensão offset residual causada pelo casamento imperfeito do par *Q1Q2 ;* o LSK389, por exemplo, especifica uma incompatibilidade de pior caso (em 1 mA de corrente de dreno) de ÿVGS = 20 mV.49 O circuito E adiciona um seguidor de saída BJT (Q3), com um JFET pull-down do dissipador de corrente (Q5). O transistor Q4 adiciona um VBE de compensação na fonte de Q2 para manter um deslocamento DC aproximadamente zero da entrada para a saída.

Os circuitos A–D compartilham um problema, ou seja, a tensão dreno para a fonte em Q1 varia diretamente com o sinal de entrada.

Isso pode causar vários efeitos indesejáveis. Por exemplo, imagine que o circuito C é executado entre trilhos de alimentação de ±10 V e que o sinal de entrada oscila entre +5 e -5 V.

49 Mas uma pegadinha complicada: a especificação de offset assume VDS igual para os dois JFETs, mas no circuito D há uma incompatibilidade de VDS que depende da tensão do sinal de entrada em relação aos trilhos de alimentação. Para estimar a tensão de deslocamento resultante do seguidor, você precisa conhecer a condutância de saída dos JFETs (gos), que causa um deslocamento de entrada-saída no seguidor que é proporcional à incompatibilidade VDS . Esse parâmetro não está especificado na folha de dados deste JFET, mas de nossas medições (consulte a Tabela 3.7 na página 217) sabemos que gos ÿ100 S, o que [illegible] de ÿV=ÿVDS/Gmax; aqui, isso equivale a ÿ60 mV para uma diferença de 10 V em VDS, um pouco maior do que o deslocamento máximo não compensado de 20 mV do par JFET (quando os VDS estão balanceados). A cura? Circuito H, um cascode em cada JFET para manter cada VDS constante.
Aplausos estrondosos, mais uma vez, pelo notável cascode.

No pico de sinal positivo, Q1 tem menos de 5 V do dreno para a fonte, enquanto Q2 tem mais de 15 V. Como a corrente de dreno de um FET (em VGS fixo) varia ligeiramente com a tensão do dreno para a fonte (discutido em §§3.3 .2 e *3x.4),* as consequências aqui são um afastamento do ganho de unidade estrito e (pior) uma potencial não linearidade; outra consequência é que a corrente do gate de entrada pode aumentar dramaticamente em tensões dreno-fonte maiores que 5 V (consulte a Figura 3.49 na página 164), degradando seriamente a corrente de entrada admiravelmente baixa.

Uma excelente solução para esses problemas (e outros !) VDS máximo desejado de Q1 e Q2. Os transistores cascode inicializam VDS de Q1 e Q2 para uma tensão igual à VGS de Q6 e Q7 enquanto passam pelas correntes de dreno. Portanto, Q1 e Q2 operam em VDS constante (e baixo) , com os transistores de código cas assumindo a folga à medida que o sinal oscila, abordando assim os dois problemas descritos no parágrafo anterior. Os resultados são dramáticos, como veremos agora em um "estudo de caso" de baixa distorção.

Uma melhoria adicional nesses circuitos seguidores JFET é a adição de um intensificador de transcondutância *pnp* no circuito de drenagem de Q1 (como na Figura 3.29, onde a transcondutância muito aumentada resgata um estágio de amplificador de outra forma medíocre); isso é particularmente útil se o seguidor for acionar uma impedância de carga relativamente baixa. Isso é desenvolvido com mais detalhes em *§3x.2.*

Os JFETs podem lidar com muita corrente de porta direta, mas são facilmente danificados por quebra reversa. Quando essa possibilidade existe, é uma boa ideia adicionar proteção de porta, como no circuito F. O resistor em série Rprot limita a corrente através do diodo de fixação *D* (que deve ser uma peça de baixo vazamento como o 1N3595, se a baixa corrente de entrada for importante) . Você pode usar a junção coletor-base de um BJT comum ou o diodo de canal de porta de um JFET; consulte o gráfico das correntes de fuga reversa do diodo medido em *§1x.7.* Mas há um compromisso aqui: um grande valor de Rprot limita com segurança a corrente do grampo, mas introduz ruído Johnson (térmico) excessivo, um problema sério em aplicações de baixo ruído. O uso de um limitador de corrente MOSFET de modo de depleção resolve este problema de forma elegante; consulte §5.15.4 para obter detalhes.

Observe que os JFETs nesses exemplos podem ser substituídos por MOSFETs de modo de depleção, que estão disponíveis com tensões nominais de até 1.000 V; neste caso é necessário proteger o gate contra sobretensões tanto diretas quanto reversas maiores que ±20 V.

Em uma variação adicional desses circuitos, você pode usar o sinal de saída para acionar uma blindagem interna de "guarda" para efetivamente eliminar os efeitos da capacitância do cabo blindado, que de outra forma seria devastador para as altas impedâncias da fonte que você pode ver com esse tipo de amplificador de buffer de entrada de alta impedância.

G. Estudo de caso: seguidor JFET de baixa distorção

Para explorar quantitativamente a melhoria que você obtém com um pull-down de dissipador de corrente e ainda com um arranjo de cascode, conectamos os três circuitos seguidores na Figura 3.44, cada um com um LSK389 JFET duplo; estes correspondem aos circuitos A, D e H da Figura 3.43. Para desafiar seriamente a linearidade desses circuitos, dirigimos cada um com uma onda senoidal limpa de 1 kHz,50 em amplitudes de sinal que se aproximavam precariamente dos trilhos de alimentação.

O circuito pull-down do resistor simples (Figura 3.44A) exibiu um deslocamento CC esperado (cerca de 0,25 V no ponto de repouso), com distorção medida (Figura 3.45) indo de 0,02% (a 1 Vrms) para cerca de 0,14% (a 5 Vrms). É um desempenho bastante decente, especialmente considerando que este circuito é totalmente em malha aberta (sem feedback); é melhor do que esperávamos. A distorção era quase inteiramente de segundo harmônico (ou seja, em 2 aletas).

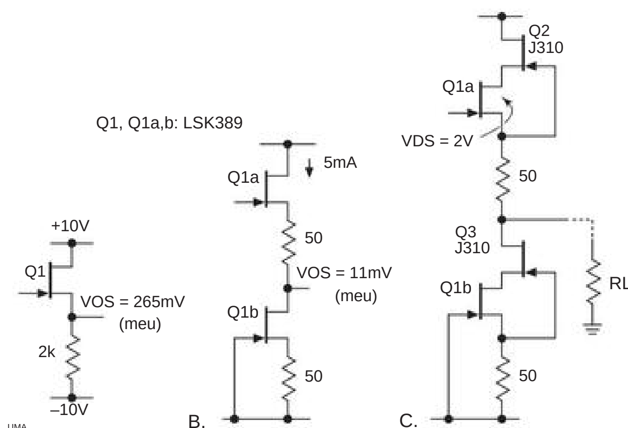


Figura 3.44. Três candidatos à medalha de honra de seguidor JFET de baixa distorção.

A adição de um dissipador de corrente JFET LSK389 correspondente com degeneração da fonte (Figura 3.44B) fez uma boa melhoria: um deslocamento CC de cerca de 10 mV e uma distorção medida reduzida por um fator de dez (20 dB), com a distorção agora quase totalmente terceiro harmônico (3 fin). Estamos em território audiófilo sério aqui. Finalmente, adicionando um cascode (o

[50] De um SRS DS360 "Gerador de função de distorção ultra baixa": distorção inferior a 0,0003%. Medimos a distorção de saída com um analisador de distorção ShibaSoku 725B.

Machine Translated by Google

O VGS do J310 é muito maior que o do Q1, de modo que o último funciona a VDSÿ2 V) melhora a linearidade em mais 20 dB, batendo no piso de medição do nosso modesto aparato.51 A baixa tensão dreno-fonte em Q1a imposto pelo cascode também garante uma baixa corrente de porta de entrada.52

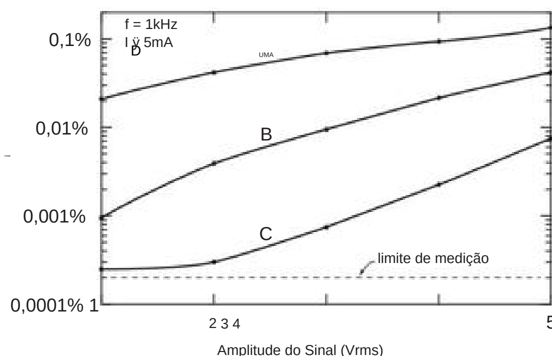


Figura 3.45. Distorção medida versus amplitude do sinal para os seguidores JFET da Figura 3.44, com RL=1 M.

3.2.7 FETs como resistores variáveis

A Figura 3.21 mostra a região das curvas características JFET (corrente de dreno versus VDS para uma pequena família de tensões VGS), tanto no regime normal ("saturado") quanto na região "linear" de pequenos VDS. Mostramos o par equivalente de gráficos para um MOSFET no início do capítulo (Figura 3.2). As curvas ID versus VDS são linhas aproximadamente retas para VDS menores que VGS ÿVth, e se estendem em ambas as direções até zero, ou seja, o dispositivo pode ser usado como um resistor controlado por tensão para pequenos sinais de qualquer polaridade. De nossa equação para ID versus VGS na região linear (§3.1.4, eq'n 3.1), encontramos facilmente a razão *(ID/ VDS)* como

$$\frac{1}{rDS} = 2k \quad (VGS\ ÿVº)ÿ 2 \quad \frac{VDS}{} \; . \qquad (3.9)$$

O último termo representa uma não linearidade, ou seja, um afastamento do comportamento resistivo (a resistência não deve depender da tensão do sinal). No entanto, para tensões de dreno substancialmente menores que o valor pelo qual o gate está acima do limite (VDS ÿ 0), o último termo torna-se sem importância e o FET se comporta aproximadamente como uma resistência:

$$rDS\ ÿ\ 1/[2k(VGS\ ÿVth)]. \qquad (3.10)$$

Como o parâmetro dependente do dispositivo não k é uma quantidade que você provavelmente conhece, é mais útil escrever rDS como

$$rDS\ ÿ\ rG0(VG0\ ÿVth)/(VG\ ÿVth), \qquad (3.11)$$

onde a resistência rDS em qualquer tensão de porta VG é escrita em termos da resistência (conhecida) rG0 em alguma tensão de porta VG0.

Exercício 3.2. Derive a lei de "escala" anterior.

De qualquer uma das fórmulas, você pode ver que a condutância *(=1/ rDS)* é proporcional à quantidade pela qual a tensão da porta excede o limite. Outro fato útil é que rDS=1/gm, ou seja, a resistência do canal na região *linear* é o inverso da transcondutância na região *saturada* . Isso é uma coisa útil de saber, porque *gm* ou rDS é um parâmetro quase sempre especificado nas planilhas de dados do FET.

Exercício 3.3. Mostre que rDS=1/gm encontrando a transcondutância a partir da fórmula de corrente de dreno de saturação em §3.1.4.

Normalmente, os valores de resistência que você pode produzir com FETs variam de algumas dezenas de ohms (tão baixo quanto 0,001 ÿ para MOSFETs de potência) até um circuito aberto. Uma aplicação típica pode ser um circuito de controle automático de ganho (AGC) no qual o ganho de um amplificador é ajustado (por meio de realimentação) para manter a saída dentro da faixa linear. Em tal circuito AGC, você deve ter o cuidado de colocar o FET de resistência variável em um local do circuito onde a oscilação do sinal seja pequena, de preferência inferior a 200 mV ou

assim.

A faixa de VDS na qual o FET se comporta como um bom resistor depende do FET específico e é aproximadamente proporcional à quantidade pela qual a tensão do portão excede o limite. Normalmente, você pode ver não linearidades de cerca de 2% para VDS<0,1(VGS ÿVth) e talvez 10% de não linearidade para VDSÿ0,25(VGS ÿVth). Os FETs combinados facilitam o projeto de um resistor variável agrupado para controlar vários sinais ao mesmo tempo. Você também pode encontrar alguns JFETs especificamente destinados ao uso como resistores variáveis (por exemplo, a série InterFET 2N4338–41 e a série VCR), com resistências nominais especificadas em alguns VGS (geralmente 0V).

A. Truque de linearização

É possível melhorar a linearidade e, simultaneamente, a faixa de VDS sobre a qual um FET se comporta como um resistor, por meio de um simples esquema de compensação. Veja a expressão 3.9 para 1/rDS; você pode ver que a linearidade será quase

[51] Oscilador cortesia do eBay; analisador de distorção cortesia do MIT Flea Market.

[52] Essas distorções impressionantemente baixas foram medidas em alta impedância. Se você deseja conduzir uma carga substancial, pode ser necessário adicionar um *"aumentador gm"* ao Q1a; consulte *§§3x.2* e *3x.4* no Capítulo 3x.

perfeito se você puder adicionar à tensão da porta uma tensão igual à metade da tensão dreno-fonte. A Figura 3.46 mostra dois circuitos para fazer exatamente isso.

No primeiro, o JFET forma a metade inferior de um divisor de tensão resistivo, formando assim um atenuador controlado por tensão (ou “controle de volume”). R1 e R2 melhoram a linearidade adicionando uma tensão de *0,5VDS* a VGS, conforme discutido. Os JFETs mostrados têm uma resistência ON (portão aterrado) de 60 ÿ(max), dando ao circuito uma faixa de atenuação de 0 a 40 dB. No segundo circuito, a resistência controlável do JFET forma a parte inferior do divisor de feedback de configuração de ganho em um amplificador de tensão não inversora op-amp (o ganho de tensão é G=[10k/RFET]+1).

A linearização de rDS com um circuito divisor de porta resistivo, como acima, é notavelmente eficaz. Na Figura 3.47, comparamos as curvas reais medidas de ID versus VDS na região linear (baixo VDS) para FETs, com e sem o circuito de linearização. O circuito de linearização é essencial para aplicações de baixa distorção com oscilações de sinal de mais de alguns milivolts. Nós o usamos para controle de amplitude no circuito oscilador da Figura 7.22, onde o JFET foi combinado com um resistor em série para criar um trimmer de ganho de baixa distorção; a distorção medida de apenas 0,0002%.

Ao considerar FETs para uma aplicação que requer um controle de ganho, por exemplo, um AGC ou “modulador” (no qual a amplitude de um sinal de alta frequência é variada em uma taxa de áudio, digamos), vale a pena olhar também para “analógico - CIs multiplicadores”. São dispositivos de alta precisão e boa faixa dinâmica que normalmente são utilizados para formar o produto de duas tensões. Uma das tensões pode ser um sinal de controle CC, definindo o fator de multiplicação do dispositivo para o outro sinal de entrada, ou seja, o ganho. Os multiplicadores analógicos exploram a característica gm-versus-IC dos transistores bipolares *[gm* = IC(mA)/25 siemens], em uma configuração conhecida como “célula de Gilbert”, usando matrizes combinadas para contornar problemas de deslocamentos e desvios de polarização. Em frequências muito altas (100 MHz e acima), “misturadores balanceados” passivos geralmente são os melhores dispositivos para realizar a mesma

É importante lembrar que um FET em condução em baixo VDS se comporta como um bom resistor até zero volts do dreno à fonte (e até um pouco além, no quadrante oposto). Não há gotas de diodo, sat

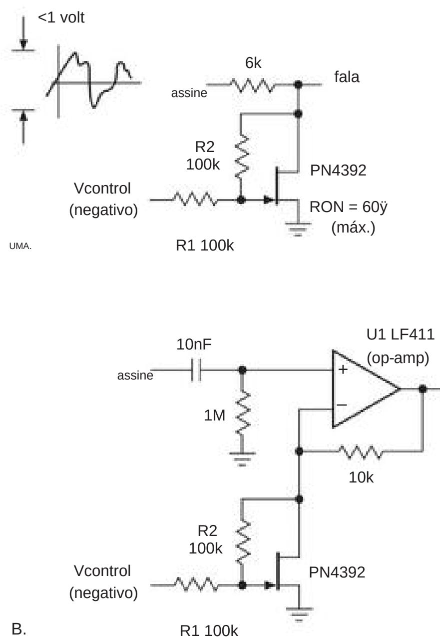


Figura 3.46. Linearizando o resistor variável JFET.

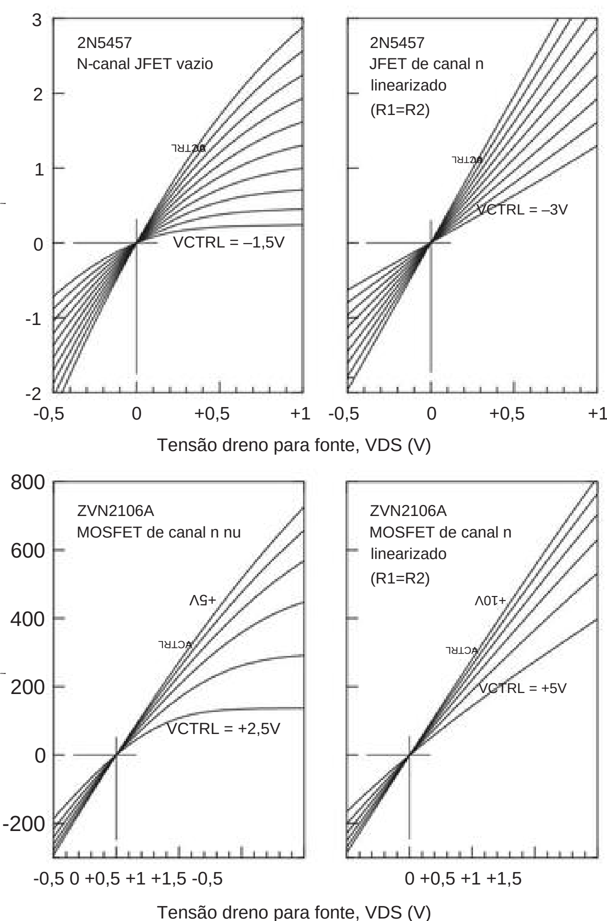


Figura 3.47. Curvas medidas de ID versus VDS para ambos (superior) um JFET e (inferior) um MOSFET, mostrando o efeito de linearização de um par de resistores (como na Figura 3.46). Observe a escala de corrente relativamente alta para o MOSFET.

tensões de uração ou algo semelhante para se preocupar. Veremos amplificadores operacionais e famílias lógicas digitais (CMOS) que tiram vantagem dessa bela propriedade, fornecendo saídas que saturam perfeitamente as fontes de alimentação.

3.2.8 Corrente do portão FET

Dissemos no início que os FETs em geral, e os MOS FETs em particular, têm essencialmente zero de corrente de estado estacionário. Esta é talvez a propriedade mais importante dos FETs e foi explorada nos amplificadores e seguidores de alta impedância nas seções anteriores. Também se mostrará essencial nas aplicações a seguir – principalmente interruptores de log analógicos e lógica digital.

Claro, em algum nível de escrutínio, podemos esperar ver alguma corrente de portão. É importante saber sobre a corrente do portão, porque um modelo ingênuo de corrente zero certamente causará problemas mais cedo ou mais tarde. De fato, a corrente de porta finita surge de vários mecanismos. (a) Mesmo em MOSFETs, o isolamento da porta de dióxido de silício não é perfeito, levando a correntes de fuga na faixa de picoampere. (b) Em JFETs, o "isolamento" da porta é realmente uma junção de diodo com polarização inversa, com os mesmos mecanismos de corrente de fuga de impureza e junção que os diodos comuns. (c) Além disso, os JFETs (em particular o canal n) sofrem de um efeito adicional conhecido como corrente de porta de "ionização de impacto", que pode atingir níveis surpreendentes. (d) Finalmente – e mais importante para circuitos de alta velocidade – tanto os JFETs quanto os MOSFETs possuem correntes de porta *dinâmicas ,* causadas por sinais CA que controlam a capacitância da porta; isso pode causar o efeito Miller, assim como ocorre com os transistores bipolares.53 Trataremos desse importante tópico mais adiante, em §§3.5 e 3.5.4.

Na maioria dos casos, as correntes de entrada do gate são insignificantes em comparação com as correntes de base do BJT. No entanto, há situações em que um FET pode realmente ter uma corrente de entrada *mais alta .* Vejamos os números.

A. Fuga de porta A impedância de entrada de baixa frequência de um amplificador FET (ou seguidor) é limitada pela fuga de porta. Folhas de dados JFET geralmente especificam uma tensão de ruptura, BVGSS, definida como a tensão do portão para o *canal* (fonte e dreno conectados juntos) na qual a corrente do portão atinge 1 A. m

Para tensões de canal de porta aplicadas menores, a corrente de vazamento de porta, IGSS, novamente medida com a fonte e o dreno conectados juntos, é consideravelmente menor, diminuindo rapidamente para a faixa de picoampères para tensões de gate-drain bem abaixo da quebra. Com MOSFETs, você nunca deve permitir que o isolamento do portão se rompa; em vez disso, a fuga de porta é especificada como uma corrente de fuga máxima em uma tensão de canal de porta especificada. Amplificadores de circuito integrado com FETs (por exemplo, amplificadores operacionais FET) usam o termo enganoso "corrente de polarização de entrada", IB, para especificar a corrente de fuga de entrada; é geralmente na faixa de picoampere.

A boa notícia é que essas correntes de fuga estão na faixa de picoampere à temperatura ambiente. A má notícia é que eles aumentam rapidamente (na verdade, exponencialmente) com a temperatura, quase dobrando a cada 10°C. Por outro lado, a corrente de base do BJT não é um vazamento, é uma corrente de polarização e, de fato, tende a *diminuir* ligeiramente com o aumento da temperatura. A comparação é mostrada graficamente na Figura 3.48, um gráfico da corrente de entrada versus temperatura para vários amplificadores IC (op-amps). Os amplificadores operacionais de entrada FET têm as correntes de entrada mais baixas à temperatura ambiente (e abaixo), mas sua corrente de entrada aumenta rapidamente com a temperatura, cruzando as curvas para amplificadores com estágios de entrada BJT cuidadosamente projetados, como o LM10 e o LT1012. Esses amplificadores operacionais BJT, juntamente com amplificadores operacionais JFET de baixa corrente de entrada "premium", como o OPA111 e o OPA627, são bastante caros. No entanto, também incluímos amplificadores operacionais "jellybean" do dia-a-dia, como o LM358 bipolar e o JFET LF411/2 na figura para dar

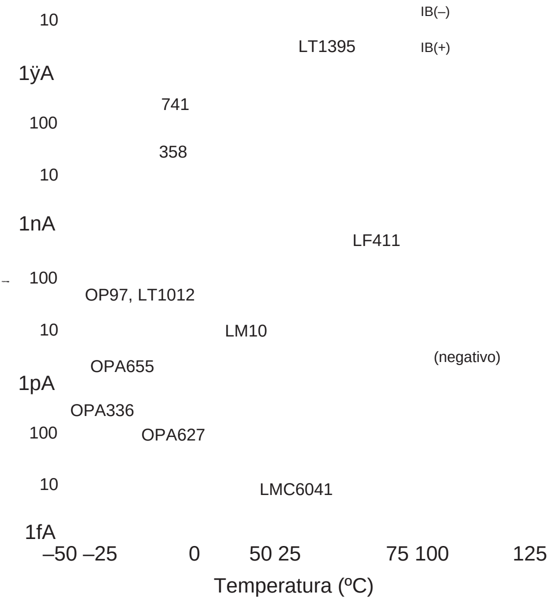


Figura 3.48. A corrente de entrada de um amplificador FET é a idade de vazamento do gate, que dobra a cada 10ÿC. Os amplificadores de entrada FET neste gráfico (linhas sólidas) são facilmente identificados por sua inclinação ascendente característica.

[53] Em casos extremos, por exemplo, na comutação de energia de alta tensão, pode exigir *amperes* de corrente de acionamento do portão para comutar um grande MOSFET na escala de tempo de nanossegundos. Este não é um efeito trivial!

uma ideia das correntes de entrada que você pode esperar com amplificadores operacionais baratos (menos de um dólar).

B. Corrente de ionização de impacto JFET

Além dos efeitos de vazamento de porta convencionais, os JFETs de canal n sofrem correntes de vazamento de porta bastante grandes quando operados com VDS e ID substanciais (o vazamento de porta especificado nas folhas de dados é medido sob as condições irrealistas que ambos VDS =0 e ID=0 !). A Figura 3.49 mostra o que acontece. A corrente de fuga da porta permanece próxima do valor IGSS até atingir uma tensão crítica na porta de drenagem, ponto em que ela sobe vertiginosamente. Essa corrente extra de "ionização por impacto" é proporcional à corrente de dreno e aumenta exponencialmente com a tensão e a temperatura. O início dessa corrente ocorre em tensões de gate de dreno de cerca de 25% de BVGSS e pode atingir correntes de gate de um microamp ou mais. Obviamente, um "buffer de alta impedância" com um microamp de corrente de entrada é inútil.
Isso é o que você obteria se usasse um BF862 como seguidor, executando 1 mA de corrente de drenagem de uma fonte de 20 volts.

Essa corrente extra de fuga de porta afeta principalmente JFETs de canal n e ocorre em valores mais altos de tensão de porta de dreno. Algumas soluções são (a) operar em baixa tensão de porta de dreno, seja com uma fonte de dreno de baixa tensão ou com um cascode, (b) usar um JFET de canal p, onde o efeito é muito menor, ou (c) usar um MOSFET. O mais importante é estar atento ao efeito para que não te pegue de surpresa.

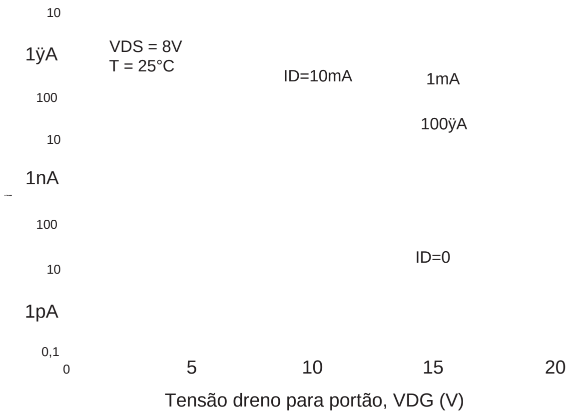


Figura 3.49. O vazamento da porta JFET aumenta desastrosamente em tensões de porta de dreno mais altas e é proporcional à corrente de dreno, como visto nas curvas da folha de dados para o excelente canal n BF862 JFET.

C. Corrente de porta dinâmica

A fuga de porta é um efeito CC. O que quer que esteja acionando o portão também deve fornecer uma corrente *CA ,* por causa da capacitância do portão. Considere um amplificador de fonte comum. Assim como nos transistores bipolares, você pode ter o efeito simples de capacitância de entrada para o terra (chamado Ciss) e pode ter o efeito Miller multiplicador de capacitância (que atua na capacitância de realimentação Crss). Existem duas razões pelas quais os efeitos ca pacitivos são mais sérios em FETs do que em transistores bipolares. Primeiro, você usa FETs (em vez de BJTs) porque deseja uma corrente de entrada muito baixa; assim, as correntes capacitivas parecem relativamente maiores para a mesma capacitância. Em segundo lugar, os FETs geralmente têm capacitância consideravelmente maior do que os transistores bipolares equivalentes.

Para apreciar o efeito da capacitância, considere um amplificador FET destinado a uma fonte de sinal de impedância de fonte de 100k. Em CC não há problema, porque as correntes picoam pere produzem apenas quedas de microvolt na impedância interna da fonte de sinal. Mas a 1 MHz, digamos, uma capacitância de entrada de 5 pF apresenta uma impedância shunt de cerca de 30k, atenuando seriamente o sinal. Na verdade, *qualquer* amplificador está com problemas com um sinal de alta impedância em altas frequências, e a solução usual é operar em baixa impedância (50 ÿ é típico) ou usar circuitos *LC* sintonizados para ressonar a capacitância parasita. O ponto a entender é que o amplificador FET não se parece com uma carga de 1012 ÿ nas frequências do sinal.

Como outro exemplo, imagine alternar uma carga de alta tensão de 5 A com um MOSFET de potência (não há nenhum *JFET de alta potência),* no estilo da Figura 3.50. Pode-se supor ingenuamente que o portão pode ser acionado por uma saída lógica digital com baixa capacidade de fornecimento de corrente, por exemplo, a chamada lógica CMOS da série 4000, que pode fornecer uma corrente de saída da ordem de 1 mA com um balanço do terra para +10 V. Na verdade, tal circuito seria um desastre, porque 1 mA de gate drive na capacitância de realimentação média de 200 pF do IRF740 aumentaria a velocidade de comutação de saída s.54 para 50 vagarosos . , as dinâmica (Igate=C dVD/dt) forçariam as correntes de volta à saída do correntes da porta
dispositivo lógico, possivelmente destruindo-o por meio de um efeito perverso conhecido como "latchup SCR" (mais sobre isso nos Capítulos 10 e 11);

[54] Nosso modelo é inaceitavelmente rudimentar, porque a capacitância de realimentação varia rapidamente com a tensão de dreno (consulte §3.5.4A). Não há problema em usar um valor constante para capacitância de realimentação Crss para cálculos de pequenos sinais; mas para uma aplicação de chaveamento como esta, você precisa ir ao datasheet para valores de *gate charge,* que levam em conta o comportamento não linear das capacitâncias. Neste exemplo, a folha de dados especifica QG ÿ 40 nC de carga da porta, produzindo um tempo de comutação de *t* = QG/*i* = 40 (dinâmica) corrente de acionamento *i* de 1 mA.

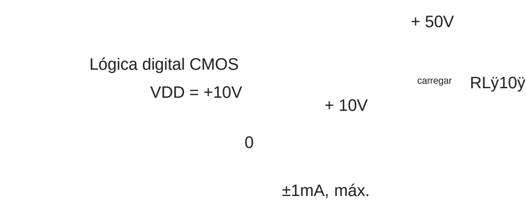


Figura 3.50. Exemplo de corrente de porta dinâmica: conduzindo uma carga de comutação rápida.

por esta e outras razões, um resistor em série (não mostrado na figura) é geralmente adicionado entre o dispositivo de acionamento e a porta do MOSFET. Os transistores bipolares de potência têm capacitâncias um pouco mais baixas e, portanto, correntes de entrada dinâmicas um pouco mais baixas (mas ainda no mesmo estádio); mas quando você projeta um circuito para acionar um BJT de 5 amperes, *espera* fornecer algumas centenas de miliamperes ou mais de acionamento básico (através de um Darlington ou qualquer outro), enquanto com um FET você tende a considerar baixa entrada atual. Neste exemplo - no qual você teria que fornecer alguns *amperes* de corrente de acionamento do gate para obter a velocidade de comutação de 25 ns que o MOSFET é capaz - o FET de impedância ultra-alta perdeu um pouco de seu brilho.

Exercício 3.4. Estime os tempos de chaveamento para o circuito da Figura 3.50, com 1 ampère de corrente de acionamento do gate, assumindo (a) uma capacitância de realimentação média de 200 pF ou (mais precisamente) (b) uma carga necessária do gate de 40 nC.

3.3 Um olhar mais atento sobre JFETs

Em §3.1.4, apresentamos o panorama das regiões operacionais do FET: para tensões de dreno de um volt ou mais (para ir além da região resistiva "linear"), existe a região operacional convencional na qual a corrente de dreno de saturação[55] I_D é proporcional para $(V_{GS} - V_{th})^2$ e (em correntes de dreno muito mais baixas) a região de sublimiar na qual I_D é exponencial em V_{GS}.

Essa é a imagem simples. Como os JFETs são os dispositivos de escolha para circuitos precisos ou de baixo ruído (ou ambos) com alta impedância de entrada, vale a pena examinar mais de perto suas idiossincrasias, de preferência com medições de dispositivos reais.

Empreendemos uma revisão exaustiva (e exaustiva!) da maioria dos JFETs disponíveis, coletando lotes de amostras de cada um, geralmente de vários fabricantes. A Tabela 3.7 na página 217 inclui a maioria deles, com alguns parâmetros medidos (IDSS e gos, *gm* e VGS em uma corrente de dreno útil) juntamente com as especificações da folha de dados.[56] Consulte também a Tabela 8.2 na página 516, que lista uma boa seleção de JFETs de baixo ruído.

Tópicos avançados de JFET são tratados no Capítulo *3x;* aqui discutimos alguns assuntos essenciais – regiões de operação JFET (incluindo a frequentemente negligenciada região de *sublimiar),* transcondutância JFET e capacitância JFET.

3.3.1 Corrente de dreno versus tensão de porta

Um problema persistente com o projeto de circuito JFET é a *dispersão de parâmetros.* Isso é bem ilustrado nas Figuras 3.51 e 3.52, onde plotamos ID medido versus VGS para seis amostras do JFET de canal n 2N5457 (três de cada um dos dois fabricantes[57]) e três amostras do 2N5458 relacionado (do mesmo 2N5457–59 família). Em cada caso, escolhemos as peças com os valores mais altos, mais baixos e medianos do IDSS medido em um lote de dez peças. Para essas medições, nos aventuramos em tensões de porta positivas (até quase uma queda de diodo, o início da condução de porta), bem além do limite de polarização zero usual; nada de terrível acontece, mas em geral essa é uma prática que deve ser evitada.

Vamos examinar mais de perto os dados dessas nove partes para entender os diferentes aspectos de seu desempenho e o impacto nos projetos de circuitos JFET.

A. A região quadrática O gráfico *linear* é o que você normalmente vê em folhas de dados e em livros didáticos. Essa escala revela bem o comportamento quadrático da corrente de dreno em uma fração significativa da corrente de dreno de polarização zero (IDSS), onde os JFETs são mais frequentemente operados [equação 3.4]. Você também pode ver a variação de IDSS entre as amostras (o intervalo especificado para meia dúzia de amostras 2N5457 é indicado por uma barra vertical), bem como a inclinação um pouco mais acentuada para as amostras Fairchild 2N5457. A inclinação é, obviamente, apenas o ganho de transcondutância, $g_m = dI_D/dV_{GS}$, aumentando linearmente com VGS [eq'n 3.5] neste regime em que a corrente de dreno é quadrática em $V_{GS} - V_{th}$.

[55] O termo "saturação" pode ser confuso: para FETs é usado para denotar saturação de *corrente* , a região de tensões de dreno maiores que um volt ou mais onde a corrente de dreno é aproximadamente constante. Em contraste, para BJTs, o termo "saturação" denota saturação *de tensão* (uma chave ON), na qual a tensão do coletor é próxima de zero. Nunca é demais adicionar o adjetivo qualificador (embora as pessoas raramente o façam).

[56] Veja também a Tabela 8.2 para parâmetros de ruído. Essas tabelas JFET representam vários meses de trabalho – de comparação de especificações de folha de dados, de verificação de estoque de distribuidores e de medições de laboratório. Achamos que é revelador e gratificante, e esperamos que seja útil ao leitor.

[57] Usamos linhas tracejadas para as peças Fairchild, para desembaraçar a multidão.

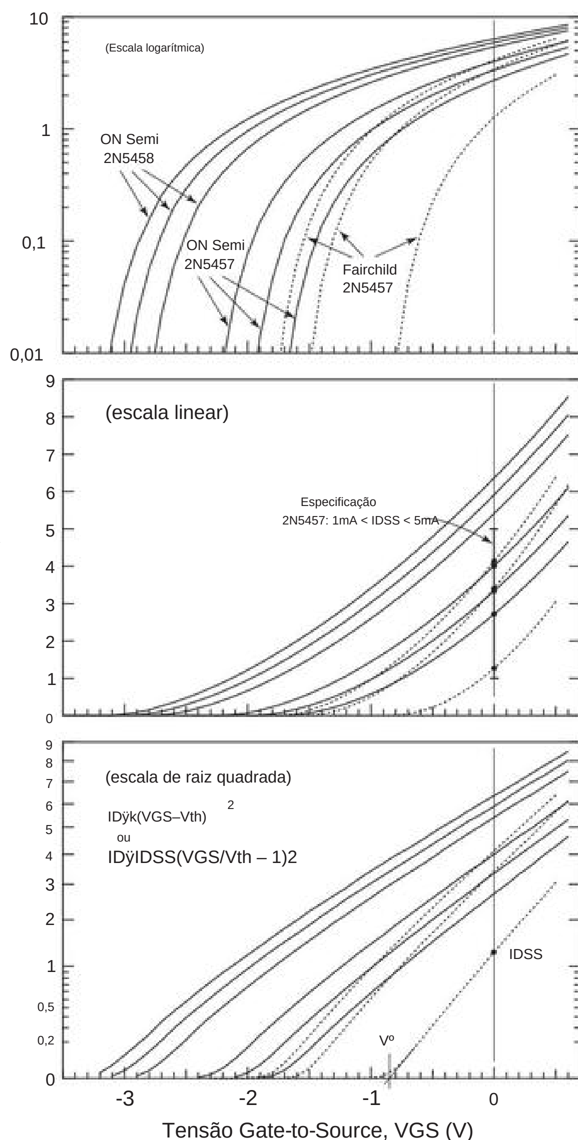


Figura 3.51. Corrente de dreno versus tensão de porta para nove partes da família JFET de canal n 2N5457–9, operando com VDS=5 V. Os mesmos dados são plotados em eixos lineares, logarítmicos e de raiz quadrada. As peças ON Semi e Fairchild atendem à especificação IDSS (painel do meio), apesar de suas curvas substancialmente diferentes. Observe que as medições se estendem além de IDSS, até VGS +0,6V.

Encontrando Vth: gráfico de raiz quadrada Veja a seguir o gráfico *de raiz quadrada* , que dá à região quadrática uma chance de esticar seus membros. A extrapolação para corrente de dreno zero define a tensão limite Vth. Nessa tensão, a corrente não é *zero* – está apenas perto do topo da região do sublimiar.

B. A região do sublimiar

Finalmente, o *log* plot expande bastante a região de baixa corrente. As curvas se curvam em direção a um comportamento linear (portanto, exponencial) nas correntes mais baixas – esta é a antiga região sublimiar, que é explorada seis ordens de magnitude mais profundamente na Figura 3.52.

C. A região do sublimiar profundo A

partir das curvas estendidas na Figura 3.52, podemos ver que os JFETs continuam a fazer suas coisas até as correntes de dreno de *picoamp* , em conformidade com precisão a uma lei de corrente de dreno exponencial (análoga ao Ebers-Moll do BJT), que pode ser escrito como

$$ID = I0 \exp(VGS/nVT), \quad (3.12)$$

com o mesmo VT=kT/qÿ25 mV como em Ebers-Moll (mas com um fator fudge adicionado n). Os dados medidos na Figura 3.52 correspondem a um valor próximo da unidade para *n (n* = 1,05). Em outras palavras, em correntes de dreno muito baixas, um JFET tem quase a mesma transcondutância que um BJT operando na mesma corrente de coletor (conforme confirmado nos dados de transcondutância medidos da Figura 3.54 na página 168).58 Observe que as peças Fairchild (em um gesto de espírito igualitário) não são mais anômalos – ao contrário de seu comportamento na região quadrática (onde foram os campeões de transcondutância), em baixas correntes eles exibem a mesma transcondutância (inclinação) que as outras partes.

3.3.2 Corrente dreno versus tensão dreno-fonte: condutância de saída

A corrente de dreno (em VGS constante) *tem* alguma dependência da tensão do dreno para a fonte, em contraste com a imagem idealizada que você normalmente vê (e de cuja promulgação somos culpados: consulte §3.1.4 e Figura 3.13). Você pode pensar neste efeito como análogo ao efeito Early em BJTs *(§2x.8),* ou, de forma equivalente, como uma impedância de saída finita ro (ou, mais comumente, condutância de saída finita *gos* =1/ro) vista no dreno terminal quando a tensão da fonte do gate é mantida constante. Este efeito limita o ganho máximo de um amplificador de fonte aterrada configurado com

[58] Mas não muita largura de banda! Por exemplo, em ID=10 pA, um 2N5457 teria um produto ganho-largura de banda insignificante fT de apenas 140 Hz *(fT=gm/ 2* Ciss; consulte “Largura de banda (do Cascode BJT) no FET” no Capítulo 3x). É bom saber que os JFETs (como os BJTs) funcionam bem em correntes muito baixas, uma característica útil para aplicações de micro e nanopotência. Mas não se esqueça de que as capacitâncias do dispositivo aumentam em correntes baixas, portanto, os projetos com falta de corrente são mais lentos do que os circuitos que funcionam com correntes normais.

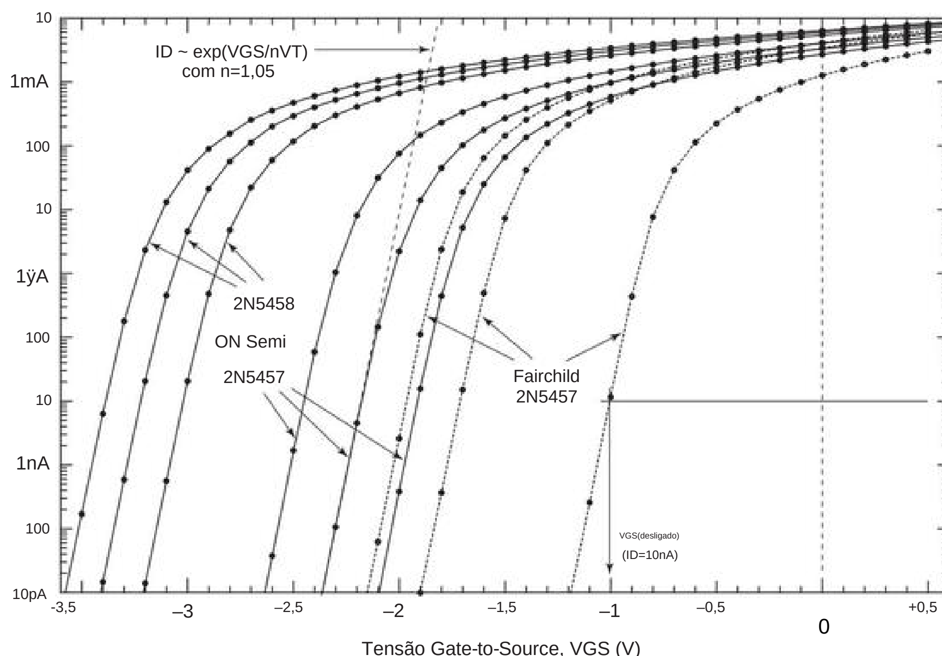


Figura 3.52. Gráfico de log das correntes de dreno medidas (pontos) versus tensão de porta para os mesmos JFETs da Figura 3.51. Os JFETs funcionam bem a 10 pA, muito abaixo da corrente de dreno arbitrária de 10 nA que convencionalmente define a tensão de corte VGS(off) da porta-fonte.

uma fonte de corrente como carga de dreno (esse é o parâmetro Gmax na Tabela 3.1 na página 141), e você precisa levar isso em consideração se seu ganho se aproximar de Gmax. Também degrada ainda mais o desempenho de um seguidor de origem (já degradado por baixo *gmRL;* consulte §3.2.6) se Gmax for comparável ou menor que *gmRL.* Essas consequências são discutidas em detalhes no Capítulo *3x (§3x.4);* mas eles são importantes o suficiente para serem dignos de menção aqui.

A. Ganho e linearidade degradados no amplificador de fonte comum

Este "efeito gos " limita o ganho máximo do amplificador de fonte comum, colocando efetivamente uma resistência ro=1/gos através da impedância de carga de dreno. Para uma carga de dreno resistiva simples RD que reduz o ganho do ideal *G=gmRD* para *G=gm(RD* ro), ou

$$G = gmRD \frac{1}{1+gosRD} \qquad (3.13)$$

Outra consequência indesejável é alguma não linearidade, devido à dependência de gos com a tensão de dreno. Consulte *§3x.4* se quiser saber mais sobre isso.

B. Erro de ganho no seguidor de fonte O "efeito gos " também atua para reduzir o ganho do seguidor de fonte do ideal G=1. Isso é mais perceptível com cargas relativamente leves, onde RL1/gm (e, portanto, onde você esperaria que o ganho de tensão fosse muito próximo da unidade). Levando em consideração esse efeito, o ganho de tensão do seguidor JFET simples da Figura 3.40 torna-se

$$G = \frac{1}{1+\frac{1}{gmRL}+\frac{1}{Gmax}} \qquad (3.14)$$

onde Gmax é a relação entre a condutância de drenagem e a transcondutância *(Gmax=gos/ gm)* na tensão e corrente de operação. (Definimos Gmax porque é aproximadamente constante com current59 e, portanto, mais útil do que ro e gos dependentes de corrente). Assim, por exemplo, você precisa *de gmRL* e Gmax maiores que 100 para <1% de erro de ganho – ou você precisa usar alguns truques, como uma carga ativa, uma conexão cascode ou um " aumentador de *gm* ". Voltando à progressão do seguidor de fonte do tutorial na Figura 3.43, essa é a razão para o uso de uma carga ativa e uma conexão cascode no circuito H. A Tabela 3.1 lista os valores medidos de Gmax para JFETs comuns. Para maior esclarecimento, leia a exposição em § *3x.4.*

59 Olhando mais de perto, tanto *gm* quanto gos dependem da corrente de dreno, aproximadamente proporcional a *ÿID* (§§3.3.3, *3x.2);* sua relação Gmax é relativamente plana com a corrente de dreno, mas aproximadamente proporcional à tensão da fonte de dreno (§§3.3.4, *3x.4).*

3.3.3 Transcondutância versus corrente de dreno

Lembre-se de que a transcondutância (gmÿid/vgs, a alteração da corrente de dreno com a tensão porta-fonte) é a medida natural do ganho do FET. É análogo à visão de Ebers-Moll de transistores bipolares, onde *gm=qIC/ kT=IC/ VT.*

De um modo geral, em qualquer corrente de dreno, um FET terá transcondutância mais baixa que um BJT. Começando nas correntes de dreno mais baixas (lembre-se de §3.3.1 e Figura 3.52), a transcondutância na região de sublimiar do FET é proporcional à corrente de dreno (como um BJT), mas um pouco menor que um BJT operando na mesma corrente; veja a Figura 3.53.

Se você escrever gm=ID/nVT, JFETs típicos terão valores *n* na faixa de 1,05 a 3, como pode ser visto nos dados medidos da Figura 3.54 (e gráficos expandidos semelhantes no Capítulo *3x,* consulte *§3x.2).*

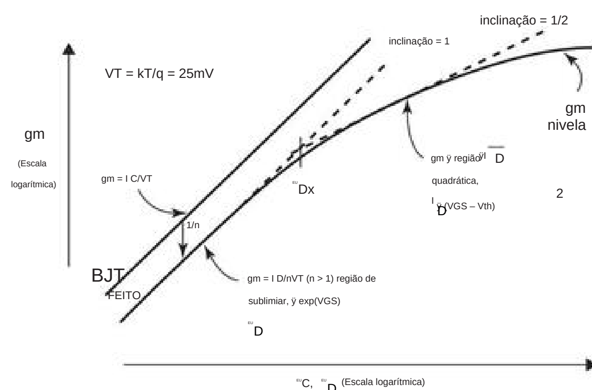


Figura 3.53. Transcondutância versus corrente de dreno: na região abaixo do limite, a transcondutância de um FET é proporcional à corrente (como um BJT); em correntes normais onde IDÿ(VGSÿVth)2 vai como ÿID; então, em correntes operacionais ainda mais altas, ele se achata em direção a um máximo.

Em correntes mais altas, na "região quadrática" do FET de corrente de dreno onde ID ÿ *(VGSÿVth)2,* a transcondutância torna-se proporcional à raiz quadrada da corrente de dreno, caindo abaixo da transcondutância crescente *(ÿIC)* do BJT . Em correntes ainda mais altas, a transcondutância diminui ainda mais. Para JFETs, a história termina aqui; mas para MOS FETs (onde você pode aumentar a tensão do gate o suficiente para atingir a corrente de dreno máxima constante), a transcondutância volta para baixo, por exemplo, com o LND150 cuja curva ID versus VGS é plotada na Figura 3.9.

Não é difícil medir a transcondutância diretamente – veja *§3x.3* para detalhes do circuito de um método simples (onde o molho secreto é um estágio cascode para fixar a tensão de dreno). Usamos esse circuito para medir a transcondutância de cerca de sessenta JFETs, em correntes de dreno indo de 1 a mA para 30 mA em passos de meia década.

A Figura 3.54 mostra a transcondutância medida versus a corrente de dreno, para alguns JFETs representativos.60 Em correntes mais altas, a transcondutância é aproximadamente proporcional à raiz quadrada da corrente de dreno (portanto, proporcional a *VGSÿVth).* E, embora essas curvas desçam "apenas" para 1 A, a maioria dos JFETs (os quatro para cima por n(cerca de) já estão bem na região de sublimiar (transcondutância proporcional à corrente de dreno) para baixo nessa corrente.

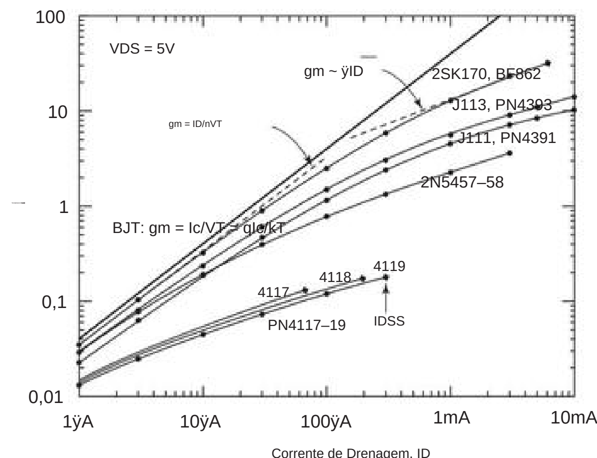


Figura 3.54. Transcondutância de baixa frequência medida para alguns JFETs de canal n representativos. Veja também o gráfico análogo em §3x.2.

Então, o que está acontecendo com o PN4117–19? Bem, estes são JFETs muito pequenos (você pode dizer por seus valores IDSS muito baixos) , portanto, mesmo com uma corrente de dreno de 1 A, a densidade de corrente *é* alta o suficiente para trazê-los para sua região quadrática. Dito de outra forma, na discussão anterior, deveríamos estar nos referindo à "densidade de corrente" (em vez da corrente de dreno simples) como a medida de se um determinado JFET está em sua região de sublimiar ou em sua região quadrática.

Observe que isso também vale para MOSFETs: um MOSFET de grande potência (com classificações de corrente de dreno na casa das centenas de amperes) será executado em sua região de sublimiar se usado em uma aplicação de circuito linear.61 Como veremos em §3.6.3, isso tem um efeito importante na estabilidade térmica quando vários MOSFETs são conectados em paralelo em aplicações de energia, porque na região sublimiar os MOSFETs têm um coeficiente térmico *positivo* de corrente de dreno com temperatura;

60 Veja o rico emaranhado de curvas medidas no gráfico análogo em §3x.2.

61 Amantes do SPICE, cuidado: os modelos de simulação para MOSFETs de potência são quase inúteis na região abaixo do limiar.

isso pode causar sérios danos quando não for totalmente apreciado pelo projetista do circuito.

A. Transcondutância dentro de uma família JFET A partir da Figura 3.54 e da discussão anterior, parece que você não pode realmente prever a transcondutância de um JFET em qualquer corrente operacional; esse gráfico mostra uma variação de 50:1 de *gm* em uma determinada corrente. Pior ainda, os dados da Figura 3.51 sugerem que você não pode nem mesmo prever com alguma certeza razoável a corrente operacional de um determinado tipo de peça JFET para um determinado gate bias (ou vice-versa).

Acontece que a situação não é tão sombria. Dentro de uma família (ou família estendida) de JFETs semelhantes, a transcondutância depende principalmente (e previsivelmente) da corrente de dreno, mesmo que a tensão de porta correspondente possa estar em todo o mapa. Dê uma olhada na Figura 3.55, que mostra as curvas de corrente de dreno medidas para uma seleção variada de sete 2N5486 JFETs (fabricados durante um período de 35 anos62), juntamente com uma amostra de irmãos de corrente mais baixa (2N5484 e 2N5485) e um primo relacionado (SST4416, também apresentado para aplicações de RF, e com baixa capacitância semelhante e faixa comparável de IDSS).

Essas curvas medidas exibem uma ampla variação de comportamento para essa seleção de peças (há uma dispersão de 3:1 de VGS(off) e uma dispersão de 5:1 de IDSS), sugerindo uma imprevisibilidade semelhante de ganho de transcondutância.63 Mas isso sugere gestão seria enganosa. Quando você mede suas transcondutâncias, obtém as curvas da Figura 3.56: dentro dessa seleção deliberadamente variada de dez partes relacionadas, há no máximo uma variação de pico de ±20% de transcondutância em uma determinada corrente de dreno.

A moral: dentro de uma família JFET de *tipos de peças semelhantes,* a corrente de dreno (em qualquer tensão de porta necessária para obter essa corrente) é razoavelmente preditiva da transcondutância. E a consequência prática é que um circuito amplificador JFET terá um ganho razoavelmente previsível se for organizado com feedback de polarização para definir a corrente de dreno para um valor desejado (que não deve ser escolhido maior que o IDSS mínimo especificado, a menos que você esteja disposto a classificar suas peças recebidas).

Mas um conselho: para melhor previsibilidade de ganho em amplificadores JFET é uma boa ideia (a) usar alguma degeneração da fonte *(§3x.4),* de preferência em combinação com um

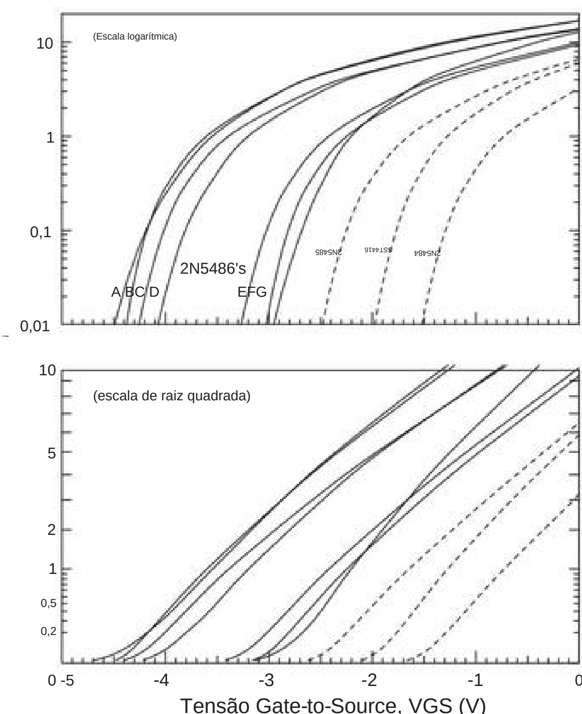


Figura 3.55. Corrente de dreno medida versus tensão de porta-fonte para uma coleção de sete JFETs 2N5486 de diferentes safras e fabricantes (junto com três tipos menores de JFET, indicados com linhas tracejadas), plotados nos eixos de log e raiz quadrada, ilustrando a ampla distribuição do limite tensões Vth (a extrapolação em linha reta das curvas deste último). Compare a grande dispersão vista aqui com a Figura 3.56, onde o mesmo conjunto de JFETs exibe apenas pequenas variações na transcondutância em qualquer corrente de dreno.

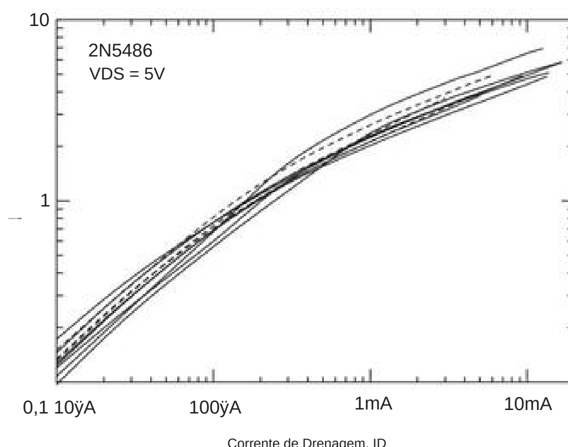


Figura 3.56. Transcondutância medida versus corrente de dreno para o mesmo conjunto de JFETs da Figura 3.55.

62 A, Intersil, código de data 7328 (28ª semana de 1973); B, Semicondutor central, contemporâneo; C e E, Fairchild, código de data BF44; D, Vishay SST5486, contemporâneo; F, Vishay, código de data 0536; G, Motorola, safra 1990. 63 No entanto, existem algumas correlações úteis: a tensão de limiar de porta Vth é preditiva da corrente de dreno de polarização zero IDSS.

circuito intensificador de aumento de transcondutância ou (b) usar realimentação geral com ganho de loop mínimo suficiente (com *gm de pior caso)* para garantir a precisão de ganho necessária (como nas Figuras 3.31, 3.34 e 3.37).

3.3.4 Transcondutância versus tensão de dreno

A transcondutância de um FET em uma determinada corrente de dreno é relativamente independente da *tensão de dreno,* exceto para tensões de dreno para fonte abaixo de um ou dois volts. Isso contrasta com sua forte dependência da *corrente de dreno.* Veja a discussão no Capítulo *3x (§3x.2,* com dados medidos).

3.3.5 Capacitância JFET

Assim como com transistores bipolares (e, posteriormente, MOSFETs), a capacitância vista entre os terminais de um JFET depende da polarização (reversa); isso geralmente é chamado de "capacitância não linear" e diminui acentuadamente com o aumento da polarização reversa. A Figura 3.57 mostra plotagens de folha de dados de realimentação e capacitâncias de entrada para dois JFETs de canal n comuns. Esses valores – apenas alguns picofarads – são típicos de JFETs de pequenos sinais e um pouco menores do que você vê em power MOS FETs (compare com a Figura 3.100 na página 197). JFETs são geralmente simétricos, mas devido à maior polarização reversa, a capacitância gate-drain é menor do que a capacitância gate-source.64 Isso é bom, é claro, porque o efeito Miller multiplica o efeito de Crss em um amplificador de fonte comum sem casco.

Os fabricantes geralmente fornecem gráficos de capacitância versus VGS e, às vezes, também versus VDS ou VDG. Mas você obtém apenas um conjunto de plotagens para uma família de peças, mesmo que suas especificações IDSS possam variar em um fator de dez ou mais; ficamos imaginando se suas capacitâncias estão correlacionadas com seus valores IDSS , sugerindo assim que os dados de capacitância devem ser considerados apenas um guia aproximado da realidade.

3.3.6 Por que amplificadores JFET (versus MOSFET)?

Dedicamos um espaço considerável neste capítulo aos FETs de junção (JFETs), um tópico que geralmente recebe uma discussão mínima em referências padrão, nas quais a ênfase está nos FETs de porta isolada (ou seja, MOSFETs). Em breve mudaremos o foco para o último, por boas razões: pequenos MOSFETs integrados são dominantes em (a) circuitos analógicos de baixa tensão e baixa potência (op-amps, eletrônicos portáteis, circuitos de RF,

64 Por "gate" e "source" queremos dizer os pinos que seu circuito usa para essas funções, não os rótulos reais nos pinos.

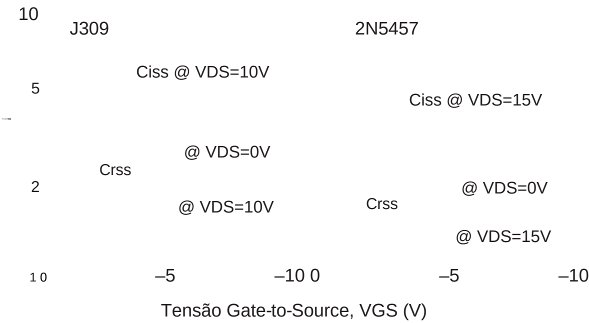


Figura 3.57. Capacitância de entrada e feedback de JFETs.

e similar); (b) comutação analógica; (c) circuitos lógicos, microprocessadores e memória; e, na forma de transistores de potência empacotados discretos, (d) comutação de potência e aplicações de potência linear. Todos esses são tópicos importantes na eletrônica contemporânea, e os MOSFETs são a espécie dominante de transistor no planeta, por uma margem enorme.

Antes de prosseguir, porém, vale ressaltar que os JFETs são o dispositivo de escolha para circuitos analógicos que exigem uma combinação de alta impedância de entrada, baixo ruído e boa precisão; isso além de suas aplicações de nicho como fontes de corrente de dois terminais, resistores de tensão variável e interruptores analógicos de RON constante.

Os exemplos anteriores de amplificadores, seguidores e fontes de corrente ilustram muitas das virtudes do JFET. Indo além desta primeira olhada em JFETs, o Capítulo *3x* inclui algum material avançado e o Capítulo 8 discute o importante tópico de ruído, completo com dados medidos. Para obter uma visão prévia do último, observe a Figura 3.58, onde plotamos a densidade de tensão de ruído medida de três "jujubas" favoritas: o transistor bipolar *npn* 2N3904 , o 2N5457

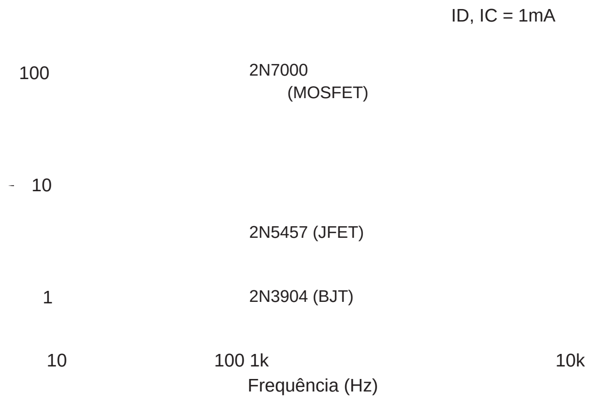


Figura 3.58. Tensão de ruído de três jujubas populares, ilustrando as propriedades de ruído de baixa frequência dos MOSFETs.

JFET e o MOSFET 2N7000. Essas partes não fazem nenhuma pretensão de associação premium; eles custam uma ninharia,65 e não se destinam a aplicações de baixo ruído. Mas eles ilustram uma tendência importante: os MOSFETs são inerentemente ruidosos em baixas frequências, em até 40 dB em relação aos seus primos BJT e JFET.66 Não os use para aplicações de áudio de baixo nível – mas os MOSFETS de potência podem ser usados para o estágio de saída muscular de um amplificador de áudio.

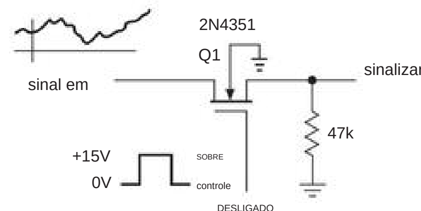


Figura 3.59. Comutador analógico nMOS, com terminal de corpo e diodo mostrados.

3.4 Chaves FET

Os dois exemplos de circuitos FET que demos no início do capítulo eram *chaves:* uma aplicação de comutação lógica e um circuito de comutação de sinal linear.
Estas estão entre as aplicações FET mais importantes e exploram as características exclusivas do FET: alta impedância de porta e condução resistiva de bipolaridade até zero volts. Na prática, você geralmente usa circuitos integrados MOSFET (em vez de transistores discretos67) em todas as aplicações de lógica digital e comutação linear, e é apenas em aplicações de comutação de energia que você normalmente recorre a FETs discretos. Mesmo assim, é fundamental (e divertido!) entender o funcionamento desses chips; caso contrário, é quase certo que você será vítima de alguma misteriosa patologia do circuito.

3.4.1 Chaves analógicas FET

Um uso comum de FETs, particularmente MOSFETs, é como interruptores analógicos. Sua combinação de baixa resistência ON (até zero volts), resistência OFF extremamente alta , baixas correntes de fuga e baixa capacitância os torna ideais como elementos de comutação controlados por tensão para sinais analógicos. Uma chave analógica ou linear ideal se comporta como uma chave mecânica perfeita: no estado ON , ela passa um sinal para uma carga sem atenuação ou não linearidade; no estado OFF é um circuito aberto. Deve ter capacitância desprezível para o terra e acoplamento desprezível do sinal aplicado à entrada de controle.

Vejamos um exemplo (Figura 3.59). Q1 é um MOSFET de modo de aprimoramento de canal n e é não condutor quando o portão é aterrado ou negativo. Nesse estado, a resistência dreno-fonte (Roff) é tipicamente mais de 10.000 M e nenhum sinal passa (embora em altas frequências haja algum acoplamento por meio da *capacitância da fonte de drenagem;* mais sobre isso mais tarde). Trazer o gate para +15 V coloca o canal dreno-fonte em condução, normalmente 20–200 ÿ em FETs destinados ao uso como interruptores analógicos. O nível do sinal do portão não é crítico, desde que seja suficientemente mais positivo do que o maior sinal (para manter o RON baixo) e pode ser fornecido a partir de circuitos lógicos digitais (talvez usando um FET ou BJT para gerar um sinal completo). oscilação de alimentação) ou mesmo de um amplificador operacional funcionando a partir de uma alimentação de +15 V. Balançar o gate negativo (a partir de uma saída de amplificador operacional bipolar) não prejudica e, de fato, tem a vantagem adicional de permitir a comutação de sinais analógicos de qualquer polaridade, como será descrito posteriormente. Observe que o switch FET é um dispositivo bidirecional; os sinais podem passar por ele de qualquer maneira. Os interruptores mecânicos comuns também funcionam dessa maneira, portanto, deve ser fácil d

O circuito mostrado funcionará para sinais positivos até cerca de 10 V; para sinais maiores, o gate drive é insuficiente para manter o FET em condução (RON começa a subir), e sinais negativos fariam o FET ligar com o gate aterrado (ele também polarizaria diretamente a junção canal-corpo). Se você deseja alternar sinais de ambas as polaridades (por exemplo, sinais na faixa de -10 V a +10 V), você pode usar o mesmo circuito, mas com o gate acionado de -15 V (OFF) a +15 V (SOBRE); o terminal do corpo deve então ser ligado a -15 V.

Com qualquer chave FET, é importante fornecer uma resistência de carga na faixa de 1k a 100k para reduzir a passagem capacitiva do sinal de entrada que, de outra forma, ocorreria durante o estado DESLIGADO . O valor da resistência de carga é um compromisso: valores baixos reduzem a passagem, mas começam a atenuar o sinal de entrada por causa do divisor de tensão formado por RON e a carga. Como RON varia ao longo da oscilação do sinal de entrada (devido à mudança de VGS), essa atenuação também produz alguma não linearidade indesejável. Resistência de carga excessivamente baixa aparece na entrada do interruptor, claro, carregando a fonte de sinal também. Várias soluções possíveis para este problema (interruptores de múltiplos estágios, RON

65 Aproximadamente $ 0,02, $ 0,05 e $ 0,04, respectivamente, em quantidades de 1.000 peças.

66 De acordo com John Willison, esse fenômeno pode estar associado ao aprisionamento intermitente e liberação de cargas no portão isolado.

67 Dificilmente é uma escolha sua – você é *forçado* a fazê-lo, porque MOSFETs discretos de pequenos sinais são uma raça em extinção (talvez se qualificando para o status de espécie protegida).

cancelamento) são mostrados em §3.4.2 e na discussão de op-amps rail-to-rail no Capítulo *4x.* Uma alternativa atraente é usar uma segunda seção de chave FET para conectar a saída ao terra quando a série FET estiver desligada, formando assim efetivamente uma chave unipolar de duplo curso (SPDT) (mais sobre isso na próxima seção).

A. Comutadores lineares

CMOS Freqüentemente é necessário comutar sinais que podem chegar perto das tensões de alimentação. Nesse caso, o simples circuito de comutação de canal n que acabamos de descrever não funcionará, porque o portão não é polarizado diretamente no pico da oscilação do sinal. A solução é usar chaves MOSFET (CMOS) complementares em paralelo (Figura 3.60). O símbolo triangular é um inversor digital, que discutiremos em breve; ele inverte uma entrada ALTA para uma saída BAIXA e vice-versa.

Quando a entrada de controle é alta, Q1 é mantido LIGADO para sinais de terra até alguns volts de +VDD (onde RON começa a aumentar dramaticamente). Q2 também é mantido ON (por sua porta aterrada) para sinais de +VDD até alguns volts de terra (onde seu RON aumenta dramaticamente). Assim, sinais em qualquer lugar entre +VDD e terra são passados com baixa resistência em série (Figura 3.61).

Trazer o sinal de controle para o terra desliga ambos os FETs, fornecendo um circuito aberto. O resultado é uma chave analógica para sinais desde o terra até +VDD. Esta é a construção básica do clássico 4066 CMOS "porta de transmissão". É bidirecional, como as chaves descritas anteriormente: qualquer um dos terminais pode ser a entrada.

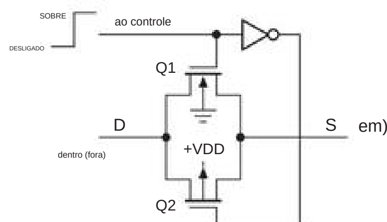


Figura 3.60. Interruptor analógico CMOS.

Há uma variedade de interruptores analógicos CMOS de circuito integrado disponíveis, com diferentes faixas de tensão operacional e com várias configurações de interruptores (por exemplo, várias seções independentes com vários pólos cada). Voltando ao pré-histórico, existe o clássico CD4066 "portão de transmissão analógica", que pertence à série 4000 original de lógica CMOS digital e que atua como um interruptor analógico para sinais entre o terra e uma única fonte positiva.68

68 Nesse papel, ele fica feliz em trocar sinais digitais também, portanto, é membro da família.

Mais comumente, porém, você escolherá um IC de switch analógico dedicado, por exemplo, um membro da família DG211 padrão da indústria. Essas partes (e suas muitas variações; consulte a Tabela 3.3 na página 176) são particularmente convenientes de usar: elas aceitam sinais de controle de nível lógico (0V = BAIXO, >2,4V = ALTO) , eles lidam com sinais analógicos até ±15 V (comparado com apenas ± 7,5 V para a série 4000), eles vêm em uma variedade de configurações e têm resistência ON relativamente baixa (25 ÿ ou menos para alguns membros dessas famílias e até uma fração de ohm para interruptores de baixa voltagem). Analog Devices, Intersil, Maxim, Vishay– Siliconix e outros fabricantes oferecem uma boa variedade de switches analógicos.

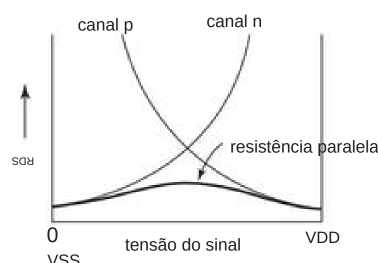


Figura 3.61. Resistência ON do comutador analógico CMOS.

B. Comutadores analógicos

JFET Embora a maioria dos comutadores analógicos disponíveis seja construída com um par de MOSFETs paralelos de polaridades complementares – a arquitetura CMOS que acabamos de descrever – é possível construir comutadores analógicos com JFETs, e há algumas vantagens.

O circuito básico (Figura 3.62) usa um único canal n JFET, Q1, como chave analógica. Sua condução é controlada por um interruptor de transistor, Q2, que puxa o portão para baixo para uma grande tensão negativa (-15 V, digamos) para cortar a condução no JFET (desligar). Desligar Q2 permite que o portão flutue para a tensão da fonte, colocando o JFET (modo de depleção) em condução total (ligado). O resistor de porta R1 é feito deliberadamente grande para que a linha de sinal de saída não tenha carga significativa no estado DESLIGADO ; seu valor é um compromisso, porque uma resistência maior incorre em um atraso de ativação mais longo. Com uma fonte de sinal de baixa impedância (por exemplo, a saída de um amplificador operacional), pode ser preferível colocar o resistor no lado da entrada (ou seja, alimentar o sinal pela direita).

Como há apenas um único JFET de canal n, essa chave não pode aceitar sinais de entrada até a alimentação negativa: tensões de sinal que se aproximam do negativo

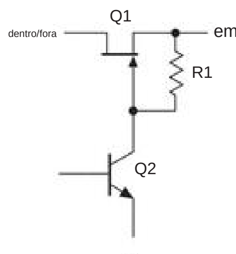


Figura 3.62. Interruptor analógico JFET.

alimentação do que o VGS(off) do FET o trará de volta à condução.69 Não existe tal limitação no lado positivo.

Uma característica bacana dessa chave analógica JFET é a constância do RON com o nível do sinal: como a porta fica na tensão da fonte, não *há* variação do RON com a tensão do sinal; o JFET nem sabe que o sinal está variando! Essa boa característica está em exibição na Figura 3.63, que compara um gráfico de RON versus Vsig para um comutador analógico JFET (SW06) com o do comutador DG211 CMOS.70 Na prática, é inconveniente ter que acionar o controle do comutador com um sinal perto do trilho de abastecimento negativo (e duplo

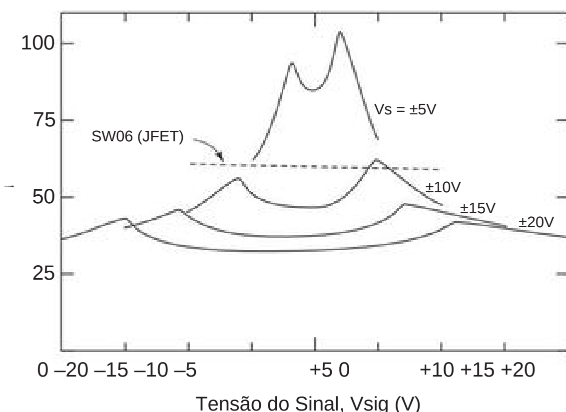


Figura 3.63. Em contraste com um switch analógico CMOS como o DG211 (curvas sólidas, mostradas para diferentes tensões de alimentação), o switch analógico JFET mantém RON admiravelmente plano sobre o nível do sinal.

bilmente para comutadores CMOS). Em vez disso, você provavelmente usaria um circuito de mudança de nível para que uma entrada de nível lógico entre 0 V e +3 V, digamos, ativasse a chave. A Figura 3.64 mostra uma maneira simples de fazer isso, usando comparadores com saídas de "coletor aberto" (§12.3) para acionar as portas de comutadores JFET discretos. Para comutadores analógicos *integrados ,* esse tipo de circuito de sinal de controle é normalmente incorporado. O comutador analógico SW06 JFET (e a quase extinta família DG180–189 da Vishay–Siliconix) inclui esses drivers, juntamente com alguns outros truques elegantes.71

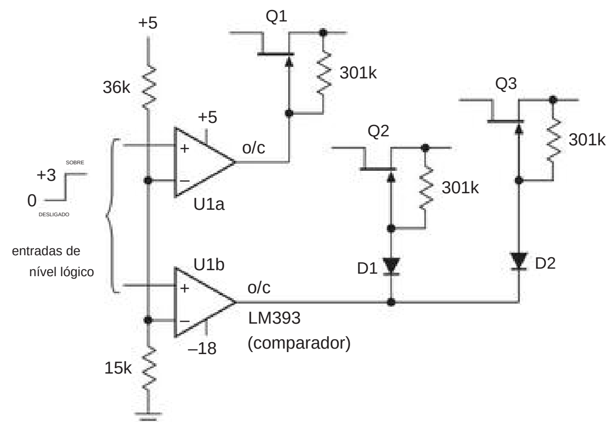


Figura 3.64. Um comparador com saídas de coletor aberto, alimentado por +5 V e -18 V, converte uma entrada de nível lógico de 0 a 3 V em uma unidade de porta JFET que oscila para -18 V. Esse método é usado em alguns dos dispositivos digitais da Agilent multímetros (consulte "Projetos dos mestres", 13.8.6) para acomodar sinais analógicos em uma faixa completa de ±12 V.
Os diodos adicionados permitem que um sinal de controle acione mais de um switch JFET.

Os comutadores analógicos JFET são inerentemente mais robustos do que seus primos CMOS, para os quais são necessários circuitos de proteção que degradam o desempenho para robustez contra falhas de sobretensão. No entanto, eles sofrem de alta injeção de carga (consulte §3.4.2E). Apesar de seus recursos interessantes, comutadores e multiplexadores JFET integrados (consulte a próxima subseção) estão quase extintos, com bons exemplos como as séries SW-01, SW-7510 e MUX-08 da Precision Monolithics (agora Analog Devices) que desapareceram para sempre (mas felizmente o SW06 continua vivo!).

C. Multiplexadores

Uma boa aplicação dos interruptores analógicos FET é o "multiplexador" (ou MUX), um circuito que permite selecionar qualquer uma das várias entradas, conforme especificado por um sinal de controle digital.

69 Na verdade, você tem que ficar um pouco mais longe do VGS(off): lembre-se (§3.1.3) que é definido como a tensão porta-fonte que resulta em uma pequena (mas diferente de zero) corrente de dreno, geralmente ID = 10 nA.

70 A pequena variação de RON é causada por efeitos de substrato: o SW06 é um circuito integrado, construído sobre um substrato de silício; portanto, o JFET e os componentes associados têm alguma noção do nível de sinal absoluto. Se mesmo essa pequena variação for inaceitável, você pode montar uma implementação discreta (como na Figura 3.62); você verá esses circuitos sendo usados em alguns dos multímetros digitais precisos da Agilent.

71 Como uma chave MOSFET interna que desconecta o resistor de porta *(R1* na Figura 3.62) quando a chave está desligada, para eliminar o carregamento do circuito.

O sinal analógico presente na entrada selecionada será passado para a saída (única). A Figura 3.65 mostra o esquema básico. Cada uma das chaves SW0 a SW3 é uma chave analógica CMOS. A "lógica de seleção" decodifica o endereço e *habilita* (jargão para "liga") apenas a chave endereçada, desabilitando as chaves restantes. Tal multiplexador é geralmente usado em conjunto com circuitos digitais que geram os endereços apropriados (muito mais nos Capítulos 10 e 11). Uma situação típica pode envolver um instrumento de aquisição de dados no qual várias tensões de entrada analógicas devem ser amostradas sucessivamente, convertidas em quantidades digitais e usadas como entrada para algum cálculo.

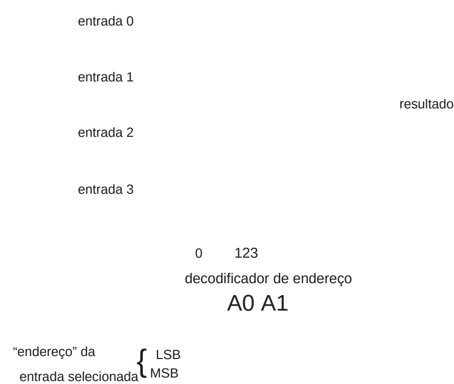


Figura 3.65. Multiplexador analógico.

Como as chaves analógicas são bidirecionais, um multiplexador analógico como este também é um "desmultiplexador": um sinal pode ser alimentado na "saída" e aparecerá na "entrada" selecionada. Quando discutirmos os circuitos digitais nos Capítulos 10 e 11, você verá que um multiplexador analógico como este também pode ser usado como um "multiplexador-demultiplexador digital", porque os níveis lógicos são, afinal, nada além de tensões que podem ser interpretadas. como 1s e 0s binários.

Os multiplexadores analógicos típicos são as séries DG408–09 e DG508–09 padrão da indústria (e suas muitas versões aprimoradas), circuitos MUX de 8 ou 16 entradas que aceitam entradas de endereço de nível lógico e operam com tensões analógicas de até ±15 V. Os dispositivos 4051–4053 da família digital CMOS são multiplexadores–demultiplexadores analógicos com até 8 entradas, mas com níveis máximos de sinal de 15 Vpp; eles têm um pino VEE (e deslocamento de nível interno) para que você possa usá-los com sinais analógicos de bipolaridade e sinais de controle de unipolaridade (nível lógico). Gostamos especialmente da série '4053 de baixa tensão, com três interruptores SPDT. Nosso interesse é evidentemente compartilhado por outros, com um grande número de peças interessantes disponíveis – veja Tabela 13.7 (Switches SPDT estilo 4053) na página 917.

D. Outras aplicações de chaves analógicas
Chaves analógicas controladas por tensão formam blocos de construção essenciais para alguns dos circuitos de amplificadores operacionais que veremos no próximo capítulo – integradores, circuitos sample-and-hold e detectores de pico. Por exemplo, com amplificadores operacionais poderemos construir um integrador "verdadeiro" (ao contrário da aproximação de um integrador que vimos em §1.4.4): uma entrada constante gera uma saída de rampa linear (não exponencial), etc. Com esse integrador, você deve ter um método para redefinir a saída; um comutador FET no capacitor de integração faz o truque.
Não tentaremos descrever esses aplicativos aqui. Como os amplificadores operacionais formam partes essenciais dos circuitos, eles se encaixam naturalmente no próximo capítulo. Grandes coisas para esperar!

3.4.2 Limitações das chaves FET

Os interruptores analógicos não são perfeitos - eles têm resistência diferente de zero quando LIGADOS e vazamento diferente de zero quando DESLIGADOS, bem como passagem capacitiva e injeção de carga durante mudanças no estado do interruptor. Você pode ver algumas das variedades na Tabela 3.3 na página 176). Vamos dar uma olhada nessas limitações.

A. Faixa de tensão e latchup Chaves
e multiplexadores analógicos vêm em três amplas faixas de tensão: (a) partes "padrão" (que podem ser chamadas de "alta tensão"), que lidam com sinais em toda a faixa de tensão tradicional do amplificador operacional de ±15 V; (b) partes de tensão reduzida ("midvoltage") que podem lidar com sinais de ±7,5 V (ou 0 a +15 V); e (c) peças de baixa tensão destinadas a aplicações nas quais a oscilação do sinal não exceda ±3 V (ou 0 a +6 V). Em todos os casos, os interruptores analógicos operam corretamente (e com RON especificado) com sinais de entrada que vão até as tensões de alimentação positiva e negativa (com exceção dos interruptores JFET como o SW06, para os quais a faixa de tensão do sinal operacional não não atingir o fornecimento positivo).

No entanto, os sinais de entrada *além* dos trilhos de alimentação são outra história. Todos os circuitos integrados CMOS têm alguma forma de circuito de proteção de entrada, porque, caso contrário, o isolamento da porta é facilmente destruído (consulte §3.5.4H sobre os cuidados de manuseio). A rede de proteção usual é mostrada na Figura 3.66. Embora possa usar diodos distribuídos, o trabalho de rede é equivalente a diodos de fixação para VSS e para VDD, combinado com limitação de corrente resistiva. Se você acionar as entradas (ou saídas) mais do que uma queda de diodo além das tensões de alimentação, os grampos de diodo entram em condução, fazendo com que as entradas (ou saídas) pareçam uma baixa impedância para as respectivas alimentações. Pior ainda, o chip pode ser levado a um "latchup SCR", uma situação aterrorizante (e destrutiva)

condição que descreveremos com mais detalhes em §10.8. Por enquanto, tudo que você precisa saber sobre isso é que você não quer! A trava do SCR é acionada por correntes de entrada (através da rede de proteção) de aproximadamente 20 mA ou mais. Portanto, você deve ter cuidado para não conduzir as entradas analógicas tanto quanto uma queda de diodo além dos trilhos.72 Isso significa, por exemplo, que para a maioria das peças você deve ter certeza de que as tensões da fonte de alimentação são aplicadas antes de quaisquer sinais que tenham corrente de acionamento significativa capacidade; alternativamente, você pode usar diodos em série nas linhas de alimentação, para que os sinais de entrada aplicados antes da alimentação CC não produzam corrente de entrada.

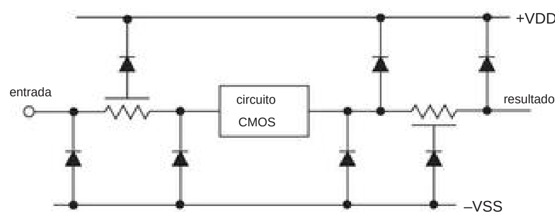


Figura 3.66. Redes de proteção de entrada-saída CMOS. O resistor em série na saída geralmente é omitido.

O problema com as redes de proteção diodo-resistor é que elas comprometem o desempenho do switch aumentando o RON, a capacitância shunt e o vazamento. Uma abordagem diferente faz uso do "isolamento dielétrico" para eliminar o latchup do SCR sem os sérios comprometimentos de desempenho inerentes às redes de proteção tradicionais. Ambos os métodos resultam em uma chave analógica "protegida" (ou *protegida contra falhas)* , na qual você pode sobrecarregar com segurança as entradas sem danos. Observe, no entanto, que a saída não segue a entrada além dos trilhos.73 Por exemplo, o multiplexador MAX4508 adiciona proteção contra falhas ao multiplexador analógico de 8 entradas

padrão DG508A, tornando-o tolerante a oscilações de entrada de ±30 V; tem

um RON(tipo) de 300 ÿ. A série AD7510DI de "Chaves Analógicas Protegidas" da Analog Devices usa isolação dielétrica para obter proteção de falha de sinal de entrada para ±25 V além das fontes de alimentação, enquanto mantém um respeitável 75 ÿ RON(typ) na faixa de sinal operacional normal. Cuidado, porém - a proteção contra falhas é a exceção na arena de comutadores analógicos, e a maioria dos CIs de comutadores analógicos não perdoam!

A Maxim oferece uma boa solução externa que você pode colocar na frente de um comutador desprotegido (ou qualquer outro componente analógico), na forma de seus ICs "protetores de linha de sinal" multicanal (os MAX4506–07 de três e oito canais).74 Eles aceitam oscilações de sinal de entrada para ±36V (alimentados ou não), estão livres de travamento, independentemente do sequenciamento de alimentação, e passam por sinais que estão adequadamente dentro dos limites de alimentação enquanto prendem suas saídas aos trilhos de alimentação (que podem ser alimentações divididas de ±8 V a ±18 V ou uma alimentação simples de +9 a +36 V) quando há uma entrada além dos trilhos. Eles ainda têm a graça de abrir o circuito da entrada quando estão sobrecarregados – veja a Figura 3.67. O preço que você paga (acima de seus custos literais de $ 4 e $ 6, respectivamente) é uma resistência ON na faixa de 50–100 ÿ (dependendo, como sempre, da tensão de alimentação total) e uma capacitância de entrada de 20 pF (portanto, um rolloff em ~ 100 MHz).

B. Os interruptores

CMOS **de resistência ON** operados a partir de uma tensão de alimentação relativamente alta (± 15 V, digamos) terão baixo RON durante toda a oscilação do sinal, porque um ou outro dos FETs de transmissão terá uma polarização de porta direta de pelo menos metade de

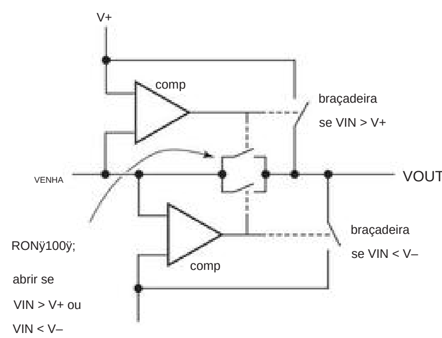


Figura 3.67. Os "Protetores de Linha de Sinal" MAX4506–7 protegidos contra falhas da Maxim evitam oscilações de sinal além dos trilhos, prendendo a saída e desconectando a entrada quando sobrecarregado. Os interruptores analógicos da série são normalmente LIGADOS, mas ambos são DESLIGADOS se o VIN ultrapassar qualquer um dos trilhos, controlado pela lógica mostrada na folha de dados mais completa do MAX4508.

72 Essa proibição vale para CIs CMOS *digitais* , bem como para os comutadores analógicos que discutimos.

73 Com algumas exceções exóticas, por exemplo, o MAX14778 "Dual ±25V Above-and Below-the-Rails 4:1 Analog Multiplexer". Este filhote, que funciona com uma única fonte de +3 a +5 V, não só é protegido contra falhas até ±25 V, mas também opera adequadamente com tensões de sinal em toda a faixa! Como eles fazem isso?! Acontece que eles incluíram um conversor de voltagem "charge-pump" no chip (§3.4.3D) para alimentar os intestinos. Ainda mais notável, este dispositivo tem uma resistência ON muito baixa (1,5 ÿ) que é notavelmente plana com tensão de sinal (0,003 ÿ) em toda a faixa de ±25 V. E pode lidar com até 300 mA de corrente de sinal. Este dispositivo destina-se a aplicações nas quais os sinais externos de grande oscilação precisam ser comutados por um circuito com apenas uma alimentação única de baixa tensão. Infelizmente para nós, experimentadores, ele vem apenas no minúsculo pacote TQFN (Thin Quad Flat pack, No leads), exigindo um forno de refluxo para soldar em uma placa de circuito.

74 A Analog Devices oferece uma parte de canal único semelhante, o ADG465, em um conveniente pacote SOT23-6.

Tabela 3.3 Configuração de Chaves Analógicasb

Pacotes
Rony
Qinj Cap type
Preço
divisão Fornecimento único Vsupply type type , ON (ÿ) lógico qtde 25
Parte #a (±V) (+V) (V) (pC) (pF) ($US) Comentários

alta voltagem
MAX4800-02 - - - 8:1 40 a 100 c 22 ±100 600 36 VL S 5 a 18 2 6 TP 84 4,5 a 28 16.18 16 realmente
MAX326-27 4 4 - - 20 9 a 36 2 28,0 22 TP 84 4,5 a 30 4 ±5 a 30 0 285 ±15 a 36 28,0 4 ±18 20 15 22 0,20 - 16 16 6,76 16 16 HV!1 baixo
MAX4508-09 - - - TP 75 17 TP 60 ±15 15 TP 50 ±15 2 1 ±15 VL P 45 ±15 1 16 25 ±15 60 45 V+ P 7 25 TP - 6,78 16 16 8.43 **16** vazamento2 OV
MAX354-55 - - - 5 ±15 10 30 TP ±15 240 60 TP ±15 76 T P - 16 2,56 16 4,63 10 04 a ±30V OV a ±25V
DG508-09 - - - ±15 - 16 20 13,90 16 16 20 baixo vazamento3
ADG1211-13 ww - - 10 a? ±15 - - - 4,30 16 16 baixo C, Qinj
ADG1221-23 xx - - 5 a 16,5 5 a 16,5 ±15 - - - 16 2,05 16 baixo plano Qinj
AD7510-12DI 4 4 2 - 5 a 15 - ±15 30 - 16 16 2.08 16 16 16 Trilhos OV ± 25V
SW06 4 - - - 12 a 18 - - - 2,72 8 8 3,34 16 16 JFET, plano
DG441-42 4 4 - - 4,5 a 22 5 a 24 4,5 a 22 - 20 2.70 6 1,14 16 RON 1ÿA Isupply
DG211-12 4 4 - - 5 a 22 5 a 30 5 a 20 - 5,66 0,75 ADG211-12
DG408-09 - - - 84 5 a 20 - ADG408-09
ADG417-19 111 5 a 20 - - DG417-19
MAX317-19 1 1 1 - 4,5 a 20 10 a 30 4,5 a - -
DG411-13 em v - - 20 10 a 30 4,5 a 20 7 a 17 - ADG411-13
DG447-48 1 1 - - 36 13 - - -
ADG5412-13 aa - - 9 a 22 9 a 40 10 - - - sem trava4
DG467-68 1 1 tensão - - 4,5 a 20 7 a 36 5 21 - - 8 - ADG467-68

média
DG4051-53 - - - 842 2,5 a 5 2,7 a 12 842 2,5 a 66 ±5 0,25 3,4 V+ P ±5 5, 25 V+ P +5 - - 16 16 1,35 Tabela 13.7
74HC4051-53 - - - 5 2 a 10,5 2,7 a 12 2,7 a 12 2,7 40 13, 20 T 28 T 28 T 95 T - 16 16 16 0,41 Tabela 13.7
MAX4541-44 xx1 - - a 12 30 P 888 8 1,33
ISL5120-23xx 1 1 1 - - 19 +5 1 P 8,6 8 - - 1,71
ISL43210 - - - - 19 +5 3 P 6s - - - 1,33
ADG619-20k - - - 2,7 a 5,5 2,7 a 5,5 7 +5 3 6 P8 - - 8 2,56

de baixa tensão
ADG708-09 - - - 84 2.5 1,8 a 5,5 +5 3 96, 48 T 27 - - 16 - 3.01
ADG719 - - - - 1,8 a 5,5 3 2.5 +5 - T PP 6 P - - - 1,76 SC70='749
MAX4624-25k - - - - 1,8 a 5,5 0,65 +5 0,3 65 100 T 6 P - - - 2,10
ADG884 - - 1 1 2 - - 1,8 a 5,5 +5 125 300 T 0,55 - - - 10 2,42 16 (5)
ISL84467 2xDPDT - - 1,8 a 5,5 +3 126 102 V+ P 0,44 +3 1,65 a 4,5 0,38 +3 0,25 +3 - - 16 1,19 1,24 8 Correspondência de
ISL84714 - - - - 1,8 a 3,6 20 100 V+ P 6 53 85 - - - 0,90 80mÿ Correspondência
NLAS52231 - - 1 2 - - V+P --- 0,65 de 5mÿ (6) RON mais
ISL43L110-11 1 1 - - - 1,1 a 4,7 160 V+ P 5s 72 - - - baixo

T-switch, RF
MAX4565-67 aa 2 - 2,7 a 6 2,7 a 12 46 25 6 30 ±5 nome 25 14 - NA TPTPTP - 16,20 16,20 4,74 16 video7
DG540-42 zz - - +15 e –3 1.1 1.6 V+ P - 16 20 5,00 5,11n
AD8170, 74 4:1 4 a 6 - ESTE - 8 2,52 - 8,14 MUX+amp8
ponto cruzado 1 1 - - 1,65 a 2,75 - - - - - - RF9
ADG918-19
AD75019 16x16 4,5 a 12 9 a 25 150 ±12 - 10mT S - - - 44 26,20 32 20 MHz
ADG2188 8x8 4,5 a 5,5 8 a 12 4,5 a 34 3 9,5 x1 ±5 buf - NA 8 (g) x1,x2 VL - - - 9,37 200 MHz
MAX4359-60 4x4, 8x8 5,5 2,5 a 5,5 2,7 a 5,5 buf - 5 7 11o V+ S ou I 43 ±5 TP, ser - 40 24 44 9.68n 35 MHz
MAX9675 16x16 2,7 a 5,5 - VL S - - - 100 24,14 Áudio de
MAX4550, 70 duplo 4x2 - 2 - 28 6,39 110 MHz10

Notas: (a) listadas nas categorias por RON decrescente; todos são CMOS exceto SW06; as partes em **negrito e itálico** são "jujubas" amplamente usadas. (b) os numerais representam a quantidade de cada tipo de chave em um único pacote; as letras referem-se a notas de rodapé explicativas para partes numeradas sucessivamente. (c) Vneg pelo menos –15V, Vpos pelo menos +40V, total não superior a 200V. (d) limiares T=TTL; VL=alimentação de limiar lógico externo; V+=limite "CMOS", depende da tensão de alimentação analógica positiva. (e) P=entradas lógicas paralelas; I= série I2C ; S = série SPI. (g) falha de 50mV. (h) 0,1dB a 14MHz, –95dB xtalk a 20KHz e RL=10k, THD+N=0,014% (RL=1k, f=1kHz). (k) segundo p/n é make-before-break. (m) mín ou máx. (n) maior p/n é ÿ50% mais. (o) desligue. (s) SC-70. (u) SPDT são break-before-make, salvo indicação em contrário. (v) 84=8:1 & dual 4:1; 842=8:1, duplo 4:1 e triplo 2:1. todos os 4:1 duplos têm endereço único de 2 bits. (w) 4xNC, 4xNO, 2 cada. (x) 2xNO, 2xNC, 1 cada. (y) 4xNO, 2 cada. (z) 4xNO, 4xNO, 2 cada.

Comentários: (1) Supertex HV2203. (2) 1pA tipo. (3) tipo 3pA; Is=10ÿA tipo. MAX308-09 é semelhante. (4) 8kV HBM ESD. (5) 0,4ÿ@Vs=+3V; 400mA; –3dB/50ÿ@18MHz. (6) baixo RON, por exemplo, interruptor do alto-falante. (7) –3dB@350MHz, –90dB xtalk@10MHz. (8) 250 MHz; conjunto de ganho ext. (9) –3dB a 4GHz, -30dB xtalk a 4GHz. (10) sem clique.

tensão de alimentação. No entanto, quando operado com tensões de alimentação mais baixas, o valor RON da chave aumentará, ocorrendo o máximo quando o sinal estiver a meio caminho entre a alimentação e o terra (ou a meio caminho entre as alimentações, para tensões de alimentação dupla). A Figura 3.68 mostra o porquê. À medida que o VDD é reduzido, os FETs começam a ter uma resistência ON significativamente maior (especialmente perto de VGS = VDD/2), porque os FETs de modo de aprimoramento podem ter um VGS(th) de pelo menos alguns volts e uma fonte de porta pode ser necessária uma tensão de até 5 a 10 volts para obter um RON baixo. Não apenas as resistências paralelas dos dois FETs aumentarão para tensões de sinal entre a tensão de alimentação e o terra, mas também a resistência de pico (na metade do VDD) aumentará à medida que o VDD for reduzido e, para VDD suficientemente baixo , a chave se tornará um circuito aberto para sinais perto de VDD/2.

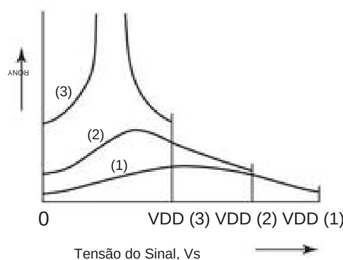


Figura 3.68. O interruptor analógico CMOS RON aumenta em baixa tensão de alimentação.

Existem vários truques usados pelos projetistas de ICs de comutação analógica para manter o RON baixo e aproximadamente constante (para baixa distorção) durante a oscilação do sinal. Por exemplo, a chave analógica 4016 original usava o circuito simples da Figura 3.60, produzindo curvas RON semelhantes às da Figura 3.69. No switch 4066 aprimorado, os projetistas adicionaram alguns FETs extras para que a tensão do corpo do canal n siga a tensão do sinal, produzindo as curvas RON da Figura 3.70. A forma de "vulcão", com o centro deprimido

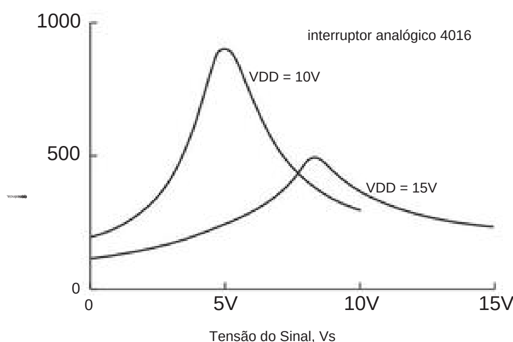


Figura 3.69. Resistência ON para switch CMOS 4016.

RON, substitui o formato "Everest" do 4016. Interruptores aprimorados, como o padrão da indústria DG408–09, destinados a aplicações analógicas sérias, funcionam ainda melhor, com curvas RON baixas e planas que desviam menos de 10% ou mais sobre o sinal alcance de voltagem. Isso geralmente é alcançado às custas do aumento da "transferência de carga" (consulte a seção posterior sobre *falhas).*

Olhando através das tabelas de seleção dos fabricantes para interruptores analógicos, você encontrará unidades de tensão padrão com RON tão baixo quanto vários ohms e planicidade de alguns décimos de ohm; interruptores de baixa tensão podem ser encontrados com RON tão baixo quanto 0,25 ÿ e planicidade de 0,03 ÿ. Porém, esse desempenho estático tem um custo real, ou seja, alta capacitância e alta injeção de carga (consulte a discussão abaixo e a Tabela 3.3 na página anterior). Se sua aplicação requer baixa distorção em impedâncias de carga moderadas, a melhor abordagem pode ser escolher uma chave com excelente especificação de "planicidade de resistência ON" (RFLAT(ON)) e aceitar um RON geral mais alto com sua capacitância mais baixa.

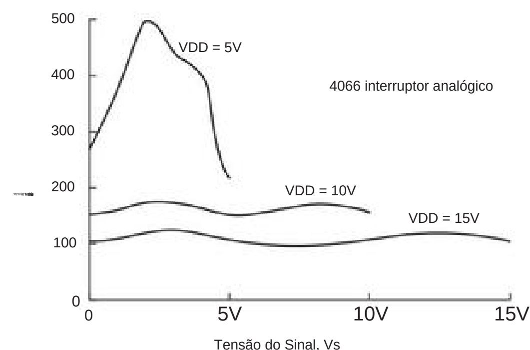


Figura 3.70. resistência ON para o switch 4066 CMOS melhorado; observe a mudança de escala da figura anterior.

Tenha em mente, também, que em alguns casos você pode resolver o problema completamente com uma escolha diferente de configuração de circuito, como na Figura 3.71, que mostra três abordagens para um circuito que seleciona um dos dois sinais de entrada. O ganho do circuito A é R2/(R1 + RON), então uma variação de RON com a amplitude do sinal produz mudanças de ganho e, portanto, não linearidade. O circuito B é melhor, porque a saída do interruptor é mantida no solo por feedback em torno do amplificador operacional; mas a resistência ON ainda reduz um pouco o ganho, degradando a precisão do circuito. O circuito C é felizmente inconsciente de RON, devido à impedância de entrada muito alta do amplificador operacional; é o mais linear e preciso de todos.

Esta lição também pode ser aplicada a outras configurações de circuito. Como exemplo, dê uma olhada na Figura 3.84 na página 183, onde um multiplexador analógico é usado para selecionar o ganho de tensão geral de um amplificador. No circuito de

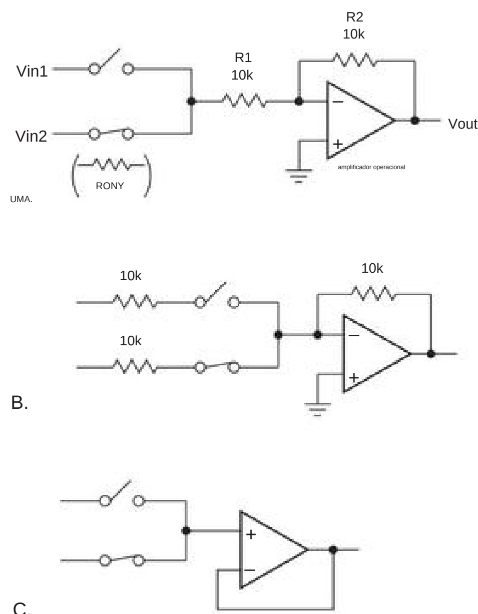


Figura 3.71. Refinamento da variação RON em interruptores analógicos: três maneiras de selecionar entre um par de sinais de entrada, com um amplificador operacional para armazenar em buffer a saída.

Na Figura 3.84A, o RON do multiplexador está em série com o resistor selecionado e representa um termo de erro (tanto em ganho quanto em não linearidade); em contraste, no circuito da Figura 3.84B, o RON da chave é irrelevante, devido à impedância de entrada essencialmente infinita (>1012 ÿ) do amplificador operacional .

Outro truque explora o uso de dois interruptores JFET idênticos (ou muito semelhantes) para cancelar amplamente os efeitos do RON. Consulte a seção do Capítulo 4x "Interruptor linear JFET com compensação RON " para obter uma explicação e ilustração desta técnica elegante.

C.

Velocidade Chaves analógicas FET de alta tensão têm resistências ON 75 RON geralmente na faixa de 20 a 200 ÿ. Em combinação com o substrato e as capacitâncias parasitas, essa resistência forma um filtro passa-baixa que limita as velocidades de operação a frequências da ordem de 10 MHz ou menos (Figura 3.72). FETs com RON mais baixo tendem a ter capacitâncias maiores (até 50 pF ou mais), portanto, não há ganho de velocidade (a menos que o projetista tenha feito outras compensações de projeto). Muito do rolloff é devido aos componentes de proteção – resistência em série limitadora de corrente e capacitância de diodos shunt.

75 Como observamos, você pode obter interruptores com RON mais baixo, tão baixo quanto 0,25 ÿ, às custas de alguma combinação de capacitância aumentada, injeção de carga aumentada e faixa de tensão operacional reduzida.

No entanto, as chaves analógicas de baixa tensão se saem melhor em termos de largura de banda (como geralmente é o caso de semicondutores de geometria menor): uma chave analógica logarítmica contemporânea de ±2,5 V, como a popular ADG719, tem 2,5 ÿ de resistência ON , 27 pF de capacitância e Largura de banda de 400 MHz. Há também uma classe de switches analógicos e multiplexadores voltados especificamente para aplicações de vídeo e RF. Estes incluem MUX/switches passivos ("sem buffer") e MUX/switches combinados com um amplificador ("ativo" ou "bufferizado"). MUX/ interruptores ativos operam em fontes de +5 V ou ±5 V e têm ganhos de tensão fixos de ×1 ou ×2 (os últimos são destinados a conduzir uma linha de transmissão de 50 ÿ ou 75 ÿ através de um resistor de correspondência em série, que atenua o saída por um fator de 2); em alguns casos, você define o ganho com um par de resistores externos. Um exemplo deste último é o multiplexador de 4 entradas AD8174, com uma largura de banda de 270 MHz em ganhos de +1 ou +2 (em ganhos maiores, a largura de banda cai, por exemplo, para 55 MHz em G=+10).

Para aplicações especializadas, você pode obter alguns switches analógicos realmente rápidos, por exemplo, o ADG918–19 listado na Tabela 3.3 na página 176, que pode ser usado em 2 GHz (é 3 dB abaixo em 4 GHz). Peças como essas são usadas em aplicações sem fio, por exemplo, para alternar entre duas fontes de sinal em "recepção de diversidade" ou para rotear sinais de gigahertz por meio de uma escolha de caminhos de filtro. Para reduzir o crosstalk, esses switches de banda larga geralmente empregam uma topologia T-switch (consulte a Figura 3.77 na próxima subseção).

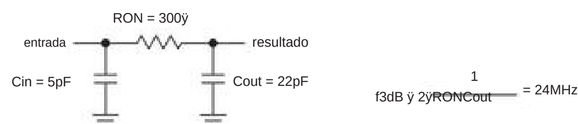


Figura 3.72. Os RC's parasitas de um comutador CMOS limitam a largura de banda do sinal analógico.

D. Capacitância

Chaves FET exibem capacitância de entrada para saída (CDS), de canal para terra (CD, CS), de porta para canal e de um FET para outro dentro de um pacote IC (CDD, CSS); veja a Figura 3.73. Vejamos os efeitos.

CDS: capacitância da entrada para a saída A capacitância da entrada para a saída causa o acoplamento do sinal em uma chave OFF , aumentando em altas frequências. A Figura 3.74 mostra o efeito para as populares séries DG211 e DG411. Observe a caracterização com uma carga de 50 ÿ, comum em circuitos de RF, mas muito inferior ao normal para sinais de baixa frequência, para os quais uma impedância de carga típica é de 10k ou mais. Mesmo com uma carga de 50 ÿ, a passagem torna-se

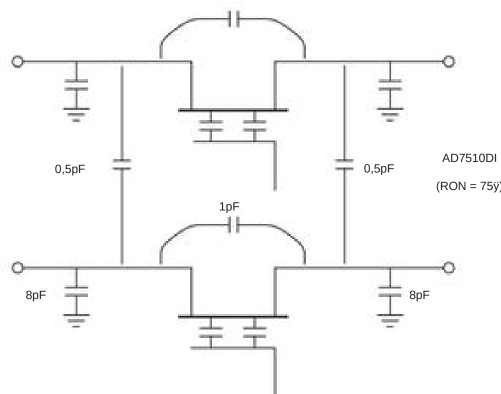


Figura 3.73. As capacitâncias entre as seções isoladas do comutador analógico quádruplo AD7510 causam diafonia de sinal.

significativo em altas frequências (1 pF tem uma reatância de 5k a 30 MHz, dando ÿ40 dB de passagem). E, é claro, há atenuação significativa (e não linearidade) acionando uma carga de 50 ÿ, porque para essas partes RON é tipicamente 45 ÿ e 17 ÿ, respectivamente. Com uma carga de 10k, a situação de passagem é muito pior, é claro.

Exercício 3.5. Calcule o feedthrough em 10k a 1 MHz, como somando CDS = 1 pF.

Na maioria das aplicações de baixa frequência, a passagem capacitiva não é um problema. Se for, a melhor solução é usar um par de chaves em cascata (Figura 3.75) ou, melhor ainda, uma combinação de chaves em série e em derivação, habilitadas alternadamente (Figura 3.76). A cascata em série dobra a atenuação (em decibéis) às custas de RON adicional, enquanto o circuito de derivação em série (efetivamente uma configuração SPDT) reduz a passagem ao diminuir a resistência de carga efetiva para RON quando a troca em série

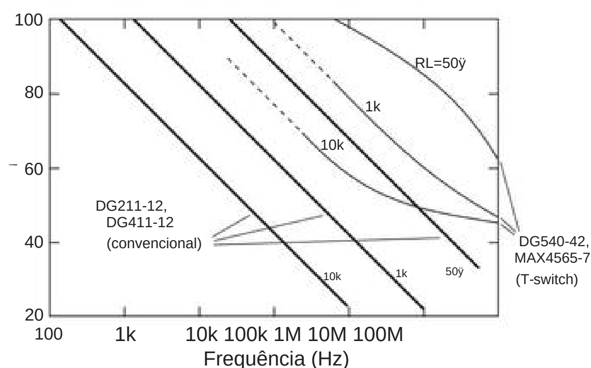


Figura 3.74. Passagem de alta frequência em interruptores analógicos. Há menos passagem com uma baixa resistência de carga e menos ainda com uma configuração “T-switch”.

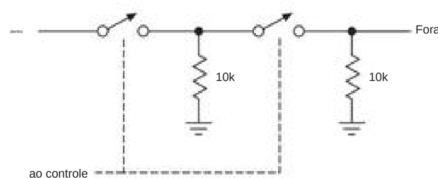


Figura 3.75. Interruptores analógicos em cascata para passagem reduzida.

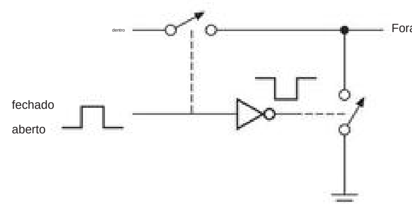


Figura 3.76. Configuração do interruptor analógico SPDT para passagem reduzida.

está fora. Alguns comutadores analógicos comerciais são construídos com uma rede T de três comutadores (Figura 3.77) para obter passagem baixa para sinais indo em qualquer direção; de fora você não pode nem dizer que eles usaram esse truque, exceto observando as excelentes especificações de isolamento como na Figura 3.74 (a menos, é claro, que eles se gabem disso na folha de dados).

Exercício 3.6. Recalcule a passagem do switch em 10k a 1 MHz, assumindoCDS= 1 pF e RON=50ÿ, para a configuração da Figura 3.76.

A maioria dos comutadores CMOS SPDT tem características de interrupção controlada antes de fazer (BBM) para que as fontes de sinal não sejam conectadas momentaneamente durante a comutação. Em alguns casos, no entanto, você precisa do reverso, ou seja, fazer antes da quebra (MBB), por exemplo, em um circuito de realimentação de seleção de ganho como na Figura 3.84B. Para lidar com isso, alguns switches CMOS estão disponíveis em ambos os tipos, por exemplo, ADG619 e ADG620 (BBM e MBB, respectivamente, conforme observado na Tabela 3.3).

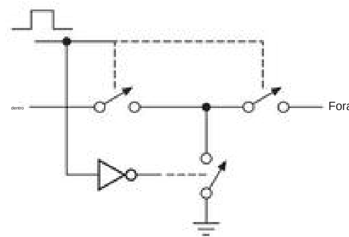


Figura 3.77. Um T-switch reduz ainda mais a passagem de alta frequência.

CD, CS: capacitância para terra A capacitância shunt para terra leva ao corte de alta frequência mencionado anteriormente. A situação é pior com uma fonte de sinal de alta impedância, mas mesmo com uma fonte rígida, o RON do switch combina com a capacitância shunt na saída para criar um filtro passa-baixa. O seguinte problema mostra como funciona.

Exercício 3.7. Um AD7510 (aqui escolhido por suas especificações de capacitância completas, mostradas na Figura 3.73) é acionado por uma fonte de sinal de 10k, com uma impedância de carga de 100k na saída da chave. Onde está o ponto de alta frequência de -3 dB? Agora repita o cálculo, assumindo uma fonte de sinal perfeitamente rígida e uma chave RON de 75 ohms.

Capacitância da porta para o canal A capacitância da porta de controle para o canal causa um efeito diferente, ou seja, o acoplamento de pequenos transientes desagradáveis em seu sinal quando a chave é ligada ou desligada.
Este assunto merece uma discussão séria, então vamos deixá-lo para a próxima seção sobre glitches.

CDD, CSS: capacitância entre chaves Se você agrupar várias chaves em um único pedaço de silicone do tamanho de um grão de arroz, não deve se surpreender se houver algum acoplamento entre os canais (“crosstalk”). O culpado, é claro, é a capacitância entre canais. O efeito aumenta com a frequência e com a impedância do sinal no canal ao qual o sinal está acoplado. Aqui está uma chance de resolver isso por si mesmo.

Exercício 3.8. Calcule o acoplamento, em decibéis, entre um par de canais com CDD =CSS = 0,5 pF (Figura 3.73) para as impedâncias de fonte e carga do exercício anterior. Suponha que o sinal de interferência seja de 1 MHz. Em cada caso, calcule o acoplamento para (a) interruptor OFF para interruptor OFF , (b) interruptor OFF para interruptor ON , (c) interruptor ON para interruptor OFF , e (d) interruptor ON para interruptor ON .

Deve ser óbvio a partir deste exemplo porque a maioria dos circuitos de RF de banda larga usa impedâncias de sinal baixas, geralmente 50 ÿ.
Se o crosstalk for um problema sério, não coloque mais de um sinal em um chip.

E. Falhas e injeção de carga Durante os transientes de ligar e desligar, os interruptores analógicos FET podem fazer coisas desagradáveis. O sinal de controle sendo aplicado ao(s) portão(s) pode se acoplar capacitivamente ao(s) canal(is), colocando transientes feios em seu sinal. A situação é mais grave se o sinal estiver em altos níveis de impedância.
Os multiplexadores podem mostrar um comportamento semelhante durante as transições do endereço de entrada, bem como uma conexão momentânea entre as entradas se o atraso de desligamento exceder o atraso de ativação (ou seja, MBB). Um mau hábito relacionado é a propensão de alguns interruptores (por exemplo, o 4066) para curto-circuitar a entrada para o terra momentaneamente durante as mudanças de estado.

Vejamos esse problema com um pouco mais de detalhes. A Figura 3.78 mostra uma forma de onda típica que você pode ver na saída de um circuito analógico MOSFET de canal n, semelhante à Figura 3.59, com um nível de sinal de entrada de zero volts e uma carga de saída consistindo de 10k em paralelo com 20 pF, realista valores para um circuito de comutação analógico. Os belos transientes são causados pela carga transferida para o canal, através da capacitância gate-channel, nas transições do gate. A porta faz um salto repentino de uma tensão de alimentação para a outra, neste caso entre as fontes de ±15 V, transferindo um slug de carga

$$Q = CGC[VG(final)ÿVG(início)].$$

Aqui, CGC é a capacitância do canal de porta, tipicamente em torno de 5 pF. Observe que a quantidade de carga transferida para o canal (“injeção de carga”) depende apenas da mudança de tensão total no gate, não de seu tempo de subida. A desaceleração do sinal do portão dá origem a um glitch de menor amplitude e duração mais longa, com a mesma área total sob seu gráfico.
A filtragem passa-baixa do sinal de saída do switch tem o mesmo efeito. Tais medidas podem ajudar se a amplitude de pico do glitch tiver que ser mantida pequena, mas em geral elas são ineficazes na eliminação do gate feedthrough. Em alguns casos, a capacitância do canal do gate pode ser previsível o suficiente para que você cancele os picos acoplando uma versão invertida do sinal do gate por meio de um pequeno capacitor ajustável.

A capacitância do canal de porta é distribuída ao longo do comprimento do canal, o que significa que parte da carga é acoplada de volta à entrada do comutador. Como resultado, o tamanho do glitch de saída depende da impedância da fonte de sinal e é menor quando a chave é acionada por uma fonte de tensão. Obviamente, reduzir o tamanho da impedância de carga reduzirá o tamanho do glitch, mas isso também carrega a fonte e introduz erro e não linearidade por causa do RON finito. Finalmente, todas as outras coisas sendo iguais, uma chave com capacitância de canal de porta menor introduzirá



Figura 3.78. Falhas de transferência de carga, em uma escala bastante expandida.

transitórios de comutação, embora você pague um preço na forma de aumento de RON.

A Figura 3.79 mostra uma comparação interessante de transferências de carga induzidas por portas para uma coleção de chaves analógicas, incluindo JFETs. Para os comutadores CMOS, os sinais internos do portão estão fazendo uma oscilação completa de trilho a trilho (por exemplo, ÿV = 30 V para comutadores operando a partir de ±15 V); para a chave JFET, o gate oscila de -15 V para a tensão do sinal. O comutador JFET mostra uma forte dependência do tamanho do glitch no sinal, porque a oscilação do portão é proporcional ao nível do sinal acima de -15 V. Comutadores CMOS bem balanceados têm alimentação relativamente baixa porque as contribuições de carga dos MOSFETs complementares tendem a cancelar (uma porta está subindo enquanto a outra está caindo). Apenas para dar escala a esses números, vale ressaltar que 30 pC corresponde a um degrau de 3 mV em um capacitor de 0,01 F. Esse é um capacitor de filtro bastante grande e você pode ver que esse me um problema real, já que uma falha de 3 mV é muito grande ao lidar com sinais analógicos de baixo nível.

Na Figura 3.80, plotamos, em escala expandida, a cena de injeção de carga para uma seleção de interruptores analógicos que exibem injeções de carga particularmente baixas. Switches otimizados para injeção de baixa carga geralmente se gabam disso no título da folha de dados. Por exemplo, o analógico

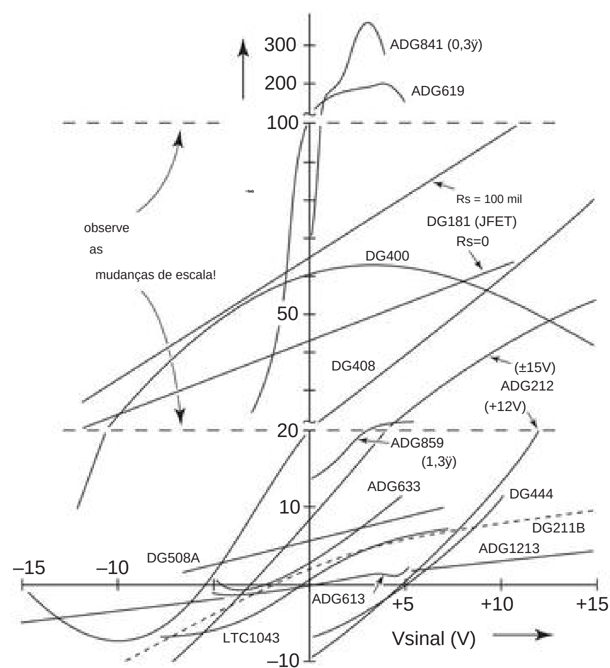


Figura 3.79. Transferência de carga para várias chaves lineares FET em função da tensão do sinal, retirada das respectivas folhas de dados.

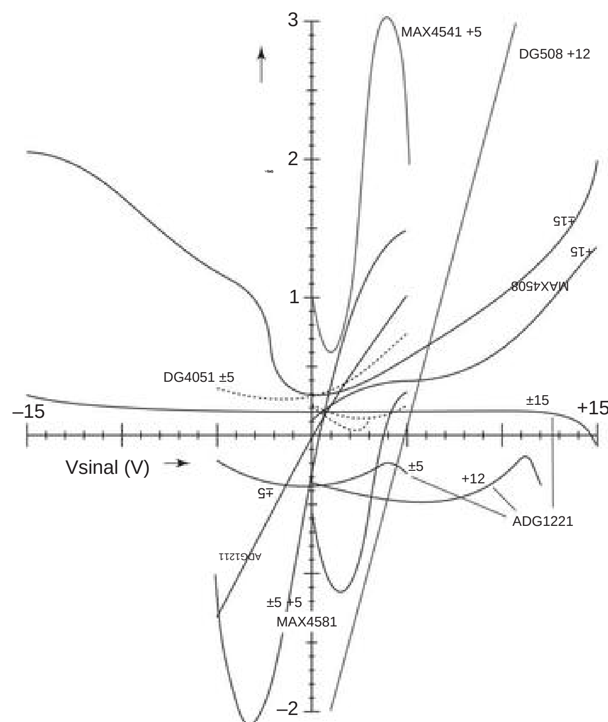


Figura 3.80. Precisa de um switch analógico com injeção de baixa carga? Aqui estão alguns candidatos, traçados em uma escala bastante ampliada. As três curvas pontilhadas são para o DG4051 com fontes de ±5V, +5V e +3V. Verifique a folha de dados para gráficos análogos para o comutador SPDT triplo DG4053.

A folha de dados dos dispositivos da série ADG1221 anuncia, em negrito, **"Baixa capacitância, baixa injeção de carga, ±15 V/+12 V iCMOS® Dual SPST Switches";** bastante bocado, mas bastante uma mudança!

Como era de se esperar, chaves com menor resistência ON geralmente exibem maior injeção de carga. A Figura 3.81 mostra essa tendência, em um gráfico de dispersão dos valores de folha de dados de Qinj versus RON para as chaves analógicas CMOS de baixa tensão atualmente oferecidas pela Analog Devices.

F. Outras limitações do interruptor

interruptor Algumas características adicionais dos interruptores analógicos que podem ou não ser importantes em qualquer aplicação são tempo de comutação, tempo de estabilização, atraso BBM, corrente de fuga do canal (ON e OFF), corrente quiescente do dispositivo, corrente de entrada durante sobretensão , correspondência de RON entre vários canais e coeficiente de temperatura de RON. Mostraremos moderação incomum encerrando a discussão neste ponto, deixando o leitor examinar esses detalhes quando a aplicação do circuito assim o exigir.

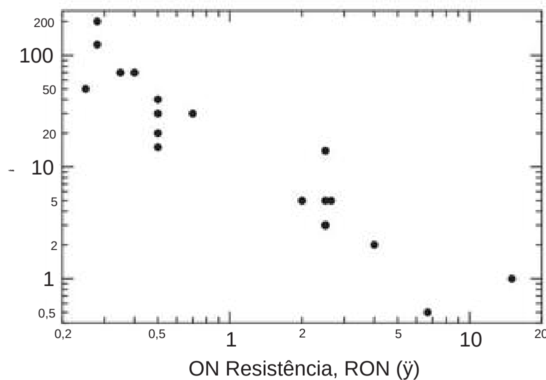


Figura 3.81. Gráfico de dispersão da injeção de carga especificada versus resistência ON para interruptores analógicos de baixa tensão da Analog Devices, ilustrando a compensação RON versus Qinj .

3.4.3 Alguns exemplos de chaves analógicas FET

Como indicamos anteriormente, muitas das aplicações naturais dos interruptores analógicos FET estão em circuitos de amplificadores operacionais, que trataremos no próximo capítulo. Nesta seção, mostramos algumas aplicações de switch que não requerem amplificadores operacionais, para dar uma ideia dos tipos de circuitos nos quais você pode usá-los.

A. Filtro passa -baixa RC selecionável A

Figura 3.82 mostra como você pode criar um filtro passa-baixa *RC* simples com pontos selecionáveis de 3 dB. Usamos um multiplexador para selecionar um dos quatro resistores predefinidos, usando um endereço de 2 bits (digital). Optamos por colocar a chave na entrada, e não depois dos resistores, porque há menos injeção de carga em um ponto de menor impedância de sinal. Uma outra possibilidade, é claro, é usar interruptores FET para selecionar o *capacitor.* Para gerar uma gama muito ampla de constantes de tempo, você pode ter que fazer isso, mas o RON finito do switch limitaria a atenuação em altas frequências, a um máximo de RON/ Rseries. Também indicamos um buffer de ganho unitário, seguindo o filtro, pois a impedância de saída é alta. Você verá como fazer seguidores "perfeitos" (ganho preciso, Zin alto, Zout baixo e sem compensações VBE , etc.) no próximo capítulo. Obviamente, se o amplificador que segue o filtro tiver alta impedância de entrada, você não precisará do buffer.

A Figura 3.83 mostra uma variação simples na qual usamos quatro chaves independentes, em vez de um multiplexador de 4 entradas. Com os resistores dimensionados conforme mostrado, você pode gerar 16 frequências de 3 dB igualmente espaçadas ativando combinações binárias das chaves.76

76 Uma maneira fácil de ver que as frequências de 3 dB são múltiplos inteiros da configuração mais baixa é reescrever f3dB em termos da *condutância* da resistência paralela *Rp* dos resistores selecionados:

$f_{3dB}=1/2\pi R_pC=G_p/2\pi C$. Então é fácil, porque a condutância dos resistores em paralelo é a soma de suas condutâncias individuais.
Portanto, para este circuito $f_{3dB}=nG_{80k}/2\pi C$=199n Hz, onde G_{80k}=12,5 µS, C=10 nF e *n* é o inteiro [1..15] representado pelas chaves selecionadas *An.*

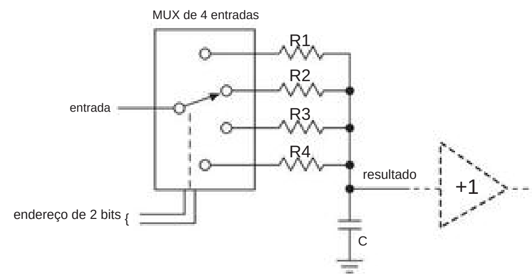


Figura 3.82. Filtro passa -baixa *RC* selecionável Analog-MUX .

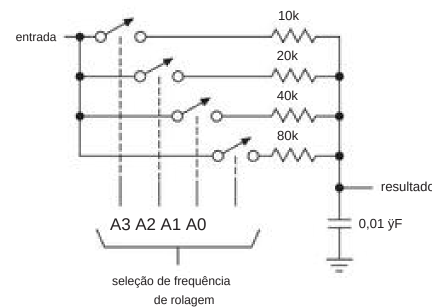


Figura 3.83. Filtro passa-baixo *RC* com escolha de 15 frequências de corte igualmente espaçadas.

Exercício 3.9. Quais são as frequências de 3 dB para este circuito? Estime a amplitude do glitch de comutação de ganho, assumindo uma especificação de injeção de carga de 20 pC, distribuída igualmente nos terminais de comutação de entrada e saída, e uma fonte de sinal de baixa impedância.

B. Amplificador de ganho selecionável A

Figura 3.84 mostra como você pode aplicar a mesma ideia de alternar resistores para produzir um amplificador de ganho selecionável. Embora essa ideia seja natural para amplificadores operacionais, podemos usá-la com o amplificador degenerado do emissor. Usamos um dissipador de corrente constante como carga do emissor para permitir ganhos muito menores que a unidade. Em seguida, usamos o multiplexador para selecionar um dos quatro resistores do emissor. Observe o capacitor de bloqueio, necessário para manter a corrente quiescente independente do ganho.

No Circuito A, o valor RON da chave faz parte da equação de ganho. Por outro lado, no Circuito B, a chave seleciona uma derivação do divisor de tensão e a apresenta a uma entrada de amplificador operacional de alta impedância, de modo que o RON da chave não afeta a precisão do ganho. Outros exemplos (mais complexos) dessa abordagem são encontrados nas Figuras 5.59, 5.62 e 5.80.

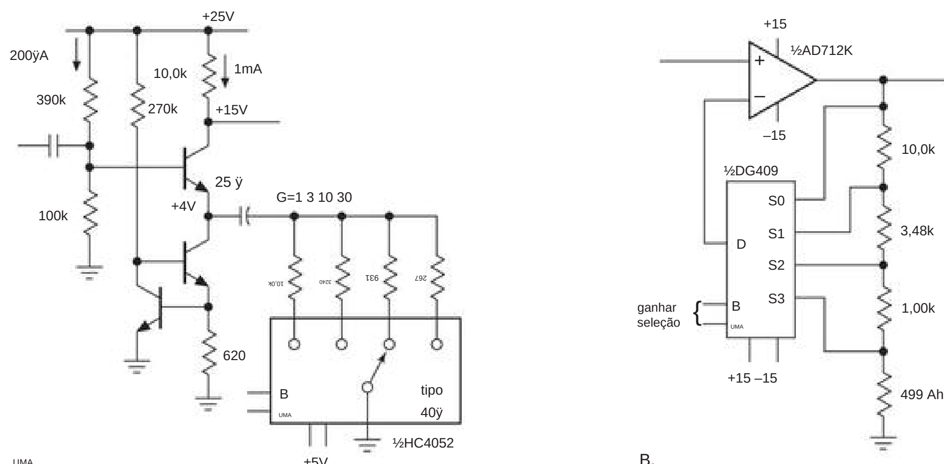


Figura 3.84. A. Um multiplexador analógico seleciona resistores de degeneração de emissor apropriados para obter ganho de década comutável. B. Uma técnica semelhante, mas com o versátil bloco de construção "op-amp" (o herói do Capítulo 4).

C. Sample-and-hold A

Figura 3.85 mostra como fazer um circuito "sample-and-hold" (S/H), que é útil quando você deseja converter um sinal analógico em um fluxo de quantidades digitais ("analog- para conversão digital") – você precisa manter cada nível analógico estável enquanto descobre o tamanho dele. O circuito é simples: um buffer de entrada de ganho unitário gera uma cópia de baixa impedância do sinal de entrada, forçando-o através de um pequeno capacitor.
Para manter o nível analógico a qualquer momento, basta abrir o interruptor. A alta impedância de entrada do segundo buffer (que deve ter transistores de entrada FET para manter a corrente de entrada próxima de zero) evita o carregamento do capacitor, então ele mantém sua tensão até que a chave FET seja novamente fechada.

Exercício 3.10. O buffer de entrada deve fornecer corrente para manter o capacitor seguindo um sinal variável. Calcular o pico do buffer corrente de saída quando o circuito é acionado por uma onda senoidal de entrada de 1 V de amplitude a 10 kHz.

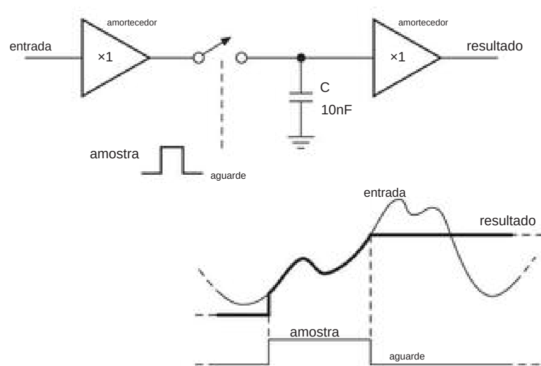


Figura 3.85. Sample-and-hold.

Você pode fazer consideravelmente melhor fechando um loop de realimentação em torno do circuito S/H; dê uma olhada em §4.5.2. Melhor ainda, compre um circuito integrado S/H completo (por exemplo, o AD783 tem um capacitor de retenção interno, ajusta para 0,01% em 0,25 e cai menos de 0,02 V/s) – deixe outra pessoa fazer o trabalho duro!

D. Conversor de tensão com capacitor flutuante

Esta é uma boa maneira (Figura 3.86) de gerar uma tensão de alimentação negativa necessária em um circuito alimentado por uma única alimentação positiva. O par de interruptores FET à esquerda conecta C1 através da alimentação positiva, carregando-o para Vin, enquanto os interruptores à direita são mantidos abertos.77 Em seguida, os interruptores de entrada são abertos e os interruptores à direita são fechados, conectando C1 carregado através da saída, transfira parte de sua carga para C2. Os interruptores são arranjados diabolicamente para que C1 seja virado de cabeça para baixo, gerando uma saída *negativa !* Este circuito particular, muitas vezes referido como um *conversor dc-dc de bomba de carga,* originou-se como o chip conversor de tensão In tersil 7660 e está amplamente disponível em variantes aprimoradas, incluindo versões de duplicação de tensão e versões reguladas. Você os encontra, também, como partes embutidas de circuitos integrados maiores que requerem alimentação dup

[77] O dispositivo denominado "inversor" transforma uma tensão lógica ALTA em uma tensão lógica BAIXA e vice-versa. Mostraremos como fazer um na próxima seção (e realmente o atualizaremos nos capítulos 10–14!).

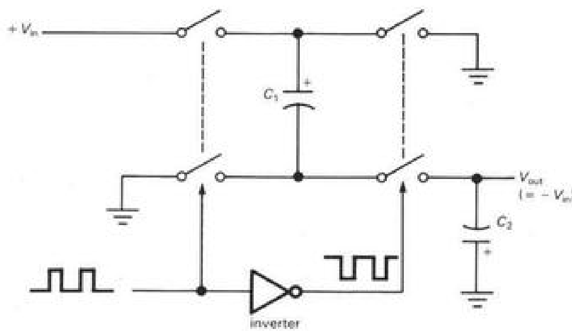


Figura 3.86. Inversor de tensão com capacitor flutuante.

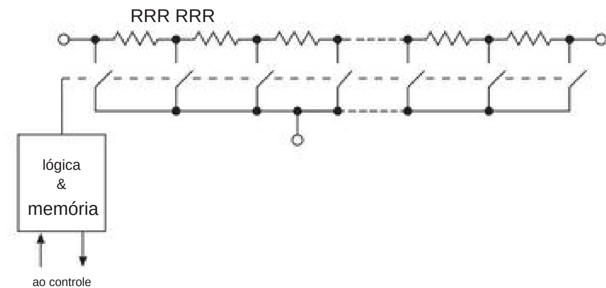


Figura 3.87. Um "potenciômetro digital" IC. A lógica digital interna ativa uma das *n* chaves analógicas para selecionar uma derivação ao longo da cadeia de nÿ1 resistores fixos.

voltagens, por exemplo, drivers de porta serial RS-232C. Visitaremos esses dispositivos com mais detalhes em §9.6.3.

E. Potenciômetro digital É bom poder girar um potenciômetro eletricamente – por exemplo, ajustar o controle de volume de uma televisão pelo "clicker" do controle remoto. Esse tipo de aplicação é comum, e a indústria de semicondutores respondeu com uma variedade de potenciômetros configuráveis eletricamente, também conhecidos como *POT,* ou *O EEPOT,* E [2]simplesmente *potenciômetro digital.* um pote digital consiste em uma longa cadeia de resistores, com uma matriz de interruptores FET que conectam o tap selecionado ao pino de saída (Figura 3.87); a torneira é selecionada por uma entrada digital (Capítulo 10 e seguintes).78 Potenciômetros digitais vêm em unidades simples, duplas e múltiplas; muitos têm memória "não volátil", para manter a posição do pote depois que a energia é desligada. Alguns têm taps não lineares, por exemplo, para controles de volume de áudio, para os quais é melhor ter tamanhos de passo iguais em decibéis (ou seja, cada passo produz o mesmo aumento *fracionário* na relação do divisor de tensão). Observe que, seja qual for a configuração, o RON do switch aparece como uma resistência em série no pino de saída ("wiper").

Como exemplo, o site Analog Devices lista cerca de 50 potenciômetros digitais, com 32 a 1024 passos (os modelos de 256 passos parecem ser os mais populares) e com um a seis canais (simples e duplos parecem mais populares); eles usam uma conexão de dados serial (são necessários apenas dois ou três pinos, independentemente do comprimento dos dados de controle) e custam em média US$ 1 (quantidade de 1.000 peças). A seleção de Maxim/ Dallas inclui unidades lineares e de cone logarítmico (o termo *cone* é anterior aos potenciômetros digitais e refere-se à característica de resistência versus rotação do eixo de um potenciômetro; o cone logarítmico é para aplicações de áudio), novamente em unidades simples e múltiplas, e com até 1024 passos por unidade. E no final da tabela de seleção da In tersil, depois de todos os habituais potes digitais, você até mesmo encontrar *capacitores* digitais ![79]

3.4.4 Interruptores lógicos MOSFET

Os *outros* tipos de aplicações de comutação FET são circuitos *lógicos* e *de comutação de energia .* A distinção é simples: na comutação de sinal de log ana, você usa um FET como um comutador em série, passando ou bloqueando um sinal que tenha alguma faixa de tensão de log ana. O sinal analógico é geralmente um sinal de baixo nível em níveis de potência insignificantes. Na comutação lógica, por outro lado, os interruptores MOSFET abrem e fecham para gerar oscilações completas entre as tensões da fonte de alimentação. Os "sinais" aqui são realmente digitais, ao invés de analógicos – eles oscilam entre as tensões da fonte de alimentação, representando os dois estados ALTO e BAIXO. Tensões intermediárias não são úteis ou desejáveis; na verdade, eles nem são *legais!* Finalmente, "comutação de energia" refere-se a ligar ou desligar a energia de uma carga, como uma lâmpada, bobina de relé ou enrolamento de motor; nessas aplicações, tanto as tensões quanto as correntes tendem a ser grandes. Vamos considerar a comutação lógica primeiro.

A Figura 3.88 mostra o tipo mais simples de comutação lógica com MOSFETs: ambos os circuitos usam um resistor como carga e executam a função lógica de *inversão* – uma entrada em ALTO gera uma saída em BAIXO e vice-versa. A versão do canal n puxa a saída para o aterramento quando o portão vai para o nível ALTO, enquanto a versão do canal p puxa o resistor para o nível ALTO para a entrada aterrada (BAIXA) . Observe que os MOSFETs nesses circuitos são usados como inversores de fonte comum em vez de seguidores de fonte. Em circuitos lógicos digitais como esses, geralmente estamos interessados na tensão de saída ("nível lógico") produzida por uma determinada tensão de entrada; o resistor serve apenas

[78] Existem duas variedades aqui: uma usa um protocolo de dados digitais seriais, para que a posição de tap desejada possa ser enviada, como um número, de um microprocessador de controle; o outro tipo tem pinos UP e DOWN , com memória interna para manter a posição atual do tap.

[79] O truque do resistor com derivação é usado em conversores digital-analógico (consulte §13.2.1) e muitos ADCs usam capacitores digitais (consulte §13.7.

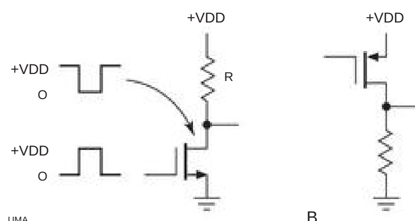


Figura 3.88. Inversores lógicos nMOS e pMOS, com “pullups” resistivos.

como uma carga de dreno passiva, para fazer a saída oscilar para o suprimento de dreno quando o FET estiver desligado. Se, por outro lado, substituirmos o resistor por uma lâmpada, relé, martelo de cabeça de impressão ou alguma outra carga pesada, teremos uma aplicação de comutação de energia (Figura 3.3). Embora estejamos usando o mesmo circuito “inversor”, na aplicação de chaveamento de energia estamos interessados em ligar e desligar a carga.

A. Inversor CMOS Os

inversores nMOS e pMOS dos circuitos anteriores têm a desvantagem de consumir corrente no estado ON e ter uma impedância de saída relativamente alta no estado OFF . Você pode reduzir a impedância de saída (reduzindo R), mas apenas à custa de maior dissipação e vice-versa. Exceto para fontes de corrente, é claro, nunca é uma boa ideia ter alta impedância de saída. Mesmo que a carga pretendida seja de alta impedância (outro portão MOSFET, por exemplo), você está convidando a problemas de captação de ruído capacitivo e sofrerá velocidades de comutação reduzidas para a borda ON-para-OFF (“rasto”) (devido à ca pacitância de carregamento disperso). Neste caso, por exemplo, o inversor nMOS com um valor de comprometimento do resistor de drenagem, digamos 10k, produziria a forma de onda mostrada na Figura 3.89.

A situação é reminiscente do seguidor de emissor de terminação única em §2.4.1, no qual a dissipação de energia quiescente e a energia entregue à carga estavam envolvidas em um compromisso semelhante. A solução aqui – a configuração push-pull – é particularmente adequada para comutação de MOSFET.
Veja a Figura 3.90, que você pode imaginar como uma chave push pull: a entrada no terra corta o transistor inferior e liga o transistor superior, colocando a saída em nível ALTO. Uma entrada HIGH (+VDD) faz o inverso, puxando a saída para o terra. É um inversor com baixa impedância de saída em *ambos os* estados e sem corrente quiescente. É chamado de inversor CMOS (MOS complementar) e é a estrutura básica de toda a lógica CMOS digital, a família lógica que se tornou universal em circuitos integrados de escala grande e muito grande (LSI, VLSI) e substituiu amplamente famílias lógicas (com nomes como lógica transistor-transistor,

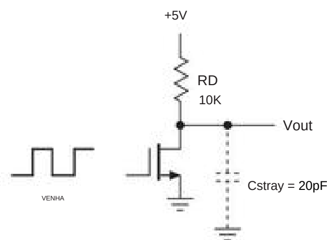


Figura 3.89. A alta impedância de desligamento no inversor nMOS causa longos tempos de subida e suscetibilidade a ruído acoplado capacitivamente.

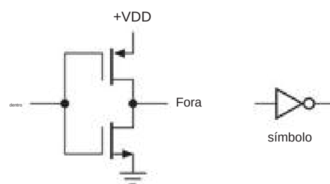


Figura 3.90. Inversor lógico CMOS e símbolo de circuito.

TTL) baseado em transistores bipolares. Observe que o inversor CMOS é composto por duas chaves MOSFET complementares *em série,* habilitadas alternadamente, enquanto a chave analógica CMOS (tratada anteriormente no capítulo) é composta por duas chaves MOS FET complementares *em paralelo,* habilitadas simultaneamente.

Exercício 3.11. Os transistores MOS complementares no inversor CMOS estão operando como inversores de fonte comum, enquanto os transistores bipolares complementares nos circuitos push-pull de §2.4.1 (por exemplo, Figura 2.69) são seguidores de emissor (não inversores). Tente desenhar um “inversor BJT complementar” análogo ao inversor CMOS. Por que não vai funcionar?

B. Portas CMOS

Veremos muito mais sobre CMOS digital nos capítulos sobre lógica digital e microprocessadores (Capítulos 10–14). Por enquanto, deve ser evidente que o CMOS é uma família lógica de baixa potência (com potência quiescente *zero)* com entradas de alta impedância e com saídas rígidas que oscilam em toda a faixa de alimentação. Antes de deixar o assunto, no entanto, não resistimos à tentação de mostrar a você um CMOS adicional

circuito (Figura 3.91). Esta é uma *porta* NAND lógica , cuja saída vai para nível BAIXO somente se a entrada A *e* a entrada B forem ambas ALTO.

A operação é surpreendentemente fácil de entender: se A e B estiverem ambos em nível ALTO, as chaves nMOS da série Q1 e Q2 estarão ambas LIGADAS, puxando a saída rigidamente para o terra; Os interruptores pMOS Q3 e Q4 cooperam estando DESLIGADOS; assim, nenhuma corrente flui.

No entanto, se A ou B (ou ambos) estiver em nível BAIXO, o transistor pMOS correspondente estará LIGADO, puxando a saída para ALTO; uma vez que um (ou ambos) da cadeia em série *Q1Q2* está DESLIGADO, nenhuma corrente flui.

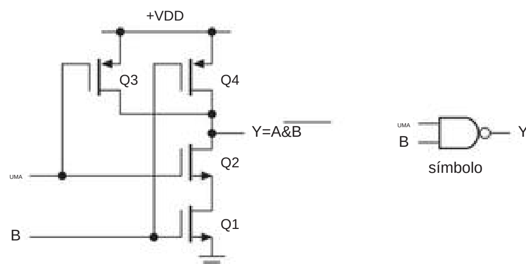


Figura 3.91. Porta CMOS NAND e símbolo de circuito.

Isso é chamado de porta NAND porque executa a função lógica AND , mas com saída invertida ("NOT") – é um NOT–AND, abreviado como NAND. Embora os portões e suas variantes sejam propriamente um assunto para o Capítulo 10, você terá prazer em tentar resolver os seguintes problemas.

Exercício 3.12. Desenhe uma porta CMOS AND . *Dica:* E = NÃO NAND.

Exercício 3.13. Desenhe uma porta NOR : a saída é nível BAIXO se A *ou* B (ou ambos) for nível ALTO.

Exercício 3.14. Você adivinhou - desenhe um portão CMOS OR .

Exercício 3.15. Desenhe uma porta CMOS NAND de 3 entradas.

A lógica digital CMOS que veremos mais tarde é construída a partir de combinações dessas portas básicas. A combinação de dissipação de potência muito baixa e oscilação de saída rígida de trilho a trilho torna a lógica CMOS a família de escolha para a maioria dos circuitos digitais, respondendo por sua popularidade. Além disso, para circuitos de micropotência (como relógios de pulso e pequenos instrumentos movidos a bateria), é o único jogo em

Cidade.

Para que não deixemos a impressão errada, no entanto, vale a pena notar que a lógica CMOS não é de energia *zero* . Existem dois mecanismos de dreno de corrente: (a) Durante as transições, uma saída CMOS deve fornecer uma corrente transitória *I* = CdV/dt para carregar qualquer capacitância que encontrar (Figura 3.92). Você obtém capacitância de carga tanto da fiação (capacitância "perdida") quanto da capacitância de entrada do ad-

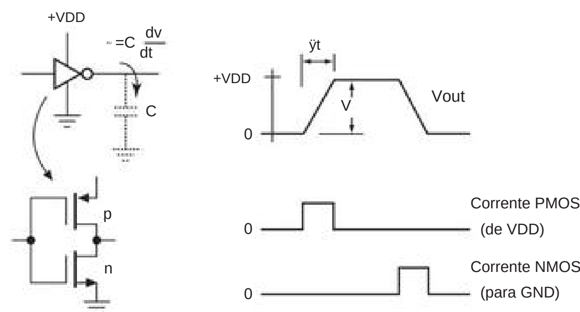


Figura 3.92. Corrente de carga capacitiva. A corrente de alimentação média é proporcional à taxa de comutação e é igual *a CV f* .

lógica tradicional que você está dirigindo. Na verdade, como um chip CMOS complicado contém muitos portões internos, cada um conduzindo alguma capacitância interna do chip, há alguma perda de corrente em qualquer circuito CMOS que esteja fazendo transições, mesmo que o chip não esteja conduzindo nenhuma carga externa. Não surpreendentemente, esse dreno de corrente "dinâmico" é proporcional à taxa na qual as transições ocorrem.

(b) O segundo mecanismo de dreno de corrente do CMOS é mostrado na Figura 3.93: conforme a entrada salta entre a tensão de alimentação e o terra, há uma região onde ambos os MOSFETs estão conduzindo, resultando em grandes picos de corrente do VDD para o terra. Isso às vezes é chamado de "corrente de classe A", "disparo" ou "pé-de-cabra da fonte de alimentação".

Você verá algumas consequências disso nos capítulos 10–12.

Já que estamos descartando o CMOS, devemos mencionar que uma desvantagem adicional do CMOS (e, de fato, do

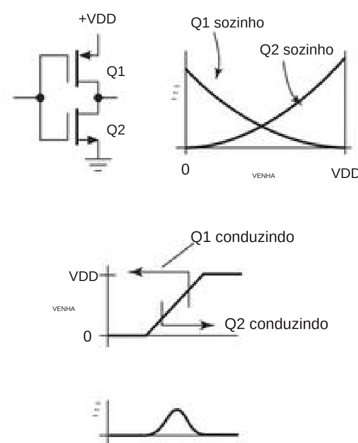


Figura 3.93. Quando a tensão da porta de entrada de um inversor CMOS é intermediária entre VDD e terra, ambos os MOSFETs estão conduzindo parcialmente, causando "condução classe A", também conhecida como corrente "disparada".

todos os MOSFETs) é sua vulnerabilidade a danos causados por eletricidade estática. Teremos mais a dizer sobre isso em §3.5.4H.

3.5 MOSFETs de potência

MOSFETs funcionam bem como interruptores saturados, como sugerimos com nosso circuito simples em §3.1.1B. Os Power MOS FETs agora estão disponíveis em muitos fabricantes, tornando as vantagens dos MOSFETs (alta impedância de entrada, fácil paralelismo, ausência de "segundo colapso") aplicáveis aos circuitos de energia. De um modo geral, os MOSFETs de potência são mais fáceis de usar do que os transistores de potência bipolares convencionais.
No entanto, existem alguns efeitos sutis a serem considerados, e a substituição descuidada de MOSFETs em aplicativos de comutação pode levar a um desastre imediato. Visitamos as cenas de tais desastres e esperamos evitar que se repitam. Continue lendo para nosso prático tour guiado.

Os FETs eram dispositivos fracos de baixa corrente, mal capazes de operar mais do que algumas dezenas de miliamperes, até o final da década de 1970, quando os japoneses introduziram os transistores MOS de "ranhura vertical". MOSFETs de potência são agora fabricados por todos os fabricantes de semicondutores discretos (por exemplo, Diodes-Inc, Fairchild, Intersil, IR, ON Semiconductor, Siliconix, Su pertex, TI, Vishay e Zetex, junto com empresas européias como Amperex, Ferranti , Infineon, NXP e ST, e muitas das empresas japonesas, como Renesas e Toshiba); eles são chamados, variadamente, VMOS, TMOS, vertical DMOS e HEXFET. Mesmo em pacotes de potência de transistores convencionais, como TO-220, TO-247 e D-PAK, eles podem lidar com tensões surpreendentemente altas (até 1500 V ou mais) e correntes de pico acima de 1000 amperes (correntes contínuas de 200 A), com RON abaixo de 0,001 ÿ. Os MOSFETs de pequena potência são vendidos por muito menos de um dólar e estão disponíveis em todos os pacotes usuais de transistores. Você também pode obter arrays (múltiplos MOSFETs) em pacotes IC multipinos padrão, como o tradicional pacote dual in-line (DIP) e as variedades menores de montagem em superfície, como SOT-23, SOIC e TSOP. Ironicamente, agora são MOSFETs discretos *de baixo nível* que são difíceis de encontrar, não havendo escassez de MOSFETs de potência; A Tabela 3.4a na página 188 lista uma seleção de pequenos MOSFETs de canal n até 250 V, a Tabela 3.4b nas páginas 189–191 lista outros tamanhos e tensões de MOSFET de canal n e a Tabela 3.6 na página 210 tem uma boa seleção de depleção MOSFETs de potência no modo -mode. Existem tipos adicionais listados nas tabelas de MOSFET no Capítulo *3x.*

3.5.1 Alta impedância, estabilidade térmica

Duas vantagens importantes do MOSFET de potência em comparação com o transistor de potência bipolar são (a) sua impedância de entrada extremamente alta (essencialmente infinita em CC), e (b) sua estabilidade térmica inerente. Por mais simples que pareçam, há mais a dizer e alguns cuidados importantes.

A. Impedância de entrada

Em primeiro lugar, a impedância de entrada "infinita" se mantém apenas em CC por causa da capacitância de entrada substancial, que pode chegar a 1.000–10.000 pF em MOSFETs de potência típicos. Além disso, para aplicações de *comutação ,* você também deve se preocupar com a capacitância de realimentação, ou seja, capacitância dreno-porta (também chamada *de capacitância de transferência reversa,* Crss), porque o efeito Miller (§2.4.5) aumenta o valor efetivo pelo Ganho de tensão. Em §3.5.4, discutiremos isso mais detalhadamente e exibiremos algumas formas de onda mostrando como o efeito Miller luta contra seus esforços para provocar uma comutação rápida. Indo direto ao ponto , você pode ter que fornecer vários *ampères* de corrente de acionamento do gate para comutar cargas de energia em dezenas de nanossegundos que os MOSFETs podem alcançar inerentemente – dificilmente as características de um dispositivo d

B. Estabilidade térmica

Em segundo lugar, existem dois mecanismos que afetam a estabilidade térmica em MOSFETs, ou seja, um aumento em RON com o aumento da temperatura e, *apenas na extremidade mais alta da corrente de dreno do transistor,* uma diminuição na corrente de dreno (em VGS constante) com o aumento da temperatura; ver Figura 3.14 e Figuras 3.115, e 3.116 em §3.6.3. Este último efeito é muito importante em circuitos de potência e vale a pena entender: a grande área de junção de um transistor de potência (seja BJT ou FET) pode ser considerada como um grande número de pequenas junções em paralelo (Figura 3.94), todas com a mesmas tensões aplicadas. No caso de um transistor de potência bipolar, o coeficiente de temperatura positivo da corrente de coletor em VBE fixo (aproximadamente +9%/ÿC, consulte §2.3) significa que um ponto quente local na junção terá uma densidade de corrente mais alta, produzindo assim aquecimento adicional. Em VCE e IC suficientemente altos , esta "corrente excessiva" pode causar fuga térmica local. Como resultado, os transistores de potência bipolares são limitados a uma "área de operação segura" (em um gráfico de corrente de coletor versus tensão de coletor) menor do que aquela permitida apenas pela dissipação de potência do transistor. O ponto importante aqui é que o coeficiente de temperatura *negativo* da corrente de dreno MOS, ao operar em correntes relativamente altas, evita totalmente esses pontos quentes de junção. Os MOSFETs também não têm uma segunda quebra, e sua área de operação segura (SOA) é limitada apenas pela dissipação de energia (consulte a Figura 3.95, onde comparamos os SOAs de um *npn* e um transistor de potência nMOS do mesmo Imax, Vmax e Pdis). Esta é uma das razões pelas quais os MOSFETs são preferidos em aplicações de potência linear, como amplificadores de potência de áudio.

Tabela 3.4a MOSFETs — Pequeno canal n (para 250 V) e canal p (para 100 V)

pequeno canal n para 250V

canal p para 100V

tipo nMOS pacote p VDSS PDc (V) (W) identidades (UMA) RDSr @VGS (mÿ) (V) (nCt) QGs Ciss (pFt Costq) ($US)

ZVN4424 TO-92 BSP89 240 0,7 0,3 4,3ÿ 2,5 8 110 0,85
SOT-223 240 1,5 0,4 2,8ÿ 10 ZVNL120 TO-92 BS107A TO-92 – 100 0,48
200 0,7 0,2 6ÿ 3 2 200 0,4 0,2 5ÿ 10 55 0,53 60
– – 0,31 FA
SOT-223 200 2,2 0,7 1,0ÿ 4,5 4 240 0,34 pg Today-223 100 2 1,2 300 5 4,6 220 0,37
ZXMN10A08E Today-23 1,1 0,6 200 10 7,85 0,57 ZXMNS SOT-223 100 2 1.5 200 7. 0,48
60 0,4 0,1 7,5ÿ 10 <60 0,36 60 0,7 0,2 6,6ÿ 5 1,1 48 **0,18** rhu002n06t Today-323 60 0,2 0,1 2,8ÿ
4 1 15 0,21 2N7000 to-92 20 **0,17** 60 0,2 0,2 0,9 20 **0,16** 2N7002W ST-ST-223 0,1 2,5ÿ 4,5 0,7
VN2222LL TO-92 – 25 **0,15** 60 0,36 0,20 1,3ÿ 4,5 0,8 80 **0,27**
VN10KN3 TO-92 –
60 0,4 0,2 2,5ÿ 5 1
2N7002 HOJE-23
NDS7002A SOT-23
Si1330EDL SOT-323 60 0,18 0,15 1,4ÿ 4,5 0,4 – 0,38
BSS138 SOT-23 50 0,36 0,25 1,0ÿ 4,5 0,95 27 **0,15** 60 0,7 0,3 800 10 1,5
ZVN2106A TO-92 75 0,49 60 0,85 1,0 320 5 3,5 350 1,11 NDT3055 SOT-223
ZVN4306A TO-92 60 3 1,7 84 10 9 250 0,34 PHT8N06LT SOT-223 40 5,3 5z
5z 5z 5 5. 1,0 7 10 4,5 29 3400 0,76 2SK3018 SOT-323 30 0,2 0,05 5ÿ 4 13 0,20 FDV303N
SOT-23 25 0,35 0,4 330 2,7 1,1 50 **0,23** 110 0,25 30 0,5 1,0 105 3,5 3,5 195 **0,29** 30 0,23 70
IRF7470 SO-8 0,25 4,5 0,5 1,0 105 3,5 3,5 0,5 1,0 105 3,5 3,5 195 0,50
SOT-223 30 1,3 4 55 4,5 10,7 500 0,60 ntr4170n SOT-23 30 0,8 2 50 4,5 4,8 430 0,52 2U
445 0,39 PMV40UN SOT-23 30 1,9 NDT451AN SOT-223 30 3 11 4,5 20 320 2,3 0,1,3
IRLML2030 SOT-23 30 1,3 0,9 123 4,5 1 NDS355AN SOT-23 FDN337N 26 2,5 5 650
SOT-23 0,30 NTMS4800N SO-8 IRF7807Z SO-8 FDS6680A SO-8
FDS8817NZ SO-8
30 0,75 5 20 4,5 7,7 940 0,22
30 2,5 10 14,5 4,5 7,2 770 0,61 30 1,0 7 10 4,5 16 1600
0,68 30 2,5 10 7 4,5 17 1600 0,30 0,75 20 0,5 0,8 150 2,7 2,2
NDS331N SOT-23
FDG327NZ SC70-6 20 0,42 1,2 90 1,8 2,1 410 0,40
IRLML2502 SOT-23 20 1,25 1,25 50 2,5 5 740 **0,30** 20 0,8 2u 35 1,8 3,8 870
Si2312CDS SOT-23 0,28 20 0,8 2v 30 2,5 3,8 770 **0,40** 20 2,5 15 2,1 2,5 130
Si2312BDS SOT-23 8600 1,06
IRF6201 SO-8

Notas: (*) igual à linha acima. (b) BJT para comparação. (c) Pdiss para Tcase=25ºC. (m) máx. (p) o I2-PAK (TO-262) é uma peça stand-up "serrada TO-220" com passo de 0,1" (três derivações mais aba), enquanto o D2-PAK (TO-263) é um SMT versão (2 derivações mais aba); o I-PAK (TO-251) é uma versão menor do I2-PAK (isto é, vertical, 3 derivações mais aba, passo de 0,09"), com seu correspondente D-PAK (TO-252) Versão SMT (2 derivações mais aba). (q) quantidade 100; peças baratas de "jellybean" são indicadas em negrito. (r) Tipo RDS para TJ=25°C, multiplique por 1,5 se estiver quente; O valor de BJT é para IB=0,3A. (s) carga total do portão para VGS; perda de comutação = QGVGSf. (t) típico. (u) com PCB de cobre de 6 cm2. (v) com cobre PCB de 0,4 cm2. (x) peça de montagem em superfície ou SMT disponível se for indicado o furo passante (por exemplo, TO-92 ou TO-220). (y) estimativa conservadora de referência, mudança saturada em VGS, Tcase=70ºC. (z) com cobre PCB de 2–5 cm2; adicione dissipador de calor para maior corrente.

tipo pMOS pacote p VDSS PDc (V) (W) identidades (UMA) RDSr @VGS (mÿ) (V) (nCt) QGs Ciss (pFt Costq) ($US)

pequena
FQT5P10 SOT-223 100 2 VP0106N3 0,5 820 10 6,3 190 0,38
TO-92 60 0,7 BS250P TO-92 – 45 0,7 0,2 8ÿ 5 0,5 45 0,55
ZVP2106A TO-92 60 0,7 50 0,3 60 0,4 0,2 9 horas 10 - 60 **0,61**
25 0,4 0,25 3ÿ 10 1,8 100 0,61
BSS84 SOT-23 0,13 3ÿ 5 1 **0,26** 1,3ÿ 4,5 0,8 259 **0,27** 1,2ÿ
NDS0605 HOJE-23 0,18 2,7 0,75 63 **0,27**
FDV304P SOT-23 0,3
FDN358P HOJE-23 30 0,5 1,5 161 4,5 4 182 0,34
ZXMP4A16G SOT-223 40 2 3 83 4,5 14 1000 0,93 **0,37** **0,13**
IRF7205 SO-8 – 30 2,5 3 60 10 27 870
NTR4171P SOT-23 30 0,5 1,5 60 4,5 16 720
DMP4050 SO-8 40 1.6 3 55 4,5 6,9 670 0,54
Si4435DDY SO-8 30 2,5 IRF7424 SO-8 30 6 28 4,5 15 1350 **0,53** 20 4,5 75 4000
2,5 Si4463DY SO-8 30 3 LP0701N3 TO-92 7 0,73 13 2,5 28 5800 1,03
16,5 1 7z
– 0,4 1,7ÿ 3 1,6 120 0,82
ZXM61P02F SOT-23 20 0,6 20 0,5 550 2,7 1,8 150 0,29 350 2,7 2,4 195
NDS332P SOT-23 0,5 20 1,3 0,7 **0,30** 80 2,5 5 630 **0,33** 70 2,7 5,5 10
IRLML6402 SOT-23 2,2 0,42
SI3443DV TSOP-6 20 2 3,4
Si2315BDS SOT-23 20 0,57 20 2.1 71 1,8 8 715 **0,43** 11 2,5 53
FDS6575 SO-8 1,5 20 2,8 6z 4950 1,19 14 2,5 5,5 1100 1,96
CSD25401 FILHO IRLML6401 8z
SOT-23 12 1,3 IRF7702 TSSOP-8 IRF7420 12 1,5 2 125 1,8 6 830 0,19 15 2,5 30 3500
SO-8 IRF7410G SO-8 IRF7210 SO-8 6 0,90
12 2.5 8 15 2,5 24 3500 0,66
12 2.5 12 8 2,5 55 8700 **0,97**
12 2.5 10 7 2,5 115 17200 **1.03**
ampla
IRF9540 TO-220 100 150 – 19 120 10 40 1400 **2,20**
IRF9540N TO-220 140 – * 20 110 60 1300 **1,28** * 120 10 38 1400
IRFP9140 TO-247 100 180 – 19
IRFP9140N TO-247 140 – * 18 111 * 60 1300 **1,42**
IRF5210 TO-220 100 200 – 25 50 10 115 2700 1,93
IXTR90P10P TO-247 100 190 – 55 20 10 120 5800 8,10 10 10 240
IXTK170P10 TO-264 100 890 – 130 12600 14,20 19,37 158 4,5 7 450
IXTN170P10 TODAY-227 – 170 0,75
SUD08P06 DPak 60 25 60 2z 155 10 14 500 0,45 **0,69** 80b 0,64
NTD2955G DPak 55 2z 140 10 13 420 0,61 1425 **9235**
NTP2955 TO-220 * 62 – 11
MJE2955b TO-220 60 75 – –
FQB11P06 D2Pak 60 53
FQP27P06 TO-220 60 120 –
FQB27P06 D2Pak ** * ** *
IRF4905 TO-220 200 55 – 2z19 5z50 16 10 120 3400
STB80PF55 D2Pak 55 2.4 7 16 10 190 5500 2,53
STP80PF55 TO-220 – * 300 55 1,78
SUM55P06 D2Pak 60 125 7z 15 10 76 3500 2,75
IRF9Z34 TO-220 55 – 68 60 – 15 10 10 23 620 **0,97** 9 4,5 90 9200
SUP90P06 TO-220 250 55 – 250 90 3,06 8 10 140 8500 5,42 5,5 10 175
SUP75P05 TO-220 250 75 6800 1,89
IRFP064V TO-247 – 80
IRF9204 TO-220 – 40 143 35 20 4,5 150 7700 1,47
MTP50P03HDL TO-220 – 30 125 35 30 20 5 74 3500 3,37 14 4,5 25 2400
FDD6637 DPak 57 187 7z 0,71 5,5 10 140 9000 1,91
SUP75P03 TO-220 30 – 75
IPB80P03P4L-04 D2Pak 30 137 16 4,7 4,5 60 8700 1,02

Esta tabela mostra os MOSFETs representativos selecionados. A coluna nMOS esquerda lista TO-92 e pequenas montagens em superfície. A coluna direita lista todas as peças. pMOS 100 V. Listas para cima são As partes das classificado diminuindo a especificação do switch, RDS(ON) · Ignorar com peças inadequadas VDSS, e avaliar com partes a Boa trocar EU IRIA especificações margens. Estude planilhas de dados de candidatos para viabilidade. Amplificadores e reguladores lineares dependem de sobre a DP especificação. Mas RÿJC=125ÿC/PD , e a junção será temp *TJ=TA+PD(RÿJC+RÿJA)* , onde o último é o os termos caminho térmico do dissipador de calor. Ambos Rÿ termos variam amplamente para pacotes diferentes, os e a DP é útil apenas porque você descobre que a alta tensão tem um contexto mais baixo. especificação de peças pode RÿJC .

Tabela 3.4b MOSFETs de potência de canal n, 55V a 4500Va (página 1 de 3)

Identificação (VGS=10V)

Carregar v.s s

Capacitâncias,s2 (VDS=25Vk)

VDSS c 25ºC Pdiss

RDS(ligado) às

QG QGD Ciss Coss Crss tipo tipo

RӱJC tipr max

VDS

tipo tipo tipo (nC)t (nC)t (pF) (pF) (pF)

Custoq

ano de introdução

Parte #k Pacotep (V) (W) (A) (A) (A) (ºC/W) (mӱ) (mӱ) (V) US $

2,5 a 4,5 kV

IXTT02N450 TO-268 Ix - 4500 113 0,6 0,2 0,14 1,1 480ӱ 625ӱ 10 - - 10,6 5,5 246 19 5,8 17,05 2013 0,8 0,24

IXTT1N450HV TO-268HV Ix - 4500 520 3 72ӱ 85ӱ 10 - - 40 20 1730 78 28 28,67 2013 1,3 0,56 16ӱ 20ӱ 10 - - 180 83 6860 267 105 88,80 9,3522 2012

IXTL2N450 i5-Pak Ix - 4500 220 8 1 2

IXTH02N250 TO-247 Ix - 2500 83 0,6 0,2 0,14 1,5 385ӱ 450ӱ 10 - - 7,4 5,3 116 8 3

1500V

2SK1317 TO-3P R - 1500 100 7 2,5 1,5 1,25 9000 12000 10 - - - - 990 125 60 5,46 2004 10 2,5 1,6 0,89 6000

STP3N150 TO-220 ST - 1500 140 9000 10 - - 29,3 17 939 102 13,2 4,64 2008 12 4 2,5 0,78 5000 7000 10 - - 30 9 1300 120 12 4,15 2003 24 6 4 0,23 2905

STP4N150 TO-220 ST - 1500 160 3500 10 10 - 67 3630303030 170 64 6.07 2010

IXTH6N150 TO-247 Ix - 1500 540

1200V

IXTY02N120 D-Pak Ix • 1200 33 0,6 0,2 0,2 3,80 60ӱ 75ӱ 10 - - 4,7 3,2 104 1,8 0,7 2 16ӱ 20ӱ 10 - - 17,6 10,6 550 8.6 1,9 2,92 2009 25 5,4 2,46

IXTP1N120P TO-220 Ix - 1200 63 1 2007 IXTP3N120 TO -220 IX -

1200 200 12 3 2,5 0,62 3735 4500 10 - - 42 21 1100 110 40 4,15 2003 STH6N-120 TO-220 ST - 1200 1,00 2006 28 5 1050 90 TO-2640 IX-1200 960 60 2,2 1,3 2007 3303 3,8
2007

IXFN32N120 SOT -227 IX - 1200 780 128 32 20 0,16 290 350 10 - - 400 188 15900 1000 260 27,15 2001 CMF20120DX TO -247 CR - 1200 215 100 20 - - 91 43 1915 120 13 32.05

2011 2011 2011 90 42 24 0,44 80

800-1000V

IXTY01N100 D-Pak Ix - 1000 25 IXTA05N100 D-Pak 0,4 0,1 0,1 5 60ӱ 80ӱ 10 - - 6,9 3 54 6.9 2 0,93 2004 3

Ix • 1000 40 IXTP1N100 TO-220 Ix - 1000 54 0,75 0,5 3,1 15th 17th 10 - - 7,8 4,1 260 22 8 1,68 2006 6 1,5 0,9 2,3 8300 11000 10 - - 14,5 7,5 4,5

FQD2N100 D-Pak F • 1000 50 STD2NK100Z D-Pak 400 40 ... (sobreposto, ilegível)

ST • 1000 70 STP2NK100Z 2 TO-2NK100Z 0 I00 10 • - 42 22 1154 106 21 ... (sobreposto, ilegível)

STB 2 TO-200Z 7 TO-2NK100Z -220 IR - 1000 54 0,35 2004 ** ** 0,75 2004 ** ** 0,64 2004 1,2 3 2400 2700 10 - - 12 6 290 130 6 1,04 2005 26 6 ... (sobreposto)

IRFBG30 TO-220 IR - 1000 125 STP5NK100Z TO-220 7,1 0,8 390 450 10 - - 50 25 1600 800 40 2,72 2003

ST - 1000 125 FQA8N100 TO-3P F - 1000 225

IXTX24N100 TO-247 Ix - 1000 568 FQP9N90C

TO-2020 F - 1000 568 FQP9N90C TO-200 F0 800 45

STQ1NK80 TO-92 ST - 800 3 STN1NK80 SOT-223

ST • 800 2,5 STD1NK80 DPak ST • 800 45 - 800 42

4 1 0,63 2,78 15000 20000 10 - - 5,5 3,3 150 5 0,25 0,16 40 13000 16000 10 • - 7,7

4,5 160 5 5 6

* * 50 * *

* * 2,78 * *

SPP02N80C3 TO-220 Inf 2

FQP7N80C TO-220 F - 800 167 11 10

SPP11N80C3 TO-220 - 800 156

Notas: (a) ordenada por grupos de tensão, seguida por RDS(on) descendente; peças com classificação abaixo de 55V não estão incluídas; muitos MOSFETs têm um esquema de número de peça alfanumérico, por exemplo, 10N60, onde 10 é a capacidade de corrente contínua, N significa canal n e o último número é VDSS/10, então 60 significa 600 volts; para essas peças, uma letra de prefixo geralmente indica o tipo de pacote. **(*)** igual à linha acima. **(b)** a corrente contínua máxima com Tc = 25ºC (manifestamente impossível), assumindo TJ = 150ºC; em alguns casos, a corrente é limitada pelo pacote (fios de ligação). **(c)** Pdiss para Tcase=25ºC da folha de dados. **(e)** em TJ = 25ºC. **(k)** as peças em itálico possuem tecnologia de super-junção, as especificações estão em VDS = 50 ou 100V. **(m)** máx. **(n)** Cr = Cree, F = Fairchild, Inf = Infineon, IR = Retificador Internacional, Ix = IXYS, N = NXP, R = Renesas, ST = STMicroelectronics, Su = Supertex, To = Toshiba, V = Vishay. **(p)** tipos de embalagem (verifique a folha de dados para ver quais pacotes o mfgr oferece para aquela peça); os tipos de alimentação de plástico com três condutores são (maior primeiro): TO-264 com espaçamento de condutor de 0,215" (para corresponder ao orifício central TO-3 e entalhes de montagem lateral isolados), TO-247 (mesmo espaçamento, orifício central opcional), TO-3P (mesmo espaçamento e furo central, ambos para combinar com TO-3), TO-220 (menor com aba de 0,2" com furo, espaçamento de chumbo de 0,1", muito popular); o I2-PAK (TO-262) é um "serrado- parte stand-up do TO-220" com pitch de 0,1" (três derivações mais tabulação), enquanto o D2-PAK (TO-263) é uma versão SMT (2 derivações mais tabulação); o I-PAK (TO-251) é uma versão menor do I2-PAK (ou seja, stand-up, 3 derivações mais aba, passo de 0,09"), com sua versão correspondente D-PAK (TO-252) SMT (2 derivações mais aba); SOT-223 três derivações espaçamento de 0,09" com aba curta; power SO-8P é semelhante ao SOIC-8 com um "power pad" de metal; LFPAK=SOT669 tem pegada SO-8 substituindo 4 pinos com guia de drenagem; o pacote SOT-227 mede 1 x 1,5 pol, tem quatro conexões de chumbo de porca cativa nº 4 e uma placa dissipadora de calor de metal isolada super útil. **(q)** quantidade 100. **(r)** tipo RDS para TJ = 25ºC; se estiver quente, dimensione de 1,5 a 2x para peças de baixa tensão ou de 2,2 a 3,5x para peças de alta tensão, consulte o Capítulo 3x. **(s)** carga total do portão para VGS; perda de comutação de porta = QGVGSf. **(s2)** dreno perda de comutação capacitiva = CossVDS2f. **(t)** típico. **(v)** no VGS em que RDS(on) é especificado. **(w)** a versão -N mais recente custa menos, mas tem RӱJC mais alto. **(x)** este é um MOSFET de carboneto de silício (SiC) em vez de silício; estes têm capacitância mais baixa, mas requerem tensões de porta mais altas. **(y)** ano estimado de introdução; consulte "Uma saga MOSFET de 30 anos" no capítulo 3x. **(z)** estimativa conservadora padrão, chave saturada em VGS, TC = 70ºC.

Comentários de uso: • ao escanear a lista para baixo Coss, ou potência máxima, ou baixo Ron, etc., você pode encontrar uma peça melhor para sua especificação, com VDSS muito maior do que o necessário -- especialmente verdadeiro para capacidade de alta potência, um servo linear ou transistor de passagem. • As peças de 500 V foram substituídas por peças de 600 V por muitos fabricantes. • aplicações lineares geralmente precisam de capacidade de dissipação de energia, isso geralmente é melhor com peças antigas de matriz grande; projetos mais novos usam ranhuras em V estreitas para obter baixo RDS(on) e, portanto, requerem muito menos área de matriz. Há bons candidatos na mesa.

Tabela 3.4b MOSFETs de potência de canal n, 55V a 4500Va (página 2 de 3)

Capacitâncias,s2

Carregar

(VDS=25Vk)

Identificação (VGS=10V)

e

VDSS c

RDS(ligado) às

QG QGD Ciss Coss Crss tipo

25ºC Pdiss

RÿJC tipr max

VDS

tipo tipo (pF) tipo (nC)t (nC)t (pF) (pF)

Custoq

ano de introdução

Parte #k Pacotep

(V) (W)

(UMA) (UMA) (UMA)

(ºC/W) (mÿ) (mÿ) (V)

US $

600V

VN2460N3, N8 TO-92 Su • 600 1 0,5 0,16 0,12 125 25000 25000 5 - - 5,5 4 120 1,2 0,3 0,18 50 9300 11500 10 - - 4,8 10 5 0,84 2000 19 3,5 0,31

FQN1N60C TO-92 F - 600 3 2,7 130 2003 * ** 0,47 2003

FQD1N60C DPak F • 600 28 4 1 1,6 4,5 *

SPD01N60c3 DPak IR • 600 11 1,6 0,8 0,5 11 5600 6000 10 - - 2,2 0,9 100 40 2,5 0,60 2003

IXTP2N60P TO-220 Ix - 600 55 FQP2N60C TO-220 4 2 2,1 240 8 2 ... - 8,5 4,1 180 12 28 3,5 0,79 2005 20 4,3 0,60

F - 600 54 FQP3N60C TO-220 F - 600 75 2002 1,8 1,67 2800 3400 10 -

FQP5N60C TO-220 F - 600 100 18 4,5 2,6 1,25 3 - 10,5 4,5 435 45 5 0,70 2005 55 6,5 0,75 2003

2000 2500 10 -6 - 51 55 51

FDP5N60NZ TO-220 F - 600 100 18 4,5 2,7 1,25 1650 2000 10 • - 10 4 450 50 5 0,82 2011

SPD03N60 DPak Inf • 600 38 9,6 3,2 FDP7N60NZ TO-220 F - 600 2 3.3 1280 1400 10 - - 13 6 400 150 5 0,84 2002 70 7 1.10 2010 1,31 2008 1,14 2000 1,49 2010 4,4

147 26 6,5 3,9 0,85 1050 1250 10 - - 13 5,6 550 1,8 560 600 10 - • 15 6 690 18

STP7NM60 TO-220 ST - 600 45 20 5 3 2,8 840 900 10 - • 14 7,7 363 25 1,1 FQB7N60 D2Pak F • 600 142 30 7,4 4,7 2 4,48 2009

0,88 800 1000 10 - - 29 14,5 1100 135 16 6 0,68 640 750 310 • 1 010 310 1,60 2009 5.6

FDP10N60NZ TO-220 F - 600 185 40 10 1,5 430 480

STP8N65M5 TO-220 ST - 650 70 7 28 10 - • 17 8.5 644 18 18 2.5 1.67 2012 5,7 1,5 330 385 10 - • 22 7.1 930 35 2 2,37 2009 20 2,3 2,04 2012

FCP7N60N TO-220 F - 600 64 20 6,8 4,3 1,95 460 520 10 - • 18 6 719 30 2.1 FQA19N60

STP11N65M5 TO-220 ST - 650 85 36 9 9 TO -3P F - 600 300 74 18,5 11,7 0,42 300 380 10 - 70 33 2800 350 35 2,71 2000

FCP9N60N TO-220 F - 600 83 27

TK10E60W TO-220 To - 600 100 39 9,7 1,25 327 380 10 - • 20 9,5 700

SPP15N60CFD TO-220 Inf - 600 156 33 13 8.4 0.80 280 330 10 - - 63 38 1820 520 21 STP15NM60ND TO-220 ST - 600 125 56 14 2.87 2006

1 270 299 10 - • 40 22 1250 65 5 3,42 2007 1,95 2009 SPP15N60C3 TO -220 INF - 600 156

9 IPP60R280C6 TO-220 Inf - 600 104 40 14 8,7 1,2 250 280 10 - • 43 22 950 60 45 15 9,4 0,8

250 280 10 - - 63 29 1660 540 40 40 2,33 2002 FCP13N60N TO -220 F -600 116 39 13. 244 258 10 - • 30 9,5 1325 50 3 2,41 2009

SiHP15N60E TO-220 V - 600 180 39 15 9,6 0,7 230 280 10 - • 38 17 1350 70 5 1,77 2011 12 1250 30 3

STP16N65M5 TO-220 ST - 650 90 48 12 7.3 1.4 230 279 10 - • 31 IPP60R250CP TO-220 Inf - 600 104 40 12 2,96 2011

8 1,2 220 250 10 - • 26 9 1200 54 2.56 2010

STP22NM60N TO-220 ST - 600 125 64 16 10 IPP60R199CP TO-220 Inf - 600 1 200 220 10 - • 44 25 1330 84 4,6 3,82 2009 72 2 2,88 2006 IRFP27N60K TO -247 IR -

139 51 16 10 0,9 180 199 10 - • 32 11 1520 600 500 110 27 18 0,29 180

220 10 - - 105 50 4660 460 41 5,53 2002 TK16E60W TO -220 para - 600 130 130 41. 11 0,96 160 190 10 - • 38 16 1350 35 4 2,86 2012 150 179 10 - • 50 23 1950 46 3 2.33 2010 120

145 10 - - 81 37 2740 122 4 2.45 2009 145 10 - - 94 23 2300 630 2.5 4,95 2011 2011

STP21N65M5 TO-220 ST - 650 125 68 17 10,7 1

SiHP24N65E TO-220 V - 700 250 70 24 16 0,5

IXFH50N60P3 TO-247 Ix - 600 1040 125 50 35 0,12 118

IPP60R099CP TO-220 Inf - 600 255 93 31 19 0,5 SPW47N60C3 TO-247 Inf - 600 415 90 99 10 - • 60 20 2800 130 100 4,68 2005 70 10 - - 252 121 9800 2200 145 5,00

141 47 30 0,3 60 2004 62 10 - • 115 34 5037 200 2,5 9.97 2010 36 10 - - 500 220 15000 6000

FCH47N60N TO-247 F - 600 368 141 47 30 0.34 52 IXKN75N60C SOT-227 Ix - 600 568 75 60 300 3333 2003 36 10 - 218 66 66 66 66 9310 370 3,3 18,80 2010

0.22 30 FCH76N60N TO-247 F - 600 543 228 76 48 0.23 -

500V

IRF820 TO-220 IR - 500 50 8 2,5 1,6 2,5 2500 3000 10 - - 16 8.2 360 92 37 0,43 1980 160 68 0,59 1980 5,1 800 850 10 - - 52 22 1300 310 120 0,70

IRF830 TO-220 IR - 500 74 18 4,5 2,9 1,7 1200 1500 10 - - 26 12 610 1982 18 4,5 2,7 4,1 1380 1500

IRF840 TO-220 IR - 500 125 32 8 10 10 • - 9 ...

FDP5N50NZ TO-220 F - 500 78 STD5NK50Z DPak 28 12.5 1100 160 20 0,72 2002 Irfp450 To -247 ir - 500 190 56 14 9 0,65 ...

ST • 500 70 17,6 4,4 2,7 1,78 1220 1500 10 • - 20 10 535 75 17 230 270 10 -

- 150 70 4200 870 350 2,58 1993 3,15 2002 FDA220 TO -3P F - 500 ...

IXFN80N50P SOT -227 IX - 500 700 200 80 45 0,18 54 65 10 - - 195 64 ... 120 18.77 2004 2004 IXFB1 - 500 1250 250 100 75 0,10 44 49 10 - - 240 78 20000 1700 140

STW20NK50Z TO-247 ST - 500 190 68 20 12,6 0,66 230 270 10 • - 85 42 2600 328 72

Tabela 3.4b MOSFETs de potência de canal n, 55V a 4500Va (página 3 de 3)

Identificação (VGS=10V)
pulso 25ºCb 70ºCz
Capacitâncias,s2 (VDS=25Vk)
Carregar v,ss
Parte #k Packagep Fabricante VDSS c 25ºC Pdiss (V) (W) (UMA) (UMA) (UMA) e RDS(ligado) às RÿJC tipr max VDS (ºC/W) (mÿ) (mÿ) (V) QG QGD tipo tipo (nC)t (nC)t Ciss Coss Crss tipo (pF) (pF) (pF) Custoq US $ ano de introdução

200-400V
IRF710 TO-220 IR - 400 36 6 1,2 3,5 3100 3600 10 - - 5,7 2,2 170 410 13 700 34 6,3 0,38 1980 120 47
IRF720 TO-220 IR - 400 50 2 13 3,3 2,1 2,5 1300 1800 10 - - 15 740 1000 10 - - 7 0,28 1980 170 64 0,53 1980
IRF730 TO-220 IR - 400 74 22 5,5 3,5 1,7 IRF740 TO-220 IR - 400 125 40 24 435 550 10 - - 43 21 1400
10 6,3 1,0 330 120 0,67 1981 10 535 82 18 1,13 2002 STP11NK40Z TO -220 ST - 400 110 36
STP7NK40Z TO-220 ST - 400 70 22 5,4 3,4 1,78 850 1000 10 - - 19 9 5.67 1,14 490 550 10 450 20 0,37 FQP5 1930 140
TO -220 F - 400 170 64 16 10,1 0,74 210 10 - - 45 21,7 1800 270 30 1,45 2006 Irfp244 TO -220 V - 250 150 60 15 9.7 0,83 180 280 280 10 10 2,69 1,39 1490 230 1,38 2020
140 10 - - 90 46 3400 580 60 3,53 1999 94 10 - - 36,8 17 1640 30 39 1,23 2006 42 10 - - 78 18 5470 426 79 7,39 2007 80 41 10 - 17 - 3135 780 80 0,41 2,90 2,92 2007 2010
53 15 0,28 1980 5,5 360 91 27 1,03 1993 260 100 30 0,38 1980 24 1100 220 70 1,08 1989 14 800 240 76 0,46 1980 24 1800 400 120 0,78 1992 24 1300 430 130
FQP16N25 TO-220 F - 250 250 64 16 10 0.88 180 230 10 - - 27 FQA30N40 TO-3P F - 400 290 120 30 19 0.43 107 15 920 130 10 1568 170 55 0,92
FDP33N25 TO-220 F - 250 235 132 33 20 0.53 77 50 31 0.48 36 FDA69N25 TO -3P F - 250 480 276 69 44 0,28 34 2008 10 - - 110 4057 603 161 2,15 2009 9,7 10 - - 161 52 10720
19 810 160 4,88 2008
FDP2710 TO-220 F - 250 403

IXTK120N25P TO-264 Ix - 250 700 300 120 80 0,18
IRF610 TO-220 IR - 200 36 10 3,3 2,1 3,5 1250 1500 10 - - 6,3 3,2 140
IRL620 TO-220 IR - 200 50 21 5,2 3,3 2,5 630 800 5 - - 8,2 550 800 10 - - 10,6 290 400 5 - -
IRF620 TO-220 IR - 200 50 18 5,2 3,3 2,5 1,7 1,7 24 220 400 10 - - 27 125 180 5 - - 5
IRL630 TO-220 IR - 200 74 36 9 5,7 42 130 180 10 - - 45 86 102 10 - -
IRF630 TO-220 IR - 200 74 36 9 5,7 27 125 180 5 - - 42 130 180 10 - -
IRL640 TO-220 IR - 200 125 68 17 1,0 IRF640 TO-220 IR - 200 125 72 18 1,0 11 45 IR 86 102 10 250 - 35 IR 50 250
PSMN102-200Y LFPak N • 200 113 65 21,5 13,6 1,1 11

IRFP4668 TO-247 IR - 200 520 520 130 92 0,29 8
55-100V
IRF510 TO-220 IR - 100 43 20 5,6 IRF520 TO-220 IR - 4 3,5 410 540 10 - - 5,2 2,2 180 81 15 0,35 1980 270 10
100 60 37 9,2 6,5 2,5 IRF530 TO-220 IR - 100 88 56 14 10 1,7 IRF540 200 - - 10,3 3,9 360 150 34 0,38 1980 160 10 - - 16,2 670 250 60 0,44 1980 77
TO-220 IR - 100 130 110 28 20 1,0 100 10 - - 47 17 1700 560 120 0,67 1980 1925 10 - 1057 1,08 1999 2,0 6,48 2008 64
50 1400 425 85 1,02 2000 12 5 39 370 75 2,65 2345 630 265 4,78 1998 0,5 10 - 150
FQP33N10 TO-220 F - 100 127 132 33 23 1,18 PSMN039-100YS LFPak N • 40 43 9620 670 250 250 2345 2,8 2005 4,7 300 160 29 0,44 1986 640 360
100 74 112 28 20 31 79 0,53 1986 50 10 - - 30 15 9200 1600 700 1,65 1986 28 10 - 40 10 1500
FQP44N10 TO-220 F - 100 146 174 43 31 1 1 30 0,47 1992 28 5 - - 43 21 1630 460 150 1,63 1995 49 3600 870 320 1,30
SUP85N10 TO-220 V - 100 250 240 85 60 0,6 HUF75652G3 TO-247 F - 100 10 2004
515 1200 75 h 75 0,29 6,7 3,7
IRFB4110 TO-220 IR - 100 370 670 180 120 0,4
IRFZ14 TO-220 IR - 60 43 40 10 7,2 3,5 135 200 10 - - 9,7
IRFZ24 TO-220 IR - 60 60 68 12 2,5 IRFZ34 TO-220 IR - 60 88 1,7 68 100 10 - - 19 8
IRFZ44w TO-220 IR - 60 150 200 50 36 1,0 IRLZ44N TO-220 IR - 55 110 42
160 47 33 1,4 24 24 71,5 IRL IR - 55 170 310 89 63 0,9 57 0,9 24
20
NDP6060L TO-220 F - 60 100 144 48 20
11 12 5 - - 95
IRFP054N TO-247 IR - 60 170 290 81 10 12 10 - - 130 53 2900 880 330 1,36 1996
IRL2505 TO-220 IR - 55 200 360 104 74 0,75 10 5 - - 130 67 5000 1100 390 1,65 1996 8 10 - - 112 40 3740 830 265
STP80NF55-08 TO-220 ST - 55 300 320 80 h 80 0,5 IRF3205Z TO-220 F - 55 170 9 2,57 2007
440 110 78 0,9 6.5 6.5 10 - - 76 30 3450 550 310 1,26 2001 5,3 10 - - 170 62 5480 1210 280
4.9 IRF1405 TO-220 IR - 55 330 680 169 118 0.45 4.6 FDP025N06 TO-220 F - 60 1,76 2001 2,5 10 - - 174 50 11190 1610 750 3.41 2006 2,0 10 - - 87 34
395 1060 265 120 0.38 1.9 FDP020N06B TO-220 F - 60 333 12452 3.052 1.052 3. 16100 3640 127 3,79 2011 2011 2011

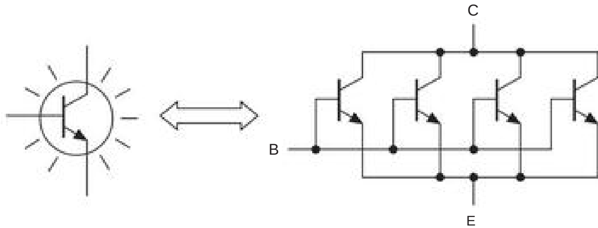


Figura 3.94. Um transistor de grande área de junção pode ser pensado como muitos transistores paralelos de pequena área.

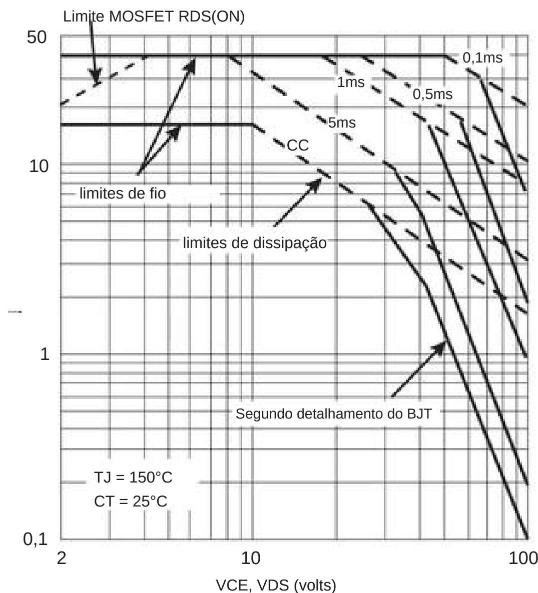


Figura 3.95. MOSFETs de potência não sofrem segunda quebra: comparando áreas de operação segura (SOAs) de um BJT de 160 W (MJH6284) e MOSFET (RFP40N10).

Este coeficiente de temperatura negativo ("tempco") de ID (em VGS fixo) produziu alguns maus conselhos na comunidade de amplificadores, em particular a afirmação de que é sempre OK conectar um conjunto de MOSFETs de potência em paralelo sem a corrente- equalizando resistores de "lastro de emissor" que são necessários com transistores bipolares.80 Você *poderia* fazer isso, se os MOSFETs fossem operados no regime de alta corrente, onde você obtém o tempco negativo estabilizador. Mas, na prática, você geralmente não pode operar lá de qualquer maneira, por causa das limitações de dissipação de energia que veremos em §9.4.1A. E nas correntes mais baixas onde a temperatura co é positiva e desestabilizadora, um de um conjunto de paralelos

80 Por causa de seu tempco *positivo* de IC em VBE constante , consulte §§2.3 e *2x.2.*

Os MOSFETs tenderão a monopolizar a corrente e sofrer uma dissipação de energia excessiva, muitas vezes levando a falhas prematuras. A solução é usar um pequeno resistor de lastro de fonte em cada um dos MOSFETs paralelos (que devem ser do mesmo tipo, e do mesmo fabricante), escolhido para diminuir cerca de um volt na corrente de operação.

Por outro lado, você *pode* paralelo MOSFETs de energia em aplicações de *comutação* . Isso ocorre porque o MOSFET é aqui operado na região ôhmica de baixo VDS (caracterizado por resistência aproximadamente constante RON, em oposição à região de "saturação de corrente" de alta tensão onde o transistor é caracterizado por ID aproximadamente constante): é o tempco positivo de RON que estabiliza o compartilhamento de corrente em MOSFETs de potência paralela. Nenhum resistor de lastro é necessário, ou mesmo desejável. Falaremos mais sobre isso em §3.6.3.

3.5.2 Parâmetros de comutação do MOSFET de potência

A maioria dos MOSFETs de potência são do tipo de aprimoramento, disponíveis nas polaridades dos canais n e p. Parâmetros relevantes são a tensão de ruptura VDSS (variando de 12 V a 4,5 kV para o canal n e até 500 V para o canal p); o canal de resistência RDS(on) (tão baixo quanto 0,8 mÿ); a capacidade de lidar com corrente e potência (até 1.000 A e 1.000 W); e as capacitâncias de porta Crss e Ciss (até 2.000 pF e 20.000 pF, respectivamente).

Precisamos chover nesse desfile! Essas classificações de corrente e potência impressionantemente altas são geralmente especificadas em temperatura de caixa de 25ÿC , permitindo que a temperatura de junção suba para 175ÿC (enquanto o Ron impressionantemente baixo é especificado em temperatura de *junção* de 25ÿC !). A menos que você resida no Pólo Sul, essas são condições completamente irrealistas durante a comutação contínua de alta potência.81 Consulte a discussão em §3.5.4D.

3.5.3 Mudança de potência de níveis lógicos

Muitas vezes, você deseja controlar um MOSFET de potência a partir da saída da lógica digital. Embora existam famílias lógicas que geram oscilações de 10 V ou mais (o CMOS "legado" da série 4000), as famílias lógicas mais comuns (conhecidas genericamente como CMOS) usam tensões de alimentação de +5, +3,3 ou +2,5 V, e gerar níveis de saída próximos a essa tensão ou ao terra (HIGH e LOW, respectivamente).82 Figura 3.96

81 Em sua defesa, as folhas de dados fornecem coeficientes de redução, mas a corrente e a potência reduzidas são de alguma forma negligenciadas quando o banner da primeira página é composto.

82 A família conhecida como TTL opera a partir de +5 V, mas sua saída HIGH pode ser tão baixa quanto +2,4 V, uma característica compartilhada por algumas outras peças de +5 V.

Machine Translated by Google

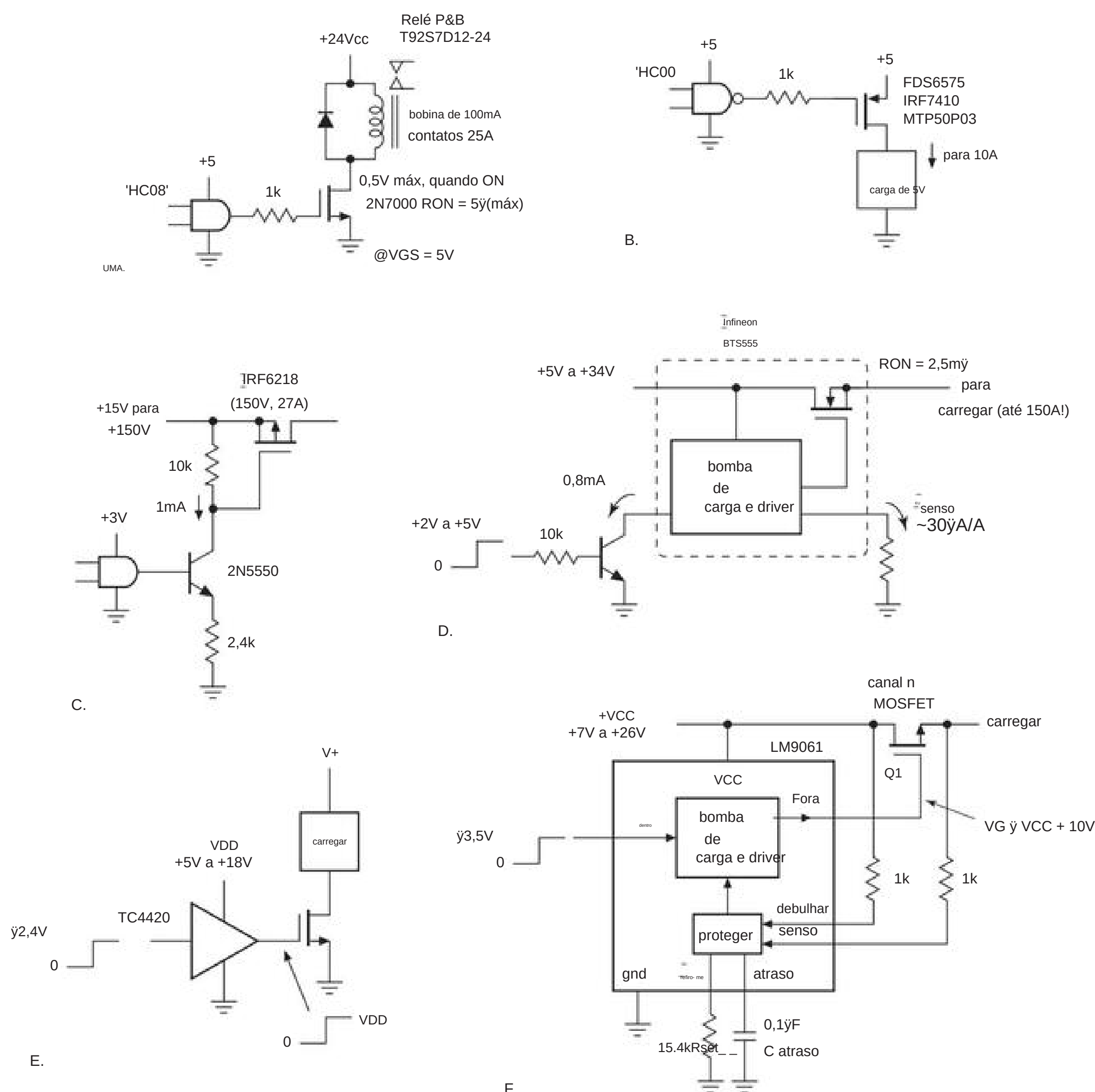


Figura 3.96. Os MOSFETs podem comutar cargas de energia quando acionados a partir de níveis lógicos digitais. Consulte também a Figura 3.106 na página 204.

mostra como alternar cargas dessas famílias lógicas. No primeiro circuito (Figura 3.96A), o gate drive de +5 V ligará totalmente um MOSFET comum, então escolhemos o 2N7000, um transistor barato (US$ 0,04 em quantidade!) que especifica RON < 5ÿ em VGS = 4,5 V. O diodo protege contra pico indutivo (§1.6.7). O resistor de porta em série, embora não seja essencial, é uma boa ideia, porque a capacitância de porta de drenagem do MOSFET pode acoplar os transientes indutivos da carga de volta à delicada lógica CMOS (mais sobre isso em breve).

Para variar, no segundo circuito (Figura 3.96B) usamos o canal p MTP50P03HDL, conduzindo uma carga de volta ao solo. Em uma técnica comumente usada chamada *comutação de energia,* a “carga” pode ser circuitos adicionais, energizados eletricamente sob comando. O '50P03 especifica um RON máximo de 0,025 ÿ em VGS=ÿ5 V e pode lidar com uma corrente de carga de 50 A; para RON inferior , você pode selecionar o IRF7410 (0,007 ÿ, 16 A, US$ 1,50); consulte a Tabela 3.4a na página 188.

A lógica de baixa tensão é cada vez mais popular em circuitos digitais. As configurações de comutação das Figuras 3.96A e B podem ser usadas para tensões mais baixas, mas certifique-se de usar MOSFETs com “limites lógicos” especificados. Por exemplo, o canal FDS6574A de 20 V 16 A n da Fairchild especifica um RON máximo de 0,009 ÿ em um insignificante VGS de

1,8 V, e suas especificações de irmão FDS6575 de canal p 0,017 ÿ máximo em um VGS de -2,5 V; eles custam cerca de $ 1,25 em pequenas quantidades. Ao escolher MOS FETs de baixo limiar, fique atento a especificações enganosas. Por exemplo, o MOSFET IRF7470 especifica "VGS(th)=2 V(max)", que soa bem até você ler as letras miúdas ("em ID=0,25 mA"). É preciso consideravelmente mais tensão de porta do que VGS(th) para ativar um MOSFET totalmente (consulte a Figura 3.115 na página 212). No entanto, o circuito funcionará bem, porque o IRF7470 especifica ainda "RON(max) = 30 mÿ em VGS = 2,8 V."

Os próximos dois circuitos mostram outra maneira de lidar com as tensões de acionamento mais baixas da lógica de baixa tensão. Na Figura 3.96C, usamos um dissipador de corrente *npn* comutado para gerar uma unidade de porta de "lado alto" para um MOSFET de comutação de potência de canal p. Observe que se o dissipador de corrente fosse substituído por uma *chave bipolar,* o circuito falharia imediatamente para tensões comutadas maiores que a tensão de ruptura porta-fonte. Na Figura 3.96D, um MOS FET integrado e um driver high-side (da linha "PROFET" da Infineon de interruptores inteligentes high-side) são usados para comutar correntes verdadeiramente prodigiosas – até 165 A para este dispositivo em particular.83 Eles fazem isso fácil de conduzir a partir de níveis lógicos, incluindo circuito interno de conversão de nível de tensão e uma bomba de carga (§9.6.3) para o acionamento do portão de alta. Você também pode obter ICs de driver de lado alto para uso com um MOSFET externo de canal n, por exemplo, o *LM9061* mostrado na Figura 3.96F. Este driver específico também possui uma bomba de carga interna para gerar a tensão de porta para o interruptor de força externo nMOS Q1; as correntes de porta são modestas, então as velocidades de comutação são relativamente lentas. Este driver também inclui um esquema de proteção para Q1 que detecta VDS (ON), desligando o drive se a queda direta do MOSFET exceder um limite (definido por Rset), com um atraso (para acomodar correntes de inrush mais altas) definido por Cdelay.

Por fim, a Figura 3.96E mostra como você pode contornar totalmente esse problema e garantir tensão *e* corrente de acionamento de porta saudáveis, usando um chip "Mosfet gate driver" como o TC4420. Ele aceita entrada de nível lógico (limiar garantido inferior a +2,4 V) e produz um balanço completo muscular com MOSFETs push-pull internos próprios (Figura 3.97). Ele pode fornecer ou drenar vários ampères de corrente de gate, garantindo comutação rápida com as grandes cargas capacitivas presentes nos MOSFETs (consulte §3.5.4B). A desvantagem aqui é o custo (cerca de US$ 1) e a complexidade. A Tabela 3.8 na página 218 lista uma seleção de bons CIs gate-driver. Veremos isso novamente em detalhes no Capítulo *9x* ("High-side Cur

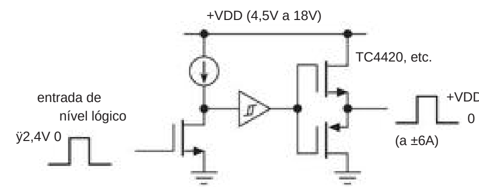


Figura 3.97. Um driver MOSFET como o TC4420 aceita sinais de entrada de nível lógico e gera uma saída rápida (ÿ25 ns), de alta corrente (±6 A) e full-swing. O TC4429 é semelhante, mas com saída invertida.

Rent Sensing") e no Capítulo 12 (§12.4) no contexto de controle de cargas externas de sinais de nível lógico, e no §12.7 em conexão com drivers MOSFET opto-isolados.

A. Mais alguns exemplos de comutação de MOSFET

Quanto mais, melhor: vamos ver mais alguns circuitos que tiram vantagem da combinação do MOSFET de baixo RON e corrente de porta insignificante. Vamos manter as descrições misericordiosamente breves.

Esticador de pulso

A Figura 3.98A é absolutamente simples: a chave MOSFET Q1, acionada por um pulso positivo curto, descarrega o capacitor C1, fazendo com que a saída vá para o trilho positivo (aqui +5 V); quando o capacitor carrega até o limite de comutação do inversor de saída (que pode ser outro transistor nMOS ou um inversor lógico), a saída retorna a zero. Observe que o tempo começa na borda de fuga da entrada. Veja §2.2.2 para alguns circuitos discretos mais sofisticados que geram uma largura de pulso de saída insensível à duração do pulso de entrada. E no Capítulo 7 entramos em mais detalhes (§§7.2.1 e 7.2.2), incluindo circuitos de temporização integrados, como o multivibrador monoestável (também chamado de "one-shot").

Acionador do

relé Um relé eletromecânico (mais detalhes no Capítulo *1x)* comuta seus contatos em resposta a uma corrente de energização na bobina. Este último possui alguma tensão nominal que é garantida para chavear os contatos e mantê-los na posição energizada. Por exemplo, os relés especificados na Figura 3.98B têm uma bobina nominal de +5Vdc, na qual consomem 185 mA (ou seja, uma resistência da bobina de 27 ÿ).84 Em certo sentido, a tensão nominal é um compromisso: o suficiente para operar o relé confiável, mas sem corrente excessiva. Mas você pode trapacear um pouco e obter um fechamento mais rápido se ultrapassar a bobina momentaneam

83 Um de nossos conhecidos usa o poderoso interruptor BT555 em seu dispositivo de resgate do tipo "Jaws of Life".

84 Há mais: ele especifica uma tensão de bobina "deve operar" de 3,75 V e uma tensão de "deve liberar" de 0,5 V. Muitas especificações também sobre os contatos comutados: configuração, tensão e classificação de corrente, resistência e assim por diante. sobre.

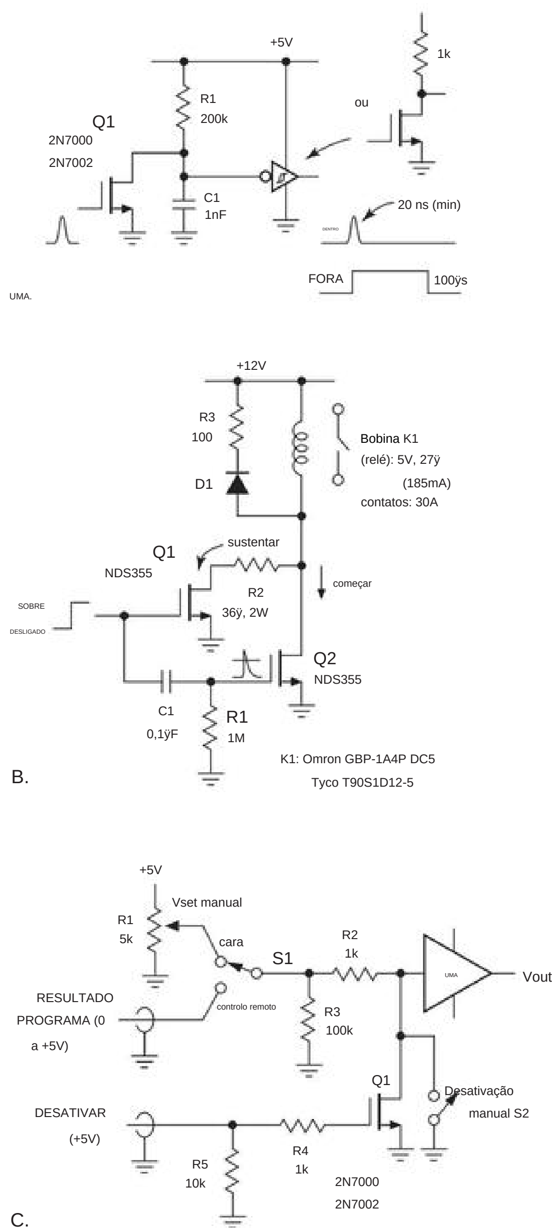


Figura 3.98. Aplicações MOSFET úteis – e simples: A. extensor de pulso; B. driver de relé, com overdrive pulsado inicial; C. alimentação de tensão programável com controle de desabilitação.

como mostrado na figura. Aqui Q2 aplica 12 V por um ÿ0,1 s inicial, após o qual Q1 sustenta os contatos agora firmemente fechados com os 5 V nominais através da bobina. O diodo D1 fornece um caminho de condução para a corrente indutiva na liberação, com o resistor em série R3 permitindo ~20 V durante a queda de corrente para liberação mais rápida (consulte a discussão no Capítulo *1x* para entender por que isso é bom).

Controle de uma fonte programável É bom controlar as coisas remotamente, com um computador inteligente no comando. Você pode montar (ou comprar) uma fonte de tensão que aceite uma entrada analógica de baixo nível, conforme a Figura 3.98C, na qual o símbolo "A" representa um amplificador CC que produz uma tensão *Vout=AVin,* talvez capaz de corrente de saída substancial também. Mas é sempre bom fornecer uma maneira de desabilitar o controle externo, para que as coisas não enlouqueçam quando o computador travar ou inicializar (ou for dominado por um malfeitor). A figura mostra uma maneira simples de implementar um controle manual DISABLE (que duplica a entrada externa DISABLE); também pode ter um modo de tensão manual, como mostrado.

Controle de bateria ligado/desligado É conveniente alimentar instrumentos operados por bateria com uma bateria de 9 volts: fácil de obter; fornece bastante espaço livre de tensão; pode ser usado para criar uma alimentação dividida, consulte §4.6.1B; mas você precisa economizar os sucos vitais da bateria, que acabam após cerca de 500 mAh.

A Figura 3.99 mostra algumas maneiras de implementar a comutação de energia com MOSFETs. O circuito A é o flip flop clássico (dois botões: SET e RESET; é chamado de "flip flop SR"). O botão OFF desliga Q2, cujo dreno vai para ALTO, mantendo Q1 ligado e simultaneamente segurando o transistor de passagem Q3 desligado; você pode facilmente acreditar que o botão ON faz o oposto (e você estaria certo). Dois botões estão OK (embora possamos fazer melhor, fique atento), mas este circuito tem a desvantagem de consumir corrente em qualquer um dos estados. Você pode minimizar a corrente de espera usando um resistor de 10 Mÿ para R1, digamos; em seguida, ele consome 1 A quando desligado, o que calcula uma vida útil da bateria de 50 anos - muito mais do que sua vida útil de aproximadamente 5 anos.

Mas há uma maneira melhor. Veja o Circuito B, onde o flip-flop de par complementar *Q1Q2 não* consome corrente (além do vazamento em escala nanoamp) no estado DESLIGADO . O próximo passo é o Circuito C (também com energia zero quando DESLIGADO), que atinge a contagem mínima de botões, na qual um único botão atua como uma "alternância" de LIGAR/DESLIGAR . Este circuito é um pouco complicado, porque você tem que lidar com várias constantes de tempo apropriadamente.85 Mas o conceito básico é simples e elegante: carregue um capacitor da saída invertida da entrada de controle do flip-flop e conecte momentaneamente o capacitor carregado à entrada de controle para alterná-lo

85 O tempo de carregamento do capacitor para o novo estado τ=R1C1 deve ser de aproximadamente 100 ms para permitir o ressalto da chave; *R3C1* deve ser muito mais curto e a constante de tempo de descarga da capacitância de porta do transistor de saída *(R3* + R4)Cg deve ser ainda mais rápida. Aqui escolhemos 100 ms, 2 ms e ~0,4 ms, respectivamente.

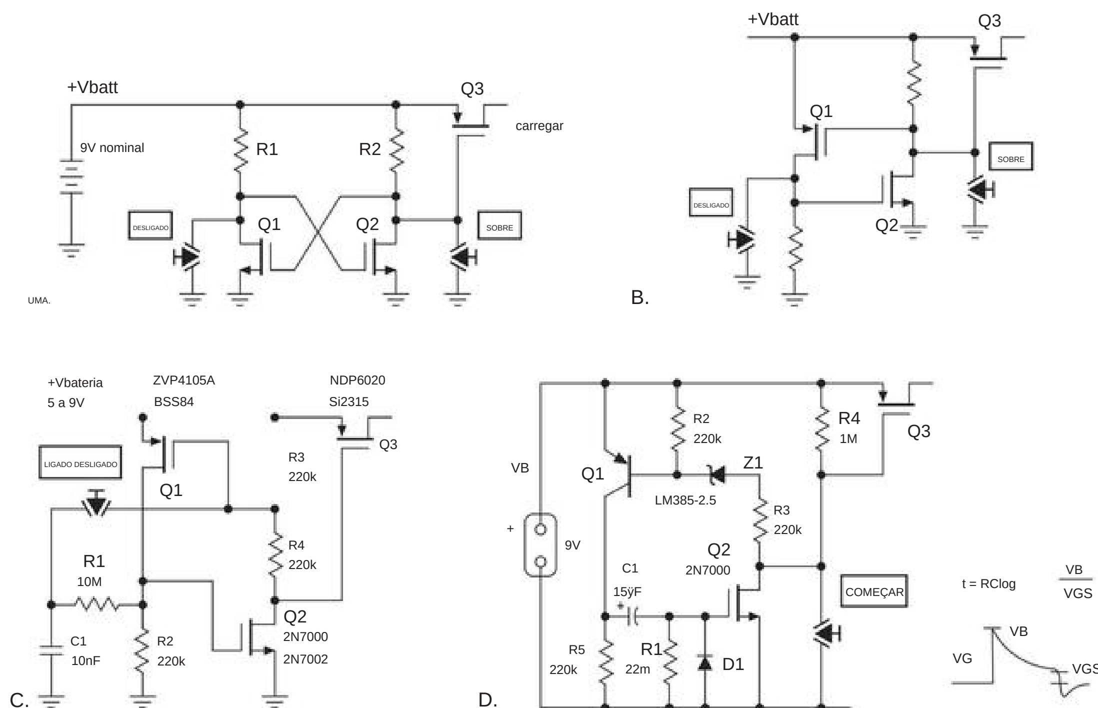


Figura 3.99. Controle de energia da bateria ON/OFF com MOSFETs (não são permitidos circuitos integrados sofisticados!): A. O flip-flop clássico permite a comutação da série p-channel; botões ON e OFF separados . B. Idem, mas energia zero quando desligado. C. Um único botão liga/desliga a alimentação; energia zero quando desligado. Para cada MOSFET, duas opções são listadas: a superior é um tipo de furo passante TO-92, a inferior é um tipo de montagem em superfície SOT23. D. “Cinco minutos de potência” (aproximadamente); energia zero quando desligado. Os transistores de passagem MOSFET do canal p podem ser tão grandes quanto você precisar, consulte a Tabela 3.4a.

Por fim, para os esquecidos, sugerimos algo como o Cir cuit D, um controle de um botão que desliga automaticamente (para energia zero) após cerca de cinco minutos. Aqui *Q1Q2* forma um flip-flop complementar, mantido no estado ON por acoplamento através de C1; uma vez ON este último descarrega através de R1, com uma constante de tempo de 330 s. Esta é uma aproximação do intervalo de tempo de desligamento real, que é definido em detalhes pela proporção da tensão de comutação do portão de Q2 para a tensão real da bateria.86 Há um pouco de complexidade aqui, na forma do zener Z1, que foi forçado nós pela necessidade de manter Q3 totalmente ON durante o intervalo crítico quando o flip-flop está decidindo desligar . Escolhemos um BJT (em vez de um MOSFET) para Q1 por causa de sua tensão de ativação bem definida; mesmo assim, existem as dores de cabeça usuais aqui, causadas pela incerteza nas tensões de limiar de porta de Q2 e Q3.

Em todos os quatro circuitos da Figura 3.99, você pode usar um transistor de passagem de canal p tão grande quanto necessário; consulte a Tabela 3.4a na página 188 para sugestões. Mas lembre-se disso grandes MOSFETs têm alta capacitância de entrada Ciss, o que retarda a comutação. Por exemplo, se você usasse um MOSFET de canal p SUP75P05 no circuito D, você se beneficiaria de uma resistência muito baixa de 8 mÿ, mas teria que lidar com seu valor substancial de 8500 pF de Ciss (portanto, quase 10 ms constante de tempo de desligamento do portão R4Ciss). Nesses circuitos isso não importaria. Observe que um transistor como o SUP75P05 pode alternar 50 A e dissipa cerca de um watt ao passar 10 A com um gate drive de 10 V completo (lembre -se de que o RON aumenta com a temperatura, a 75ÿC é cerca de 10 mÿ); no máximo, é necessário um pequeno dissipador de calor de 2 W (consulte §9.4.1).87

3.5.4 Cuidados com a troca de energia

Por mais legais que sejam os MOSFETs, projetar circuitos com eles não é totalmente simples, devido a inúmeros detalhes que podem te atrapalhar. Simplesmente resumimos algumas das questões importantes aqui e nos aprofundamos mais na comutação de energia no Capítulo *3x* e no Capítulo 9.

86 Uma bateria alcalina de 9 V inicia sua vida útil em cerca de 9,4 V e atinge a velhice em 6 V (1 V/célula) ou muito avançada em 5,4 V (0,9 V/célula).

87 Se você quiser trabalhar para trás a partir de sua capacidade de dissipação de calor disponível, use I= *ÿP/ RON.*

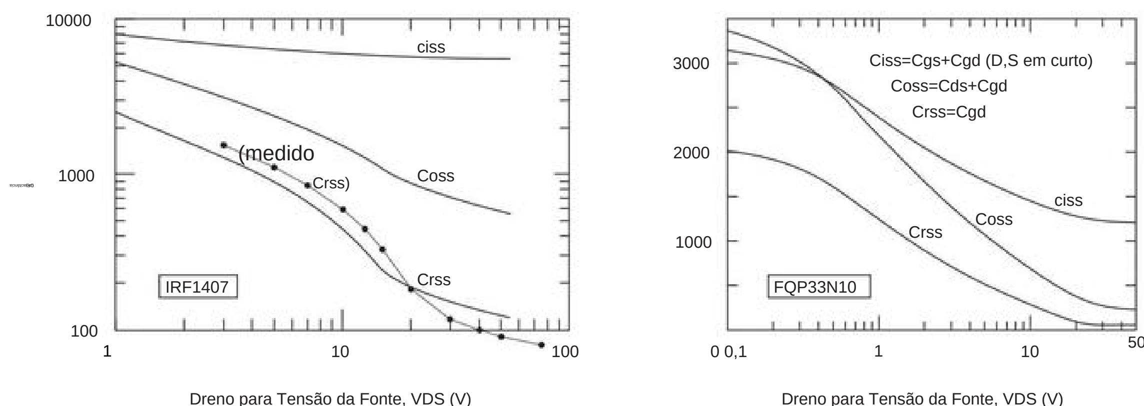


Figura 3.100. Capacitâncias intereletrodos em dois MOSFETs de potência, a partir de dados gráficos em seus respectivos datasheets. A capacitância de realimentação Crss, embora menor que a capacitância de entrada Ciss, é efetivamente multiplicada pelo efeito Miller e normalmente domina as aplicações de comutação.

A. Capacitância de porta do MOSFET

Os MOSFETs de potência têm essencialmente uma *resistência de entrada infinita,* mas eles têm bastante capacitância de entrada e também capacitância de realimentação, de modo que a comutação rápida pode exigir literalmente amperes de corrente de acionamento do portão.88 Embora você possa não se importar com a velocidade em muitos aplicações, você ainda precisa se preocupar, porque a baixa corrente de acionamento do gate causa uma dissipação de energia dramaticamente maior (do produto *V* Iÿt durante transições de comutação prolongadas); pode também permitir oscilações durante a transição lenta. As várias capacitâncias intereletrodos são *não lineares* e aumentam com a diminuição da tensão, conforme mostrado na Figura 3.100. A capacitância do gate ao terra (chamada Ciss) requer uma corrente de entrada de i=Ciss dVGS/dt, e a capacitância de realimentação (menor) (chamada Crss) produz uma corrente de entrada i=Crss dVDG/dt. O último geralmente domina em um comutador de fonte comum, porque ÿVDG é geralmente muito maior que o gate drive ÿVGS , efetivamente multiplicando a capacitância de realimentação pelo ganho de tensão (efeito Miller). Uma boa maneira de ver isso é em termos de *taxa de portão, a* seguir.

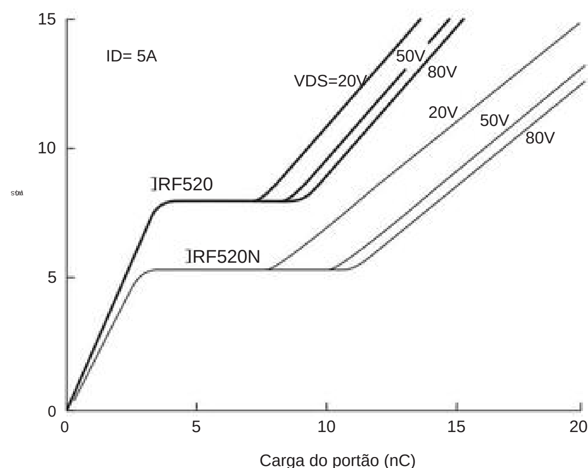


Figura 3.101. Carga do portão versus VGS. O IRF520N de geometria pequena (“shrunk-die”) mais recente tem uma tensão de limiar mais baixa, mas carga de porta comparável. Observe em todos os casos a capacitância maior (inclinação reduzida de VGS versus Qg) à direita da “prateleira Miller”, o resultado de capacitâncias intereletrodos maiores em VDS baixo (Figura 3.100).

B. Carga da porta

Em um comutador de fonte comum, a carga das capacitâncias porta-fonte e porta-drenagem requer uma corrente de condução da porta de entrada sempre que a tensão da porta está mudando. Além disso, durante as transições de tensão de dreno, o efeito Miller contribui com uma corrente de porta adicional. Esses efeitos geralmente são plotados como um gráfico de “carga de porta versus tensão de porta-fonte”, como na Figura 3.101.

A inclinação inicial é o carregamento do Ciss. A porção horizontal começa na tensão de ativação, onde o rápido a queda do dreno força o gate driver a fornecer carga adicional ao Crss (efeito Miller). Se a capacitância de realimentação fosse independente da tensão, o comprimento da porção horizontal seria proporcional à tensão de dreno inicial, após o que a curva continuaria para cima na inclinação original. De fato, a capacitância de realimentação “não linear” Crss aumenta rapidamente em baixa tensão (Figura 3.100), o que significa que a maior parte do efeito Miller ocorre durante a baixa tensão

88 Os MOSFETs de nova geração geralmente exibem capacitâncias um pouco mais baixas, mas seu tamanho menor permite menos dissipação de energia. aplicações de energia você pode ser forçado a uma parte maior, desistindo assim da vantagem da capacitância.

parte da forma de onda de dreno.89 Isso explica a mudança na inclinação da curva de carga do portão, bem como o fato de que o comprimento da parte horizontal é quase independente da tensão de dreno inicial.90 Conectamos um comutador MOSFET de fonte comum e dirigiu o portão

com uma etapa de acionamento de corrente constante , produzindo os traços do "livro didático" na Figura 3.102 (ei, este é um livro didático, certo?). Com corrente de comando de porta constante, o eixo horizontal (tempo) é proporcional à carga da porta, neste caso 3 nC/div. Aqui você pode ver claramente as três regiões de atividade do portão: na região 1, o portão está carregando até o limiar de tensão; na região 2, a tensão do gate é fixada na tensão que produz correntes de dreno de 0 a 40 mA (40 V trilho positivo, resistor de carga de 1k); depois que o dreno é levado ao terra, o gate retoma sua rampa de tensão ascendente, mas com inclinação reduzida (devido ao aumento da capacitância de entrada na tensão de dreno zero).

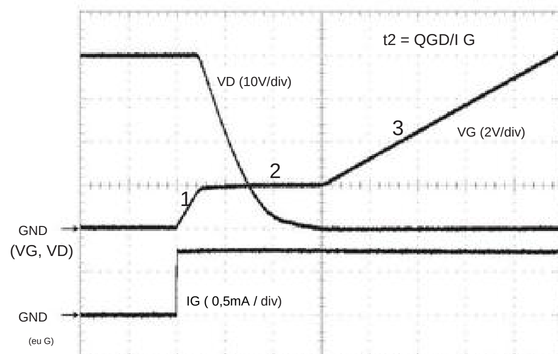


Figura 3.102. Carga do portão. Formas de onda de um MOSFET de canal n IRLZ34N, conectado como um comutador de fonte comum (carga de 1k a +40 V), com acionamento de porta de 0,75 mA. A escala horizontal de 4 s/div, portanto, corresponde a carga do portão de 3 nC/divisão

Observe também que o traço da tensão de dreno é curvo, causado pelo aumento da capacitância da porta de dreno à medida que se dirige para o solo: com entrada IG constante aplicada, o aumento de Crss exige a diminuição de dVD/dt (para manter o produto, ou seja, a corrente de realimentação, igual à corrente de entrada).

O efeito Miller e a carga do portão nos interruptores MOSFET não são motivo de riso - eles limitam seriamente a velocidade de comutação e você pode precisar fornecer centenas de miliamperes, ou mesmo amperes, para obter tempos de transição rápidos em um interruptor de energia robusto. Por exemplo, o robusto IRF1405 apresentado anteriormente tem Qg ~ 100 nC; então, para ligá-lo em 10 ns requer *I* = Qg/t = 10 amperes!91

Em uma escala mais modesta, imagine acionar um humilde switch 2N7000 de uma onda quadrada de 0 ÿ 5 V, talvez da saída de alguma lógica digital. A Figura 3.103 mostra o que acontece se você acionar o portão através de um resistor de 10k.

Miller é o assassino aqui, causando tempos de transição de aproximadamente 2 s em um transistor que, segundo a folha de dados, pode alternar 200 vezes mais rápido (10 ns). Claro, a folha de dados também diz RGEN=25 ÿ. . . e eles querem dizer isso!

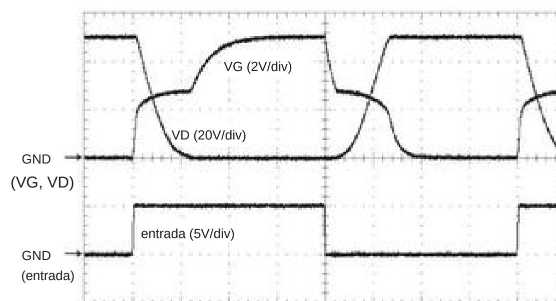


Figura 3.103. Um comutador MOSFET 2N7000 (carga de 1k para +50 V), cuja porta é acionada por um degrau de tensão de 5 V (nível lógico) através de um resistor em série de 10k. O efeito Miller estende o tempo de comutação para ~2 s/div. s. Escala horizontal: 2

Há muito mais a dizer sobre carga de porta em MOS FETs: dependência da corrente de carga, a forma do "platô de Miller", variações entre os tipos de MOSFET e técnicas de medição. Isso é discutido em detalhes no material avançado no Capítulo *3x.*

C. Capacitâncias de dreno MOSFET Além da capacitância Ciss gate-to-ground, os MOS FETs também possuem uma capacitância de realimentação gate-drain Cdg (geralmente *chamada de Crss)* e uma capacitância de saída (chamada Coss) que é a combinação das capacitâncias do dreno para a porta Cdg e drenar para os Cds de origem. Como acabamos de ver, o efeito da capacitância de realimentação Crss é evidente nas formas de onda de carga da porta na Figura 3.102. A capacitância de saída também é importante: é a capacitância que deve ser carregada e descarregada

89 Esse efeito pode ser bastante abrupto em MOSFETs de potência, como visto no gráfico Crss versus VDS para o IRF1407 (Figura 3.100). Na verdade, nossos dados medidos mostram um comportamento ainda mais acentuado do que o gráfico da folha de dados. Conforme explicado no Capítulo *3x,* isso se deve à formação efetiva de um cascode dentro do MOSFET, em que um JFET de modo de depleção atua para prender o dreno do MOSFET ativo, isolando a porta do último e, assim, reduzindo bastante a capacitância de realimentação. 90 A altura (VGS) da porção horizontal depende modestamente da corrente de dreno; veja as figuras em *§3x.12.*

91 Muitas vezes, é o tempo de *transição* de saída que importa; ou seja, o tempo gasto apenas na região 2 (fora o tempo de atraso na região 1, ou o tempo de sobrecarga do portão na região 3); por esta razão, as folhas de dados do MOSFET especificam separadamente Qgd, a carga "Miller" do portão para o dreno. Para o IRF1405, por exemplo, Qgd = 62 nC, exigindo assim uma corrente de entrada da porta de 6,2 A para provocar um tempo de transição de 10 ns.

cada ciclo de comutação, que, se não recicla de forma reativa, consome energia P=Coss *fV2* que pode se tornar significativo DD, em altas frequências de comutação. Consulte §§9.7.2B para obter detalhes.

D. As folhas de dados do MOSFET de corrente e potência especificam uma corrente de dreno contínua máxima, mas isso é feito assumindo uma temperatura irrealística de 25ÿC . É calculado a partir de I2 D(max) RDS(ON)=Pmax, substituindo uma potência máxima (ver §9.4) *PmaxRÿJC=ÿTJC=150ÿC,* onde assumiram TJ(max)=175ÿC (portanto, 150ÿ C ÿTJC), e eles usam o valor de RDS(ON) (máx) a 175ÿC de um gráfico RDS tempco (por exemplo, consulte a Figura 3.116). Ou seja, ID(max)= ÿTJC/ RÿJCRON.

Algumas folhas de dados listam a corrente de energia e dreno em uma temperatura mais realista de 75 °C ou 100° C. Isso é melhor, mas você realmente não deseja executar sua junção MOSFET a 175ÿC; portanto, recomendamos usar uma classificação máxima de ID ainda mais baixa para corrente contínua e a potência dissipada correspondente.

E. Diodo do corpo

Com raras exceções , 92 MOSFETs de potência têm o corpo conectado ao terminal de origem. Como o corpo forma um diodo com o canal, isso significa que há um diodo efetivo entre o dreno e a fonte (Figura 3.104) (alguns fabricantes até desenham o diodo explicitamente em seu símbolo MOS FET para que você não esqueça). Isso significa que você não pode usar MOSFETs de potência bidirecionalmente, ou pelo menos não com mais de uma queda de diodo de tensão reversa dreno-fonte. Por exemplo, você não poderia usar um MOSFET de potência para zerar um integrador cuja saída oscila em ambos os lados do solo, e você não poderia usar um MOSFET de potência como um interruptor analógico para sinais de bipolaridade. Este problema não ocorre com MOSFETs de *circuito integrado* (switches analógicos, por exemplo), onde o corpo é conectado ao terminal de alimentação mais negativo.

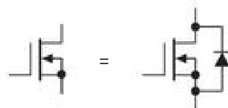


Figura 3.104. Os MOSFETs de potência conectam o corpo à fonte, formando um diodo dreno-fonte.

O diodo do corpo do MOSFET exibe o mesmo efeito de recuperação reversa que os diodos discretos comuns. Se polarizado na condução direta, exigirá alguma duração do fluxo de corrente reversa para remover a carga armazenada, terminando com um "snap-off" agudo. Isso pode causar curioso mau comportamento, análogo aos transientes de desligamento do retificador discutidos na seção de nome colorido "Transformador + retificador + 93 capacitores = picos gigantes!" no Capítulo *9x.*

F. Quebra porta-fonte Outra armadilha para os incautos é o fato de que as tensões de quebra porta-fonte (±20 V é um valor comum) são menores do que as tensões de quebra porta-fonte (que variam de 20 V a mais de 1000 V). Isso não importa se você está conduzindo o portão pelas pequenas oscilações da lógica digital, mas terá problemas imediatamente se achar que pode usar as oscilações de dreno de um MOSFET para conduzir o portão de outro.

G. Proteção de gate

Conforme discutimos a seguir, todos os dispositivos MOSFET são extremamente suscetíveis à quebra de óxido de gate, causada por descarga eletrostática. Ao contrário dos JFETs ou outros dispositivos de junção, nos quais a corrente de avalanche de junção pode descarregar a sobretensão com segurança, os MOSFETs são danificados de forma irreversível por uma única instância de quebra do portão. Por esse motivo, é uma boa ideia usar um resistor de porta em série de 1k ou mais (supondo que a velocidade não seja um problema), principalmente quando o sinal de porta vem de outra placa de circuito. Isso reduz muito as chances de danos; também evita o carregamento do circuito se o portão estiver danificado, porque o sintoma mais comum de um MOSFET danificado é uma corrente CC substancial no portão.94 Você pode obter proteção adicional usando um par de diodos de fixação (para V+ e para o terra) ou um prenda o zener ao terra, a jusante do resistor de porta (que pode então ter uma resistência muito menor ou ser totalmente omitido); mas observe que um grampo zener adiciona alguma capacitância de entrada.95 Também é uma boa ideia evitar o MOSFET flutuante (desconectado)

[92] Como o 2N4351 e a série SD210 de MOSFETs laterais. Esses estão disponíveis na Linear Systems, Fremont, CA.

[93] Isso pode ser um problema sério em certos tipos de circuitos de comutação, onde as correntes indutivas continuam a fluir após o término do comutador. condução. Pode ser resolvido adicionando um diodo externo entre o dreno e a fonte, que ficará em paralelo com o diodo intrínseco dreno-fonte do MOSFET. Você pode usar um diodo Schottky para tensões abaixo de aproximadamente 60 V, mas em tensões mais altas, mesmo os diodos Schottky têm muita queda de tensão e, portanto, não conseguem substituir o diodo intrínseco do FET. Para lidar com isso, existem MOSFETs de potência disponíveis que incluem diodos especiais de recuperação suave em seu design. Esses diodos têm baixa carga de recuperação reversa Qrr e, portanto, tempo de recuperação trr mais rápido, de modo que não ficam cheios com tanta carga dessa corrente indutiva persistente. Eles também podem ter um desligamento mais lento, reduzindo ainda mais a energia do pico.

[94] Um MOSFET com gate danificado pode apresentar condução de dreno quando deveria estar em um estado não condutor: a corrente de fuga do dreno para o gate (danificado) reduz o dreno a uma tensão que produz o VGS correspondente à corrente de dreno.

[95] Os MOSFETs de potência costumavam incorporar proteção zener interna, mas agora é raro: o próprio zener tornou-se um mecanismo de falha dominante! MOSFETs com diodos zener de porta interna são marcados na coluna "Gate zener" da Tabela 3.4b na página 189.

portões, que são suscetíveis a danos ao flutuar (não há caminho de *circuito* para descarga estática, o que, de outra forma, fornece uma medida de segurança). Isso pode acontecer inesperadamente se o portão for acionado por outra placa de circuito. Uma boa prática é conectar um resistor pull-down (digamos, 100k a 1M) da porta à fonte de quaisquer MOSFETs cujas portas sejam acionadas por uma fonte de sinal fora do cartão. Isso também garante que o MOSFET esteja no estado desligado quando desconectado ou sem energia.

H. Precauções de manuseio do MOSFET A porta do MOSFET é isolada por uma camada de vidro (SiO_2) com cem nanômetros de espessura (menos que um comprimento de onda de luz). Como resultado, ele tem uma resistência muito alta e nenhum caminho resistivo ou tipo junção que possa descarregar a eletricidade estática à medida que se acumula. Em uma situação clássica, você tem um MOSFET (ou circuito integrado MOSFET) em sua mão. Você caminha até o circuito, coloca o dispositivo no soquete e liga a energia, apenas para descobrir que o FET está morto. Você o matou! Você deve ter segurado a placa de circuito com a outra mão antes de inserir o dispositivo. Isso teria descarregado sua tensão estática, que no inverno pode atingir milhares de volts.[96] Os dispositivos MOS não aceitam bem o "choque do tapete", que é oficialmente chamado *de descarga* eletrostática (ESD). Para fins de eletricidade estática, você pode ser aproximado pelo "modelo do corpo humano"

(HBM), que é 100 pF em série com 1,5k;[97] no inverno sua capacitância pode carregar para 10 kV ou mais com um pouco de embaralhar em um tapete macio, e mesmo um simples movimento do braço com camisa ou suéter pode gerar um alguns quilovolts.
Aqui estão alguns números assustadores:

Tensões Eletrostáticas Típicasa

Ação	Tensão eletrostática 10%–20% umidade (DENTRO)	65%–90% umidade (DENTRO)
andar no tapete	35.000	1.500
Andar sobre piso vinílico	12.000	250
trabalhar na bancada	6.000	100
Lidar com envelope de vinil	7.000	600
Pegue o saco poli	20.000	1.200
Mudar de posição na cadeira de espuma	18.000	1.500

(a) adaptado do Motorola Power MOSFET Data Book.

Embora qualquer dispositivo semicondutor possa ser destruído por uma faísca saudável, os dispositivos MOS são particularmente suscetíveis porque a energia armazenada na capacitância do canal de porta, quando atinge a tensão de ruptura, é suficiente para abrir um buraco na delicada porta. isolamento de óxido. (Se a faísca vier de seu dedo, seus 100 pF adicionais apenas aumentam a lesão.) A Figura 3.105 (de uma série de testes ESD em um MOSFET[98] de potência) mostra o tipo de confusão que isso pode causar. Chamar isso de "quebra do portão" dá uma ideia errada; o colorido termo " *ruptura do portão"* pode estar mais próximo do alvo!

A indústria eletrônica leva a ESD muito a sério. É provavelmente a principal causa de semicondutores não funcionais em instrumentos recém-saídos da linha de montagem. Livros são publicados sobre o assunto, e você pode fazer cursos sobre ele.[99] Dispositivos MOS, bem como outros semicondutores suscetíveis[100] devem ser enviados em sacos ou espuma condutiva, e você deve ter cuidado com tensões em ferros de solda, etc., durante a fabricação. É melhor aterrar ferros de solda, tampos de mesa, etc., e usar pulseiras condutoras.

Além disso, você pode obter tapetes, estofados e até roupas "antiestáticas" (por exemplo, aventais antiestáticos contendo 2% de fibra de aço inoxidável). Uma boa estação de trabalho antiestática inclui controle de umidade, ionizadores de ar (para tornar o ar levemente condutivo, o que evita que as coisas carreguem) e trabalhadores instruídos. Apesar de tudo isso, as taxas de falha aumentam dramaticamente no inverno.

Depois que um dispositivo semicondutor é soldado com segurança em seu circuito, as chances de danos são bastante reduzidas. Além disso, a maioria dos dispositivos MOS de geometria pequena (por exemplo, circuitos integrados digitais CMOS, mas não MOSFETs de potência) possui diodos de proteção nos circuitos de porta de entrada. Embora as redes internas de proteção de resistores e diodos de fixação (ou às vezes zeners) comprometam um pouco o desempenho, muitas vezes vale a pena escolher esses dispositivos devido ao risco muito reduzido de danos por eletricidade estática. No caso de dispositivos desprotegidos, por exemplo, MOSFETs de potência, dispositivos de geometria pequena (baixa corrente) tendem a ser os mais problemáticos, porque sua baixa capacitância de entrada é facilmente trazida para alta tensão quando entra em contato com uma carga humana de 100 pF. . Nossa experiência pessoal com o MOSFET VN13 de geometria pequena

[96] "Smokey, meu amigo, você está entrando em um mundo de dor."

[97] Um pouco simplista, no entanto. O HBM, carregado a 2,5 kV, atinge o pico em 1,7 A, com uma constante de tempo de 150 ns. Existem outros modelos, por exemplo, o modelo "máquina" (vários ciclos de 12 kHz, até 6 A), ou o "modelo de dispositivo de carga" (CDM), que reconhece que uma porção de um objeto carregado com menos resistência em série pode descarregar diretamente no circuito com pulsos de 6 A e 2 ns de largura. Consulte também §12.1.5.

[98] O MOSFET é um MTM6M60, para o qual C_{iss}=1100 pF. Isso forma um divisor capacitivo com os 100 pF do HBM, atenuando o pico de 1 kV 150 ns para cerca de 80 V. Mas isso ainda está muito acima da classificação V_{GS} máxima de 20 V da peça .

[99] É claro que nós, acadêmicos, adoramos dar cursos sobre praticamente qualquer coisa.

[100] O que inclui praticamente tudo: os transistores bipolares de RF de geometria pequena são muito delicados; e você pode acertar um simples e velho BJT se acertar com força suficiente.

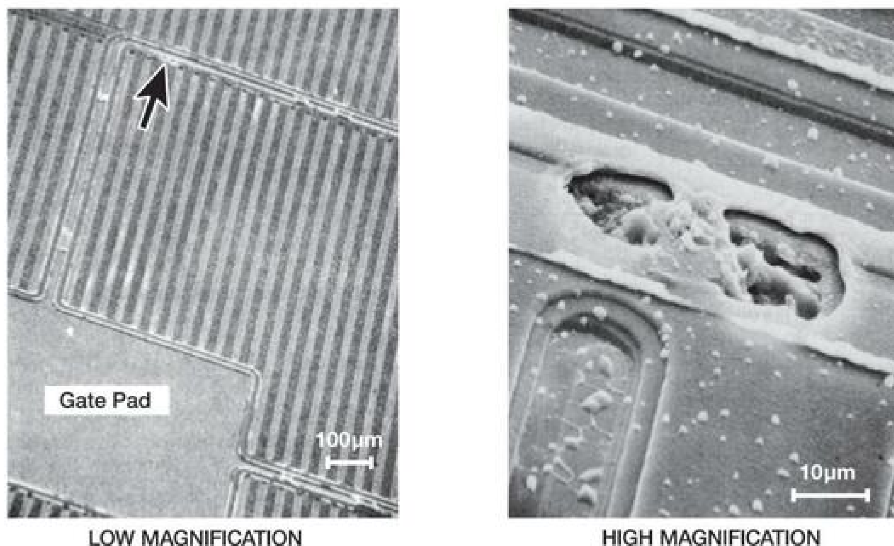


Figura 3.105. Micrografia eletrônica de varredura de um MOSFET de 6 ampères destruído por uma carga de 1 kV em "equivalente ao corpo humano" (1,5k em série com 100 pF) aplicada ao seu portão. (Cortesia da Motorola, Inc.)

foi tão ruim a esse respeito que paramos de usá-lo em instrumentos de produção.

É difícil exagerar o problema de dano de portão causado por quebra em MOSFETs. Os projetistas de chips perceberam a gravidade do problema e classificam rotineiramente a "tolerância ESD" de seus dispositivos. Normalmente, os ICs MOS sobrevivem a 2 kV, aplicados com o HBM de um capacitor carregado de 100 pF em série com um resistor de 1,5 k, e a folha de dados dirá isso.
Dispositivos que podem ser expostos a impulsos externos (por exemplo, drivers de interface e linha) às vezes são classificados como 15 kV (por exemplo, chips de interface Maxim RS-422/485 e RS-232 com um sufixo "E" e muitos dos análogos peças de outros fabricantes).

Veja também a discussão sobre proteção de entrada no Capítulo 12 (§12.1.5).

I. MOSFETs em paralelo Às
vezes você precisa usar vários transistores de potência em paralelo, seja para lidar com correntes maiores ou para poder dissipar mais potência, ou ambos. Como discutimos anteriormente, os transistores bipolares, devido ao seu tempco de +9%/ ÿC da corrente do coletor com a temperatura, precisam de resistores de lastro de emissor para garantir que a corrente seja distribuída igualmente entre os transistores participantes. Para MOSFETs, como mencionamos em §3.5.1, a situação é diferente: às vezes você pode conectá-los em paralelo sem nenhum resistor (por exemplo, como interruptores saturados), e às vezes você não pode (como dispositivos de alimentação linear101). Há também o tópico relacionado de funcionamento térmico um jeito. Esses são tópicos importantes e merecem uma discussão mais extensa em §3.6.3.

101 Exceção: MOSFETs de potência "laterais", como o 2SK1058.

3.5.5 MOSFETs versus BJTs como alta corrente comuta

Os MOSFETs de potência são alternativas atraentes aos BJTs de potência convencionais na maioria das vezes. Eles são comparáveis em preço, mais simples de dirigir e não sofrem de segunda quebra e, consequentemente, reduzem as restrições de área operacional segura (SOA) (Figura 3.95).

Lembre-se de que, para pequenos valores de tensão de dreno, um MOSFET ON se comporta como uma pequena resistência (RON), em vez de exibir a tensão de saturação finita (VCE(sat)) de seu primo transistor bipolar. Isso pode ser uma vantagem, porque a "tensão de saturação" vai para zero para pequenas correntes de dreno. Há uma percepção geral de que os MOSFETs não saturam tão bem em altas correntes, mas nossa pesquisa mostra que isso é amplamente falso. Na tabela a seguir, escolhemos pares comparáveis *(npn* versus MOSFET de canal n), para os quais procuramos o VCE(sat) ou RDS(ON) especificado. O MOSFET *de baixa corrente* é comparável ao seu primo *npn* de "sinal pequeno" , mas na faixa de 6–10 A e 0–100 V, o MOSFET se sai melhor.

Observe particularmente que correntes de base muito grandes são necessárias para levar o transistor de potência bipolar a uma boa saturação - 10% ou mais da corrente do coletor (portanto, até 1 A!) - em comparação com a polarização de 10 volts (corrente zero) na qual Os MOSFETs geralmente são especificados. Observe também que

os MOSFETs de alta voltagem (digamos, BVDS > 200V) tendem a ter RDS(ON) maior, com coeficientes de temperatura maiores do que as unidades de voltagem mais baixa; aqui os IGBTs superam os MOSFETs acima de 300 a 400 volts. Listamos as capacitâncias na tabela porque os MOSFETs de potência tradicionalmente têm mais capacitância do que os BJTs da mesma corrente nominal. Em algumas aplicações (particularmente se a velocidade de comutação for importante), você pode querer considerar o produto da capacitância e da tensão de saturação como uma figura de mérito.

Comparação BJT-MOSFET-IGBT

classe	papel#	Vsat 25ÿC (V)	125ÿC (V)	*Cr* (pF)	b	preço
60 V, 2N4401N 0,75 0,8 8 0,5 A 2N7000V 0,6 0,95						$ 0,06
25						$ 0,09
60V, TIP42A	N	1,5	1,7 50 6 A			$ 0,63
IRFZ34EV 0,25 0,43 50						$ 1,03
D 100 V, TIP142 baixo 3,0 3,8 IRF540NV 0,44 1,0						$ 1,11
					40	$ 0,98
400 V, 2N6547 1,5 2,5 10 A FQA30N40V	N				125	$ 2,89
1,4 3,2					60	$ 3,85
600 V, STGP10NC60	EU	1,75 1,65 12				$ 0,86
10A						

(a) IB=IC/10, VGS=10 V, exceto IB=IC/250 para Darlington. (b) Espiga ou Crss.

(D) Darlington. (I) IGBT. (N) *npn* BJT. (V) nMOS verticais.

Lembre-se de que os MOSFETs de potência podem ser usados como substitutos BJT para circuitos de potência lineares, por exemplo, amplificadores de áudio e reguladores de tensão (trataremos destes últimos no Capítulo 9). Os MOSFETs de potência também estão disponíveis como dispositivos de canal p, embora haja uma variedade muito maior disponível entre os dispositivos de canal n (de melhor desempenho). Os MOSFETs de canal p disponíveis vão apenas para 500 V (ou ocasionalmente 600 V) e geralmente custam mais para desempenho comparável em alguns parâmetros (VDS(max) e ID(max), digamos), com desempenho reduzido em outros parâmetros (capacitância, RON). Aqui, por exemplo, estão as especificações para um par de MOSFETs complementares da Fairchild, combinados em tensões e correntes nominais e embalados no mesmo pacote de energia TO-220.

parâmetro	canal n FQP9N25	canal p FQP9P25
Vmáx	250 V	250 V
Imax	9,4 A	9,4 A
RON(max)	0,42 ÿ	0,62 ÿ
Crss(tipo)	15 pF	27 pF
ciss(tipo)	540 pF	910 pF
Qg(tipo)	15,5 nC	29 nC
TJC(max)	1,39 ÿC/W	1,04 ÿC/W
Preço (quantidade 1k)	$ 0,74	$ 0,97

Observe que o dispositivo de canal p, tendo sido fabricado com uma área maior para atingir ID(max) comparável, acaba com capacitância, carga de porta, RON e preço inferiores (isto é, maiores). Ele também é mais lento e tem menor transcondutância, de acordo com o datasheet. Paradoxalmente, o dispositivo de canal p melhorou a condutividade térmica (consulte §9.4.1A), presumivelmente resultante do maior tamanho de chip necessário.

3.5.6 Alguns exemplos de circuitos MOSFET de potência

Chega de teoria! Vejamos alguns exemplos de circuitos com MOSFETs de potência.

A. Algumas chaves básicas de alimentação A Figura 3.106 mostra seis maneiras de usar um MOSFET para controlar a alimentação CC de algum subcircuito que você deseja ligar e desligar. Se você tiver um instrumento operado por bateria que precise fazer algumas medições ocasionalmente, você pode usar o Circuito A para desligar o microprocessador que consome muita energia, exceto durante essas medições intermitentes. Aqui usamos uma chave pMOS, ligada por uma oscilação lógica de 1,5 V para o terra; a parte específica mostrada é especificada para baixa tensão de gate, em particular RON = 17 mÿ (max) em VGS = ÿ1,5 V. A "lógica de 1,5 V" é um circuito digital CMOS de micropotência, mantido funcionando mesmo quando o microprocessador é desligado (lembre-se, a lógica CMOS tem dissipação estática zero).

Um ponto importante: você deve se preocupar com a operação adequada do interruptor em tensões mais baixas, se a "alimentação de 1,5 V" for de fato uma bateria alcalina, com uma tensão de fim de vida de ~1,0 V. Nesse caso, talvez seja melhor desligado usando um transistor *pnp* – consulte a discussão em "Comutação de baixa tensão: MOS versus BJT" no Capítulo *3x.*

No segundo circuito (B), estamos transferindo a alimentação CC para uma carga que precisa de +12 V com corrente considerável; talvez seja um transmissor de rádio, ou qualquer outra coisa. Como temos apenas uma oscilação lógica de 3,3 V disponível, usamos um pequeno dissipador de corrente *npn* para gerar uma oscilação negativa de 8 V (relativa a +12 V) para acionar a porta pMOS. Observe o alto valor

resistor de coletor, perfeitamente adequado aqui porque o portão pMOS não consome corrente CC (mesmo um robusto bruto de 10 A) e não precisamos de alta velocidade de comutação em uma aplicação como esta.

O terceiro circuito (C) é uma elaboração do circuito B, com limitação de corrente de curto-circuito por cortesia do transistor *pnp* . Isso é sempre uma boa ideia no projeto de fonte de alimentação – por exemplo, é incrivelmente fácil escorregar com a ponta de prova osciloscópio. Neste caso, a limitação de corrente também evita um curto-circuito momentâneo da alimentação de +12 V pelo capacitor de bypass inicialmente descarregado. Veja se você consegue descobrir como funciona o circuito limitador de corrente.

Exercício 3.16. Como funciona o circuito limitador de corrente? Quanta corrente de carga ela permite?

Um detalhe interessante: nos circuitos B e C poderíamos ter ligado o transistor driver como um *interruptor* (em vez de uma fonte de corrente), omitindo o resistor do emissor e adicionando um resistor de base limitador de corrente de 100k ou mais. Mas esse circuito criaria problemas se você tentasse operar o circuito a partir de uma tensão de alimentação mais alta, devido às tensões limitadas de quebra de porta dos MOSFETs (± 20 V ou menos). Isso também anularia o esquema de limite de corrente do circuito C. Você poderia corrigir esses problemas adicionando um resistor diretamente em série com o coletor, adaptando seu valor para o acionamento correto do portão; mas o esquema de fonte de corrente que usamos resolve esses problemas automaticamente e pode ser usado para alternar 24 ou 48 V sem alterações de componentes.

Exercício 3.17. Você tem uma fonte CC usando 120 Vac retificada de onda completa. Projete uma versão de 155 a 175 V da Figura 3.106C para pulsar 0,5 A em uma sequência de flashes composta por 38 LEDs brancos em série. Explique sua escolha para R1 e R2 e a razão *R2/ R1.* Selecione Q1 e Q2 e avalie sua dissipação de energia. Use a Tabela 2.1 na página 74, junto com as tabelas de MOSFET neste capítulo. *Crédito extra:* avalie o aquecimento de pior caso do Q2 com um comprimento máximo de flash de 10 ms (dica: use o gráfico da folha de dados de "Impedância Térmica Transitória").

Ainda há um problema (uh, um "problema"?) Com o circuito C, ou seja, a grande dissipação de energia no transistor de passagem Q2 sob condições de falha, como uma saída em curto. A abordagem de força bruta (que adotamos com mais frequência do que gostaríamos de admitir) é usar um MOSFET robusto com dissipador de calor suficiente para lidar com *P=VINIlim;* isso funciona bem para tensões e correntes modestas. Melhor adicionar limitação de corrente de retorno, como na Figura 12.45C na página 823. Mas, idealmente, desejaríamos algo como um transistor de passagem com limitação térmica interna.102 Esse é um benefício de dispositivos como esse em Cir

E cozido

102 Se, em vez disso, estivéssemos trocando o lado *baixo* (com um switch nMOS), poderíamos usar um MOSFET protegido; consulte a Tabela 12.4 na página 825.

Uma alternativa popular, pelo menos para comutação de baixa tensão, é o uso de uma chave analógica RON baixa (lembre-se da Tabela 3.3 na página 176), como no Circuito D. A chave listada ali opera com tensões de alimentação de 1,1 V a 4,5 V, com um RON de pior caso que é bom o suficiente para alimentar cargas de até 100 mA ou mais. Pode parecer estranho usar um comutador de log analógico, projetado com MOSFETs de canal n e canal p complementares para boas propriedades de sinal em toda a faixa de trilho a trilho, como um simples comutador de alimentação de tensão positiva; mas essas coisas são baratas e cuidam da interface lógica e de outros detalhes para você, então por que não?

No Circuito E, mostramos a alternativa interessante de um comutador MOSFET de canal n, para o qual você precisa gerar uma unidade de porta que seja mais positiva que a tensão de alimentação de entrada, de preferência por uns saudáveis 10 volts ou mais. Você pode obter ICs de "driver de alta potência" para este trabalho, em variedades que lidam com compensações de velocidade e tensão (por exemplo, o LM9061 na Figura 3.96; consulte também §§3.5.3, 12.4.2, 12.4.4 e Ta Tabela 12.5 na página 826). Aqui demos um passo adiante, usando um driver de alta potência que também inclui o MOSFET de potência. Ele obtém seu sinal de acionamento de porta com um oscilador interno e um conversor de bomba de carga (do tipo que vimos em §3.4.3D).
Este dispositivo específico destina-se à operação em baixa tensão e inclui limitação de corrente interna e proteção contra temperatura excessiva.

Por que se preocupar com tudo isso, quando um MOSFET de canal p é mais fácil de controlar? Embora o uso de um comutador nMOS com drive de lado alto acrescente complexidade, ele se beneficia das melhores características e de uma variedade muito maior de MOSFETs de canal n; geralmente é o esquema preferido.

Finalmente, o Circuito F mostra como mudar um trilho de alimentação negativo para uma carga; é análogo ao Circuito B, mas com uma chave de canal n e um transistor *pnp* de base aterrada para converter um nível lógico positivo em uma corrente de alimentação que cria uma oscilação de porta de 10 V em R2. Você pode (e provavelmente deve) adicionar limitação de corrente na forma do Circuito C.

B. Interruptores de alimentação flutuantes Às vezes, você precisa alternar uma tensão (e sua carga) que está "flutuando" longe do solo. Por exemplo, você pode querer testar a capacidade de potência pulsada de um resistor enquanto detecta a corrente no lado baixo; ou você pode querer fazer medições pulsadas em escala de milissegundos de um transistor para contornar os efeitos do aquecimento; ou você pode querer uma chave de dois terminais flutuantes de uso geral que possa lidar com CA ou CC. Em tais situações, você não pode usar os esquemas básicos de referência de terra da Figura 3.106. A Figura 3.107 mostra duas abordagens diretas, ambas usando um isolador óptico (§12.7) para transmitir o comando de comutação de sua casa referenciada ao terra para o circuito de chave flutuante.

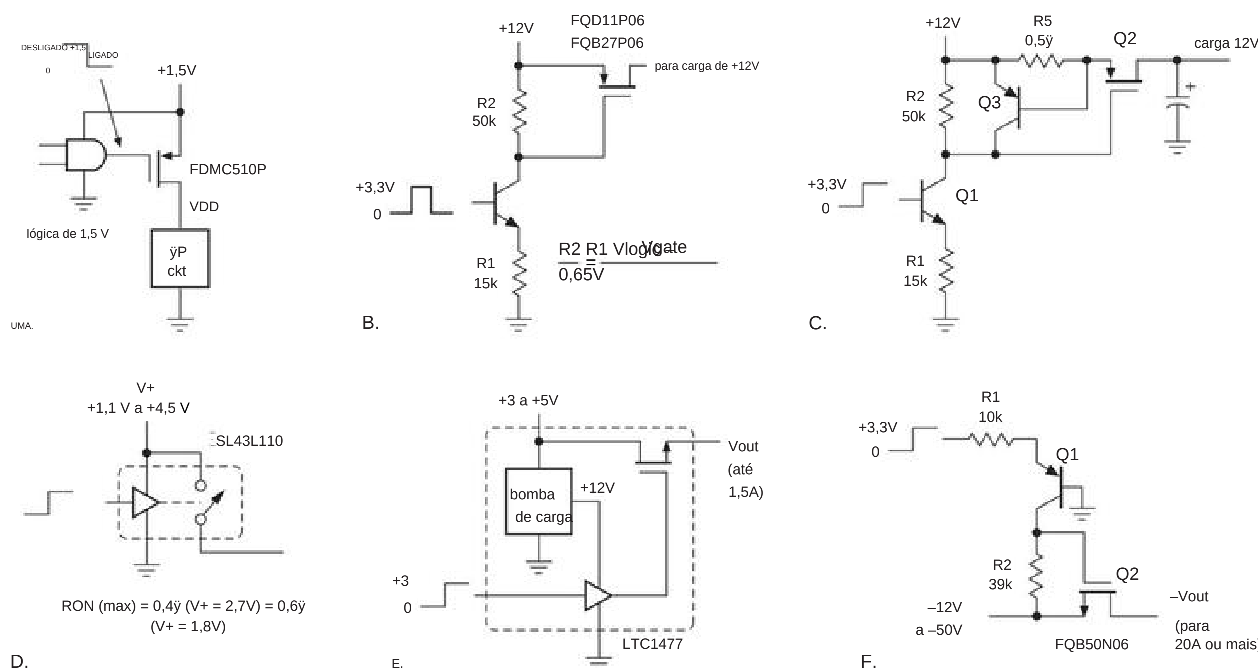


Figura 3.106. comutação de energia DC com MOSFETs.

No Circuito A, as portas de um par de MOSFETs de potência de canal n conectados em série são acionadas por um seguidor BJT push-pull que recebe seu sinal de acionamento básico de um optoacoplador ("fotovoltaico") autogerado, U2. Este último usa uma pilha fotovoltaica conectada em série para gerar um sinal flutuante de ~8 V em resposta a uma corrente de entrada de LED de 10 mA (consulte a Figura 12.91 e a discussão em *§1x.7),* com alguns circuitos internos para aprimorar a conversão -tempo de folga. O par de gate driver *Q1Q2* pode ser omitido em detrimento de um maior tempo de comutação (veja abaixo). Esses drivers reduzem a capacitância de carga efetiva dos MOSFETs por um fator de beta, de modo que os tempos de comutação resultantes (com MOSFETs de potência típicos para Q3 e Q4) são limitados pela velocidade intrínseca do optoacoplador, da ordem de 200n s.

É claro que os gate drivers Q1 e Q2 precisam de uma fonte de tensão flutuante, aqui fornecida por um segundo gerador op tovoltaico barato U1, que não precisa ser rápido (supondo que o circuito não seja operado em uma taxa de comutação rápida), pois serve apenas para manter C1 carregada a ~8 V. Você pode substituir uma bateria flutuante de 9 V por U1: ela pode fornecer muito mais corrente do que a fraca saída de ~20 A de U1, mas é claro que você deve substituí-la de tempos em tempos (uma bateria alcalina de 9 V " A bateria do tipo 1604" é boa para cerca de 500 mAh e tem uma vida útil de 5 anos ou mais). Este circuito pode alternar qualquer polaridade - quando ON, a soma dos MOSFETs em série é 2RON (os diodos do corpo conduzem apenas durante as transições ON-OFF , ou em correntes muito altas). Observe que este circuito é uma chave "desprotegida" – não há provisão para limitação de corrente ou potência dos transistores de saída.

O circuito B aborda essa vulnerabilidade e aproveita os benefícios do switch protegido integrado BTS555. Aqui adotamos a abordagem simples de uma bateria flutuante de 9 V para fornecer a energia operacional de seu circuito interno (15 A típico quando desligada, 1 mA ligada). Essa coisa está protegida contra praticamente qualquer coisa ruim que você possa jogar nela. Sua velocidade de comutação é comparável à do Circuito A (tipicamente 300 s ligado, 100 s desligado) e é bom para 34 V. Consulte §12.4 para obter mais detalhes e Tabela 12.5 na página 826 para sugestões de componentes adicionais.

Voltando ao Circuito A na Figura 3.107, que tipo de desempenho você pode obter com MOSFETs de canal n prontamente disponíveis? Aqui está uma seleção de candidatos (consulte a Tabela 3.5 na página 206), selecionados entre os muitos milhares de possibilidades,103 abrangendo toda a gama de tensões.104 Várias tendências são claramente evidentes:

103 Uma busca hoje por MOSFETs discretos de canal n encontra 20.330 tipos na Digi-Key, 11.662 na Mouser e 4.607 em Newark. Um pouco exagerado, porque diferentes opções de pacotes são listadas separadamente - mas você entendeu.

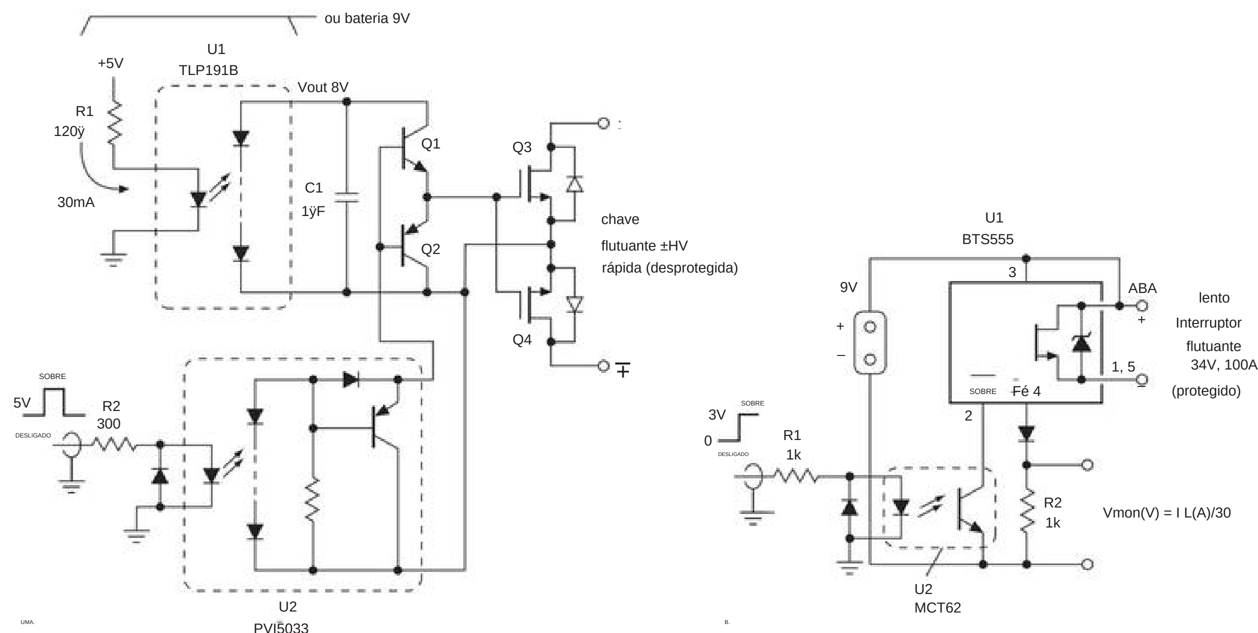


Figura 3.107. Interruptores de alimentação MOSFET flutuantes: A. bipolaridade, desprotegido; B. unipolaridade, tensão limitada, protegida.

(a) Há uma compensação severa de RON versus classificação de tensão - para os tipos listados, a resistência ON abrange uma faixa de ÿ100.000:1 na faixa de tensão de ÿ100:1. (b) Você também paga um preço, literalmente, por peças de altíssima tensão; por exemplo, a peça listada de 4,5 kV custa US$ 22. (c) As partes de corrente mais alta têm maior capacitância de saída (que é o que você vê nos terminais do interruptor quando DESLIGADO), mesmo aqui, onde selecionamos cuidadosamente as peças para minimizar a compensação da figura de mérito do *RONCoss* . Eles também têm capacitância de entrada e carga de porta maiores, que são relevantes para a velocidade de comutação. (d) E *faltam dados importantes!* Você precisa consultar as folhas de dados para obter informações importantes, como resistência térmica, especificações de corrente de pulso e energia de pulso, carga de porta e similares. Os dados apresentados aqui são, no máximo, consultivos e você precisa usar especificações detalhadas no contexto do circuito para prever o desempenho real. Por exemplo, as especificações de "corrente pulsada máxima" geralmente se aplicam a comprimentos de pulso um pouco mais curtos do que este circuito pode produzir; e a especificação RON assume 10 V de gate drive, também um pouco maior do que temos aqui.

Vamos terminar este exemplo estimando a velocidade de comutação do circuito da Figura 3.107A. Imagine que queremos capacidade de 600 V e escolhemos o intermediário FCP22N60N, um MOSFET que oferece uma boa combinação de resistência ON e capacitância a um custo modesto (cerca de US$ 5, quantidade 100). Para a velocidade de comutação, o parâmetro relevante aqui é a carga do portão *(QGS+QGD),* aproximadamente 25 nC de acordo com dados tabulados e gráficos. Isso deve ser fornecido pelo driver de isolamento U2, reforçado pelo b ganho de corrente de Q1 e Q2. A partir da folha de dados do U2, podemos estimar a corrente de fonte de saída (a partir de seu gráfico "Typical Response Time") como aproximadamente 3 m. Se Q1 e Q2 foram omitidos, com U2 dirigindo os portões MOSFET diretamente, o turn-on o tempo seria *t* ÿ Qgate/IU2, ou 8,3 ms. Agora, restaure magicamente os drivers BJT e o tempo de comutação estimado cai por um fator de beta; para s.105 típicos b ~200 torna-se ~40 m Não tão rápido! Olhe novamente para a folha de dados do U2, você descobrirá que o tempo de ativação é de cerca de 100 s; da mesma forma, seu tempo de desligamento intrínseco é de m cerca de 350 s, mesmo com pequena capacitância de carga. Esses m dominam o desempenho do Circuito A, para quase todos os MOSFET listados, supondo, é claro, que o driver BJT *Q1Q2* esteja incluído. Se você puder tolerar uma comutação mais lenta, poderá simplificar as coisas omitindo os drivers e sua fonte de alimentação flutuante.

Se você precisar de uma comutação *mais rápida ,* existem muitos chips de driver de alta tensão integrados que podem fazer o trabalho, por exemplo, a série de "ICs de driver de porta de alta tensão" da Interna

104 Consulte as tabelas de MOSFET neste capítulo e no Capítulo *3x* para obter dados adicionais sobre esses e outros MOSFETs de potência.

105 Se você observar os drivers MOSFET na Tabela 3.8 na página 218, verá que o ZXGD3002–04 é simplesmente um par de BJTs *npn* e *pnp* de ganho muito alto , em pacotes SOT23-6, perfeito para Q1 e Q2 .

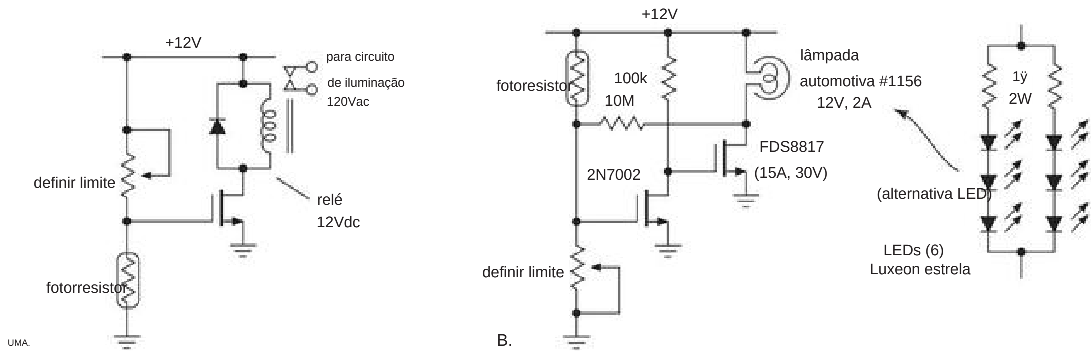


Figura 3.108. Interruptor de energia controlado por luz ambiente.

Tabela 3.5 Candidatos a switch MOSFETa

Papel #	ID(max)b Pulso BVDS (DENTRO)	cont (UMA)	2RONc (A) (pF)	(Oh)	Cost
IXTT02N450$$ 4500		0,6 0,2 960 0,6 0,2			19
IXTH02N250$ 2500		770			9
STW4N150 1500		12	2	10	120
IXTP3N120 1200		12	3	6,5	100
IXFH16N120P$ 1200 35 10				1.7	390
IRFBG20 1000		5.6 1		16	52
IRFBG30 1000		12	2	8	140
IXFH12N100$ 1000 48 5				2	320
IPP60R520CP 650 17 4				1	32
FCP22N60N600		66 12		0,28	76
FCH47N60N$ 600 140 30				0,1	200
IRF640N	200	72 12		0,24 190 0,08d	
FQP50N06L	60 210 25			450 0,003e	
IRLB3034	40 1400 125 30			2000 0,004d	
FDP8860	1800 100			1700	

Notas: (a) todos estão em pacotes TO-220 ou TO-247. (b) itálico designa corrente de dreno pulsada máxima, para largura de pulso especificada no datasheet da peça (por exemplo, 80ÿs); negrito designa corrente de dreno contínua máxima em TJ=70ºC. (c) em VGS=10V, a menos que marcado de outra forma. (d) em VGS=5V. (e) em VGS=4,5V. (t) tipo. ($) não é barato. ($$) caro.

retificador nacional. Eles usam transistores internos de alta tensão para enviar os sinais de controle para o lado alto, com tensões nominais máximas mais comumente de 600 V. Eles normalmente têm tempos de comutação na faixa de 100 ns a 1 Eles são ms. destinados a aplicações cíclicas, como como drivers de ponte com modulação de largura de pulso e usam bombas de carga do lado alto para desenvolver a tensão de acionamento do portão sobre o trilho; mas você pode adaptá-los para aplicações pulsadas substituindo uma bateria voadora de 9 V, como fizemos aqui. Veja o Capítulo 3x's tabela "Drivers de meia-ponte de alta tensão" e a seção "Comutação de alta tensão do lado alto" no Capítulo *9x.*

Outra classe de ICs que pode ser usada em aplicações como essa é tipificada pela série ACPL-300 da Avago de "optoacopladores de acionamento de portão", que combinam um optoacoplador e um estágio de saída push-pull isolado. Por exemplo, o estágio de saída do ACPL W343 pode fornecer ou diminuir 3 A (mínimo), com tempos de subida e descida de 40 ns (em uma carga de 25 nF em série com 10 ÿ) e isolação boa para 2 kV. Você deve fornecer 15–30 V CC isolado para o estágio de saída,106 da maneira da Figura 3.107B, com o capacitor de bypass usual (para correntes de saída de pico); a corrente quiescente é de 2 mA, boa para 200 horas de operação se você usar um par de baterias de 9 V.
Veja §12.7.3 e Figura 12.87 para discussão e sugestões de circuitos adicionais.

C. Alguns exemplos incomuns de comutação Light-at-night A Figura 3.108A mostra um exemplo simples de comutação de MOSFET, que tira proveito da alta impedância do gate.

Você pode querer ligar a iluminação externa automaticamente ao pôr do sol. O fotoresistor tem baixa resistência à luz do sol, alta resistência no escuro. Você o torna parte de um divisor resistivo, conduzindo o portão diretamente (sem carregamento DC!). A luz acende quando a tensão do portão atinge o valor que produz corrente de dreno suficiente para fechar o relé. Leitores atentos podem ter notado que este circuito não é particularmente preciso ou estável; tudo bem, porque o fotoresistor sofre uma enorme mudança na resistência (de 10k para 10M, digamos) quando escurece. Observe que o MOSFET pode ter que dissipar um pouco de energia durante o tempo em que a polarização do portão está aumentando, já que estamos operando na região linear;

106 Um pouco alto para condução de portão MOSFET (estes são direcionados para IGBTs); mas você pode obter peças com menor tensão de alimentação de saída mínima, por exemplo o HCPL-3180 ou o PS9506 da Renesas (ambos podem tolerar com 10 V min).

mas está comutando apenas um relé, não a carga de energia, então isso é de pouca preocupação. A falta de um limiar preciso e estável no circuito significa que a luz pode acender alguns minutos mais cedo ou mais tarde – novamente, não é grande coisa. Mas uma preocupação adicional é o comportamento do relé, que não está satisfeito com uma tensão marginal de acionamento da bobina (que mantém os contatos fechados com menos força mecânica nominal, encurtando assim potencialmente a vida útil do relé; veja a discussão sobre relés em Capítulo 9x).

Esses problemas são solucionados na Figura 3.108B, onde um par de MOSFETs em cascata fornece um ganho muito maior, aumentado por algum feedback positivo por meio do resistor de 10M; o último adiciona histerese, o que faz com que o circuito se ligue de forma regenerativa quando atinge o limite.

Driver piezo robusto

A Figura 3.109 mostra um trabalho de MOSFET de potência real: um amplificador de 200 watts para acionar um transdutor subaquático piezoelétrico a 200 kHz. Usamos um par de transistores nMOS robustos, acionados alternadamente para criar uma unidade CA no primário do transformador (de alta frequência). O indutor em série no secundário ressoa com a capacitância do transdutor para aumentar a tensão no piezo para vários kilovolts. O TC4425A é um prático “3A Dual High Speed Power MOSFET Driver” (como o TC4420 na Figura 3.97), que recebe uma entrada de nível lógico (0 V=BAIXO, ÿ2,4 V=ALTO) e gera um balanço total (0 a +VDD) par de saídas, uma invertida e outra não invertida; consulte a Tabela 3.8 na página 218. É necessário superar a carga capacitiva, pois os MOSFETs devem ser totalmente ativados em uma fração de microssegundo. Os diodos desviados através dos resistores de porta em série causam um desligamento rápido para evitar a sobreposição de condução indesejável dos transistores de potência.

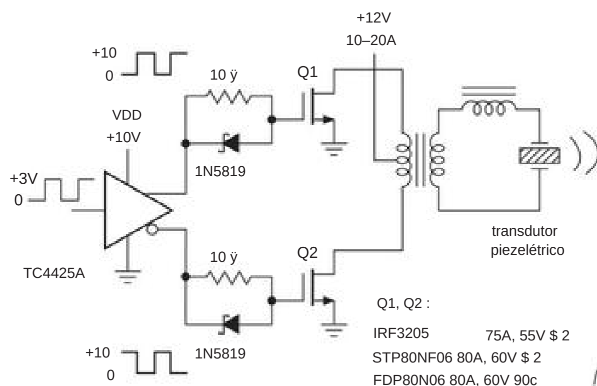


Figura 3.109. Driver de potência piezo MOSFET.

3.5.7 IGBTs e outros semicondutores de potência

O MOSFET de potência contemporâneo é um transistor versátil para aplicações de comutação de potência (por exemplo, controle de potência CC ou conversores de comutação CC-CC) e para aplicações de potência linear (como amplificadores de áudio). Mas existem algumas desvantagens e algumas alternativas úteis.

A. Transistor bipolar de porta isolada (IGBT)

O IGBT é um híbrido MOSFET-bipolar interessante, descrito de forma mais simples como uma conexão complementar integrada tipo Darlington (Sziklai) de um MOSFET de entrada com um transistor bipolar de potência (Figura 3.110). Portanto, possui as características de entrada de um MOSFET (zero dc gate current), combinadas com as características de saída de um transistor bipolar de potência; observe, no entanto, que ele não pode saturar para menos que VBE. Ao contrário dos MOSFETs, os IGBTs não possuem um diodo reverso intrínseco, portanto, o toque indutivo, etc., pode facilmente exceder a classificação de tensão reversa (por exemplo, 20 V). Muitos IGBTs incluem um diodo interno "antiparalelo" para proteção contra esse problema.107

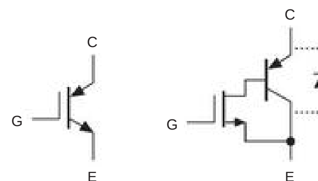


Figura 3.110. Símbolo IGBT e circuito equivalente simplificado mostrando o diodo “antiparalelo” opcional.

Quase todos os IGBTs disponíveis vêm apenas na polaridade nMOS-pnp e, portanto, se comportam como dispositivos do tipo n.108 Eles geralmente são dispositivos de alta tensão e alta potência, disponíveis em pacotes de potência de transistor discretos como o TO-220, TO 247 , e em pacotes de montagem em superfície como o D2PAK e SMD-220, com classificações de 1200 V e 100 A. Para correntes mais altas, você pode obtê-los em “módulos” de potência retangulares maiores, com classificações de tensão mais altas e com classificações de corrente de até 1000 Um ou mais.

Os IGBTs se destacam na área de comutação de alta tensão, porque os MOSFETs de alta tensão sofrem muito com o RON aumentado: uma regra prática aproximada para MOSFETs é que o RON aumenta com o quadrado da tensão

[107] Algumas peças estão disponíveis com e sem o diodo adicionado, indicado, por exemplo, por um sufixo -D no número da peça.

[108] Atualmente, os únicos IGBTs do tipo p que conhecemos são a série Toshiba GT20D200.

rating.109 Por exemplo, vamos comparar dois produtos de energia da International Rectifier (juntamente com um BJT de classificações comparáveis):

	MOSFET	IGBT	BJT
Tipo	IRFPG50	IRG4PH50S	TT2202
Vmax	1000V	1200V	1500 V
Imax DC	6,1A	57A	10A
pulso	24A	114A	25A
RON (típico) 25ÿC	1,5 ÿ	–	–
150ÿC	4 ÿ	–	–
A PARTIR DE 25ÿC		1,2 V	1 V (@8 A)
23V (típico, 15A) 150ÿC	60V	1,2 V	1 V (@8 A)

Estes têm preços comparáveis (cerca de $ 5) e empacotados (TO-247), têm características de entrada semelhantes (capacitância de entrada de 2,8 nF e 3,6 nF) e as tensões de saturação resultantes VON ao alternar 15 A são mostradas para o mesmo drive de entrada completo de Vin = +15 V. O IGBT é o claro vencedor neste regime de alta tensão e alta corrente.110 E, quando comparado com um BJT de potência, ele compartilha a vantagem do MOSFET de alta impedância de entrada estática (embora ainda exiba a reduziu drasticamente a impedância de entrada dinâmica durante a comutação, como vimos em §3.5.4B). O BJT tem a vantagem de menor tensão de saturação (o VON do IGBT é pelo menos VBE) e menor tensão de acionamento (consulte a figura na seção do Capítulo 3x "Transistores de potência para amplificadores lineares"), à custa de uma alta corrente de condução estática ; a última desvantagem é exacerbada em altas correntes, onde BJT beta cai rapidamente. Um BJT saturado também sofre de recuperação lenta devido à carga armazenada na região de base.

Com as tensões e correntes muito altas encontradas nos IGBTs, é obrigatório incluir proteção contra falhas no projeto do circuito: um IGBT que pode ser necessário para comutar uma carga de 50 A de uma fonte de 1000 V será destruído em milissegundos se a carga entra em curto-circuito devido à dissipação de potência de 50 kW (!) O método usual é desligar o inversor se o VCE não cair para apenas alguns volts após 5 s ou mais de entrada do inversor (consulte a Figura 12.87B)m

Revisitaremos essas três tecnologias de transistores de potência no Capítulo *3x.*

B. Tiristores

Para obter o máximo em comutação de alta potência (estamos falando de quiloampères e quilovolts), os dispositivos preferidos são a família dos *tiristores* , que inclui os "retificadores controlados por silicone" (SCRs) unidirecionais e os "tri acs" bidirecionais. Esses dispositivos de três terminais se comportam de maneira um pouco diferente dos transistores que vimos (BJTs, FETs e IGBTs): uma vez acionados na condução por uma pequena corrente de controle (alguns miliamperes) em seu eletrodo de controle (o *portão),* eles permanecem LIGADOS até que eventos externos levem a corrente controlada (do *ânodo* ao *cátodo)* a zero. Eles são usados universalmente em dimmers de lâmpadas de corrente doméstica, onde são ligados por uma fração de cada meio ciclo de tensão de linha CA, variando assim o *ângulo de condução.*

Os tiristores estão disponíveis em classificações de 1 A a muitos milhares de amperes e classificações de tensão de 50 V a muitos quilovolts. Eles vêm em pequenos pacotes de transistores, os pacotes de potência de transistor usuais, módulos maiores e pacotes de "disco de hóquei" realmente assustadores que são capazes de comutar megawatts. Estes são dispositivos robustos; você pode se machucar apenas deixando cair um em seu pé.

[109] Você encontra expoentes de 1,6 a 2,5 na literatura; a extremidade inferior desse intervalo provavelmente será mais precisa; veja nossos gráficos no Capítulo 3x.

[110] Onde se destaca também em manter alta transcondutância, em comparação com o MOSFET. A vantagem vai para o IGBT, começando em torno de 200 V. Veja também a tabela de comparação em §3.5.5.

3.6 MOSFETs em aplicações lineares

Embora tenhamos lidado extensivamente com aplicações lineares no tratamento de *JFETs deste capítulo,* nossa discussão sobre MOS FETs concentrou-se quase inteiramente em aplicações de comutação. Para não deixarmos a impressão errada, abordamos nesta seção algumas aplicações de MOSFETs de potência discreta para aplicações lineares, particularmente aquelas que se beneficiam de suas propriedades exclusivas. Consulte também aplicações adicionais para reguladores de tensão linear no Capítulo 9 (por exemplo, Figuras 9.17, 9.20, 9.104, 9.110 e 9.113) e material avançado em *§3x.5.*

3.6.1 Amplificador piezo de alta tensão

Uma boa aplicação de MOSFETs como amplificadores lineares tira proveito dos tipos disponíveis com classificações de alta tensão e sua imunidade à segunda quebra. Os transdutores *piezoelétricos* cerâmicos são freqüentemente usados em sistemas ópticos para produzir pequenos movimentos controlados; por exemplo, em *óptica adaptativa* você pode usar um "espelho de borracha" controlado piezoeletricamente para compensar as variações locais no índice de refração da atmosfera. Os transdutores piezo são bons de usar, porque são muito rígidos. Infelizmente, eles podem exigir até um quilovolt de acionamento para produzir movimentos significativos. Além disso, eles são altamente capacitivos – normalmente 0,01 F ou mais m – e têm ressonâncias mecânicas na faixa de kHz, apresentando assim uma carga desagradável. Precisávamos de dezenas desses amplificadores de driver, que por algum motivo custam alguns milhares de dólares cada, se você comprá-los comercialmente.

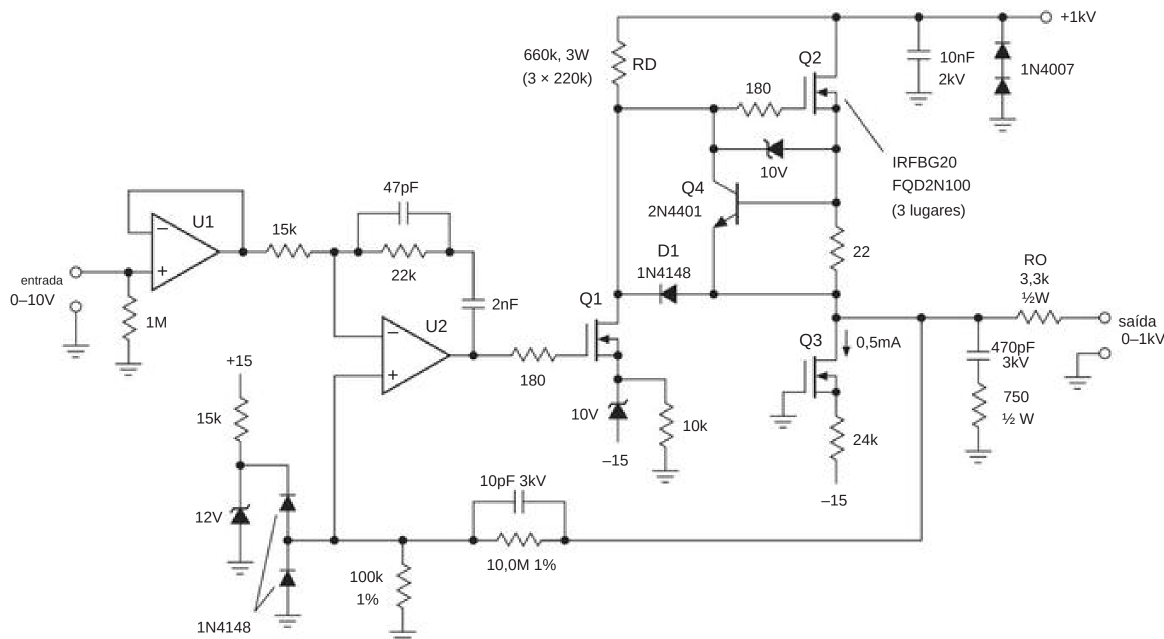


Figura 3.111. Driver piezo de baixa potência de 1 kV com estágio de saída totem-pole. Um projeto semelhante é usado para a fonte CC regulada de alta tensão mostrada na Figura 9.110.

Resolvemos nosso problema com o circuito mostrado na Figura 3.111. O IRFBG20 é um MOS FET barato (ÿ$2), bom para 1 kV e 1,4 A; o similar FQD2N100 (1 kV, 1,6 A) custa cerca de US$ 0,85. O primeiro transistor é um amplificador inversor de fonte comum, acionando uma fonte seguinte com carga de dissipador de corrente ativa. O transistor *npn* é um limitador de corrente e pode ser uma unidade de baixa tensão, pois flutua na saída. Uma característica sutil do circuito é o fato de que ele é realmente push-pull, embora pareça ter uma única terminação: você precisa de muita corrente (20 mA) para empurrar 10.000 pF a 2 V/s; o transistor de saída pode *fornecer* corrente, mas o resistor pullup não é suficiente (veja §2.4.1, onde motivamos push-pull com o mesmo problema). Neste circuito, o transistor driver é o pull-down, com condução através do diodo gate source![111] O restante do circuito envolve realimentação com amplificadores operacionais, um assunto proibido até o próximo capítulo; neste caso, a mágica do feedback torna o circuito geral linear (100 V de saída por volt de entrada), enquanto sem ele a tensão de saída dependeria da característica ID versus VGS (não linear) do transistor de entrada. Uma boa melhoria para este circuito consiste em substituir o resistor pullup de 660kÿ 3 W (cuja corrente cai em altas

[111] Isso é chamado de estágio de saída "totem-pole" e tornou-se popular no início dos anos 1970 na lógica TTL bipolar, veja a Figura 10.25A.

tensões, por exemplo, para 0,15 mA a 900 V) com uma fonte de corrente MOSFET de modo de depleção definida para, digamos, 0,25 mA. Veja a discussão abaixo (§3.6.2C, e também Figura 3.23, Tabela 3.6, e §§9.3.14C e *3x.6).*

Para uma análise detalhada de um amplificador de precisão de alta tensão com capacidade de saída de bipolaridade, consulte a seção com esse nome no Capítulo *4x.* Para uma análise de questões relevantes, como transcondutância MOSFET em baixas correntes, consulte *§3x.5.2,* e para a resposta de uma fonte MOSFET seguida em uma carga capacitiva, consulte *§3x.8.*

Exercício 3.18. Modifique este circuito para que a saída de alta tensão possa ser ligada e desligada, sob controle de um sinal de entrada (0 V para desligado, +3V para ligado).

3.6.2 Alguns circuitos de modo de depleção

Os MOSFETs de modo de depleção são os irmãos negligenciados dos muito mais populares MOSFETs de modo de aprimoramento. Eles podem fazer alguns truques legais, porém, que valem a pena conhecer. E eles estão disponíveis em variedades de alta tensão (até 1 kV) e alta corrente (até 6 A). A Tabela 3.6 na página seguinte lista quase todas as partes disponíveis desta espécie um tanto rara. Aqui estão algumas aplicações que exploram sua propriedade de condução em tensão de porta zero.

Tabela 3.6 MOSFETs de canal n em modo de depleção

Pacotes disponíveis

IDSS RONt VGS(th) Ciss Coss Crss

BVDS PDc mín máx @ VGS=0 mt ID @ min max type type type Custo

Papel # Manuf (V) (W) (mA) (mA) (ÿ) (mS) (A) (V) (V) (pF) (pF) (pF) $US

pequeno, RF

BF998 NXP - f - - - - - - 12 - 2 18 - 24 0,01 - –2 2.1 1,1 0,025 -

BF999 Vishay - • - - - - - - 20 - 5 18 - 16 0,01 - –2,5 2,5 1,0 0,025 -

SKY65050s Skyworks - g - - - - - - 6 pequenos - 40 70 - 80 0,12 –1 –0,7 muito pequeno -

DN2470K4 Supertex - - - - - - - • 700 2,5 500t 42m 100n 0,1 –1,5 –3,5 540 60 25 0,81

BSS126 Infineon - • - - - - - - 600 0,5 7 - 320 17 0,01 –2,7 –1,6 21 2,4 1 0,13

BSP135 Infineon - - - • - - - - 600 1,8 20 - 30 160 0,1 –1,8 –1,0 98 8,5 3,4 1,38

LND150 Supertex k ÿ • - - - - - 500 0,7 1 3 850 2 0,001 –1,0 –3 7,5 2 0,5 0,58

DN3145 Supertex - - • - - - - - 450 1,3 120 - 60m 140n 0,1 –1,5 –3,5 120 15 10 0,68

DN3545 Supertex • - ÿ - - - - - 450 1,6 200 - 20m 150n 0,1 –1,5 –3,5 360 40 15 0,74

DN2540 Supertex • - ÿ - • - - - 400 1,6 150 - 17 325 0,1 –1,5 –3,5 200 12 1 0,81

DN3135 Supertex - • ÿ - - - - - 350 1,3 180 - 35m 140 0,1 –1,5 –3,5 60 6 1 0,62

CPC3720C Clara - - • - - - - - 350 1,6 130 - 22m 225 0,1 –1,6 –3,9 70 20 10 0,37

CPC5603C Clara - - - • - - - - 415 2,5 130 - 14m - - - - 350 2,5 130 - - - –3,6 –2 300 - - –3,6 –2 300 - - 0,69

CPC5602C Clara - - - • 14m - - 0,60

DN3535 Supertex - - • - - - - - 350 1,6 200 - 10m 200n 0,1 –1,5 –3,5 360 40 10 0,68

BSS139 Infineon - • - - - - - - 250 0,4 30 - - - - - 240 1,8 50 - 12,5 130 0,08 –1,4 - 60 6,7 2,6 0,57 6,5 360 0,28 –2,1 –1,0 82 12

BSP129 Infineon - - - • 6 0,47 - - - - - 250 1,6 300 - 6m 225n 0,15 –1,5 –3,5 270 20 5 60,6

DN3525N8 Supertex - - • 6,62 - 5 0,66 - 0,66 - 0,66 - 0,66 - 4m 225n 0,1 –1,6 –3,9 327 51 27 0,57 1,7 800 0,48 –1,8 –1,0 326 41 17 0,80

CPC3703 Clara - - •

BSP149 Infineon - • - - - - 200 1,8 140 -

BSS159 Infineon - • - - - - - - 50 0,4 70 - 4 160 0,16 –2,5 0,0 70 15 6 0,31

ver nota x

IXTX01N100DX IXYS - - - - P - - Y 1000 25 IXTX08N100D2X IXYS 100t 90 150 0,1 –2,5 - 120 25 5 0,75 100t 21m 560 0,4 –2 –4 325 24 6,5 0,69

- - - - P - - Y 1000 60 IXTX1R6N100D2X IXYS - - - - P - - Y 1000 100T

21M 1100 0,8 –2.5 –4.5 645 43 43 1.611666610 0100 0,8 –2.5 –5.5 643. IXYS - - - - P - A - 1000 125 3000 - 5,5m 4200 3 –2,5 –4,5 1020 68 17 2,11

IXTx6N100D2x IXYS - - - - PHA - 1000 300 6000 - 5,5m 4200 3 –2,56 –4,5 7 2650 2650 14 2650 IXTx02N50D2x IXYS - - - - P - - Y 500 25 IXTx08N50D2x IXYS

- - - - P - A - 500 60 800 - 4,6m 570 0,4 –2 –4 312 35 11

20 150 0,2 –2 –5 120 25 5 1,05 1,62 2,3 1750 0,8 –2 –4 645 65

17

IXTX1R6N50D2X IXYS - - - - P - - Y 500 100 1600T 1600T IXTX3N50D2X IXYS - 1,66

- A - 500 125 1,5 2100 1,5 –2 –4 1070 102 24 2,13 IXTX6N50D2X IXYS -------P 570 3,20 3,13 3,x6n50d2x ixys - - - - - 570 3,20 3,13 6. m 4500 3 –2 –4

2800 255 64 4,66 IXTH20N50Dx,e IXYS - - - - - H - - 500 400 1500t,e 0,5m 7500 10 –1,5 –3,5 2500 400 100 8,61

Notas: (c) PD a Tc=25°C, para embalagens marcadas com ÿ. (e) o IXTH20N50D oferece a maior parte de sua capacidade atual na região do modo de aprimoramento. (f) tem duas portas, pacote SOT-143 de 4 derivações. (g) Pacote SC-70. (k) pinagem incomum; tente também LND250K1. (m) máximo. (n) mínimo. (s) Nome completo da peça SKY: SKY65050-372LF. (t) típico. (x) substituir a letra listada na coluna da embalagem pelo “x” no número da peça; por exemplo, IXTP01N100D é um pacote TO-220. (y) quantidade 100.

A. Proteção de entrada

Circuitos de baixo nível (como amplificadores sensíveis) não gostam de ser conduzidos além de seus trilhos de alimentação. Um esquema de proteção simples usa um resistor em série na entrada, com um par de diodos de fixação a jusante para os trilhos de alimentação do amplificador. Tudo bem para overdrive pequeno; mas é insatisfatório Portanto, se a entrada pode chegar a algumas centenas de volts (pense *na linha de força!),* porque o valor grande do resistor (ÿ100k ou mais, para limitar a corrente de falha e a potência dissipada) compromete a largura de banda e o ruído do sinal. A Figura 3.112 mostra como usar um par de MOSFETs de modo de depleção (em vez de um grande resistor) como elemento em série. A parte específica mostrada

Machine Translated by Google

é pequeno (SOT23, SOT89 ou TO-92), barato (US$ 0,60) e capaz de suportar entradas momentâneas de ±500 V. O par parece uma resistência em série de ~1,7k (duas vezes RDS(ON)) até que a entrada vai além dos trilhos do amplificador, limitando a corrente através dos diodos de fixação a ~2 mA.

Veja algumas sutilezas em "Riff on Robust Input Protection" (§5.15.5).

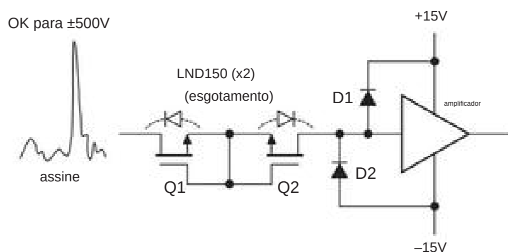


Figura 3.112. Proteger uma entrada de baixo nível contra "falhas" ultrajantes de sobretensão. Sob condições normais, os MOSFETs de modo de depleção conectados em série Q1 e Q2 (com seus diodos de corpo intrínseco mostrados) conduzem com uma resistência em série efetiva de RONÿ1 kÿ cada. Um sinal de entrada além dos trilhos de ±15 V do amplificador é bloqueado pelos diodos D1 ou D2, com Q1 e Q2 limitando com segurança a corrente do grampo para seus IDSSÿ2mA. Veja também a Figura 5.81.

B. Descarga do capacitor de alta

tensão O contato humano com um circuito de algumas centenas de volts pode ser, bem, uma experiência *chocante* . É por isso que é considerado de boa educação organizar as coisas de modo que os capacitores de armazenamento carregados com essas tensões sejam descarregados imediatamente após a remoção da energia. Afinal, os capacitores têm uma memória muito boa – eles podem permanecer carregados por horas ou até anos (é assim que os bits são armazenados na "memória flash", consulte §14.4.5).

A abordagem tradicional é colocar um resistor de "purga" no capacitor de armazenamento, dimensionado para descarregá-lo em aproximadamente 10 s. Bom o bastante. Mas não é realmente satisfatório quando você tem um capacitor de grande valor, por exemplo, um usado para armazenar energia para um gerador de pulsos de alta tensão de curta duração. A Figura 3.113 mostra tal aplicação, com um capacitor de armazenamento de 100 F carregado via +400 V por um conversor CC-CC de baixa potência (digamos, 10 W), este último alimentado por uma fonte CC de baixa tensão que também alimenta os outros circuitos do gerador de pulsos. .

O que você gostaria é de um resistor de sangria que seja conectado somente quando a alimentação externa for removida. Aqui, o MOSFET Q1 do modo de depleção é mantido no estado não condutor quando a fonte é alimentada (VGS=ÿ9 V), mas é enviado para a condução (VGSÿ0,6V) quando o +12 V está ausente. É classificado em 500 V, 3 A IDSS(min) e custa cerca de US$ 2. (Você pode obter MOSFETs de modo de depleção de até 1 kV.) Não precisamos de 3 A (o que descarregaria 100 F em apenas 13 ms), mas precisamos de um MOSFET grande o suficiente para absorver a energia armazenada,

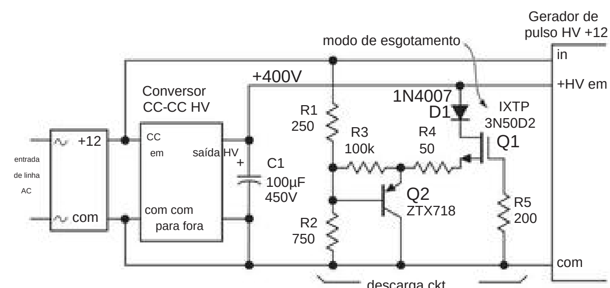


Figura 3.113. O MOSFET Q1 de modo de depleção descarrega o capacitor C1 de alta tensão de 100 F quando a energia é removida; quando energizado fica inativo.

aqui 8 joules – esta parte pode absorver um pulso de 25–50 J sem exceder TJ(max) (consulte o Capítulo 9x). O seguidor Q2 aumenta a corrente de descarga, que de outra forma seria apenas alguns miliampères (definida pelo sangrador R2).

C. Fonte de corrente Os

MOSFETs de energia em modo de depleção são excelentes fontes de corrente de 2 terminais, capazes de altas tensões (até 1000 V para algumas partes, consulte a Tabela 3.6) e muitos watts de dissipação de energia. Eles estendem a ideia básica, vista anteriormente com JFETs (§3.2.2, Figuras 3.20 e 3.23), para níveis mais altos de tensão e potência. Como essas aplicações estão associadas à potência, adiamos a discussão para o Capítulo 9 (§9.3.14C), onde você pode ver que os circuitos são os mesmos dos JFETs (Figura 9.36) e você pode se deliciar com as curvas de medida corrente versus tensão (Figuras 9.40 e 9.41).112 Essa fonte de corrente MOSFET de modo de depleção é ideal para uma aplicação como o driver piezo de alta tensão que acabamos de ver (§3.6.1), onde pode substituir a potência primitiva de 660k - pullup do resistor e, assim, fornecer corrente de dreno do estágio do driver aproximadamente constante durante a oscilação do sinal.

D. Estendendo o VIN do regulador

Às vezes você precisa estender a faixa permitida de tensão de entrada CC para algum dispositivo de baixa tensão. A Figura 3.114A mostra um exemplo: um regulador de tensão linear (§9.3) que fornece +3,3 V (por exemplo) de uma entrada CC mais alta. Esses reguladores têm uma faixa de tensão de entrada máxima limitada – talvez +20 a +30 V (se feito com BJTs), ou tão pouco quanto +6 V (se feito com CMOS). Aqui, o modo de depleção de canal n MOSFET Q1 é conectado como um seguidor, fornecendo na entrada do regulador uma tensão maior que VOUT pelo

112 Há muito mais detalhes detalhados no Capítulo *3x (§3x.6),* onde mostramos truques para aumentar a impedância de saída (ou seja, constância da corrente) com o sempre maravilhoso cascode, aumentar a tensão operacional com uma pilha em série e reduzir a potência dissipação.

magnitude de seu VGS; para o IXTP08N50 VGS está entre ÿ2 e ÿ4 V, então a entrada do regulador é mantida entre 2 e 4 V acima de sua saída. A tensão de entrada do circuito pode chegar a +500 V (o máximo nominal de Q1), levando em consideração a dissipação de calor, é claro. O resistor RCL protege Q1 definindo um limite aproximado de corrente. Você pode usar o mesmo truque com um regulador de corrente constante (Figura 3.114B). Para obter detalhes, consulte a discussão mais completa no Capítulo 9 (§9.13.2). Consulte também *§3x.6* para uma discussão sobre o uso de MOSFETs de modo de depleção como fontes de corrente, especialmente em altas tensões.

3.6.3 MOSFETs paralelos

Às vezes, você ouve a afirmação de que os MOSFETs de potência podem ser colocados em paralelo diretamente (sem resistores de lastro nos condutores da fonte), porque seu coeficiente negativo de temperatura de ID em VGS fixo garante a redistribuição automática das correntes de dreno em uma matriz paralela. Além disso, diz a história, a mesma propriedade evita fugas térmicas.

A. Como interruptores – Sim!

MOSFETs de potência exibem tempco negativo de ID - mas apenas em altas correntes de dreno (ou, mais precisamente, em relativamente grandes valores de VGS), como visto na Figura 3.115. Para aplicações de *comutação ,* nas quais você está operando em VDS essencialmente zero (limitado por RON), o drive de gate grande coloca o dispositivo na região de ID tempco negativo, então você *pode* (e deve) simplesmente amarrar vários MOSFETs em paralelo, sem resistores de lastro.113 Aqui , o RON aumenta com o aumento da temperatura (Figura 3.116), e a conexão paralela compartilha a corrente de drenagem (e a potência) adequadamente.

O tempco positivo de RON, embora útil para paralelo

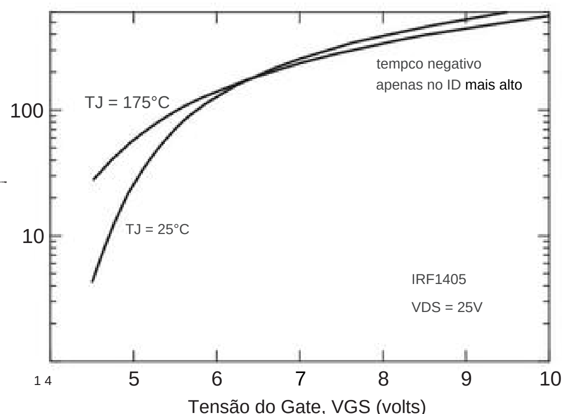


Figura 3.115. Características de transferência *(ID* versus VGS) para o MOSFET de potência de canal n IRF1405 . Observe que o coeficiente de temperatura é positivo, exceto nas correntes de dreno mais altas (>175 A); para aplicações lineares, você raramente excederia 10 A de dreno cur aluguel.

funcionamento dos comutadores MOSFET, cria um novo problema, nomeadamente a possibilidade de *fuga térmica.* Consulte §3.6.4.

B. Em circuitos de potência lineares – Não!

Aqui a situação é mais complicada: na maioria das aplicações lineares *(p. (IDVDS)* seria muito maior do que o permitido por considerações térmicas (ou seja, temperatura de junção excessiva; consulte §9.4.1A).

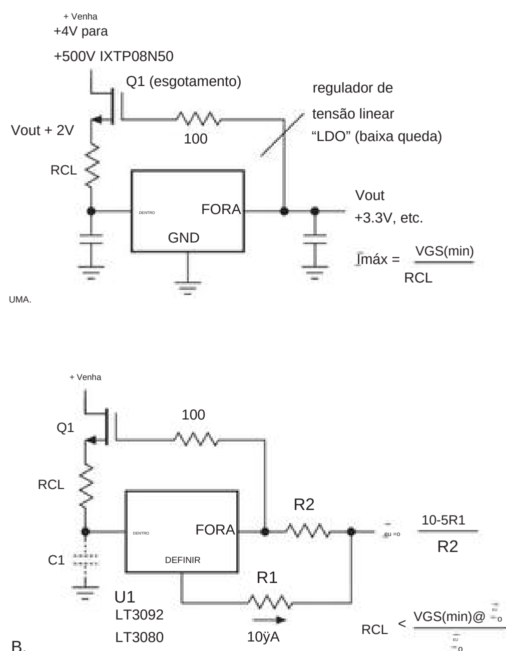


Figura 3.114. A. Um MOSFET de modo de depleção de alta tensão estende a faixa de tensão de entrada de um regulador de tensão em série. B. Um circuito analógico para uma fonte de corrente. Para um bom desempenho em altas frequências , C1 deve ser pequeno ou até mesmo eliminado completamente. Veja a Figura 9.104, onde os is são pontilhados, os ts são cruzados e tudo é explicado.

Por exemplo, o transistor da Figura 3.115 é limitado a 200 watts de dissipação a uma temperatura de caixa de 75°C; portanto, em um circuito com 25 V, a corrente de dreno média é limitada a 8 A, na qual ID tem um grande tempco positivo.

Portanto, para aplicações lineares práticas - nas quais você opera

113 No entanto, cada FET deve ter seu próprio resistor de porta em série para evitar oscilações durante as transições de comutação; eles estão tipicamente na faixa de alguns ohms a algumas dezenas de ohms e devem ser usados normalmente também para MOSFETs de comutação única. Os grânulos de ferrite no portão ou nos condutores de drenagem também podem ser úteis para controlar as oscilações.

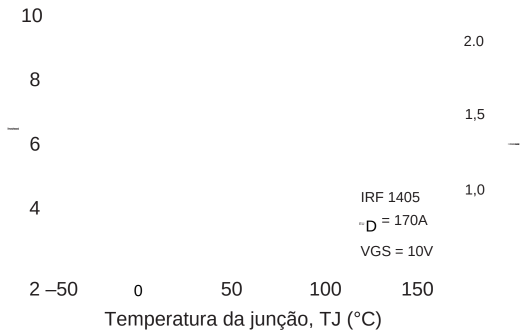


Figura 3.116. A resistência ON aumenta com o aumento da temperatura: RON versus temperatura para o MOSFET de potência de canal n IRF1405.

com VDS substancial – o compartilhamento de corrente desigual de MOSFETs em paralelo é de fato exacerbado. E, como você está usando vários transistores exatamente porque um único não aguenta a energia, o circuito está com sérios problemas; um único transistor provavelmente consumirá uma parte excessiva da corrente, colocando sua dissipação bem acima do limite definido pela resistência térmica e pelo dissipador de calor.

Resistores fonte-lastro A

solução é adicionar pequenos resistores de lastro nos terminais individuais da fonte, escolhidos aproximadamente de modo que a queda de tensão entre eles seja pelo menos comparável à dispersão nas tensões operacionais da fonte do gate (Figura 3.117A). Descobrimos que alguns décimos de queda de volt são frequentemente adequados para MOSFETs de um determinado tipo, de um único lote de fabricação ou de transistores selecionados para VGS combinados; nunca, as especificações da folha de dados sugeririam (conservadoramente) quedas maiores - um ou dois volts na corrente operacional total.[114] como A menos que você esteja disposto a se preocupar com transistores combinados (tanto durante a construção inicial quanto na substituição posterior), você deve adotar uma abordagem conservadora para produzir um projeto robusto, com resistores de lastro de fonte dimensionados para diminuir um volt ou dois nas correntes onde dissipação de energia torna-se importante.

Este exemplo ilustra o dilema frequente de um projetista, ou seja, uma escolha entre um circuito conservador que atende ao critério estrito de projeto de pior caso e, portanto, tem *garantia* de funcionamento e um projeto de circuito de melhor desempenho que não atende às especificações de pior caso, mas tem uma probabilidade esmagadora de funcionar sem problemas. Há momentos em que você se encontrará escolhendo o último, ignorando a vozinha sussurrando em seu ouvido.

114 No exemplo em §3.6.3A, você pode colocar quatro IRF1405s em paralelo, com resistores de 0,1 ÿ 10 W em cada fonte para lidar com uma corrente total de 25A.

Realimentação ativa

Este problema de correspondência de corrente exemplifica uma compensação típica de circuito de robustez versus desempenho: uma queda de lastro conservadoramente grande produz aumento de RON e dissipação de energia. Como costuma acontecer, um circuito inteligente pode recuperar os benefícios perdidos.

A Figura 3.117B mostra uma boa solução, outra em nossa série "Designs from the Masters"; apenas um trecho desta vez, mas um trecho valioso. Os pequenos resistores de detecção de corrente nos condutores da fonte MOSFET fornecem feedback ativo por meio de um amplificador diferencial primitivo. Comparado com um circuito conservativo de lastro de fonte (Figura 3.117A), no qual os resistores de fonte são escolhidos para fornecer uma queda de 2 V (a uma corrente nominal de 1 A por transistor operacional), o circuito ativo usa resistores de detecção muito menores de 0,1 ÿ , fornecendo 100 mV de queda, que é aplicada ao par diferencial *npn* para ajustar as tensões da porta conforme necessário para equalizar as correntes da fonte. Este circuito requer uma tensão de acionamento de porta maior, o que raramente é um problema; em troca, minimiza a queda de tensão e a impedância no caminho de alta corrente do MOSFET. Este esquema é adequado para circuitos relativamente lentos, por exemplo, o elemento de passagem em série em uma fonte de alimentação linear. Observe que esse arranjo é facilmente expandido para qualquer número de MOSFETs.[115] Há uma exceção agradável a essa característica geral de ID tempco positivo em MOSFETs de potência: dispositivos *laterais* (em

oposição à estrutura *vertical* de quase todos os MOSFETs de potência) exibem tempco negativo começando com tensão de porta muito baixa (e ID muito baixo); veja a Figura 3.118.

Os MOSFETs de potência lateral não atingem a alta tensão de ruptura e as baixas classificações de RON dos MOSFETs de potência vertical, mas são preferidos em aplicações de potência linear, como amplificadores de áudio, por sua linearidade e estabilidade térmica. Uma escolha popular é o par complementar 2SK1058 (canal n) e 2SJ162 *(canal* p) da Renesas (Hitachi), limitado a 160 V e 7 A; seu RON é um inexpressivo ÿ1ÿ.

Isso não é uma grande preocupação no contexto de amplificadores lineares, onde eles não operam perto da saturação de tensão; mas é alto o suficiente para que você frequentemente veja vários deles usados em paralelo. Consulte a seção "Transistores de potência para amplificadores lineares" no Capítulo *3x* para uma discussão mais detalhada.

O *tempco* positivo de ID em MOSFETs de potência cria um problema adicional, ou seja, a possibilidade de *fugir.*

115 Encontramos este truque de circuito bonitinho usado em algumas fontes de alimentação lineares série E3610 da HP (posteriormente Ag ilent, agora Keysight). É muito mais simples do que usar amplificadores operacionais individuais para polarizar cada transistor, como sugerem alguns fabricantes de MOSFET. Uma maneira diferente de se beneficiar da maior capacidade de dissipação de energia de múltiplos transistores é conectá-los em *série,* veja por exemplo a Figura 9.111. Uma conexão em série garante uma distribuição de corrente igual.

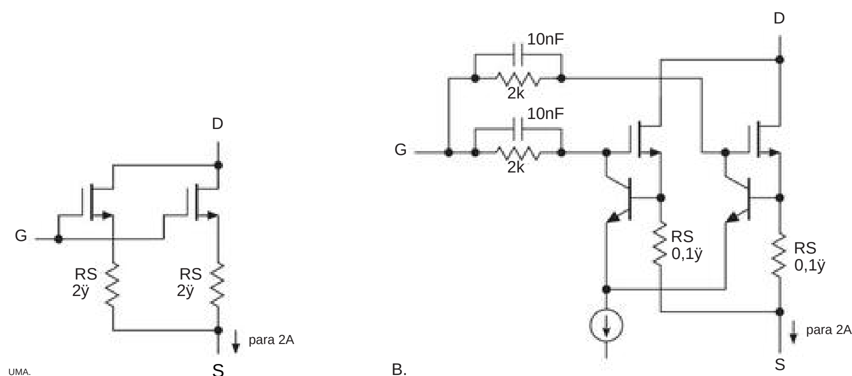


Figura 3.117. MOSFETs de potência paralela: A. com resistores de lastro de fonte; B. com resistores de detecção e feedback ativo.

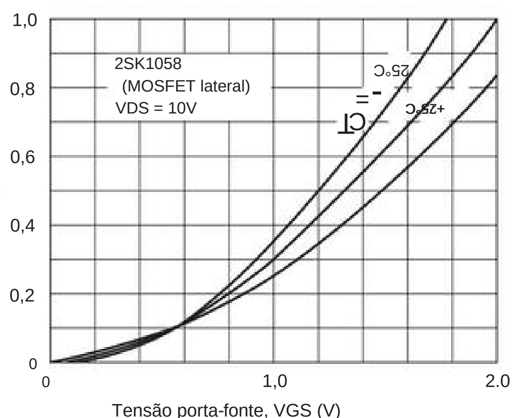


Figura 3.118. Características de transferência *(ID* versus VGS) para o MOSFET de potência de canal n lateral 2SK1058 , popular para uso em amplificadores de potência de áudio de alta fidelidade. Aqui o coeficiente de temperatura é negativo na maior parte da região operacional.

3.6.4 Fuga térmica

Até agora, evitamos a palavra R, porque "descontrole térmico" é bastante independente de os transistores serem usados em paralelo; refere-se particularmente a configurações de circuitos nas quais a dissipação de potência produz um aumento de temperatura que por sua vez aumenta a potência que deve ser dissipada. Dois exemplos importantes são o amplificador linear push-pull e a chave de potência saturada.

A. Amplificador de potência push-pull No amplificador de potência push-pull classe AB, comumente usado em estágios de saída de áudio, o par push-pull é polarizado com corrente quiescente substancial (normalmente ~100 mA) para preservar a linearidade durante o cruzamento da forma de onda. A corrente quiescente varia com a temperatura porque tanto o ID (com MOSFETs) quanto o IC (com transistores bipolares) têm coeficientes de temperatura em tensão de acionamento constante. Dependendo da configuração do circuito e do grau de dissipação de calor, os transistores de saída podem ou não atingir uma temperatura estável; caso contrário, você terá uma fuga térmica (independente de ter colocado vários transistores em paralelo ou não).

Vimos isso anteriormente em §2.4.1B, onde introduzimos o amplificador de potência de áudio push-pull construído com transistores *bipolares* complementares . Como os transistores bipolares têm um tempco positivo de corrente de coletor em VBE[116] e de sempre fixo, a abordagem é separar as bases com uma fonte de tensão que rastreia o tempco dos VBEs do estágio de saída - normalmente usando diodos ou junções base-emissor do transistor, acoplados termicamente ao dissipador de calor do estágio de saída – geralmente em conjunto com pequenos resistores de emissor no estágio de saída (Figura 3.119B).

MOSFETs de potência em amplificadores push-pull lineares apresentam o mesmo problema, porque eles são operados na região de tempco positivo de ID (§3.6.3B). Você pode usar o mesmo truque (gerador de polarização com tracking tempco negativo, talvez em combinação com resistores de fonte de estágio de saída de valor pequeno; consulte a seção "Transistores de potência para amplificadores lineares" no Capítulo 3x). No entanto, o problema é bem contornado usando MOSFETs de potência lateral, cujo tempco negativo de ID (Figura 3.118) começando em ID ÿ 100 mA garante que não haja fuga térmica. A abordagem usual é polarizar as portas do estágio de saída com uma tensão CC constante (ajustável), conforme mostrado na Figura 3.119, ignorada nas frequências do sinal.117 A polarização é normalmente definida para uma corrente quiescente IQ próxima ao cruzamento de temperatura zero

116 Ou, alternativamente, um tempco negativo de VBE para IC constante .

117 A figura mostra os circuitos básicos. Na prática, os transistores bipolares seriam configurados como pares Darlington ou Sziklai, e o estágio de driver de terminação única poderia ser substituído por um par simétrico de drivers, acionados a partir do estágio de entrada diferencial. Para um amplificador de 150 W, você provavelmente usaria pares de transistores paralelos para ficar dentro

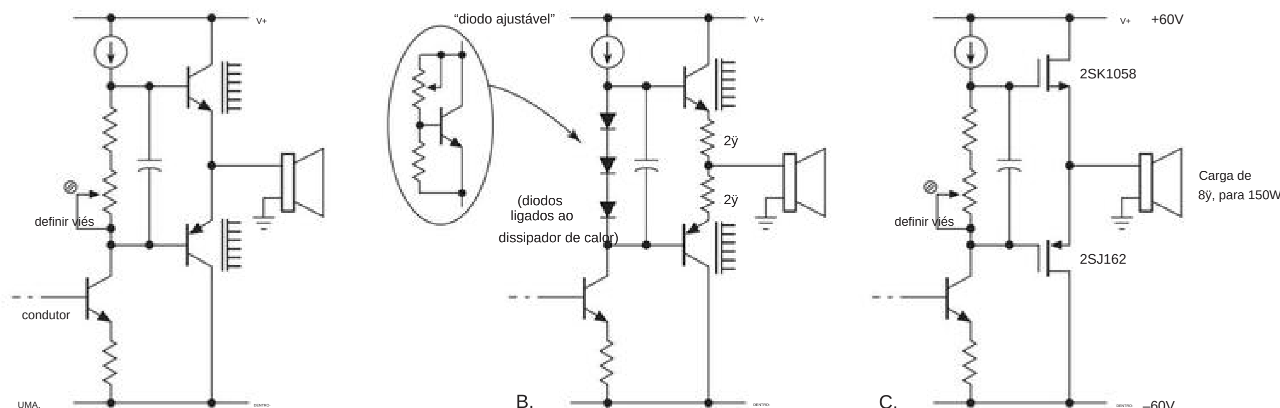


Figura 3.119. Estabilidade térmica em amplificadores de potência push-pull – configurações de estágio de saída simplificadas. A. A polarização VBE fixa promove fuga, devido ao tempco IC positivo no estágio de saída bipolar. B. Rastreamento do gerador de polarização termicamente acoplado doma o descontrole. C. Corrente quiescente estável em MOSFETs laterais polarizados em VGS fixo; nenhuma compensação térmica é necessária.

o par complementar 2SK1058/2SJ162), garantindo que o QI permaneça relativamente constante à medida que o amplificador aquece.118

B. Comutador saturado

Acredita-se amplamente que os MOSFETs são imunes à fuga térmica quando usados para *comutação de energia.* O processo de pensamento é o seguinte: "Esses filhotes têm RON realmente baixo quando levados à condução total, então eles dificilmente precisam de dissipador de calor; além disso, se eles aquecerem (enquanto transportam alguma corrente grande, mas limitada), a coisa se estabilizará em alguma temperatura elevada, porque a energia transportada pelo dissipador de calor aumenta aproximadamente proporcional ao aumento acima da temperatura ambiente e, eventualmente, alcança o energia sendo dissipada; além disso, ei, essas coisas são *difíceis!*

Belos pensamentos. Mas a realidade pode ser diferente. Isso porque o RON não é constante, mas aumenta com a temperatura (Figura 3.116); assim, o switch dissipa mais energia à medida que aquece e, se o dissipador de calor for muito pequeno, o calor que ele transporta pode nunca ser recuperado - caso em que o processo é interrompido!

Para dar alguma perspectiva: você não precisa ter uma *fuga térmica real* para causar superaquecimento e destruição – um dissipador de calor de tamanho menor119 fará o trabalho muito bem por todos.

temperatura de junção permitida; nenhum resistor de lastro seria necessário para a versão MOSFET.

118 Como os MOSFETs laterais podem ser difíceis de obter, um MOS FET de potência regular pode ser usado no lugar do "diodo VBE" BJT (como na Figura 3.119B) para polarizar um par complementar de MOSFETs de potência comuns. Essa abordagem evita fuga térmica porque o tempco de um MOSFET é maior em correntes baixas do que em correntes altas, consulte a Figura 3.115.

119 Ou nenhum! As impressionantes classificações ID(max) na folha de dados podem

diminuindo a temperatura da junção para subir acima de TJ(max). E, como veremos em breve, a melhor abordagem é reduzir a dissipação de energia reduzindo o RON, em vez de acumular dissipadores de calor maiores. Com este comentário cauteloso, vamos ver como o descontrole térmico real pode ocorrer em um projeto imprudente.

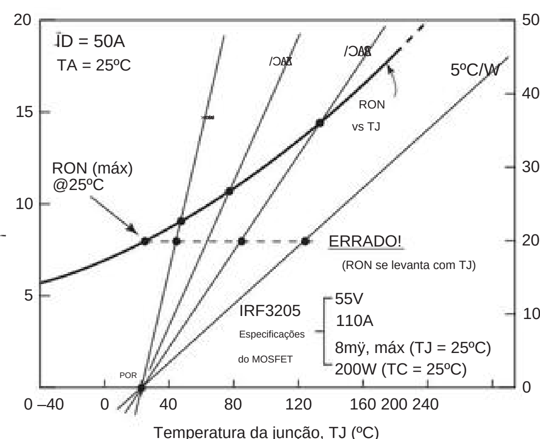


Figura 3.120. Descontrole térmico em um switch MOSFET. A linha curva plota a resistência máxima ON e a dissipação de potência correspondente a 50 A para um MOSFET de potência de canal n IRF3205 . As linhas retas plotam a potência removida por três opções de resistência térmica do dissipador de calor RÿJA. A fuga térmica ocorre com o menor dissipador de calor, onde não há interseção gráfica.

A Figura 3.120 mostra uma maneira gráfica fácil de ver o que está acontecendo e descobrir quanto dissipador de calor você precisa para

tentá-lo a omitir totalmente o dissipador de calor, mesmo em um circuito de comutação operando em correntes de dreno substanciais.

evitar descontrole (e, a propósito, manter a temperatura da junção TJ abaixo do TJ(max) especificado). Começamos plotando o RON versus a temperatura da folha de dados para um MOSFET de potência barato (seu gráfico chega a 175°C, porque essa é a temperatura nominal máxima da junção; tomamos a liberdade de estender o gráfico outros 75°). Então usamos isso para avaliar a dissipação de potência, como Pdiss = *I* 2RON; para nossa corrente de dreno de 50 A escolhida, obtivemos os valores marcados no eixo direito. Finalmente, plotamos separadamente a potência transportada por quatro valores de dissipador de calor "resistência térmica" RÿJA (dados por Pdiss = *(TJ ÿTA)/ RÿJA),* assumindo uma temperatura ambiente de TA = 25ÿC (muita discussão sobre isto em §9.4.1A).

Os dissipadores de calor transportam uma quantidade de energia proporcional ao aumento da temperatura acima da temperatura ambiente, conforme plotado; o transistor gera energia de acordo com seu gráfico. A interseção (se houver!) é a temperatura de equilíbrio, que neste caso é cerca de 45ÿC ou 75ÿC, para os dois dissipadores de calor maiores. Mas o menor dissipador de calor não tem interseção – ele não pode transportar tanto calor quanto o transistor gera, em qualquer temperatura: *descontrole térmico!* Na vida real, você deve presumir que a temperatura ambiente será mais alta (o equipamento é colocado em racks ou empilhado com outro equipamento; e você pode ter clima quente!): você faria isso deslizando as curvas do dissipador de calor para o certo.

A partir deste exemplo simples, você pode concluir que dissipadores de calor maiores são a cura certa para fuga térmica em aplicações de comutação saturadas. Mas olhe novamente para os números: estamos trocando 50 A com um RON de ordem 10–15 mÿ – isso é uma queda de 0,5 a 0,75 V e uma dissipação de 25 a 40 W. Nesses tipos de correntes, realmente deveríamos usar um transistor maior, ou vários em paralelo, para reduzir o RON (e, portanto, a potência dissipada). A especificação de "ID máximo " (aqui 110 A) parece muito boa em uma folha de dados, mas não é um guia realista para a operação CC apropriada da peça. Neste exemplo, uma escolha melhor seria uma parte RON baixa como o FDB8832120 com RON = 2,3 mÿ (max) a 25ÿC e com uma tensão ON típica de 115 mV a 50 A e dissipação de energia de 5,8 W.121 Isso é uma parte de 30 V (mosfets de alta tensão têm RON mais alto); se você quiser alternar tensões um pouco mais altas com baixo RON e PD, suas opções são usar um módulo MOSFET122 de alta potência ou (mais barato) vários MOSFETs convencionais em paralelo. Para tensões acima de 400 V ou mais, o transistor de escolha é o IGBT (transistor bipolar de porta isolada; consulte §3.5.7A), que tem as propriedades de entrada de um MOSFET e as propriedades de saída de um BJT. Um exemplo é o Mit subishi CM1200HC-50H, classificado em 2500 V e 1200 A: em plena corrente ele satura em apenas 3 V (equivalente a uma resistência ON de 2,5 mÿ). Isso é muito bom. . . mas isso resulta em dissipação de 3,6 quilowatts! Essas coisas são usadas para comutação de energia em aplicações como locomotivas elétricas.)

Para não deixarmos a impressão errada, nos apressamos em apontar que os cálculos térmicos e a seleção do dissipador de calor não precisam exigir o tipo de plotagem gráfica que fizemos aqui (no qual estávamos interessados principalmente na possibilidade de fuga térmica verdadeira). Mais simplesmente, você pode simplesmente aplicar um fator de segurança *m* ao valor 25ÿC RON da folha de dados para obter uma estimativa razoável de RON na temperatura máxima da junção (150ÿC); disso você consegue

$$TJ ÿ TA + I_D^2 \cdot mRON(25C) \cdot RÿJA. \tag{3.15}$$

O multiplicador *m* varia um pouco com a tensão nominal do MOSFET; com base em dados de muitas folhas de dados (consulte o gráfico e a discussão na seção "MOS FET ON-resistência versus temperatura" no Capítulo 3x), varia de aproximadamente mÿ1,5 (para MOSFETs de baixa tensão) a aproximadamente mÿ2,5 (para MOSFETs de alta tensão). Como regra prática, você estará seguro se usar m=2 para MOSFETs classificados para 100 V e m=2,5 para aqueles de tensões mais altas (pelo menos até 1kV).

C. Segunda falha e área operacional segura Vale a pena enfatizar um efeito térmico relacionado ("segunda falha") que foi discutido anteriormente em §3.5.1B: os transistores de potência falham (geralmente 123) se operados além de sua tensão máxima, sua corrente máxima ou sua temperatura máxima de junção (a última dependente da dissipação de energia, duração do pulso, resistência térmica do dissipador de calor e temperatura ambiente; consulte §9.4.2). Os limites definem a *área operacional segura,* ou SOA, por exemplo, conforme mostrado na Figura 3.95. Os transistores bipolares sofrem de um modo de falha adicional conhecido como *segunda quebra,* uma instabilidade incompletamente compreendida caracterizada por aquecimento local, redução da tensão de quebra e, muitas vezes, destruição da junção. É a segunda divisão que impõe a restrição adicional aos SOAs bipolares na Figura 3.95.

Felizmente, os MOSFETs têm menos probabilidade de sofrer uma segunda quebra, o que contribui para sua popularidade nos circuitos de potência.124 Observe que, para ambos os tipos de transistores, a corrente máxima e os limites de potência são maiores para pulsos curtos.

[120] Do mesmo fabricante, Fairchild Semiconductor.

[121] Subindo para 3,6 mÿ, 180 mV e 9 W (máximo) em TJ=150ÿC.

[122] Eles vêm em pacotes "SOT-227" roucos, com terminais de parafuso na parte superior, uma base de metal isolada e com nomes como "ISOTOP" e "miniBLOCO."

[123] Ou, talvez mais precisamente, eles não têm garantia de *não* falhar!

[124] Alguns tipos mais novos de geometria fina *são* suscetíveis, no entanto; consulte a nota de aplicação IR AN-1155.

Tabela 3.7 Transistores de efeito de campo de junção (JFETs)a

Parte #b		Prefixos & Pkgsd					VDSS máx. (V) / IDSS mín. máx. (mA) (mA) (mA) / RON máximo (Oh) / VGS(desligado)c mínimo máximo (V) (V) / VGS @ ID medido (mA) / gm mín. máx. @ID meas @ID (mS) (mS) (mA) (mS) (mA)	Gmax	Tipo de tipo Ciss Crss (pF) (pF)
PN4117	N		UMA	C	-	-	40 0,03 0,09 0,07 - -0,6 -1,8 -0,33 0,03 0,07 0,21 40 0,08 0,24 0,20 - -1 40 Com 0,09 0,03 1,2 0,3	4200	60r 0,13 0,1
'4118	N	-	UMA	C	-	-	0,20 0,60 0,30 - -2 25 0,20 1,5 0,63 -2 1,0 5,79 -4,3 1,35 1,3 0,08 0,25 -6 0,9 -1,3 Com 0,3 1,2 0,3 1,7 2,3	1900	80 1,2 0,18
'4119	N	-	UMA	C	-	-	25 4 10 6,6 - -0,5 -4 -1,65 1 25 8 20 14 -2 -6 -2 0,1 1,3 40 6 12 6.1 Com 190 4,5 1,5 1	0,3 ...	4,5 1,2 4,5
BFT46	N	-	-	C	-	-	- -1,2 -0,16 0,3 1 -1,5 - Com 210 4,5 1,2 30	50	4,5 1,2 10 230
BF511	N	-	-	D	-	-	- -0,75 1 4 5 3,5 - -0,5 -6 - Com 2,7 1		-
2N5457	N		UMA	C	-	-	-0,81 1 1 1 9 -1 -7 -0,97 1 -2 -8 -1,82 3 5 Com 2,3 1		
'5458	N	-	UMA	C	-	-	- 1,5 5,5 2 Com 2,2 1		
'5459	N	-	UMA	C	-	-	4,1 16 9,9 - 6 1 4 1,5 Com 2,9 3		
2N5460	P		UMA	C	-	..	-5 3,4 - 0,75 6 +0,97 1 -9 2,7 1 7,5 +0,67 1 5 2 6 Com 1,9 1		
'5461	P		UMA	C	-	-	1,8 9 +4,15 1 - Com 2 1		
'5462	P		UMA	C	-	-	Com 2,5 3		
MMBF4416	N		UMA	C	C	C	- -6 -0,19 5 4,5 7,5 Com 3,9 5		4 0,8
2N5484	N	-	UMA	C	-	C	3 6 3,5 Com 2,3 1		10 2,2 10
'5485	N	-	UMA	C	-	-	7 4 8 22h Com 2,1 1		2,2 10 2,2
'5486	N	-	UMA	C	-	-	- 10h 10h Com 2,1 1		30 6
2SK170BL	N	-	B	-	-	-	- -0,2 -1,5 -0,04 5 de 29 5		
LSK170B	N	-	B	C	-	-	40 6 40 12 7.6 - -0,2 -2 -0,17 3 - -0,2 -2 -0,26 1 20 3 1 24 5	160	20 5 20 5
LSK170C	N	-	B	C	-	-	10 20 13 25 6 30 12 25 5 - -0,5 -1,5 -0,47 1 16 25 - de 16 5	90	
BF861B	N	-	-	C	-	-	19 20 10 25 12 40 8 10 40 -3,2 -7,8 -1,80 5 3,0 6,5 z 3,7 5 - -0,3 -1,2	150	7,5
BF545C	N	-	-	C	-	-	19 30 -1,2 -2,7 -1,00 5 -0,21 5 35 45t z 26 5 2 10 5 5 8,8 5 10 10 5 10 6,2	30	1,7 0,8 10
BF862	N	-	-	C	-	-	7,5 12t 40 50 150 115	270	1,9 16 6
PF5103	N	-	UMA	C	-	-	30 -4 -10 -7,15 5 16t 40 - 38 60 - 38 60 5 -1,67 5 13t 40 5 30 16 100	160	12 3,5 12
PN4391	N		UMA	C	C	C	-0,5 -3 -1,25 1 40t 25 500 - 3 -4,5 -10 -8,39 5 53t 25 200 - 6 -6 -2,42 5	30	3,5 12 3,5
'4392	N		UMA	C	C	C	25 100 - 8 -0,5 -4,5 - 1,93 5 37t 25 80 - 325 8 -1 -12 -2 -6,8 3 2,8 25 5 25 40 75t	130	160m
'4393	N		UMA	C	C	C	- 122 18 -0,5 -4 -1,80 5 35 20 115 30 -3 -10 - 7,6 5 35 5 -2,8 5 10 1	150	35m 160m
J105	N	-	UMA	C	-	-	- 5 37 10 5 43 10	60	35m 160m
J106	N	-	UMA	C	-	-	- -2 5 48 10 5 31 10	230	35m 85 15
J107	N	-	UMA	C	-	-	- 5 32 10 5 34 10	340	85 15 85 15
J108	N		- UMA	C	C	-	8,4 5 9,5 5	60	28 5 28 5
J109	N		- UMA	C	C	-		160	
J110	N		- UMA	C	C	-		220	
J111	N	-	- UMA	C	C	-	- ---	30	
J112	N		- UMA	C	C	-	- 47 50 -1 -5 6,7t 1	100	
J113	N	-	- UMA	C	C	-	35 2 30 - 21 100 -0,5 -3 -1,0 5 8t 11 5	100	28 5 13
J174	P	-	B	C	C	-	-20 -135 26 85 -5 -10 +2,08 5 4,5 30 -7 -60 13 125 -3 -6 +1,58 1 30 - 1 5 - -	15	6 13 6
J175	P		B	C	C	C	-2 -25 6,1 250 -1 -4 +0,86 1 30 -1,5 -20 4,2 250 -0,8 -2,5 +0,62 1 25 ...	30	13 6 13 6
J176	P	-	B	C	C	C	6.3 - 5 - -	40	
J177	P		B	C	C	C	--- - -	50	
J308	N		UMA	C	C	-	12 60 35 - 12 30 23 - -1 -6,5 -1 - - 8 - 10 12 5 -1,2 5	120	4 2
J309	N		UMA	C	C	C	24 60 39 - -2 -6,5 -4 10 20 10 11 5 18 10 8,9 5	300	4 2
J310	N	-	UMA	C	C	C	-2,4 5 8	100	4 2
JFETs duplos									
LS840-42	MULHERES		F				60 0,5 5 1,5 - 3.3 -1 -4,5 -1 -0,85 1 0,5 1 0,2 1,5t 0,5 2.1 1	180	4 1,2 8m
'843-5	N		F				60 15 2,6 6,5 - - -3,5 - -0,15 - - 20t 8 3 1 20t 8 3 4 - - -		3m
LSK389A	N		F,J				40 12 10 20 - -2 -0,15 -2 -0,15 - - 30 40t 10 5 25,7 5 - - -	-	25 5,5 25
'389B	N		F,J				40 6 12 - -2 -1 -5 -0,24 5 23 5	170	5,5 25 5,5
'389C	N		F,J				40 - -1,75 5 -0,3 - - - -	-	
LS5912	N		F, J, Kp				25 7 40 40 18 30 - -1,2	70	5 1,2
IFN146	N		Fv				- 6 - 1 -0,19	660	75m 15m

(a) listados geralmente por IDSS crescente, mas também por número de peça dentro de uma família (por exemplo, J105–J113); veja também a Tabela 8.2 para parâmetros de ruído. (b) para famílias de partes relacionadas, negrito designa a matriarca da família. (c) geralmente especificado em ID=1nA ou 10nA, embora às vezes em 10ÿA ou mesmo 200ÿA (por exemplo, para os "interruptores" J105–J113); não importa muito, dada a ampla gama de VGS(off) especificado. (d) veja a figura de pinagem que acompanha; todos os JFETs parecem ser simétricos (a fonte e o dreno são intercambiáveis), mas o itálico designa uma pinagem de folha de dados na qual os terminais S e D são trocados. (e) Gmax=gm/gos, o ganho máximo de tensão da fonte aterrada em uma fonte de corrente como carga de dreno; valores listados medidos em ID=1mA e VDS=5V, salvo indicação em contrário. O Gmax é proporcional ao VDS e, para a maioria dos JFETs , o Gmax é relativamente constante ao longo da variação do ID. Use o Gmax tabulado para encontrar gos=gm/Gmax. (m) máximo. (p) vários pacotes PDIP-8 disponíveis. (r) em ID=30ÿA. (s) em ID=300ÿA. (t) típico. (v) variante da pinagem "F": terminais G e D trocados. (z) no IDSS.

Tabela 3.8 Drivers de porta MOSFET de lado baixo

velocidadeb

Pacotes

Cload

Vmin Vmax Ipk

Papel # Mfgd (V) (V) (A) (ns, tipo) (nF)

TC4426-28 MC+ 2 4,5 18 1,5 55 1 T - - - - nn • - • • - • G,A 70 1,8 T -

TC4423-25 MC+ 2 4,5 18 TC4420,29 MC+ 3 --- nn• -••- • G,A 80 2,5 T ----••• •••-• G

2 4,5 18 TC4421-22 MC+ 1 4,5 18 6

9 85 10 T - - - - • • • • • • • - • G,J

FAN3111 F 1 4,5 18 1 20 0,5 C - - - ccc • - --•- 20

FAN3100C,TF 1 4,5 18 2 1 C,T - - • ccc • ---•• A 30 1 T - - • - • • - - - - • - B 25 2,2 T -

FAN3180 F 1 5 18 2 4,5 18 2 - • - • • • - - • - - D -

FAN3216-17 F 2

FAN3226-29C,TF 2 4,5 18 2 25 1 C,T - - •ccc• - - • - • C,E

FAN3213-14 F 2 4,5 18 4 20 2.2 T - - • - • • • - - • - - C

FAN3223-25C,TF 2 4,5 18 4 25 2.2 C,T - -•ccc • ---• • E 21 50

FAN3121-22 F 1 4,5 18 1 12 10 T - - • • • • • - - • - •

IRS44273L E 20 9 1,5 1 T - - • --•- ---•-

IR25600 E 2 6 20 1,5 75 1 T - - 1 C5,T - - - - - - • - - • • - -

MAX17600-05 MA 2 4 14 4 15 • nn • --•-•H 5 C,T - - - ccc • - - • - • 7,6h 18 1 C,T - - • ccc • - -

MAX5054-07 MA2 4 15 4 38 - • • 4 47 1,8 T - - -

MAX5048A,B MA 1 4 12,6 UCC37323-25k

TI 2 4,5 15 - ••• -••-•

UCC27517 DO 1 4,7 20 4 17 1.8 T - -•ccc - - - - • -

UCC27516-19 DO 1 4,7 20 4 17,21 1,8 T,C - - ••••• ---•• 17 1,8 T - - • • • •

UCC27523-26 DE 2 4,7 20 5 - - • • - • E,H

UCC37321-22k TI 1 4 15 9 MI 1 50 10 T - - - • • • -••-• 24

MIC44F18-20 4,5 13,2 6 1 T --••••• --•-•

ADP3623-25 A 2 4,5 18 TI 2 3,5 14 28 2.2 T - - • - • • • 38 - - • - - H,P

LM5110 4 2 T • - • - nn • - - • - • H,L

LM5112 DE 2 3,5 14 5f 7g 38 2 T • -•-nn- - -• - • H,L,M

LM5114 DO 1 4 12,6 7,6h 16 1 C - - • ccc • - - - • •

ISL89367 EM 2 4,5 16 6 45 10 F • - • nãoo • - - • -• N

ISL89160-62 IN 2 4.5 16 45 10 C5,T - - • - • • • --•-• O MC34151 O 2 6.5 18 50 1 T --•--• - -••-- 1 12 18 2e 200 3.3 T - • -

6 1,5

IR2121 E - - • - - • ---F

UC3708 DE 2 5 35 3 37 1 T --- •-•• -•---

IXDD602 IX 1 4,5 35 2 50 1 C5 - - - • • • • - • • - • H,R 40

IXDD604 IX 1 4,5 35 4 1 4,5 35 9 1 C5 ---•••• -•• - • H,R

IXDD609 IX 60 10 C5 - - • • • • • • • • - • R -

IXDD614 IX 1 4,5 35 14 70 15 C5 - 65 5,6 C5 - - - • • • • • • • --R

IXDD630 IX 1 10 35 30 - • • • • • • - - - - K,R - ----- •- -- - • -

ZXGD3002-04 D 1- 20,40 9,5 11 1 M,S

Notas: (a) ordenada por família, dentro da família ordenada por fora; exceto para a série ZXGD3000, todos os dispositivos oscilam entre trilhos, ou quase isso. (b) em Cload em Vs=12V. (c) porta de entrada com entradas inv e não inv. (d) A=Dispositivos Analógicos; D=Diodos, Inc; F=Fairchild; IN=Intersil; IR=Retificador Internacional; IX=Ixys/Clare; L=LTC; MA=Máxima; MC=Microchip; MI=Micrel; O=OnSemicondutor; S=STMicroeletrônica; TI=Texas Instruments. (e) 1A fonte, 2A sumidouro. (f) fonte 3A, dissipador 5A. (g) fonte 3A, dissipador 7A. (h) fonte de 1,3 A, dissipador de 7,6 A. (k) 37xxx para 0 a 70ºC, 27xxx para -40ºC a 105ºC. (n) ver comentários específicos da peça. (o) A entrada XOR define a inversão opcional. (p) C=CMOS; C5=5V CMOS; F=flexível, definido pelos pinos de entrada Vref– e Vref+; T=TTL.

Comentários: (A) o sufixo especifica o limite lógico. (B) inclui saída LDO de 3,3 V. (C) Correspondência de canal 2ns td. (D) Correspondência de canal 1ns td. (E) dual inv+en, dual não-inv+en, entradas duplas. (F) terminal de entrada de sensor de corrente do resistor de fonte, adequado para acionar um IGBT. (G) padrão da indústria, muitos mfgrs. (H) dual inv, dual non-inv ou um de cada. (J) para pacotes de 8 pinos, drenos n e p-ch em pinos separados. (K) tr, tf = 50ns em 68nF. (L) balanço de saída para trilho negativo, pode ser 5V abaixo do GND lógico. (M) drenos n- e p-ch em pinos separados. (N) temporizadores de atraso de borda programados por resistor; 2 entradas E entradas de sinal. (O) ISL89163-65 o mesmo, mas inclui entradas de habilitação; ISL89166-68 o mesmo, mas inclui entradas de temporizador de atraso de borda programadas por resistor. (P) proteção contra superaquecimento e saída. (R) p/n completo é IXDx6…, onde x = N, I, D e F para não-inv, inv, dual não-inv+en ou um de cada. (S) é um seguidor de emissor de transistor npn e pnp de alta corrente e alto ganho para pullup e down.

Revisão do Capítulo 3

Um resumo de A a Z do que aprendemos no Capítulo 3. Este resumo revisa os princípios e fatos básicos do Capítulo 3, mas não abrange os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. FATOS

No Capítulo 3, exploramos o mundo dos transistores de efeito de campo, ou FETs. Os FETs possuem um canal condutor com terminais denominados *Drain* e *Source.* A condução no canal é controlada por um campo elétrico criado por um terceiro eletrodo *Gate* (§3.1). Assim como os transistores bipolares (BJTs), os FETs são dispositivos de transcondutância (consulte ¶G abaixo), o que significa que a *corrente* de dreno (assumindo tensão dreno-fonte suficiente) é controlada pela *tensão do gate.*

¶B. canal n e canal p.

Como os BJTs com seus tipos *npn* e *pnp ,* os FETs vêm em polaridades de canal n e p (§3.1.2). Em ambos os casos, a condutância do canal aumenta se a tensão da porta for levada para a direção da tensão do dreno. Por exemplo, para um FET de canal n com uma tensão de dreno positiva, o canal pode ser ligado com uma tensão positiva suficiente e cortado com uma tensão negativa suficiente. Isso não quer dizer que o dispositivo de canal n exija tensões positivas e negativas para ligar e desligar. Uma tensão de limiar Vth pode ser definida onde o FET é ligeiramente ligado e o canal responde a tensões de porta acima e abaixo de Vth para controle.

¶C. Modos de aprimoramento e esgotamento.

Consulte a Figura 3.8. Os dispositivos de modo de aprimoramento têm uma tensão limite Vth alta o suficiente para que sejam não condutores (ou seja, desligados) quando sua tensão de porta está em VGS = 0 V. Para colocar tal FET em condução, a porta de é trazida para positivo (se o canal n) ou negativo (se canal p). Os dispositivos de modo de depleção, por outro lado, têm sua tensão limite bem na direção "desligada", portanto, eles estão conduzindo (ou seja, ligados) com sua tensão de porta em VGS = 0 V. Assim, por exemplo, você deve aplicar uma porta negativa considerável voltagem VGS para desligar um FET de modo de depleção de canal n. Consulte a Figura 3.9, onde a corrente de dreno versus a tensão de porta é mostrada para uma seleção de dispositivos de canal n. Os FETs podem ser fabricados com a curva de transferência deslocada para a esquerda ou para a direita (mais sobre isso em ¶H abaixo). As Figuras 3.10 e 3.11 mostram mapas convenientes dos tipos de FET.

¶D. MOSFETs e JFETs.

Nos FETs *de óxido metálico* (MOSFETs), o eletrodo de porta é totalmente isolado do canal e pode ser positivo ou negativo, normalmente até ±20 V. Nos FETs de junção (JFETs), a porta do semicondutor entra em contato com o canal e atua como uma junção de diodo, de modo que é isolada apenas na direção reversa. Portanto, os JFETs são necessariamente dispositivos de modo de depleção; não se pode fazer um JFET de modo de aprimoramento. As Figuras 3.6 e 3.7 mostram os símbolos FET.

¶E. Características FET, Gate e Drain.

Consulte a Figura 3.13. A condutância e a corrente do canal de um FET são controladas principalmente por sua tensão de porta, mas também são afetadas pela tensão de dreno VDS. Em tensões de dreno muito baixas, o canal atua como um resistor, cujo valor é controlado pelo gate (§3.1.2 e §3.2.7); isso é chamado de região *linear .* Em tensões de dreno mais altas, a corrente de dreno se nivela, sendo controlada pela tensão de porta e apenas fracamente dependente da tensão de dreno; isso é chamado de região *saturada .* Na região saturada, o dreno FET atua como uma fonte de corrente (ou dissipador), e o dispositivo é caracterizado por sua transcondutância *gm* (ver ¶G abaixo). Os MOSFETs são frequentemente usados como interruptores. Neste modo de operação, uma grande tensão de porta (por exemplo, 10 V) é aplicada para tornar a resistência do canal baixa o suficiente para se aproximar de uma chave fechada. Mais informações sobre chaves FET nas seções ¶¶O–Q abaixo.

¶F. Quadrado-lei.

Em uma grande região de tensões de gate maiores que Vth, e para tensões de dreno acima de um volt ou mais (ou seja, na região saturada), a corrente de dreno de um FET se comporta como um dispositivo quadrático; ou seja, sua corrente de dreno é proporcional ao quadrado do excesso de tensão do gate-drive *(VGSÿVth)2,* veja a Figura 3.14 e a equação 3.2. Isso às vezes é chamado de região *quadrática .* A tensão limite Vth é geralmente determinada com um gráfico *ÿID* extrapolado , como mostra a figura. Para VGS abaixo do limite, o FET está na região do sublimiar; veja ¶ I abaixo.

¶G. Transcondutância e Amplificadores.

Transcondutância *gm* é a mudança na corrente de dreno de saída causada por uma mudança na tensão do gate: gm=iD/vGS (as minúsculas *i* e v significam sinais pequenos). Amplificadores FET de fonte comum (§3.2.3, Figuras 3.28 e 3.29) têm ganho de tensão *G=ÿgmRD,* onde RD é a resistência de carga de dreno. Em contraste com os BJTs (onde *gmÿIC),* a transcondutância dos FETs aumenta apenas como *ÿID* na importante região quadrática; veja as Figuras 3.53 e 3.54. Como consequência, amplificadores FET com cargas de dreno resistivas têm ganho menor quando projetados para operar em correntes mais altas, porque RD é geralmente escolhido inversamente proporcional à corrente de dreno. A resistência de saída interna do FET também atua como uma resistência de carga,

ganho limitador ("Gmax") mesmo com uma carga de dreno de fonte de corrente ideal; consulte §3.3.2 eq'n 3.13 e Tabela 3.1.

Quando usado como *seguidor,* um FET tem uma saída rota de impedância =1/gm, veja ¶K abaixo.

¶H. Amplificadores JFET de polarização.

Os JFETs são adequados para fazer amplificadores de sinal (em contraste, existem poucos MOSFETs pequenos e discretos viáveis) e funcionam especialmente bem em amplificadores de baixo ruído. Mas há um problema muito doloroso que os projetistas analógicos enfrentam: o valor incerto da tensão de operação do gate para qualquer peça específica. Examinando as colunas min e max para VGS(off) na Tabela JFET 3.1 na página 141, vemos valores para um JFET específico que varia de ÿ1 V a ÿ7 V, ou ÿ0,4 V a ÿ4 V. O último é uma proporção de 10:1! A Figura 3.17 mostra histogramas VGS para 300 peças, 100 cada para três tipos diferentes de JFET em uma família. Aqui vemos spreads de tensão de porta de cerca de 1 V, nos quais você pode confiar se comprar um lote de peças de um fabricante e medi-las. Mas *atenção:* as Figuras 3.51 e 3.52 mostram como o mesmo tipo de peça pode variar quando adquirido de diferentes fabricantes. Para lidar com a incerteza, esquemas especiais de polarização são frequentemente necessários em circuitos amplificadores FET. As Figuras 3.25 e 3.41 mostram exemplos do conceito de linha de carga para analisar a polarização do amplificador.

¶EU. Região Sublimiar.

A fórmula FET simples da equação 3.2 prevê corrente de dreno zero quando a tensão do gate atinge o limite *(VGS=Vth).* Na realidade, a corrente de dreno não é zero e transita suavemente para uma região de sublimiar (consulte a Figura 3.16) onde o FET se parece mais com um BJT, com sua característica exponencial de Ebers Moll (§2.3.1). Nesta região (onde ID aumenta exponencialmente com VGS) estamos contentes de ver um *gmÿID mais alto;* mas, infelizmente, a constante de proporcionalidade FET é geralmente 2× a 5× menor do que para BJTs, veja a Figura 3.53.

¶J. Amplificadores auto-polarizados.

Os MOSFETs de modo de depleção (e todos os JFETs) operam com uma tensão reversa em suas portas, o que permite que eles sejam auto-polarizados (§3.2.6A). O terminal da fonte é "mais alto" do que o terminal da porta, portanto, um resistor da fonte conectado entre eles define a corrente de dreno para ID=VGS/R. Esta também é uma maneira conveniente de fazer uma fonte de corrente de 2 terminais, mas a tolerância será baixa devido à ampla variabilidade em VGS, consulte ¶H. Como alternativa, a tensão VGS disponível no pino de origem pode ser usada para operar um IC de configuração de corrente como o LM334.

¶K. Seguidores da Fonte.

Seguidores de fonte (§3.2.6), Figura 3.40 têm um ganho nominal de 1, análogo ao seguidor de emissor BJT. Por causa de seu *gm mais baixo,* no entanto, eles têm resistência de saída consideravelmente maior, rota = 1/gm, então o ganho unitário ideal é reduzido pela resistência de carga, veja a equação 3.7.

¶EU. FETs como resistores variáveis.

Em baixas tensões de dreno *(VDSVGS) ,* os FETs agem como resistores variáveis programados pela tensão do gate. Como a inclinação varia com VDS, no entanto, a resistência é um tanto não linear. Mas existe um truque simples para linearizar essa resistência, explorando o comportamento quadrático dos FETs, veja as Figuras 3.46 e 3.47.

¶M. Corrente de Porta FET.

A porta de um JFET forma uma junção de diodo com o canal; normalmente é polarizado reversamente, com alguma corrente de fuga CC diferente de zero (§3.2.8). Essa corrente aproximadamente dobra para cada aumento de temperatura de 10°C; além disso, aumenta dramaticamente em altas correntes de dreno e tensões de dreno devido à ionização de impacto, veja a Figura 3.49. Os portões MOSFET não sofrem nenhum desses efeitos de aumento da corrente de fuga. Em contraste com a geralmente insignificante idade de vazamento da porta CC, a capacitância de entrada Ciss dos FETs (que pode ser bastante alta, muitas centenas de pF para MOSFETs de grande potência) de dez apresenta uma carga CA substancial. Use um chip gate-driver (Tabela 3.8) para fornecer as altas correntes transitórias necessárias para comutação rápida.

¶N. Chaves JFET.

Os JFETs podem ser usados como comutadores de sinal analógico, como no comutador de canal n da Figura 3.62. O interruptor está DESLIGADO quando a porta é tomada pelo menos Vth abaixo do sinal de entrada mais negativo. Para ligar o interruptor , a tensão da porta deve ser igual à da fonte. JFETs são simétricos, então, por exemplo, para uma parte do canal n, a "fonte" seria o pino mais negativo. JFETs de matriz grande funcionam bem como chaves de alimentação de até 100 mA; A Tabela 3.1 lista peças com RON tão baixo quanto 3 ÿ.

¶O. Comutadores CMOS.

Os comutadores de sinal CMOS são feitos com um par paralelo de MOSFETs de canal n e p complementares. Isso reduz o RON , conforme mostrado na Figura 3.61, e causa beneficamente a interrupção da maior parte da transferência de carga injetada (§3.4.2E), consulte a Figura 3.79. A carga injetada escala aproximadamente em proporção inversa ao RON (Figura 3.81), portanto, há uma compensação entre resistência de ativação baixa e autocapacitância desejavelmente baixa. Como exemplo, a Tabela 3.3 lista uma chave com um impressionante RON = 0,3ÿ – mas é sobrecarregada

com impressionantes 300 pF de autocapacitância. Uma configuração de chave T pode ser usada para reduzir a passagem do sinal em altas frequências, veja a Figura 3.77.

¶P. Portas Lógicas CMOS.

Consulte a Figura 3.90. Um par em série de MOSFETs de geometria pequena complementares *(canais n* e p) entre o trilho positivo e o terra forma o inversor lógico mais simples (Figura 3.90); mais interruptores podem ser organizados para fazer portas lógicas CMOS (por exemplo, Figura 3.91, §3.4.4), com a propriedade atraente de quase zero de energia estática, exceto durante a comutação. A lógica CMOS é abordada extensivamente nos Capítulos 10 e 12 e é a base para todos os processadores digitais contemporâneos.

¶Q. Interruptores de alimentação MOSFET.

A maioria dos MOSFETs de potência (§3.5) são do tipo de aprimoramento, disponíveis nas polaridades dos canais n e p. Eles são muito populares para uso como interruptores de alta tensão e alta corrente.
Alguns parâmetros relevantes são a tensão de ruptura VDSS (variando de 20 V a 1,5 kV para o canal n e até 500 V para o canal p); o canal de resistência RDS(on) (tão baixo quanto 2 mÿ); a capacidade de manuseio de energia (até 1000 W com o case mantido irrealisticamente em 25° C); e a capacitância da porta Ciss (até 10.000 pF), que deve ser carregada e descarregada durante a comutação do MOSFET, consulte ¶S abaixo. A Tabela 3.4a lista as partes representativas do canal n de pacote pequeno classificadas para +250 V e as partes do canal p de todos os tamanhos para -100 V; A Tabela 3.4b estende a seleção do canal n para tensão e corrente mais altas; tabelas mais completas são encontradas no Capítulo *3x.*

¶R. Corrente Máxima.

As folhas de dados do MOSFET listam uma corrente nominal contínua máxima, especificada, entretanto, em uma temperatura irreal de 25°C . Isso é calculado a partir de I2 D(max) RDS(ON)=Pmax, substituindo uma potência máxima PmaxRÿJC=ÿTJC=150ÿC (consulte §9.4), onde eles assumiram TJ(max)=175ÿC (portanto, 150 ÿC ÿTJC), e eles usam o valor de RDS(ON) (max) a 175ÿC de um gráfico RDS tempco (por exemplo, consulte a Figura 3.116).

Ou seja, ID(max)= ÿTJC/RÿJCRON. Algumas folhas de dados mostram o cálculo para uma temperatura de caixa de 75ÿC ou 100ÿC mais realista .

Mesmo assim, você realmente não deseja executar sua junção MOSFET a 175ÿC, portanto, recomendamos o uso de um ID contínuo máximo mais baixo e o Pdiss correspondente .

¶S. Carga Portão.

As capacitâncias em MOSFETs de potência que desaceleram a comutação são mais facilmente analisadas com gráficos de carga de porta, como na Figura 3.101. Primeiro considere ligar: conforme a corrente flui na capacitância da porta Ciss+Crss (dominada por Ciss) a tensão da porta aumenta. Há um atraso de comutação, porque o dreno do FET permanece desligado até que a tensão do gate seja alta o suficiente para o FET reduzir a corrente de dreno. Então a tensão de dreno começa a cair, conforme visto nas Figuras 3.102 e 3.103. A queda do dreno cria uma corrente de porta reversa I=Crss dVD/dt que evita um aumento adicional na tensão da porta. Em outras palavras, a taxa de variação de queda *dVD/ dt=IG/ Crss* é definida pela corrente de porta disponível para carregar a capacitância de realimentação (Miller) Crss. Quando VDS chega a zero, o gate retoma o carregamento, agora em uma taxa mais lenta porque a contribuição de Crss para a capacitância total do gate é maior em VDS = 0, consulte a Figura 3.100). O MOSFET não atinge seu valor baixo pretendido de RDS(ON) até que o portão atinja sua tensão total de acionamento. O desligamento procede de forma semelhante.

As folhas de dados do MOSFET incluem valores para Ciss e Crss, mas o último é tipicamente em VDS = 25 V, então você precisa ir para os gráficos da folha de dados de capacitâncias versus tensão de dreno.

¶T. Danos no portão MOSFET.

As portas MOSFET normalmente têm classificações máximas de ± 20 V a ± 30 V, além das quais o isolador do canal da porta de óxido de metal muito fino pode ser permanentemente danificado, consulte a Figura 3.105.
Certifique-se de descarregar a carga estática antes da instalação de MOSFETs discretos e MOS ICs.

¶VOCÊ. FET versus BJT para comutação de energia.

Consulte §3.5.4H; veja também ¶Z abaixo.

¶V. Polaridade do Interruptor MOSFET.

As polaridades dos canais n e p dos MOSFETs podem ser usadas para comutar uma tensão, consulte a Figura 3.106, onde a maioria dos circuitos mostra uma abordagem convencional com um FET de canal p comutando uma tensão positiva. Mas o circuito E mostra um FET de canal n fazendo a mesma tarefa, com uma fonte de tensão adicional alimentando o portão (o FET de canal n de melhor desempenho é preferido se puder ser facilmente usado, consulte §3.1.2). A Figura 3.107 ilustra o uso de fotodiodos para alimentar as portas do lado alto, para fazer chaves "flutuantes".

¶C. Amplificadores MOSFET de potência.

Ao contrário dos transistores de potência bipolares, os MOSFETs de potência têm uma ampla área de operação segura (SOA) e não sofrem uma segunda avaria (consulte a Figura 3.95), devido a um problema localizado de aquecimento descontrolado térmico. A Figura 3.119 mostra técnicas típicas de polarização de classe AB necessárias para uso em amplificadores de potência lineares.

¶X. MOSFETs de potência em modo de depleção.

Embora a maioria dos MOSFETs de potência sejam tipos de modo de aprimoramento, os tipos de modo de esgotamento de canal n estão disponíveis; §3.5.6D mostra algumas aplicações. Consulte também Tabela 3.6 na página 210.

¶Y. MOSFETs de potência paralela.

Quando usado como interruptores, sim, mas quando usado em amplificadores de potência, não, pelo menos não sem resistores de lastro de fonte de alto valor! A Figura 3.117B mostra um elegante feedback ativo solução alternativa para uso com elementos de passagem do regulador.

¶Z. IGBTs.

Os IGBTs são uma alternativa aos MOSFETs de potência, consulte §3.5.7, onde mostramos uma comparação entre FETs MOS de potência, IGBTs e BJTs. Eles são úteis principalmente em tensões acima de 300 V e taxas de comutação abaixo de 100 kHz, embora existam alguns bons IGBTs para uso em RF, por exemplo, o IRGB4045, bom para 150 W ou mais a 20 MHz.

AMPLIFICADORES OPERACIONAIS

CAPÍTULO 4

4.1 Introdução aos amplificadores operacionais – o "componente perfeito"

Nos três capítulos anteriores, aprendemos sobre projeto de circuito com "componentes discretos", tanto ativos quanto passivos.
Nossos blocos de construção básicos eram transistores, tanto bipolares (BJT) quanto de efeito de campo (FET), juntamente com os resistores, pacitores ca e outros componentes necessários para definir polarização, acoplar e bloquear sinais, criar impedâncias de carga e assim por diante.
sobre.

Com essas ferramentas, fomos muito longe. Aprendemos como projetar fontes de alimentação simples, amplificadores e seguidores de sinal, fontes de corrente, amplificadores CC e diferenciais, comutadores analógicos, controladores e reguladores de potência e até mesmo alguma lógica digital rudimentar.

Mas também aprendemos a lutar contra as imperfeições. Amplificadores de tensão sofrem de não linearidade (um amplificador emissor aterrado com um sinal de entrada de 1 mV tem distorção de aproximadamente 1%), que você pode compensar pelo ganho de tensão (adicionando a degeneração do emissor); amplificadores diferenciais têm desequilíbrio de entrada, normalmente dezenas de milivolts (com transistores bipolares), dez vezes mais com FETs de junção discreta (JFETs); no projeto bipolar você tem que se preocupar com a corrente de entrada (muitas vezes substancial), e o sempre presente VBE e sua variação com a temperatura; no projeto FET, você troca a ausência de corrente de entrada pela imprevisibilidade do VGS; e entao
sobre.

Vimos indícios de que as coisas podem ser melhores, em particular os notáveis efeitos de linearização do feedback negativo (§2.5.3) e sua capacidade de tornar o desempenho geral do *circuito* menos dependente das imperfeições dos *componentes* . É a realimentação negativa que dá ao amplificador degenerado do emissor sua vantagem de linearidade sobre o amplificador do emissor aterrado (ao custo do ganho de tensão). E no limite de ganho de loop alto, o feedback negativo promete desempenho do circuito em grande parte dependente das imperfeições do transistor.

Prometido, mas ainda não entregue: os blocos amplificadores de alto ganho que precisamos para obter alto ganho de loop em um arranjo de realimentação ainda envolvem esforços de design substanciais – a marca registrada de circuitos complexos implementados com componentes discretos (em oposição aos integrados).

Com este capítulo entramos na terra prometida! O amplificador operacional é, essencialmente, uma "parte perfeita": um bloco de ganho de amplificador integrado completo, melhor pensado como um amplificador diferencial acoplado a CC com saída de terminação única e com ganho extraordinariamente alto. Ele também se destaca em simetria de entrada precisa e corrente de entrada quase zero. Os amplificadores operacionais são projetados como "motores de ganho" para feedback negativo, com ganho tão alto que o desempenho do circuito é definido quase inteiramente pelo circuito de feedback. Os amplificadores operacionais são pequenos e baratos e devem ser o ponto de partida para quase todos os circuitos analógicos que você projeta. Na maioria dos projetos de circuitos com amplificadores operacionais, estamos no regime em que eles são essencialmente perfeitos: com eles aprenderemos a construir amplificadores quase perfeitos, fontes de corrente, integradores, filtros, reguladores, conversores de corrente para tensão e uma série de outros módulos.

Op-amps são nosso primeiro exemplo de *circuitos integrados* – muitos elementos de circuitos individuais, como transistores e resistores, fabricados e interconectados em um único "chip" de silício.[1] A Figura 4.1 mostra alguns encapsulamentos de IC op-amp
esquemas.

4.1.1 Feedback e amplificadores operacionais

Encontramos o feedback negativo pela primeira vez no Capítulo 2, onde vimos que o processo de acoplar a saída de volta, de forma a cancelar parte do sinal de entrada, melhorou características como linearidade, uniformidade de resposta e previsibilidade. Como vimos quantitativamente, quanto mais realimentação negativa for usada, menos as características do amplificador resultante dependem das características do amplificador de malha aberta (sem realimentação), dependendo apenas das propriedades da própria rede de realimentação. Amplificadores operacionais são normalmente usados neste limite *de alto ganho de loop* , com ganho de tensão *de loop* aberto (sem feedback) de um milhão ou mais.

Uma rede de feedback pode ser dependente da frequência, para produzir um amplificador de equalização (por exemplo, o

[1] Os primeiros amplificadores operacionais foram feitos com válvulas a vácuo, seguidos por implementações com transistores discretos. Veja *§4x.1* para uma descrição (com foto e esquemas) de um amplificador operacional valvulado outrora popular, o Philbrick K2-W.

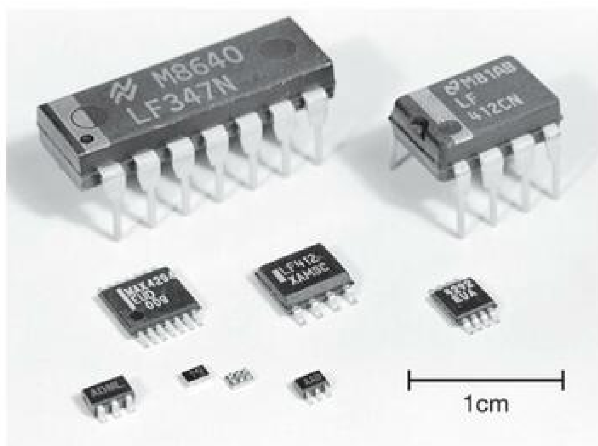


Figura 4.1. Op-amps (e outros ICs lineares) vêm em uma variedade desconcertante de "pacotes", a maioria dos quais está representada nesta fotografia. Linha superior, da esquerda para a direita: pacote duplo em linha (DIP) de plástico de 14 pinos, DIP de plástico de 8 pinos ("mini-DIP"). Linha do meio: pacote de contorno pequeno de 14 pinos (TSSOP), pacote de contorno pequeno de 8 pinos (SO 8), TSSOP de 8 pinos (" MAX"). Linha inferior: pacote de contorno pequeno (SOT23), pacote chip-scale de 6 bolas (CSP – vistas de 5 pinos superior e inferior), SC-70 de 5 pinos. Os pacotes de 14 pinos possuem amplificadores operacionais quádruplos (ou seja, quatro amplificadores operacionais independentes), os pacotes de 8 pinos contêm amplificadores duplos e o restante são simples. (TSSOP e pacotes menores cortesia de Travis Eichhorn, Maxim Semiconductor.)

estágio de amplificação de "controle de tom" de agudos e graves que você encontra na maioria dos sistemas de áudio); ou pode ser dependente da amplitude, produzindo um amplificador não linear (um exemplo popular é um amplificador logarítmico, construído com realimentação que explora o VBE logarítmico versus IC de um diodo ou transistor). Ele pode ser organizado para produzir uma fonte de corrente (impedância de saída quase infinita) ou uma fonte de tensão (impedância de saída quase zero) e pode ser conectado para gerar impedância de entrada muito alta ou muito baixa. Falando em termos gerais, a propriedade que é amostrada para produzir feedback é a propriedade que é melhorada. Assim, se você realimentar um sinal proporcional à corrente de saída, você gerará uma boa fonte de corrente.

Como observamos em §2.5.1, a realimentação pode ser planejada intencionalmente para ser *positiva,* por exemplo, para fazer um oscilador, ou, como veremos mais tarde, para fazer um circuito de disparo de Schmitt. Esse é o *bom* tipo de feedback positivo. O tipo ruim ocorre, sem ser convidado (e indesejado), quando um circuito de realimentação negativa é sobrecarregado com mudanças de fase acumuladas suficientes em alguma frequência para produzir realimentação positiva geral e oscilações. Isso pode ocorrer por vários motivos. Discutiremos esse importante assunto e veremos como evitar oscilações indesejadas por *compensação de frequência,* o tópico de §4.9 no final do capítulo.

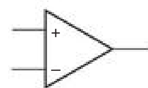


Figura 4.2. Símbolo do amplificador operacional.

Tendo feito esses comentários gerais, veremos agora alguns exemplos de feedback com amplificadores operacionais.

4.1.2 Amplificadores operacionais

O amplificador operacional é um amplificador diferencial com acoplamento CC de ganho muito alto com uma saída de terminação única. Você pode pensar no clássico par de cauda longa (§2.3.8) com suas duas entradas e saída única como um protótipo, embora os amplificadores operacionais reais tenham ganho muito maior (normalmente 105 a 106) e menor impedância de saída, e eles permitem que o saída para oscilar na maior parte ou em toda a faixa de alimentação (você costuma usar uma alimentação dividida, por exemplo ± 5 V). Amplificadores operacionais estão disponíveis literalmente em milhares de tipos, com o símbolo universal mostrado na Figura 4.2, onde as entradas (+) e (-) funcionam como esperado: a saída se torna positiva quando a entrada não inversora (+) se torna mais positiva que a entrada inversora (-) e vice-versa. Os símbolos (+) e (-) não significam que você tenha que manter um positivo em relação ao outro, ou algo assim; eles apenas informam a fase relativa da saída (o que é importante para manter o feedback *negativo negativo).* Usar as palavras "não inversor" e "inversor" em vez de "mais" e "menos" ajuda a evitar confusão. Conexões de fonte de alimentação freqüentemente não são exibidas e não há terminal de aterramento. Amplificadores operacionais têm um enorme ganho de tensão e *nunca* (bem, quase nunca) são usados sem realimentação. Pense em um amplificador operacional como forragem para feedback. O ganho em malha aberta é tão alto que, para qualquer ganho razoável em malha fechada, as características dependem apenas da rede de realimentação. É claro que, em algum nível de escrutínio, essa generalização deve falhar. Começaremos com uma visão ingênua do comportamento do amplificador operacional e preencheremos alguns dos pontos mais delicados mais tarde, quando necessário.

Existem literalmente milhares de amplificadores operacionais diferentes disponíveis, oferecendo várias compensações de desempenho que explicaremos mais adiante (consulte as Tabelas 4.2a,b, 5.5 ou 8.3 se quiser ver uma pequena amostra do que está disponível). Um desempenho versátil muito bom é o popular LF411 ("411" para abreviar), originalmente introduzido pela National Semiconductor. Como muitos amplificadores operacionais, é um pequenino monstro empacotado no chamado mini-DIP (dual in-line package) ou SOIC (small Outline IC), e tem a aparência mostrada na Figura 4.3. É caro (menos de US$ 1) e fácil de usar; ele vem em um grau melhorado (LF411A) e também em uma versão contendo

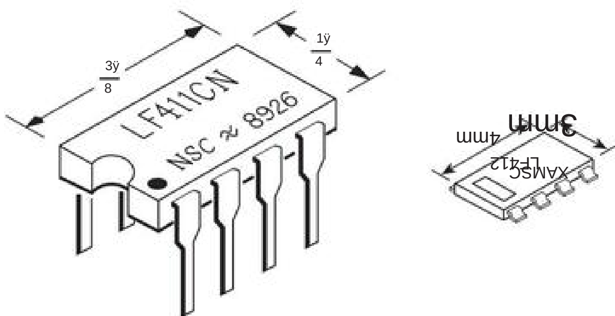


Figura 4.3. Pacotes Mini-DIP e SOIC.

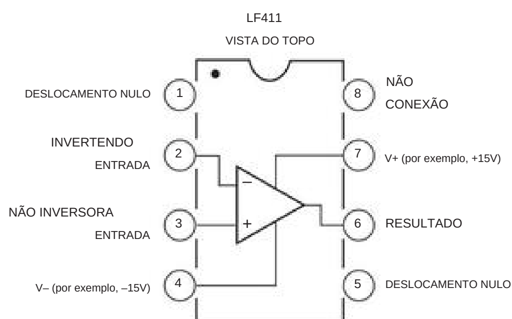


Figura 4.4. Conexões de pinos para amplificador operacional LF411 em DIP de 8 pinos.

dois amplificadores operacionais independentes (LF412, chamado de amplificador operacional "duplo"). Adotaremos o LF411/LF412 ao longo deste capítulo como nosso amplificador operacional "padrão" e o recomendamos (ou talvez o versátil LMC6482) como um bom ponto de partida para seus projetos de circuito.

Dentro do 411 há um pedaço de silício contendo 24 transistores (21 BJTs, 3 FETs), 11 resistores e 1 capacitor.
(Você pode consultar a Figura 4.43 na página 243 para ver um diagrama de circuito simplificado de suas partes internas.) As conexões dos pinos são mostradas na Figura 4.4. O ponto no canto superior esquerdo, ou entalhe no final do pacote, identifica o final a partir do qual começar a contar os números dos pinos.

Como na maioria dos pacotes eletrônicos, você conta os pinos no sentido anti-horário, visualizando de cima. Os terminais "offset null" (também conhecidos como "balance" ou "trim") têm a ver com a correção (externa) das pequenas assimetrias que são inevitáveis ao fazer o op-amp. Mais sobre isso mais adiante no capítulo.

4.1.3 As regras de ouro

Aqui estão as regras simples para trabalhar o comportamento do amplificador operacional com feedback negativo externo. Eles são bons o suficiente para quase tudo que você fará.

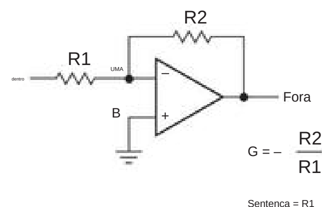


Figura 4.5. Amplificador inversor.

Primeiro, o ganho de tensão do amplificador operacional é tão alto que uma fração de milivolt entre os terminais de entrada fará a saída oscilar em toda a sua faixa, portanto, ignoramos essa pequena tensão e declaramos a regra de ouro I.

I. A saída tenta fazer o que for necessário para zerar a diferença de tensão entre as entradas.

Em segundo lugar, os amplificadores operacionais consomem muito pouca corrente de entrada (cerca de 50 pA para o LF411 de entrada JFET de baixo custo e geralmente menos de um picoamp para tipos de entrada MOSFET); nós arredondamos isso, declarando a regra de ouro II.

II. As entradas não consomem corrente.

Uma nota importante de explicação: a regra de ouro I não significa que o amplificador operacional realmente altere a tensão em suas *entradas.* Não pode fazer isso. (Como poderia ser consistente com a regra de ouro II?) O que ele faz é "olhar" para seus terminais de entrada e girar seu terminal de saída para que a rede de realimentação externa traga o diferencial de entrada para zero (se possível).

Essas duas regras levam você muito longe. Ilustramos com alguns circuitos de amplificadores operacionais básicos e importantes, e estes irão solicitar alguns cuidados listados em §4.2.7.

4.2 Circuitos básicos de amplificadores operacionais

4.2.1 Amplificador inversor

Vamos começar com o circuito mostrado na Figura 4.5. A análise é simples, se você se lembrar de suas regras de ouro.

1. O ponto *B* está no chão, então a regra I implica que o ponto *A* também está.
2. Isso significa que (a) a tensão em R2 é Vout e (b) a tensão em R1 é Vin.
3. Então, usando a regra II, temos Vout/R2 = ÿVin/R1.

Em outras palavras, o ganho de tensão *(GV* ÿ Vout/Vin) é

$$GV = ÿR2/R1 \quad (4.1)$$

Mais tarde você verá que às vezes é melhor não aterrar *B* diretamente, mas através de um resistor – mas não se preocupe com isso agora.

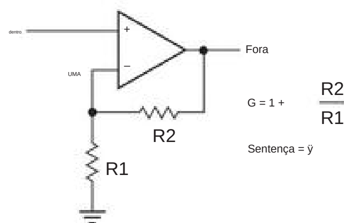


Figura 4.6. Amplificador não inversor.

Nossa análise parece quase fácil demais! De certa forma, obscurece o que realmente está acontecendo. Para entender como o feedback funciona, imagine algum nível de entrada, digamos +1 volt. Para concretude, imagine que R1 é 10k e R2 é 100k. Agora, suponha que a saída decida não ser cooperativa e fique em zero volts. O que acontece? R1 e R2 formam um divisor de tensão, mantendo a entrada inversora em +0,91 volts. O amplificador operacional vê um enorme desequilíbrio de entrada, forçando a saída a ficar negativa. Essa ação continua até que a saída esteja nos -10,0 volts necessários, ponto em que ambas as entradas do amplificador operacional estão na mesma tensão, ou seja, terra. Da mesma forma, qualquer tendência para a saída ficar mais negativa do que -10,0 volts puxará a entrada inversora para baixo do solo, forçando a tensão de saída a subir.

Qual é a impedância de entrada? Simples. O ponto *A* está sempre em zero volts (é chamado *de terra virtual).* Então Zin = R1. Neste ponto, você ainda não sabe como calcular a impedância de saída; para este circuito, é uma fração de um ohm.

Observe que esta análise é verdadeira mesmo para CC – é um amplificador CC. Portanto, se você tiver uma fonte de sinal que tenha um deslocamento CC do terra (coletor de um estágio anterior, por exemplo), convém usar um capacitor de acoplamento (às vezes chamado de capacitor de bloqueio, pois bloqueia CC, mas acopla o sinal). Por motivos que você verá mais tarde (relacionados com desvios do comportamento ideal do amplificador operacional), geralmente é uma boa ideia usar um capacitor de bloqueio se você estiver interessado apenas em sinais CA.

Este circuito é conhecido como *amplificador inversor.* Sua única característica indesejável é a baixa impedância de entrada, particularmente para amplificadores com grande ganho de tensão (malha fechada), onde R1 tende a ser bastante pequeno. Isso é remediado no próximo circuito (Figura 4.6).

4.2.2 Amplificador não inversor

Considere a Figura 4.6. Mais uma vez, a análise é a própria simplicidade:

$$V_A = \text{Vin}.$$

Mas V_A vem de um divisor de tensão: V_A = VoutR1/(R1 + R2). Defina V_A = Vin e você obterá um ganho de tensão de

$$G_V = 1+R2/R1. \quad (4.2)$$

Este é um *amplificador não inversor.* Na aproximação que estamos usando, a impedância de entrada é infinita (com a entrada JFET 411 seria 1012 ÿ ou mais; um amplificador operacional de entrada BJT normalmente excederá 108 ÿ). A impedância de saída ainda é uma fração de um ohm. Tal como acontece com o amplificador inversor, uma olhada detalhada nas tensões nas entradas irá convencê-lo de que ele funciona como anunciado.

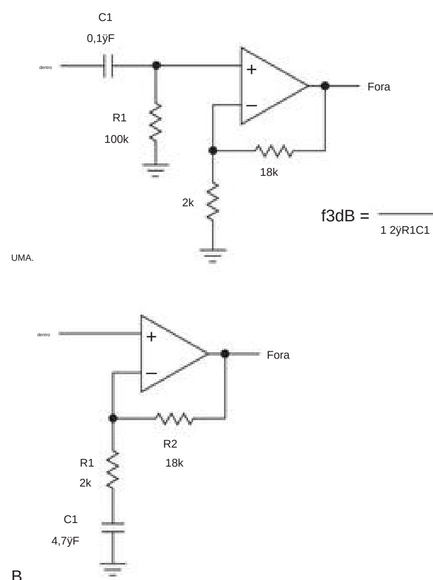


Figura 4.7. Amplificadores para sinais CA: A. Amplificador não inversor acoplado a CA, B. Capacitor de bloqueio diminui o ganho para a unidade em CC.

A. Um amplificador CA

O amplificador não inversor básico, como o amplificador inversor anterior, é um amplificador CC. Se a fonte do sinal for CA acoplada, você deve fornecer um retorno ao terra para a corrente de entrada (muito pequena), como na Figura 4.7A. Os valores dos componentes mostrados fornecem um ganho de tensão de 10 e um ponto de baixa frequência de 3 dB de 16 Hz.

Se apenas sinais CA estiverem sendo amplificados, muitas vezes é uma boa ideia "reduzir" o ganho para a unidade em CC, especialmente se o amplificador tiver um grande ganho de tensão, para reduzir os efeitos da "tensão de compensação de entrada" finita (§4.4. 1A). O circuito da Figura 4.7B tem um ponto de baixa frequência de 3 dB de 17 Hz, a frequência na qual a impedância do capacitor C1 é igual a R1, ou 2,0k. Observe o grande valor do capacitor necessário. Para amplificadores não inversores com alto ganho, o capacitor nesta configuração de amplificador CA pode ser indesejavelmente grande. Naquilo

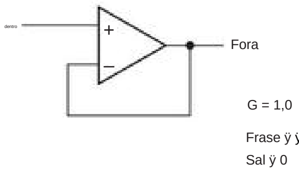
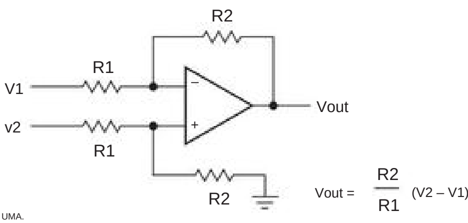


Figura 4.8. Seguidor de amplificador operacional.



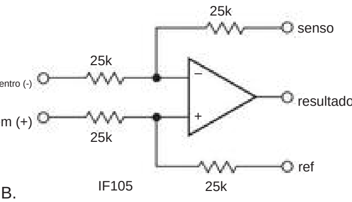


Figura 4.9. Amplificador de diferença clássico: A. Op-amp com relações de resistência combinadas. B. Versão integrada, com pinos de "sentido" e "referência" não comprometidos. No melhor grau (INA105A), a relação do resistor corresponde a melhor que 0,01%, com um coeficiente de temperatura melhor que 5 ppm/ ÿC.

Nesse caso, pode ser preferível omitir o capacitor e ajustar a tensão de compensação para zero, como discutiremos mais adiante. Uma alternativa é aumentar R1 e R2, talvez usando uma rede T para o último (Figura 4.66 na página 259).

Apesar de sua alta impedância de entrada desejável, a configuração do amplificador não inversor não é necessariamente preferida à configuração do amplificador inversor em todas as circunstâncias. Como veremos mais tarde, o amplificador inversor coloca menos demanda no amplificador operacional e, portanto, oferece um desempenho melhor. Além disso, seu terreno virtual oferece uma maneira prática de combinar vários sinais sem interação. Finalmente, se o circuito em questão é acionado pela saída (rígida) de outro amplificador operacional, não faz diferença se a impedância de entrada é 10k (digamos) ou infinita, porque o estágio anterior não tem problemas em conduzi-lo em qualquer um dos dois.

caso.

4.2.3 Seguidor

A Figura 4.8 mostra a versão do amplificador operacional de um emissor seguidor. É simplesmente um amplificador não inversor com R1 infinito e R2 zero (ganho = 1). Um amplificador de ganho unitário às vezes é chamado de *buffer* por causa de suas propriedades de isolamento (alta impedância de entrada, baixa impedância de saída).

4.2.4 Amplificador de diferença

O circuito da Figura 4.9A é um *amplificador de diferença* (às vezes chamado de *amplificador diferencial)* com ganho *R2/ R1.* Este circuito requer uma correspondência precisa de resistores para atingir altas taxas de rejeição de modo comum (CMRR). Você pode ter sorte e encontrar um lote de resistores de 100k 0,01% em uma loja de eletrônicos.

mercado de pulgas ou saída excedente; caso contrário, você pode comprar *matrizes de* resistores de precisão, com correspondência próxima de proporções e coeficientes de temperatura.2 Todos os seus amplificadores de diferença terá ganho unitário, mas isso é facilmente remediado com estágios adicionais (single-ended) de ganho. Se você não conseguir encontrar bons resistores (ou mesmo se puder!), saiba que pode comprar este circuito como um conveniente amplificador de diferença empacotado, com resistores bem combinados; exemplos são INA105 ou AMP03 *(G* = 1), INA106 (G=10 ou 0,1) e INA117 ou AD629 *(G* = 1 com divisores de entrada; sinais de entrada para ±200 V) da TI/Burr-Brown e dispositivos analógicos (muitos mais estão listados na Tabela 5.7 na página 353). A configuração de ganho de unidade INA105 é mostrada na Figura 4.9B, com seus pinos de "sentido" e "referência" não comprometidos. Você obtém o clássico amplificador de diferença conectando o *sentido* à saída e o *ref* ao terra. Mas a flexibilidade adicional permite que você faça todos os tipos de circuitos bacanas, como um inversor de ganho de unidade de precisão, amplificador de ganho de 2 não inversor e amplificador de ganho de 0,5 não inversor. Tratamos amplificadores de diferença com mais detalhes em §5.14.

Exercício 4.1. Mostre como fazer esses três circuitos com um IF105.

Existem, ainda, configurações de amplificadores diferenciais mais sofisticadas, conhecidas oficialmente como "amplificadores de instrumentação"; eles são discutidos em detalhes em §§5.15 e 5.16, juntamente com uma listagem na Tabela 5.8 na página 363.

2 Por exemplo, o quad de filme fino tipo 664 da BI Technologies (quatro resistores do mesmo valor) em um pacote IC de montagem em superfície de 8 derivações (SOIC); eles têm precisão de 0,1%, rastreamento de proporção de 0,05% e coeficientes de rastreamento de temperatura de ±5 ppm/ÿC. Eles são baratos (cerca de US$ 2 para a melhor qualidade) e estão disponíveis na Mouser Electronics, entre outros. Empresas como a Vishay têm ofertas com surpreendentemente bom por formalidade: suas melhores matrizes de resistores especificam rastreamento de relação de pior caso para 0,001% e coeficiente de temperatura de rastreamento (tempco) para ±0,1 ppm/ÿC.

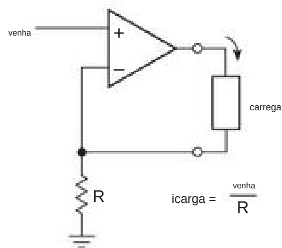


Figura 4.10. Fonte de corrente básica do amplificador operacional (carga flutuante). Vin pode vir de um divisor de tensão ou pode ser um sinal que varia com o tempo.

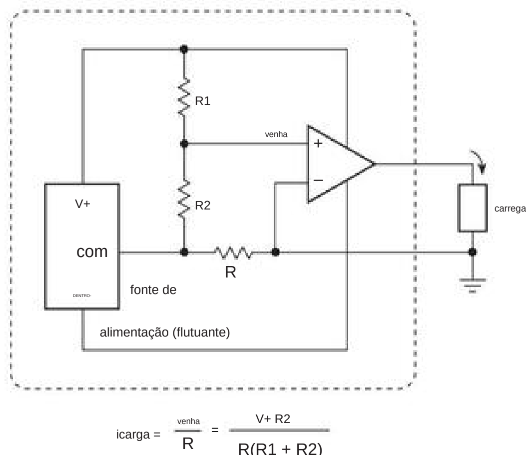


Figura 4.11. Fonte de corrente com carga aterrada e fonte de alimentação flutuante.

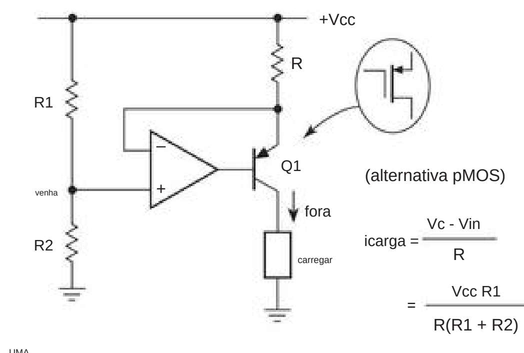
4.2.5 Fontes atuais

O circuito da Figura 4.10 se aproxima de uma fonte de corrente ideal, sem o deslocamento VBE de uma fonte de corrente de transistor. A realimentação negativa resulta em Vin na entrada inversora, produzindo uma corrente *I* = Vin/R através da carga. A principal desvantagem deste circuito é a carga "flutuante" (nenhum lado aterrado). Você não poderia gerar uma onda dente de serra utilizável em relação ao solo com esta fonte de corrente, por exemplo. Uma solução é flutuar todo o circuito (fontes de alimentação e tudo) para que você possa aterrar um lado da carga (Figura 4.11). O circuito na caixa é a fonte de corrente anterior, com suas fontes de alimentação mostradas explicitamente. R1 e R2 formam um divisor de tensão para definir a corrente. Se este circuito parecer confuso, pode ser útil lembrar-se de que "solo" é um conceito relativo. Qualquer ponto em um circuito pode ser chamado de terra. Este circuito é útil para gerar correntes em uma carga que é devolvida ao terra, mas tem a desvantagem de que a entrada de controle agora está flutuando, então você não pode programar a corrente de saída com uma entrada. colocar tensão referenciada ao terra. Além disso, você precisa ter certeza de que a fonte de alimentação flutuante está realmente flutuando - por exemplo, você teria problemas para criar uma fonte de corrente CC de microampères dessa maneira se tentasse usar uma fonte de alimentação CC padrão alimentada por tomada de parede alimentação, porque a capacitância entre os enrolamentos em seu transformador introduziria correntes reativas, na frequência de linha de 60 Hz, que poderiam exceder a corrente de saída desejada em microamp; uma solução possível seria usar baterias. Algumas outras abordagens para este problema são apresentadas no Capítulo 9 (§9.3.14) na discussão de fontes de alimentação de corrente constante.[3]

A. Fontes de corrente para cargas aterradas Com um amplificador operacional e transistor externo é possível fazer uma fonte de corrente simples e de alta qualidade para uma carga aterrada; um pequeno circuito adicional possibilita o uso de uma entrada de programação referenciada ao terra (Figura 4.12). No primeiro circuito, a realimentação força uma tensão VCC ÿVin através de R, fornecendo uma corrente de emissor (e, portanto, uma corrente de saída) *IE* = (VCC ÿVin)/R. Não há offsets VBE , ou suas variações com temperatura, com IC, com VCE, etc., para se preocupar. A fonte de corrente é imperfeita (ignorando os erros do amplificador operacional: IB, VOS) apenas na medida em que a pequena corrente de base pode variar um pouco com o VCE (assumindo que o amplificador operacional não consome corrente de entrada), um preço não muito alto a pagar pela conveniência de uma carga aterrada; um Darlington para o primeiro trimestre reduziria consideravelmente esse erro. Esse erro ocorre, é claro, porque o amplificador operacional estabiliza a corrente do *emissor ,* enquanto a carga vê a corrente do *coletor* . Uma variação deste circuito, usando um MOSFET em vez de um transistor bipolar, evita completamente este problema, uma vez que os FETs não consomem corrente CC na porta (mas os MOSFETs de grande potência têm muita capacitância de entrada, o que pode causar problemas; veja o comentário no final desta subseção).

Com este circuito, a corrente de saída é proporcional à queda de tensão abaixo de VCC aplicada à entrada não inversora do amplificador operacional; em outras palavras, a tensão de programação é referenciada a VCC, o que é bom se Vin for uma tensão fixa gerada por um divisor de tensão, mas uma situação complicada se uma entrada externa for usada. Isso é remediado no segundo circuito, no qual uma fonte de corrente semelhante com um transistor *npn* é usada para converter uma tensão de entrada (referenciada ao terra) em uma entrada referenciada a VCC para a corrente final

[3] Outra limitação dos circuitos de fonte de corrente do amplificador operacional é seu desempenho degradado em frequências mais altas: a saída de um amplificador operacional é inerentemente de baixa impedância (normalmente um seguidor push-pull, com Routÿ100ÿ, consulte a Figura 4.43), portanto, um o circuito da fonte de corrente deve contar com o feedback (que diminui com o aumento da frequência) para aumentar a impedância de saída do amplificador operacional. Ver discussão adicional em §§4.2.5B e 4.4.4.



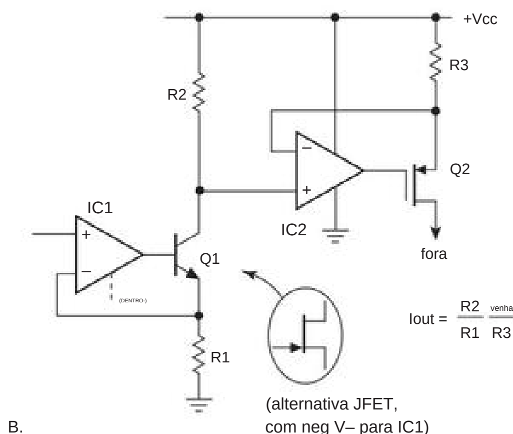


Figura 4.12. Fontes de corrente para cargas aterradas que não requerem uma fonte de alimentação flutuante. Os amplificadores operacionais podem precisar ter capacidade de entrada e saída rail-to-rail (RRIO); veja o texto.

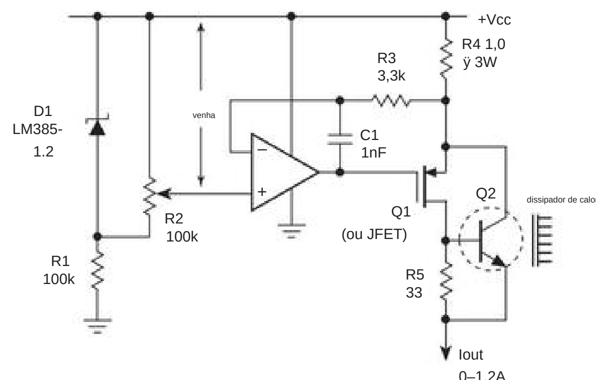


Figura 4.13. Fonte de corrente bipolar FET adequada para altas correntes.

fonte; para o último, usamos um MOSFET de canal p para variar (e para eliminar o pequeno erro de corrente de base que você obtém com transistores bipolares). Op-amps e transistores são baratos. Não hesite em usar alguns componentes extras para melhorar o desempenho ou a conveniência no projeto do circuito.

Uma observação importante sobre esses circuitos: em baixas correntes de saída, a tensão nos resistores do emissor (ou fonte) pode ser muito pequena, o que significa que os amplificadores operacionais devem ser capazes de operar com suas entradas próximas ou na tensão de alimentação positiva. Por exemplo, no circuito da Figura 4.12B, o IC2 precisa operar com suas entradas próximas ao trilho de alimentação positivo. Não assuma que um determinado amplificador operacional fará isso, sem permissão explícita da folha de dados! A folha de dados do LF411 hesita um pouco sobre isso, mas admite a contragosto que funcionará, embora com desempenho degradado, com as entradas no trilho positivo. (No entanto, não funcionará no trilho negativo; mas com IC1 alimentado por tensões de alimentação divididas, não há problema.) Em contraste, amplificadores operacionais como o LMC7101 ou LMC6482 *garantem* operação até (e um pouco além) o trilho positivo (consulte a coluna "Giro para suprimentos?" na Tabela 4.2a na página 271). Alternativamente, o amplificador operacional pode ser alimentado por uma tensão V+ separada maior que VCC.

Exercício 4.2. Qual é a corrente de saída no último circuito para uma dada tensão de entrada Vin? (Acertamos na figura?)

A Figura 4.13 mostra uma variação interessante na fonte de corrente do amplificador operacional-transistor. Embora você possa obter muita corrente com um MOSFET de potência simples, as altas capacitâncias entre eletrodos de FETs de alta corrente podem causar problemas. Quando um MOSFET4 de corrente relativamente baixa é combinado com um transistor de potência *npn* de alta corrente , este circuito tem a vantagem de erro de corrente de base zero (que você obtém com FETs) junto com uma capacitância de entrada muito menor. Neste circuito, que é análogo ao "complementar Darlington" (ou circuito Sziklai; ver §2.4.2A), o transistor bipolar Q2 entra em ação quando a corrente de saída excede cerca de 20 mA.

Para não deixarmos a impressão errada, enfatizamos que o circuito mais simples apenas com MOSFET (como na Figura 4.12B) é uma configuração preferível, dada a principal desvantagem dos BJTs de potência, ou seja, sua suscetibilidade a "segunda falha" e consequente limite na área operacional segura (como vimos em §3.5.1B, veja particularmente a Figura 3.95). MOSFETs de grande potência têm grande capacitância de entrada, portanto, em tal circuito, você deve usar uma rede como a *R3C1* da Figura 4.13 para evitar oscilações.

B. Fonte de corrente de Howland

A Figura 4.14 mostra uma boa fonte de corrente de "livro didático". Se os resistores forem escolhidos de forma que R3/R2 = *R4/ R1,* pode-se mostrar que Icarga = ÿVin/R2.

Exercício 4.3. Mostre que o resultado anterior está correto.

4 Como um BS250P ou BSS84, consulte a Tabela 3.4a na página 188.

Machine Translated by Google

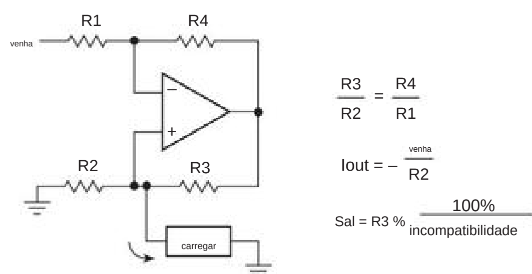


Figura 4.14. Fonte atual de Howland.

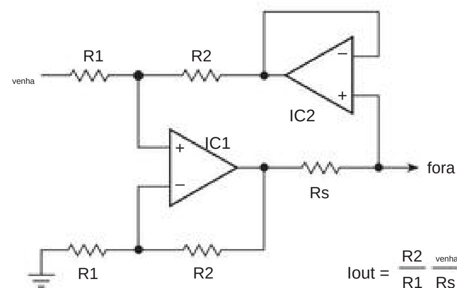


Figura 4.15. Bipolaridade corrente fonte-dreno.

Isso parece ótimo, mas há um obstáculo: as proporções do resistor devem ser exatamente iguais; caso contrário, não é uma fonte de corrente perfeita. Mesmo assim, seu desempenho é limitado pela taxa de rejeição de modo comum do amplificador operacional (CMRR, §2.3.8). Para grandes correntes de saída, os resistores devem ser pequenos e a complacência é limitada. Além disso, em altas frequências (onde o ganho do loop é baixo, como veremos em breve) a impedância de saída pode cair do valor desejado de infinito para apenas algumas centenas de ohms (a impedância de saída de loop aberto do amplificador operacional). . Essas desvantagens limitam a aplicabilidade desse circuito inteligente.

Você pode converter este circuito em uma fonte de corrente não inversora aterrando R1 (onde Vin é mostrado) e aplicando a tensão de entrada de controle Vin em vez de R2.

A Figura 4.15 é uma boa melhoria no circuito Howland, porque a corrente de saída é fornecida por meio de um resistor sensor Rs cujo valor você pode escolher independentemente do arranjo de resistores correspondente (com pares de resistores R1 e R2).

A melhor maneira de entender este circuito é pensar em IC1 como um amplificador de diferença cujo sensor de saída e conexões de *referência amostram* a queda em Rs (ou seja, a corrente); o último é armazenado em buffer pelo seguidor IC2 , portanto não há corrente erro.

Para esta configuração, você pode explorar os resistores combinados de precisão interna em um amplificador de diferença integrado: use algo como um INA106 para R1, R2 e IC1, conectado "para trás" (para G=0,1) para reduzir a queda no resistor de detecção . Consulte §5.14 e Tabela 5.7 na página 353.

4.2.6 Integradores

Op-amps permitem que você faça integradores quase perfeitos, sem a restrição de Vout Vin. A Figura 4.16 mostra como isso é feito. A corrente de entrada Vin/R flui através de C. Como a entrada inversora é um terra virtual, a tensão de saída é dada por

$$\text{Vin}/R = ÿC(d\text{Vout}/dt)$$

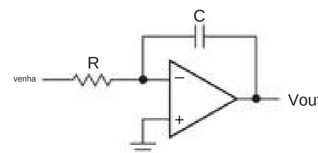


Figura 4.16. Integrador.

ou

$$\text{Vout}(t) = ÿ \frac{1}{RC} \text{Vin}(t)dt + \text{const.} \quad (4.3)$$

A entrada pode, é claro, ser uma corrente, caso em que *R* é omitido.

Como exemplo, se escolhermos *R* = 1M e *C* = 0,1 neste F em circuito, uma entrada CC constante de +1 V produz 1 de corrente milímetros UMA na junção de soma, portanto, uma tensão de saída que está diminuindo em dVout/dt = ÿ Vin/RC = ÿ10 V/s. Para dizê-lo algebricamente, para uma constante Vin ou constante Iin,

$$ÿ\text{Vout} = \frac{ÿ\text{Vin}}{RC} ÿt = \frac{ÿ\text{Iin}}{C} ÿt.$$

Montamos o integrador da Figura 4.16, com *R* = 1M ÿ e *C* = 1 nF, e o conduzimos com a forma de onda de teste simples mostrada na Figura 4.17. Sem ter feito aula de matemática, a coisa sabe cálculo!

Leitores atentos devem ter notado que este circuito não tem nenhum feedback em CC e, portanto, não há como ter um ponto quiescente estável: para *qualquer* tensão de entrada diferente de zero Vin, a saída está indo *para algum lugar!* Como veremos em breve, mesmo com Vin exatamente em zero volts, a saída tende a se desviar, devido a imperfeições do amplificador operacional (corrente de entrada diferente de zero e "tensão de compensação"). Esses últimos problemas podem ser minimizados pela escolha cuidadosa dos valores do amplificador operacional e do circuito; mas mesmo assim você geralmente precisa fornecer alguma maneira de redefinir o integrador. A Figura 4.18 mostra como isso geralmente é feito, seja com uma chave de reset (são mostrados exemplos de chaves analógicas JFET discretas e CMOS integradas)

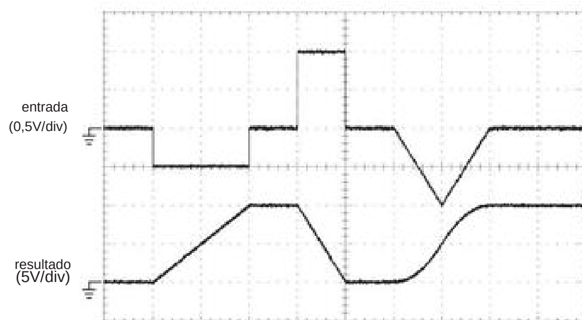


Figura 4.17. Formas de onda do integrador. A saída pode ir para onde quiser, ao contrário do nosso "integrador" *RC* simples de §1.4.4. Horizontal: 10 ms/div.

ou com um resistor de realimentação de grande valor através do capacitor de integração. O fechamento de uma chave de reset[5] (Figuras 4.18A,B) zera o integrador descarregando rapidamente o capacitor, enquanto permite a integração perfeita quando aberto. O uso de um resistor de realimentação (Figura 4.18D) produz polarização estável restaurando a realimentação em CC (onde o circuito funciona como um amplificador inversor de alto ganho), mas o efeito é eliminar a ação do integrador em frequências muito baixas, $f < 1/R_fC$. Uma chave analógica em série adicional na entrada (Figura 4.18C) permite controlar os intervalos durante os quais o integrador está ativo; quando essa chave está aberta, a saída do integrador é congelada em seu último valor.

Você não precisa se preocupar em zerar o integrador, é claro, se ele fizer parte de um circuito maior que faz a coisa certa. Veremos um belo exemplo em breve (§4.3.3), ou seja, um elegante gerador de ondas triangulares, no qual um integrador indomável é exatamente o que você deseja.

Esta primeira olhada no integrador do amplificador operacional assume que o amplificador operacional é perfeito, em particular que (a) as entradas não consomem corrente e (b) o amplificador é balanceado com ambas as entradas precisamente na mesma tensão. Quando nossa lua de mel com amplificadores operacionais terminar, veremos que os amplificadores operacionais reais têm alguma corrente de entrada (chamada "corrente de polarização", IB) e que exibem algum desequilíbrio de tensão (chamada "tensão de deslocamento", VOS). Essas imperfeições não são grandes – as correntes de polarização dos picoamps são rotineiras, assim como as tensões de compensação de menos de um milivolt – mas podem causar problemas com circuitos como integradores, nos quais o efeito de um pequeno erro cresce com o tempo. Trataremos desses tópicos essenciais mais adiante no capítulo (§4.4), depois que você estiver familiarizado com o básico.

[5] Consulte novamente a §3.4 para uma discussão detalhada das chaves FET.

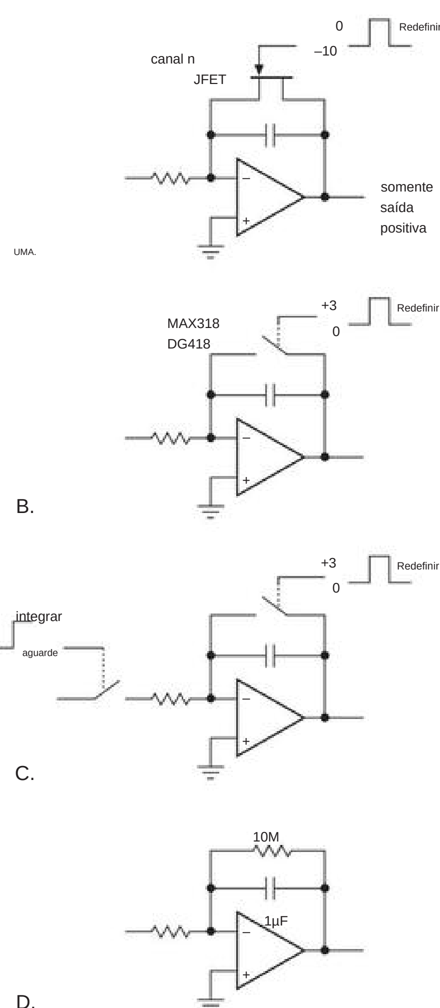


Figura 4.18. Integradores de amplificadores operacionais com interruptores de reset.

4.2.7 Cuidados básicos para circuitos de amplificadores operacionais

- Em todos os circuitos com amplificador operacional, as regras de ouro I e II (§4.1.3) são obedecidas somente se o amplificador operacional estiver na região ativa, ou seja, entradas e saídas não estão saturadas em uma das tensões de alimentação.

  Por exemplo, sobrecarregar uma das configurações do amplificador causará corte de saída em oscilações de saída próximas a VCC ou VEE. Durante o corte, as entradas não serão mais mantidas na mesma tensão. A saída do amplificador operacional não pode oscilar além das tensões de alimentação (normalmente, ela pode oscilar apenas dentro de 2 V das fontes, embora certos amplificadores operacionais sejam projetados para oscilar totalmente para uma fonte ou outra, ou para ambas; o os últimos são conhecidos como amplificadores operacionais de "saída rail-to-rail"). Da mesma forma, a conformidade de saída de uma fonte de corrente de amplificador operacional é definida pela mesma limitação.

A fonte de corrente com carga flutuante (Figura 4.10), por exemplo, pode colocar um máximo de VCC ÿVin na carga no sentido "normal" (corrente no mesmo sentido da tensão aplicada) e Vin ÿVEE no sentido inverso. 6 • O feedback deve ser organizado de forma que seja negativo. Isso significa (entre outras coisas) que você não deve misturar as entradas inversoras e não inversoras. Aprenderemos mais tarde que você pode se meter em problemas semelhantes se montar uma rede de realimentação que tenha muita mudança de fase em alguma frequência.

• Sempre deve haver realimentação em CC em um circuito de amplificador operacional. Caso contrário, é garantido que o amplificador operacional entrará em saturação.

Por exemplo, fomos capazes de colocar um capacitor da rede de realimentação para aterrar no amplificador não inversor (para reduzir o ganho para 1 em CC, Figura 4.7B), mas não poderíamos colocar um capacitor em série entre a saída e a saída. entrada inversora. Da mesma forma, um integrador acabará saturando sem algum circuito adicional, como um botão de reinicialização.

• Alguns amplificadores operacionais têm um limite de tensão de entrada diferencial máximo relativamente pequeno. A diferença máxima de tensão entre as entradas inversora e não inversora pode ser limitada a apenas 5 volts em qualquer polaridade.
Quebrar esta regra fará com que grandes correntes de entrada fluam, com degradação ou destruição do amplificador operacional. • Op-amps são dispositivos de alto ganho, geralmente com muito ganho mesmo em radiofrequências, onde as indutâncias na fiação do barramento de energia podem levar a instabilidades nos amplificadores.
Resolvemos esse problema com capacitores de bypass obrigatórios (é sério!) nos trilhos de alimentação do amplificador operacional.7
Observação: as figuras neste capítulo e em outros lugares (e geralmente no mundo real) não mostram capacitores de bypass, para simplificar.
Você foi avisado.

Abordamos mais algumas questões desse tipo em §4.4 e novamente no Capítulo 5 em relação ao projeto de circuitos de precisão.

4.3 Uma miscelânea de amplificadores operacionais

Nos exemplos a seguir, pulamos a análise detalhada, deixando essa diversão para o leitor.

4.3.1 Circuitos lineares

A. Inversor opcional Os circuitos na Figura 4.19 permitem que você inverta ou amplifique sem inversão, acionando uma chave. O ganho de tensão é +1 ou -1, dependendo da posição da chave. Os "interruptores" podem ser interruptores analógicos CMOS8, que permitem controlar o sentido de inversão com um sinal (digital). A variação inteligente da Figura 4.20 permite que você varie o ganho continuamente de seguidor para inversor. E quando o pote R1 está na posição intermediária, o circuito não faz nada!

Exercício 4.4. Mostre que os circuitos da Figura 4.19 funcionam como anunciado.

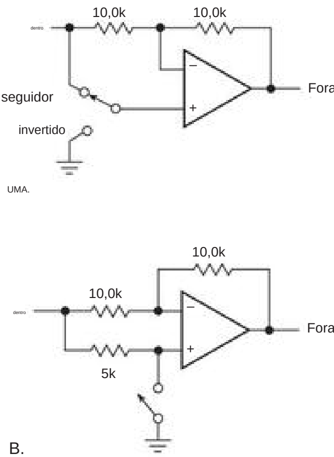


Figura 4.19. Inversores opcionais; *G* = ±1,0

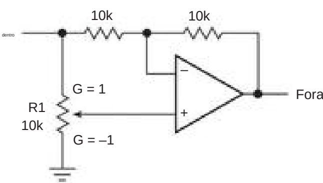


Figura 4.20. Seguidor-para-inversor: ganho continuamente ajustável de *G* = +1 a *G* = ÿ1.

[6] A carga pode ser bastante estranha, por exemplo, pode conter baterias, exigindo o sentido reverso da tensão para obter uma corrente direta; a mesma coisa pode acontecer com uma carga indutiva acionada por correntes variáveis.

[7] Quando éramos jovens, fomos ensinados que cada amplificador operacional precisava de seu próprio conjunto de capacitores de bypass. Mas, com a experiência, percebemos que um par de capacitores pode funcionar para estabilizar amplificadores operacionais próximos. Além disso, a indutância da fiação local com vários conjuntos de capacitores de bypass pode levar a ressonâncias, que permitem que um amplificador operacional interfira em outro. Por exemplo, se L=25 nH eC=0,01 F, então fLC=10 MHz e a impedância XL=XC=1,6ÿ. ressonância será *Q* vezes maior.
Você pode resolver esse problema adicionando um capacitor paralelo adicional de bypass com perdas, como um pequeno eletrolítico. Sua resistência em série equivalente, da ordem de 0,5ÿ ou mais, atua para amortecer o Q ressonante.

[8] Por exemplo, os interruptores ADG419 ou MAX319 ±20 V SPDT em pacotes convenientes de 8 pinos, consulte §3.4 e Tabela 3.3 na página 176.

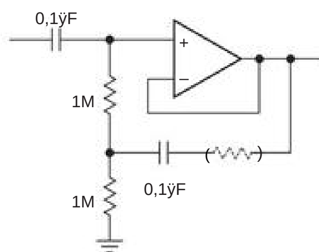


Figura 4.21. Seguidor de amplificador operacional com bootstrap.

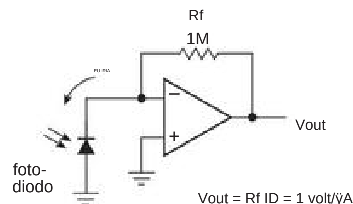


Figura 4.22. Amplificador de fotodiodo.

B. Seguidor com bootstrap Assim como nos amplificadores de transistor, o caminho de polarização pode comprometer a alta impedância de entrada que você obteria com um amplificador operacional, particularmente com entradas acopladas em CA, para as quais um resistor para aterramento é obrigatório. Se isso for um problema, o circuito bootstrap mostrado na Figura 4.21 é uma solução possível. Como no circuito de bootstrap do transistor (§2.4.3), o capacitor de 0,1 faz com que o resistor de 1M superior pareça uma fonte de corrente de alta impedância para os sinais de entrada. O rolloff de baixa frequência para este circuito começará em cerca de 10 Hz, caindo em 12 dB por oitava para frequências um pouco baixas.[9] Este circuito pode exibir algum pico de frequência, análogo ao circuito Sallen-and-Key de §4.3. 6; isso pode ser domado adicionando um resistor de 1–10k em série com o capacitor de realimentação.

A corrente de entrada muito baixa (e, portanto, a alta impedância de entrada) dos amplificadores operacionais de entrada FET geralmente tornam desnecessário o boot strapping; você pode usar resistores de 10 M ou maiores para o caminho de polarização de entrada em amplificadores com acoplamento CA.

C. Conversor ideal de corrente para tensão

Lembre-se de que o humilde resistor é o conversor I-para-V mais simples . Porém, tem a desvantagem de apresentar uma impedância diferente de zero para a fonte de corrente de entrada; isso pode ser fatal se o dispositivo que fornece a corrente de entrada tiver muito pouca complacência ou não produzir uma corrente constante à medida que a tensão de saída muda. Um bom exemplo é uma *célula fotovoltaica,* uma junção de diodo que foi otimizada como detector de luz. Mesmo os diodos de sinal comuns que você usa em circuitos têm um pequeno efeito fotovoltaico (há histórias divertidas de comportamento bizarro de circuitos finalmente atribuídos a esse efeito). A Figura 4.22 mostra a melhor maneira de converter corrente em tensão enquanto mantém a entrada estritamente no terra.

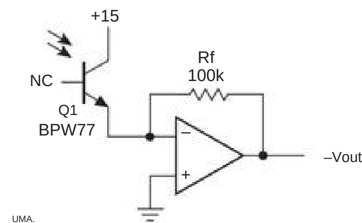
A entrada inversora é um terra virtual; isso é uma sorte, porque um diodo fotovoltaico pode gerar apenas alguns décimos de um volt. Este circuito particular tem uma saída de 1 volt por microamp de corrente de entrada. (Com amplificadores operacionais de entrada BJT, às vezes você vê um resistor conectado entre a entrada não inversora e o terra; sua função será explicada em breve em conexão com as deficiências do amplificador operacional.)

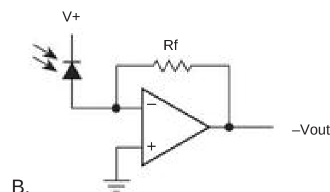
Obviamente, essa configuração de *transresistência* pode ser usada igualmente bem para dispositivos que fornecem sua corrente a partir de alguma tensão de excitação positiva, como VCC. Fotodiodos e fototransistores (ambos dispositivos que fornecem corrente de uma fonte positiva quando expostos à luz) são frequentemente usados dessa maneira (Figura 4.23). O fotodiodo tem menor fotocorrente, mas se destaca em linearidade e velocidade; fotodiodos muito rápidos podem operar em velocidades de gigahertz. Por outro lado, o fototransistor tem uma fotocorrente consideravelmente maior (devido ao transistor beta, que aumenta a fotocorrente nativa do coletor para a base), com menor linearidade e velocidade. Você pode até obter foto-Darlingtons, que ampliam essa tendência.

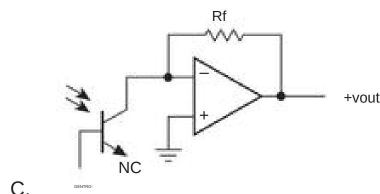
Em aplicações do mundo real, geralmente é necessário incluir um pequeno capacitor no resistor de realimentação para garantir a estabilidade (ou seja, evitar oscilação ou oscilação). Isso ocorre porque a capacitância do detector, em combinação com o resistor de realimentação, forma um filtro passa-baixa; a mudança de fase atrasada resultante em altas frequências, combinada com a mudança de fase atrasada do próprio amplificador operacional (consulte §4.9.3), pode somar até 180ÿ, produzindo assim feedback *positivo* geral e, portanto, oscilação. Tratamos desse interessante problema com algum detalhe no Capítulo *4x* (“Amplificadores de Transresistência”); certifique-se de ler essa seção cuidadosamente se estiver construindo amplificadores para fotodiodos. (E problemas de estabilidade análogos ocorrem, por razões semelhantes, quando você aciona cargas capacitivas com amplificadores operacionais; consulte §4.6.1B).

Exercício 4.5. Use um medidor de 411 e 1 mA (escala completa) para construir um medidor de corrente “perfeito” (ou seja, um com impedância de entrada zero) com escala total de 5 mA. Projete o circuito de modo que o medidor nunca seja acionado mais do que ±150% da escala completa. Suponha que o 411 pode oscilar para ±13 volts (alimentação de ±15 V) e que o medidor tem resistência interna de 500 ÿ.

[9] Você pode ficar tentado a reduzir o capacitor de acoplamento de entrada, pois sua carga foi inicializada para alta impedância. No entanto, isso pode gerar um pico na resposta de frequência, à maneira de um filtro ativo (ver §6.3).







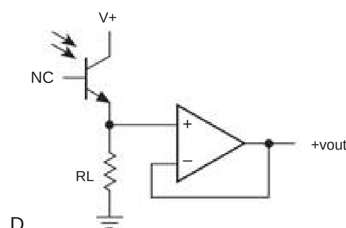


Figura 4.23. Amplificadores de fotodiodo com polarização reversa: A. Fototransistor; note terminal base não é usado. B. Fotodiodo. C. Fototransistor usado como fotodiodo; para variar, mostramos a corrente afundando. D. Fototransistor com seguidor de tensão de acionamento do resistor de carga.

D. Amplificador somador O circuito mostrado na Figura 4.24 é apenas uma variação do amplificador inversor. O ponto *X* é um terra virtual, então a corrente de entrada é *V1/ R1+V2/ R2+V3/ R3.* Com valores iguais de resistor, você obtém Vout = ÿ*(V1 +V2* +V3). Observe que as entradas podem ser positivas ou negativas. Além disso, os resistores de entrada não precisam ser iguais; se forem desiguais, você obtém uma soma ponderada. Por exemplo, você pode ter quatro entradas, cada uma com +1 volt ou zero, representando os valores binários 1, 2, 4 e 8. Usando resistores de entrada de 10k, 5k, 2,5k e 1,25k, você obterá uma saída negativa em volts igual à entrada de contagem binária. Este esquema pode ser facilmente expandido para várias escavações

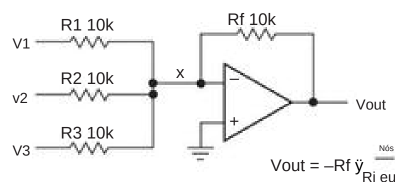


Figura 4.24. Amplificador somatório.

Está. É a base da conversão digital para analógico, embora um circuito de entrada diferente (uma escada R-2R) seja geralmente usado.

Exercício 4.6. Mostre como fazer um conversor digital-analógico (DAC) de dois dígitos dimensionando apropriadamente os resistores de entrada em um amplificador somador. A entrada digital representa dois dígitos, cada um consistindo em quatro linhas que representam os valores 1, 2, 4 e 8 para os respectivos dígitos. Uma linha de entrada está em +1 volt ou no terra, ou seja, as oito linhas de entrada representam 1, 2, 4, 8, 10, 20, 40 e 80. Com fontes de ±15 V, as saídas do amplificador operacional geralmente podem não oscilar além de ±13 volts; você terá que se contentar com uma saída em volts igual a um décimo do valor do número de entrada.

E. Amplificador de

potência Para alta corrente de saída, um transistor seguidor de potência pode ser pendurado em uma saída de amplificador operacional (Figura 4.25). Neste caso, um amplificador não inversor foi desenhado, embora um seguidor possa ser adicionado a qualquer configuração de amplificador operacional. Observe que o feedback é obtido do emissor; assim, o feedback impõe a tensão de saída desejada, apesar da queda de VBE . Este circuito tem o problema usual de que a saída do seguidor só pode *fornecer* corrente. Assim como nos circuitos de transistores, a solução é um booster push-pull (Figura 4.26). Veremos mais tarde que a velocidade limitada com que o amplificador operacional pode mover sua saída (slew rate) limita seriamente a velocidade desse booster na região do crossover, criando distorção. Para aplicações de baixa velocidade, você não precisa polarizar o par push-pull em condução quiescente, porque o feedback cuidará da maior parte da distorção do crossover. Estão disponíveis CIs de reforço de potência completos, por exemplo, LT1010 e BUF633/4. Es

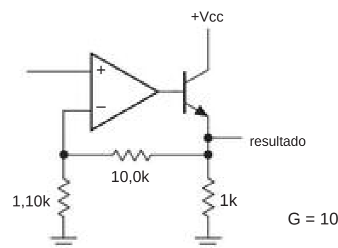


Figura 4.25. O seguidor de emissor de terminação única aumenta a corrente de saída do amplificador operacional (somente fonte).

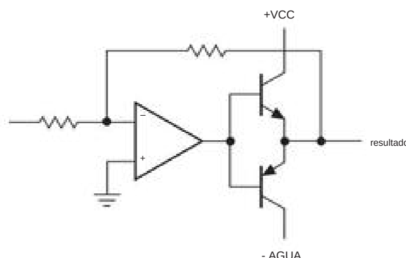


Figura 4.26. O seguidor push-pull aumenta a corrente de saída do amplificador operacional, tanto na fonte quanto na descarga. Você normalmente vê um pequeno resistor (ÿ100 ÿ) conectado entre as bases e os emissores para reduzir a não-linearidade do cruzamento, mantendo o feedback durante a oscilação do sinal. Consulte a Figura 2.71 para melhor polarização do estágio de saída.

são amplificadores push-pull de ganho unitário capazes de 200 mA de corrente de saída e operação de 20 a 100 MHz (consulte §5.8.4 e também a discussão (e tabela) de buffers de ganho unitário no Capítulo 4x.); eles são cuidadosamente polarizados para baixa distorção de crossover de malha aberta e incluem proteção no chip (limite de corrente e, frequentemente, desligamento térmico também). Contanto que você garanta que o amplificador operacional que os conduz tenha uma largura de banda significativamente menor, você pode incluí-los no loop de feedback sem nenhuma preocupação.10

Feedback e o booster push-pull O circuito booster push-pull ilustra muito bem o efeito de linearização do feedback negativo. Conectamos um amplificador operacional LF411 como um seguidor de ganho unitário não inversor, acionando um estágio de saída push-pull BJT e carregamos a saída com um resistor de 10 ÿ para o terra. A Figura 4.27 mostra os sinais de saída no amplificador operacional e na carga, com uma onda senoidal de entrada de 1 V de amplitude a 125 Hz. Para o par superior de traços nós (tolamente) pegamos o feedback da saída do amplificador operacional, que produziu uma réplica fina do sinal de entrada; mas a carga vê distorção de crossover severa (da zona morta 2VBE). Com o feedback vindo da saída push-pull (onde a carga está conectada), obtemos o que queremos, conforme visto no par inferior de traços. O amplificador operacional cria habilmente uma forma de onda exagerada para acionar o push-pull seguidor inferior, com precisamente a forma certa para compensar o

cruzamento.

A Figura 4.28 mostra como essas formas de onda se parecem quando tentamos acionar um alto-falante real, uma carga que é mais complicada do que um resistor (por ser um "motor" e um "gerador", exibe ressonâncias e outras propriedades desagradáveis; também tem uma rede cruzada reativa, e

10 Mas cuidado com um erro comum: um circuito de trabalho é atualizado pela substituição de um amplificador operacional mais rápido, após o que o circuito "melhorado" oscila!

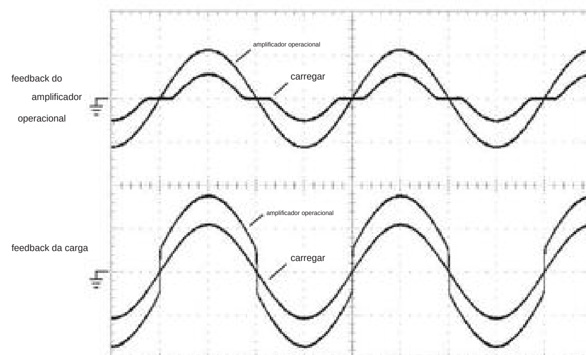


Figura 4.27. A realimentação cura a distorção cruzada no seguidor push-pull. Vertical: 1 V/div; horizontal: 2 ms/div.

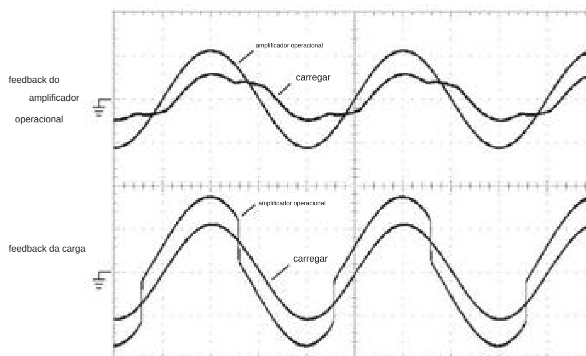


Figura 4.28. Igual à Figura 4.27, mas carregado com um alto-falante de 6 ÿ de impedância nominal.

uma bobina indutiva para impulsionar o cone). Mais uma vez, a mágica do feedback faz o trabalho, desta vez com uma saída de amplificador operacional que é encantadoramente assimétrica.11

F. Fonte de alimentação Um amplificador operacional pode fornecer o ganho para um regulador de tensão de realimentação (Figura 4.29). O amplificador operacional compara uma amostra da saída com a referência zener, alterando o drive para o "transistor de passagem" Darlington conforme necessário. Este circuito fornece uma saída estável de 10 volts ("regulada"), com corrente de carga de até 1 ampère. Algumas observações sobre este circuito:

11 Devemos observar, para ser justo, que o excelente desempenho visto aqui é em uma frequência bastante baixa (escolhemos próximo à ressonância de graves do alto-falante, para ilustrar como o feedback pode ser inteligente). Mas a situação se degrada em altas frequências, devido à taxa de variação finita e ganho de loop decrescente (tópicos que veremos em §4.4). É muito melhor eliminar a maior parte da distorção de crossover no próprio estágio push-pull, por polarização adequada de "classe AB" (consulte a Figura 2.71 em §2.4.1A) ou usando um buffer externo de ganho unitário (consulte a Figura 4.87, e §5.8.4); em seguida, usando o feedback para suprimir qualquer distorção residual.

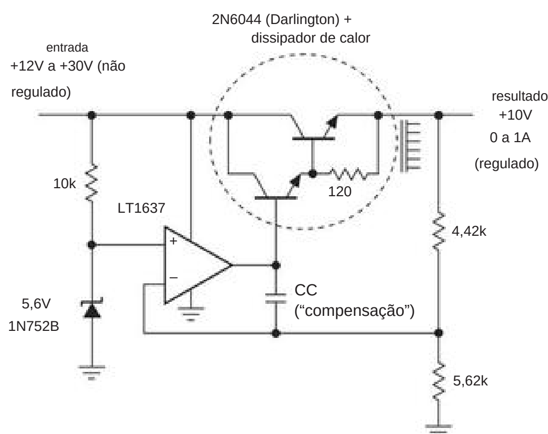


Figura 4.29. Regulador de voltagem.

- O divisor de tensão que amostra a saída pode ser um potenciômetro, para tensão de saída ajustável.
- Para ondulação reduzida no zener, o resistor de 10k deve ser substituído por uma fonte de corrente. Outra abordagem é desviar o zener da saída; assim você aproveita o regulador que construiu. *Cuidado:* ao usar este truque, você deve analisar o circuito cuidadosamente para ter certeza de que ele será iniciado quando a energia for aplicada pela primeira vez. • Usamos um amplificador operacional rail-to-rail, que pode oscilar sua saída para o trilho positivo,12 de modo que a tensão de entrada pode chegar a +12 V sem colocar o transistor de passagem Darlington em saturação. Com um 411, por outro lado, você teria que permitir mais 1,5–2 V de margem, porque a saída do amplificador operacional não pode ficar mais próxima do que o trilho de alimentação positivo.

- O circuito desenhado pode ser danificado por um curto-circuito temporário na saída, porque o amplificador operacional tentaria levar o par de Darlington a uma condução pesada. As fontes de alimentação reguladas devem sempre ter circuitos para limitar a corrente de "falha" (consulte §9.1.1C para obter mais detalhes).

- Sem o "capacitor de compensação" CC , o circuito provavelmente oscilaria quando a saída CC fosse desviada (como seria ao alimentar um circuito) por causa da mudança de fase atrasada adicional. O capacitor CC garante estabilidade em uma carga capacitiva, um assunto que abordaremos em §§4.6.1B, 4.6.2 e 9.1.1C. • Os reguladores de tensão de circuito integrado estão disponíveis em uma enorme variedade, desde o consagrado 723 até o convenientes reguladores ajustáveis de 3 terminais com limite interno de corrente e desligamento térmico (consulte §9.3). Esses dispositivos, completos com referência de tensão interna compensada por temperatura e transistor de passagem, são tão fáceis de usar que você quase nunca usará um amplificador operacional de uso geral como regulador. A exceção pode ser gerar uma tensão estável dentro de um circuito que já possui uma tensão de alimentação estável disponível.

No Capítulo 9, discutimos os reguladores de tensão e as fontes de alimentação em detalhes, incluindo CIs especiais destinados ao uso como reguladores de tensão.

4.3.2 Circuitos não lineares

A. Comparador – uma introdução É bastante comum querer saber qual dos dois sinais é maior, ou saber quando um determinado sinal de entrada excede uma tensão pré-determinada. Por exemplo, o método usual de geração de ondas triangulares é fornecer correntes positivas ou negativas a um capacitor, invertendo a polaridade da corrente quando a amplitude atinge um valor de pico predefinido. Outro exemplo é um voltímetro digital. Para converter uma tensão em um número, a tensão desconhecida é aplicada em uma entrada de um comparador, com uma rampa linear (capacitor + fonte de corrente) aplicada na outra. Um contador digital conta os ciclos de um oscilador durante o tempo em que a rampa é menor que a tensão desconhecida e exibe o resultado quando a igualdade de amplitudes é alcançada. A contagem resultante é proporcional à tensão de entrada. Isso é chamado de integração de inclinação única; na maioria dos instrumentos sofisticados, uma integração de inclinação dupla é usada (Capítulo 13).

A forma mais simples de comparador é um amplificador diferencial de alto ganho, feito com transistores ou com um amplificador operacional (Figura 4.30). Neste circuito não há realimentação – o op-amp entra em saturação positiva ou negativa de acordo com a diferença das tensões de entrada. Devido ao enorme ganho de tensão dos amplificadores operacionais (normalmente 105–106), as entradas terão que ser iguais a uma fração de milivolt para que a saída não fique saturada. Embora um amplificador operacional comum possa ser usado como comparador (e frequentemente é), existem CIs especiais destinados a serem usados como comparadores.
Eles permitem definir os níveis de tensão de saída independentemente das tensões usadas para alimentar o comparador (por exemplo, você pode ter níveis de saída de 0 V e +5 V de um comparador alimentado por ±15 V); e geralmente são muito mais rápidos, porque não estão tentando ser amplificadores operacionais, ou seja, amplificadores lineares destinados ao uso com realimentação negativa. Falaremos sobre eles em detalhes no Capítulo 12 (§§12.1.7 e 12.3, e Tabela 12.2).).

12 Nosso LT1637 sugerido é um amplificador operacional "over-the-top" de 44 volts que exibe correntes de polarização de entrada notavelmente mais altas quando sua entrada está próxima ao trilho positivo (tanto quanto IB=20 mA, cerca de 100 vezes sua corrente de polarização normal.) O LT1677, com IB=0,2 A, pode ser uma escolha melhor.

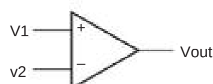


Figura 4.30. Comparador: um amplificador operacional sem feedback.

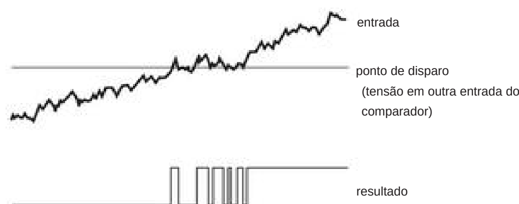


Figura 4.31. Comparador sem histerese produz múltiplas transições de sinal de entrada ruidoso.

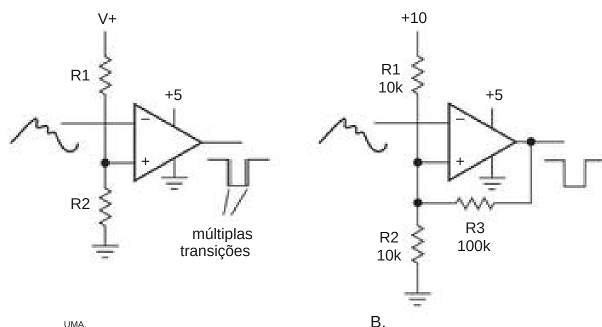


Figura 4.32. O feedback positivo evita múltiplas transições do comparador. A. Comparador sem feedback. B. A configuração do gatilho Schmitt usa realimentação positiva para evitar múltiplas transições de saída.

ICs comparadores especiais são geralmente preferíveis e são desenhados com o mesmo símbolo.

B. Gatilho de Schmitt

O circuito comparador simples na Figura 4.30 tem duas desvantagens. Para uma entrada variando muito lentamente, a oscilação da saída pode ser bastante lenta. Pior ainda, se a entrada for ruidosa, a saída pode fazer várias transições à medida que a entrada passa pelo ponto de disparo (Figura 4.31). Ambos os problemas podem ser remediados pelo uso de feedback *positivo* (Figura 4.32). O efeito de R3 é fazer com que o circuito tenha dois limiares, dependendo do estado da saída. No exemplo mostrado, o limite quando a saída está no aterramento (entrada alta) é de 4,76 volts, enquanto o limite com a saída em +5 volts é de 5,0 volts. Uma entrada ruidosa tem menos probabilidade de produzir disparos múltiplos (Figura 4.33). Além disso, o feedback positivo garante uma transição de saída rápida, independentemente da velocidade da forma de onda de entrada. (Um pequeno capacitor de "aceleração" de 10–100 pF é frequentemente conectado através de R3 para aumentar ainda mais a velocidade de comutação.) Essa configuração é conhecida

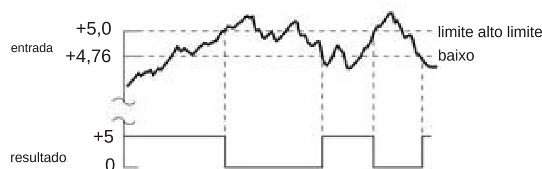


Figura 4.33. A histerese doma o comparador propenso a ruídos.

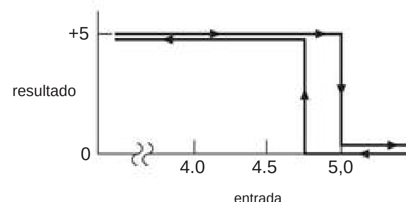


Figura 4.34. Saída versus entrada ("função de transferência") para gatilho Schmitt.

como um gatilho de Schmitt, uma função que vimos anteriormente em uma implementação discreta de transistor (Figura 2.13).

A saída depende tanto da tensão de entrada quanto de seu histórico recente, efeito chamado de *histerese.* Isso pode ser ilustrado com um diagrama de saída versus entrada, como na Figura 4.34. O procedimento de projeto é fácil para gatilhos Schmitt que possuem uma pequena quantidade de histerese. Use o circuito da Figura 4.32B. Primeiro, escolha um divisor resistivo (R1, R2) para colocar o limiar aproximadamente na voltagem certa; se você quiser o limite próximo ao solo, use apenas um único resistor da entrada não inversora para o solo. Em seguida, escolha o resistor de feedback (positivo) R3 para produzir a histerese necessária, observando que a histerese é igual à oscilação de saída, atenuada por um divisor resistivo formado por R3 e *R1R2.* Finalmente, se você estiver usando um comparador com saída de "coletor aberto", você deve adicionar um resistor de pullup de saída pequeno o suficiente para garantir uma oscilação de alimentação quase total, levando em consideração o carregamento por R3 (leia sobre as saídas do comparador em §12.3, e ver Tabela 12.2). Para o caso em que você deseja limiares simétricos em relação ao terra, conecte um resistor de compensação de valor apropriado da entrada não inversora à alimentação negativa. Você pode querer dimensionar todos os valores de resistor para manter os níveis de corrente e impedância de saída dentro de uma faixa razoável.

C. Driver de comutação de energia

A saída de um comparador ou gatilho Schmitt alterna abruptamente entre altas e baixas tensões; não é um sinal contínuo (ou "linear"). Você pode querer usar sua saída para ligar ou desligar uma carga substancial. Exemplos podem ser um relé, laser ou motor.

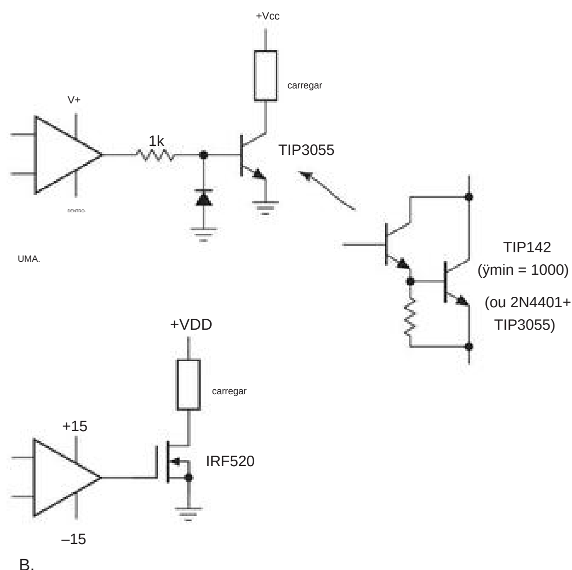


Figura 4.35. Comutação de potência com um amplificador operacional; A. Com npn bipolar; observe o limite de corrente base e proteção reversa, B. Com potência MOS FET; observe o circuito de acionamento simplificado.

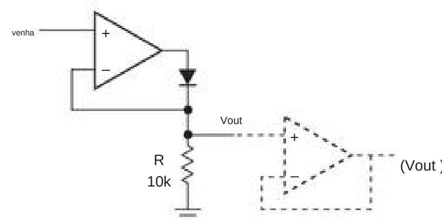


Figura 4.36. Retificador ativo simples de meia onda.

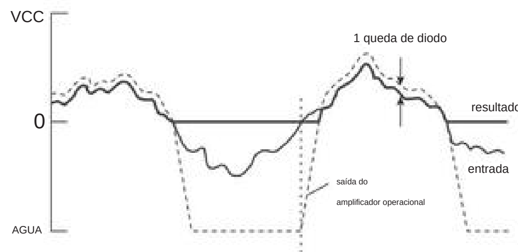


Figura 4.37. Efeito da taxa de variação finita no retificador ativo simples.

Para cargas que estão ligadas ou desligadas, um transistor de comutação pode ser acionado por um comparador ou amplificador operacional. A Figura 4.35A mostra como. Observe o diodo para evitar quebra reversa base-emissor (op-amps alimentados por trilhos de alimentação duplos oscilam facilmente mais do que a tensão de quebra base-emissor de -6 V); seria omitido se a alimentação negativa do amplificador operacional não fosse superior a -5 V. O TIP3055 é um transistor de potência clássico para aplicações não críticas de alta corrente, embora você encontre uma grande variedade de tipos disponíveis com máximo aprimorado tensão, corrente, dissipação de potência e velocidade (consulte a listagem na Tabela 2.2 na página 106). Um Darlington pode ser usado se correntes maiores que cerca de 1 ampère precisarem ser acionadas.

Em geral, no entanto, é melhor usar um MOSFET de potência de canal n, caso em que você pode dispensar o resistor e o diodo juntos (Figura 4.35B). O IRF520[13] é quase um clássico – mas a variedade de MOSFETs de potência prontamente disponíveis é esmagadora (consulte a Tabela 3.4); em geral, você troca alta tensão de ruptura por baixa resistência ON .

Ao alternar cargas externas, não se esqueça de incluir um diodo reverso se a carga for indutiva (§1.6.7).

13 Junto com seus primos de corrente mais alta, o IRF530 e IRF540 e os parentes de tensão mais alta (IRF620-640 e IRF720-740) que preenchem a árvore genealógica ordenada; consulte "Uma saga MOSFET de 30 anos" (§3x.11).

D. Retificador ativo A

retificação de sinais menores que uma queda de diodo não pode ser feita com uma simples combinação diodo-resistor. Como sempre, os amplificadores operacionais vêm em socorro, neste caso colocando um diodo no circuito de realimentação (Figura 4.36). Para Vin positivo, o diodo fornece feedback negativo; a saída do circuito acompanha a entrada, acoplada pelo diodo, mas sem queda de VBE . Para Vin negativo, o amplificador operacional entra em saturação negativa e Vout está no chão. *R* pode ser escolhido menor para menor impedância de saída, com a compensação de maior corrente de saída do amplificador operacional. Uma solução melhor é usar um seguidor de amplificador operacional na saída, conforme mostrado, para produzir uma impedância de saída muito baixa, independentemente do valor do resistor.

Há um problema com este circuito que se torna sério com sinais de alta velocidade. Como um amplificador operacional não pode oscilar sua saída infinitamente rápido, a recuperação da saturação negativa (quando a forma de onda de entrada passa de zero para baixo) leva algum tempo, durante o qual a saída está incorreta. Ela se parece com a curva mostrada na Figura 4.37. A saída (traço pesado) é uma versão retificada precisa da entrada (traço leve), exceto por um curto intervalo de tempo depois que a entrada passa por zero volts. Durante esse intervalo, a saída do amplificador operacional está acelerando da saturação perto de -VEE, então a saída do circuito ainda está no solo. Um amplificador operacional de propósito geral como o 411 tem uma *taxa* de variação (taxa máxima na qual a saída pode mudar) de 15 V/s; a recuperação da saturação negativa, portanto, leva cerca de 1 s (ao operar a partir de fontes de ± 15 V), o que pode introduzir uma milímetros saída significativa

Machine Translated by Google

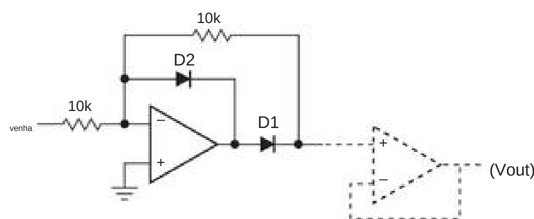


Figura 4.38. Retificador ativo de meia onda aprimorado.

erro para sinais rápidos. Uma modificação no circuito melhora consideravelmente a situação (Figura 4.38).

D1 torna o circuito um inversor de ganho unitário para sinais de entrada negativos. D2 prende a saída do amplificador operacional em uma queda de diodo abaixo do solo para entradas positivas e, como D1 é polarizado de volta, Vout fica no solo. A melhoria ocorre porque a saída do amplificador operacional oscila apenas duas quedas de diodo quando o sinal de entrada passa por zero. Como a saída do amplificador operacional precisa diminuir apenas cerca de 1,2 volts em vez de VEE volts, a "falha" nos cruzamentos zero é reduzida em mais de 10 vezes. Este retificador está invertendo, aliás. Se você precisar de uma saída não invertida, conecte um inversor de ganho unitário à saída.

O desempenho desses circuitos é melhorado se você escolher um amplificador operacional com alta taxa de variação. A taxa de variação também influencia o desempenho de outras aplicações de amplificadores operacionais que discutimos, por exemplo, os circuitos amplificadores de tensão simples. Em breve, veremos mais de perto as maneiras pelas quais os amplificadores operacionais reais se afastam do ideal - corrente de entrada, tensão de deslocamento, largura de banda e taxa de variação, e assim por diante - porque você precisa saber sobre essas limitações se quiser. projetar bons circuitos. Com esse conhecimento, também veremos alguns circuitos retificadores ativos *de onda* completa para complementar esses retificadores de meia onda.14 Primeiro, porém, gostaríamos de demonstrar um pouco da diversão de projetar com amplificadores operacionais mostrando alguns exemplos de circuitos do mundo real.

4.3.3 Aplicação do amplificador operacional: oscilador de onda triangular

Esses fragmentos de circuitos de amplificadores operacionais que estivemos explorando – amplificadores, integradores, gatilhos Schmitt, etc. – são bastante interessantes; mas a verdadeira empolgação no design de circuitos ocorre quando você junta as peças criativamente para criar um "algo" completo. Um bom exemplo com o qual podemos lidar agora é um *oscilador de onda triangular.* Ao contrário de qualquer outro circuito até agora, este não possui sinal de entrada; em vez disso, cria um sinal de saída, neste caso uma onda triangular simétrica de amplitude de 1 volt. Como subproduto, você também obtém uma onda quadrada, de graça. (Veremos muitos outros exemplos de osciladores no Capítulo 7).

A ideia é primeiro usar um integrador (com tensão de entrada CC constante) para gerar uma rampa; precisamos inverter a rampa quando ela atinge seus limites de ±1 V, então deixamos a saída do integrador (a rampa) acionar um gatilho Schmitt, com limiares em ±1 V. A saída do Schmitt, então, é o que deve determinar a direção da rampa. Ah!

Basta usar sua saída (que alterna entre as tensões do trilho de alimentação) como entrada para o integrador.

A Figura 4.39 mostra uma implementação de circuito. É mais fácil começar com o IC2, que é conectado como um gatilho Schmitt *não inversor* (parece um amplificador inversor, mas não é – observe que o feedback vai para a entrada não inversora), por um motivo que veremos em breve. Essa configuração é usada com menos frequência do que o circuito inversor convencional da Figura 4.32B, por causa de sua menor impedância de entrada (e reversão substancial da corrente de entrada no limiar). É importante ressaltar que o LMC6482 tem oscilação de saída de trilho para trilho, portanto, com fontes de alimentação de ±5 V, seus limites são de ±1 V, definidos por uma proporção de 5:1 de R3 para R2.

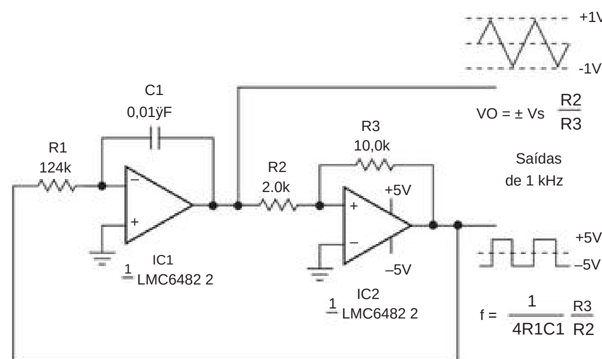


Figura 4.39. Oscilador de onda triangular.

A saída de ±5 V do Schmitt é a entrada para o integrador IC1. Escolhemos C1 para ser um valor conveniente de 0,01 F, depois m calculamos R1 para aumentar em 2 V em meio período (0,5 ms), usando 5V/R1 = Iin = *C1[dV/ dt]rampa.* O valor calculado do resistor de 125 kÿ (na figura, mostramos o valor do resistor "E96" padrão de 1% mais próximo; consulte o Apêndice C) saiu razoável, dadas as características do amplificador operacional do mundo real, como aprenderemos mais adiante em o capítulo. Se não tivesse, teríamos mudado C1; normalmente é assim que você chega aos valores finais dos componentes do circuito.

Exercício 4.7. Confirme se o valor de R1 está correto e se os limites do gatilho Schmitt estão em ±1 V.

[14] E no Capítulo *4x* veremos aplicações adicionais de circuitos não lineares de amplificadores operacionais, por exemplo, um amplificador logarítmico e um amplificador "caótico" Circuito Lorenz-atrator.

Agora, a razão para conectar o IC2 como um gatilho Schmitt *não inversor* torna-se clara: se a saída do IC2 estiver em -5 V, digamos, então a onda triangular está aumentando em direção ao limite de +1 V do Schmitt, ponto em que a saída do Schmitt mudará para +5 V, invertendo o ciclo. Se, em vez disso, tivéssemos usado a configuração Schmitt inversora mais convencional, o oscilador não oscilaria; nesse caso, ele "travaria" em um limite, como você pode verificar percorrendo um ciclo de operação.

As expressões para frequência e amplitude de saída são mostradas na figura. É interessante notar que a frequência é independente da tensão de alimentação; mas se você alterar a relação do resistor R2/R3 para alterar a amplitude de saída, também alterará a frequência. Às vezes é bom desenvolver expressões algébricas para a operação do circuito, para ver tais dependências. Veja como funciona neste caso: VS/R1 C1

$$\frac{dv}{dt} = \frac{EU}{C} = \underline{\qquad},$$

assim $$t = C1\,V, \frac{R1}{VS}$$

mas $$ÿV = 2\frac{R2}{R3}vs,$$

assim $$ÿt = 2C1R1\frac{R2}{R3},$$

e assim, finalmente, $$f = \frac{1}{2ÿt} = \frac{1}{4R1C1}\frac{R3}{R2}. \qquad (4.4)$$

Observe como Vs cancelou na quarta etapa, levando a uma frequência de saída independente da tensão de alimentação.

Um aviso: é fácil se deslumbrar com o aparente poder da matemática e rapidamente se apaixonar pelo "design de circuito algébrico". Nosso conselho severo neste assunto (e você pode nos citar) é:

Resista à tentação de se refugiar nas equações como um substituto para a compreensão de como um circuito realmente funciona.

4.3.4 Aplicação de amplificador operacional: testador de tensão pinch-off

Aqui está outra boa aplicação de amplificadores operacionais: suponha que você queira medir um lote de JFETs para colocá-los em grupos que correspondam à tensão de pinçamento VGS(off) (às vezes chamada de VP, consulte §3.1.3). Isso é útil porque a grande dispersão de VP especificado às vezes torna difícil projetar um bom amplificador .

[15] Você também pode usar esse mesmo circuito para corresponder à tensão limite, VGSth, de um conjunto de MOSFETs.

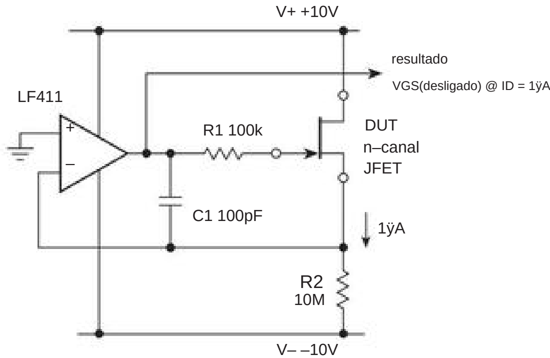


Figura 4.40. Testador de tensão de aperto simples.

corrente de 1 mA com o dreno em +10 V e a fonte aterrada.

Se você não conhecesse amplificadores operacionais, poderia imaginar (a) aterrar a fonte, (b) conectar um medidor de corrente sensível do dreno a uma fonte de +10 V e, em seguida, (c) ajustar a tensão do gate com um fornecimento variável negativo para um valor que produz 1 mA da corrente de dreno medida.

A Figura 4.40 mostra uma maneira melhor. O dispositivo em teste (muitas vezes você verá o acrônimo DUT) tem seu dreno vinculado a +10 V; mas o fio da fonte, em vez de ser aterrado, está ligado à entrada inversora (terra virtual) de um amplificador operacional cuja entrada não inversora é aterrada. O amplificador operacional controla a tensão da porta, mantendo assim a fonte no solo. Como a fonte é puxada para -10 V através de um resistor de 10 M, a corrente da fonte (e, portanto, a corrente de dreno) é 1 A. A saída do amplificador operacional é a mesma que a tensão do portão, então a saída deste circuito é a tensão pinch-off que você queria saber.

Alguns detalhes:

• Escolhemos tensões de alimentação de ±10 V para o amplificador operacional para simplificar o restante do circuito, pois queríamos medir VP com +10 V no dreno. Tudo bem, porque a maioria dos amplificadores operacionais funciona bem em uma faixa de tensões de alimentação (na verdade, a tendência é para tensões operacionais mais baixas, impulsionadas pelo mercado de dispositivos de consumo alimentados por bateria). Mas se você tiver apenas ±15 V disponível, terá que gerar +10 V em seu circuito, seja com um divisor de tensão, um zener ou um regulador de tensão de 3 terminais (consulte o Capítulo 9). • Colocamos um resistor de 100k (R1) como proteção em série com o gate para evitar que qualquer corrente significativa do gate flua durante transientes de plug-in, etc. resistor pull-down bastante grande R2), então adicionamos um pequeno capacitor de realimentação C1 para manter a estabilidade.

Falamos sobre esse negócio de estabilidade no final do capítulo, em §4.9. • Para que este circuito funcione corretamente, é importante que a entrada inversora do amplificador operacional não carregue o terminal da fonte, por exemplo, puxando qualquer coisa que se aproxime de um microamp de corrente. Como veremos em breve, nem sempre é esse o caso. Para este exemplo, nosso amplificador operacional 411 de propósito geral, com seus transistores de entrada JFET, está bom (com correntes de entrada nos picoampères); mas um amplificador operacional que usa transistores bipolares para seu estágio de entrada geralmente teria correntes de entrada entre 10 e 100 nanoamps e deve ser evitado para uma aplicação de baixa corrente como esta. • A corrente de dreno na qual a tensão de compressão é especificada nem sempre é 1 A. Você verá VGS(off) especificado em valores de corrente de dreno variando de 1 nA a dezenas de microampères, dependendo do tamanho do JFET e capricho do fabricante. (Em uma pesquisa informal de folhas de dados, descobrimos que 1 nA é o mais popular, seguido por 1 A, 10 nA e 0,5 nA, com cinco outros valores usados ocasionalmente.) Seria fácil modificar o circuito para acomodar m valores mais altos correntes de teste; mas para ir para 10 nA, digamos, você precisaria de um resistor de 1 Gÿ para R2! Nesse caso, uma solução melhor é retornar o resistor pull-down para uma tensão mais baixa, digamos -0,1 V, que você pode gerar com um divisor de tensão da fonte negativa de -10 V. Você teria que se preocupar novamente com as correntes de entrada do amplificador operacional com uma corrente de teste tão pequena.

Exercício 4.8. Mostre como fazer o testador pinch-off operar a partir de fontes de ±15 V, com a medição ainda feita em VD = +10 V; suponha que o maior valor de resistor disponível seja 10Mÿ.

Exercício 4.9. Modifique o circuito do testador de compressão da Figura 4.40 para que você possa medir VGS em três valores de corrente de dreno, ou seja, 1 A e 100 A, ajustando uma chave de 3 posições. Suponha que o maior mA, 10 m valor de resistor que você pode obter convenientemente seja 10 mMÿ.

Exercício 4.10. Agora mude o circuito para que ele meça VGS(off) em ID=1 nA. Suponha que você possa obter resistores de 100 Mÿ 5%.

4.3.5 Gerador de largura de pulso programável

Quando acionado por um pulso de entrada curto, o circuito da Figura 4.41 gera um pulso de saída[16] cuja largura é definida pelo potenciômetro de 10 voltas R1. Veja como funciona.

IC1, IC2 e Q1 formam uma fonte de corrente que carrega o capacitor de temporização C, conforme detalharemos a seguir. IC3 é um IC temporizador versátil, cujas muitas explorações iremos desfrutar no Capítulo 7. Ele mantém *C* descarregado (através de um MOSFET saturado switch cujo dreno direciona o pino DIS para o terra) e simultaneamente mantém a saída no terra, até receber um pulso de disparo negativo em seu pino de entrada TRIG ; nesse ponto ele libera DIS e muda sua saída para V+, neste caso +5 V.

A fonte de corrente agora carrega *C* com uma rampa positiva, de acordo com *I = C dV/ dt.* Isso continua até que a tensão do capacitor, que também aciona a entrada TH do IC3 , atinja uma tensão igual a 2/3 da tensão de alimentação, VTH = 3V+; neste ponto, o IC3 puxa abruptamente o DIS de volta ao solo, simultaneamente mudando sua saída para o solo. Isso completa o ciclo.

A fonte de corrente é um circuito elegante. Queremos fornecer uma corrente ao capacitor, com complacência do terra até pelo menos +3,3 V (2/3 de +5 V), com controle linear por um potenciômetro que retorna ao terra. Por motivos que veremos a seguir, queremos que a corrente programada seja proporcional à tensão de alimentação V+. Neste circuito Q1 é a fonte de corrente, com IC2 controlando sua base para manter seu emissor em +5 V. IC1 é um amplificador inversor referenciado em +5 V; ele gira sua saída para uma tensão que excede +5 V em uma quantidade proporcional à corrente que flui por R1 e R2. Esse excesso de tensão aparece em R, gerando a corrente de saída. Você saberá que entende como funciona fazendo o seguinte problema.

Exercício 4.11. Calcule a corrente fornecida por Q1 calculando a tensão de saída de IC1 como uma função de RX (a soma de R1 e R2), R3 e V+. Agora use-o para calcular a largura de pulso de saída, sabendo que o IC3 comuta quando a tensão em TH atinge 2 3V+.

Este circuito é uma ilustração do uso de técnicas *raciométricas :* para um determinado ajuste de R1, tanto a corrente de carga do capacitor *I* quanto a tensão limite do temporizador IC VTH dependem individualmente da tensão de alimentação V+; mas sua variação é tal que a largura de pulso final *T* não depende de V+. É por isso que a fonte de corrente foi projetada com *I* ÿ V+. A utilização de técnicas raciométricas é uma forma elegante de projetar circuitos com excelente desempenho, muitas vezes sem exigir um controle preciso das tensões de alimentação.

4.3.6 Filtro passa-baixo ativo

Os filtros *RC* simples que vimos no Capítulo 1 têm um rolloff suave; isto é, sua resposta versus frequência não progride nitidamente de uma banda passante para uma banda proibida. Talvez surpreendentemente, esse comportamento não pode ser remediado simplesmente pela cascata de múltiplos estágios, como veremos em detalhes no Capítulo 6 (e particularmente em conexão com *filtros ativos,* §6.3). Um desempenho de filtro muito melhor pode ser alcançado se

[16] Mais sobre pulsadores, para os interessados, em §§7.1.4B e 7.2.

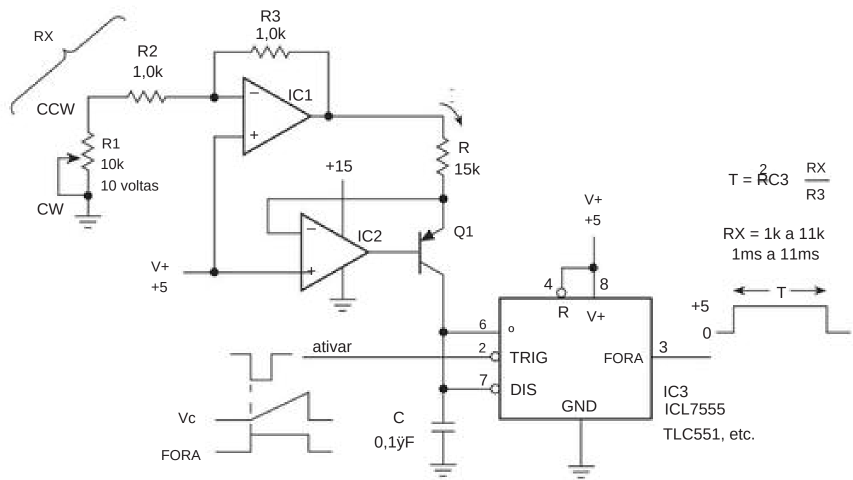
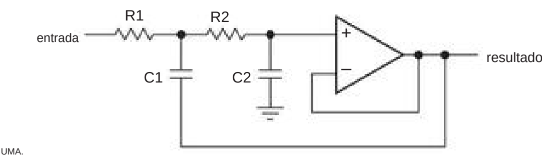


Figura 4.41. Gerador de pulsos com largura programável.

você inclui indutores e capacitores, ou, de forma equivalente, se você "ativar" o projeto do filtro usando amplificadores operacionais.

A Figura 4.42 mostra um exemplo de um filtro simples e até parcialmente intuitivo. Essa configuração é conhecida como filtro Sallen-and-Key, em homenagem aos seus inventores. O amplificador de ganho unitário pode ser um amplificador operacional conectado como um seguidor, ou um IC de *buffer* de ganho unitário , ou apenas um seguidor de emissor. Esse filtro específico é um filtro passa-baixa de segunda ordem. Observe que seria simplesmente um par de filtros passa-baixa *RC* passivos em cascata , exceto pelo fato de que a parte inferior do primeiro capacitor é inicializada pela saída. É fácil ver que em altas frequências (bem além de *f* = 1/2 *RC)* ele cai como um *RC em cascata,* ou seja, em -12 dB/oitava, porque a saída é essencialmente zero (então o pino baixo do primeiro capacitor fim está efetivamente fundamentado). À medida que diminuímos a frequência e nos aproximamos da banda passante, no entanto, a ação de bootstrap tende a reduzir a atenuação, dando assim um "joelho" mais agudo à curva de resposta versus frequência. Traçamos a resposta em função da frequência, com três "ajustes" dos valores de *R* e *C.*[17] É claro que essa agitação manual não pode substituir uma análise honesta, que felizmente foi feita para uma prodigiosa variedade de bons filtros. E as ferramentas contemporâneas de simulação analógica baseadas em SPICE de propósito geral, ou software especial de análise de filtro, permitem que você projete e visualize as curvas de resposta do filtro com relativa facilidade.



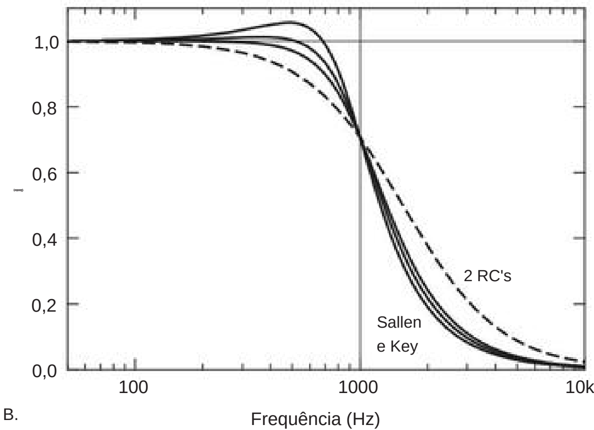


Figura 4.42. Filtro passa-baixo ativo Sallen-and-Key: A. Esquema; B. resposta de frequência, comparada com uma cascata de duas seções *RC* passivas.

4.4 Uma visão detalhada do comportamento do amplificador operacional

Insinuamos que os amplificadores operacionais não são perfeitos e que o desempenho de circuitos como retificadores ativos e gatilhos Schmitt é limitado pela velocidade do amplificador operacional ou "taxa de variação". Para essas aplicações, geralmente é necessário um amplificador operacional de alta velocidade.

[17] Butterworth e dois Chebyshevs (ondulação de banda passante de 0,1 dB e 0,5 dB), indo da resposta mais plana para a mais alta; para Butterworth, por exemplo, os valores dos componentes são C1=10 nF, C2=2 nF, R1=12,7k e R2=100k. Os filtros ativos são discutidos em detalhes no Capítulo 6.

Mas a taxa de variação é apenas um de meia dúzia de parâmetros importantes de amplificadores operacionais, que incluem tensão de deslocamento de entrada, corrente de polarização de entrada, faixa de modo comum de entrada, ruído, largura de banda, oscilação de saída e tensão e corrente de alimentação. Para expor a situação de forma justa, os amplificadores operacionais são dispositivos notáveis, com desempenho quase ideal para a maioria das aplicações que você provavelmente encontrará. Em termos quantitativos, pense na dificuldade de projetar, com transistores discretos e outros componentes, um amplificador diferencial CC de alto ganho que tenha uma corrente de entrada menor que um picoamp, um deslocamento do equilíbrio perfeito menor que um milivolt, uma largura de banda de vários megahertz, e que opera com suas entradas em qualquer lugar entre as duas tensões de alimentação. Você pode obter um amplificador operacional por um dólar; ele vem em um pacote minúsculo medindo 1,5 mm × 3 mm e consome menos de um miliamperes.

Mas os amplificadores operacionais *têm* limitações de desempenho - é por isso que existem literalmente milhares de tipos disponíveis - e, em geral, você se depara com uma compensação: pode obter uma corrente de polarização muito menor (por exemplo), às custas da tensão de compensação. Uma boa compreensão das limitações dos amplificadores operacionais e sua influência no projeto e desempenho do circuito ajudará você a escolher seus amplificadores operacionais com sabedoria e projetá-los com eficiência.

Para motivar o assunto, imagine que você foi solicitado a projetar um amplificador CC, de modo que pequenas tensões (0–10 mV) possam ser vistas em uma bela escala de medidor analógico. E deve ter pelo menos 10Mÿ de resistência de entrada e precisão de 1% ou mais. Não há problema, você diz. . . Usarei apenas a configuração do amplificador não inversor (para obter alta resistência de entrada), com muito ganho (×1000, digamos, então 10 mV é amplificado para 10 V). A velocidade não é um problema, então você não se preocupa com a taxa de variação. Com confiança suprema, você desenha o circuito (com um amplificador operacional LF411), seu técnico o constrói e . . . seu chefe demite você! A coisa foi um desastre: leu 20% da escala total sem nenhuma entrada anexada e derivou como uma louca quando carregada para fora. Funciona bem – como peso de *papel.*[18] Para começar, observe a Figura 4.43, um esquema simplificado do LF411. Seu circuito é relativamente direto, em termos dos tipos de circuitos de transistores que discutimos nos últimos dois capítulos. Ele tem um estágio de entrada diferencial JFET, com carga ativa de espelho de corrente, armazenado em buffer com um seguidor *npn* (para evitar o carregamento do estágio de entrada de alto ganho) acionando um estágio *npn* de emissor aterrado (com carga ativa de fonte de corrente). Isso aciona o emissor push-pull para o estágio de saída inferior *(Q7Q8),* com circuitos de limitação de corrente (R5Q9 e R6Q10) para proteção contra curto-circuito de saída.[19] O curioso capacitor de realimentação CC garante estabilidade; aprenderemos sobre isso mais tarde. Este circuito exibe a característica de circuito interno do amplificador operacional típico e, a partir dele, podemos ver como e por que o desempenho do amplificador operacional se afasta do ideal.

Exercício 4.12. Explique como funciona o circuito limitador de corrente da Figura 4.43. Qual é a corrente máxima de saída?

Exercício 4.13. Explique a função dos dois diodos no estágio de saída.

Vamos examinar esses problemas, quais são as consequências para o projeto do circuito e o que fazer a respeito.

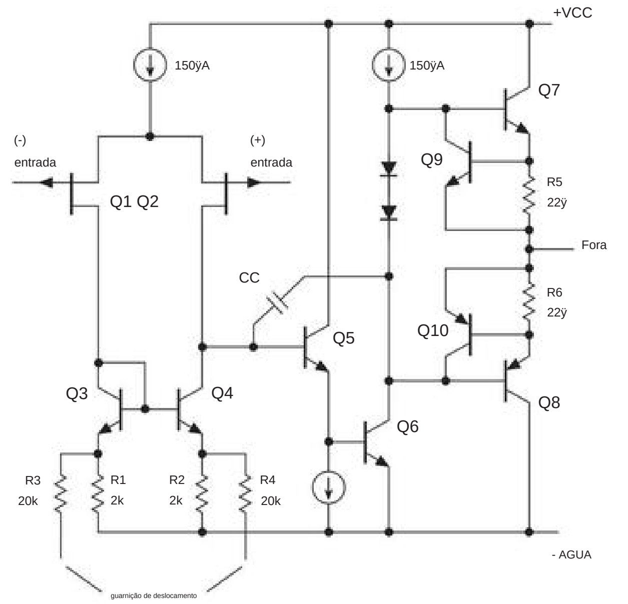


Figura 4.43. Esquema simplificado do amplificador operacional LF411.

4.4.1 Partida do desempenho ideal do amplificador operacional

O amplificador operacional ideal tem estas características:

• Corrente de entrada = 0 (impedância de entrada = ÿ). • Vout = 0 quando ambas as entradas estão precisamente na mesma voltagem (zero "offset voltage"). • Impedância de saída (malha aberta) = 0. • Ganho de tensão = ÿ. • Ganho de tensão em modo comum = 0.

[18] Revisitaremos esse exemplo em §4.4.3 e novamente com mais detalhes no Capítulo 5.

[19] O esquema *detalhado* do LF411 revela uma configuração de limite de corrente negativa mais elaborada; verifique na folha de dados, para ver se você consegue entender como funciona.

• A saída pode mudar instantaneamente (taxa de variação infinita). • Ausência de "ruído" adicionado.

Todas essas características devem ser independentes das mudanças de temperatura e tensão de alimentação.

Nos parágrafos a seguir, descrevemos como os amplificadores operacionais reais se afastam desses ideais. Enquanto você luta pelas seções cheias de fatos, você pode consultar a Tabela 4.1 para manter a perspectiva. As Tabelas 4.2a,b, 5.5 e 8.3 também podem ser úteis para ver alguns números reais. E vamos revisitá-los com mais detalhes no Capítulo 5 (§§5.7 e 5.8) em conexão com o projeto de circuitos de precisão.

A. Tensão de compensação de entrada Op-amps não possuem estágios de entrada perfeitamente balanceados, devido a variações de fabricação. O problema é pior com os FETs, com sua pior correspondência de limites de entrada. Se você conectar as duas entradas do amplificador operacional juntas para criar um sinal de entrada diferencial exatamente zero, a saída geralmente saturará em V+ ou Vÿ (você não pode prever qual). A diferença nas tensões de entrada necessária para zerar a saída é chamada de tensão offset de entrada, VOS (é como se houvesse uma bateria daquela tensão em série com uma das entradas). Tensões de deslocamento típicas estão em torno de 1 mV, mas amplificadores operacionais de "precisão" podem ter tensões de deslocamento tão pequenas quanto 10 V. m

Alguns amplificadores operacionais permitem ajustar a tensão de entrada para zero. Para um 411, você conecta um potenciômetro de 10k entre os pinos 1 e 5 ("offset trim" na Figura 4.43), com o limpador conectado ao VEE, e ajusta para deslocamento zero; o efeito é desequilibrar deliberadamente o espelho atual para compensar o deslocamento.

B. Desvio de tensão de deslocamento De maior importância para aplicações de precisão é o *desvio* da tensão de deslocamento de entrada com temperatura e tempo, uma vez que qualquer deslocamento inicial pode ser ajustado manualmente para zero. Um 411 tem uma tensão de deslocamento típica de 0,8 mV (máximo de 2 mV), com um tempco de ÿVOS/ÿT = 7 V/ÿC e coeficiente de deslocamento com o tempo não são especificados. O OP177A, um amplificador operacional de precisão, é ajustado a laser para um deslocamento máximo de 10 *mi* crovolts, com um coeficiente de temperatura de 0,1 V/ÿC (máximo) e desvio de longo prazo de 0,2 V/mês m (típico) – aproximadamente cem vezes melhor m em offset e tempco.

C. Corrente de entrada
Os terminais de entrada drenam (ou fornecem, dependendo do tipo de amplificador operacional) uma pequena corrente chamada corrente de polarização de entrada, IB, que é definida como metade da soma das correntes de entrada com as entradas conectadas (as duas entradas correntes são aproximadamente iguais e são simplesmente as correntes de base ou porta de os transistores de entrada). Para a entrada JFET 411, a corrente de polarização é tipicamente 50 pA (200 pA máx.) corrente de 15 nA, variando pouco com a temperatura. Como um guia aproximado, os amplificadores operacionais de entrada BJT têm correntes de polarização em dezenas de nanoampères, enquanto os amplificadores operacionais de entrada JFET têm correntes de entrada em dezenas de pi coamps (ou seja, 1000 vezes menores) e os amplificadores operacionais de entrada MOSFET têm correntes de entrada de tipicamente um picoamp ou menos.

De um modo geral, você pode ignorar a corrente de entrada com amplificadores operacionais FET, mas não com amplificadores operacionais de entrada bipolar.[20]

O significado da corrente de polarização de entrada é que ela causa uma queda de tensão nos resistores da rede de feedback, rede de polarização ou impedância da fonte. Quão pequeno um resistor isso o restringe depende do ganho DC do seu circuito e quanta variação de saída você pode tolerar. Por exemplo, a corrente máxima de entrada de um LF412 de 200 pA significa que você pode tolerar resistências (vistas nos terminais de entrada) de até ~5 Mÿ antes de ter que se preocupar com isso no nível de 1 mV.

Veremos mais sobre como isso funciona mais adiante. Se o seu circuito for um integrador, a corrente de polarização produz uma rampa lenta mesmo quando não há corrente de entrada externa para o integrador.

Op-amps estão disponíveis com correntes de polarização de entrada até um nanoamp ou menos para tipos de circuito de entrada de transistor bipolar, ou até uma fração de picoamp (10-6 A) para tipos de circuito de entrada MOSFET. m As correntes de polarização mais baixas são tipificadas pela entrada BJT LT1012, com uma corrente de entrada típica de 25 pA, a entrada JFET OPA129, com uma corrente de entrada de 0,03 pA, e o MOSFET LMC6041, com uma corrente de entrada de 0,002 pA. Na outra extremidade, amplificadores operacionais BJT muito rápidos como o THS4011/21 (ÿ300 MHz) têm correntes de entrada de 3 A. Em geral, amplificadores operacionais BJT destinados à operação em alta velocidade têm correntes de polarização m mais altas.

D. Corrente de offset de entrada
Corrente de offset de entrada é um nome sofisticado para a diferença das correntes de entrada entre as duas entradas. Ao contrário da corrente de polarização de entrada, a corrente de compensação, IOS, é resultado de variações de fabricação, uma vez que o circuito de entrada simétrico de um amplificador operacional resultaria em correntes de polarização idênticas nas duas entradas. O significado é que, mesmo quando é acionado por impedâncias de fonte idênticas, o amplificador operacional verá quedas de tensão desiguais e, portanto, uma diferença de tensão entre suas entradas. Você verá em breve como isso influencia o design.

Normalmente, a corrente de deslocamento está em algum lugar entre um

[20] Há um bom truque, chamado *cancelamento de corrente de polarização,* explorado em alguns amplificadores operacionais BJT para obter correntes de entrada tão baixas quanto 10s de picoamps. Olhe novamente para a Figura 2.98; isso é discutido mais adiante no Capítulo *4x.*

Tabela 4.1 Parâmetros do amplificador operacionala

Parâmetro	prêmio de jujuba bipolar (BJT)		JFET-input jellybean premium		CMOS unidades premium de jujuba		
Seu (máximo)	3	0,025	2	0,1	2	0,1	mV
TCVos (max)	5	0,1	20	1	10	3	ÿV/ºC
BI (tipo)	50nA	25pA	50pA	40fA	1pA	2fA	@ 25ºC
um (tipo)	10	1	20	3	30	7	nV/ÿHz @ 1kHz
fT (tipo)	2	2000	5	400	2	10	MHz
SR (típico)	2	4000	15	300	5	10	V/µs
Vs (min)b	5	1,5	10	5	2	1	DENTRO
Vs (max)b	36	44	36	36	15	15	DENTRO

Notas: (a) valores típicos e "melhores" de importantes parâmetros de desempenho do amplificador operacional. (b) oferta total: V+ – V– .

Valores típicos e "melhores" de importantes parâmetros de desempenho do amplificador operacional. Neste gráfico, listamos valores para peças comuns ("jellybean") e para o melhor amplificador operacional que você pode obter *para cada parâmetro individual.* Ou seja, você não pode obter um único amplificador operacional que tenha a combinação de excelente desempenho mostrada em qualquer uma das colunas "premium". Neste gráfico, você pode ver claramente que os amplificadores operacionais bipolares se destacam em precisão, estabilidade, velocidade, ampla faixa de tensão de alimentação e ruído, às custas da corrente de polarização; Os tipos de entrada JFET são intermediários, com amplificadores operacionais CMOS exibindo a corrente de polarização mais baixa.

metade e um décimo da corrente de polarização. Para o 411, Ioffset= 25 pA, típico. No entanto, para amplificadores operacionais com compensação de polarização (como o OPA177), a corrente de deslocamento especificada e a corrente de polarização são comparáveis, por razões que veremos no Capítulo 5 avançado.

E. Impedância de entrada A impedância de entrada refere-se ao diferencial de pequeno sinal[21] na resistência de entrada (impedância olhando para uma entrada, com a outra entrada aterrada), que geralmente é muito menor que a resistência de modo comum (um estágio de entrada típico parece um longo par de cauda com a fonte atual). Para a entrada FET 411 é de cerca de 1012 ÿ, enquanto para amplificadores operacionais de entrada BJT como o LT1013 é de cerca de 300 Mÿ. Por causa do efeito de ping de inicialização de entrada de feedback negativo (ele tenta manter ambas as entradas na mesma tensão, eliminando assim a maior parte do sinal de entrada diferencial), Zin na prática é elevado a valores muito altos e geralmente não é um parâmetro tão importante como corrente de polarização de entrada.

F. Faixa de entrada de modo comum As entradas de um amplificador operacional devem permanecer dentro de uma determinada faixa de tensão, geralmente menor que a faixa total de alimentação, para operação adequada. Se as entradas ultrapassarem essa faixa, o ganho do amplificador operacional pode mudar drasticamente, até mesmo invertendo o sinal! Para um 411 operando a partir de fontes de ±15 volts, a faixa de entrada de modo comum garantida é de ±11 volts no mínimo.

[21] *Não* vem/vai!

No entanto, o fabricante afirma que o 411 operará com entradas de modo comum até o fornecimento positivo, embora o desempenho possa ser prejudicado. Baixar qualquer uma das entradas para a tensão de alimentação negativa faz com que o amplificador enlouqueça, com sintomas como inversão de fase[22] e saturação de saída para a alimentação positiva. A partir do circuito na Figura 4.43 você pode ver porque o LF411 não pode operar com tensões de entrada no trilho negativo, porque isso colocaria os terminais de fonte do par JFET de entrada abaixo do trilho negativo, tirando-os da região ativa.

Isso é discutido mais adiante no Capítulo *4x,* juntamente com algumas boas histórias de guerra.

Existem muitos amplificadores operacionais disponíveis com faixas de entrada de modo comum até a alimentação negativa, por exemplo, o LT1013 bipolar e o CMOS TLC2272 e LMC6082; estes são muitas vezes referidos como "amp-ops de alimentação única" ou "amp-ops de detecção de aterramento" (ver §4.6.3). Existem também alguns amplificadores operacionais cuja faixa de entrada de modo comum inclui a alimentação positiva, por exemplo, o JFET LF356. Com a tendência de tensões de alimentação mais baixas para equipamentos alimentados por bateria, os projetistas de amplificadores operacionais criaram variedades que acomodam sinais de entrada em toda a faixa entre as tensões de alimentação; estes são chamados de rail-to-rail, porque as tensões de alimentação

[22] Os amplificadores operacionais populares e baratos ($ 0,07 em quantidade) LM358 e LM324 sofrem de inversão de fase de entrada para entradas de mais de 400 mV abaixo do trilho negativo. Substituições aprimoradas como o LT1013 e o LT1014 corrigem esse problema (e também um problema de distorção de crossover de saída).

são freqüentemente chamados de *trilhos de abastecimento.*[23] Exemplos são as séries CMOS LMC6482 e TLV2400 e as séries bipolares LM6132, LT1630 e LT6220. Eles têm o recurso adicional de poder balançar suas saídas até os trilhos (consulte a subseção sobre oscilação de saída abaixo). Estes parecem ser amplificadores operacionais ideais; no entanto, como discutimos em §§5.7, 5.9 e 5.10, os amplificadores operacionais rail-to-rail normalmente fazem concessões que afetam outras características, principalmente tensão de off set, impedância de saída e corrente de alimentação. Existem, além disso, alguns *(muito* poucos) amplificadores operacionais que operam adequadamente para tensões de entrada *acima* do trilho positivo (por exemplo, o LT1637 "over-the-top", listado na Tabela 4.2a na página 271).

Além da faixa *operacional* de modo comum, existem tensões de entrada máximas permitidas além das quais ocorrerão danos. Para o 411 são ±15 volts (mas não devem exceder a tensão de alimentação negativa, se for menor).

G. Faixa de entrada diferencial

Alguns amplificadores operacionais bipolares permitem apenas uma tensão limitada entre as entradas, às vezes tão pequena quanto ± 0,5 volt, embora a maioria seja mais indulgente, permitindo diferenciais em coloca quase tão grandes quanto as tensões de alimentação. Exceder o máximo especificado pode degradar ou destruir o amplificador operacional.

H. Oscilação de saída versus resistência de carga O LF411, típico de muitos amplificadores operacionais, não pode oscilar sua saída a menos de um volt ou dois de qualquer trilho de alimentação, mesmo quando levemente carregado *(RL* > 5k, digamos). Isso ocorre porque o estágio de saída é um seguidor de emissor push-pull, portanto, mesmo um acionamento ferroviário completo para suas bases deixaria a saída com uma queda de diodo abaixo de ambos os trilhos; o circuito do drive também tem suas próprias dificuldades para se aproximar dos trilhos, e os resistores de detecção de limite de corrente R5 e R6 impõem uma queda de tensão adicional, que explica o déficit.

Para valores baixos de resistência de carga, o circuito interno de limitação de corrente definirá a oscilação máxima. Por exemplo, o 411 pode oscilar sua saída dentro de cerca de 2 volts de VCC e VEE em resistências de carga superiores a cerca de 1k. Resistências de carga significativamente menores do que isso permitirão apenas uma pequena oscilação. Isso é freqüentemente mostrado em planilhas de dados como um gráfico da oscilação da tensão de saída de pico a pico Vom como uma função de

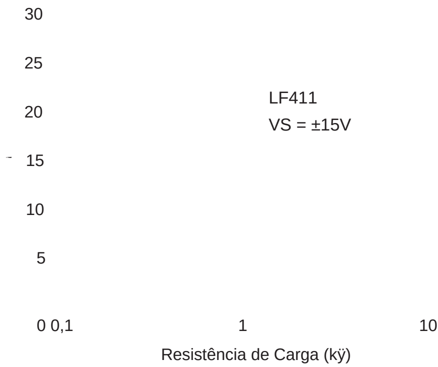


Figura 4.44. Máxima oscilação de saída pico a pico versus carga (LF411).

resistência de carga ou, às vezes, apenas alguns valores para resistências de carga típicas. A Figura 4.44 mostra o gráfico da folha de dados para o LF411. Muitos amplificadores operacionais têm capacidade de unidade de saída assimétrica, com a capacidade de absorver mais corrente do que podem fornecer (ou vice-versa). Por esse motivo, muitas vezes você vê a oscilação máxima de saída plotada, versus a corrente de carga, como curvas separadas para fonte de saída e corrente de afundamento em uma carga. A Figura 4.45 mostra esses gráficos para o LF411.

Alguns amplificadores operacionais podem produzir oscilações de saída até a alimentação negativa (por exemplo, o LT1013 bipolar e o CMOS TLC2272), um recurso particularmente útil para circuitos operados a partir de uma única alimentação positiva, porque as oscilações de saída até o aterramento são então possível. Finalmente, amplificadores operacionais com saídas de transistor CMOS em uma configuração de amplificador de fonte comum[24] (por exemplo, a série LMC6xxx) podem oscilar até os dois trilhos. Para tais amplificadores operacionais, um gráfico muito mais útil plota o quão perto a saída pode chegar de cada trilho da fonte de alimentação em função da corrente de carga (fonte e dissipação). Um exemplo é mostrado na Figura 4.46 para o CMOS rail-to-rail LMC6041. Observe o uso efetivo dos eixos log–log, para que você possa ler com precisão o fato de que este amplificador operacional pode oscilar dentro de 1 mV dos trilhos ao fornecer 10 A de corrente de saída e que sua resistência de saída é de aproximadamente 80 ÿ (sinking) e 100 ÿ (sourcing). Você pode encontrar amplificadores operacionais bipolares que compartilham essa propriedade, sem a faixa de tensão de alimentação limitada dos amplificadores operacionais CMOS (geralmente ±8 V máx.), por exemplo, a família LM6132/42/52 e o LT1636/7.

I. Impedância de saída A impedância de saída Ro significa a impedância de saída intrínseca do amplificador operacional *sem realimentação* (consulte a Figura 2.90). Para o 411 é cerca de 40 ÿ, mas com alguns amplificadores operacionais de baixa potência pode

[23] O termo "Rail-to-Rail®" é aparentemente uma marca registrada da Nip pon Motorola Ltd, embora acreditemos que tenha sido de uso comum em eletrônicos por décadas. Isso pode se tornar uma reivindicação de propriedade imprudente do ponto de vista deles, assim como a marca registrada de "TRI STATE®" pela National Semiconductor simplesmente levou a indústria a adotar o termo não proprietário "3-state" em referências escritas (e, na maioria dos casos, para ficar com "tristate" na conversa falada).

24 Ou saídas de transistor bipolar em uma configuração de emissor comum.

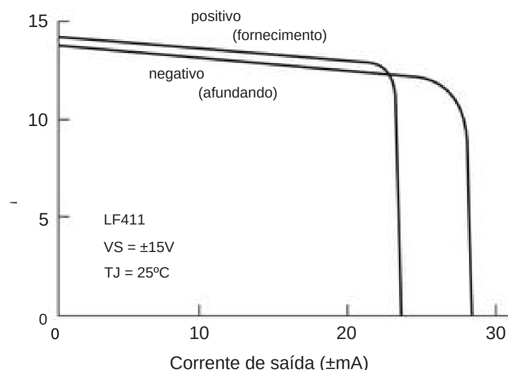


Figura 4.45. Tensão de saída máxima (fonte e dissipação) versus corrente de carga (LF411). A capacidade máxima de corrente de saída diminui em ÿ25% em TJ=125ÿC.

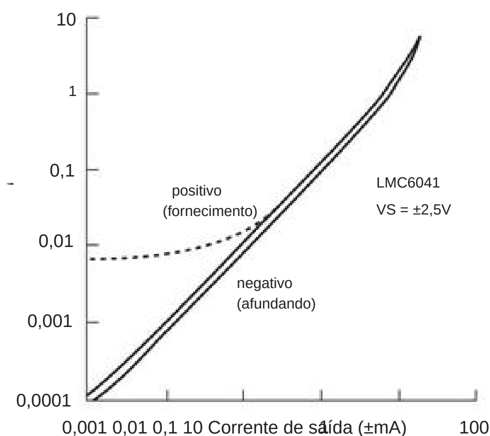


Figura 4.46. Balanço máximo (como ÿV dos respectivos trilhos) em relação à corrente de carga sus para um amplificador operacional de saída trilho a trilho CMOS. As curvas sólidas são valores medidos; você nem sempre pode confiar nas folhas de dados – neste caso, a curva de fornecimento da folha de dados (curva tracejada) está evidentemente errada.

pode chegar a vários milhares de ohms, uma característica compartilhada por alguns amplificadores operacionais com saídas rail-to-rail. A realimentação reduz a impedância de saída à insignificância (ou aumenta, para uma fonte de corrente), por um fator do ganho do loop *AB* (consulte §2.5.3C); portanto, o que geralmente importa mais é a corrente de saída máxima, com valores típicos de ±20 mA ou mais (mas muito mais altos para o grupo restrito de amplificadores operacionais de "corrente alta", consulte a Tabela 4.2b na página 272).

J. Ganho de tensão, largura de banda e deslocamento de fase Normalmente, o ganho de tensão Avo (às vezes chamado de AVOL, AV, GV ou GVOL) em CC é de 100.000 a 1.000.000 (geralmente especificado

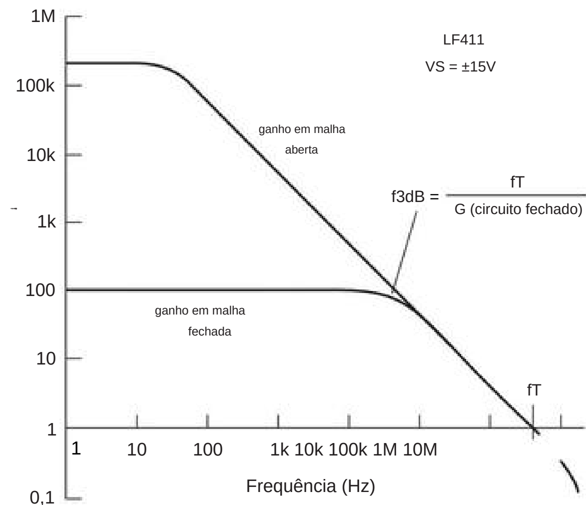


Figura 4.47. Ganho LF411 versus frequência ("Bode plot").

em decibéis, portanto, 100 dB a 120 dB), caindo para ganho unitário em uma frequência (chamada fT, ou às vezes produto de largura de banda de ganho, GBW), mais frequentemente na faixa de 0,1 MHz a 10 MHz. Isso geralmente é dado como um gráfico de ganho de tensão em malha aberta em função da frequência, no qual o valor de fT é claramente visto; veja, por exemplo, a Figura 4.47, que mostra a curva do nosso LF411 favorito.

Para amplificadores operacionais *compensados internamente* , este gráfico é simplesmente um rolloff de 6 dB/oitava começando em alguma frequência bastante baixa (para o 411 ele começa em cerca de 10 Hz), uma característica intencional necessária para a estabilidade, como veremos em § 4.9. Este rolloff (o mesmo que um simples filtro passa-baixa *RC)* resulta em uma constante mudança de fase de 90ÿ atrasada da entrada para a saída (loop aberto) em todas as frequências acima do início do rolloff, aumentando para 120ÿ a 160ÿ conforme o o ganho em malha aberta se aproxima da unidade. Como um deslocamento de fase de 180ÿ em uma frequência em que o ganho de tensão é igual a 1 resultará em feedback positivo (oscilações), o termo "margem de fase" é usado para especificar a diferença entre o deslocamento de fase em fT e 180ÿ.

Há um preço a pagar por maior largura de banda fT, ou seja, correntes de operação do transistor mais altas e, portanto, correntes de alimentação do amplificador operacional mais altas. Você pode obter amplificadores operacionais com correntes de alimentação inferiores a 1 A, mas eles têm fT's abaixo de 10 kHz. Além das altas correntes de *alimentação* , os amplificadores operacionais muito rápidos podem ter correntes de polarização de entrada relativamente altas, muitas vezes mais do que um microamp, devido aos seus estágios de entrada bipolares operando em alta corrente de coletor. Não use amplificadores operacionais rápidos se você não precisar deles - além das desvantagens mencionadas, seu alto ganho em alta frequência facilita a oscilação do circuito.

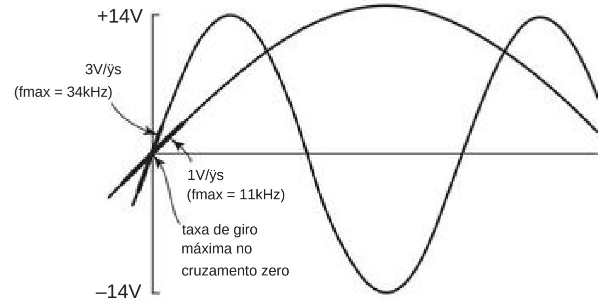


Figura 4.48. A taxa de variação máxima de uma onda senoidal, SR=2 *A f* , pi ocorre nos cruzamentos de zero.

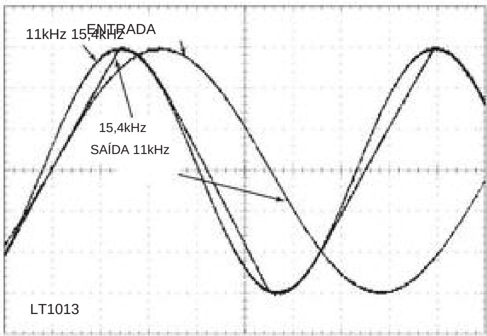


Figura 4.49. Distorção induzida por taxa de giro. Este rastreamento de escopo de um seguidor de amplificador operacional LT1013, para o qual a folha de dados especifica um SR típico de 0,4 V/ s, mostra as formas de onda de entrada (*A* = 6,0 V, f =15,4 kHz); também é mostrada uma onda senoidal (idêntica) (*A* = 6,0 V, f = 11 kHz: SR = 0,4 V/ s). Escalas: 2 V/div, 10 m s/div. m e saída para uma onda senoidal cujo pico SR é 0,6 V/ s m de pico da saída m

K. Taxa de

variação A capacitância de "compensação" do amplificador operacional (discutida mais adiante em §4.9.2) e pequenas correntes internas de acionamento agem juntas para limitar a taxa na qual a saída pode mudar, mesmo quando ocorre um grande desequilíbrio de entrada. Esta velocidade limite é geralmente especificada como *taxa* de giro ou taxa de giro (SR). Para o 411 é 15 V/s; amplificadores operacionais de baixa potência normalmente têm taxas de m variação inferiores a 1 V/s, enquanto um amplificador operacional de alta velocidade pode diminuir a centenas de volts por microssegundo. A taxa m de variação limita a amplitude de uma oscilação de saída de onda senoidal não distorcida acima de alguma frequência crítica (a frequência na qual a oscilação total da fonte requer a taxa de variação máxima do amplificador operacional), portanto, a "oscilação da tensão de saída em função de frequência" (visto em folhas de dados; veja, por exemplo, a Figura 4.54). Uma onda senoidal de frequência *f* hertz e amplitude *A* volts requer um SR mínimo de 2 *A f* volts por segundo, com o giro de pico ocorrendo nos cruzamentos por zero (Figura 4.48). A Figura 4.49 mostra um 'traço de osciloscópio ilustrando a "distorção de taxa de variação" do mundo real. pi

Para amplificadores operacionais compensados externamente, a taxa de variação depende da rede de compensação usada. Em geral, será menor para "compensação de ganho unitário", aumentando para talvez 30 vezes mais rápido para compensação de ganho × 100. 25
Isso é discutido mais adiante em §4.9.2B e no Capítulo *4x.*

Tal como acontece com o produto ganho-largura de banda fT, amplificadores operacionais SR mais altos funcionam com correntes de alimentação mais altas.

Uma observação importante: a taxa de variação é normalmente especificada para uma configuração de ganho unitário (ou seja, um seguidor) com uma entrada de passo de oscilação total. Portanto, há um grande acionamento diferencial na entrada do amplificador operacional, que realmente faz com que as correntes fluam lá. A taxa de variação será consideravelmente menor para uma entrada pequena, digamos 10 mV.

L. Dependência da temperatura A maioria desses parâmetros tem alguma dependência da temperatura. Porém, isso normalmente não faz diferença, já que pequenas variações no ganho, por exemplo, são quase totalmente compensadas pela realimentação. Além disso, as variações desses parâmetros com a temperatura são normalmente pequenas em comparação com as variações de unidade para unidade.

As exceções são a tensão de deslocamento de entrada e a corrente de deslocamento de entrada; esses erros de entrada serão importantes, principalmente se você aparou os deslocamentos aproximadamente para zero e causará desvios na saída. Quando a alta precisão é importante, um amplificador operacional de "instrumentação" de baixo desvio deve ser usado, com cargas externas mantidas acima de 10k para minimizar os efeitos terríveis no desempenho do estágio de entrada causados por gradientes de temperatura. Teremos muito mais a dizer sobre este assunto no Capítulo 5.

M. Tensão e corrente de alimentação

Tradicionalmente, a maioria dos amplificadores operacionais foi projetada para fontes de alimentação de ±15 V, com um punhado de amplificadores operacionais de "alimentação única" que operavam em alimentações únicas (ou seja, +*V* e terra), normalmente de +5 V a +15 V. Os amplificadores operacionais tradicionais de alimentação dividida eram um tanto flexíveis; por exemplo, o LF411 de terceira geração aceita fontes de ±5 V a ±18 V. A maioria desses primeiros amplificadores operava com correntes de alimentação de alguns miliampères.

Tem havido uma tendência importante para a operação de corrente mais baixa e, especialmente, de tensão mais baixa para acomodar equipamentos alimentados por bateria. Assim, por exemplo, agora é comum ver amplificadores operacionais que operam com tensões de alimentação totais (a amplitude de V+ a Vÿ) de 5 V, ou mesmo 3 V, e funcionam com correntes de alimentação de 10 A a 100 A . Estes são geralmente m m

25 Onde mostramos, entre outras coisas, o fato de que a taxa de variação em amplificadores operacionais BJT convencionais é limitada pela largura de banda: S=0,32 fT. Felizmente, isso pode ser contornado, com um pouco de design não convencional.

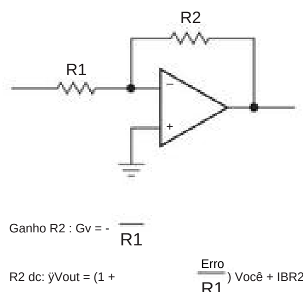


Figura 4.50. Amplificador inversor.

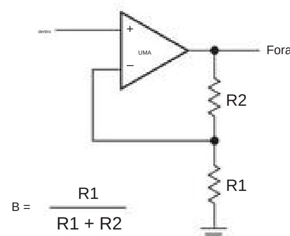
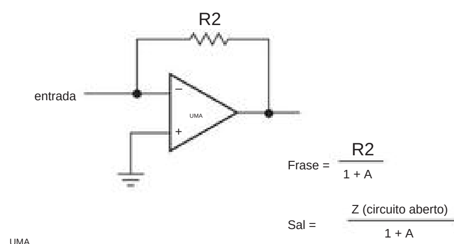


Figura 4.51. Amplificador não inversor op-amp com ganho de malha aberta finito.



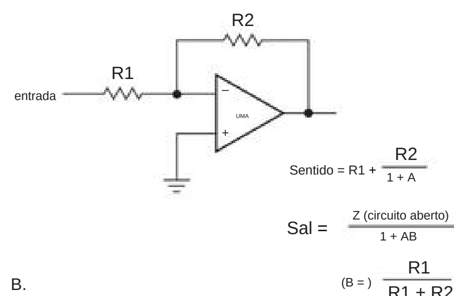


Figura 4.52. Impedâncias de entrada e saída: A. amplificador de transresistência, B. amplificador de tensão inversora.

construído com circuitos 100% CMOS, mas também existem alguns designs bipolares. Estes são geralmente estágios de saída rail-to-rail – obviamente, tais amplificadores operacionais não podem se dar ao luxo do mantra "não mais próximo do que 2 volts de qualquer trilho"!

Ao considerar esses amplificadores operacionais, fique atento a restrições de tensão de alimentação máxima anormalmente baixas. Muitos desses amplificadores operacionais são limitados a apenas 10 V de alimentação total (ou seja, ± 5 V) e um número crescente é limitado a 5 volts ou menos. Além disso, observe que um amplificador operacional com corrente *quiescente* de microamperes necessariamente consumirá bastante corrente se você solicitar que ele forneça essa quantidade de corrente a uma carga conectada; corrente de saída não sai do nada.

N. Miscelânea: CMRR, PSRR, en, em Para completar, devemos mencionar aqui que os amplificadores operacionais também são limitados na taxa de rejeição de modo comum (CMRR) e na taxa de rejeição da fonte de alimentação (PSRR), ou seja, sua rejeição completa de variações de entrada de modo comum e flutuações da fonte de alimentação. Isso se torna mais importante em altas frequências, onde o ganho do loop está diminuindo e onde o capacitor de compensação CC acopla as flutuações do trilho negativo na cadeia de sinal.

Além disso, os amplificadores operacionais não são silenciosos – eles introduzem ruído de tensão (en) e ruído de corrente (in) em sua entrada. Estas se tornam limitações significativas principalmente em conexão com circuitos de precisão e amplificadores de baixo ruído, e serão tratadas nos Capítulos 5 e 8.

4.4.2 Efeitos das limitações do amplificador operacional no comportamento do circuito

Vamos voltar e olhar para o amplificador inversor com essas limitações em mente. Veremos como eles afetam o desempenho e aprenderemos como projetar com eficiência apesar deles.
Com o entendimento que obteremos deste exemplo, você deve ser capaz de lidar com outros circuitos de amplificadores operacionais. A Figura 4.50 mostra o circuito novamente.

A. Ganho de malha aberta O ganho finito de malha aberta afeta a largura de banda, as impedâncias de entrada e saída e a linearidade. Vimos isso anteriormente, no contexto de amplificadores transistorizados discretos, quando introduzimos a realimentação negativa no Capítulo 2 (§2.5.3). Esse material forma um pano de fundo essencial para o que se segue aqui; certifique-se de revisá-lo se estiver confuso sobre essas coisas.

Largura de banda Devido ao ganho de malha aberta finito, o ganho de tensão do amplificador com realimentação (ganho de malha fechada) começará a cair em uma frequência em que o ganho de malha aberta se aproxima de R2/R1 (Figura 4.47). Para amplificadores operacionais comuns como o 411, isso significa que você está lidando com um amplificador de frequência relativamente baixa; o ganho em malha aberta cai para 100 em

40 kHz e fT é 4 MHz. Observe que o ganho de malha fechada é sempre menor que o ganho de malha aberta, portanto, o amplificador geral exibirá uma queda perceptível de ganho em uma fração de fT. Lembre-se do Capítulo 2 que o ganho de malha fechada do amplificador não inversor na Figura 4.51 é dado por

$$G = \frac{\text{UMA}}{1+AB},$$

onde *B* é a fração da saída realimentada, neste caso *B* = R1/(R1 +R2). A saída, portanto, diminuirá 3 dB na frequência em que a magnitude do ganho de loop *AB* é a unidade (ou seja, onde a magnitude do ganho de loop aberto *A* é igual ao ganho de loop fechado desejado *1/B),* aproximadamente 40 kHz para o LF411.[26]

De volta ao §4.2.5, observamos que as fontes de corrente do amplificador operacional dependem do ganho de tensão do amplificador operacional (portanto, ganho de loop) para aumentar sua resistência de saída inerentemente baixa Ro (da ordem de ÿ100ÿ, consulte a Figura 5.20) e que a diminuição de ganho de malha aberta com frequência crescente degrada a impedância de saída da fonte de corrente. Isso pode ser quantitativo: Zout em frequências crescentes é da forma Ro · fT/ *f* .

Impedância de saída O ganho de malha finita também afeta as impedâncias de entrada e saída de um circuito de amplificador operacional de malha fechada. A realimentação pode extrair uma amostra da tensão de saída (por exemplo, os amplificadores de tensão não inversora que consideramos) ou da corrente de saída (por exemplo, uma fonte de corrente de amplificador operacional). Para feedback de tensão, a impedância de saída de loop aberto do amplificador operacional é reduzida por um fator de 1+ *AB,* reduzindo as impedâncias de saída de loop aberto típicas de dezenas a centenas de ohms para miliohms (para ganho de loop grande), mas subindo de volta para valores de loop aberto conforme o ganho de loop cai para a unidade em frequências mais altas.

Esse aumento linear na impedância de saída de malha fechada é muito bem ilustrado na Figura 4.53, adaptado do datasheet do LT1055. Você pode ver como maior ganho de loop (feedback configurado para menor ganho de loop fechado) produz impedância de saída correspondentemente menor; e você pode ver o aumento linear até o Rout nativo do amplificador operacional (às vezes designado ro), aqui cerca de 60 ÿ. Observe também que uma impedância que aumenta linearmente com a frequência é como um indutor. E, de fato, é assim que a saída se parece para sinais nessa faixa de frequência. Isso pode ter consequências importantes sequências, por exemplo, criando um circuito ressonante *LC* em série quando a carga do amplificador operacional é capacitiva.

O efeito do ganho de loop reduzido (em altas frequências) é degradar os efeitos benéficos do feedback negativo. Portanto, um amplificador de *tensão* sofre com o aumento da impedância de saída, como vimos. E o inverso é verdadeiro para um amplificador com realimentação que detecta a *corrente de saída:* aqui a realimentação normalmente atua para *aumentar* a impedância de saída nativa por um fator de ganho de loop (isso é *bom:* você deseja alta impedância de saída em uma fonte de corrente), que então cai de volta para seus valores de malha aberta conforme o ganho de malha cai. Alguns amplificadores operacionais (principalmente aqueles com saídas rail-to-rail) usam um estágio de saída com impedância de saída intrinsecamente alta; para esses amplificadores operacionais, um alto ganho de loop é essencial para obter baixa impedância de saída.

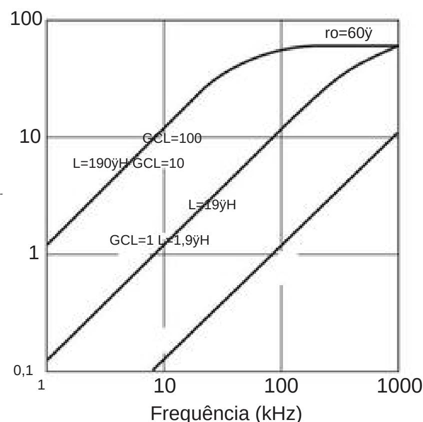


Figura 4.53. A impedância de saída de malha fechada de um amplificador operacional aumenta quase linearmente com a frequência em uma grande parte de sua largura de banda, comportando-se assim como uma indutância Loutÿr0GCL/2 fT. Depois que o ganho de loop cai para a unidade, com a resistência de saída de loop aberto do amplificador operacional ro. Essas curvas foram adaptadas do datasheet do LT1055.

Impedância de entrada

A impedância de entrada de um amplificador não inversor é aumentada por um fator de 1 + *AB* de seu valor de malha aberta, uma questão geralmente de pouca importância por causa das altas impedâncias de entrada nativas dos amplificadores operacionais.

O circuito amplificador *inversor* é diferente do circuito não inversor e deve ser analisado separadamente. É melhor pensar nisso como uma combinação de um resistor de entrada acionando um estágio de realimentação shunt (Figura 4.52). O estágio shunt sozinho tem sua entrada na "junção somadora" (a entrada inversora do amplificador), onde as correntes de realimentação e sinais de entrada são combinados (essa conexão do amplificador é realmente uma configuração de "transresistência"; ela converte uma corrente

[26] O ganho de malha aberta *A* tem uma mudança de fase atrasada de 90ÿ na maior parte da largura de banda do amplificador operacional, como pode ser visto em um gráfico de Bode como a Figura 4.47, ou seja, você pode aproximar o ganho de malha aberta, então, por A(f)=j · fT/ *f* . É por isso que o ganho de malha fechada está abaixo de 3 dB, e não 6 dB, quando o ganho de malha *AB* tem magnitude unitária.

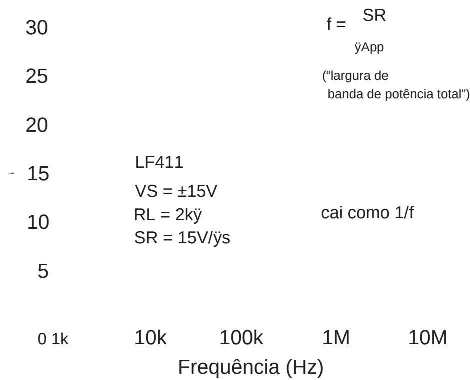


Figura 4.54. Oscilação de saída pico a pico versus frequência (LF411).

entrada para uma saída de tensão). O feedback reduz a impedância olhando para a junção de soma, R2, por um fator de 1+A (veja se você pode provar isso). Em casos de ganho de loop muito alto, a impedância de entrada é reduzida a uma fração de um ohm, uma boa característica para um amplificador de entrada de corrente.

A conexão clássica do amplificador inversor de amplificador operacional é uma combinação de um amplificador de transresistência de realimentação shunt e um resistor de entrada em série, como na figura. Como resultado, a impedância de entrada é igual à soma de R1 e a impedância olhando para a junção de soma. Para alto ganho de loop, Rin é aproximadamente igual a R1.

É um exercício direto derivar uma expressão para o ganho de tensão em malha fechada do amplificador inversor com ganho em malha finita. A resposta é

$$G = ÿA(1ÿB)/(1+AB), \quad (4.5)$$

onde *B* é definido como antes, *B* = R1/(R1 + R2). No limite de grande ganho de malha aberta A, *G* = ÿ1/B + 1 (ou seja, *G = ÿR2/ R1).*

Exercício 4.14. Derive as expressões anteriores para impedância de entrada e ganho do amplificador inversor.

Linearidade

No limite de ganho de loop infinito, o comportamento de um circuito de realimentação depende apenas da rede de realimentação; as não linearidades nativas do amplificador operacional (por exemplo, dependência de tensão de ganho, distorção de crossover e assim por diante) são compensadas por realimentação. Esses defeitos reaparecem quando o ganho do loop é reduzido, por exemplo, em frequências mais altas. É por esse motivo que você deve escolher seus amplificadores operacionais com cuidado, por exemplo, se quiser projetar circuitos amplificadores de áudio de baixa distorção.
Os amplificadores operacionais destinados a esse tipo de aplicação têm estágios de saída cuidadosamente projetados e geralmente especificam distorções função de frequência e ganho. Um exemplo é o excelente AD797, que especifica uma distorção máxima de 0,0003% a 20 kHz e saída de 3 V (rms).

B. Taxa de

variação Por causa da taxa de variação limitada, a oscilação máxima de saída de onda senoidal não distorcida cai acima de uma certa frequência.
A Figura 4.54 mostra a curva para um 411, com sua taxa de variação de 15m s V/. Para taxa de variação S, a amplitude de saída é limitada a A(pp) ÿ S/ *f* para uma onda senoidal de frequência *f*, explicando assim a queda de 1/*f* de pi A parte plana dos diagramas limitada da oscilação da tensão de saída. Uma fórmula fácil de lembrar é27

$$Smin = ohA = 2 \text{ pi } f A \quad (4.6)$$

onde Smin é o SR mínimo necessário para uma onda senoidal de amplitude *A* (que é metade da amplitude pico a pico: APP = *2A)* e frequência angular; lembre-se que = 2 *f* . oh oh pi Como um aparte, a limitação da taxa de variação dos amplificadores operacionais pode ser explorada de maneira útil para filtrar picos agudos de ruído de um sinal desejado, com uma técnica conhecida como *filtragem passa-baixa não linear:* se a taxa de variação for deliberadamente limitada, os picos rápidos podem ser drasticamente reduzidos. reduzido com pouca distorção do sinal subjacente.

C. Corrente de saída

Devido à capacidade limitada de corrente de saída, a oscilação de saída de um amplificador operacional é reduzida para pequenas resistências de carga, como vimos na Figura 4.44. Para aplicações de precisão, é uma boa ideia evitar grandes correntes de saída para evitar gradientes térmicos no chip produzidos por dissipação excessiva de energia no estágio de saída.

D. Tensão de

deslocamento Devido à tensão de deslocamento de entrada, uma entrada zero produz uma saída28 de Vout=GdcVOS=(1 + R2/R1)VOS. Para um amplificador inversor com um ganho de tensão de 100 construído com um 411, a saída pode ser tão grande quanto ±0,2 volt quando a entrada

27 Os leitores familiarizados com o cálculo reconhecerão isso simplesmente como a magnitude da derivada temporal de uma senóide, que traz um fator de oh.

28 Observe que o ganho relevante é o ganho *não inversor ;* isso ocorre porque o erro VOS atua não na entrada *do circuito ,* mas nos terminais *de entrada do amplificador operacional .* Portanto, o efeito é como se o VOS de erro fosse aplicado ao terminal não inversor do amplificador.

está aterrado (VOS = 2 mV máx.). Soluções: (a) Se você não precisa de ganho em CC, use um capacitor para reduzir o ganho à unidade em CC, como na Figura 4.7B. Nesse caso, você poderia fazer isso acoplando capacitivamente o sinal de entrada. (b) Ajuste a compensação de tensão para zero com a rede de compensação recomendada pelo fabricante. (c) Use um amplificador operacional com VOS menor. (d) Ajuste a compensação de tensão para zero com uma rede de compensação externa, como por exemplo em §4.8.3 (consulte a Figura 4.91).

E. Corrente de polarização de entrada Mesmo com um amplificador operacional perfeitamente ajustado (ou seja, VOS = 0), nosso circuito amplificador inversor produzirá uma tensão de saída diferente de zero quando seu terminal de entrada estiver conectado ao terra. Isso ocorre porque a corrente de polarização de entrada finita, IB, produz uma queda de tensão nos resistores, que é então amplificada pelo ganho de tensão do circuito. Neste circuito, a entrada inversora vê uma impedância de condução de *R1R2,* de modo que a corrente de polarização produz uma tensão Vin = IB(R1R2), que é então amplificada pelo ganho em CC, 1 + R2/R1 (consulte a nota de rodapé 28); o resultado é uma tensão de erro de saída de Vout = *IBR2.*

Com amplificadores operacionais de entrada FET, o efeito geralmente é insignificante, mas a corrente de entrada substancial de amplificadores operacionais bipolares (e também amplificadores operacionais *de feedback de corrente ;* consulte o Capítulo *4x)* pode causar problemas reais. Por exemplo, considere um amplificador inversor com R1=10k e R2=1M; estes são valores razoáveis para um estágio de inversão de audiofrequência, onde gostaríamos de manter Zin em pelo menos 10k. Se escolhermos o NE5534 bipolar de baixo ruído (IB = 2 A, máx), a saída (para entrada aterrada) pode ser tão grande quanto 100 × 2 A × 9,9k ≈ 1,98 volt m (GdcIBRupolande), o que é inaceitável. Em comparação, para nosso amplificador operacional LF411 (entrada JFET), a saída correspondente no pior caso (para entrada aterrada) é de 0,2 mV; para a maioria das aplicações, isso é insignificante e, em qualquer caso, é diminuído pelo erro de saída produzido pelo VOS (200 mV, pior caso não ajustado, para o LF411).

Existem várias soluções para o problema dos erros de corrente de polarização. Se você precisar usar um amplificador operacional com grande corrente de polarização, é uma boa ideia garantir que ambas as entradas vejam a mesma resistência de condução CC, como na Figura 4.55. Neste caso, 91k é escolhido como a resistência paralela de 100k e 1M. Além disso, é melhor manter a resistência da rede de realimentação pequena o suficiente para que a corrente de polarização não produza grandes compensações; os valores típicos para a resistência vistos nas entradas do amplificador operacional são de 1k a 100k ou mais. Uma terceira cura envolve a redução do ganho à unidade em CC, como na Figura 4.7B.

Na maioria dos casos, porém, a solução mais simples é usar amplificadores operacionais com corrente de entrada insignificante. Op-amps com estágios de entrada JFET ou MOSFET geralmente têm correntes de entrada na faixa do picoamp (cuidado com seu rápido aumento em relação à temperatura sus, porém, quase dobrando a cada 10°C),

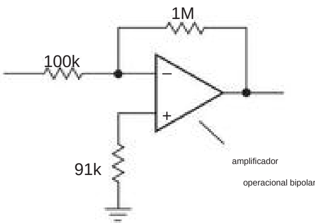


Figura 4.55. Com amplificadores operacionais bipolares, use um resistor de compensação para reduzir os erros causados pela corrente de polarização de entrada.

e muitos projetos bipolares modernos usam transistores superbeta ou esquemas de cancelamento de polarização para atingir correntes de polarização quase tão baixas e *diminuindo* ligeiramente com a temperatura. Com esses amplificadores operacionais, você pode ter as vantagens dos amplificadores operacionais bipolares (precisão, baixo ruído) sem os incômodos problemas causados pela corrente de entrada. Por exemplo, o OP177 bipolar de precisão e baixo ruído tem IB<2 nA, e o bipolar LT1012 com compensação de polarização tem IB= ± 25 pA (típico). Entre os amplificadores operacionais FET baratos, o JFET LF411 tem IB=50 pA (típico) e a série MOSFET TLC270, com preço inferior a um dólar, possui IB=1 pA (típico).

F. Corrente de deslocamento de entrada Como acabamos de descrever, geralmente é melhor projetar circuitos de modo que as impedâncias do circuito, combinadas com a corrente de polarização do amplificador operacional, produzam erros insignificantes. No entanto, ocasionalmente pode ser necessário usar um amplificador operacional com alta corrente de polarização ou lidar com sinais de impedâncias de Thevenin extraordinariamente altas. Exemplos de amplificadores de corrente de alta polarização são amplificadores operacionais de feedback de corrente (por exemplo, o AD844), amplificadores operacionais de baixo ruído *(en)* (por exemplo, o AD797) e amplificadores operacionais de banda larga (por exemplo, o LM7171), cada um com correntes de entrada de vários *mi* croamps.

Nesses casos, o melhor que você pode fazer é equilibrar as resistências de condução CC vistas pelo amplificador operacional em seus terminais de entrada. Ainda haverá algum erro na saída (GdcIoffsetRsource) devido à assimetria inevitável nas correntes de entrada do amplificador operacional. Em geral, Ioffset é menor que Ibias por um fator de 2 a 20 (com amplificadores operacionais bipolares geralmente mostrando melhor correspondência do que amplificadores operacionais FET).

G. Limitações implicam compensações Nos parágrafos anteriores, discutimos os efeitos das limitações do amplificador operacional, tomando como exemplo o circuito amplificador de tensão de inversão simples. Assim, por exemplo, a corrente de entrada do amplificador operacional causou um erro de *tensão* na saída. Em um aplicativo de amplificador operacional diferente, você pode obter um efeito diferente; por exemplo, em um circuito integrador de amplificador operacional, uma corrente de entrada finita produz uma *rampa* de saída (em vez de uma

constante) com entrada zero aplicada. À medida que você se familiarizar com os circuitos de amplificadores operacionais, poderá prever os efeitos das limitações dos amplificadores operacionais em um determinado circuito e, portanto, escolher qual amplificador operacional usar em uma determinada aplicação. Em geral, não existe o "melhor" amplificador operacional (mesmo quando o preço não é um problema): por exemplo, amplificadores operacionais com as correntes de entrada mais baixas (tipos MOSFET) geralmente têm deslocamentos de tensão maiores e maior ruído, e vice-versa . Bons projetistas de circuitos escolhem seus componentes com as compensações corretas para otimizar o desempenho, sem exagerar nas peças "banhadas a ouro" desnecessárias.

Para ajudar a colocar essa discussão sobre as "realidades dos amplificadores operacionais" em perspectiva, você pode consultar novamente a Tabela 4.1 na página 245, onde resumimos os tipos de desempenho que você pode esperar dos amplificadores operacionais que podem ser descritos como média, ou "jellybean" (por exemplo, o LF412 é um JFET op-amp jellybean), e daqueles que estão entre os melhores disponíveis ("premium") *para cada parâmetro dado.* Infelizmente, você não pode obter um amplificador operacional que combine todas as características em uma coluna "premium"; *a engenharia é a arte do compromisso.*

As limitações do desempenho do amplificador operacional sobre as quais falamos influenciarão os valores dos componentes em quase todos os circuitos. Por exemplo, os resistores de realimentação devem ser grandes o suficiente para que não carreguem a saída significativamente, mas não devem ser tão grandes que a corrente de polarização de entrada produza compensações consideráveis. Altas impedâncias na rede de realimentação causam tanto efeitos de carregamento quanto mudanças de fase desestabilizadoras de capacitâncias parasitas; eles também aumentam a suscetibilidade à captação capacitiva de sinais interferentes. Essas compensações normalmente determinam valores de resistor de 2k a 100k com amplificadores operacionais de uso geral.

Tipos semelhantes de compensações estão envolvidos em quase todos os projetos eletrônicos, incluindo os circuitos mais simples construídos com transistores. Por exemplo, a escolha da corrente quiescente em um amplificador de transistor é limitada na extremidade alta pela dissipação do dispositivo, aumento da corrente de entrada, corrente de alimentação excessiva e ganho de corrente reduzido, enquanto o limite inferior da corrente operacional é limitado pela corrente de fuga, ganho de corrente reduzido e velocidade reduzida (da capacitância parasita em combinação com os altos valores de resistência). Por essas razões, você normalmente acaba com correntes de coletor na faixa de algumas dezenas de microamperes a algumas dezenas de miliamperes (mais altas para circuitos de potência, às vezes um pouco mais baixas em aplicações de "micropotência"), conforme mencionado no Capítulo 2.

Em capítulos posteriores, examinaremos com mais cuidado alguns desses problemas para transmitir uma boa compreensão das compensações envolvidas.

Exercício 4.15. Desenhe um amplificador inversor com acoplamento CC com ganho de 100 e Zin = 10k. Inclua a compensação para a corrente de polarização de entrada e mostre a rede de corte de tensão de deslocamento (pote de 10k entre os pinos 1 e 5, limpador ligado a Vÿ). Agora adicione circuitos para que Zin ÿ 108 ÿ.

4.4.3 Exemplo: milivoltímetro sensível

Para dar corpo a esses ossos, vamos ver um exemplo de design muito simples - um amplificador CC com muito ganho, alta impedância de entrada e (para variar no mundo digital de hoje) uma leitura *analógica* de medidor de painel de centro zero. Procuraremos uma sensibilidade de ±10 mV em escala total e 10 megohms em impedância de entrada.

A Figura 4.56 mostra o projeto inicial, onde supomos que temos fontes de ±5 V disponíveis (falaremos mais sobre isso depois) e usamos um ganho não inversor de 100 para produzir uma saída de amplificador operacional de ±1 V em escala total. Isso aciona um movimento do medidor central zero de 100–0–100 A, que decoramos com uma escala remarcada que indica "ÿ10mV···0···10mV."

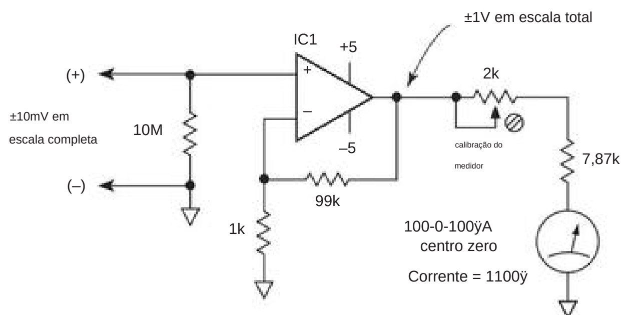


Figura 4.56. Milvoltímetro sensível com leitura analógica; ver texto para escolha de IC1.

Parece simples, e é. Mas não vai funcionar bem se não tivermos cuidado. Imagine que escolhemos nosso LF411 padrão para IC1, imaginando que a corrente de baixa polarização de um amplificador operacional de entrada JFET é exatamente o que precisamos. Colocamos os cabos de entrada em curto e descobrimos, para nosso horror, que o medidor lê muito fora do centro, até ± 2 mV. Isso porque o 411 tem VOS=2 mV (max). Idealmente, gostaríamos que a leitura fosse zero com os cabos de entrada em curto ou abertos, onde "zero" pode significar realisticamente não mais do que 1% da leitura em escala total.

OK, adicionamos um compensador de deslocamento e o ajustamos até que a saída seja zero com a entrada em curto. Deixamos na bancada, vamos almoçar, depois voltamos e descobrimos que agora lê -0,2 mV com entrada em curto. Isso porque ele ficou exposto ao sol, aquecido em 10ÿC e, portanto, derivou em 200 V (o LF411 tem um coeficiente de temperatura de tensão de compensação TCVOS=20 V/ÿC, máx.). Bem, não vamos usá-lo no sol! m

Então, esperamos que esfrie e notamos com satisfação que ele voltou a zero.

Agora vamos testá-lo em um divisor de tensão, mas descobrimos que, quando removemos o curto (cabos de teste em circuito aberto), o medidor indica +2 mV! Desta vez, o problema é a corrente de polarização, especificada como 200 pA (máx.) à temperatura ambiente. Isso não é muita corrente, mas desenvolve 2.000 V através do resistor de entrada de 10M, que o medidor percebe diretamente como uma entrada.

Poderíamos resolver o problema do VOS com um amplificador operacional bipolar de precisão, mas teríamos mais problemas com o IB. Precisamos de um amplificador operacional com VOS<100 V e IB<10 pA. A solução é um amplificador operacional de entrada FET de precisão, por exemplo, o OPA336 (125 V não compensado e 10 pA), que é bom o suficiente sem corte e certamente bom se quisermos ajustar o deslocamento inicial.

Uma solução melhor aqui é usar um amplificador operacional "chopper" como o LTC1050C ou AD8638 (consulte a Tabela 5.6). Às vezes, eles são chamados de amplificadores "zero-drift" ou "auto-zeroing". Aprenderemos sobre eles em breve e com mais detalhes no próximo capítulo; por enquanto, tudo o que você precisa saber é que eles oferecem especificações como VOS<5 V, TCVOS<0,05 V/°C e IB<5 pA (essas são, de fato, as especificações de pior caso para o LTC1050 em seu C barato - grau do sufixo).

Um pensamento final: ter um ajuste de calibração é bom se você estiver construindo apenas algumas dessas coisas. Mas na produção seria bom evitar as etapas de calibração manual. Uma solução de circuito elegante que contorna a calibração é usar um resistor de detecção de corrente no lado baixo do medidor. Incluímos esse recurso quando revisitamos esse exemplo no início do Capítulo 5 (§5.2), em uma abordagem mais rigorosa do projeto de precisão.

4.4.4 Largura de banda e fonte de corrente do amplificador operacional

De volta ao §4.2.5, observamos que as fontes de corrente do amplificador operacional dependem do ganho de tensão do amplificador operacional (portanto, ganho de loop) para aumentar sua resistência de saída inerentemente baixa Ro (da ordem de ÿ100ÿ, consulte a Figura 5.20) e que a diminuição de ganho de malha aberta com frequência crescente degrada a impedância de saída da fonte de corrente. Dito de outra forma, a fonte de corrente do amplificador operacional é um circuito peculiar, porque uma virtude do amplificador operacional (em impedância de saída inerentemente baixa, ou seja, uma fonte de tensão) se torna um vício, que deve ser punido com o porrete do ganho de loop abundante . Isso pode ser quantitativo: por causa da largura de banda finita fT, a impedância de saída de uma fonte de corrente do amplificador operacional em frequências crescentes é da forma Ro· fT/ *f* , caindo finalmente para a resistência de saída nativa do amplificador operacional Ro no ganho unitário frequência fT.

Da mesma forma, a taxa de variação finita afeta a impedância de saída da fonte de corrente, fazendo com que pareça uma capacitância shunt. Veja como pensar sobre isso: uma fonte de corrente ideal com uma carga capacitiva *real* varia a uma taxa *S=dV/ dt=I/ C;* assim, uma fonte de corrente que sofre com uma taxa de variação máxima *S* se parece com uma fonte de corrente ideal sobrecarregada com uma capacitância shunt efetiva Ceff=Iout/ S. Por exemplo, uma fonte de corrente de 10 mA feita com um amplificador operacional com taxa de variação de 1 V/ tem uma carga capacitiva efetiva s de 10 nF; isso é bastante grande, comparado mesmo com um grande MOSFET.

4.5 Uma visão detalhada dos circuitos de amplificadores operacionais selecionados

O desempenho dos próximos circuitos é afetado significativamente pelas limitações dos amplificadores operacionais; entraremos em um pouco mais de detalhes em sua descrição.

4.5.1 Detector de pico ativo

Existem inúmeras aplicações nas quais é necessário determinar o valor de pico de alguma forma de onda de entrada. O método mais simples é um diodo e capacitor (Figura 4.57). O ponto mais alto da forma de onda de entrada carrega C, que mantém esse valor enquanto o diodo é polarizado de volta.

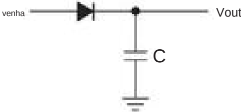


Figura 4.57. Detector de pico passivo.

Este método tem alguns problemas sérios. A impedância de entrada é variável e muito baixa durante os picos da forma de onda de entrada. Além disso, a queda do diodo torna o circuito insensível a picos menores que cerca de 0,6 volt e taxa imprecisa (por uma queda de diodo) para tensões de pico maiores. Além disso, como a queda do diodo depende da temperatura e da corrente, as imprecisões do circuito dependem da temperatura ambiente e da taxa de variação da saída; lembre-se que *I* = C(dV/dt). Um seguidor de emissor de entrada melhoraria apenas o primeiro problema.

A Figura 4.58A mostra um circuito melhor, que exibe os benefícios da realimentação. Ao receber feedback da tensão no capacitor, a queda do diodo não causa nenhum problema.

O tipo de forma de onda de saída que você pode obter é mostrado na Figura 4.59.

As limitações do amplificador operacional afetam este circuito de três maneiras.

(a) Uma taxa de variação finita do amplificador operacional causa um problema, mesmo com formas de onda de entrada relativamente lentas. Para entender isso, observe que a saída do amplificador operacional entra em saturação negativa quando a entrada é menos positiva que a saída

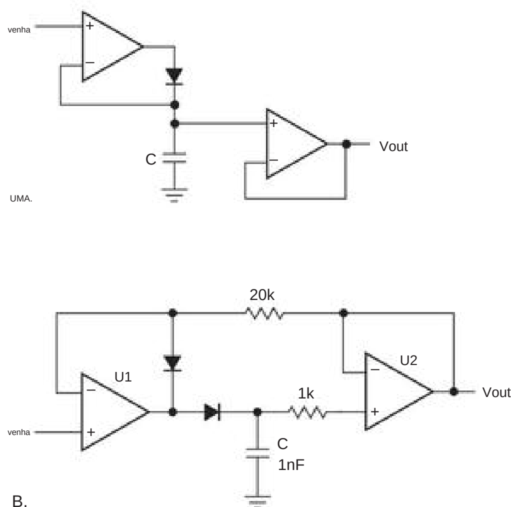


Figura 4.58. A. Detector de pico de amplificador operacional (mais precisamente, um “rastreador de pico”). B. O rastreador de pico aprimorado responde a picos curtos, porque o amplificador operacional de entrada não precisa mudar de saturação negativa.

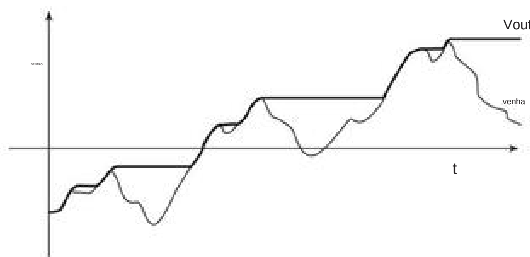


Figura 4.59. Forma de onda de saída do detector de pico.

(tente esboçar a tensão do amplificador operacional no gráfico; não se esqueça da queda direta do diodo). Portanto, a saída do amplificador operacional precisa voltar à tensão de saída (mais uma queda de diodo) quando a forma de onda de entrada exceder a saída. Na taxa de variação S, isso leva aproximadamente (Vout ÿVÿ)/S, onde Vÿ é a tensão de alimentação negativa. O circuito aprimorado 4.58B resolve esse problema.

(b) A corrente de polarização de entrada causa uma descarga lenta (ou carga, dependendo do sinal da corrente de polarização) do capacitor. Às vezes, isso é chamado de "queda" e é melhor evitar o uso de amplificadores operacionais com corrente de polarização muito baixa. Pela mesma razão, o diodo deve ser do tipo de baixa fuga (por exemplo, o FJH1100, com menos de 1 pA de corrente reversa a 20 V, um “diodo FET” como o PAD5 ou um JFET conectado a diodo, como o 2N4417; consulte a discussão do diodo no Capítulo 1x) e o seguinte

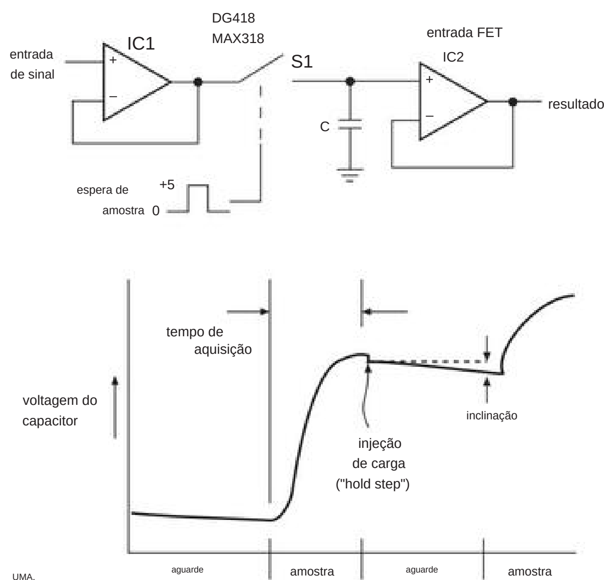
O estágio de alimentação também deve apresentar alta impedância (idealmente, também deve ser um amplificador operacional FET ou FET-input). (c) A corrente máxima de saída do amplificador operacional limita a taxa de mudança de tensão no capacitor, ou seja, a taxa na qual a saída pode seguir uma entrada crescente. Assim, a escolha do valor do capacitor é um compromisso entre baixa queda e alta taxa de variação de saída.

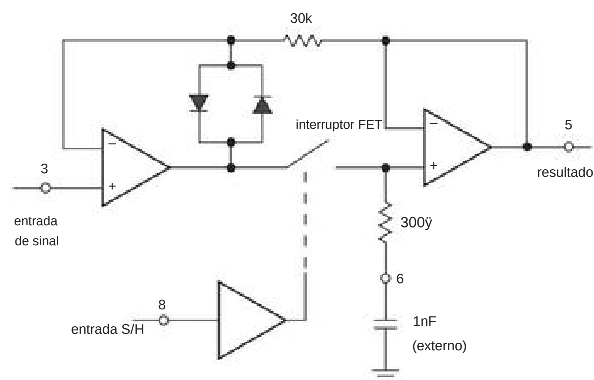
Por exemplo, um capacitor de 1 m F usado neste circuito com o LM358 comum (que seria uma má escolha por causa de sua alta corrente de polarização) cairia em dV/dt = IB/C = 0,04 V/s (usando o “típico” valor IB = 40 nA; o valor de pior caso de IB = 500 nA produz uma queda de 0,5 V/s) e seguiria as mudanças de entrada somente até dV/dt = Ioutput/ C = 0,02 V/ m s. Essa taxa máxima de acompanhamento é muito menor do que a taxa de variação do amplificador operacional de 0,5 V/ m s, sendo limitada pela corrente de saída máxima de 20 mA do amplificador. Diminuindo C você pode obter maior taxa de variação de saída, à custa de maior queda. Uma escolha mais realista de componentes seria o popular amplificador operacional de entrada MOSFET TLC2272 como driver e seguidor de saída (corrente de polarização típica de 1 pA) e um valor de C = 0,01 m F. Com essa combinação, você obtém uma queda de apenas 0,0001 mV/s e uma taxa geral de variação do circuito de 2 V/s. Para um desempenho ainda melhor, use um amplificador operacional MOSFET como o LMC660 ou LMC6041, com uma corrente de entrada típica de 2 femtoamps. O vazamento do capacitor (ou vazamento do diodo ou ambos) pode então limitar o desempenho mesmo se capacitores excepcionalmente bons forem usados, por exemplo, poliestireno ou polipropileno (consulte o Capítulo 1x).[29]

A. Redefinindo um detector de pico

Na prática, geralmente é desejável redefinir a saída de um detector de pico de alguma forma. Uma possibilidade é colocar um resistor através do capacitor de retenção de pico para que a saída do circuito decaia com uma constante de tempo *RC.* Desta forma, ele mantém apenas os valores de pico mais recentes. Um método melhor é colocar uma chave de transistor em C; um pulso curto para a base então zera a saída. Um switch FET é freqüentemente usado em seu lugar. Por exemplo, na Figura 4.58 você pode conectar um MOSFET de canal n como um 2N7000 em C; trazendo o portão

[29] O “vazamento” do capacitor é mais do que se poderia suspeitar a princípio: um efeito conhecido como *absorção dielétrica* (“DA”) pode causar sérios problemas em circuitos que dependem do desempenho ideal do capacitor. Ele se manifesta claramente no seguinte experimento simples: carregue um capacitor de tântalo até 10 volts ou mais, deixe-o descansar por um tempo e, em seguida, descarregue-o rapidamente colocando momentaneamente um resistor de 100 ÿ através dele. Remova o resistor e observe a tensão do capacitor em um voltímetro de alta impedância. Você ficará surpreso ao ver a *carga do capacitor de volta,* atingindo talvez um volt ou mais depois de alguns segundos! Este efeito prejudicial é tratado com mais detalhes no Capítulo *1x* e §5.6.2.





B. LF398 (circuito integrado S/H)

Figura 4.60. Sample-and-hold: A. Configuração padrão, com forma de onda exagerada; B. S/H de chip único LF398.

momentaneamente positivo, então zera a tensão do capacitor. Um comutador analógico CMOS integrado (como o MAX318, com um pequeno resistor em série para limitar a corrente) pode ser usado em vez de um transistor discreto nMOS (semicondutor de óxido de metal tipo n).

4.5.2 Amostra e retenção

Intimamente relacionado ao detector de pico está o circuito "sample-and-hold" (S/H) (às vezes chamado de "follow-and-hold").
Eles são especialmente populares em sistemas digitais nos quais você deseja converter uma ou mais tensões analógicas em num. para que um computador possa digeri-los: o método favorito é pegar e segurar a(s) voltagem(s) e, em seguida, fazer a conversão digital quando quiser. Os ingredientes básicos de um circuito S/H são um amplificador operacional e uma chave FET; A Figura 4.60A mostra a ideia. IC1 é um seguidor para fornecer uma réplica de baixa impedância da entrada. A chave analógica CMOS S1 passa o sinal durante a "sample" e o desconecta durante a "hold". Qualquer sinal presente quando S1 foi desligado é mantido no capacitor C. IC2 é um seguidor de alta impedância de entrada (entradas FET), de modo que a corrente do capacitor durante a "retenção" é minimizada. O valor de *C* é um compromisso: as correntes de fuga em S1 e no seguidor fazem com que a tensão de C "caia" durante o intervalo de retenção de acordo com dV/dt = Ileakage/C. Assim , *C* deve ser grande para minimizar a inclinação. Mas a resistência ON de S1 forma um filtro passa-baixo em combinação com C, então *C* deve ser pequeno se os sinais de alta velocidade devem ser seguidos com precisão. IC1 deve ser capaz de fornecer a corrente de carga de C *(I* = CdV/dt) e deve ter taxa de variação suficiente para seguir o sinal de entrada. Na prática, a taxa de variação de todo o circuito geralmente será limitada pela corrente de saída de IC1 e pela resistência ON de S1 .

Exercício 4.16. Suponha que IC1 possa fornecer 10 mA de corrente de saída e *C* = 0,01 F. Qual é a taxa máxima de variação de entrada que o circuito pode seguir com precisão? Se S1 tem resistência ON de 50 ÿ , qual será o erro de saída para um sinal de entrada com variação de 0,1 V/s? Se o vazamento combinado de S1 e IC2 for 1 nA, qual é a taxa de queda durante o estado "hold"?

Tanto para o circuito S/H quanto para o detector de pico, um amplificador operacional aciona uma carga capacitiva. Ao projetar tais circuitos, certifique-se de escolher um amplificador operacional que seja estável no ganho unitário quando carregado pelo capacitor C. Alguns amplificadores operacionais, (por exemplo, o LT1457, um membro dos amplificadores operacionais "CLOADTM estáveis" da Linear Technology) são projetados especificamente para conduzir cargas capacitivas grandes (0,01 F); você pode usar os truques que discutimos em §4.6.1 e no Capítulo 4x.

Você não precisa projetar circuitos S/H do zero, porque existem bons CIs monolíticos que contêm todas as peças de que você precisa. O LF398 da National é uma peça popular, contendo a chave FET e dois amplificadores operacionais em um pacote de 8 pinos barato (US$ 1,25). A Figura 4.60B mostra como usá-lo.
Observe como o feedback fecha o loop em torno de *ambos* os amplificadores operacionais.
Existem muitos chips S/H sofisticados disponíveis, se você precisar de melhor desempenho do que o LF398 oferece. Por exemplo, o AD783 da Analog Devices inclui um capacitor interno e garante um tempo máximo de aquisição de 0,4 para precisão de 0,01% após um passo de 5 volts. m S

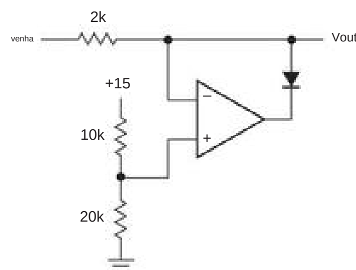


Figura 4.61. Braçadeira ativa.

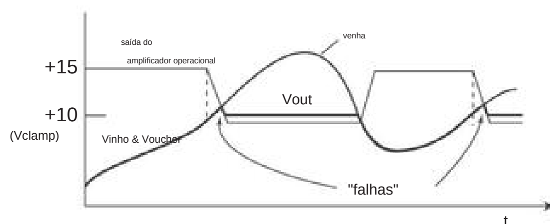


Figura 4.62. A taxa de variação finita causa "falhas" na saída do grampo.

4.5.3 Braçadeira ativa

A Figura 4.61 mostra um circuito que é uma versão ativa da função clamp que discutimos no Capítulo 1. Para os valores mostrados, Vin<+10 volts coloca a saída do amplificador operacional em saturação positiva e Vout = Vin. Quando Vin excede +10 volts, o diodo fecha o loop de realimentação, fixando a saída em 10 volts. Nesse circuito, as limitações da taxa de variação do amplificador operacional permitem pequenas falhas quando a entrada atinge a tensão do grampo por baixo (Figura 4.62).

Exercício 4.17. O grampo ativo na Figura 4.61 sofre de uma limitação de velocidade de taxa de variação semelhante à do rastreador de pico da Figura 4.58A. Descubra uma melhoria no circuito do grampo, análoga ao truque usado na Figura 4.58B.

4.5.4 Circuito de valor absoluto

O circuito mostrado na Figura 4.63 fornece uma saída positiva igual à magnitude do sinal de entrada; é um retificador de onda completa. Como de costume, o uso de amplificadores operacionais e realimentação elimina as quedas de diodo de um retificador passivo de onda completa.

Você pode imaginar situações em que deseja uma saída proporcional ao *logaritmo* do valor absoluto. Uma mudança simples no circuito pode ser substituir um diodo (ou transistor com base ligada ao coletor) pelo resistor de realimentação do segundo amplificador operacional, explorando a relação de Ebers-Moll entre a tensão do diodo e a corrente da junção somadora. Como veremos no Capítulo *4x,* esta é a base do *amplificador logarítmico;* o circuito precisa de alguns

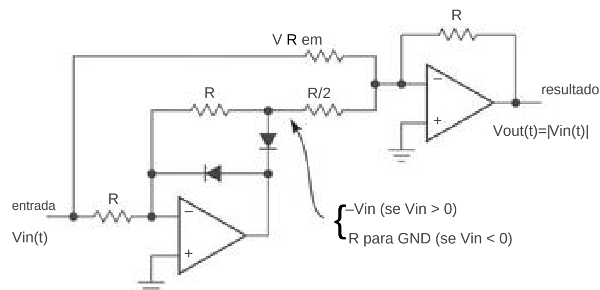


Figura 4.63. Retificador ativo de onda completa.

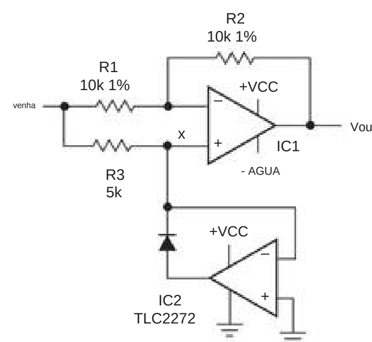


Figura 4.64. Outro retificador de onda completa; observe que o terra é a tensão de alimentação negativa para IC2.

componentes adicionais, no entanto, para compensar o coeficiente de temperatura de VBE.

Exercício 4.18. Descubra como funciona o circuito da Figura 4.63. *Dica:* aplique primeiro uma tensão de entrada positiva e veja o que acontece; então faça negativo.

A Figura 4.64 mostra outro circuito de valor absoluto. É facilmente compreensível como uma simples combinação de um inversor opcional (IC1) e um alicate ativo (IC2). Para níveis de entrada negativos, o grampo mantém o ponto *X* no terra, tornando o IC1 um inversor de ganho unitário; para níveis de entrada positivos, o grampo está fora do circuito, com sua saída em saturação negativa, tornando o IC1 um seguidor. Assim, a saída é igual ao valor absoluto da tensão de entrada. Ao executar o IC2 a partir de uma única fonte positiva, você evita problemas de limitações de taxa de variação no grampo, uma vez que sua saída se move em apenas uma queda de diodo. Observe que nenhuma grande precisão é exigida de R3.

4.5.5 Um olhar mais atento ao integrador

Introduzimos o integrador de amplificador operacional em §4.2.6, antes de lidar com a corrente de polarização de entrada e a tensão de deslocamento. Um problema com esse circuito (Figura 4.16) é que a saída tende a

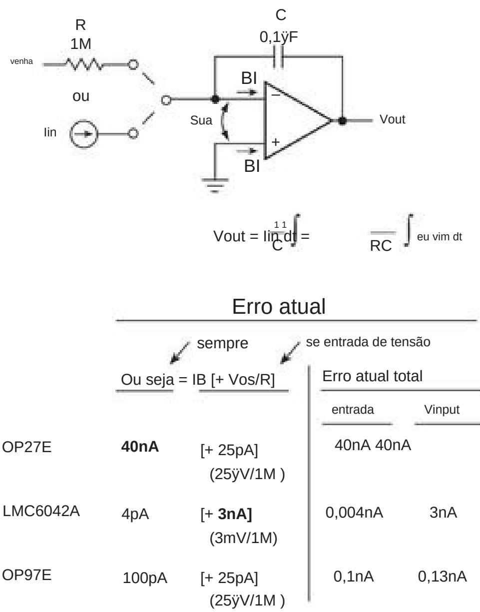


Figura 4.65. Erros do integrador: corrente de polarização e tensão de offset.

desviar, mesmo com a entrada aterrada, por causa dos deslocamentos do amplificador operacional e da corrente de polarização (não há realimentação em CC, o que viola o terceiro item em §4.2.7). Esse problema pode ser minimizado usando um amplificador operacional FET para baixa corrente de entrada e deslocamento, ajustando a tensão de deslocamento de entrada do amplificador operacional e usando grandes valores de *R* e *C.* Além disso, em aplicações nas quais o integrador é zerado periodicamente fechando uma chave colocada no capacitor (Figuras 4.18A–C), apenas o desvio em escalas de tempo curtas importa.

Vale a pena ver isso com um pouco mais de detalhes. Veja o integrador na Figura 4.65, mostrado com uma opção de entrada de tensão Vin (que, na ausência de erros de amplificador operacional, produz uma corrente na junção de soma de *I* = Vin/R) ou uma entrada de corrente Iin (caso em que você omite o resistor de entrada R). O integrador ideal produz uma saída

$$\mathrm{Vout}(t) = ÿ\frac{1}{C}\ Iin(t)dt = ÿ\frac{1}{RC}\ Vin(t)dt.$$

É fácil descobrir o efeito dos erros de entrada do amplificador operacional IB e VOS. Vamos primeiro tomar o caso de um circuito integrador com entrada de *corrente.30* A corrente de polarização do amplificador operacional IB adiciona (ou subtrai) da verdadeira corrente de entrada Iin; na ausência de qualquer corrente de entrada externa, a saída do integrador aumentaria a uma taxa dVout/dt = IB/C. O efeito da tensão de offset de entrada do amplificador operacional, por outro lado, é simplesmente

[30] Exemplos de sinais que estão naturalmente na forma de uma corrente incluem aqueles de um fotodiodo, um PMT ou um detector de íons, ou de dielétricas, semicondutores ou medições de nanomateriais.

para compensar a tensão de saída por VOS, sem rampa;31 assim, quando você reinicializa o integrador fazendo um curto-circuito no capacitor de feedback C, a saída vai para uma tensão igual a VOS em vez de zero.

Vejamos alguns valores reais. Na Figura 4.65, escolhemos, de forma bastante arbitrária, valores de 0,1 F para *C* e (para entrada de tensão) 1M para R. Portanto, uma corrente de entrada positiva de 1 A produz uma rampa de saída de -10 V/s. Se escolhêssemos o OP27E bipolar de precisão, sua corrente m de entrada relativamente alta de ±40 nA (máx) causaria uma rampa de saída de até dVout/dt = IB/C = ±0,4 V/s.

Isso não é bom, principalmente se você deseja integrar por alguns segundos ou mais. Portanto, vamos consertar as coisas escolhendo um amplificador operacional que se destaque em baixa corrente de polarização, por exemplo, o CMOS LMC6041A (os sufixos denotam o grau específico; escolhemos o melhor em todos os casos). Ele tem uma corrente de polarização máxima especificada de 4 pA em sua faixa de temperatura (mas um valor "típico" surpreendente32 de 2 fA, ou 2×10ÿ15 A). Agora a rampa de saída do pior caso, na ausência de qualquer corrente de sinal de entrada, é reduzida para dVout/dt = IB/C = ±40 V/s. A taxa de aceleração "típica" é 2.000 vezes menor, se você puder acreditar m nas especificações, isso é apenas ±0,02 V/s.

m

Neste ponto, a lição parece ser que o melhor amplificador operacional para qualquer integrador é aquele com a menor corrente de polarização IB. Mas, infelizmente, a vida é mais complicada. Em particular, se o integrador estiver conectado para entrada de *tensão ,* com um resistor de entrada em série R, então a tensão de deslocamento do amplificador operacional VOS agora produz uma rampa quando a entrada do circuito é mantida no terra. Imagine que a entrada está aterrada (Vin = 0), e pense assim: o amplificador operacional se esforça para alinhar suas entradas com uma tensão VOS entre elas; essa pequena voltagem então produz uma corrente *I* = VOS/R através do resistor de entrada. Essa corrente tem que passar pelo capacitor de realimentação, ou seja, a saída deve aumentar para produzir a corrente necessária para satisfazer a crença distorcida do amplificador operacional de que suas entradas devem diferir em VOS. Outra maneira de dizer isso é que a corrente age exatamente como uma corrente de entrada de *I* = ÿVOS/R.

Agora a escolha do amplificador operacional não é tão clara! Observe novamente a Figura 4.65. O amplificador operacional CMOS com sua corrente de polarização muito baixa tem uma tensão de deslocamento bastante grande, VOS = 3 mV (máx). Portanto, neste circuito, ele pode produzir uma corrente de entrada equivalente de 3 nA (3 mV em 1 Mÿ); isso é quase mil vezes

[31] Se o sinal de entrada não for uma verdadeira fonte de corrente, mas vier de uma tensão Vin em série com um resistor Rin, então o Vos do amplificador operacional causa uma pequena corrente de erro adicional de *Vos/ Rin.*

[32] Principalmente ao considerar que sua entrada é protegida por grampos de diodo nos trilhos de alimentação. Como esses mágicos conseguiram isso? (Da mesma forma que você aperta a mão de um gorila – com *muito cuidado!).*

maior do que a contribuição de pior caso de sua corrente de polarização e está chegando ao mesmo patamar que a corrente de entrada do amplificador operacional bipolar OP27E que consideramos primeiro.

Se for necessário um desvio mínimo com esses valores de circuito específicos, a solução é escolher um amplificador operacional com o melhor compromisso de baixa corrente de polarização e baixa tensão de deslocamento; para ser preciso, deve ter o valor mínimo da corrente de erro total do pior caso IE = IB +VOS/R. Uma boa escolha seria o OP97E bipolar, um amplificador operacional de precisão (offset baixo) com circuito interno de cancelamento de polarização. Possui valores máximos de IB = 0,1 nA e VOS = 25 V; o erro de corrente de pior caso correspondente é IE = 0,125 nA, que é 25 vezes melhor que o do LMC6041A e 320 vezes melhor que o do OP27.

Observe que a contribuição relativa de VOS e IB para o erro do integrador é dimensionada pelo valor de R. Portanto, você pode simplesmente escolher um valor de resistor maior se tiver um amplificador operacional com IB excelente, mas apenas VOS modesto .

Se o desvio residual de um circuito integrador ainda for muito grande para uma determinada aplicação, ou se a precisão a longo prazo não for importante, uma solução é colocar um grande resistor R2 em *C* para fornecer feedback CC para polarização estável, conforme mostrado na Figura 4.18 D. O efeito é eliminar a ação do integrador em frequências muito baixas, *f<1/ R2C.* O resistor de realimentação pode se tornar bastante grande neste tipo de aplicação. A Figura 4.66 mostra um truque para produzir o efeito de um grande resistor de realimentação usando valores menores em qualquer circuito de amplificador operacional. Neste caso – um circuito amplificador inversor – a rede de realimentação se comporta como um único resistor de 10 Mÿ, produzindo assim um ganho de tensão de -100. Esta técnica tem a vantagem de usar resistores de valores convenientes sem os problemas de capacitância parasita, etc., que ocorrem com valores de resistores muito grandes. Observe que este truque de "rede T" pode aumentar a tensão de deslocamento de entrada efetiva se usado em uma configuração de resistência trans (§4.3.1C). Por exemplo, o circuito da Figura 4.66, alimentado por uma fonte de alta impedância (p . O resistor de realimentação tem uma saída igual a VOS (assumindo que o deslocamento devido à corrente de entrada é insignificante).

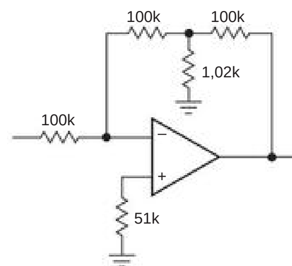


Figura 4.66. "T-network" simula um resistor de grande valor (aqui 10Mÿ).

4.5.6 Uma cura de circuito para vazamento de FET

Às vezes, uma técnica de circuito é tão elegante e fascinante que nos sentimos compelidos a contar aos outros sobre ela. É o caso do circuito desta seção, trazido e atualizado de nossa 2ª edição. Leia-o e delicie-se com sua inteligência; mas então verifique nossas observações no parágrafo final.

No integrador com chave de reset FET (Figura 4.18), o vazamento da fonte de dreno gera uma pequena corrente na junção de soma, mesmo quando o FET está DESLIGADO. Com um amplificador operacional de corrente de entrada ultra baixa e capacitor de baixo vazamento, esse pode ser o erro dominante no integrador. Por exemplo, o excelente amplificador operacional "eletrômetro" de entrada LMC6001A JFET tem uma corrente de entrada máxima de 0,025 pA e um capacitor de teflon ou poliestireno metalizado de 0,1 F de alta qualidade especifica resistência ao vazamento de 10⁷ megohms, no mínimo. Assim, o integrador, excluindo o circuito de reinicialização, mantém as correntes parasitas na junção de soma abaixo de 1 pA (para uma saída de fundo de escala de 10 V no pior caso), correspondendo a uma saída dV/dt inferior a 0,01 mV/s. Compare isso com a contribuição de fuga de um MOSFET como o SD210 (modo de aprimoramento), que especifica uma corrente de fuga máxima de 10 nA em VDS=10 V e VGS=ÿ5 V! Em outras palavras, o FET reinicializado pode contribuir com até 10.000 vezes mais vazamento do que todo o resto combinado.

A Figura 4.67 mostra uma solução de circuito inteligente. Embora ambos os MOSFETs de canal n sejam comutados juntos, Q1 é comutado com tensões de porta de 0 e +15 volts para que o vazamento de porta (bem como vazamento de dreno-fonte) seja totalmente eliminado durante o estado OFF (tensão de porta zero). No estado ON , o capacitor é descarregado como antes, mas com o dobro de RON. No estado OFF , o pequeno vazamento de Q2 passa para o terra através de R2 com queda desprezível. Não há corrente de fuga na junção de soma porque a fonte, o dreno e o substrato de Q1 estão todos na mesma tensão. (Leitores atentos podem ter notado que o aterramento virtual na entrada inversora do amplificador operacional é imperfeito na extensão de sua tensão de compensação VOS.[33] Isso pode ser ajustado para eliminar completamente qualquer corrente de fuga de Q1.)

O limite final para a "queda" do capacitor neste circuito, uma vez que o vazamento da chave FET tenha sido eliminado, é definido pela corrente de entrada do amplificador operacional e pela autodescarga do capacitor. O capacitor mostrado tem um vazamento especificado[34]

[33] "Não existe uma conexão *literal ,* cara."

[34] Em medições cuidadosas de vários anos de vazamento em alguns poliésteres e

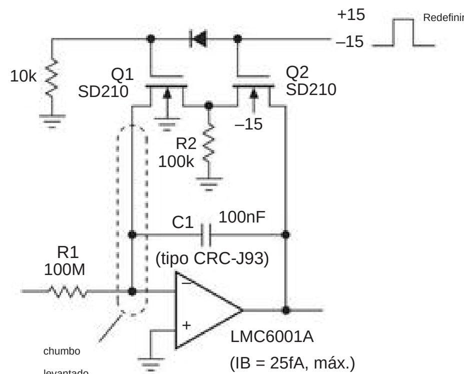


Figura 4.67. Vazamento de MOSFET derrotado por circuito inteligente.

resistência de 107 Mÿ, ou seja, 1013 ÿ. As correntes de fuga resultantes, da ordem de 10-16 A (após a reinicialização), são totalmente desprezíveis em comparação com as correntes de polarização do amplificador operacional. Para o amplificador operacional mostrado, a corrente de polarização especificada é de 25 fA no máximo (10 fA típico) a 25° C, e [illegible] Não há amplificadores operacionais com corrente de polarização máxima especificada mais baixa atualmente disponível; mas você pode encontrar amplificadores operacionais cuja corrente de polarização "típica" é menor – por exemplo, o LMC6041, um amplificador operacional barato cuja folha de dados proclama IB = 2 fA (tipo) a 25ÿC (nenhum máximo é dado à temperatura ambiente; IB =4 pA máx em toda a faixa de temperatura). O que fazer com um amplificador operacional cuja corrente de entrada típica é 2.000 vezes menor que o máximo garantido? Só que o fabricante *sabe* que é muito bom, mas é muito doloroso testar em produção. Você faria bem em usar essas unidades baratas em tal circuito se estiver disposto a rastrear os amplificadores operacionais por conta própria; caso contrário, pague a recompensa por uma unidade que tenha um limite garantido (mas observe que o LMC6001A, tal unidade, tem um IB típico que é cinco vezes maior que o do LMC6041, mais barato).

Ao projetar circuitos em que é necessária uma corrente de entrada baixa, fique atento aos efeitos da temperatura: todos os amplificadores operacionais FET (tipos JFET e CMOS) exibem aumentos dramáticos na corrente de entrada com o aumento da temperatura, normalmente dobrando a cada 10°C; a corrente de polarização máxima garantida do LMC6001A salta de 25 fA a 25° C para 2.000 fA a 85° C. Em altas temperaturas, as correntes de entrada (vazamento) de amplificadores operacionais FET podem frequentemente ser maiores do que as correntes de entrada (bias) de tipos bipolares de baixo IB; isso ocorre porque as correntes de fuga aumentam exponencialmente com a temperatura, enquanto as correntes de polarização do transistor permanecem aproximadamente constantes (ou diminuem ligeiramente). Olhe novamente para a Figura 3.48 para uma boa ilustração; veja também as Figuras 5.6 e 5.38.

Pode ser difícil encontrar MOSFETs discretos de baixa capacitância com pinos de substrato; atualmente, a família SD210 (com versões SMT com prefixo SST) está disponível na Linear Systems (Fremont, CA). A configuração T de dois interruptores é boa, embora possa ser um desafio encontrar componentes de interruptor adequados sem condução substrato-diodo, etc. Esses MOSFETs funcionam bem, mas se eles se tornarem "un obtanium", sugerimos que você modifique o circuito para usar JFETs , na forma da Figura 5.5.

capacitores de polipropileno em baixas tensões, Tom Bruins da Agilent descobriu que as resistências de vazamento reais são cerca de 10.000 vezes maiores do que o especificado. Usando capacitores de 160 V a 10 V, ele mediu constantes de tempo (em segundos, às vezes chamadas de "produtos megohm-microfarad") de 2 × 107 segundos (poliéster) e > 109 segundos (polipropileno). Na verdade, o que é comumente chamado de "vazamento" em tais capacitores parece ser principalmente correntes de absorção dielétrica; ver §5.6.2 e Capítulo *1x.*

4.5.7 Diferenciais

Os diferenciadores são semelhantes aos integradores, mas com *R* e *C* invertidos (Figura 4.68). Como a entrada inversora está no solo, a taxa de variação da tensão de entrada produz uma corrente *I* = C(dVin/dt) e, portanto, uma tensão de saída

$$\text{Vout} = \text{ÿ}RC\frac{dVin}{dt}\ . \qquad (4.7)$$

Os diferenciadores são estáveis em polarização, mas geralmente têm problemas com ruído e instabilidades em altas frequências devido ao alto ganho do amplificador operacional e mudanças de fase internas. Por esta razão, é necessário reduzir a ação do diferenciador em alguma frequência máxima. O método usual é mostrado na Figura 4.69. A escolha dos componentes rolloff R1 e C2 depende do nível de ruído do sinal e da largura de banda do amplificador operacional, com valores maiores proporcionando maior estabilidade e menos ruído, em detrimento da largura de banda do diferenciador. Um valor mínimo recomendado para R1 é dado por R1 = 0,5 R2/C1 fT; C2 pode ser adicionado para maior redução de ruído, com um valor inicial de *C2 ÿC1R1* / R2.

Em altas frequências *(f* 1/2 *R1C1)* este circuito se torna um integrador por causa de R1 e C2. Explicaremos o que está acontecendo aqui com mais detalhes em §4.9.3.

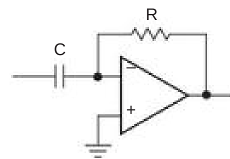


Figura 4.68. Diferenciador de amplificador operacional (ruidoso, provavelmente instável!).

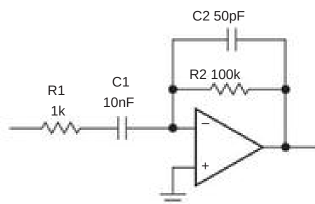


Figura 4.69. A adição de R1 e C2 estabiliza o diferenciador básico do amplificador operacional (consistindo em C1, R2 e o amplificador operacional); eles também reduzem o ruído de alta frequência.

4.6 Operação de amplificador operacional com uma única fonte de alimentação

Op-amps não *requerem* fontes reguladas de ±15 volts. Eles podem ser operados a partir de fontes divididas de tensões mais baixas35 ou de tensões de alimentação assimétricas (por exemplo, +12 e ÿ3), desde que a tensão de alimentação total *(V*+ ÿVÿ) esteja dentro das especificações (consulte a Tabela 4.1 na página 245 para valores genéricos e Tabelas 4.2a,b nas páginas 271–272 para peças específicas).
Tensões de alimentação não reguladas geralmente são adequadas por causa da alta "taxa de rejeição da fonte de alimentação" que você obtém do feedback negativo (para o 411, é tipo 90 dB). Mas há muitas ocasiões em que seria bom operar um amplificador operacional a partir de uma única fonte, digamos +9 volts. Isso pode ser feito com amplificadores operacionais comuns, gerando uma tensão de "referência" acima do solo, se você for cuidadoso com as tensões mínimas de alimentação, limitações de oscilação de saída e faixa máxima de entrada em modo comum.

Em muitos casos, no entanto, você pode simplificar esses circuitos aproveitando uma classe de amplificadores operacionais projetados para operação com alimentação única. Com franqueza característica, os engenheiros chamam esses "amps operacionais de suprimento único". Sua característica comum é que tanto a faixa de modo comum de entrada quanto a oscilação de saída se estendem até o trilho de alimentação negativo (ou seja, terra, quando executado a partir de uma única alimentação positiva). Uma subclasse dessas pode alterar suas saídas para *ambas as* fontes ("rail-to-rail outputs"), e algumas delas até permitem oscilações de entrada para ambos os trilhos ("rail-to-rail I/O"). Tenha em mente, porém, que a operação com fontes simétricas divididas deve ser considerada a técnica normal do amplificador operacional para a maioria das aplicações.

35 Em um mundo de tensões operacionais cada vez mais baixas, os amplificadores operacionais que podem funcionar a ±15 V são agora chamados de "amps operacionais de alta tensão".

4.6.1 Polarização de amplificadores CA de alimentação única

Para um amplificador operacional de uso geral como o 411, as entradas e saídas podem oscilar em cerca de 1,5 volts de qualquer uma das fontes. Com Vÿ conectado ao terra, você não pode ter nenhuma das entradas ou saída no solo; ou seja, ele não funcionará corretamente se você direcionar as entradas para o aterramento e simplesmente não pode oscilar sua saída para o aterramento.

Assim, uma razão pela qual o circuito da Figura 4.70 não funcionará é que o sinal de baixo nível acoplado ao microfone está centralizado no terra, onde o amplificador operacional não funcionará. Mas mesmo que a faixa de modo comum de entrada do amplificador operacional incluísse o trilho negativo (aterramento, aqui), ainda estaríamos com problemas, porque neste circuito a saída amplificada também seria centralizada no terra (de modo que teria que balanço acima e abaixo do solo). É importante entender que esse problema com a saída não pode ser resolvido dessa maneira – um amplificador operacional simplesmente não pode balançar além de seus trilhos de alimentação. Mesmo um amplificador operacional com entradas *e* saídas rail-to-rail não funcionaria.

Exercício 4.19. Faça um esboço da forma de onda de saída do circuito da Figura 4.70, quando acionado com uma onda senoidal de entrada de 10 mV, supondo que o amplificador operacional seja de classe especial com entradas e saídas de trilho a trilho.

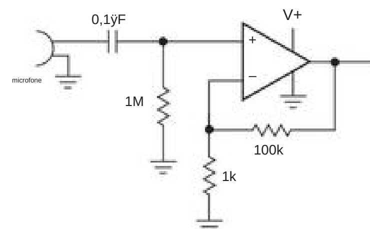


Figura 4.70. Amplificador de microfone de alimentação única com defeito.

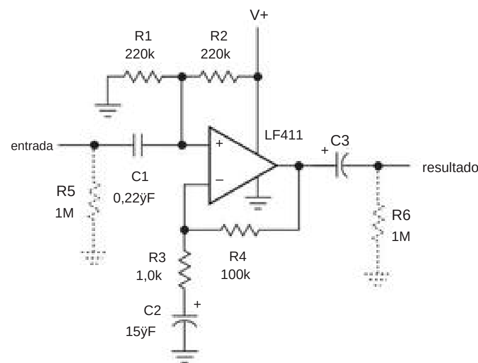


Figura 4.71. Uma tensão de referência em *2V+* (criada pelo divisor *R1R2)* permite a operação de alimentação única com um amplificador operacional comum.

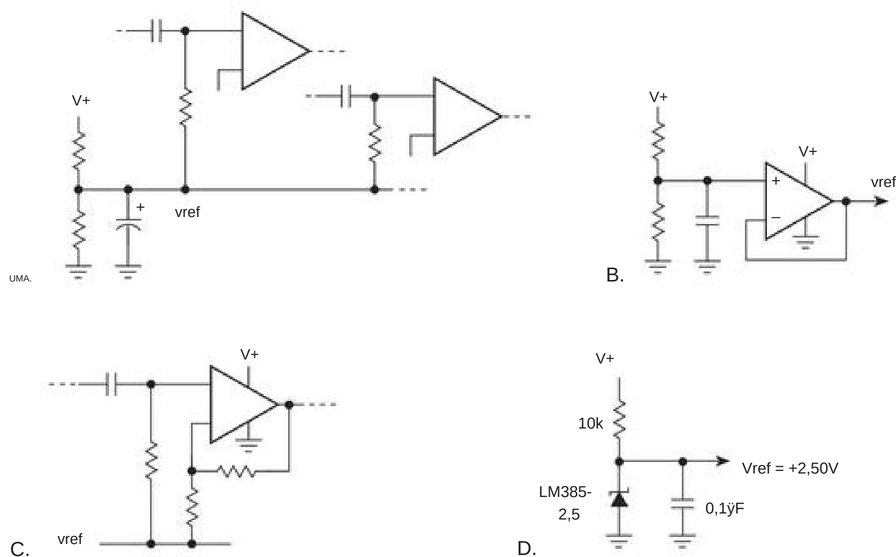


Figura 4.72. Esquemas de polarização para operação de suprimento único A. Referência comum (também conhecida, confusamente, como "terreno virtual") para múltiplos estágios; observe o capacitor de desvio. B. Seguidor gera referência de baixa impedância. C. A referência pode servir como caminho de retorno para realimentação, com correntes de sinal significativas. D. Referência de tensão fixa do tipo Zener.

A. Tensão de referência Uma solução é gerar uma *tensão de referência* em algum lugar entre o terra e a fonte positiva (por exemplo, na metade de V+) para polarizar o amplificador operacional para uma operação bem-sucedida (Figura 4.71). Este circuito é um amplificador de áudio com ganho de 40 dB. Escolher V+=12 V e Vref=0,5V+ fornece uma oscilação de saída de cerca de 9 volts pp antes do início do corte. O acoplamento capacitivo é usado na entrada e na saída para bloquear o nível CC, que é igual a Vref. Os resistores opcionais devem ser usados se este circuito se conectar ao mundo externo; eles garantem que não haja tensão CC na entrada e na saída, o que evita cliques e estalos altos quando coisas externas são conectadas.

A tensão de referência pode ser gerada na entrada do amplificador operacional com um divisor resistivo simples, conforme mostrado. Se o circuito requer vários estágios do amplificador operacional, é mais simples gerar uma referência comum, com um único resistor de polarização para cada estágio, como na Figura 4.72A. Certifique-se de ignorar a referência, para evitar o acoplamento de sinal. Você também pode armazenar a referência em buffer com um seguidor (Figura 4.72B), o que é particularmente útil se qualquer corrente contínua significativa ou corrente de sinal fluir por esse caminho, como na Figura 4.72C. Observe que o seguidor pode ser qualquer amplificador operacional comum, porque está operando com um sinal de alimentação médio. Neste circuito a tensão de referência não precisa ser metade da tensão de alimentação; pode ser melhor dividir a alimentação de forma assimétrica, para permitir a oscilação máxima do sinal. Em alguns casos, pode ser preferível colocá-lo em uma tensão fixa de um trilho, usando um IC zener fixo referência, conforme Figura 4.72D; esse trilho é então uma oferta regulada em relação à referência comum.

O design de circuito contemporâneo está se movendo para tensões de alimentação mais baixas, geralmente na forma de uma única alimentação positiva. Para operação com uma única fonte de +5 V, por exemplo, um amplificador operacional convencional como o 411 simplesmente não funcionará: Não apenas suas saídas não oscilam tipicamente a menos de 1,5 V dos trilhos de alimentação; na verdade, ele nem mesmo é especificado para operação com uma tensão de alimentação total inferior a 10 V. Portanto, para esses circuitos, você deve usar amplificadores operacionais projetados para operação em baixa tensão. Estes são freqüentemente chamados de amplificadores operacionais de "alimentação única" e vêm em várias formas, algumas das quais incluem operação especificada de ambas as entradas e saídas até o trilho negativo; outros apresentam oscilações de saída para ambos os *trilhos,* dos quais um subconjunto permite que ambas as entradas e saídas vão para amb Trataremos disso em breve, em §4.6.3.

B. Divisor de alimentação

O circuito da Figura 4.72C sugere uma abordagem diferente para a operação com uma bateria. Em vez de canalizar uma linha chamada Vref como um sinal comum, com o terminal negativo da bateria chamado terra, por que não aterrar a saída de "referência", dividindo efetivamente a única fonte em um par positivo-negativo? Essa é uma técnica comum em equipamentos operados por bateria e é mostrada na Figura 4.73. A tensão da bateria é dividida pelo divisor resistivo, que alimenta um seguidor para gerar uma tensão comum de baixa impedância. Para

V+
100k
1µF
+
bateria 9V
100k
0,1ÿF
LT
1097
1µF
DENTRO-

Figura 4.73. Gerador de alimentação dividida com amplificador operacional. Um seguidor gera uma tensão de saída de baixa impedância no meio da bateria, que se torna o aterramento do circuito.

o mundo exterior essa tensão comum é "terra", com ambas as extremidades da bateria flutuando.

A saída deve ser desviada, como sempre, para manter os trilhos de alimentação de baixa impedância, em relação ao terra, nas frequências do sinal. Isso é necessário porque o terra geralmente é o retorno comum para filtros, redes de polarização, cargas, etc.
Observe quase qualquer circuito normal de alimentação dividida e você encontrará correntes CC e de sinal fluindo para dentro e para fora do solo.

Isso levanta um problema interessante, que discutimos em detalhes no Capítulo *4x* e em §9.1.1C, ou seja, que a resistência de saída do amplificador operacional, em combinação com o capacitor de by-pass, cria uma mudança de fase atrasada em altas frequências que pode causar o loop de feedback para entrar em oscilação. Alguns amplificadores operacionais são projetados para contornar esse problema, por exemplo o LT1097 mostrado na figura (cuja folha de dados afirma que é estável com qualquer carga capacitiva). Mesmo assim, esse circuito exibe um pico em sua impedância de saída versus frequência (Figura 4.74) e um efeito relacionado, ou seja, um transiente de toque com a mesma frequência característica (Figura 4.75); você pode pensar nesses efeitos como o fantasma não totalmente banido de uma oscilação. Como mostram as figuras, um pequeno resistor de amortecimento em série na saída do amplificador operacional (Figura 4.76A) efetivamente interrompe esse comportamento ressonante, às custas de um aumento na impedância de saída CC.

Se a impedância de saída aumentada for indesejável (o que de dez não é), outra abordagem é obter um feedback "lento" a jusante do resistor de amortecimento (que preserva o desempenho de CC preciso, ou seja, baixa impedância de saída CC), com um "rápido" paralelo " caminho de feedback do lado a montante (Figura 4.76B) para evitar o toque. Você pode ver o resultado na Figura 4.75, onde usamos R1=2,7ÿ, R2=10k e C=2,7 nF: o transiente inicial se parece exatamente com um resistor de amortecimento de 2,7 ÿ, mas depois retorna para o DC correto nível porque o feedback DC é obtido do ponto de carga. Uma terceira possibilidade é "supercompensar" o amplificador operacional, para o qual o LT1097 oferece hospitalidade na forma de um conveniente pino "overcomp"; adicionando um capacitor ao terra a partir deste pin aumenta a margem de fase deslocando o pólo dominante para baixo na frequência (§4.9).

Há uma boa solução integrada da Texas Instruments, os ICs "rail-splitter" TLE2425 e TLE2426.
Eles vêm em um conveniente pacote TO-92 (transistor pequeno) de 3 terminais, consomem menos de 0,2 mA de corrente quiescente, são estáveis em qualquer carga capacitiva maior que 0,33 F e podem fornecer ou drenar uma corrente desequilibrada de 20 mA (Figura 4.77). O TLE2426 divide os trilhos em 50% com um divisor resistivo interno, enquanto o TLE2425 usa uma referência de tensão interna para colocar o comum de saída 2,50 V acima do trilho negativo.

30
20
10
0 100 1k 10k 100k 1M
Frequência (Hz)

Figura 4.74. Um efeito da carga capacitiva é uma elevação na impedância de saída, que é bastante reduzida com um resistor de amortecimento de 5 ÿ; veja o texto.

LT1097
carregar corrente
(5mA/div)
Rs = 6,8 ÿ
Rs = 2,7ÿ
tensão de saída
(10mV/div, acoplamento CA)
feedback dividido (Rs = 2,2ÿ)
Rs = 0 ÿ

Figura 4.75. Transitório de tensão de saída medido do circuito divisor de trilho da Figura 4.76A causado por um degrau de corrente de carga de 4,5 mA, com vários valores de resistor de amortecimento em série. O último elimina o zumbido, às custas da impedância de saída CC. Uma alternativa é o esquema de "feedback dividido" da Figura 4.76B. Escalas: 5 mA/div e 10 mV/div; 40 s/div.



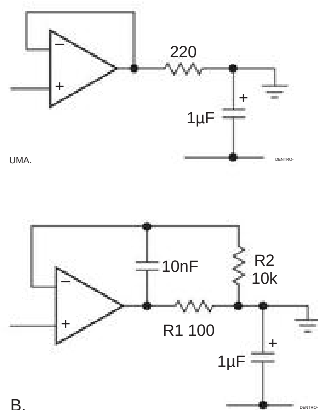


Figura 4.76. Estabilização do gerador de alimentação dividida: A. Resistor de desacoplamento, B. Resistor de desacoplamento com caminhos de realimentação rápidos e lentos.

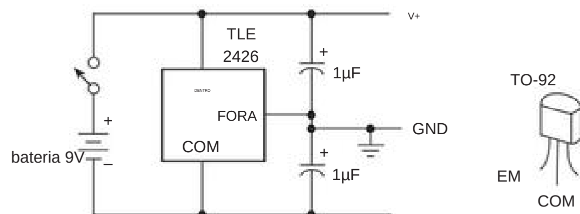


Figura 4.77. Divisor de trilho de 3 terminais integrado.

4.6.2 Cargas capacitivas

Este exemplo particular de um divisor de alimentação ilumina um problema mais geral, ou seja, o efeito da carga capacitiva na saída de *qualquer* circuito de amplificador operacional. Embora vamos lidar com isso mais adiante no Capítulo *4x avançado,* é importante avaliar agora as causas e as curas, porque pode causar danos até mesmo no mais simples dos circuitos de amplificadores operacionais.

Digamos que você construa uma pequena caixa, com alguns amplificadores operacionais na lateral e a(s) saída(s) produzida(s) através dos sempre populares conectores de painel BNC. É fácil esquecer que algo como um comprimento de cabo blindado – digamos, um cabo BNC de 2 m indo de um conector de saída para algum outro instrumento – tem bastante capacitância: os patch cords de cabo blindado RG-58 padrão têm 100 pF por metro (consulte o Apêndice H). Portanto, apenas um cabo de conexão inócuo carrega a saída do amplificador operacional com 200 pF. Às vezes, isso é suficiente para fazer um seguidor de amplificador operacional oscilar (nós montamos exatamente essa demonstração em nossa aula de projeto de circuito, onde um seguidor LF411 grita alto quando solicitado a conduzir 2,5 metros de cabo). E mesmo que não entre em oscilação, provavelmente exibirá picos de resposta em altas frequências, evidentes como overshoot e ringing.

As causas são as mesmas do divisor de alimentação: a carga capacitiva cria uma mudança de fase atrasada e está dentro do loop de realimentação.36 E as possíveis curas são as mesmas (Figura 4.78); tomando os circuitos da figura em ordem (A–E):

• Você pode adicionar um pequeno resistor em série (talvez 25–100 ÿ) na saída do amplificador operacional, fora do loop de realimentação. (É bastante comum ver um resistor de saída de 50 ÿ, que forma uma fonte compatível com o "cabo de 50 ÿ"; consulte o Apêndice H.) Tudo bem e fácil; mas significa que o feedback não atua no sinal de saída real, o que pode ser significativo com cargas desagradáveis, ou em altas frequências, etc.

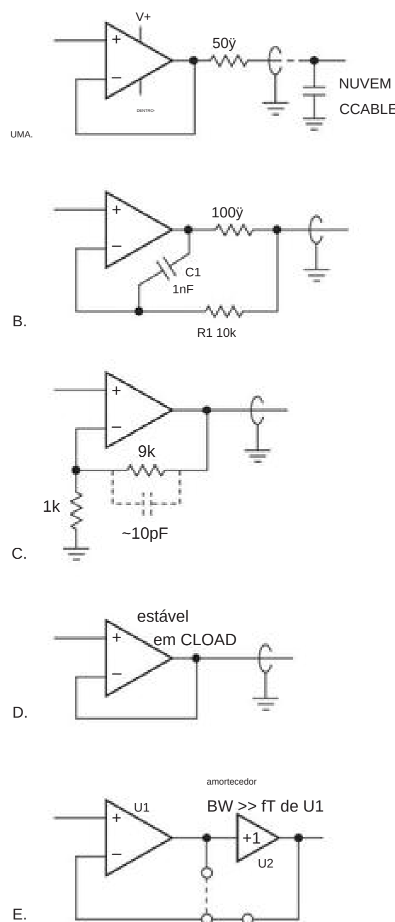


Figura 4.78. Acionamento de cargas capacitivas.

36 Você também pode pensar nisso como um efeito da impedância de saída indutiva do amplificador operacional (veja a Figura 4.53) combinando com a capacitância para formar uma ressonância, com todas as suas mudanças de fase, novamente dentro do circuito de realimentação.

Machine Translated by Google

• Você pode dividir o loop de realimentação, conforme mostrado, de forma que a realimentação venha diretamente da saída do amplificador operacional em altas frequências, onde a instabilidade espreita. E em frequências mais baixas, o feedback controla com precisão o sinal visto pela carga. Isso não é realmente um compromisso, porque essas altas frequências são exatamente onde a coisa oscilaria tarde de qualquer maneira se você permitisse feedback da carga.
• Você pode reduzir o ganho de malha, por exemplo, aumentando o ganho de malha fechada, para recuperar a estabilidade.
• Você pode buscar um amplificador operacional que garanta estabilidade na faixa de capacitâncias de carga que você espera. Muitos amplificadores operacionais fornecem bons dados na forma de gráficos de "Estabilidade versus Carga Capacitiva". A Figura 4.79 mostra um exemplo, retirado da folha de dados do LMC6482.
• Você pode adicionar um buffer de ganho unitário, com sua baixa impedância de saída nativa, dentro ou fora do loop de realimentação.

Se você adicioná-lo dentro do loop, precisará se preocupar com as mudanças de fase introduzidas pelo buffer; ele deve ter fT significativamente mais alto do que o amplificador operacional e geralmente é uma boa ideia incluir um resistor em série de 50–100 ÿ na entrada do buffer (não mostrado). Você pode precisar reduzir a resposta do amplificador operacional com um pequeno capacitor, como na Figura 4.87 na página 274.

4.6.3 Amplificadores operacionais de "alimentação única"

Como acabamos de observar, alguns amplificadores operacionais são projetados especificamente para permitir que entradas e saídas vão para o trilho negativo. Estes são chamados de amplificadores operacionais de "alimentação única" (ou "detecção de solo"), a ideia é que seu trilho negativo está realmente ligado ao solo. A faixa de entrada na verdade se estende um pouco abaixo do solo, normalmente para -0,3 V. Em alguns casos, as saídas podem oscilar também para o trilho positivo ("saída trilho a trilho"), e um subconjunto desses permite oscilações de entrada para (e ligeiramente ser

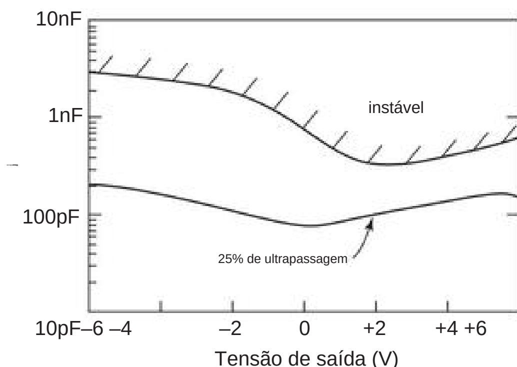


Figura 4.79. Estabilidade versus carga capacitiva para um amplificador operacional LMC6482 com Rload=2k e ±7,5 V de alimentação.

além) ambos os trilhos ("entrada trilho a trilho"). A Linear Technology introduziu uma nova reviravolta exótica – amplificadores operacionais que permitem oscilações de entrada muito além do trilho positivo (eles os chamam de amplificadores "Over-The-TopTM").

Esses amplificadores podem simplificar os circuitos de alimentação única porque você não precisa de uma referência de alimentação intermediária, divisor de trilho, *etc.* cuja saída precisaria balançar os dois lados do solo. Antes de examinar as características desses amplificadores operacionais com mais detalhes, vejamos um exemplo de design.

A. Exemplo: fotômetro de alimentação única A Figura 4.80 mostra um exemplo típico de circuito para o qual a operação com alimentação única é conveniente. Discutimos um circuito semelhante anteriormente sob o título de conversores de corrente para tensão (e iremos mais longe no Capítulo 4x). Como um circuito de fotocélula pode muito bem ser usado em um instrumento portátil de medição de luz e como a saída é apenas positiva, este é um bom candidato para um circuito de alimentação única operado por bateria. R1 define a saída em escala total em 5 volts para uma fotocorrente de entrada de 0,5 A. O pequeno capacitor de realimentação é adicionado para garantir a estabilidade, conforme explicaremos em §4.9.3. Nenhum ajuste de compensação é necessário neste circuito, uma vez que o deslocamento não compensado do pior caso de 10 mV corresponde a um insignificante 0,2% da indicação do medidor em escala total.

O TLC27L1 é um amplificador operacional CMOS de micropotência (corrente de alimentação de 10 A) de baixo custo com oscilações de entrada e saída para o trilho negativo. Sua baixa corrente de entrada (0,6 pA, típico, em temperatura ambiente[37]) o torna bom para aplicações de baixa corrente como esta. Se você escolher um amplificador operacional bipolar para este tipo de circuito de baixo sinal de corrente, melhor desempenho em

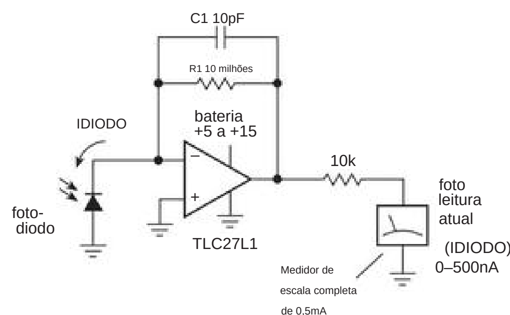


Figura 4.80. Fotômetro de suprimento único.

[37] Geralmente tomado como 25ÿC nas folhas de dados. Isso é um pouco mais quente do que o espaço típico de escritório ou laboratório (77°F, nas unidades do King's), mas você pode racionalizar essa escolha dizendo que permite algum aquecimento dentro do gabinete eletrônico.

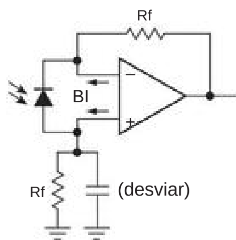


Figura 4.81. Amplificador de fotodiodo com cancelamento de corrente de polarização simples.

baixos níveis de luz resultam se o fotodiodo estiver conectado como no circuito mostrado na Figura 4.81.

Vale a pena notar que o "orçamento atual" deste circuito é dominado pela corrente de saída que aciona o medidor, que pode chegar a 500 μA. É fácil ignorar um ponto como esse; a bateria precisa fornecer apenas a corrente quiescente de 10 μA do amplificador operacional. Com 10 μA, uma bateria padrão de 9 V dura 40 000 horas (5 anos), enquanto com operação contínua em 500 μA duraria um mês.

B. Interiores de amplificadores operacionais de fonte única É útil olhar para o circuito de um amplificador operacional típico de fonte única, tanto para entender como esses tipos operam em um ou ambos os trilhos, quanto para apreciar algumas das sutilezas e armadilhas de projetá-los em seus circuitos. A Figura 4.82 é um esquema simplificado da popular série TLC270 de amplificadores operacionais CMOS de alimentação única. O estágio de entrada é um amplificador diferencial MOSFET de canal p com carga ativa de espelho de corrente. O uso de transistores de entrada de canal p no modo de aprimoramento permite que as entradas vão para o trilho negativo (e um pouco além, até que os diodos de proteção de entrada onipresentes comecem a conduzir), mas impede a operação de entrada no trilho positivo (porque não haveria tensão porta-fonte direta).

Ao contrário do amplificador operacional convencional clássico com seu estágio de saída push-pull seguidor (Figura 4.43), este estágio de saída é assimétrico: um seguidor de canal n Q6 para o pullup e outro amplificador de fonte comum de canal n Q7 para o pull-down . Isso é feito porque um seguidor em Q7 (que teria que ser canal p) não poderia puxar todo o caminho para baixo, dado que sua tensão de acionamento de porta mais baixa é o terra.

Essa saída assimétrica requer o driver de fonte comum Q5 para a porta de Q6, com tensões de limite correspondentes para Q5 e Q7 para definir a corrente quiescente do estágio de saída.

O capacitor de realimentação Ccomp é para compensação de frequência (consulte §4.9.2). Este estágio de saída pode saturar no solo, com uma impedância de RON de Q7 ; mas não pode alcançar V+, porque Q6 é um seguidor MOSFET de canal n.

Exercício 4.20. O que define a tensão da fonte de Q1 e Q2 quando as entradas estão aproximadamente no terra? E o que determina o limite superior da faixa de entrada? Por que o último está sempre abaixo de V+?

Exercício 4.21. O que define a tensão positiva máxima para a qual Q6 pode puxar a saída, assumindo que o amplificador operacional está levemente carregado?

Essa mesma estrutura de estágio de saída – pullup do seguidor com pulldown do amplificador – pode ser construída com transistores bipolares; um exemplo são os populares amplificadores operacionais dual-quad LT1013/LT1014 de suprimento único, variantes aprimoradas dos amplificadores operacionais clássicos LM358/LM324. Uma nota de cautela: não cometa o erro de presumir que você pode fazer a saída de *qualquer* amplificador operacional funcionar até o trilho negativo simplesmente fornecendo um dissipador de corrente externo. Na maioria dos casos, o circuito que aciona o estágio de saída não permite isso. Procure permissão explícita na folha de dados!

Uma maneira de obter saídas rail-to-rail – ou seja, operação para *ambos* os trilhos de alimentação – é substituir o pullup do seguidor de canal n Q6 na Figura 4.82 por um amplificador de fonte comum de canal p; então cada transistor pode saturar em seu respectivo trilho. Isso requer algumas mudanças no circuito do driver, é claro.

Um circuito análogo pode ser construído com transistores bipolares – pull-up npn do emissor comum *e* pull -down *npn* . Exemplos contemporâneos incluem as séries CMOS TLC2270, LMC6000 e MAX406 e as séries bipolares LM6132, LT1881 e MAX4120. Como veremos no Capítulo *4x,* existem outras maneiras de fazer saídas de suprimento único e trilho a trilho.

Esses amplificadores diferem em aspectos importantes e você deve ficar atento a declarações enganosas sobre a oscilação de saída para o trilho negativo (terra).

Esses estágios de saída são bastante diretos e nada surpreendentes. Mas eles não generalizam para o estágio de *entrada* . Como, de fato, você pode obter capacidade de entrada de trilho para trilho? Para completar a imagem sem entrar em nenhum

Figura 4.82. Esquema simplificado do amplificador operacional de alimentação única da série TLC271.

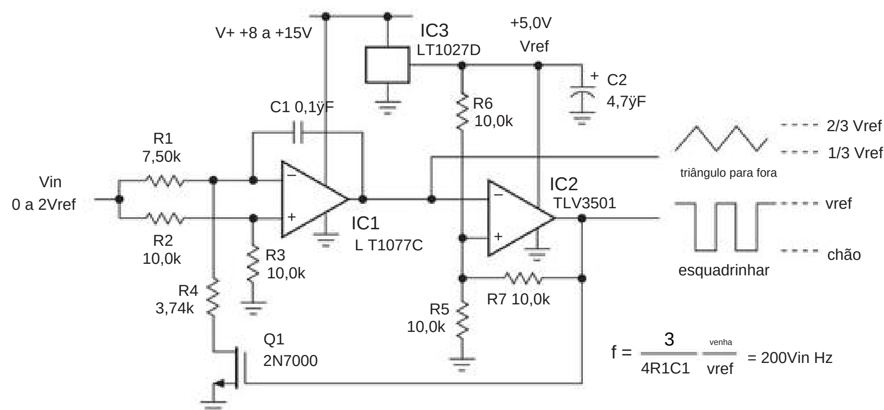


Figura 4.83. Gerador de forma de onda controlado por tensão de precisão.

detalhe, o truque é projetar um amplificador com dois estágios de entrada independentes, um canal p (ou *pnp)* e o outro canal n (ou *npn).* Falamos sobre eles e alguns outros truques bacanas (como colocar geradores de tensão no chip para criar fontes de polarização além dos trilhos, em combinação com um amplificador operacional convencional como a Figura 4.43), no Capítulo *4x.* Os amplificadores operacionais de alimentação única são indispensáveis em equipamentos operados por bateria.

4.6.4 Exemplo: oscilador controlado por tensão

A Figura 4.83 mostra um circuito inteligente, emprestado das notas de aplicação de vários fabricantes. IC1 é um integrador, configurado para que a corrente do capacitor (Vin/15k) mude de sinal, mas não de magnitude, quando Q1 conduz. O IC2 é conectado como um gatilho Schmitt, com limiares em um terço e dois terços de Vref. O MOSFET Q1 de canal n é usado aqui como um interruptor, puxando o lado inferior de R4 para o terra quando a saída do IC2 é ALTA e deixando-o em circuito aberto quando a saída é BAIXA.

Uma boa característica deste circuito é sua operação a partir de uma única fonte positiva. O TLV3501 é um comparador CMOS com oscilação de saída rail-to-rail, o que significa que a saída do Schmitt vai desde Vref até o terra; isso garante que os limiares do Schmitt não se desviem, como aconteceria com um amplificador operacional de design de estágio de saída convencional, com seus limites mal definidos de oscilação de saída. Neste caso, o resultado é uma frequência e amplitude estáveis da onda triangular. Observe que a frequência depende apenas da *relação Vin/ Vref;* isso significa que se Vin for gerado a partir de Vref por um divisor resistivo (feito de algum tipo de transdutor resistivo, digamos), a frequência de saída não variará com Vref, apenas com mudanças na resistência. Este é outro exemplo de técnicas raciométricas; os projetistas de circuitos gostam de usar esse truque para minimizar a dependência das tensões da fonte de alimentação.

Alguns pontos adicionais.

- Tanto o coeficiente de conversão de frequência quanto a amplitude de oscilação de saída são definidos pela tensão de referência que alimenta IC2 (Vref), neste caso um +5,00 V preciso e estável fornecido pela referência de tensão de 3 terminais IC3. Esta tensão pode ser deixada desregulada se a tensão de controle for ajustada para ser proporcional a ela, conforme descrito acima. A amplitude de saída, no entanto, ainda dependeria desse trilho de alimentação. A solução que acabamos de mostrar é preferível.
- O amplificador operacional integrador, IC1, é um amplificador operacional de "precisão", V. Foi escolhido com uma tensão de deslocamento máxima de 60 m sen para fornecer frequência proporcional com precisão próxima de entrada de zero volts. Você pode pensar nisso em termos de *faixa dinâmica* do controle de frequência: a tensão de deslocamento de entrada no amplificador operacional integrador produz um erro na frequência equivalente a um valor de Vin de duas vezes a tensão de deslocamento (por causa do divisor R2R3); para dizer de outra forma, em uma tensão de entrada Vin ÿ 2VOS, a frequência de saída terá um erro de 100% (pode ser tão grande quanto duas vezes a frequência programada e tão baixa quanto zero). Portanto, a relação entre a frequência máxima e mínima é aproximadamente igual a Vref/VOS. O LT1077C mostrado na figura fornece uma faixa dinâmica de quase 100.000:1 (a relação Vref/ VOS = 5V/60 V).
- O amplificador operacional integrador deve operar até a entrada de zero volts; ou seja, deve ser um amplificador operacional ("single-supply" ou "ground sensing"), do qual o LT1077C é um exemplo.
- A corrente de entrada IB do amplificador operacional integrador também causa um erro, mais grave quando a tensão de controle Vin está próxima de zero volts. O LT1077C tem entradas bem combinadas com IB(max)=11 nA, o que causa um erro de pior caso

equivalente a cerca de 30 V y de desequilíbrio quando flui através da rede de resistores de entrada desiguais. Isso é menor do que a contribuição de erro devida ao VOS de pior caso; a combinação resulta em um erro equivalente de pior caso de 90 V, ou uma faixa dinâmica (sem compensação) de 50.000:1. O fato de que os efeitos y da tensão de deslocamento dominam os efeitos da corrente de polarização não é acidental: é por isso que os valores do resistor R1–R4 foram escolhidos tão pequenos quanto são (e o valor do capacitor C1 foi então escolhido para produzir a faixa de frequência desejada).

• O LT1077C pode ser ajustado para estender a faixa dinâmica; em última análise, é o *desvio* em VOS e IB (ao longo do tempo e da temperatura) que define a estabilidade geral do circuito perto da frequência zero.

• O TLV3501 é um comparador extraordinariamente rápido (4,5 ns) com oscilação de saída entre trilhos. No entanto, sua tensão de alimentação é limitada a +5,5 V no máximo. Se você quiser executar essa parte do circuito em uma tensão mais alta, poderá substituir um amplificador operacional trilho a trilho rápido como o CA3130. A última parte existe há muito tempo e está próxima da extinção;38 mas é excelente em velocidade para um amplificador operacional de baixa potência porque não é *compensada* (consulte §4.9.2B). No entanto, não seria adequado para o amplificador operacional de entrada, porque não é estável como integrador, por motivos que veremos em breve.

Ele também possui uma grande tensão de deslocamento de entrada.

• Outra possibilidade é substituir o circuito de disparo Schmitt por um CI temporizador do tipo CMOS 555, por exemplo, um ICL7555. Estes têm limiares de entrada estáveis em um terço e dois terços do trilho de alimentação e balanço rápido de saída trilho a trilho.

• Alternativas de switch: switches IC como SD210 ou 74HC4066 (o último pertence à família 74HC de lógica digital) podem substituir o discreto MOSFET Q1; sua capacitância mais baixa melhoraria a operação em altas frequências.

• Outra possibilidade, se o consumo de energia for mais importante do que a frequência máxima ou faixa dinâmica, é usar amplificadores operacionais CMOS rail-to-rail de baixa potência para ambos os ICs, por exemplo, um amplificador operacional duplo TLC2252 (35 A por y canal). Neste caso, aumente os valores do resistor, particularmente no estágio de entrada, porque os amplificadores operacionais CMOS têm corrente de entrada insignificante para esta aplicação.

• Se o uso de um amplificador operacional duplo em um único pacote parece particularmente atraente, então uma boa escolha geral é o bipolar LM6132, com entradas e saídas rail-to-rail e uma taxa de variação de 14 V/s; na mesma família, você pode obter amplificadores y operacionais mais rápidos (LM6142, LM6152), ao custo de correntes de entrada e alimentação mais altas.

• Uma solução elegante de CI único é o uso de uma combinação de amplificador operacional–comparador–referência como o MAX951. Procuramos uma maneira de usar tal chip aqui, mas, infelizmente, não conseguimos extrair o excelente desempenho da Figura 4.83 de qualquer uma das combinações de chips atualmente disponíveis, nem de temporizadores especiais como o LTC699x-series (§7.1.4B). Isso ilustra a vantagem de desempenho do circuito que você obtém se puder combinar os melhores CIs disponíveis para determinada tarefa, em vez de ter que aceitar uma combinação pré-montada.

Exercício 4.22. Deduza a expressão para frequência de saída mostrada na Figura 4.83. Ao longo do caminho, verifique se os limites de Schmitt e as correntes do integrador são os anunciados.

4.6.5 Implementação do VCO: through-hole versus montagem em superfície

Tradicionalmente, os componentes eletrônicos eram feitos com cabos saindo das extremidades (por exemplo, resistores e capacitores "axial-lead") ou fileiras de pinos saindo (por exemplo, ICs com DIP – embalagem "dual in-line"). A prática contemporânea mudou fortemente para componentes de "montagem em superfície", nos quais as conexões são feitas diretamente aos contatos em uma embalagem de cerâmica ou plástico. Veja, por exemplo, as fotos dos resistores no Capítulo 1 (Figura 1.2), dos amplificadores operacionais anteriormente neste capítulo (Figura 4.1) ou da pequena lógica (Figura 10.23) no Capítulo 10.

A *boa notícia* é que a tecnologia de montagem em superfície (SMT) permite que você crie dispositivos menores; e é melhor *eletricamente* também, por causa das indutâncias reduzidas nos pacotes menores.

A *má notícia* é que o SMT torna difícil ligar um circuito no calor do momento em um protótipo de "bread board" (seja do estilo de solda ou plug-in), um exercício que é rápido e fácil com - componentes do furo. O problema é agravado pelo fato de que muitos novos componentes de alto desempenho (por exemplo, amplificadores operacionais) estão disponíveis *apenas* em pacotes de montagem em superfície.

Em poucas palavras, suas escolhas se resumem a (a) ficar com componentes de passagem (se você conseguir as peças de que precisa) e aproveitar a prototipagem fácil e a capacidade de construir um dispositivo único rapidamente; (b) seguindo o fluxo e usando principalmente componentes SMT, colocando uma placa de circuito impresso para cada circuito que você deseja construir; ou (c) tentar reter o melhor dos dois mundos criando protótipos com componentes through-hole, quando disponíveis, e usando adaptadores SMT (ou "portadores") para os componentes SMT que você não consegue obter em pacotes through-hole. Estes últimos são pequenas placas de circuito nas quais você solda um componente SMT, cujos cabos se conectam

[38] Consulte "Aqui ontem, desaparecido hoje" na página 273.

a uma fileira de pinos, produzindo um componente falso de passagem. Temos lutado com todo esse negócio e concluímos que essa última opção, embora atraente em princípio, está desaparecendo rapidamente devido à disponibilidade cada vez menor de componentes passantes.

Para dar uma ideia das vantagens e desvantagens, colocamos o circuito do oscilador controlado por tensão (VCO) da Figura 4.83 em placas de circuito impresso, explorando as alternativas de (a) componentes through-hole, (b) componentes SMT relativamente grandes, e (c) pequenos componentes SMT. A Figura 4.84 mostra-os em tamanho real; mostramos apenas as linhas de saída dos componentes e "pads" (padrões de folha de metal que fazem as conexões com os componentes). Para a placa de passagem, usamos amplificador operacional DIP padrão e comparador e resistores de 1/4 watt de avanço axial; para o grande SMT usamos amplificador operacional SOIC-8 e comparador e resistores 0805 SMT; e para o pequeno SMT usamos amplificador operacional e comparador SOT-23 e os resistores 0603 menores.39 O último é 4,5 vezes menor que a placa de passagem. E não há penalidade no desempenho; na verdade, componentes menores geralmente oferecem um desempenho um pouco melhor devido às ductâncias parasitas menores.

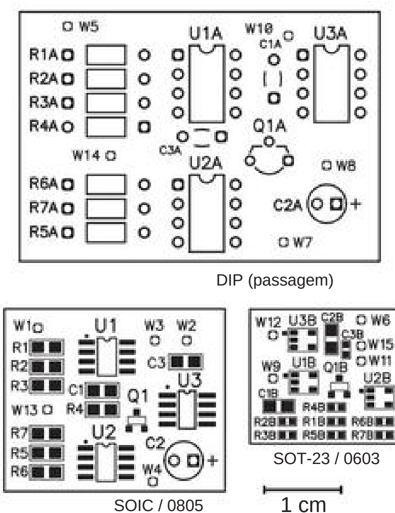


Figura 4.84. Layouts de circuito impresso para o VCO da Figura 4.83. O uso de pequenos componentes de montagem em superfície reduz a área da placa para 22% da placa análoga usando componentes de passagem. Os benefícios adicionais são uma maior seleção de peças disponíveis e melhor desempenho elétrico.

4.6.6 Detector de cruzamento zero

Este exemplo ilustra o uso de um comparador de fonte única , um parente próximo do amplificador operacional de fonte única. Como o último, ele operará com sinais de entrada até o trilho de alimentação inferior, que geralmente é aterrado. O circuito, mostrado na Figura 4.85, gera uma onda quadrada de saída para uso com lógica "TTL" de 5 V (faixa de 0 a +5 V) a partir de uma onda de entrada de qualquer amplitude até 150 volts rms. O LM393 é um CI comparador (como o TLV3501 que usamos no último exemplo), especializado para este tipo de aplicação; ele não pode ser usado como um amplificador, na forma de um amplificador operacional, porque seus deslocamentos de fase internos não são ajustados ("compensados", ver §4.9) para permitir realimentação sem oscilação. Ele também possui uma saída de "coletor aberto", que você deve puxar externamente para um trilho de alimentação, conforme mostrado. Seu circuito interno é mostrado na Figura 4.86; observe a semelhança geral com um amplificador operacional (Figura 4.43), com a importante omissão do capacitor de compensação CC e a falta de um transistor "pullup" na saída. Tratamos comparadores com mais detalhes em §12.3.

39 A designação de 4 dígitos dá o comprimento e a largura, em unidades de 0,01 (0,25 mm); assim, por exemplo, um resistor de 0603 é 0,06 × 0,03 (1,5 mm × 0,75 mm). Achamos que é muito pequeno, mas a indústria não parou por aí: os tamanhos padrão incluem 0402 e 0201 (o último um mero grão de poeira, 0,5 mm × 0,25 mm!).

O resistor R1, combinado com D1 e D2, limita a oscilação de entrada de -0,6 volt a +5,6 volts, aproximadamente; sua potência nominal é definida pela tensão de entrada rms máxima. O divisor resistivo *R2R3* é necessário para limitar a oscilação negativa a menos de 0,3 volt, o limite para um comparador 393. R5 e R6 fornecem histerese para este circuito de gatilho Schmitt, com R4 configurando os pontos de gatilho simetricamente em relação ao solo. A impedância de entrada é quase constante devido ao grande valor de R1 em relação aos outros resistores no atenuador de entrada. Um 393 é usado porque suas entradas podem ir até o aterramento, simplificando a operação de alimentação única.

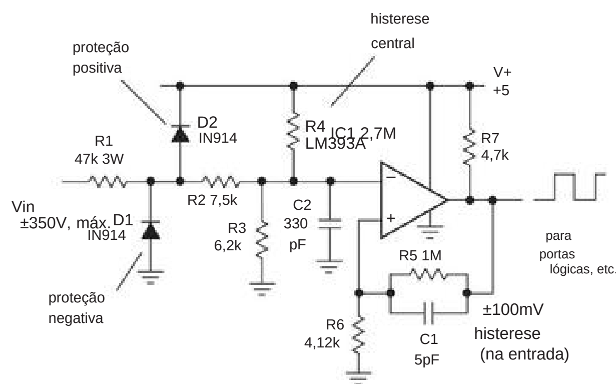


Figura 4.85. Detector de nível de cruzamento zero com proteção de entrada.

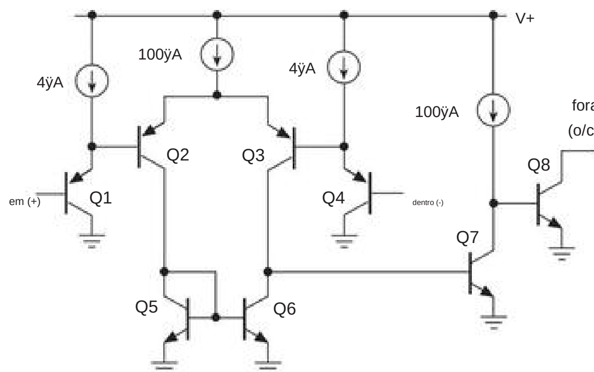


Figura 4.86. Esquema do comparador de alimentação única LM393.

Exercício 4.23. Verifique se os pontos de disparo estão em ±100 mV no sinal de entrada.

Alguns pontos adicionais.

- O antigo LM393 limita severamente a oscilação permitida abaixo do solo, porque a saída mudará a polaridade se a entrada cair abaixo de -0,3 V, uma patologia chamada com tato de *reversão de fase* na folha de dados. Isso é evitado aqui pelo diodo D1 e divisor *R2R3;* alternativamente, o lado baixo de D1 pode ser polarizado em uma queda de diodo acima do solo, como na Figura 5.81. O resistor R3 poderia ser omitido se um comparador moderno como o LT1671 fosse usado; o último também possui pullup ativo interno para +5 V, então você também deve omitir o resistor pull-up R7 .
- Definimos intencionalmente os limites de Schmitt simetricamente em torno do solo, mas essa pode não ser a melhor escolha.

Por exemplo, você pode querer transições de saída precisamente sincronizadas com os cruzamentos de zero exatos da forma de onda de entrada. Omitir R4 definiria o limite de entrada negativa exatamente em 0 V; alternativamente, você pode definir o limite positivo para 0 V com um valor escolhido adequadamente para R4 (teste sua compreensão com o Exercício 4.24).

- Usando apenas realimentação capacitiva (omitindo R5), você pode ter ambos os limites em 0 V com alguns dos benefícios da histerese. Nesse caso, a histerese é transitória, com uma constante de tempo = *C1R6,* momento em que você está assumindo que a forma de onda de entrada terá saído da y região de limite. Então, por exemplo, se você estiver usando este circuito para detectar cruzamentos de zero de uma onda senoidal de 60 Hz, você pode escolher C1 = 0,1 F para uma constante de tempo de 0,5 ms (mas veja o próximo item). A desvantagem é que você está fazendo suposições sobre a taxa de variação mínima de entrada e a y frequência máxima de passagem por zero. Você poderia imaginar um esquema mais elaborado, com comparadores adicionais, de modo que o limite de entrada seja restaurado para 0 V após a onda de entrada a forma passa por um segundo limiar mais alto. Este desafio de projeto produziria um circuito de cruzamento zero preciso (para ambas as inclinações da forma de onda) sem restrições na velocidade de entrada, etc.
- Tenha cuidado se você decidir aumentar o valor do capacitor de aceleração C1 - este capacitor causa um negativo tornando transitório na entrada inversora do comparador, e se o capacitor for muito maior do que alguns picofarads, você pode causar inversão de fase na saída do comparador (uma patologia de muitos comparadores, incluindo o LM393). Nesse caso, é melhor usar um comparador moderno cuja folha de dados especificamente se gaba de estar livre de inversão de fase; um exemplo é o MAX989.

Exercício 4.24. Qual valor de R4 na Figura 4.85 coloca o limiar de entrada positivo em 0 V?

Exercício 4.25. Tente projetar um circuito histerético, com vários comparadores, de modo que *ambos os* limites estejam precisamente em 0 V, assumindo que a forma de onda de entrada sempre viaja um mínimo de 50 mV além do solo antes de voltar.

4.6.7 Uma mesa de amplificador operacional

Reunimos na Tabela 4.2a na página seguinte uma seleção representativa de amplificadores operacionais úteis, incluindo muitos de nossos favoritos. Você pode ter uma ideia do preço e do desempenho de peças que são amplamente utilizadas. Melhor ainda, use esta tabela como ponto de partida em seu próximo projeto! Tabelas de amplificadores operacionais mais abrangentes estão localizadas no capítulo sobre projeto de precisão (Tabela 5.4, amplificadores operacionais de alta velocidade; Tabela 5.5, amplificadores operacionais de precisão; Tabela 5.6, amplificadores operacionais de zero automático) e no capítulo no ruído (Tabela 8.3, amplificadores operacionais de baixo ruído).

4.7 Outros amplificadores e tipos de amplificadores operacionais

Neste primeiro capítulo sobre o amplificador operacional, encontramos o amplificador operacional "padrão" com alimentação dividida, implementado de várias maneiras com transistores bipolares, JFETs e MOSFETs. Também vimos exemplos de amplificadores operacionais de fonte única, alguns com saídas rail-to-rail (e até mesmo entradas rail-to-rail).

Existem outras opções, algumas das quais veremos nos Capítulos *4x* e 5. Vale a pena listá-las aqui, porque uma ou mais delas podem ser a melhor solução para um problema de projeto que inicialmente parece precisar de um amplificador operacional .

Amplificadores operacionais de feedback de corrente Eles se parecem muito com amplificadores operacionais comuns ("feedback de tensão"), mas diferem por terem um terminal de entrada inversora de baixa impedância que é uma junção de soma de corrente. Eles se destacam em circuitos de banda larga com ganho de tensão moderado a alto; veja a discussão no Capítulo *4x.*

Parte: AD8011 [illegible] OPA [illegible] LMC7101 [illegible] TLV [illegible] 358,

Pacote: 1 11 1,2 1 1,2,4 1 2,2,4 11111 2,4 4,2 1 1,2,4 2 2,4 1 2,4

MERGULHAR

SOIC-8

SOT-23

Quantidade custo: 3,98 2.32 3,60 5,60 4,88 12.90 2.61 8,46 2.92 3,60 2.30 2.33 2.32 4.30 5.11 10.15 0,69 2.03 2.58 6h30 0,18 0,93 1.42 2.72 1,48 2,00 1,57 1,73 4.11 13h30 0,16

Fornecer Total: 3 5 8 9 120 8 9 [illegible] 80 25 4 6 20 24 6 20 10 3 2.2 4 7 7 7 16 [illegible] 4 15 [illegible] 4 3 24 4 3

(V): 12.6 52.6 36 33 13 36 36 36 44 18 36 16 7 13 40 36 16 16 16 44 32

[illegible]: 1 [illegible] 7 [illegible] 0,8 0,8 1,5 0,35 0,19 1.1 0,37 1.2 1.4 6,56 3.4 8,5 0,5 0,45 [illegible] 2.2 1.3 [illegible] 0,7 1

[illegible]imo: 5000 [illegible] 2.5 16 5 11 1 0,6 1 2.5 1 2.2 5 3 1 1.3 2.2 0,8 1

[illegible] 55 1400 0,8 0,3 0,2 [illegible] 4 0,2 2 24 [illegible] 1 1,5 3.6 0,4 4500

2500 [illegible] 20 60 500 0,6Vc 1,025 [illegible] [illegible] 30 [illegible] 950 250A 40 12

7

pt: 2 1.7 4.8 5.6 10 27 8 7 14 27 7.5 6 13 18 9 27 22 40

Suprimentos?

EXTRA

Comentários: [illegible] JFET [illegible] CMOS [illegible]

Machine Translated by Google

Tabela 4.2b Potência Monolítica e Op-Ampsa de Alta Tensão

Diff'l
Fornecimento total inputb FET tipo de taxa Iout(max) Pdiss (50ºC) Custo
QI mín. máx tipo máximo tipo fT de giro type máx . qtde 25
Tipo Mfg (V) (V) (mA) (V) (MHz) (V/µs) (UMA) (C) Pacote ($US)

de baixa potência
LME49726 TI 2,5 6 0,7 completo 2,7 7,5 • - 2,2 25n ••• SO-8, 1 2 1,2 - 2 2 1,1 - 2 30 0,1 2 SO-8 1,29 A 5,53
OPA567 TI 3,4 completo 2,7 15 3,6 • - DIP, SO 0,020 3000 - 1,2 SO-8 B 7,41 B, C
OPA569 TI 16 1,2 - 5 30 2,5 completo • - 6,69 D
AD8010 analógico ADA4700 100 1,7 completo 10
LM6171 TI 4.27 E
LTC2057HV LTC • - 1,5 0,45 3,32 F
- - 3.5 20 0,03 2,5 • - - SO-8 6,00 DIP, SO-8
OPA445 TI 20 100 4,2 80 - 10 100 3,2 fullg • - OPA454 - 2 10 0,015 0,6 10,07 G SO-8 6,09 • - •
power L2720W ST Intersil ISL 9532 TI OPA 1,0 mentum 2,5 13 0,12 0,05 7,5n • - • SO,TTSOP 4,87 H
LT1794 LTC LT1206 LTC • - 12 21

4 28 10 completo 10 30 - - 1,2 0,47 15n 5 •• MSOP-10 1,2 - 25 SSOP-20 1 1,02 I
3,5o completo 9 33 7 10 - - 50 - 130 2 - - TO-220-5 p 28,58 - DIP, SO-16 2 0,3 N 1 - 1,43r J
36 26 completo 10 36 14o - - 200 - • 400 P • - - TO-220-5 2,5 DIP Q - - DIP, D2Pak 5,57 K 8,09
completo 8 36 35 completo - 60 • 35 900 4,82 R • • • TO-220-7 9,57 S • • • TO-220-11 SO-20 J 5,88 K,L
LT1210 L272 FSC 4 40 8 0,35 600 • - - TO-220-7 13,75 SO • DIP, 2025 S 8,75 K,M
8 completo TDA7256 ST completo OPA 75 apex T 16 900 TO-220-15 19,28 • - TO-220-11 5,94 P • - •
60 520 TI 8 OPA 60 7 completo LM675 TI 26 60 - - 900 1
18 completo OPA547 TI 8 60 10 completo - - 1.4 1.4 2.5 19
OPA548 TI 8 60 17 completo OPA549 TI 8 60 26 cheio - - 9 10 3 35
completo TI OPA453 20 80 4,5 20 completo OPA541 - - 5.5 8 4 25
ST0 20 913 ST0 LM3886 50 60 TDA 30 2012 • - 12 24d 0,2 3 40 0,5p
Apex PA15 Apex PA98 Apex PA97 - - 5,5 8 25 3 30 8 6,05
- - 1 1 6 25 10 90 71,5
- - 0,9 10 6,5
- - 7,5 9
• - 2 8 23d
• - 10
TI - 19
- - 15 75 5.49P

20 350 2,2 16 • • 10 32k 0,06 16 • - - DDPak-7 - • - SIP-12 21h45
30 400 10 20 • • 100 300e 0,2 SIP-10 0,1 - • tab 188,00 18,00 SIP-12 1 tab 272,00v 1000e 0,2
100 450 2,0 25 • • 30 450 21 100 900 5,8 18 176.00v 8e 0.01 3n SIP-12
0,6 20 • • 25 • • 100 1
UUUUV

Notas: (a) dentro das categorias, classificadas por tensão máxima e corrente de saída; as peças do Apex são híbridas e nem os tipos de PCB nem de caixa de instrumentos estão listados. (b) não exceder a tensão de alimentação total. (c) Pdiss com caso em Tc = 50C, baseado em RÿJC. (d) quando comp para G>10. (e) quando comp para G>100. (g) JFETs internos limitam a corrente a 4mA. (h) ver notas. (k) para Cc=4,7pF, Gÿ10. (n) desde que você consiga tirar o calor da embalagem! (o) ajustável. (p) pacote de potência. (r) quantidade 1k. (s) 94V sem sinal. (u) ao ambiente. (v) quantidade unitária; consulte os preços do distribuidor (e seu banqueiro) para quantidades maiores.

Comentários: (A) dual, RRO. (B) RIO. (C) com monitor de corrente. (D) vídeo. (E) VFB com CFB. (F) auto-zero, 4ÿV. (G) tem acabamento Vos ; também em TO-99. (H) dual='6091. (I) atualização da L272. (J) driver ADSL duplo. (K) feedback de corrente, CFB. (L) pode conduzir cargas capacitivas de 10nF. (M) 1,1A min. (N) Versão de Fairchild. (O) amp+buffer. (P) amplificador de áudio. (Q) OPA551 mais lento para G=1. (R) burro de carga clássico. (S) ajuste do limite de corrente com resistor ou corrente externa. (T) OPA452 mais lento para G=1. (U) Saída MOSFET. (V) "barato".

Amplificadores operacionais de "desvio zero" Esses amplificadores operacionais incomuns, que incluem amplificadores auto-zero e estabilizados por chopper, são adaptados para aplicações de precisão (baixo VOS) . Eles usam interruptores MOS internos para medir e corrigir erros de deslocamento de entrada. Estes são os únicos amplificadores com valores de VOS não ajustado até 5 na páginaÿ V ou menos. Ver Tabela 5.6 335.

Amplificadores operacionais de alta tensão e alta potência

Você pode obter amplificadores operacionais com correntes de saída máximas de 25 amperes ou mais, ou com tensões de alimentação de 1 kV ou

"Aqui ontem, desaparecido hoje"

Em sua busca incansável por chips melhores e mais sofisticados, a indústria de semicondutores às vezes pode causar grandes problemas. Pode ser mais ou menos assim: você projetou e prototipou um novo gadget maravilhoso; a depuração está concluída e você está pronto para entrar em produção. Ao tentar solicitar as peças, você descobre que um IC crucial foi descontinuado pelo fabricante! Um pesadelo ainda pior é o seguinte: os clientes reclamam do atraso na entrega de algum instrumento que você fabrica há muitos anos. Quando você vai para a área de montagem para descobrir o que está errado, descobre que toda uma produção de placas foi construída, exceto por um CI que "ainda não chegou". Você então pergunta ao comprador por que eles não agilizaram o pedido; Acontece que eles têm, apenas não receberam. Então você fica sabendo pelo distribuidor que a peça foi descontinuada há seis meses e que não há nenhuma disponível!

Por que isso acontece e o que você faz a respeito? Geralmente encontramos quatro razões pelas quais os ICs são descontinuados.

1. *Obsolescência: Aparecem* peças muito melhores e não faz muito sentido continuar fabricando as velhas. Isso tem sido particularmente verdadeiro com chips de memória digital (por exemplo, pequenas RAMs estáticas e EPROMs, que são substituídas por versões mais densas e rápidas a cada ano), embora os ICs lineares não tenham escapado totalmente do expurgo. Nesses casos, geralmente há uma versão aprimorada compatível com pinos que você pode conectar ao soquete antigo.
2. *Não vender o suficiente:* ICs perfeitamente bons às vezes desaparecem. Se você for persistente o suficiente, pode obter uma explicação do fabricante – "não havia demanda suficiente" ou alguma história semelhante. Você pode caracterizar isso como um caso de "descontinuado para conveniência do fabricante". Ficamos particularmente incomodados com a descontinuação de Harris de seu esplêndido HA4925 – um chip fino, o comparador quad mais rápido, agora desaparecido, sem substituição de nada parecido. Em nossa primeira edição informamos que a Harris também descontinuou o HA2705 – outro grande chip, o amplificador operacional de baixa potência mais rápido do mundo, sumiu sem deixar vestígios! Desde aquela época, a Maxim lançou o MAX402, semelhante a um amplificador operacional rápido de baixa potência. Muitos de nós o usamos; então – whammo – não pode obtê-lo! Às vezes, um bom chip é descontinuado quando a linha de fabricação de wafer muda para um tamanho de wafer maior (por exemplo, do wafer original de 3 diâmetros para um wafer de 5 ou 6).
3. *Esquemas perdidos:* você pode não acreditar, mas alguns vezes a casa de semicondutores perde o controle do diagrama esquemático de algum chip e não consigo fazer mais! Isso aparentemente aconteceu com o chip divisor de 8 estágios SSS-4404 CMOS da Solid State Systems.
4. *Linha de produção "atualizada":* Às vezes, um fabricante substituirá equipamentos de teste mais antigos (que podem estar funcionando muito bem) por novos e melhores produtos. O problema é que os programas para executar os novos testadores ainda não foram concluídos. Portanto, a linha de wafers *pode* estar produzindo muitos chips. . . mas não há como testá-los. Esse cenário parece ter acontecido no caso do magnífico OPA627, um dos nossos favoritos de todos os tempos (houve quase um ano em que você não conseguiu esses filhotes, mas, felizmente, está de volta à produção).
5. *Fabricante fora do mercado:* Isso também aconteceu com o SSS-4404! Se você está preso a uma placa e não há IC disponível, você tem várias opções. Você pode redesenhar a placa (e talvez o circuito) para usar algo que esteja disponível. Isso provavelmente é melhor se você estiver entrando em produção com um novo design ou se estiver executando uma grande produção de uma placa existente. Uma solução barata e suja é fazer uma pequena "placa filha" que se conecta ao soquete vazio do CI e inclui o que for necessário para emular o chip inexistente. Embora esta última solução não seja muito elegante, ela dá conta do recado.

mais! Estes são dispositivos especializados (e caros), extremamente úteis para aplicações como piezo drivers, servo drivers e assim por diante. Veja a Tabela 4.2b na página seguinte para alguns favoritos.

Amplificadores operacionais de micropotência No outro extremo do espectro, você pode obter amplificadores operacionais com correntes quiescentes tão baixas quanto um microamp ou menos. Essas coisas não são incrivelmente rápidas - o LMC6442, com I_Q = 10 A ÿ por amplificador, tem um f_T de 10 quilohertz e uma taxa de variação[40] de 0,004 V/s – mas eles permitem que você use um instrumento ÿ portátil para sempre com uma única bateria.

Amplificadores de instrumentação

São amplificadores diferenciais integrados com ganho de tensão configurável. Eles contêm vários amplificadores operacionais internamente e

[40] O fabricante *nunca* usaria "V/ ÿ s" em uma folha de dados de tal amp-op lento - procure *V/ milisegundo* em vez disso.

Machine Translated by Google

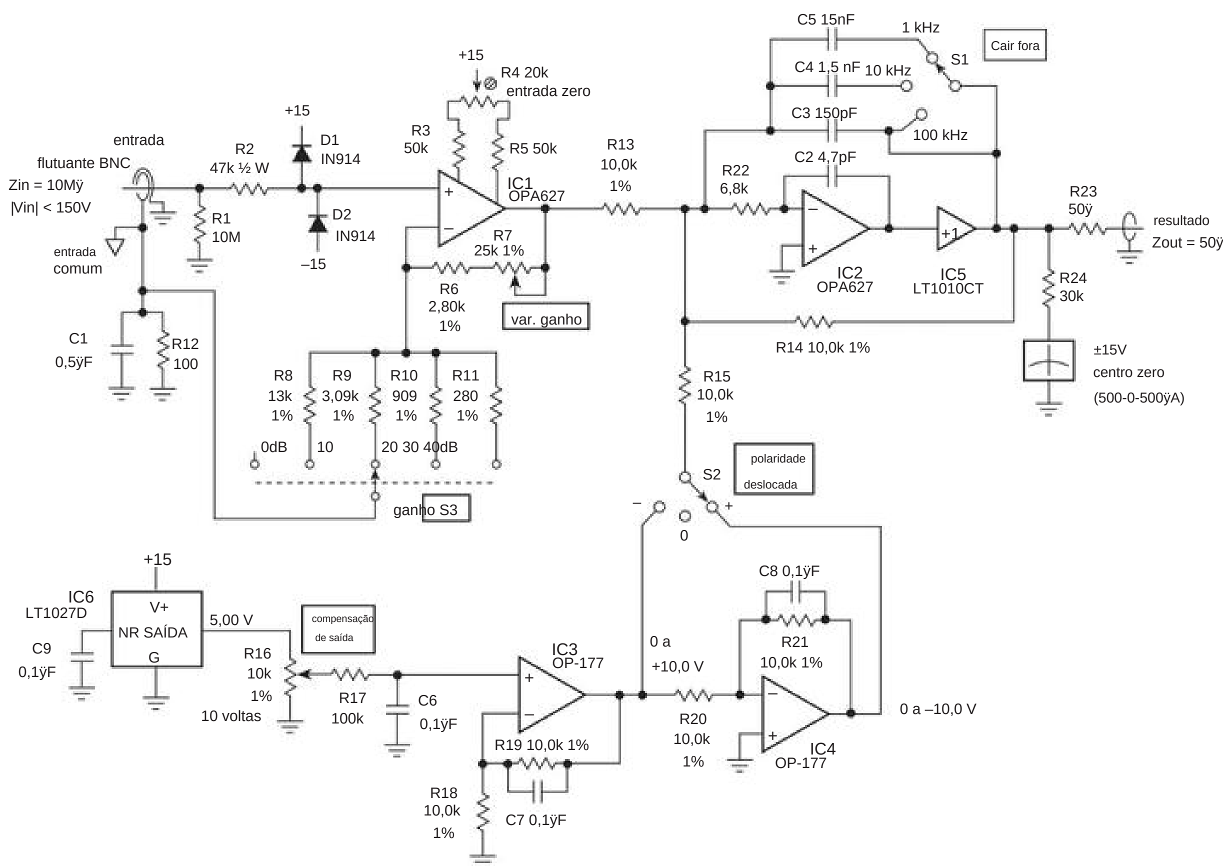


Figura 4.87. Amplificador CC de laboratório com offset de saída. As conexões da fonte de alimentação do amplificador operacional e os capacitores de bypass não são mostrados explicitamente, uma prática comum em esquemas de circuitos.

se destacam em estabilidade e rejeição de modo comum. Amplificadores de instrumentação são discutidos em §5.15.

Amplificadores de vídeo e radiofrequência

Amplificadores especializados para uso com sinais de vídeo ou com sinais de comunicação em frequências de 10 MHz a 10 GHz estão amplamente disponíveis como módulos amplificadores de ganho fixo. Nessas frequências, você geralmente não usa amplificadores operacionais.

Variantes de amplificadores

dedicados Pré -amplificadores de microfone, amplificadores de alto-falante, drivers de motor de passo e similares estão disponíveis como ICs personalizados com características superiores e facilidade de uso.

4.8 Alguns circuitos típicos de amplificadores operacionais

4.8.1 Amplificador de laboratório de uso geral

A Figura 4.87 mostra um "amplificador de década" acoplado a CC com ganho configurável, largura de banda e offset de saída CC de ampla faixa.

IC1 é um amplificador operacional de entrada JFET de baixo ruído com ganho não inversor de unidade (0 dB) a ×100 (40 dB) em passos de 10 dB calibrados com precisão; um vernier é fornecido para ganho variável.

IC2 é um amplificador inversor; permite compensar a saída em uma faixa de ±10 volts, calibrada com precisão pelo potenciômetro de 10 voltas R16 injetando corrente na junção de soma.

C3–C5 define o rolloff de alta frequência, porque geralmente é um incômodo ter largura de banda excessiva (e ruído). IC5 é um amplificador de potência para acionar cargas ou cabos de baixa impedância; ele pode fornecer corrente de saída de ±150 mA.

Alguns detalhes interessantes: um resistor de entrada de 10 Mÿ é pequeno o suficiente, já que a corrente de polarização do OPA627 é de 10 pA (máximo, em temperatura ambiente), produzindo assim um erro de 0,1 mV com entrada aberta. R2, em combinação com os diodos de fixação D1 e D2, limita a tensão de entrada no amplificador operacional na faixa de Vÿ ÿ0,6 V a V+ +0,6 V. Com os componentes de proteção mostrados, a entrada pode ir para ±150 volts sem danos . A entrada JFET OPA627 foi escolhida por sua combinação de baixa corrente de entrada (IB=1 pA, tip), modesta pré-

cisão (VOS=100 e ÿV, máx), baixo ruído (en=5 nV/ÿHz, típico) e largura de banda larga (fT=16 MHz, tipo); o último é necessário para preservar algum ganho de loop na alta frequência final do instrumento (100 kHz) ao operar com ganho total (40 dB).

O estágio de saída é um inversor com um buffer de potência de ganho unitário dentro do loop de realimentação. O vintage LT1010 tem muita taxa de variação, largura de banda e força, com menos de 10 ÿ de impedância de saída em malha aberta (que obviamente é reduzida pelo feedback; consulte §2.5.3C). Tanto ele quanto o OPA627 têm taxa de variação suficiente (75 V/ÿs e 55 V/ÿs, respectivamente) para oscilação de saída completa de ±15 V na largura de banda total de 100 kHz do instrumento. Um buffer de energia como este é bom para isolar cargas capacitivas do amplificador operacional (mais sobre isso no Capítulo *4x;* veja também §§4.6.1B e 4.6.2); além disso, *leva* o calor ao dirigir uma carga pesada, o que mantém o IC2 frio, uma consideração importante com amplificadores operacionais de precisão (baixo VOS) . É preciso muito drive em comparação com um amplificador operacional - até 0,5 *miliamperes* - mas isso não é problema quando você o dirige com um amplificador operacional.

O circuito offset consiste em um IC de referência de tensão de 3 terminais LT1027 de precisão. Aprenderemos mais sobre isso no Capítulo 9; eles geram uma saída de tensão altamente estável quando alimentados por um trilho CC não crítico que é pelo menos 2 volts maior que a tensão de saída especificada. Esta peça em particular vem em vários graus, o melhor dos quais (LT1027A) tem um erro máximo de 1 mV e é garantido um desvio inferior a 2 ppm/ÿC; para esta aplicação, economizaríamos algum dinheiro escolhendo o grau "D" barato (5,0 V±2,5 mV; 5 ppm/ÿC). O OP177 é um amplificador operacional de precisão altamente estável (VOS < 10 V, *TCVOS* < 0,1 V/ÿC em seu melhor grau) que não requer compensação de tensão. C6 ignora o ruído na tensão de referência e C7 e C8 reduzem o ruído do amplificador limitando a largura de banda dos amplificadores. Para um aplicativo dc como esse, você não precisa e não deseja muita largura de banda. Falaremos em detalhes sobre esse tipo de projeto de precisão no Capítulo 5.

Alguns pontos adicionais.

- Em um circuito como este, a rede de proteção de entrada pode limitar a largura de banda máxima, porque R2 forma um filtro passa-baixo em combinação com a capacitância de entrada combinada de IC1, capacitância de diodo e capacitância de fiação associada. Nesse caso, a capacitância total é de aproximadamente 12 pF, o que coloca o ponto de 3 dB em 300 kHz, bem acima do limite de alta frequência de 100 kHz do instrumento. Para usar um circuito de proteção semelhante em um amplificador de banda larga, você pode reduzir o valor de R2, colocar um pequeno capacitor (47 pF, digamos) nele ou ambos. Você também pode usar diodos de fixação com capacitância mais baixa, por exemplo, um 1N3595 ou um PAD5 (consulte o Capítulo 1x).
- Um amplificador de laboratório de uso geral realmente útil deve ter entradas *diferenciais* verdadeiras. Isso é feito melhor com um amplificador de instrumentação, em vez de um amplificador operacional; ver §5.15. Aqui, comprometemo-nos com uma configuração de "pseudo diferencial", na qual o terminal comum de entrada (que é o caminho de retorno para feedback), flutuando do circuito terra com um resistor de 100 ÿ, pode acomodar uma pequena quantidade de sinal do fonte de entrada. Um arranjo melhor, embora ainda não simetricamente diferencial, é mostrado na Figura 4.88, onde um amplificador de diferença (IC7) usa a entrada flutuante comum como referência. Observe o uso de um conector de painel BNC isolado no chassi.

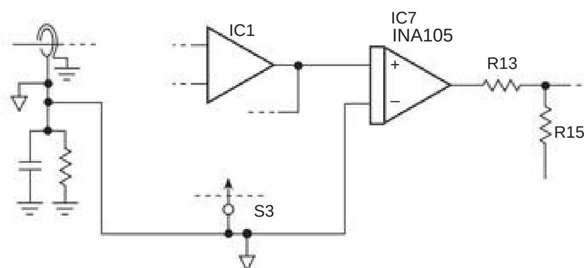


Figura 4.88. O amplificador de diferença cancela o erro do sinal na entrada comum.

- Em muitas situações, é preferível introduzir o off set CC na entrada em vez de na saída. Em seguida, você pode alterar o ganho, sem ajustar o deslocamento, para aumentar o zoom em uma parte do sinal de entrada. Isso requer uma faixa muito maior de tensão de deslocamento e também outras alterações no circuito. Veremos um exemplo no Capítulo 5.
- Cuidado com os amplificadores operacionais que exibem inversão de fase quando suas entradas vão mais de 0,3 V abaixo de Vÿ; nesses casos, um grampo de entrada restritivo deve ser usado para evitar oscilações negativas abaixo desse limite. Este é um defeito comum de muitos amplificadores operacionais, que o excelente OPA627 não compartilha.
- A instrumentação contemporânea geralmente permite operação remota, com controle digital de Este circuito, no entanto, usa controles mecânicos para ganho, largura de banda e deslocamento. Você poderia substituir os interruptores mecânicos por interruptores analógicos e usar um DAC para gerar o deslocamento, para adaptar este instrumento ao controle digital.
- Os capacitores rolloff C3–C5 fecham o loop ao redor do par amplificador de saída (IC2+IC5) em altas frequências, o que é benéfico em termos de redução de ruído. Mas também promove instabilidade, devido aos deslocamentos de fase combinados dos dois amplificadores. Este arranjo ainda é bom, desde que a largura de banda do buffer IC5 seja muito maior do que a do amplificador IC2.

Machine Translated by Google

Mas esse não é o caso aqui: o amplificador operacional OPA627 tem uma largura de banda de ganho unitário de fT=16 MHz, na qual especifica uma margem de fase de 75ÿ. Mas o buffer LT1010 acrescenta cerca de 50ÿ de atraso de fase adicional, empurrando o amplificador para perto da instabilidade (consulte §4.9 para obter uma explicação sobre margem de fase e estabilidade). A solução aqui é usar um pequeno capacitor de realimentação ao redor do amplificador operacional (4,7 pF, C2), que fecha diretamente o caminho de realimentação de alta frequência. Isso diminui seu ganho para a unidade em cerca de 1 MHz, cuja frequência o buffer contribui com menos de 5ÿ de deslocamento de fase de atraso adicional.

Exercício 4.26. Verifique se o ganho é o anunciado. Como funciona o circuito de deslocamento variável? Em que frequência a oscilação de saída limitada pela taxa de variação cairia abaixo de ±15 V?

4.8.2 Rastreador de nó preso

Aqui está um bom exemplo de um circuito de amplificador operacional com realimentação *não linear* . Um problema complicado de solução de problemas é o chamado *nó preso,* no qual há um curto em algum lugar da placa de circuito. Pode ser um curto-circuito real na própria fiação ou pode ser que a saída de algum dispositivo (por exemplo, uma porta lógica digital, consulte o Capítulo 10) seja mantida em um estado fixo. É difícil de encontrar, porque em qualquer lugar que você olhe nessa linha, você mede zero volts para o terra.

Uma técnica que funciona, no entanto, é usar um voltímetro sensível para medir as quedas de tensão *ao longo* do traço preso. Um traço de sinal típico em uma placa de circuito impresso pode ter 0,010 de largura e 0,0013 de espessura (1 onça por pé quadrado), que tem uma resistência ao longo do traço de 53 mÿ/ pol. Portanto, se houver um dispositivo prendendo a linha ao terra em algum lugar e você injetar uma corrente de diagnóstico de 10 mA CC em outro lugar, haverá uma queda de tensão de 530 V ÿpor polegada na direção do nó preso.

Vamos projetar um rastreador de nó preso. Ele deve ser alimentado por bateria para que possa flutuar em qualquer lugar do circuito sob teste. Deve ser sensível o suficiente para indicar uma queda de até ±100 V emÿ deflexões maiores do medidor de centro zero, com para quedas maiores. Idealmente, ele deve ter uma escala não linear, de modo que, mesmo para quedas de tensão de dezenas de milivolts, o medidor não saia da escala. E com algum cuidado deve ser possível projetar um circuito que extraia tão pouca corrente da bateria que possamos omitir o botão liga/desliga: baterias de 9 V ou células tamanho AA têm quase toda a sua vida útil de vários anos em correntes contínuas de dreno de menos de 20 A (eles têm capacidades de ÿ cerca de 500 mAh e 2500 mAh, respectivamente).

Com uma fonte flutuante fornecida por baterias, o circuito mais simples é um amplificador inversor de alto ganho acionando um medidor de centro zero (Figura 4.89). Como a entrada e a saída são intrinsecamente bipolares, provavelmente é melhor usar um par de células AA, operando o amplificador operacional a partir de fontes reguladas de ± 1,5 volts. Os diodos Schottky back-to-back reduzem o ganho graciosamente em grandes oscilações de saída e evitam o pegging; A Figura 4.90 plota a deflexão resultante do medidor em relação a Vin.

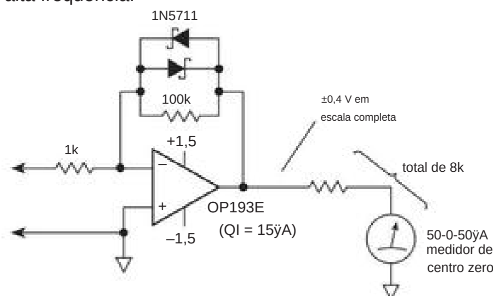


Figura 4.89. Rastreador de nó preso: amplificador CC flutuante de alto ganho com realimentação não linear.

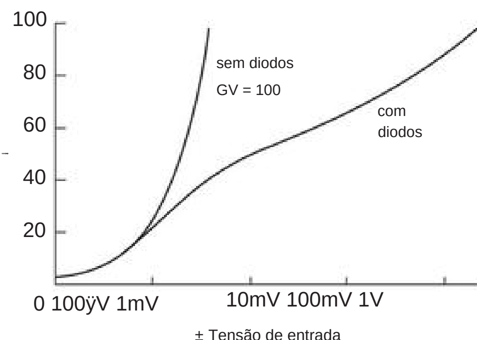


Figura 4.90. O rastreador de nó preso alcança grande faixa dinâmica por meio de feedback não linear.

A maior dificuldade neste projeto é alcançar um deslocamento de entrada de menos de 100 V enqÿuanto mantém a corrente de dreno baixa, tudo com tensões de alimentação de apenas ±1,5 volts. O OP193 é especificado para operar até 2 V de tensão de alimentação total, e seu estágio de saída oscila para o trilho negativo e dentro de um volt do trilho positivo. Em seu melhor grau (sufixo "E") sua tensão de offset é de 75 V, no máximo. ÿ
Sua corrente quiescente de apenas ÿ15 A garante que as baterias durem toda a vida útil, já que essa corrente forneceria operação contínua por mais de 150.000 horas a partir de uma bateria de 2.500 mAh.

Alguns pontos adicionais.

- Um problema sutil com este circuito é que uma bateria alcalina no final de sua vida útil é reduzida para cerca de 1,0 V

tensão terminal; portanto, você teria espaço livre insuficiente para fornecer tensão de saída positiva em escala total (+0,5 V), dado o estágio de saída totalmente npn. Uma solução é usar uma voltagem de bateria mais alta (por exemplo, células de lítio de 3 V ou várias pilhas AA alcalinas de 1,5 V). Mas a operação a partir de um único par de células AA é uma elegância que vale a pena preservar. Nesse caso, seria melhor usar um amplificador operacional com saída rail-to-rail real, por exemplo, o CMOS OPA336. Este último tem uma corrente quiescente de 20 ÿA, opera até 2,3 V de tensão de alimentação total e tem uma tensão de ajuste de 125 ÿV. Sua faixa de tensão de modo comum de entrada vai de 0,1 volt abaixo do trilho negativo ao trilho positivo; o último é bom aqui, porque escolhemos uma configuração de amplificador inversor com ambas as entradas em 0 V. • Restringimos artificialmente o design do circuito escolhendo um medidor analógico de centro zero e depois insistindo em usar apenas um par de pilhas alcalinas AA. Na vida real, você provavelmente ficaria mais feliz com uma saída *de áudio ,* com o tom aumentando com a queda de tensão de entrada; então você pode ficar de olho no circuito enquanto sonda ao redor. Para este trabalho, você provavelmente usaria um oscilador simples controlado por corrente, construído com um oscilador de relaxamento de amplificador operacional ou um CI temporizador do tipo 555 (Capítulo 7); para uma aplicação não crítica, você não precisa da linearidade e estabilidade do VCO que projetamos na Figura 4.83.

• Não se esqueça das técnicas de "divisor de trilhos" que discutimos em §4.6.1B; você sempre pode usar esses truques para criar um trilho dividido para mais e menos, por exemplo, a partir de uma única bateria de 9 V. Com trilhos de ±4,5 V, você tem uma gama muito maior de amplificadores operacionais para escolher. Fomos forçados a escolher entre uma seleção bastante pequena que funciona com alimentação total de 2 V, consome apenas dezenas de corrente de alimentação de microampères e tem baixa tensão de deslocamento de entrada de "precisão". Uma vez que você tenha um suprimento total de 5 V disponível (uma bateria de 9 V cai para 6 V no final de sua vida útil), existem literalmente centenas de amplificadores operacionais disponíveis, dezenas dos quais funcionam com dreno de corrente de microenergia e têm deslocamentos baixos de precisão. Veja, por exemplo, Tabela 5.5 na página 320.

4.8.3 Circuito de detecção de corrente de carga

A Figura 4.91 mostra uma fonte de alimentação robusta (10 kW!) alimentando uma carga de 100 A; o circuito ilustrado fornece uma saída de tensão proporcional à corrente de carga, para uso com um regulador de corrente, circuito de medição ou qualquer outro. A corrente de saída é detectada com um *shunt de corrente,* um resistor de potência de 4 terminais de manganina calibrado RS, de resistência 0,0005 ÿ, cuja "conexão Kelvin" de quatro condutores garante que a tensão detectada não dependa de uma ligação de baixa resistência para os terminais de detecção (como seria o caso se você tentasse fazer o mesmo com um resistor convencional de 2 terminais). A queda de tensão vai de 0 a 50 mV, com provável offset em modo comum causado pelos efeitos da resistência no condutor de terra (observe que a fonte de alimentação está conectada ao terra do chassi na saída). Por esse motivo, o amplificador operacional é conectado como um amplificador diferencial, com um ganho de 200. A compensação de tensão é ajustada externamente com R8, já que o venerável LM358A não possui circuito interno de compensação. Uma referência zener com alguns percentuais de estabilidade é adequada para o ajuste, porque o ajuste é em si uma pequena correção (espera-se!). A tensão de alimentação, V+, pode estar desregulada, já que a rejeição de alimentação do amplificador operacional é mais do que adequada, 85 dB (típico) neste caso.

Alguns pontos adicionais.

• O aterramento do chassi e o aterramento do circuito seriam conectados juntos, em algum lugar. Mas poderia facilmente haver um volt ou mais separando o terra do circuito do ponto de detecção ao longo do retorno negativo de alta corrente, por causa das correntes muito grandes que fluem. Por essa razão, conectamos o cabo de alimentação negativo do amplificador operacional à extremidade mais negativa da saída do shunt de corrente. Isso garante que a tensão de modo comum que aparece na entrada do amplificador operacional nunca fique abaixo de seu trilho negativo; é um amplificador operacional de "alimentação única", com operação em modo comum em seu trilho negativo. • Baixa tensão de offset é importante nesta aplicação; por exemplo, para obter 1% de precisão em uma medição de corrente feita em 10% da corrente de carga em escala total (ou seja, uma carga de 10 A, produzindo uma tensão de detecção de 5 mV), é necessária uma tensão de deslocamento ÿ máx. não superior a 50 ÿV. Escolhemos o vintage LM358A para nosso projeto inicial, porque custa apenas 20 centavos. Mas seu baixo deslocamento não ajustado (3 mV, máx.) requer ajuste manual externo; e sua falta de terminais de compensação externos nos obrigou a usar muitos componentes. A necessidade de corte manual pode não parecer importante se você estiver apenas construindo um desses para o seu laboratório; mas na produção é uma etapa extra, exigindo uma configuração e procedimento de teste, bem como inventário de peças adicionais, etc.
• Então, você pode escolher o LT1006, um amplificador operacional único que permite ajustar externamente com um único potenciômetro de 10k. No entanto, seu desempenho aprimorado (VOS=80 V,ÿmáx., não aparado) no grau mais barato – 40 vezes melhor que o LM358A – significa que você quase não precisa aparar. Levando essa ideia adiante, você pode escolher o LT1077A, um amplificador operacional de alimentação única com deslocamento ÿ máximo não compensado de 40 V; ele também pode ser aparado externamente.
• Para obter o máximo de precisão, você deve usar um amplificador operacional estabilizado por chopper ("zero-drift"), por exemplo, o LTC1050C. Possui tensão de deslocamento máxima de 5 V no ÿ grau mais barato (combinado com correntes de entrada de sub-nanoamp

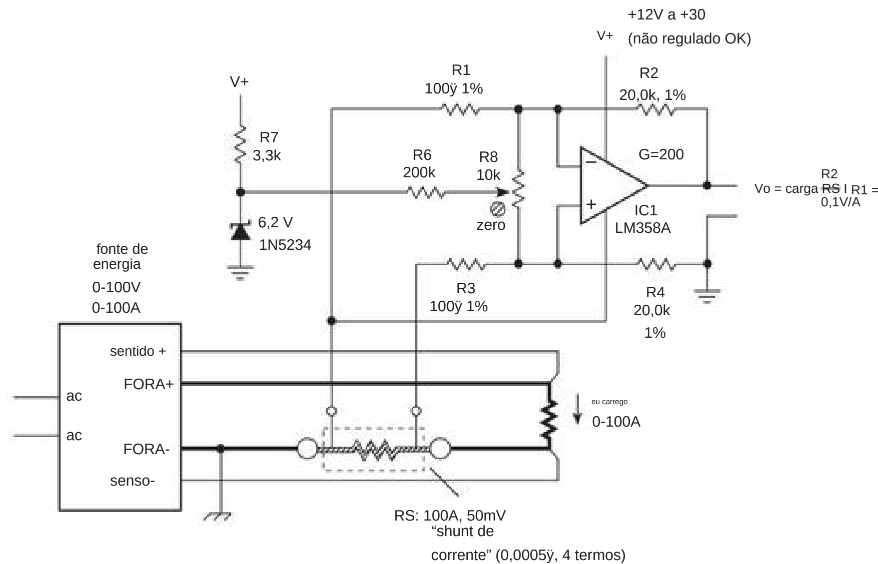


Figura 4.91. Amplificador de detecção de corrente de alta potência.

corrente de polarização, o que não importa aqui). Este amplificador operacional inclui capacitores no chip para seu chopper e opera a partir de uma única fonte (com faixa de modo comum de entrada para o trilho negativo), assim como o LM358. Sua tensão offset ÿ de 5 V corresponde a 1% de precisão a 1% do fundo de escala; é uma faixa dinâmica de 10.000:1, nada mal para um circuito simples. Consulte a Tabela 5.6 na página 335 para opções de amplificador operacional zero automático.

• Finalmente, uma alternativa de projeto interessante é fazer a detecção de corrente *no lado alto* . Ou seja, o shunt é conectado ao terminal de alimentação OUT+ . Isso tem a vantagem de manter todos os aterramentos do circuito (fonte de alimentação e carga) conectados juntos. Veremos como fazer isso no capítulo avançado *9x.*

4.8.4 Monitor de bronzeamento integrado

Nós, nerds, normalmente não vamos à praia. Mas quando o fazemos, gostamos de confiar em alguns eletrônicos para nos dizer quando virar. O que queremos monitorar, é claro, é a dose *integrada* de luz solar produtora de bronzeado (rica em UV).

Existem muitas maneiras de fazer isso; na verdade, revisitaremos essa tarefa quando nos voltarmos para a eletrônica de sinal misto (analógico + digital) (no Capítulo 13) e novamente quando estivermos procurando coisas interessantes para fazer com microcontroladores (no Capítulo 15). Aqui queremos mostrar como um op-amp no tegrator pode ser usado para construir um circuito monitor de bronzeamento.

A ideia é integrar (acumular) a fotocorrente de um sensor cuja saída seja proporcional à intensidade da luz solar bronzeadora. Vamos imaginar que temos um fotodiodo, filtrado opticamente para passar apenas os raios UV de interesse, com uma corrente de saída de curto-circuito de ÿ1 nA (nominal) em pleno sol; assumiremos que a fotocorrente pode atingir um décimo desse valor, ou mais, sob o sol nublado.

A. Primeira tentativa: integração direta O circuito da Figura 4.92 é uma primeira tentativa razoável. Ele usa um amplificador operacional de micropotência CMOS de alimentação ÿ única (10 A por amplificador), alimentado por uma bateria de 9 V, para integrar a fotocorrente (negativa). Um nanoamp produz uma rampa positiva de 0,5 mV/s na saída do amplificador operacional, que conectamos a um comparador de disparo Schmitt com limite positivo configurável. A referência de tensão de dois terminais (tipo zener) do micropower LM385-2.5Z nos dá uma faixa de 0 a 1,5 horas (ÿ5000s) equivalente à luz solar total (vamos chamá-lo de "FSE"), ponto em que a saída do comparador vai para terra, acionando o alarme piezo. O último consome 15 mA, uma carga substancial de bateria, mas é *muito* alto, então mesmo um nerd cochilando desligará a coisa rapidamente (através do botão "reset"). Este circuito consome cerca de 50 A durante a integração, ÿ para cerca de 8.000 horas de operação (uma bateria de 9 V tem capacidade de 500 mAh com baixo consumo). 8.000 horas é cerca de um ano, então é muito bronzeamento; a bateria morrerá de velhice primeiro.

Exercício 4.27. O LM385 requer um mínimo de 10 A de ÿ corrente para operação adequada. O que o circuito fornece, no final da vida útil da bateria (6 V)?

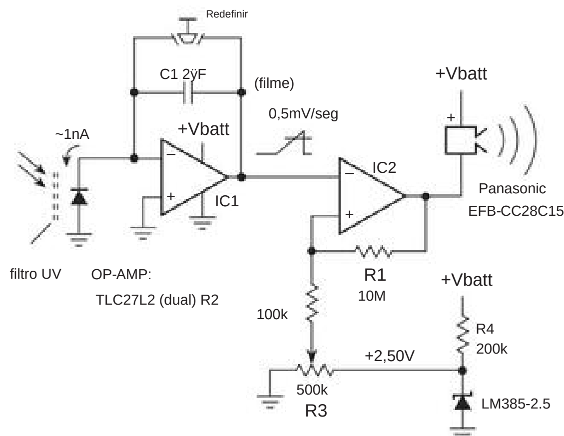


Figura 4.92. Monitor de bronzeamento integrado, primeira tentativa.

Exercício 4.28. Quanta histerese o Schmitt trigger IC2 fornece? Como isso afetará a operação?

B. Segunda tentativa: conversão em duas etapas Um problema com o último circuito é que a corrente não filtrada do fotodiodo é de pelo menos alguns microamperes, sob luz solar direta. Tentar reduzir a luz por um fator de mil é arriscado, porque você tem vazamentos de luz, etc., que causam grandes erros.

O circuito na Figura 4.93 corrige isso, primeiro convertendo a fotocorrente (não importa sua magnitude) em uma tensão e, em seguida, integrando-a em um segundo estágio onde podemos escolher um resistor de entrada para gerar uma corrente na faixa de nanoamp. Agora, no entanto, temos que usar suprimentos divididos. Isso porque qualquer que seja a polaridade que escolhermos para a saída do amplificador de transresistência (corrente para tensão) (conectando o fotodiodo apropriadamente), a saída do integrador subsequente terá a polaridade oposta; integradores invertem. Em nosso circuito usamos uma referência de 2,5 V para dividir a bateria de 9 V; a maior parte da corrente no circuito está entre os trilhos positivo e negativo, de modo que a referência precisa de menos de A de polarização.41 Neste circuito, de ÿ modo que mostramos a chave de integração seja redefinido até 20, conectada alimentação seja ligada.

A saída do integrador aciona um comparador Schmitt, como antes, acionando o potente gritador piezo. Observe que sua grande corrente de acionamento é rail-to-rail; ele não passa por nossa referência de solo. A corrente de operação do circuito

aluguel é cerca de ÿ A, bom para quase um ano de uso contínuo 60 operação.

Uma observação final: o LMC6044 é um amplificador operacional quádruplo com saída rail-to-rail (ÿ10 referência de terra rígida). Amplificador Portanto, se uma necessária, a seção do amplificador operacional não utilizada poderia ser configurada como na Figura 4.73, com o truque de estabilização da Figura 4.76A.

C. O integrador de bronzeamento "Mark-III"

É sempre divertido ver como elegantemente você pode diminuir a complexidade do circuito. Nesse caso, há um bom truque que você pode usar para eliminar a integração em dois estágios, ou seja, um "divisor de corrente". A Figura 4.94 mostra como isso é feito: a fotocorrente aciona um par de resistores, unindo a mesma tensão (porque a entrada inversora é um terra virtual); a corrente se divide proporcionalmente à condutância relativa, neste caso na proporção de 1000:1 se o potenciômetro R2 for girado para a resistência mínima. Isso significa que uma fotocorrente de 1 A injetaria uma corrente de 1 nAÿno integrador. Se preferir, você pode pensar no circuito como uma carga resistiva *(R1* em série com R2, que facilmente domina R3), que desenvolve uma tensão Vin = Idiode(R1 + R2); essa tensão é a entrada para o integrador, via R3. Como a tensão desenvolvida pela fotocorrente pode chegar a quase um volt, é necessário retropolarizar o diodo detector, neste caso com um diodo D2 polarizado diretamente, que gera um trilho de ÿ0,4 V.

A rampa de saída positiva do integrador aciona o comparador Schmitt A2, com tensão de comparação fixa fornecida pela referência D1. Sua saída aciona o já usual alarme piezo.

Agora, para a elegância: acontece que você pode obter, empacotado em um único CI pequeno, uma combinação de amplificador operacional, comparador e referência de tensão. O MAX951 mostrado é apenas uma das várias ofertas e preenche a conta aqui. É por causa da conexão interna da entrada inversora de D1 e IC2 que fomos forçados a colocar o controle de bronzeamento na entrada, em vez de no comparador.

Alguns comentários adicionais.

- A precisão do divisor de corrente depende da precisão do solo virtual. O amplificador operacional mostrado tem uma tensão de deslocamento máxima de 3 mV, portanto, com 10% de luz solar total e com o controle definido para resistência mínima (ciclo máximo de cozimento), o erro é de cerca de 30% (sinal de 10 mV, deslocamento de 3 mV). Em outras palavras, a elegância do circuito envolve um compromisso no desempenho, em relação à abordagem mais direta (alguns podem dizer pesada) na Figura 4.93, onde o erro é de cerca de 3% sob a luz solar mínima. • O diodo D2 será polarizado diretamente pelo quiescente do IC

41 Alternativamente, poderíamos ter usado um "divisor de trilho" TLE2425 de 3 terminais (§4.6.1B), que, no entanto, consumiria 170 A. Embora isso dominasse ÿ o orçamento de energia, a coisa ainda funcionaria por 2.000 horas (cerca de 3 meses) de operação contínua.

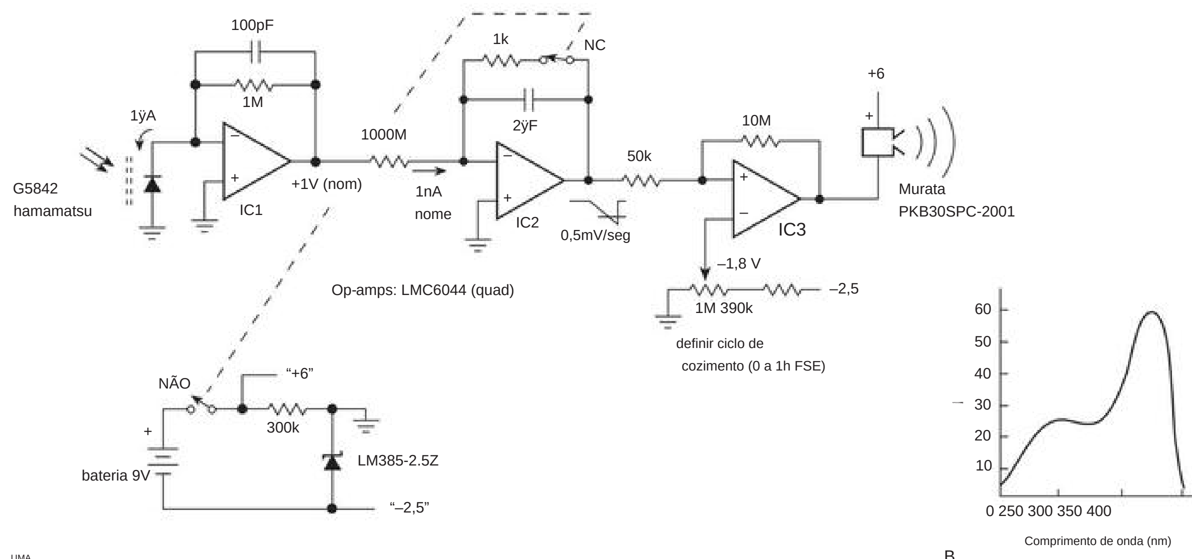


Figura 4.93. Monitor de bronzeamento integrado, segunda tentativa; FSE é "equivalente a plena luz do sol". A. Esquema. B. Resposta espectral do fotodiodo Hama matsu G5842, cuja fotocorrente de curto-circuito na luz solar é de cerca de 1 ÿ UMA.

corrente de 7 Aÿdesde que a fotocorrente seja inferior a este valor. Assim, o resistor de polarização R6 pode ser omitido, a menos que uma fotocorrente máxima de mais de cerca de 5 A seja antecipaÿda.

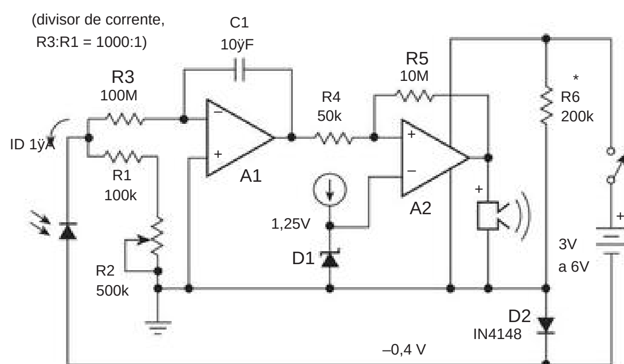


Figura 4.94. Monitor de bronzeamento integrado, terceira tentativa. A1, A2 e D1 vivem dentro de um chip multifuncional MAX951. A2 é um comparador.

• O MAX951 tem uma faixa de tensão operacional especificada de 2,7 V a 7 V. A operação em baixa tensão é um bônus agradável; mas para este CI em particular também significa que não podemos operar diretamente com uma bateria de 9 V, a menos que usemos um regulador de tensão (consulte o Capítulo 9) para reduzir a tensão de alimentação para 7 V ou menos. Isso ilustra uma lição importante, ou seja, que você deve ficar atento a tensões de alimentação máximas baixas ao usar CIs destinados à operação em baixa tensão. Também ilustra a tendência do IC fabricantes para tensões de alimentação mais baixas para seus novos projetos de produtos.

4.9 Compensação de frequência do amplificador de feedback

Conhecemos o feedback pela primeira vez no Capítulo 2 (§2.5), onde vimos seus efeitos benéficos na estabilidade e previsibilidade do ganho do amplificador e na redução das não linearidades inerentes de um amplificador. Vimos, também, como isso afeta as impedâncias de entrada e saída dos amplificadores: por exemplo, ao detectar a tensão de saída e usar realimentação em série na entrada, a impedância de entrada é aumentada e a impedância de saída é reduzida, ambos por um fator do loop ganho. Mas nem tudo são flores: a combinação de ganho com feedback cria a possibilidade de oscilação. Aqui, no contexto dos amplificadores operacionais, continuamos o tratamento da realimentação negativa, examinando o importante assunto da *compensação de frequência* – o negócio de prevenir a oscilação em amplificadores com realimentação negativa. O material em §2.5 é um pano de fundo necessário para as seções a seguir.

Vamos começar examinando um gráfico de ganho de tensão em malha aberta versus frequência para vários amplificadores operacionais: normalmente você verá algo como as curvas da Figura 4.95. De uma olhada superficial em tal gráfico de *Bode* (um gráfico log-log de ganho de malha aberta e fase versus frequência), você pode concluir que o OP27 é um amplificador operacional inferior, já que seu ganho de malha aberta cai tão rapidamente com o aumento frequência. Na verdade, esse rolloff é embutido no amplificador operacional intencionalmente e é

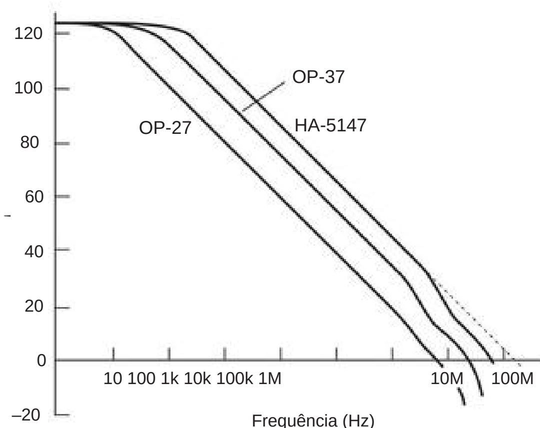


Figura 4.95. Ganho de malha aberta versus frequência para três amplificadores operacionais semelhantes.

reconhecível como a mesma característica de curva de -6 dB/oitava de um filtro passa -baixa *RC* . O OP37, em comparação, é idêntico ao OP27 exceto que é *descompensado* (e similarmente para o descontinuado42 HA-5147). Os amplificadores operacionais são mais frequentemente compensados internamente, com variedades descompensadas e não compensadas às vezes disponíveis. Vamos dar uma olhada nesse negócio de compensação de frequência.

4.9.1 Ganho e mudança de fase versus frequência

Um amplificador operacional (ou, em geral, qualquer amplificador de vários estágios) começará a rolar em alguma frequência por causa dos filtros passa-baixa formados por sinais de impedância de fonte finita que acionam cargas capacitivas dentro dos estágios do amplificador. Por exemplo, é comum ter um estágio de entrada consistindo de um amplificador diferencial, talvez com carga de espelho de corrente (veja o esquema LF411 na Figura 4.43), acionando um segundo estágio emissor comum. Por enquanto, imagine que o capacitor rotulado como CC naquele circuito seja removido. A alta impedância de saída do estágio de entrada Q2, em combinação com a capacitância combinada vista em sua saída, forma um filtro passa-baixa cujo ponto de 3 dB pode cair em algum lugar na faixa de 100 Hz a 10 kHz.

A reatância decrescente dessa capacitância com o aumento da frequência dá origem ao rolloff característico de 6 dB/oitava: em frequências suficientemente altas (que podem estar abaixo de 1 kHz), a carga capacitiva domina a impedância de carga do coletor, resultando em um ganho de tensão GV = *gmXC* , ou seja, o ganho cai para 1/ *f* .

Ele também produz uma mudança de fase atrasada de 90° na saída em relação ao sinal de entrada. (Você pode pensar nisso como a cauda de um *RC* baixo característica de filtro de passagem, onde *R* representa a impedância de fonte equivalente que aciona a carga capacitiva. No entanto, não é necessário ter nenhum resistor real no circuito.)

Em um amplificador de múltiplos estágios, haverá rolloffs adicionais em frequências mais altas, causadas pelas características do filtro passa-baixa nos outros estágios do amplificador, e o ganho geral em malha aberta será semelhante ao mostrado na Figura 4.96.

O ganho de malha aberta começa a cair em 6 dB/oitava em alguma baixa frequência f1, devido ao carregamento capacitivo da saída do primeiro estágio. Ele continua caindo com essa inclinação até que um *RC* interno de outro estágio levante sua cabeça feia na frequência f2, além da qual o rolloff vai para 12 dB/oitava, e assim por diante.

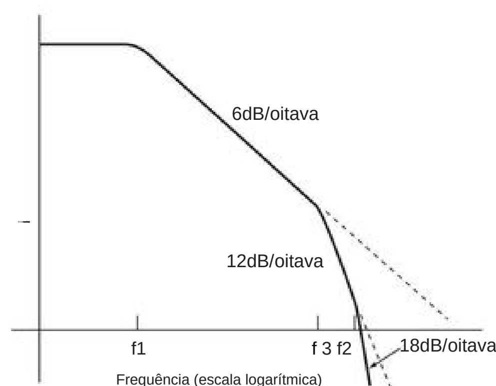


Figura 4.96. Amplificador multiestágio: ganho versus frequência.

Qual é o significado de tudo isso? Lembre-se de que um filtro passa-baixa *RC* tem um deslocamento de fase que se parece com o mostrado na Figura 4.97. Cada filtro passa-baixa dentro do amplificador tem uma característica de deslocamento de fase semelhante, de modo que a fase geral

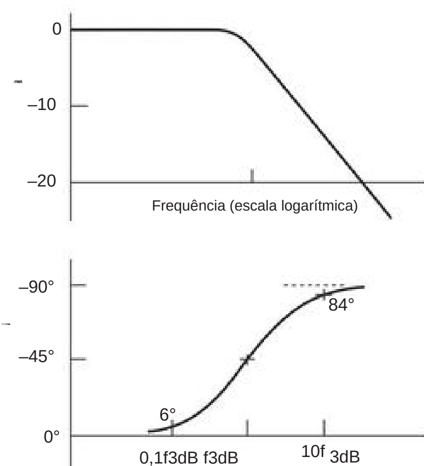


Figura 4.97. Bode plot: ganho e fase versus frequência.

42 Consulte “Aqui ontem, desaparecido hoje” na página 273.

deslocamento do amplificador hipotético será como mostrado na Figura 4.98.

Agora, aqui está o problema: se você conectar este amplificador como um seguidor de amplificador operacional, por exemplo, ele oscilará tarde. Isso ocorre porque a mudança de fase em malha aberta atinge 180ÿ em alguma frequência na qual o ganho ainda é maior que 1 (o feedback negativo torna-se feedback positivo nessa frequência). Isso é tudo que você precisa para gerar uma oscilação, pois qualquer sinal nessa frequência se acumula a cada vez no loop de feedback, assim como um sistema de alto-falantes com o ganho aumentado demais.

A. Critério de estabilidade

O critério de estabilidade contra oscilação para um amplificador de realimentação é que seu deslocamento de fase em malha aberta deve ser menor que 180ÿ na frequência na qual o ganho de malha é unitário. Este critério é mais difícil de satisfazer quando o amplificador é conectado como um seguidor, uma vez que o ganho do loop é igual ao ganho do loop aberto, o mais alto que pode ser. Os amplificadores operacionais compensados internamente são projetados para satisfazer o critério de estabilidade mesmo quando conectados como seguidores; portanto, eles são estáveis quando conectados para qualquer ganho de malha fechada com uma rede de realimentação resistiva simples. Como sugerimos anteriormente, isso é feito pela modificação deliberada de um rolloff interno existente para colocar o ponto de 3 dB em alguma frequência baixa, normalmente de 1 Hz a 20 Hz. Vamos ver como isso funciona.

4.9.2 Métodos de compensação do amplificador

A. Compensação de pólo dominante O objetivo é manter a mudança de fase de malha aberta muito menor que 180ÿ em todas as frequências para as quais o ganho de malha é maior que 1. Supondo que o amplificador operacional possa ser usado como um seguidor, as palavras "ganho de malha" na última frase pode ser substituído por "ganho de malha aberta". A maneira mais fácil de fazer isso é *adicionar* capacitância adicional suficiente no

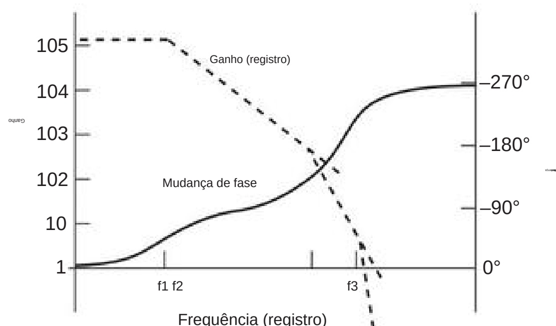


Figura 4.98. Ganho e fase em um amplificador multiestágio.

ponto no circuito que produz a redução inicial de 6 dB/oitava, de modo que o ganho de malha aberta cai para a unidade em torno da frequência de 3 dB do próximo filtro *RC* "natural". Dessa forma, a mudança de fase em malha aberta é mantida em uma constante de 90ÿ na maior parte da banda passante, aumentando para 180ÿ somente quando o ganho se aproxima da unidade. A Figura 4.99 mostra a ideia. Sem compensação, o ganho de malha aberta cai para 1, primeiro em 6 dB/oitava, depois em 12 dB/oitava, etc., resultando em mudanças de fase de 180ÿ ou mais antes que o ganho atinja 1. Ao mover o primeiro rolloff para baixo na frequência (formando um "pólo dominante"), o rolloff é controlado de forma que a mudança de fase comece a subir acima de 90ÿ somente quando o ganho de malha aberta se aproxima da unidade. Assim, ao sacrificar o ganho de malha aberta, você compra estabilidade. Como o rolloff natural da frequência mais baixa geralmente é causado pelo efeito Miller no estágio acionado pelo amplificador diferencial de entrada, o método usual de compensação do pólo dominante consiste simplesmente em adicionar capacitância de realimentação adicional ao redor do transistor do segundo estágio, de modo que a combinação o ganho de tensão dos dois estágios é *gmXC* ou gm/2 fCcomp sobre a região compensada da resposta de frequência ÿ do amplificador (Figura 4.100). Na prática, os transistores conectados em Darlington provavelmente seriam usados para ambos os estágios.

Ao colocar o cruzamento de ganho unitário do pólo dominante no ponto de 3 dB do próximo rolloff, você obtém uma margem de fase de cerca de 45ÿ no pior caso (seguidor), uma vez que um único filtro *RC* tem uma mudança de fase atrasada de 45ÿ em sua frequência de 3 dB, ou seja, a margem de fase é igual a 180ÿ ÿ (90ÿ + 45ÿ), sendo os 90ÿ provenientes do polo dominante.

Uma vantagem adicional de usar um bastão de efeito Miller para

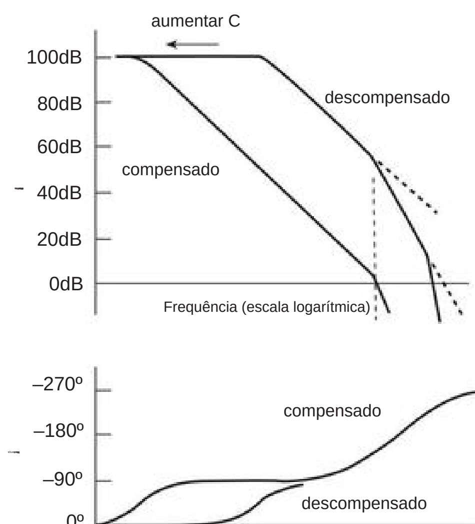


Figura 4.99. Compensação de "pólo dominante".

Machine Translated by Google

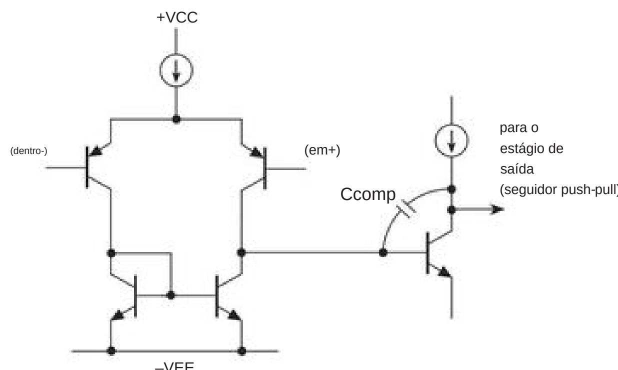


Figura 4.100. Estágio de entrada de amplificador operacional clássico com compensação.

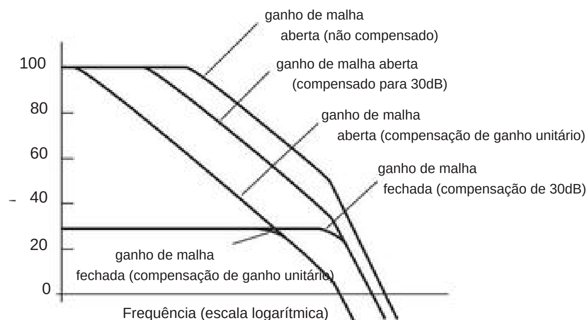


Figura 4.102. A estabilidade é mais fácil de alcançar com maior ganho de malha fechada.

compensação é que a compensação é inerentemente insensível a mudanças no ganho de tensão com temperatura ou propagação de ganho de fabricação: ganho maior faz com que a capacitância de realimentação pareça maior, movendo o pólo para baixo em frequência exatamente da maneira certa para manter o ganho unitário frequência de cruzamento inalterada. Na verdade, a frequência real de 3 dB do polo de compensação é bastante irrelevante; o que importa é o ponto em que ele intercepta o eixo de ganho unitário (Figura 4.101).

B. Op-amps descompensados e não compensados Se um op-amp for usado em um circuito com ganho de malha fechada maior que a unidade (ou seja, não um seguidor), não é necessário colocar o pólo (o termo para "frequência de canto " de um filtro passa-baixo, consulte o Capítulo *1x)* em uma frequência tão baixa quanto o critério de estabilidade é relaxado por causa do ganho de loop mais baixo. A Figura 4.102 mostra a situação graficamente.

Para um ganho de malha fechada de 30 dB, o ganho de malha (que é a razão entre o ganho de malha aberta e o ganho de malha fechada) é menor do que para um seguidor, portanto, o pólo dominante pode ser colocado em uma frequência mais alta. Ele é escolhido de forma que o ganho de malha aberta atinja 30 dB (ao invés de 0 dB) no fre

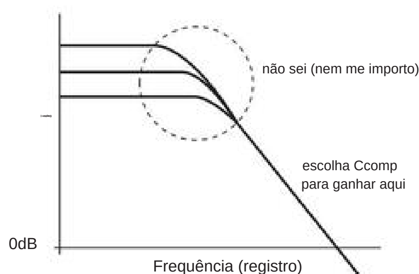


Figura 4.101. O capacitor de compensação é escolhido para definir a frequência de ganho unitário de malha aberta; o ganho de baixa frequência não é importante.

frequência do próximo pólo natural do amplificador operacional. Como mostra o gráfico, isso significa que o ganho de malha aberta é maior na maior parte da faixa de frequência e o amplificador resultante funcionará em frequências mais altas. Alguns amplificadores operacionais estão disponíveis em versões "descompensadas" (uma palavra melhor poderia ser "subcompensadas"), que são internamente compensadas para ganhos de malha fechada maiores que algum mínimo (AV>5 no caso do OP37); eles especificam um ganho mínimo de malha fechada e não requerem capacitor externo.
Outro exemplo é o THS4021/2, uma versão descompensada (GVÿ10) do THS4011/2 estável de ganho unitário. Estes são amplificadores operacionais realmente rápidos, com um fT de 300 MHz (para o "lento" THS4011/2) e maior que 1 GHz para o THS4021/2. Para as versões descompensadas, o fabricante (TI) fornece valores de capacitância externa recomendados (às vezes em combinação com um resistor; veja abaixo) para uma seleção de ganhos mínimos de malha fechada.43 Vale a pena usar amplificadores operacionais descompensados ou não compensados se você precisa da largura de banda adicional e seu circuito opera com alto ganho; consulte o Capítulo *4x* para uma discussão mais aprofundada.

Alguma intuição: a princípio pode parecer paradoxal que um circuito de amplificador operacional configurado para um circuito de baixo ganho seja mais propenso a oscilação do que um configurado para alto ganho. Mas faz sentido: a melhor estabilidade de um amplificador operacional conectado para um ganho de malha fechada de GCL = 100 (40 dB), digamos, ocorre porque a rede de feedback (divisor resistivo) atenua os sinais por um fator de 100. Portanto, é mais difícil sustentar uma oscilação ao redor do loop, em comparação com um seguidor (no qual o feedback tem ganho unitário).

43 Em alguns casos, componentes de compensação externa são necessários para qualquer ganho de malha fechada plausível; estes são propriamente chamados de "descompensados" op-amps.

C. Compensação de pólo zero É possível fazer um pouco melhor do que com a compensação de pólo dominante usando uma rede de compensação que começa a cair (6 dB/oitava, um "pólo") em alguma frequência baixa e, em seguida, nivela novamente (tem um "zero") na frequência do segundo pólo natural do amplificador operacional. Desta forma, o segundo polo do amplificador é "cancelado", dando uma redução suave de 6 dB/oitava até o terceiro polo do amplificador.
A Figura 4.103 mostra um gráfico de resposta em frequência. Na prática, o zero é escolhido para anular o segundo polo do amplificador; então a posição do primeiro pólo é ajustada de modo que a resposta global atinja o ganho unitário na frequência do terceiro pólo do amplificador. Um bom conjunto de folhas de dados para um amplificador operacional com compensação externa geralmente fornecerá valores de componente sugeridos (um *R* e um C) para compensação de pólo zero, bem como os valores usuais de capacitores para compensação de pólo dominante. Mover o polo dominante para baixo na frequência na verdade faz com que o segundo polo do amplificador se mova um pouco para cima na frequência, um efeito conhecido como "divisão de polo". A frequência do zero de cancelamento é então escolhida de acordo.

4.9.3 Resposta de frequência da rede de feedback

Em toda a discussão até agora, assumimos que a rede de realimentação tem uma resposta de frequência plana; este é geralmente o caso, com o divisor de tensão resistiva padrão como uma rede de realimentação. No entanto, há ocasiões em que algum tipo de amplificador de equalização é desejado (integradores e diferenciadores estão nesta categoria) ou quando a resposta de frequência da rede de realimentação é modificada para melhorar a estabilidade do amplificador. Nesses casos, é importante lembrar que o que importa é o gráfico de Bode de ganho de *loop* versus frequência, e não a curva de ganho de loop aberto.
Para encurtar a história, a curva de circuito fechado ideal ganho versus frequência deve cruzar a curva de ganho de loop aberto, com uma *diferença* nas inclinações de 6 dB/oitava. Como exemplo, é prática comum colocar um pequeno capacitor (alguns picofarads) através do resistor de realimentação no amplificador inversor ou não inversor usual. A Figura 4.104 mostra o circuito e o diagrama de Bode.

O amplificador estaria perto da instabilidade com uma rede de realimentação plana, pois o ganho do loop cairia em quase 12 dB/oitava onde as curvas se encontram.
O capacitor faz com que o ganho do loop caia em 6 dB/oitava próximo ao cruzamento, garantindo a estabilidade. Esse tipo de consideração é muito importante ao projetar diferenciadores porque um diferenciador ideal tem um ganho de malha fechada que *aumenta* a 6 dB/oitava; é necessário atenuar a ação do diferenciador em alguma frequência moderada, de preferência passando para uma atenuação de 6 dB/oitava em frequências altas. Os integradores, em comparação, são muito amigáveis a esse respeito, devido à sua redução de loop fechado de 6 dB/oitava. É preciso muito talento para fazer um integrador de baixa frequência oscilar!

Exercício 4.29. Mostre em um gráfico de Bode que o valor do resistor estabilizador R1 na Figura 4.69 interrompe a ação do diferenciador (isto é, nivela a curva de ganho de malha fechada) antes do ponto de cruzamento dos ganhos de malha aberta e malha fechada. Explique nosso valor de resistência mínima recomendada R1.

A. O que fazer

Em resumo, você geralmente se depara com a escolha de amplificadores operacionais compensados ou não compensados internamente. É mais simples usar a variedade compensada, e essa é a escolha usual. Você pode começar considerando o

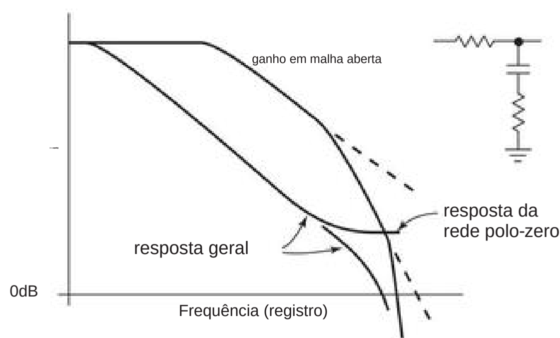


Figura 4.103. Cancelando o segundo pólo do amplificador em compensação "pólo-zero".

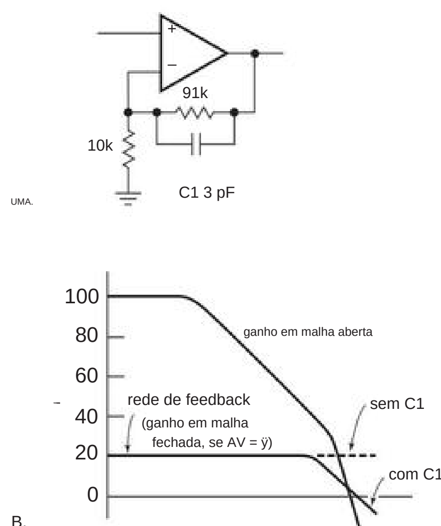


Figura 4.104. Um pequeno capacitor de feedback aumenta a estabilidade.

Figura 4.105. Amplificador de saída para fonte de alimentação de 60 Hz. Os transistores de saída push-pull Q1 e Q2 são Darlingtons de potência em um pacote de potência de plástico.

LF411 convencional (JFET, alimentação de ±5 V a ±15 V) ou uma versão melhorada (o LT1057), ou a entrada e saída rail-to-rail LMC6482 (alimentação CMOS, +3 V a +15 V), ou talvez o preciso e silencioso LT1012, todos compensados internamente para ganho unitário. Se você precisar de maior largura de banda ou taxa de variação, procure um amplificador operacional compensado mais rápido (consulte a Tabela 4.2a em 271 para algumas opções). Se nada for adequado e o ganho de malha fechada for maior que a unidade (como geralmente é), você pode usar um amplificador operacional descompensado (ou não compensado), talvez com um capacitor externo conforme especificado pelo fabricante para o ganho que você está usando. Usando nosso exemplo anterior, o popular amplificador operacional de precisão de baixo ruído OP27 (compensação de ganho unitário) tem fT = 8 MHz e uma taxa de ÿ variação de 2,8 V/s; está disponível como OP37 descompensado (ganho mínimo de 5), com fT = 63 MHz ÿ s.44 e uma taxa de variação de 17 V/

B. Exemplo: fonte de alimentação de precisão de 60 Hz Op-amps não compensados, ou op-amps com um pino de compensação, também oferecem a flexibilidade de supercompensação, uma solução simples para o problema de mudanças de fase adicionais introduzidas por outras coisas no loop de feedback. A Figura 4.105 mostra um exemplo. Este é um amplificador de baixa frequência projetado para gerar uma saída de energia CA precisa e estável de 115 volts a partir de uma entrada de onda senoidal de baixo nível de frequência variável de 60 Hz.45 O amplificador operacional é conectado como um amplificador não inversor acoplado CA, com sua saída acionando um estágio de saída seguidor de emissor push-pull Darlington *Q1Q2,* que por sua vez aciona o enrolamento de baixa tensão de um pequeno transformador de potência, T1, cujos enrolamentos estão na proporção de 6,3 V:115 V. Dessa forma, geramos 115 V saída CA sem amplificadores operacionais ou transistores de alta tensão. É claro que pagamos o preço proporcionalmente à corrente de acionamento mais alta; aqui os transistores precisam fornecer cerca de 3 A (rms) para produzir uma sa

Para gerar baixa distorção e uma tensão de saída estável sob variações de carga, queremos obter feedback da onda senoidal de saída real de 115 V. É altamente desejável, entretanto, manter a saída totalmente isolada do aterramento do circuito. Portanto, usamos um segundo transformador T2 para produzir uma réplica de baixa tensão da forma de onda de saída de 115 V, que é

[44] E, antes de ser descontinuado, o semelhante "mais descompensado" HA-5147 (ganho mínimo de 10), com fT = 120 MHz e taxa de variação de 35 V/ ÿ s.

[45] O projeto original foi usado para conduzir um telescópio astronômico na taxa sideral (rastreamento de estrelas). Curiosidades interessantes: ao contrário da crença popular, a Terra gira em torno de seu eixo uma vez a cada 23 horas, 56 minutos e 4,1 segundos; descubra porque não são 24:00:00!

então alimentado de volta via R3 para fornecer o ganho de tensão necessário de 6. Por causa das mudanças de fase inaceitavelmente grandes dos transformadores em altas frequências, o circuito é configurado para que em frequências mais altas – acima de ÿ3 kHz – o feedback venha da entrada de baixa tensão para o transformador (via C1). Mesmo que o feedback de alta frequência seja obtido diretamente da saída push-pull, ainda há mudanças de fase associadas à carga reativa (o primário do transformador, um motor conectado à saída, etc.) vistos pelos transistores.

Para garantir uma boa estabilidade, mesmo com cargas reativas na saída de 115 volts, o amplificador operacional pode ser supercompensado com um pequeno capacitor, conforme mostrado. (O incomum LT1097 gentilmente fornece um pino para supercompensação.) A perda de largura de banda resultante não é importante em uma aplicação de baixa frequência como esta.

A função de R4 e C2 pode ser intrigante: este bit de circuito fornece um caminho de realimentação CC para o amplificador operacional, calculando a média (filtragem passa-baixa) do nível CC aplicado a T1, que então realimenta através do enrolamento flutuante de T2. Escolhemos C2 grande o suficiente para que sua impedância em 60 Hz seja pequena em comparação com o resistor de realimentação de 50k; então escolhemos R4 para uma suavização adequada e consistente com a estabilidade.

O desempenho deste amplificador é bastante satisfatório. A Figura 4.106 mostra a regulação de saída, ou seja, a variação da amplitude de saída rms versus carga. Para comparação, mostramos a curva comparável quando o feedback é obtido exclusivamente do enrolamento de acionamento de T1, a partir do qual você pode ver que o caminho de feedback desejado melhora a regulação da amplitude de saída, sob variações de carga de zero a potência total, de medíocres 10% a apenas 0,2%. A onda senoidal de saída é muito limpa, com distorção medida bem abaixo de 1% em todas as condições de carga, incluindo o acionamento de um motor síncrono (que representa uma carga reativa).

Uma aplicação como esta representa um compromisso,

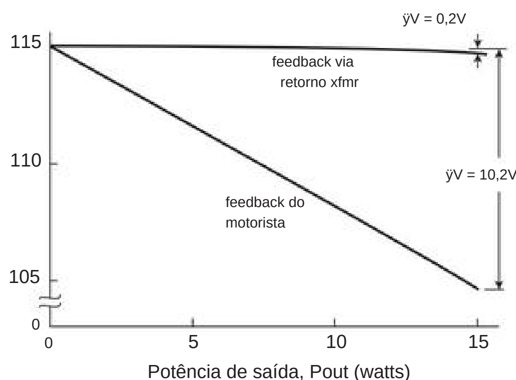


Figura 4.106. Tensão de saída medida versus carga para 60 Hz fonte de energia.

porque, idealmente, você gostaria de ter bastante ganho de loop para estabilizar a tensão de saída contra variações na corrente de carga. Mas um grande ganho de loop aumenta a tendência do amplificador de oscilar, especialmente se uma carga reativa estiver conectada. Isso ocorre porque a carga reativa, em combinação com a impedância de saída finita do transformador, causa deslocamentos de fase adicionais dentro do circuito de realimentação de baixa frequência. Como esse circuito foi construído para alimentar os motores síncronos de um telescópio (cargas altamente indutivas), o ganho do loop foi intencionalmente mantido baixo.

Alguns pontos adicionais.

• Com a eletrônica de potência, você deve projetar de forma conservadora para que uma condição de falha (por exemplo, uma carga muito pesada ou mesmo um curto-circuito) não destrua o dispositivo. Aqui usamos o método de limitação de corrente mais simples – um par de pequenos resistores nos coletores do estágio de acionamento – porque não queríamos sobrecarregar o diagrama (e funcionou bem, de qualquer maneira!). Existem maneiras melhores, por exemplo, adicionando um par de transistores para roubar a corrente de base quando a corrente de saída (conforme detectada por um resistor em série) excede um limite predefinido; tal esquema é comumente usado dentro do circuito integrado dos próprios amplificadores operacionais – veja a Figura 4.43. Como explicaremos em §9.13.3, ainda existem circuitos de proteção melhores. O problema com a proteção de limitação de corrente simples é que uma carga de curto-circuito faria com que os transistores experimentassem a corrente limite com a tensão de alimentação total entre eles; a dissipação de energia resultante é muito maior do que o máximo em operação normal, o que requer dissipação de calor conservadora e seleção de componentes. *A limitação de* corrente de retorno seria melhor, embora um pouco mais complicada.
• Um seguidor push-pull com as bases amarradas juntas tem uma região de cruzamento na qual o loop de realimentação é efetivamente quebrado (consulte §2.4.1A). Com os transistores Darlington, a região de cruzamento é de quatro VBEs, cerca de 2,5 V. O resistor R2 na Figura 4.105 garante que sempre haja algum acoplamento linear do amplificador operacional para T1, para evitar que o loop de realimentação se mova sob carga leve.

Melhor ainda seria a polarização do diodo, da maneira das Figuras 2.71 ou 2.72; veja também a discussão dos estágios de saída do seguidor push-pull no Capítulo *2x.*
• Existe uma maneira elegante de usar um amplificador operacional normal de ±15 V para gerar oscilações de tensão maiores, substituindo os seguidores de emissor na Figura 4.105 por uma configuração “pseudo-Darlington” com ganho modesto não inversor (também conhecido como “série par de realimentação”, consulte §2.5.5C), digamos um fator de 5. Em seguida, você pode executar o estágio de saída de energia de uma fonte de ±75 V enquanto alimenta o amplificador operacional de ±15 V convencional.

C. Motorboating Em amplificadores de realimentação acoplados, problemas de estabilidade também podem surgir em frequências muito baixas, por causa dos deslocamentos de fase adiantados acumulados *causados* por vários estágios acoplados capacitivamente. Cada capacitor de bloqueio, em combinação com a resistência de entrada (de strings de polarização e similares), causa uma mudança de fase inicial que é igual a 45ÿ no ponto de 3 dB de baixa frequência e se aproxima de 90ÿ em frequências mais baixas. Se houver ganho de loop suficiente, o sistema pode entrar em uma oscilação de baixa frequência pitorescamente conhecida como "motorboating". Com o uso generalizado de amplificadores acoplados em CC, a navegação a motor está quase extinta. No entanto, os veteranos podem contar algumas boas histórias sobre isso.

Exercícios Adicionais para o Capítulo 4

Exercício 4.30. Projete um "voltímetro sensível" para ter Zin = 1 Mÿ e sensibilidades de fundo de escala de 10 mV a 10 V em quatro faixas. Use um movimento de medidor de 1 mA e um amplificador operacional. Ajuste as compensações de tensão, se necessário, e calcule o que o medidor lerá com a entrada aberta, assumindo (a) IB = 25 pA (típico para um 411) e (b) IB = 80 nA (típico para um 741). Use alguma forma de proteção do medidor (por exemplo, mantenha sua corrente abaixo de 200% da escala completa) e proteja as entradas do amplificador de tensões fora das tensões de alimentação. O que você conclui sobre a adequação do 741 para medições de alta impedância de baixo nível?

Exercício 4.31. Projete um amplificador de áudio, usando um amplificador operacional OP27 (baixo ruído, bom para áudio), com as seguintes características: ganho = 20 dB, Zin = 10k, ponto ÿ3 dB = 20 Hz. Use a configuração não inversora e reduza o ganho em baixas frequências de forma a reduzir os efeitos da tensão de compensação de entrada. Use um projeto adequado para minimizar os efeitos da corrente de polarização de entrada no deslocamento de saída. Assuma que a fonte de sinal está acoplada capacitivamente.

Exercício 4.32. Projete um divisor de fase de ganho unitário (consulte §2.2.8 no Capítulo 2) usando 411s. Esforce-se para alta impedância de entrada e baixa impedância de saída. O circuito deve ser acoplado em CC. Aproximadamente em que frequência máxima você pode obter oscilação total (27 V pp, com fontes de ±15 V), devido às limitações da taxa de variação?

Exercício 4.33. Os alto-falantes da marca El Cheapo têm um aumento de agudos, começando em 2 kHz (+3 dB ponto) e subindo 6 dB/oitava. Projete um filtro *RC* simples , com buffer com amplificadores operacionais AD611 (outro bom chip de áudio), conforme necessário, para ser colocado entre o pré-amplificador e o amplificador para compensar esse aumento. Suponha que o pré-amplificador tenha Zout = 50k e que o amplificador tenha Zin = 10k, aproximadamente.

Exercício 4.34. Um 741 é usado como um comparador simples, com uma entrada aterrada; ou seja, é um detector de passagem por zero. Uma onda senoidal de amplitude de 1 volt é alimentada na outra entrada (frequência = 1 kHz). Qual(is) tensão(ões) será(ão) a entrada quando a saída passar por zero volts? Suponha que a taxa de variação seja de 0,5 V/s e que a saída saturada do ÿ amplificador operacional seja ±13 V.

Exercício 4.35. O circuito na Figura 4.107 é um exemplo de um "conversor de impedância negativa". (a) Qual é sua impedância de entrada? (b) Se a faixa de saída do amplificador operacional for de V+ a Vÿ, que faixa de tensões de entrada este circuito acomodará sem saturação?

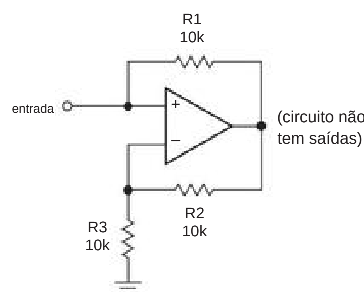


Figura 4.107. Conversor de impedância negativa.

Exercício 4.36. Considere o circuito do problema anterior como a caixa preta de 2 terminais (Figura 4.108). Mostre como fazer um amplificador CC com um ganho de -10. Por que você não pode fazer um amplificador DC com um ganho de +10? (Dica: o circuito é suscetível a uma condição de travamento para uma certa faixa de resistências da fonte. Qual é essa faixa? Você consegue pensar em uma solução?)



Figura 4.108. Conector de impedância negativa como um de 2 terminais vício

Revisão do Capítulo 4

Um resumo de A a O do que aprendemos no Capítulo 4.
Este resumo revisa os princípios e fatos básicos do Capítulo 4, mas não abrange os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. O amplificador operacional ideal.

No Capítulo 4, exploramos o mundo dos amplificadores operacionais ("Op-amps"), blocos de construção universais de circuitos analógicos. Um bom amplificador operacional aproxima-se do ideal de um amplificador de diferença acoplado DC sem ruído de banda larga de ganho infinito com corrente de entrada zero e tensão de deslocamento zero. Os amplificadores operacionais são destinados ao uso em circuitos com realimentação negativa, onde a rede de realimentação determina o comportamento do circuito. Os amplificadores operacionais são importantes nos tópicos do Capítulo 5 (Circuitos de precisão), Capítulo 6 (Filtros), Capítulo 7 (Osciladores e temporizadores), Capítulo 8 (Técnicas de baixo ruído), Capítulo 9 (Regulação de tensão e conversão de energia) e Capítulo 13 (O digital encontra o analógico).

¶B. As "Regras de Ouro".

Em um nível básico (e ignorando as imperfeições, consulte ¶¶K-M abaixo), um circuito de amplificador operacional com realimentação pode ser simplesmente entendido reconhecendo que a realimentação da saída opera para (I) fazer a diferença de tensão entre as entradas zero; e, no mesmo nível de ignorância, (II) as entradas não consomem corrente. Essas regras são bastante úteis e, para CC (ou circuitos de baixa frequência), elas apresentam erro apenas por tensões de deslocamento típicas de um milivolt ou menos (regra I) e por correntes de entrada típicas da ordem de um picoamp para tipos de FET ou dezenas de nanoamps para tipos de BJT (regra II).

¶C. Configurações básicas de amplificadores operacionais.

Em §4.2 e §4.3 encontramos os circuitos lineares básicos (detalhados em ¶¶D–F abaixo): amplificador inversor, amplificador não inversor (e seguidor), amplificador de diferença, fonte de corrente (transcondutância, ou seja, tensão-para- corrente), amplificador de transresistência (ou seja, corrente para tensão) e integrador. Vimos também dois circuitos não lineares importantes: o gatilho Schmitt e o retificador ativo. E em §4.5 vimos blocos de construção de circuito adicionais: detector de pico, sample-and-hold, grampo ativo, retificador de onda completa ativo (circuito de valor absoluto) e diferenciador.

¶D. Amplificadores de Tensão.

O *amplificador inversor* (Figura 4.5) combina a corrente de entrada Vin/R1 e a corrente de realimentação Vout/R2 em uma junção de soma; tem ganho de tensão *GV=ÿR2/ R1* e impedância de entrada R1. No *amplificador não inversor* (Figura 4.6) uma fração de a saída é realimentada para a entrada inversora; tem ganho de tensão *GV=1+R2/ R1* e impedância de entrada quase infinita. Para o *seguidor* (Figura 4.8) o ganho de realimentação é unitário, ou seja, o divisor resistivo é substituído por uma conexão da saída para a entrada inversora. O *amplificador de diferença* (Figura 4.9) usa um par de divisores resistivos combinados para gerar uma saída Vout=(R2/ R1)ÿVin; sua impedância de entrada é *R1+R2* e sua rejeição de modo comum depende diretamente da precisão da correspondência do resistor (por exemplo, ~60 dB com ±0,1% de tolerância do resistor). Amplificadores de diferença são tratados com mais detalhes em §5.14. Um par de seguidores de entrada pode ser usado para obter alta impedância de entrada, mas uma configuração melhor de 3 amplificadores operacionais é o *amplificador de instrumentação,* consulte §5.15.

¶E. Integrador e Diferenciador.

O *integrador* (Figura 4.16) se parece com um amplificador inversor no qual o resistor de realimentação é substituído por um capacitor; assim, a corrente de entrada Vin/R1 e a corrente de realimentação *C* dVout/dt são combinadas na junção de soma. Ignorando as imperfeições em ¶K abaixo, o integrador é "perfeito", portanto, qualquer tensão de entrada CC média diferente de zero fará com que a saída cresça e eventualmente sature. O integrador pode ser redefinido com uma chave de transistor no capacitor de realimentação (Figura 4.18); alternativamente, você pode usar um grande resistor shunt para limitar o ganho CC, mas isso anula a operação do integrador em baixas frequências *(f1/ RfC).* A impedância de entrada do integrador é R1.

O *diferenciador* de amplificador operacional (Figura 4.68) é uma configuração semelhante, mas com *R* e *C* trocados. Sem componentes adicionais (Figura 4.69) esta configuração é instável (ver ¶O, abaixo).

¶F. Amplificadores de Transresistência e Transcondutância.

Ao omitir o resistor de entrada, um amplificador de tensão inversora torna-se um *amplificador de transresistência46,* ou seja, um conversor de corrente para tensão (Figura 4.22). Seu ganho *éVout/ Iin=ÿRf* e (ignorando as imperfeições) a impedância em sua entrada (que aciona a junção de soma) é zero. A capacitância na entrada cria problemas de estabilidade, largura de banda e ruído; veja §8.11 e a discussão no Capítulo *4x.* Amplificadores de resistência trans são amplamente usados em aplicações de fotodiodos.

Um *amplificador de transcondutância* (Figuras 4.10–4.15) converte uma entrada de tensão em uma saída de corrente; é uma fonte de corrente controlada por tensão. A forma mais simples usa um amplificador operacional e um resistor (Figura 4.10), mas funciona apenas com uma carga flutuante. O circuito Howland e suas variações (Figuras 4.14 e 4.15) acionam uma carga retornada ao solo, mas

[46] Ou amplificador de *transimpedância* .

sua precisão depende da correspondência do resistor. Circuitos com um transistor externo (Figuras 4.12 e 4.13) acionam cargas retornadas ao terra, não requerem casamento de resistor e, ao contrário dos outros circuitos, se beneficiam da impedância de saída intrinsecamente alta do transistor. No Capítulo *4x ,* descrevemos uma boa variação na fonte de corrente assistida por transistor que atinge saída de alta velocidade e bipolaridade (isto é, afundamento e alimentação)

¶G. Circuitos Não Lineares: Detector de Pico, S/H, Grampo, Retificador.

Devido ao seu alto ganho, os amplificadores operacionais fornecem precisão para funções não lineares que podem ser executadas apenas com componentes passivos; nestes circuitos um ou mais diodos selecionam as regiões nas quais a realimentação atua. O detector de *pico* (Figura 4.58) captura e mantém a tensão mais alta (ou mais baixa) desde a última reinicialização; o circuito *sample-and-hold* (S/H) (Figura 4.60) responde a um pulso de entrada capturando e mantendo o valor de uma tensão de sinal de entrada; o *grampo ativo* (Figura 4.61) limita um sinal a uma tensão máxima (ou mínima); o *retificador ativo* cria saídas precisas de meia onda (Figuras 4.36 e 4.38) ou onda completa (Figuras 4.63 e 4.64). Na prática, o desempenho desses circuitos é limitado pela taxa de variação finita e pela corrente de saída de amplificadores operacionais reais (consulte ¶M, abaixo).

¶H. Feedback Positivo: Comparador, Schmitt Trigger e Oscilador.

Se o caminho de realimentação for removido, um amplificador operacional atua como um *comparador,* com a saída respondendo (saturando perto do trilho de alimentação correspondente) a uma reversão do diferencial na tensão de entrada de um milivolt ou menos (Figura 4.32A). Acrescentar algum feedback positivo (Figura 4.32B) cria um *gatilho de Schmitt,* que acelera a resposta e também suprime transições múltiplas induzidas por ruído. Op-amps são otimizados para uso com realimentação negativa em aplicações lineares (notavelmente por uma "compensação" intencionalmente interna de ÿ6 dB/oitava rolloff, veja ¶O abaixo), então ICs comparadores especiais (sem compensação) são preferidos, veja §12.3 e Tabelas 12.1 e 12.6. Uma combinação de feedback positivo (gatilho de Schmitt) e feedback negativo (com um integrador) cria um *oscilador* (Figura 4.39), assunto tratado em detalhes no Capítulo 7.

¶EU. Op-amps de alimentação única e trilho a trilho.

Para alguns amplificadores operacionais, tanto a faixa de modo comum de entrada quanto a oscilação de saída se estendem até o trilho negativo, tornando-os particularmente adequados para operação com uma única fonte positiva. Os amplificadores operacionais rail-to-rail permitem oscilações de entrada para ambos os trilhos de alimentação ou oscilações de saída para ambos os trilhos, ou ambos; consulte a Tabela 4.2a. Estes últimos são especialmente úteis em circuitos com baixas tensões de alimentação.

¶J. Alguns Cuidados.

Em circuitos de amplificadores operacionais lineares, as Regras de Ouro (ver ¶B, acima) serão obedecidas apenas se (a) a realimentação for negativa e (b) o amplificador operacional permanecer na região ativa (isto é, não saturado). Deve haver feedback em CC, ou o amplificador operacional saturará. As fontes de alimentação devem ser ignoradas. A estabilidade é degradada com cargas capacitivas e por mudanças de fase atrasadas no caminho de realimentação (por exemplo, pela capacitância no terminal inversor). E, o mais importante, os amplificadores operacionais reais têm uma série de limitações (¶¶K–N, abaixo) que limitam o desempenho alcançável do circ

¶K. Afastamentos do Comportamento Ideal.

No mundo real, os amplificadores operacionais não são perfeitos. Não existe um amplificador operacional "melhor", portanto, deve-se negociar uma série de parâmetros: imperfeições de entrada (tensão de deslocamento, desvio e ruído; corrente e ruído de entrada; diferencial e faixa de modo comum), limitações de saída (taxa de variação , corrente de saída, impedância de saída, oscilação de saída), características do amplificador (ganho, deslocamento de fase, largura de banda, CMRR e PSRR), características operacionais (tensão e corrente de alimentação) e outras considerações (pacote, custo, disponibilidade). Consulte §4.4, Tabelas 4.1, 4.2a e 4.2b, as tabelas mais extensas nos Capítulos 5 e 8 e ¶¶L–N abaixo.

¶EU. Limitações de Entrada.

A *tensão de deslocamento de entrada* (Vos), variando de cerca de 25ÿV (amp-op de "precisão") a 5 mV, é o desequilíbrio de tensão nos terminais de entrada. É um parâmetro importante para circuitos de precisão e circuitos com alto ganho CC em malha fechada; o erro visto na saída é GCLVos). Alguns amplificadores operacionais fornecem pinos para ajuste externo da tensão de deslocamento (por exemplo, consulte a Figura 4.43).

O *desvio de tensão de deslocamento,* ou *tempco (TCVos,* ou ÿVos/ ÿT), é o coeficiente de temperatura da tensão de deslocamento; varia V/ cerca de 0,1 Mesmo seja ÿV/ÿC (amp-op de "precisão") a 10 amplificador operacional ÿV/ÿC de com Vos baixo (ou se o tiver reduzido para zero), o *TCVos* representa o crescimento do deslocamento com a mudança de temperatura.

A *densidade de tensão de ruído de entrada* (en) representa uma fonte de tensão ruidosa em série com os terminais de entrada. Ele varia de cerca de 1 nV/ ÿ Hz (op-amp bipolar de baixo ruído) a 100 nV/ ÿ Hz ou mais (op-amp de micropotência). A voltagem do ruído é importante em aplicações de áudio e precisão.

A *corrente de polarização de entrada* (IB) é a corrente CC (diferente de zero) nos terminais de entrada. Ele varia de um mínimo de cerca de 5 fA (amplificadores operacionais de baixa polarização CMOS e amplificadores operacionais "eletrômetro") a

50 nA (amplificadores operacionais típicos de 47 BJT) a um máximo ÿ de 10 A (amplificadores operacionais de entrada BJT de banda larga). A corrente de polarização que flui através da resistência da fonte CC do circuito causa um deslocamento da tensão CC; também cria um erro de corrente em integradores e amplificadores de transresistência.

A *corrente de ruído de entrada* (in) é a corrente de ruído equivalente adicionada na entrada. Para a maioria dos amplificadores operacionais[48], é simplesmente o ruído shot da corrente de polarização (in=ÿ2qIB); varia de cerca de 0,1 fA/ ÿ Hz (amplificadores operacionais CMOS de baixa polarização, amplificadores operacionais "electrômetro") a 1 pA/ÿ Hz (amplificadores operacionais BJT de banda larga). A corrente de ruído que flui através da impedância da fonte CA do circuito cria uma tensão de ruído, que pode dominar sobre en. A relação rn=en/in é a *resistência ao ruído* do amplificador operacional ; para impedâncias de fonte de sinal maiores que rn , o ruído de corrente domina.

Os amplificadores operacionais funcionam corretamente quando ambas as entradas estão dentro da *faixa de tensão de modo comum de entrada* (VCM), que pode se estender para o trilho negativo (amps operacionais de "alimentação única") ou para ambos os trilhos ("rail-to-rail " amplificadores operacionais). Cuidado: muitos amplificadores operacionais têm uma *faixa de tensão diferencial de entrada mais restrita,* às vezes apenas alguns volts.

¶M. Limitações de Saída.

A *taxa* de variação (SR) é a dVout/dt do amplificador operacional com uma tensão diferencial aplicada na entrada. Ele é definido pelas correntes de acionamento interno que carregam o capacitor de compensação e varia de cerca de 0ÿ1 a 10 V/ÿs (amps-op de micropotência) a 5000ÿV/ÿs (aplicações de alta velocidade). Em geral, é importante em aplicações de oscilação, como conversores A/D e D/A, S/H e detectores de pico e retificadores ativos. Ele limita a frequência de saída de sinal grande: uma onda senoidal de amplitude *A* e frequência *f* requer uma taxa de variação de SR=2 *A f ;* veja a Figura 4.54.

ÿ

Op-amps são dispositivos pequenos, com *corrente de saída* deliberadamente limitada para evitar superaquecimento; veja, por exemplo, a Figura 4.43, onde *R5Q9* e *R6Q10* limitam as correntes de saída e afundamento para *Ilim=VBE/ R* ÿ 25 mA, ilustrado na Figura 4.45. Se você precisar de mais corrente de saída, existem alguns amplificadores operacionais de alta corrente disponíveis; você também pode adicionar um buffer de energia de ganho unitário externo como o LT1010 (Iout para ±150 mA) ou um seguidor push-pull discreto.

A *impedância de saída* de loop aberto de um amplificador operacional é geralmente na vizinhança de 100 ÿ, que é reduzida pelo ganho de loop a frações de um ohm em baixas frequências. Como o ganho de malha aberta de um amplificador operacional, GOL , cai 1/ *f* acima a maior parte de sua largura de banda (veja ¶O abaixo), no entanto, a impedância de saída *de malha fechada do circuito* aumenta aproximadamente proporcional à frequência; parece indutivo (Figura 4.53).

Em geral, a *oscilação de saída* para um amplificador operacional como a Figura 4.43 estende-se apenas dentro de um volt ou mais de qualquer um dos trilhos. Muitos CMOS e outros amplificadores operacionais de baixa tensão, no entanto, especificam oscilações de saída de trilho a trilho sem carga, consulte a Figura 4.46.

Os amplificadores operacionais podem ser agrupados em várias faixas de *tensão* de alimentação : os amplificadores operacionais de "baixa tensão" têm uma tensão de alimentação total máxima (ou seja, V+ ÿVÿ) em torno de 6 V e geralmente operam abaixo de 2 V; Os amplificadores operacionais de "alta tensão" permitem tensões de alimentação totais de até 36 V e geralmente operam abaixo de 5 a 10 V. No meio, há uma classe esparsa do que pode ser chamado de amplificadores operacionais de "tensão média", com tensões de alimentação totais na faixa de 10 a 15 V. Consulte a Tabela 5.5. Existem também amplificadores operacionais que são realmente de alta tensão (até centenas de volts), consulte a Tabela 4.2b.

¶N. Ganho, mudança de fase e largura de banda.

Os amps operacionais têm um grande *ganho de malha aberta* CC GOL(dc), normalmente na faixa de 105 a 107 (o último sendo típico de amps operacionais de "precisão", consulte o Capítulo 5). Para garantir a estabilidade (consulte ¶O, abaixo), o ganho de malha aberta do amplificador operacional cai como 1/ *f ,* atingindo a unidade em uma frequência fT (consulte a Figura 4.47). Isso limita a largura de *banda* de malha fechada a BWCLÿfT/GCL. Na maior parte da faixa de frequência operacional, a *mudança de fase* de malha aberta do amplificador operacional é de -90ÿ, eliminada na resposta de malha fechada por realimentação.

¶O. Estabilidade de realimentação, "compensação de frequência" e gráficos de Bode Finalmente, realimentação negativa pode se tornar realimentação *positiva ,* promovendo instabilidade e oscilações, se o deslocamento de fase acumulado atingir 180ÿ em uma frequência na qual o ganho do loop é ÿ1. Este tópico é apresentado em §4.6.2 em conexão com cargas capacitivas e é discutido em detalhes em §4.9. A técnica básica é *a compensação do pólo dominante,* na qual um rolloff deliberado de ÿ6 dB/oitava (ou seja, ÿ1/f) é introduzido no amplificador operacional para reduzir o ganho à unidade em uma frequência menor do que em quais mudanças de fase não intencionais adicionais mostram suas feias cabeças (Figura 4.99). A maioria dos amplificadores operacionais inclui essa compensação internamente, de modo que sejam estáveis em todos os ganhos de malha fechada (a configuração do seguidor de ganho unitário é mais propensa a estabilidade, porque não há atenuação no caminho de realimentação). Os amplificadores operacionais "descompensados" são compensados de forma menos agressiva e são estáveis para ganhos de malha fechada maiores que algum mínimo (frequentemente especificado como G>2, 5 ou 10;

[47] A corrente de entrada dos amplificadores operacionais BJT "bias-compensados" é tipicamente em torno de 50 pA.

[48] Mas não amplificadores operacionais BJT "bias-compensados", consulte §8.9.

Figura 4.95). Os amplificadores operacionais compensados exibem uma mudança de fase atrasada em malha aberta de 90ÿ na maior parte de sua faixa de frequência (começando tão baixo quanto 10 Hz ou menos). Assim, uma rede de realimentação externa que adiciona outros 90ÿ de atraso de deslocamento de fase em uma frequência em que o ganho do loop é unitário causará oscilação.

Uma ferramenta favorita é o *Bode Plot,* um gráfico de ganho (log) e fase (linear) versus frequência (log); veja a Figura 4.97. O *critério de estabilidade* é que a diferença de inclinações entre a curva de ganho de malha aberta e a curva de ganho de malha fechada ideal, em sua interseção, deve ser idealmente de 6 dB/oitava, mas em nenhum caso deve chegar a 12 dB/oitava.

CIRCUITOS DE PRECISÃO

CAPÍTULO **5**

Nos capítulos anteriores, lidamos com muitos aspectos do projeto de circuitos analógicos, incluindo as propriedades de circuitos de dispositivos passivos, transistores, FETs e amplificadores operacionais, o assunto de realimentação e inúmeras aplicações desses dispositivos e métodos de circuito. Em todas as nossas discussões, no entanto, ainda não abordamos a questão do melhor que pode ser feito, por exemplo, em minimizar os erros do amplificador (não linearidades, desvios, etc.) .” Em muitas aplicações, essas são as questões mais importantes e formam uma parte importante da arte da eletrônica. Portanto, neste capítulo, examinamos os métodos de projeto de circuitos de precisão (deixando a questão do ruído em amplificadores para o Capítulo 8).

Visão geral do capítulo

Este é um capítulo *grande* – e importante. Ele lida com uma variedade de tópicos, que não precisam ser lidos na ordem. Como orientação, oferecemos este esboço: começamos com um exame cuidadoso de erros em circuitos feitos com amplificadores operacionais e exploramos o uso de uma estimativa de erro. Exploramos questões de parâmetros não especificados e erros de componentes “típicos” versus “pior caso” e discutimos maneiras de lidar com eles.

Ao longo do caminho, lidamos com alguns tópicos negligenciados, como vazamento de diodo no nível sub-picoamp, “efeito memória” em capacitores, distorção e não linearidade de ganho e uma maneira elegante de remediar erros de *fase* em amplificadores. Discutimos a distorção do amplificador operacional em detalhes, com gráficos comparativos e circuitos de teste.

Em seguida, discutimos o lado negativo dos amplificadores operacionais rail-to-rail: sua impedância de saída em malha aberta e erros de crossover de modo comum de entrada. Fornecemos tabelas de seleção detalhadas para amplificadores operacionais de precisão, chopper e alta velocidade, além de gráficos comparativos que mapeiam seu ruído, corrente de polarização e distorção. Mostramos como interpretar a multiplicidade de parâmetros do amplificador operacional e discutimos as compensações que você terá que fazer.

Para aqueles que trabalham no território de microvolts e nanovolts baixos, mostramos os efeitos devastadores do ruído 1/ *f* e como os amplificadores operacionais auto-zero (AZ) resolvem esse problema; mas há uma compensação – o ruído atual desses dispositivos que é frequentemente negligenciado. Como um interlúdio, olhamos em alguns de siga a inteligência do estágio inicial de um multímetro digital de precisão exemplar.

Em seguida, avançamos para amplificadores de diferença e instrumentação - eles são os melhores da classe em termos de extrair um sinal de diferença na presença de entrada de modo comum e em termos de precisão e estabilidade de ganho.
Mostramos seus designs internos e como são usados, com extensas tabelas e gráficos comparando peças populares. Finalmente, consideramos amplificadores totalmente diferenciais – estes têm entradas *e* saídas diferenciais e um pino de entrada de “controle de modo comum” de saída. Mais uma vez, organizamos tabelas, diagramas de circuitos internos e orientações para seu uso com ADCs de alto desempenho.

Para os leitores que procuram o básico, este capítulo pode ser pulado em uma primeira leitura. Seu material não é essencial para a compreensão dos capítulos posteriores.

5.1 Técnicas de design de amplificadores operacionais de precisão

No campo da medição e controle, muitas vezes há necessidade de circuitos de alta precisão. Os circuitos de controle devem ser precisos, estáveis com o tempo e a temperatura e previsíveis. A utilidade dos instrumentos de medição também depende de sua precisão e estabilidade. Em quase todas as subespecialidades eletrônicas, sempre temos o desejo de fazer as coisas com mais precisão – você pode chamar isso de alegria da perfeição.

Mesmo que você nem sempre *precise* da mais alta precisão, você ainda pode se deliciar com uma compreensão completa do que está acontecendo.

5.1.1 Precisão versus faixa dinâmica

É fácil ficar confuso entre os conceitos de *precisão* e *faixa dinâmica,* especialmente porque algumas das mesmas técnicas são usadas para alcançar ambos. Talvez a diferença possa ser melhor esclarecida por alguns exemplos: um multímetro de 5 dígitos tem alta precisão; as medições de tensão são precisas para 0,01% ou melhor. Esse dispositivo também possui ampla faixa dinâmica; ele pode medir milivolts e volts na mesma escala.

Um amplificador de década de precisão (um com ganhos selecionáveis de 1, 10 e 100, digamos) e uma referência de tensão de precisão podem

têm bastante precisão, mas não necessariamente muita faixa dinâmica. Um exemplo de um dispositivo com ampla faixa dinâmica, mas apenas precisão moderada, pode ser um amplificador de microfone logarítmico de 6 décadas (log-amp) construído com amplificadores operacionais cuidadosamente ajustados, mas com componentes de apenas 5% de precisão; mesmo com componentes precisos, um log-amp pode ter precisão limitada devido à falta de conformidade de log (nos extremos da corrente) da junção do transistor usada para a conversão ou devido a desvios induzidos pela temperatura.

Outro exemplo de um instrumento de ampla faixa dinâmica (maior que 10.000:1 faixa de correntes de entrada) com exigência de precisão apenas moderada (1%) é o medidor de coulomb descrito em §9.26 da edição anterior deste livro. Ele foi originalmente projetado para rastrear a carga total colocada em uma célula eletroquímica, uma quantidade que precisa ser conhecida apenas em aproximadamente 5%, mas que pode ser o resultado cumulativo de uma corrente que varia em uma ampla

variar. É uma característica geral do projeto de ampla faixa dinâmica que os deslocamentos de entrada devem ser cuidadosamente ajustados para manter uma boa proporcionalidade para níveis de sinal próximos de zero; isso também é necessário no projeto de precisão, mas, além disso, componentes precisos, referências estáveis e atenção cuidadosa a todas as fontes possíveis de erro devem ser usados para manter a soma total de todos os erros dentro do chamado orçamento de erro.

5.1.2 Erro de orçamento

Algumas palavras sobre *orçamentos de erro.* Há uma tendência do iniciante cair na armadilha de pensar que alguns componentes de precisão estrategicamente colocados resultarão em um dispositivo com desempenho de precisão. Em raras ocasiões, isso será verdade. Mas mesmo um circuito salpicado com resistores de 0,01% e amplificadores operacionais caros não atenderá às expectativas se em algum lugar do circuito houver uma corrente de deslocamento de entrada multiplicada por uma resistência de fonte que fornece um erro de tensão de 10 mV, por exemplo. Com quase todos os circuitos, haverá erros em todo o lugar, e é essencial compará-los, pelo menos para localizar áreas problemáticas onde dispositivos melhores ou uma mudança de circuito podem ser necessários.

Esse erro de orçamento resulta em projeto racional, em muitos casos revelando onde um componente barato será suficiente e, eventualmente, permitindo uma estimativa cuidadosa do desempenho.
mance.

Para adicionar um pouco de tempero ao assunto, notamos que há alguma controvérsia na comunidade de engenharia em torno desse negócio de orçamentos errados. Um campo (que podemos caracterizar como construcionistas estritos) insiste que você permite o pior caso, ou você é culpado de violar as boas práticas de engenharia. Por exemplo, se houver 18 resistores de determinação de ganho com tolerância de ±1% em um circuito, então o desempenho garantido deve ser especificado como ±18%. A resposta do outro campo (que podemos caracterizar como pragmatistas) é "besteira – é excessivamente restritivo permitir uma possibilidade extremamente improvável de limitar o desempenho de um projeto de circuito; e pode-se lidar com tais eventualidades com procedimentos de teste de componentes, testes de desempenho de circuitos acabados e assim por diante." Revisitaremos essa controvérsia (e tomaremos partido no debate) depois de percorrer um exemplo introdutório.

5.2 Um exemplo: o milivoltímetro, revisitado

Para motivar a discussão sobre circuitos de precisão, vamos revisitar um circuito do capítulo anterior. Lá nós flertamos, brevemente, com questões de precisão em §4.4.3, principalmente para ilustrar os efeitos da tensão de deslocamento de entrada VOS e da corrente de polarização de entrada IB em uma aplicação CC de baixo nível (um milivoltímetro de 0–10 mV com resistência de entrada de 10 Mÿ1). Naquela época, com muita ingenuidade, ficamos surpresos ao ver que nosso confiável amplificador operacional LF411 era totalmente inadequado para a tarefa; tinha muito deslocamento e muita corrente de entrada também. Encontramos uma solução na forma de um amplificador operacional de baixa polarização de precisão (um OPA336) ou um amplificador chopper (também conhecido como "zero automático") (um LTC1050).

Como veremos em breve, nossa celebração dessa "solução" foi prematura: declaramos vitória com um amplificador operacional cujo IB sozinho causava o erro de entrada zero máximo permitido de 1%. Um projeto cuidadoso deve levar em consideração o efeito cumulativo de múltiplas fontes de erro.

5.2.1 O desafio: 10 mV, 1%, 10 Mÿ, 1,8 V alimentação única

Para tornar o problema mais interessante, vamos restringir ainda mais as especificações. Desta vez, pediremos que o medidor de 0–10 mV opere com uma única bateria de +3 V (uma pilha de lítio ou um par de pilhas AAA alcalinas); isso nos obriga a nos preocupar com a operação de "alimentação única", na qual o amplificador operacional deve trabalhar até zero volts na entrada e na saída. Além disso, ele deve trabalhar até a tensão de fim de vida das células alcalinas, que você vê declarada variadamente como 1,0 V/célula ou 0,9 V/célula; isso significa operação abaixo de +1,8 V de tensão de alimentação total. E, como antes, vamos exigir uma resistência de entrada de 10 Mÿ e insistir que ela indique 0 mV (±1% do fundo de escala) quando a entrada estiver em curto

1 Observe que ele pode ser usado como um medidor de *corrente* sensível : com seus 10M em colocar resistência e 1% de precisão, ele pode medir correntes até 10 pA (1% × 10 mV/10 Mÿ = 10 pA).

ou aberto. Observe que essa especificação de "erro zero" é diferente de uma especificação de precisão em escala total ("erro de escala"): podemos ficar satisfeitos com ± 5% de precisão em escala total, mas ficaríamos muito insatisfeitos com um medidor que lê 5% do fundo de escala (aqui 0,5 mV) quando não há nada conectado a ele.

Seguindo a sugestão do projeto do último capítulo, vamos usar feedback de detecção de corrente, de modo que o projeto seja independente da resistência interna do medidor analógico. A Figura 5.1 mostra o circuito.

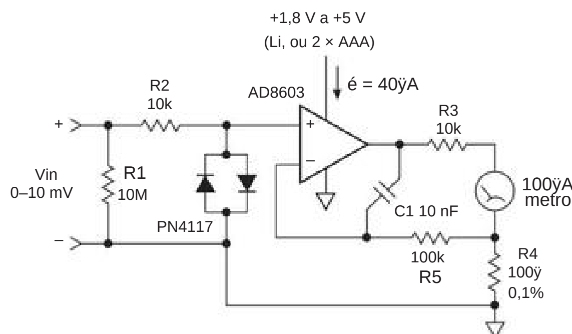


Figura 5.1. Milivoltímetro preciso alimentado por uma única célula de lítio. O grampo de proteção de entrada usa JFETs PN4117 conectados por diodo de baixo vazamento.

5.2.2 A solução: fonte de corrente RRIO de precisão

Usamos um resistor de detecção de corrente preciso R4, neste caso um resistor de 0,1% 100 ÿ. Parece exótico, mas na verdade essas coisas são comuns: o sempre útil site da DigiKey mostra mais de 100.000 em estoque, de cinco fornecedores diferentes, a preços abaixo de US$ 0,20 (em quantidades de 10). Observe o roteamento da conexão comum de entrada (terminal "-") diretamente para o lado baixo do resistor de detecção, uma precaução que se torna cada vez mais importante com resistores de detecção de pequeno valor, nos quais a resistência da fiação do retorno de terra pode adicionar erro significativo.[2] Como o medidor provavelmente apresenta uma carga indutiva (é uma bobina em movimento em um campo magnético, que é indutivo por si só e reativo por meio de suas propriedades eletromecânicas semelhantes a motores), tomamos o cuidado de dividir o caminho de realimentação da maneira usual (através de R5 em baixas frequências, C1 em altas frequências; veja, por exemplo, a Figura 4.76). O resistor de saída de 10k R3 limita a corrente do medidor para entradas fora da escala.

As partes mais desafiadoras deste projeto são a entrada rede de proteção (que ignoramos alegremente no exemplo do Capítulo 4) e, mais criticamente, a escolha do amplificador operacional. Primeiro, a rede de proteção: os requisitos parecem fáceis – prender a uma tensão de entrada de amplificador operacional não destrutivo (durante sobretensões de entrada) e consumir menos de ÿ10 pA de corrente de fuga na tensão de entrada em escala total (10 mV), em ambos para direções opostas e opostas. (Essa quantidade de corrente de diodo reduziria a resistência de entrada em 1%.) Acontece que as folhas de dados normalmente não informam quanta corrente um diodo consome em tensões muito baixas. Mas se você for medir, ficará surpreso com o que encontrará (Figura 5.2). O diodo de sinal Jellybean favorito de todos (1N914, 1N4148) tem bastante vazamento, parecendo aproximadamente um resistor de 10 Mÿ em baixas tensões.[3] Existem alguns diodos especializados de baixo vazamento como o (um pouco difícil de obter) PAD-1 ou PAD-5 que fazem muito melhor; mas você também pode fazer isso usando um JFET de baixo vazamento conectado a diodo como o canal n PN4117 (ou seja, conecte a fonte e dreno juntos para formar o cátodo e use o portão como ânodo), ou você pode simplesmente usar o pares de terminais de diodo de um transistor *npn* comum.[4] Nesse circuito, o resistor R2 de 10k a montante limita a corrente do grampo, sem afetar a precisão do circuito.

E agora para o amplificador operacional. Este foi o obstáculo no Capítulo 4, e ficou ainda mais difícil aqui, com a única fonte de baixa tensão. Podemos separar os erros em um erro "zero" e um erro de fator de escala geral. A última é a parte fácil: o ganho *do circuito* é determinado com precisão, portanto, apenas exigimos um movimento preciso do medidor (se não quisermos nenhum ajuste de ajuste; ou podemos reduzir o resistor de detecção e adicionar um resistor para produzir um ganho ajustável maior que a unidade). É o requisito "zero" que é a parte difícil, por causa da alta sensibilidade mais a alta resistência de entrada obrigatória. Exigimos um efeito combinado de pior caso de compensação de entrada e corrente de polarização de 100 V e 10 pA *individualmente.* Ou seja, cada um sozinho causaria ÿ um erro zero de 0,1 mV (Verr=VOS+IBR1), portanto cada um deve ser menor para que a combinação de pior caso atenda às especificações.

Examinamos alguns amplificadores operacionais contemporâneos promissores de ferings, que listamos (junto com os suspeitos de sempre) na Tabela 5.1 na página 296. As jujubas baratas no

[2] Resistores de detecção de pequeno valor usados para medição precisa de altas correntes estão disponíveis como resistores *de 4 fios* . Esse arranjo é conhecido como *conexão Kelvin,* e o resistor de detecção às vezes é chamado de *shunt.*

[3] Para todos esses diodos, a porção reta em baixas tensões representa uma resistência em paralelo com um diodo não condutor; então o 1N3595 de baixo vazamento parece 10.000 Mÿ *para V10* mV. Essas correntes podem ser estimadas a partir de outros parâmetros do diodo, ou seja, corrente de fuga de polarização reversa em baixa tensão reversa ou corrente direta em tensão direta especificada. Mais sobre isso no Capítulo 1x.

[4] Ou o favorito de nosso amigo John Larkin, a junção coletor-base do BFT25, um transistor de micro-ondas *npn* de 5 V de baixo custo . Seu vazamento é inferior a 10 fA quando polarizado reversamente e <40 fA quando polarizado diretamente até 50 mV.

Machine Translated by Google

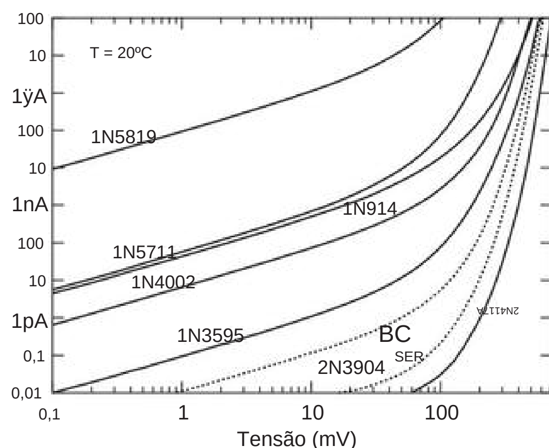


Figura 5.2. Folhas de dados de diodo são muitas vezes reduzidas com dados como este, mostrando a extremidade inferior da corrente versus a tensão aplicada diretamente. Consulte o Capítulo 1x para obter mais detalhes.

as três primeiras linhas são inúteis para este trabalho, com tensão de deslocamento e corrente de polarização muito piores do que o necessário (listadas na linha inferior). E todos falham em operar em +1,8 V; e os dois primeiros falham no requisito de "suprimento único". Tanto para amplificadores operacionais el-cheapo.

O LPV521 é característico da nova geração de amplificadores operacionais de "baixa tensão, baixa polarização e baixa potência". Ele faz essas coisas muito bem, mas, em comum com muitos amplificadores operacionais CMOS, suas especificações VOS são apenas mais ou menos. É possível fazer consideravelmente melhor. Por exemplo, a precisão CMOS OPA336 foi nosso herói anterior; mas veja - seu IB de pior caso consome todo o nosso orçamento de erro e exigiria o ajuste de VOS de qualquer maneira, o que não é feito tão facilmente em uma única configuração de suprimento (ao contrário de nosso amigo LF411, este amplificador operacional não possui pinos de ajuste). Nós descartamos essas sutilezas antes; mas desta vez vamos aceitar total responsabilidade pela produção de produtos que atendam às especificações. Isso significa adotar alguma disciplina séria de pior caso.

Que opções restam? A maioria dos projetistas buscaria um amplificador auto-zero (chopper) para uma aplicação de precisão que não exija largura de banda e que seja tolerante a ruído. O melhor candidato que encontramos é o ADA4051, com excelentes especificações de VOS , mas cinco vezes mais IB, se você acreditar nas especificações "máximas". (Amplificadores auto-zero concorrentes tinham maior corrente de polarização, maior tensão de alimentação mínima, ou ambos.) Os dois últimos amplificadores operacionais são amplificadores operacionais CMOS contemporâneos que se qualificam como "precisão", devido ao design cuidadoso e compensação da linha de produção corte. Ambos atendem às metas de erro de orçamento (mas veja abaixo). Escolhemos o AD8603 porque ele atende à especificação de alimentação de 1,8 V e, como bônus, opera a 35% da corrente de alimentação do LTC6078 (um amplificador operacional duplo, sem uma versão única que pudéssemos encontrar).5 Conforme listado na Tabela 5.5, o AD8603 funciona com corrente ÿ quiescente de 40 A e tem corrente de entrada de 1 pA (máx.) e tensão de compensação de ÿ V (máx.) 50 25ÿC.

Terminamos? Não exatamente. As especificações na tabela são para operação a 25°C. Ele pode ficar muito mais quente, com aumentos impressionantes na corrente de polarização para dispositivos CMOS (para os quais a corrente de "polarização" é a corrente de fuga). Os fabricantes geralmente fornecem valores de pior caso (e às vezes típicos) na extremidade superior da faixa de temperatura operacional (por exemplo, 85°C para dispositivos de faixa de temperatura "industriais"). Para nosso AD8603 escolhido, eles especificam IB(max) = 50 pA a 85ÿC. Nenhum dado de pior caso para temperaturas intermediárias é fornecido; mas esse valor é consistente com uma duplicação a cada 10ÿC, então podemos ter certeza de que o circuito atenderá às especificações6 até 50ÿC. Vale a pena notar que os fabricantes às vezes são preguiçosos em definir especificações de vazamento de pior caso, como por exemplo com o LPV521 na tabela, cuja proporção de IB "máximo" para "típico" é de 100:1. Um guru da indústria atribui isso à falta de vontade de testar peças de produção com especificações mais rígidas.

Exercício 5.1. Projetamos um medidor de ±10 mV no Capítulo 4 (Figura 4.56), mas nosso projeto na Figura 5.1 é unipolar (ou seja, 0 a +10 mV). Seu chefe pediu para você modificar o projeto para capacidade de ±10 mV, usando um ±100 mantendo ÿ o recurso de operação com Um medidor de centro zero e re uma única célula de lítio (ou par de células alcalinas AAA). *Dica:* você pode querer dar uma olhada no membro duplo AD8607 da família de amplificadores operacionais AD8603. *Crédito extra:* depois de terminar, você decide impressionar seu chefe aprimorando o design para que funcione com um medidor de 0–100 A. ÿ

5.3 As lições: erro de orçamento, parâmetros não especificados

A partir deste primeiro exemplo bastante simples, aprendemos alguns princípios básicos importantes: (a) primeiro, você precisa identificar e quantificar as fontes de erro dentro de um circuito para criar um orçamento de erro; e (b) o projeto de pior caso estrito exige que todos os componentes (passivos e ativos) sejam operados dentro de suas especificações de folha de dados e que os efeitos de

---

5 Cinco outras partes que consideramos (consulte as Tabelas 5.5, páginas 320–321 e 5.6, página 335): o LT1077A bipolar, Is e VOS mais baixos, mas Vs muito altos (min); o LT6003 bipolar, é apenas 1 A, mas ÿ de 5%), o CMOS LMP2231A, baixa tensão de deslocamento de 1,5%; o amplificador operacional auto-zero MAX9617, com tensão de compensação de 0,1% (versus 0,5%) do AD8603, mas uau, sua *corrente* de entrada de 10 Mÿ chega a 1,4% de compensação; e o ISL28133 auto-zero, mas seu deslocamento de 3% (da corrente de entrada) novamente revela a fraqueza da corrente de entrada dos amplificadores auto-zero. 6 A folha de dados fornece um gráfico de IB "típico" versus temperatura, confirmando seu comportamento exponencial de duplicação a cada 10ÿC.

Tabela 5.1 Op-amps candidatos a milivoltímetro

Papel #	Entrada	Vos tipo máx (ÿV)	Ibias tipo máximo (pA) (pA)	Vcm neg lim (V)	Vout	vs (total) max tipo (V) (V) Is 100 pc (ÿA)	É o preço min ($)	Notas
uA741	BJT	2000 6000	80k 500k	2	1,5 V dos trilhos	10 40 1500	0,27	antigo HV BJT
LF411	JFET	800 2000	50 200	3	1,5 V dos trilhos	10 40 1800	0,88	HV JFET
LM358A	BJT	2000 3000	45 mil 100 mil	0	0 a V+–1,2V	3 32 500	0,21	velho HV SS
LPV521	CMOS	100 1000	0,01 1	–0,1	RR	1,8 5,5 0,5	1,05	LV RRIO de baixa polarização
OPA336	CMOS	60 125	1 10	–0,2	RR	2,3 5,5 20	1.70	cap 4 "solução"
ADA4051	CMOS	2 17	5 50	0	RR	1,8 5 15	2.20	LV auto-zero RRIO
LTC6078	CMOS	7 25	0,2 1	0	RR	2,7 5,5 110	1,75	LV baixo- IB baixo-Vos RRIO dual
AD8603	CMOS	12 50	0,2 1	–0,3	RR	1,8 5 40	1,40	LV baixo-IB baixo-Vos RRIO
Limite de Ckt		- 100	- 10	0	0 a qualquer coisa	1,8 >3,6		deve orçar contribuições

seus erros de pior caso garantidos sejam adicionados (como magnitudes não sinalizadas) para determinar o desempenho geral do circuito.

Até agora tudo bem; e neste exemplo a escolha do amplificador operacional nos permitiu atender (e exceder) nossas especificações alvo de erro zero (1% da escala total, com entrada aberta ou em curto), mesmo sob valores de pior caso garantidos de IB e VOS.

A. Parâmetros não especificados: uma abordagem pragmática

Mas, olhando um pouco mais de perto, também vimos neste exemplo de projeto que um parâmetro não especificado (corrente direta do diodo em baixas tensões, 0–10 mV) figurou no erro geral.[7] O que se deve fazer em tais circunstâncias?

Os autores pertencem ao campo dos "pragmáticos" neste assunto: primeiro, você pode ter que ser criativo ao ler a folha de dados (como fizemos no caso da corrente de entrada do amplificador operacional), particularmente quando os números de pior caso do fabricante representam uma declaração de que "eu não quero testar este parâmetro, então vou colocar um palpite conservador na folha de dados"; isso é particularmente relevante com parâmetros como corrente de fuga, em que os limites do equipamento de teste automatizado (ATE) e as restrições de tempo de teste incentivam especificações conservadoras de planilhas de dados de pior caso. Em segundo lugar, você pode ter que fazer alguns testes[8] de parâmetros mal especificados (ou não especificados) (como fizemos com a corrente direta do diodo). Pode ser suficiente estabelecer que os efeitos do circuito do parâmetro não especificado são completamente insignificantes (como aqui, quando a corrente através dos diodos de fixação era inferior a 0,01 pA, ou três ordens de grandeza abaixo do orçamento); ou, se for uma chamada mais próxima, você pode ter que configurar um regime de teste de componentes de entrada para garantir que você atenda às especificações. E, terceiro, você pode ter que lidar com uma situação em que há muitos componentes contribuindo para o erro geral, simplesmente validando o desempenho do circuito geral, subconjunto ou instrumento completo no teste final.

Essa abordagem pode parecer arrogante. Mas o fato é que há muitas situações em que você simplesmente não consegue atender a especificações desafiadoras enquanto permanece dentro das especificações de pior caso publicadas (ou falta de especificações). Dois exemplos ajudam a esclarecer este ponto: um dos autores projetou e fabricou uma linha de instrumentos oceanográficos movidos a bateria, destinados a observações submersas e registro de dados de longa duração (de semanas a até um ano). Um instrumento típico pode ter 200 ou mais ICs CMOS da série 4000B. A folha de dados lista a corrente quiescente de 25ÿC[9] como "0,04 A (tipo), 10 (máx.)". Excelente. Portanto, 200 desses filhotes provavelmente ÿ um total de 8 ÿA, UMA mas *podem* consumir (em um cenário extremamente improvável) até 2 mA. Um ano de operação exigiria 70 mAh (usando valores típicos) ÿ mas, sob regras estritas de pior caso, teríamos que permitir 17,5 Ah (ampère-hora). Aqui está o problema: a bateria substancial para essas caixas de pressão submersíveis profundas com restrição de volume forneceu apenas 5 Ah de capacidade (com alguma margem de segurança de redução). E 80% da capacidade da bateria foi orçada para os sensores e registradores. Um projeto de pior caso tão rigoroso exigiria quadruplicar a bateria (e

7 Assim como a corrente de entrada do amplificador operacional em temperaturas modestamente elevadas.

8 Se você comprar em grandes quantidades, o fabricante pode estar disposto a fazer esses testes.

9 Curiosamente, as especificações são as mesmas para peças simples, como portas, ou peças complexas, como contadores ou unidades lógicas aritméticas.

expandindo o invólucro de pressão) ou, alternativamente, removendo um volume substancial da carga útil de instrumentação. A solução era (e ainda é) óbvia: construir os subcircuitos e testá-los quanto à corrente quiescente conforme. Eles funcionaram variavelmente bem, e o teste serviu principalmente para identificar os módulos nos quais havia um componente defeituoso, geralmente causado pelo manuseio inadequado dos componentes sensíveis do CMOS.

Um segundo exemplo é um instrumento comercial, ou seja, um eletrômetro sensível de Keithley. Essas coisas medirão correntes até *femtoamps* (10ÿ15A), o que requer um estágio inicial de corrente de polarização extraordinariamente baixa. Eles conseguem isso com um par correspondente de seguidor JFET como estágio de entrada para um amplificador operacional de precisão convencional, em uma configuração de corrente para tensão (a entrada é uma junção de soma, a zero volts). E para manter a corrente do gate baixa, eles operam os JFETs com uma tensão de dreno muito baixa de apenas +0,55 V, com o terminal da fonte situado apenas uma fração de volt abaixo do dreno. Agora, em nenhum lugar da folha de dados do JFET você encontrará algo que diga o que acontece em tensões tão baixas; e eles não dirão qual é o provável vazamento do portão. Você pode levantar as mãos e dizer que tal instrumento não pode ser feito. Ou você pode fazer o que Keithley fez, que é encontrar uma boa fonte de JFETs e qualificá-los com testes internos para que você possa continuar com o trabalho.

Ambos os exemplos ilustram que existem situações em que você simplesmente não pode atender aos seus requisitos de projeto enquanto permanece dentro das especificações de pior caso publicadas pelo fabricante. Dito isso, observamos que existem alguns engenheiros que não se desviarão dos parâmetros de componentes estritamente especificados no pior caso em seus projetos de circuito. Eles não querem usar peças especiais e não tocam nessas coisas com uma vara de 3 metros. Nós convidamos você a escolher o que você faria.

5.4 Outro exemplo: amplificador de precisão com deslocamento nulo

Depois de nos familiarizarmos com o milivoltímetro, vamos abordar um projeto mais complexo, no qual existem vários desafios de erro. Descrevemos as escolhas de projeto e os erros deste circuito particular dentro da estrutura do projeto de precisão em geral, tornando indolor o que de outra forma poderia se tornar um exercício tedioso.

Projetamos um amplificador de precisão (Figura 5.3) que permite "congelar" o valor do sinal de entrada, amplificando quaisquer alterações subsequentes desse nível por ganhos de exatamente 1, 10 ou 100. Isso pode ser particularmente útil em um experimento em qual você deseja medir uma pequena mudança em alguma quantidade (por exemplo, transmissão de luz ou absorção de RF) conforme alguma condição do experimento é variada. Normalmente é difícil obter medições precisas de pequenas mudanças em um grande sinal CC, devido a desvios e instabilidades no amplificador. Em tal situação, é necessário um circuito de extrema precisão e estabilidade.

Aqui mostramos o exemplo de um sensor de *strain gauge* , que consiste em uma ponte resistiva sensível à deformação cujos elementos mudam de resistência (ligeiramente!) em resposta à deformação mecânica. Um valor de resistência comum é 350 ÿ; e a sensibilidade é tal que, quando polarizada com +5 V, a tensão de saída diferencial através da ponte muda em ±10 mV em resposta à tensão mecânica em escala total nominal.10 Essa pequena tensão diferencial fica em um nível CC de +2,5 V, então você tem que começar com um bom amplificador diferencial.

Uma observação importante desde o início: as técnicas digitais oferecem uma alternativa atraente aos circuitos puramente analógicos usados aqui. Um projetista habilidoso provavelmente faria uso de técnicas de conversão analógico/digital de precisão, talvez em uma implementação híbrida (na qual um DAC estável é usado para criar o sinal nulo dentro de um circuito analógico como o nosso), ou talvez em um esquema digital que depende da precisão intrínseca de um ADC de alta resolução sozinho.11 Independentemente disso, nosso exemplo totalmente analógico oferece uma miscelânea de lições importantes sobre design de precisão. Mas o leitor pode esperar com confiança as revelações emocionantes nos próximos capítulos.

5.4.1 Descrição do circuito

O front-end começa com um *amplificador de instrumentação* U1, uma configuração de três amplificadores operacionais sobre a qual falaremos mais adiante (§5.15); estes são amplificadores de entrada diferencial que se destacam na obtenção de alta rejeição de modo comum e permitem a seleção de ganho com um único resistor (um ou mais geralmente são fornecidos internamente). Aqui, selecionamos um com uma boa combinação de corrente de entrada baixa, desvio de compensação e ruído, por motivos que explicaremos mais adiante. Seu ganho de ×100 é seguido por um estágio de ganho de ×10 não inversor (U2), para um ganho total de ×1000; que produz uma saída em escala total de ±10 V, conforme inserido no circuito de anulação *(U3–U5).* Se o sinal de entrada fosse de terminação única (por exemplo, de um termopar, fotossensor, detector de absorção de micro-ondas ou qualquer outro), você omitiria U1, trazendo o sinal para o ponto "X" e ajustando o ganho de U2 de acordo.

[10] A sensibilidade do sensor do strain gauge é "2mV-per-volt"; isso é bem baixo. Existem sensores de deformação semicondutores com maior sensibilidade, mas podem não ser tão estáveis.

[11] Há um exemplo deste último em §13.9.11C.

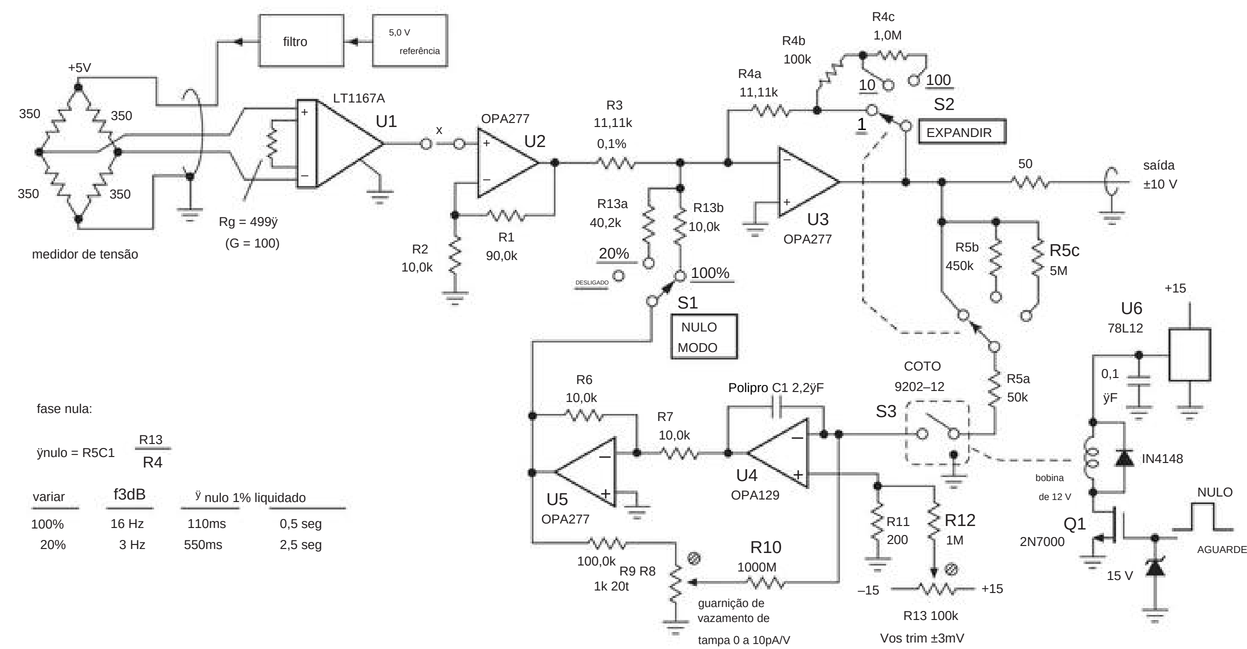


Figura 5.3. Amplificador de laboratório DC com anulação automática. Os resistores de ajuste de ganho têm tolerância de 0,1%.

O circuito de anulação funciona da seguinte forma: o estágio amplificador U3 é configurado na configuração inversora, permitindo um deslocamento dc de acordo com uma corrente adicionada à junção somadora. A anulação ocorre quando o relé (interruptor) S3 é ativado por uma lógica HIGH para bobinar o portão do driver Q1. Em seguida , U4 carrega o capacitor analógico de "memória" (C1) conforme necessário para manter a saída zero. Nenhuma tentativa é feita para seguir sinais que mudam rapidamente, porque no tipo de aplicação para a qual isso foi projetado, os sinais são essencialmente CC, e alguma média é uma característica desejável. Quando a chave é aberta, a tensão no capacitor permanece estável, resultando em um sinal de saída de U3 proporcional aos desvios da entrada daí em diante. O ganho sobre o nível nulo de entrada pode ser aumentado em etapas de década (interruptor S2) para expandir as alterações; o ganho do integrador nulo é alterado de acordo para manter a largura de banda de realimentação constante. A chave S1 seleciona a faixa de nulização em escala completa (100%, 20% ou nenhum).

Existem alguns recursos adicionais que devemos descrever antes de explicar em detalhes os princípios de projeto de precisão aplicados aqui: (a) U5, além de fornecer a inversão necessária do nível nulo, participa de um processo de primeira ordem esquema de compensação de corrente de fuga: a tendência de C1 de descarregar lentamente através de seu próprio vazamento (ÿ100.000 Mÿ, correspondendo a uma constante de tempo de ÿ3 dias) é compensada por uma pequena corrente de carga aluguel por R10 proporcional à tensão em C1; e (b) o integrador U4 foi selecionado para uma corrente de entrada IB muito baixa (para minimizar a queda durante a "retenção"), para a qual a compensação é uma tensão de deslocamento VOS relativamente ruim; então adicionamos um ajuste de deslocamento externo *(R11–R13).* Isso não é muito crítico, em qualquer caso, porque um deslocamento aqui apenas causa um nulo diferente de zero da mesma magnitude.

5.5 Um orçamento de erro de projeto de precisão

Para cada categoria de erro de circuito e estratégia de projeto, dedicaremos alguns parágrafos a uma discussão geral, seguida de ilustrações do circuito anterior. Os erros do circuito podem ser divididos nas categorias de (a) erros nos componentes externos da rede, (b) erros do amplificador operacional (ou amplificador) associados ao circuito de entrada e (c) erros do amplificador operacional associados ao circuito de saída. Exemplos dos três são as tolerâncias do resistor, a tensão de deslocamento de entrada e os erros devidos à taxa de variação finita, respectivamente.

Vamos começar definindo nosso orçamento de erro. Baseia-se no desejo de manter o desvio de entrada (das variações de temperatura e fonte de alimentação) até o nível de 1ÿ V (principalmente da "queda" do capacitor, juntamente com as variações de temperatura e alimentação) abaixo de 1 V/min (referido à entrada, ou RTI). Como itens individuais são obtidos por meio de um processo de compensações, com base no que pode ser

feito com a tecnologia disponível. De certo modo, o orçamento representa o resultado final do projeto, e não o ponto de partida. No entanto, ajudará nossa discussão tê-lo agora.

É importante entender que os itens desse orçamento vêm de várias fontes: (a) parâmetros especificados na folha de dados; (b) estimativas de parâmetros mal especificados (ou não especificados); e (c) parâmetros que você pode nem perceber que são importantes.12 Podemos parafrasear esses parâmetros, respectivamente, como os *conhecidos,* os *desconhecidos conhecidos* e os *desconhecidos desconhecidos.*

5.5.1 Erro de orçamento

Estes estão todos na forma de erros de tensão de pior caso (a 25ÿC) *referidos à entrada do instrumento.* 1. Amplificador de diferença ×100 (U1: LT1167A)

Tensão de 40 ÿ V
compensação Tensão de ruído (0,1–10 Hz) 0,28 Vpp (tipo – sem especificação "máx") ÿ
Temperatura Fonte de alimentação Mudança de 0,3 ÿ V/ÿC
28 nV/100 mV Corrente de offset de entrada ×Rs 0,11 V/350 ÿ de Rs 2.
×10 Amplificador de ganho (U2: OPA277)ÿ

Tensão de offset	0,5 ÿ V
Temperatura	10 nV/ÿC
Tempo	2 nV/mês (típico – sem especificação
Fonte de energia	"máx") 1 nV/100 mV alteração 0,3 V
Corrente de polarização	ÿ

Aquecimento de corrente de carga 5 nV em escala completa (5 mW, 0,1ÿC/mW)

3. Amplificador de saída (U3: OPA277)

Tensão de offset	50 nV
Temperatura	1 nV/ÿC
Tempo	0,2 nV/mês (típico – sem especificação
Fonte de energia	"máx") 0,1 nV/100 mV alteração 30 nV
Corrente de polarização	

Aquecimento de corrente de carga 5 nV em escala completa (carga de 1 kÿ)

4. Amplificador de retenção (U4: OPA129)

U4 offset tempco	10 nV/ÿC
Fonte de energia	10 nV/100 mV alteração
Queda do capacitor	0,4 V/min ÿ
(consulte o orçamento de erro atual)	
transferência de carga	1,1 nV

Os erros de corrente através de C1 (necessários para o orçamento de erro de tensão anterior) são os seguintes:

Máximo de vazamento	
do capacitor (não compensado) (100 pA)	
Típico (compensado)	10 pA
Corrente de	0,25 pA
entrada do U4 *VOS/*	0,1 pA 10
R10 nulo do U4	pA (1 pA típico)

Vazamento do relé S3 OFF Vazamento da placa de circuito impresso 5,0pA Nada mal, embora você ÿ V em *possa* reclamar do deslocamento de 40 put - mas responderíamos que algumas dezenas de microvolts de deslocamento *estático* não são preocupação em um instrumento anulador, é apenas o *desvio* (com tempo e temperatu
Os vários itens do orçamento farão sentido à medida que discutimos as escolhas enfrentadas neste projeto específico. Nós os organizamos pelas categorias de erros de circuito listados anteriormente: componentes de rede, erros de entrada do amplificador e erros de saída do amplificador.

Abordaremos esses erros quantitativamente, no contexto da Figura 5.3, começando em §5.7.6, depois de examinar as fontes de erro de maneira um pouco mais geral na próxima seção.

5.6 Erros de componentes

Os graus de precisão das tensões de referência, fontes de corrente, ganhos do amplificador, etc., dependem todos da precisão e estabilidade dos resistores usados nas redes externas.
Mesmo onde a precisão não está envolvida diretamente, a precisão do componente pode ter efeitos significativos, por exemplo, na rejeição de modo comum de um amplificador diferencial feito de um amplificador operacional (consulte §§4.2.4 e 5.14), onde as relações de dois pares de resistores devem ser correspondidos com precisão. A precisão e linearidade de integradores e geradores de rampa dependem das propriedades dos capacitores usados, assim como o desempenho de filtros, circuitos sintonizados, etc. onde o valor do componente específico dificilmente importa.

Os componentes são geralmente especificados com uma precisão inicial, assim como as mudanças de valor com o tempo (estabilidade) e temperatura. Além disso, há especificações de coeficiente de tensão (não linearidade) e efeitos bizarros como "memória" e absorção dielétrica (para capacitores). As especificações completas também incluem os efeitos

12 Descobrimos um exemplo deste último ao medir correntes de fuga de femtoamp em um bom gabinete de teste blindado: depois que a caixa foi aberta para alterar qualquer coisa dentro, demorou um pouco para que as medições se estabilizassem. Acontece que o processo de mover as coisas causou algum rearranjo de carga superficial nos fios isolados de Teflon, com um longo tempo de relaxação. Pease fala sobre isso em seu artigo "What's All This Teflon Stuff, Anyhow?" – ver as referências das notas de rodapé em §5.10.7. Experimentamos uma manifestação bizarra semelhante com medidores de painel analógicos, em que um toque da mão na face de vidro pode fazer com que a agulha se mova para cima. . . e *fique* aí!

de ciclos de temperatura e soldagem, choque e vibração, sobrecargas de curto prazo e umidade, com condições de medição bem definidas. Em geral, componentes de maior precisão inicial terão suas outras especificações correspondentemente melhores, a fim de proporcionar uma estabilidade geral comparável à precisão inicial. No entanto, o erro geral devido a todos os outros efeitos combinados pode exceder a especificação de precisão inicial. Cuidado!

Como exemplo, os resistores de filme metálico com tolerância de 1% RN55C têm as seguintes especificações: coeficiente de temperatura (tempco), 50 ppm/ ÿC na faixa de ÿ55ÿC a +175ÿC; soldagem, temperatura e ciclagem de carga, 0,25%; choque e vibração, 0,1%; umidade, 0,5%. A título de comparação, os resistores legados de composição de carbono de 5% (Allen–Bradley tipo CB) têm as seguintes especificações: tem pco, 3,3% na faixa de 25–85ÿC; soldagem e ciclagem de carga, +4%, -6%; choque e vibração, ±2%; umidade, +6%. A partir dessas especificações, deve ser óbvio por que você não pode simplesmente selecionar (usando um ohmímetro digital preciso) resistores de carbono que estejam dentro de 1% de seu valor marcado para uso em um circuito preciso, mas são obrigados a usar resistores de 1%. (ou melhor) projetado para estabilidade a longo prazo, bem como precisão inicial. Para obter o máximo de precisão, é necessário usar resistores ultraprecisos ou matrizes de resistores, como a série RG de resistores SMT (tecnologia de montagem em superfície) da Susumu (tolerância de 0,02%, tempco de 5 ppm/ÿC), resistência de Vishay Redes de filmes de metal da série MPM (tolerância absoluta de 0,05%, correspondente a 0,01%; tempco absoluto de 25 ppm/ÿC, tempco correspondente de 2 ppm/ÿC) ou seus tipos ainda melhores de "Bulk Metal Foil" (absolute tolerância a 0,005%, correspondente a 0,001%; tempco absoluto a 0,2 ppm/ÿC, tempco correspondente a 0,1 ppm/ÿC).

5.6.1 Resistores de ajuste de ganho

No circuito anterior (Figura 5.3), resistores de 0,1% são usados na rede de ajuste de ganho, *R1–R4,* para um ganho previsível com precisão. Como veremos em breve, o valor de R3 é uma promessa, com valores pequenos reduzindo o erro de compensação de corrente em U3 , mas aumentando o aquecimento e as compensações térmicas em U2. Observe que os resistores de 1% são usados na rede do atenuador de deslocamento, *R5–R13;* aqui a precisão absoluta é irrelevante, e a estabilidade dos resistores de filme de metal de 1% é totalmente adequada.

5.6.2 O capacitor de retenção A.

Vazamento O maior termo de erro neste circuito, como mostra o orçamento de erro, é o vazamento do capacitor de retenção, C1.

Os capacitores destinados a aplicações de baixo vazamento fornecem uma especificação de vazamento, às vezes como uma resistência de vazamento, às vezes como uma constante de tempo (megohm-microfarads). Neste circuito, C1 deve ter um valor de pelo menos alguns microfarads para manter a taxa de carregamento de outros termos de erro de corrente pequenos (consulte o orçamento). Nessa faixa de capacitância, os capacitores de filme (poliestireno, polipropileno e poliéster) apresentam o menor vazamento. Capacitores de polipropileno (de fabricantes como Epcos, Kemet, Pana sonic, Vishay e Wima, geralmente com tensões nominais de 200–600 V) geralmente têm vazamento de CC especificado em unidades de megohm–microfarads, com valores na faixa de 10.000–100.000 MÿF; portanto, para uma capacitância de 2,2 F, isso equivale a uma resistência de vazamento equivalente em paralelo de pelo menos ÿ 4,5–45 Gÿ. ÿ

Mesmo assim, e adotando um valor plausível de, digamos, 100 Gÿ, isso equivale a uma corrente de fuga de 100 pA na saída total (10 V), correspondendo a taxas de queda de aproximadamente 3 mV/min na saída, o maior termo de erro de longe. Por essa razão, adicionamos o esquema de cancelamento de vazamento descrito anteriormente. É justo supor que o vazamento efetivo pode ser reduzido para 10% da especificação de idade de vazamento do pior caso do capacitor (na prática, provavelmente podemos fazer muito melhor). Nenhuma grande estabilidade é necessária no circuito de cancelamento, dadas as modestas exigências feitas a ele. Como veremos mais tarde, quando discutirmos os desvios de tensão, R10 é mantido intencionalmente grande para que os desvios de tensão de entrada em U4 não sejam convertidos em um erro de corrente significativo.

B. Absorção dielétrica Ainda não terminamos com o capacitor. Um efeito importante, além do vazamento resistivo, é a "memória" do capacitor, oficialmente conhecida como *absorção dielétrica.*[13] Essa é a tendência dos capacitores de retornar, até certo ponto, a um estado anterior de carga, conforme mostrado nos dados medidos da Figura 5.4 (cada capacitor foi mantido em +10 V por um dia ou mais, depois descarregado para 0 V por 10 s, em seguida, circuito aberto e observado enquanto fazia seu trabalho); veja também a discussão em *§§1x.3,* 4.5.1, 4.5.6 e 13.8.4.

5.6.3 Interruptor anulador

Na edição anterior deste livro, o circuito análogo (Figura 7.1, página 393) usava MOSFETs (em vez do relé S3) para ativar o circuito anulador. Essa escolha forneceu muita educação, porque tínhamos que nos preocupar com (a) vazamento do canal MOSFET, devastadoramente grande em cerca de ÿ1 nA, e (b) injeção de carga de porta, da ordem de 100 pC naquele circuito.

As soluções foram (a) o uso de um circuito conectado em série

13 Não está totalmente claro que o que é chamado de "vazamento" em capacitores de alta qualidade seja de fato distinto da absorção dielétrica; ver a nota de rodapé em §4.5.5.

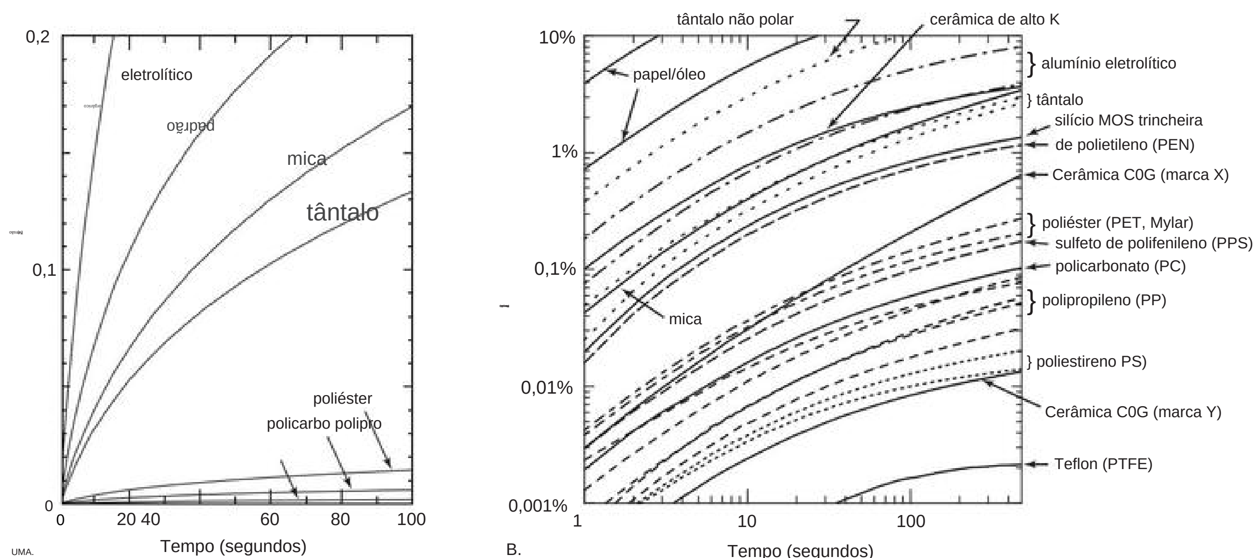


Figura 5.4. Os capacitores exibem efeito de memória (absorção dielétrica), uma tendência de retornar a um estado anterior de carga. Isso é altamente inútil em aplicações (como sample-and-hold analógico) em que um capacitor é usado para reter uma tensão analógica. A. gráfico linear, mostrando o efeito básico; B. enredo log-log, revelando quatro décadas de roupa suja. Teflon é o vencedor incontestável; mas é difícil de encontrar, então os tipos de filme plástico (PS e PP) geralmente são sua melhor escolha. Cerâmica C0G pode ser excelente, mas cuidado com as variações de marca.

par de MOSFET, de modo que o MOSFET a jusante tenha todos os quatro terminais (fonte, dreno, portão e substrato) normalmente em zero volts e (b) um capacitor de retenção suficientemente grande para que o erro seja insignificante, juntamente com a observação de que a transferência de carga não era uma grande preocupação porque resultava em um pequeno deslocamento do auto-zero.

Desta vez, adotamos uma abordagem mais pragmática (mas menos educacional), usando um pequeno relé de sinal . O Coto 9202-12 é um pequeno relé blindado (4 mm × 6 mm × 18 mm), energizado por 12 Vdc a 18 mA, com uma resistência OFF especificada de 1012 ÿ mínimo (1013 ÿ típico).
O valor de Roff do pior caso corresponde a uma taxa de queda de 0,3 mV/min, mas dez vezes menos para Roff "típico" . Os relés isolam melhor do que os interruptores de transistor (maior Roff e menor Coff, aqui < 1 pF), e também têm melhor desempenho ON (menor Ron do que um interruptor analógico de baixa capacitância, aqui <0,15 ÿ).

Obviamente, há *capacitância* entre a bobina e os contatos e, portanto, uma oportunidade para o mesmo tipo de transferência de carga de um comutador MOSFET (onde as transições de oscilação total no portão se acoplam capacitivamente ao dreno e à fonte). Como observamos no Capítulo 3 (§3.4.2E), a carga total transferida é independente do tempo de transição e depende apenas da oscilação total da tensão de controle e da capacitância de acoplamento: *ÿQ* = CcoupÿVcontrol. Neste circuito, a transferência de carga resulta em um simples erro de tensão do auto-zero, pois a carga é convertida em volt idade no capacitor de retenção C1. É fácil estimar o erro: o relé Coto especifica uma capacitância bobina-contato de 0,2 pF (para nossa configuração de blindagem aterrada) e, portanto, uma transferência de carga correspondente de *ÿQ* = 2,4 pC quando a bobina de 12 V é energizada.[14] Isso produz um degrau de tensão de *ÿVC* = ÿQ /C1 = 1,1 F capacitor C1. ÿ V através do 2.2 ÿ
Isso está totalmente dentro do nosso orçamento de erro; na verdade, provavelmente superestimamos o efeito, porque nosso cálculo presumiu que a bobina inteira realizou um degrau de 12 V, enquanto o degrau médio é metade desse valor.

Para os leitores que nutrem uma aversão profunda por relés mecânicos, mostramos na Figura 5.5 uma implementação de switch com JFETs conectados em série. Durante HOLD , as portas JFET são polarizadas de volta para -5 V, pelo circuito de mudança de nível um tanto torturado *Q1-Q4.* O leitor é convidado a estimar a magnitude do droop (use o ID(off)=0,1 pA do datasheet) e da injeção de carga (use o Crss=0,3 pF do datasheet) para este circuito.

5.7 Erros de entrada do amplificador

Os desvios das características de entrada do amplificador operacional do ideal que discutimos no Capítulo 4 (valores finitos de impedância de entrada e corrente de entrada, compensação de tensão, taxa de rejeição de modo comum e taxa de rejeição da fonte de alimentação, e

14 Assumindo que o layout da fiação foi tomado para manter a capacitância baixa de 0,2 pF do sinal HOLD .

Tabela 5.2 Op-amps de precisão representativos

Corrente de Tensão de offset para en Balançar
Fornecimentop @1kHz GBW entrada @25ºC Vos ÿVos tipo Fornecimento de Giro Custo
Faixa IQ type type IN máximo tipo máximo tipo mínimo tipo qtde 25
Papel # (V) (mA) (pA) (pA) (ÿV) (ÿV) (ÿV/°C) dB (nV/ÿHz) (MHz) (V/ÿs) + – – + ($US) Comentários

bipolar
LT1077A 1 2,2–44 0,05 7NA 9NA 9 40 0,4 97 27 LT1013 2,4 3,4–44 0,35 12Na 20Na 40 0,23 0,08 - 0,7 • - • • • 3,84 alimentação
150 0,4 100 22 OPA277P 1,2,4 4–36 0,79 0,5na 1Na 10 20 0,1 130 8 LT1012AC 1 8 - 0,4 - • - • - • única 3,13
40 0,37 25pA 0,1nA 8 25 0,2 114 14 LT1677 1 3–44 2,8 2nA 20nA 20 60 0,4 109 3,2 1 0,8 - - - - 0,5 0,2 • • alimentação única 3,17
LT1468 1 7–36 3,9 3nA 10nA 30 75 0,7 96 5 - - - - 7,2 2,5 • • OP-27 melhorado 5,11
• • • • • • superbeta, comp 3,07 ou
90 23 - - - - • • AD8675, 0,5nA 4,26 0,7ppm distorção

JFET
LF412Ab 1,2 12–44 1,8 OPA827 50 200 500 1000 15 - 80 25 4 15 • 4,47 '411A Vos <0,5mV - -
1 8–40 4,8 CMOS 50 75 150 1,5 104 3,8 22 28 - - - - 9,00 0,1–10Hz: 0,25ÿVpp

LMC6482Ab 2,4 3–16 0,5 0,02 4 110 750 1 70 37 1,5 1,3 • • • • - • 1,88 LMC7101 = SOT23
MAX4236A 1 2,4–6 0,35 OPA376 1,2,4 500 5 20 0,6 84 14 1,7 0,3 - 5,5 2 • • • - - 1,78 shdn, '37 decomp - - 1,32
2,2–7 0,76 zero automático AD8628 1 0,2 10 5 25 0,26 76 7,5 • • • • etrim
1,2,4 2,7–6 0,85 30 100
1 5 0,002 120 22 2.5 1 • • • • - - 1,92 SOIC-8, SOT23-5

Notas: (a) número indicado em negrito em um pacote para o número de peça listado. (b) não precisão, listados para comparação. (p) QI, típico, por amplificador.

seus desvios com o tempo e a temperatura) geralmente constituem sérios obstáculos ao projeto de circuitos de precisão e forçam compensações na configuração do circuito, na seleção de componentes e na escolha de um amplificador operacional específico. O argumento é melhor apresentado com exemplos, como faremos em breve. Observe que esses erros, ou seus análogos, também existem para amplificadores de design discreto.

Ao ler a discussão a seguir, você pode achar útil consultar as Tabelas 5.2 e 5.3, onde listamos dez amplificadores operacionais de precisão favoritos (mais dois comparativos baratos e sem precisão). Essas listagens adicionam conteúdo quantitativo a um conjunto um tanto abstrato de ensinamentos ósseos.

Q2 PN4117A Q3 (R5a)
para U4
+15 R5 3,3M R6 33k
R1 15k R3 5k R4 10k
Q1 2N7000 Q2
Q3 2N7000 Q4 2N7000
15V R2 5k –15

Figura 5.5. Substituição da chave eletrônica do relé mecânico S3 na Figura 5.3. Muito trabalho e nenhuma melhoria no desempenho.

5.7.1 Impedância de entrada

Vamos discutir brevemente os termos de erro listados. O efeito da impedância de entrada finita é formar divisores de tensão em combinação com a impedância da fonte que aciona o amplificador, reduzindo o ganho do valor calculado. Na maioria das vezes, isso não é um problema, porque a impedância de entrada é limitada pelo feedback, elevando seu valor enormemente. Como exemplo, o amplificador operacional de precisão OPA277P (com entrada BJT, não estágio de entrada FET) tem uma "impedância de entrada em modo diferencial" típica de 100 Mÿ. Em um circuito com bastante ganho de loop, a realimentação aumenta a impedância de entrada para a "impedância de entrada de modo comum" da folha de dados de 250.000 Mÿ. Se isso não for bom o suficiente, os amplificadores operacionais de entrada FET têm valores astronômicos de Rin, por exemplo 1013 ÿ (diferencial) e 1015 ÿ (modo comum) para o OPA129 usado neste circuito.

5.7.2 Corrente de polarização de entrada

Mais grave é a corrente de polarização de entrada. Aqui estamos falando de correntes medidas em nanoampères, e isso já produz erros de tensão de microvolts para impedâncias de fonte tão pequenas quanto 1 kÿ. Mais uma vez, os amplificadores operacionais FET vêm em socorro, mas com compensações de tensão geralmente aumentadas como parte do acordo. Os amplificadores operacionais superbeta bipolares, como o LT1012, também podem ter correntes de entrada surpreendentemente baixas. Como exemplo, compare o amplificador operacional bipolar de precisão OPA277 com o LT1012 (bipolar, otimizado para baixa corrente de polarização), o OPA124 (JFET, precisão e baixa polarização), o OPA129 (JFET de ultrabaixa polarização) e o LMC6001 (CMOS, amplificador operacional de menor polarização); estes são alguns dos melhores que você pode obter no

Tabela 5.3 Nove amplificadores operacionais de baixa corrente de entrada

Papel #	Fornecer Vtotal (V)	IQ type (ÿA)	Corrente de entrada a 25°C type (pA)	max (pA)	VOS max (ÿV)	TCVOS type (ÿV/°C)	max (ÿV/°C)
bipolar							
OPA277P	10–36	790	500	1000	20	0,1	0,15
superbeta							
LT1012AC	8–40	370	25	100	25	0,2	
AD706	4–36	750	50	200	100	0,2	
JFET							
OPA124PB	10–36	2500	0,35				0,6
							1,5
				1	250	1	
OPA129B	10–36	1200	0,03	0,1	2000	3	2 10
MOSFET							
MAX9945	4,8–40	400	0,05	-	5000	2	-
CMOS, baixa voltagem							
LMP7721	1,8–6	1300	0,003	0,02	150	1,5	
LMC6001A	5–16	450	0,01	0,025	350	2,5	4 10
ADA4530-1	4,5–16	900	<0,001	0,02	50	0,13	0,5

tempo de escrita, e nós escolhemos o melhor grau de cada um (Tabela 5.3; e veja também a Tabela 5.5 nas páginas 320–321 para mais detalhes, juntamente com uma seleção mais ampla de amplificadores operacionais de precisão com baixa tensão de deslocamento; também como tabelas relevantes no Capítulo 4x).

Amplificadores FET bem projetados têm correntes de polarização extremamente baixas, mas com tensões de deslocamento muito maiores, em comparação com a precisão OPA277. Como a tensão de deslocamento sempre pode ser ajustada, o que mais importa é o desvio com a temperatura. Neste caso, os amplificadores FET são 4 a 20 vezes piores. O amplificador operacional com a corrente de entrada mais baixa usa MOSFETs para o estágio de entrada. Os amplificadores operacionais MOSFET são populares devido à proliferação de unidades baratas, como a série TLC270 da TI, bem como os dispositivos de corrente de polarização ultrabaixa, como as peças da série LMC6000 da National. No entanto, em contraste com os JFETs ou transistores bipolares, os MOSFETs podem ter desvios muito grandes de tensão de deslocamento com o tempo, um efeito que será discutido abaixo. Portanto, a melhoria nos erros de corrente que você compra com um amplificador operacional FET pode ser eliminada pelos termos de erro de tensão maiores. Com qualquer circuito no qual a corrente de polarização pode contribuir com erros significativos, geralmente é aconselhável garantir que ambos os terminais de entrada do amplificador operacional vejam a mesma resistência da fonte CC (consulte, por exemplo, a Figura 4.55); então a *corrente de compensação* do amplificador operacional torna-se a especificação relevante. Mas esteja ciente de que vários amplificadores operacionais de precisão usam um esquema de “compensação de polarização” para cancelar (aproximadamente) a corrente de entrada para tornar esse termo de erro menor (veja novamente o Exercício 2.24 na página 125 para ver como isso é feito). Com amplificadores operacionais desse tipo, você geralmente não ganha nada combinando as resistências CC vistas pelas duas entradas, pois a corrente de polarização residual e a corrente de compensação são comparáveis em um amplificador operacional com compensação de polarização.

A. Variação com a temperatura Um ponto adicional a ter em mente ao usar amplificadores operacionais de entrada FET é que a corrente de “bias” de entrada é, na verdade, gate corrente de fuga e aumenta dramaticamente com o aumento da temperatura: quase dobra para cada aumento de 10°C na temperatura do chip, como visto na Figura 5.6. Como os amplificadores operacionais FET geralmente funcionam a quente (nosso jellybean LF412, por exemplo, dissipa 100 mW quando executado a partir de fontes de ± 15 V), a corrente de entrada real pode ser consideravelmente maior do que os valores de 25°C que você vê na folha de dados.[15] Em contraste , a corrente de entrada de um amplificador operacional de entrada BJT é a corrente de base real, relativamente constante com a temperatura. Portanto, um amplificador operacional de entrada FET com especificações impressionantes de corrente de entrada no papel pode não oferecer tal melhoria em relação a uma boa unidade bipolar superbeta. Como mostra o gráfico, por exemplo, o amplificador operacional de entrada LT1057 JFET com sua corrente de entrada de ÿ3 pA (a 25ÿC) terá uma corrente de entrada de cerca de 100 pA a 75ÿC de temperatura do chip, que é maior do que a corrente de entrada do superbeta LT1012 na mesma temperatura. E nosso amplificador operacional Jellybean LF412 JFET tem uma corrente de entrada comparável à do LT1012 a 25° C e muitas vezes maior em temperaturas elevadas.

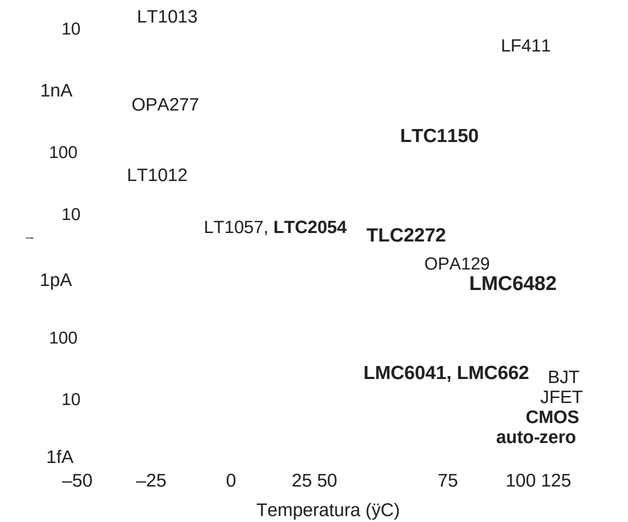


Figura 5.6. Corrente de entrada do amplificador operacional versus temperatura, plotada a partir dos valores da folha de dados. Veja também as Figuras 5.38 e 3.48. Os amplificadores operacionais de entrada JFET são indicados em tipo simples (“romano”), os amplificadores operacionais BJT estão em itálico, os amplificadores operacionais CMOS estão em **negrito** e os amplificadores operacionais com zero automático estão **em negrito inclinado.**

15 Fazendo isso quantitativo, a corrente quiescente máxima do LF412 é de 6,5 mA, portanto, 195 mW de dissipação quando executado a partir de fontes de ±15 V. Em um pacote DIP-8 que produz um aumento de temperatura de 22ÿC (a resistência térmica RÿJA=115ÿC/W), com consequente quadruplicação do especificado IB=200 pA (max). Se o amplificador operacional estivesse conduzindo uma carga, você teria ainda mais dissipação. Para colocar isso em perspectiva, observe que a impedância de condução vista na entrada do amplificador operacional teria que ser maior que 1 Mÿ para que esse erro induzido por corrente exceda 1 mV (típico) erro de tensão de compensação de entrada.

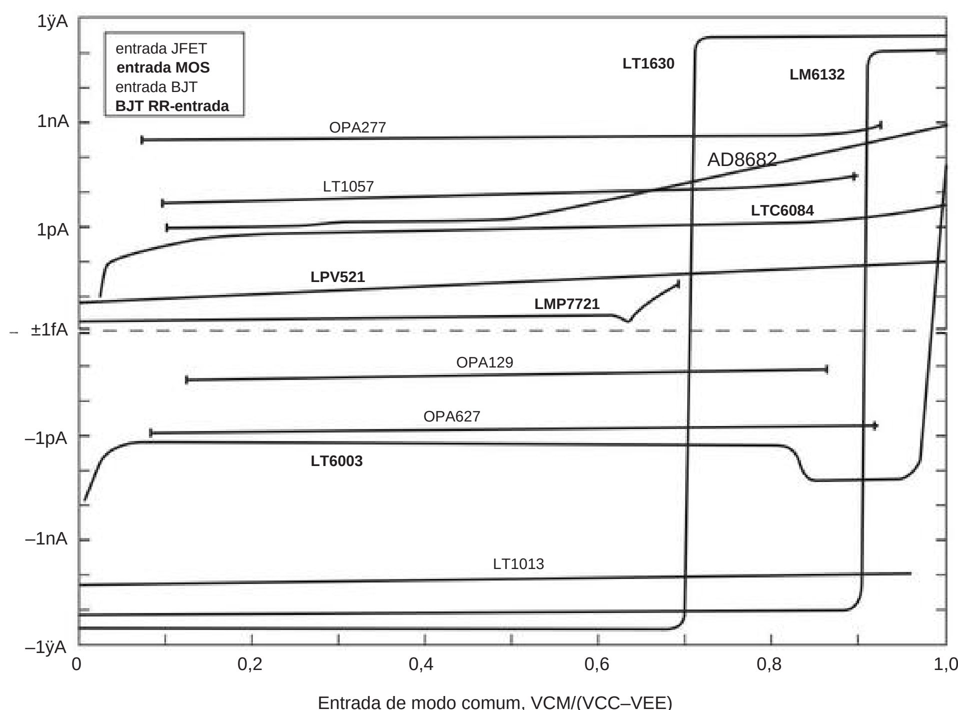


Figura 5.7. Corrente de entrada do amplificador operacional (a 25ÿC) versus tensão de entrada de modo comum, plotada em sua faixa operacional a partir dos valores da folha de dados; Os amplificadores operacionais BJT com estágios de entrada rail-to-rail ("BJT RR-input") sofrem uma reversão abrupta da polaridade da corrente de entrada.

B. Variação com tensão de entrada em modo comum Por fim, um cuidado muito importante: ao comparar correntes de entrada de amplificadores operacionais, fique atento a alguns projetos de amplificadores operacionais cujo IB depende da tensão de entrada. Esse comportamento é comum em amplificadores operacionais projetados para operar em uma faixa de entrada rail-to-rail (RRI), entrada FET e (especialmente) tipos de entrada BJT. A folha de especificações geralmente lista o IB apenas em zero volts (ou no meio do suprimento), mas uma boa folha de dados também mostrará curvas. Veja a Figura 5.7 para alguns comportamentos típicos de IB versus Vin .
O bom desempenho do OPA129 e do OPA627 nesse aspecto se deve em parte ao uso de estágios de entrada do cascode.
O LMP7721 se destaca não apenas por sua corrente de entrada máxima de 20 fA, mas também por sua trajetória premiada neste gráfico.

5.7.3 Compensação de tensão

Desvios de tensão na entrada do amplificador são fontes óbvias de erro. Os amplificadores operacionais diferem amplamente neste parâmetro, variando de amplificadores operacionais de "precisão" que oferecem valores VOS de pior caso , geralmente na casa dos 10s de microvolts, a amplificadores operacionais jujubas comuns, como o LF412 com valores VOS de 2 a 5 mV. No momento da redação deste artigo,16 o campeão (por uma pequena margem) no (nonchopper, veja abaixo) mundo de baixas compensações é o bipolar OPA277P (±20 V, max), que coincidentemente é igualado pelo CMOS ÿ MAX4236A (embora o desvio do último seja 12 vezes pior, como se poderia esperar).

Embora muitos bons amplificadores operacionais simples (mas não duplos ou quádruplos) tenham terminais de ajuste de deslocamento, ainda é aconselhável escolher um amplificador com deslocamento inicial VOS máx inerentemente baixo, por vários motivos. Primeiro, os amplificadores operacionais projetados para baixo deslocamento inicial tendem a ter um desvio de deslocamento correspondentemente baixo com a temperatura e com o tempo. Em segundo lugar, um amplificador operacional suficientemente preciso elimina a necessidade de componentes de corte externos (um aparador ocupa espaço, precisa ser ajustado inicialmente e pode mudar com o tempo). Em terceiro lugar, o desvio de tensão de compensação e a rejeição de modo comum são degradados pelo desequilíbrio causado por um trimmer de ajuste de compensação.

A Figura 5.8 ilustra como um deslocamento compensado tem desvios maiores com a temperatura. Mostra também como o ajuste de compensação é distribuído ao longo da rotação do potenciômetro do aparador, com o melhor

16 Na edição anterior deste livro, concedemos essa honra ao MAX400M, com seu VOS de pior caso especificado de 10 V. Com confiança ÿ Assim, acrescentamos que "esperamos ver mais melhorias incrementais nessa área". Essa confiança foi evidentemente equivocada: o site da Maxim agora diz sobre o MAX400 "Este produto foi fabricado para a Maxim por uma fundição externa de wafer usando um processo que não está mais disponível. Não é recomendado para novos projetos. A folha de dados permanece disponível para usuários existentes." *Sic trânsito. . .*

resolução perto do centro, especialmente para grandes valores de resistência do trimmer. Por fim, você geralmente descobrirá que a rede de compensação externa recomendada fornece um alcance muito grande, tornando quase impossível reduzir o VOS a alguns microvolts; mesmo se você for bem-sucedido, o ajuste é tão crítico que não ficará aparado por muito tempo. Outra maneira de pensar sobre isso é perceber que o fabricante de um amplificador operacional de precisão *já* cortou a tensão de compensação, em um gabarito de teste personalizado usando técnicas de "zapping a laser"; você pode ser incapaz de fazer melhor sozinho. Nosso conselho é (a) usar amplificadores operacionais de precisão para circuitos de precisão e (b) se você precisar ajustá-los ainda mais, organize um circuito de compensação de faixa estreita semelhante ao mostrado na Figura 5.3, com valores ajustados para produzir um ÿcircuito completo ±50 faixa linear na rotação do trimmer (por exemplo, R11=33 ÿ e R12=10M). A Figura 5.9 mostra como organizar compensações externas de faixa estreita para configurações de amplificadores inversores e não inversores.

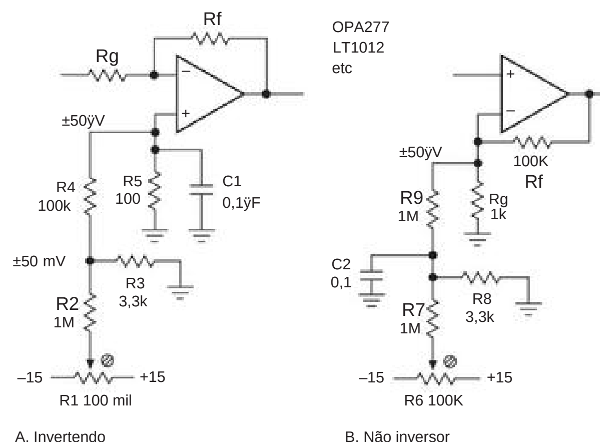


Figura 5.9. Redes de ajuste externo de alcance estreito para amplificadores operacionais de precisão.

Como as compensações de tensão podem ser reduzidas a zero, o que importa é o desvio da tensão de compensação com o tempo, a temperatura e a tensão da fonte de alimentação. Os projetistas de amplificadores operacionais de precisão trabalham duro para minimizar esses erros. Você obtém o melhor desempenho dos amplificadores operacionais de entrada bipolar (em oposição ao FET) nesse aspecto, mas os efeitos da corrente de entrada podem dominar o orçamento de erro. Conforme mostrado na Tabela 5.2 na página 302, os melhores amplificadores operacionais mantêm desvios abaixo de 1 ÿV/ÿC; o OPA277 tipifica a melhor especificação de desvio (para um amplificador operacional não chopper): ÿVOS=0,2 ÿ V/ÿC, máx.

Outro fator a ter em mente é o desvio causado pelo autoaquecimento do amplificador operacional quando ele aciona uma carga de baixa impedância. Muitas vezes é necessário manter a impedância de carga acima de 10k para evitar grandes erros desse efeito. Como de costume, isso pode comprometer o orçamento de erro do próximo estágio pelos efeitos da corrente de polarização! Veremos exatamente esse problema em este exemplo de projeto. Para aplicações nas quais desvios de alguns microvolts são importantes, os efeitos relacionados de gradientes térmicos (de componentes produtores de calor próximos) e fems térmicas (de tensões através de junções de metais diferentes) tornam-se importantes. Isso surgirá novamente quando discutirmos o amplificador *estabilizado por chopper* ultrapreciso em §5.11.

Um cuidado importante: quando as folhas de dados especificam as condições de medição específicas para um parâmetro como VOS, elas significam isso! Um exemplo preocupante é mostrado na Figura 5.10, um gráfico de VOS versus VCM para o amplificador operacional AD8615, cuja folha de dados declara (na primeira página) "Low offset voltage: 65 ÿ V máx" mas cujos dados tabulares revelam que a medição as condições são: VCM = 0,5 V e 3,0 V".

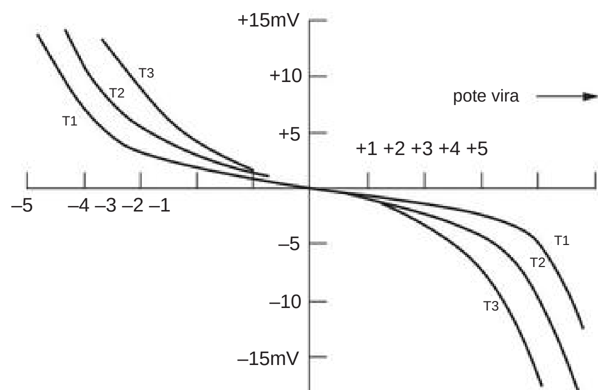


Figura 5.8. Deslocamento típico do amplificador operacional versus rotação do potenciômetro de ajuste de deslocamento para várias temperaturas.

5.7.4 Rejeição de modo comum

A taxa de rejeição de modo comum insuficiente (CMRR) degrada a precisão do circuito introduzindo efetivamente uma compensação de tensão como uma função do nível CC na entrada. Este efeito é geralmente insignificante, porque é equivalente a uma pequena mudança de ganho e, em qualquer caso, pode ser superado pela escolha da configuração: um amplificador inversor é insensível ao amplificador operacional CMRR, em contraste com um amplificador não inversor. Entretanto, em aplicações de "amplificador de instrumentação" você está olhando para um pequeno sinal diferencial rodando em um grande offset DC, e um alto CMRR é essencial. Nesses casos, você deve ter cuidado com as configurações do circuito e, além disso, deve escolher um amplificador operacional com alta especificação CMRR. Mais uma vez, um amplificador operacional superior como o OPA277 pode resolver seus

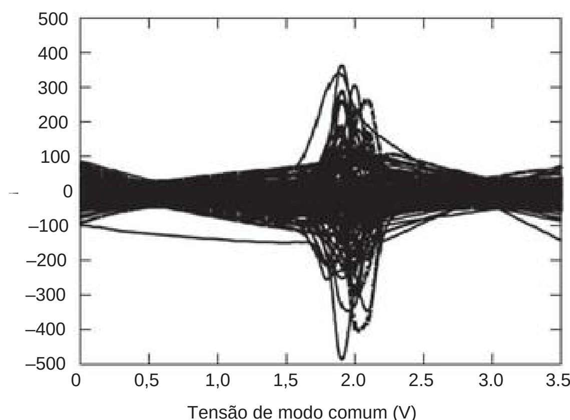


Figura 5.10. Este amplificador operacional especifica uma tensão de deslocamento máxima de ±60 V. Mas também especifica as seguintes condições: Vs=3,5 V e VCM=0,5 V ou 3,0 V. Moral: não ignore as notas de rodapé!

em CC de 130 dB, em comparação com a especificação escassa de 70 dB do nosso jellybean LF411. Discutimos amplificadores diferenciais e de instrumentação de alto ganho mais adiante no capítulo, começando em §5.13.

5.7.5 Rejeição da fonte de alimentação

Mudanças na tensão da fonte de alimentação causam pequenos erros no amplificador operacional. Como na maioria das especificações de amplificadores operacionais, a taxa de rejeição da fonte de alimentação (PSRR) refere-se a um sinal na *entrada*. Por exemplo, o OPA277 tem um PSRR especificado de 126 dB em CC, o que significa que uma mudança de 1 volt em uma das tensões da fonte de alimentação causa uma mudança na saída equivalente a uma mudança no sinal de entrada diferencial de 0,5 ÿ V.

O PSRR cai com o aumento frequência, acompanhando aproximadamente o comportamento do ganho de malha aberta, e um gráfico que documenta esse comportamento obsceno é frequentemente fornecido na folha de dados. Por exemplo, o PSRR (relativo ao trilho negativo) do nosso OPA277 favorito começa a cair em 1 Hz e cai para 95 dB (tipo) em 60 Hz e 50 dB em 10 kHz. Isso raramente representa um problema, porque o ruído da fonte de alimentação também diminui em frequências mais altas se você tiver usado um bom desvio. No entanto, a ondulação de 120 Hz pode apresentar um problema se uma fonte não regulada for usada.

Vale ressaltar que o PSRR não será, em geral, o mesmo para os fornecimentos positivos e negativos. Assim, o uso de reguladores dual-tracking não traz necessariamente nenhum benefício. Observe também que o PSRR é frequentemente especificado para *G* = 1 e pode ser consideravelmente pior em ganhos mais altos; na verdade, foram encontrados amplificadores operacionais que exibem *ganho* (!) de um trilho para a saída em configurações de ganho moderado.

5.7.6 Anulando o amplificador: erros de entrada

Agora estamos prontos para embarcar em uma discussão detalhada dos problemas de erro mais sérios no amplificador da Figura 5.3. O circuito começa com um front-end amplificador de instrumentação de precisão opcional U1 (mais em §5.15), aqui escolhido por seu ganho diferencial estável e preciso de 100×, baixa corrente de entrada e ruído adequadamente baixo (9 nV/ ÿ Hz tipo em 10 Hz). Sua tensão de deslocamento de pior caso e especificações de tempco (±40 V, 0,3 V/ÿC) são um fator de dois piores do que um ÿ amplificador operacional de precisão como o OPA277 (no melhor grau), mas seus 120 dB (min) O CMRR como um amplificador de diferença, combinado com 0,08% de precisão de ganho no pior caso, 50 ppm/ÿC (max) de temperatura de ganho e ruído de baixa tensão, o torna um bom front-end para uma aplicação de ponte de baixo nível como esta. Embora não seja importante com a baixa impedância da fonte neste exemplo, sua corrente de entrada é satisfatoriamente baixa para um amplificador de entrada BJT, em apenas 0,35 nA máx.[17] Para entradas de terminação única, U1 é omitido e o sinal é trazido no ponto "×" (adicione um resistor em série de 470 ÿ, com um par de diodos de fixação de baixo vazamento – veja a Figura 5.2 – aos trilhos, para proteção de overdrive). A precisão e estabilidade do OPA277 regem aqui, embora seja tentador considerar a substituição de uma peça de entrada FET; mas a especificação VOS tempco 10 vezes mais pobre compensa mais do que a vantagem da corrente de entrada baixa, exceto com fontes de impedância muito alta. A corrente de polarização de 1 nA (máx.) do OPA277 dá um erro de impedância de fonte de 1 V/1 kÿ, enquanto o melhor JFET OPA627B da categoria (a US$ 35 cada!). Embora ÿ forneça um erro de corrente insignificante com sua corrente de entrada de 5 pA (máx. , exibiriam desvios de compensação de tensão tão grandes quanto 3 V/4ÿC (4ÿC é considerado uma faixa típica de variação de temperatura ambiente de laboratório). ÿ Neste circuito pode-se facilmente adicionar um ajuste de offset para U2, preferencialmente da maneira da Figura 5.9. Como mencionado anteriormente, o feedback inicializa a impedância de entrada para 250 Gÿ e elimina quaisquer erros de ganho da impedância de fonte finita, até 25 Mÿ (para um erro de ganho menor que 0,01%).

U2 aciona um amplificador inversor (U3), com R3 escolhido como um compromisso entre compensações térmicas produzidas pelo calor em U2 e erros de compensação de corrente de polarização em U3. O valor escolhido mantém o aquecimento até 5 mW (na saída de 7,5 V, o pior caso), o que resulta em um aumento de temperatura de 0,8ÿC (o amplificador operacional tem uma resistência térmica RÿJA de cerca de 0,15ÿC/mW, consulte §9.4), com uma consequente compensação de tensão máxima de ÿVOS = TCVOS ÿT ÿ 0,12 V. Os

[17] Na verdade, se o ruído é a principal preocupação, você pode substituir o amplificador de instrumentação INA103 × 4 mais silencioso no front-end, pagando o preço na corrente de compensação de entrada: um colossal 1 ÿ A (normalmente), para um ÿ V de compensação de tensão criada com Resistência de fonte diferencial de 350 ÿ aqui.

a impedância da fonte vista por U3 resulta em um erro devido ao deslocamento da corrente de polarização, mas, com U3 dentro de um loop de realimentação com U4 e U5 ajustando o deslocamento geral para zero, tudo o que importa é o desvio no termo de erro atual. O OPA277 fornece um gráfico de alteração típica da corrente de polarização com a temperatura (não frequentemente especificada pelos fabricantes), a partir da qual é calculado o resultado do erro de 0,2 V/ÿC no cálculo do erro. ÿ Reduzir o valor de R3 melhoraria este termo, em detrimento do termo de aquecimento em U2.

A impedância de entrada CC de U3 chega mais perto de apresentar um problema. Para estimar o erro, comparamos a impedância de entrada diferencial de U3 de 100 Mÿ com a impedância do pior caso (ou seja, com ganho definido para × 100) visto conduzindo sua entrada. O último é apenas a resistência de feedback (1M) dividida pelo ganho do loop *GOL/GCL,* portanto 10ÿ. Portanto, o efeito de carga de pior caso é de 1 parte em 107, três ordens de magnitude menor que 0,01% de erro. Este é um dos exemplos mais difíceis que poderíamos imaginar, e mesmo assim a impedância de entrada do op-amp não apresenta nenhum problema, demonstrando assim que, em geral, você pode ignorar os efeitos das impedâncias de entrada do op-amp.

Os desvios na tensão de compensação em U2 e U3 ao longo do tempo, temperatura e variações da fonte de alimentação afetam igualmente o erro final e são tabulados no orçamento. Vale ressaltar que todos eles são automaticamente cancelados a cada ciclo de "zeramento", e apenas os desvios de curto prazo importam.

Esses erros estão todos na faixa de microvolts, graças a uma boa escolha de amplificador operacional. O U4 tem drifts maiores, mas deve ser do tipo FET para manter a corrente do capacitor pequena, como já explicado. Observe que os erros na saída do U4 são amplificados pela configuração de ganho do U3; portanto, eles são especificados como erros de *entrada* no orçamento.

Observe a filosofia geral de projeto que emerge desse exemplo: você trabalha nas áreas problemáticas, escolhendo configurações e componentes conforme necessário para reduzir os erros a valores aceitáveis. Compensações e compromissos estão envolvidos, com algumas escolhas dependendo de fatores externos (por exemplo, o uso de um amplificador operacional de entrada FET para U2 seria preferível para impedâncias de fonte maiores que cerca de 10 kÿ).

5.8 Erros de saída do amplificador

Conforme discutimos no Capítulo 4, os amplificadores operacionais têm algumas limitações sérias associadas ao estágio de saída. Taxa de variação limitada, distorção de cruzamento de saída (§2.4.1A) e impedância de saída de malha aberta finita podem causar problemas e podem fazer com que os circuitos de precisão exibam erros incrivelmente grandes se não forem levados em consideração.

5.8.1 Taxa de giro: considerações gerais

Como mencionamos em §4.4.1K, um amplificador operacional pode oscilar sua tensão de saída apenas em uma taxa máxima. Esse efeito se origina no circuito de compensação de frequência do amplificador operacional, como explicaremos em breve com mais detalhes. Uma consequência de uma taxa de variação finita é limitar a oscilação de saída em altas frequências a um máximo de Vpp = S/ *f* , conforme plotado em §4.4.1K e ÿ aqui na Figura 5.11.

Uma segunda consequência é melhor explicada com a ajuda de um gráfico de taxa de variação versus sinal de entrada diferencial (Figura 5.12). O ponto a ser feito aqui é que um circuito que exige uma taxa de variação substancial deve operar com um erro de tensão substancial nos terminais de entrada do amplificador operacional. Isso pode ser desastroso para um circuito que finge ser altamente preciso: o loop de feedback está com erro, ainda mais porque a saída gira mais rapidamente, produzindo assim uma forma de onda de saída distorcida. (Observe os gráficos de distorção medidos na Figura 5.19 na página 311 para ver esse efeito, por exemplo, no LT1013 para o qual S=0,8 V/ ÿ s.)

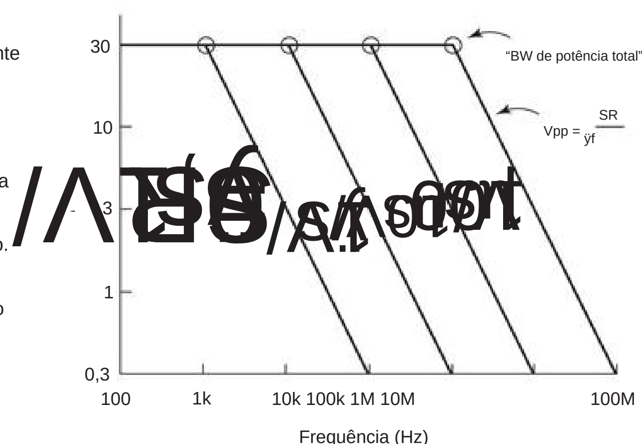


Figura 5.11. Balanço máximo de saída versus frequência.

Vamos examinar as entranhas de um amplificador operacional para obter algum entendimento da origem da taxa de variação (consulte *§4x.9* para uma discussão mais extensa). A grande maioria dos amplificadores operacionais pode ser resumida com o "circuito Widlar" teórico mostrado na Figura 5.13. Um estágio de entrada diferencial,18 carregado com um espelho de corrente, aciona um estágio de grande ganho de tensão com um capacitor de compensação da saída para a entrada.

O estágio de saída é um seguidor push-pull de ganho unitário. O capacitor de compensação *C* é escolhido para trazer o ganho de malha aberta do amplificador para a unidade antes da mudança de fase.

18 Simplificamos um pouco: o estágio de entrada do LM101 original de Widlar usava um par diferencial *pnp* , mas foi configurado como um amplificador de base comum acionado por um par seguidor *npn* .

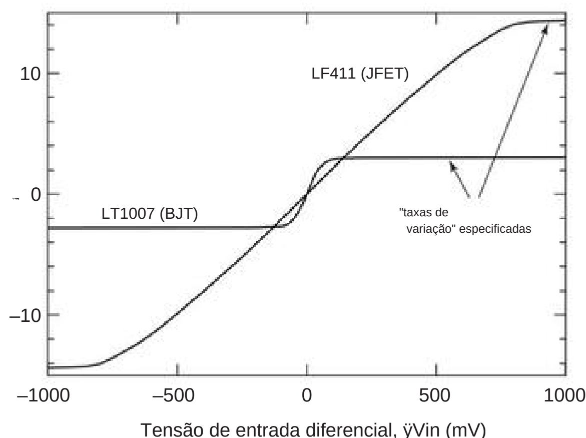


Figura 5.12. Uma tensão de entrada diferencial substancial é necessária para produzir a taxa de variação total do amplificador operacional, conforme mostrado nesses dados medidos. Para amplificadores operacionais de entrada BJT, são necessários ÿ60 mV para atingir a taxa de variação total; para JFETs e MOSFETs é mais como um volt.

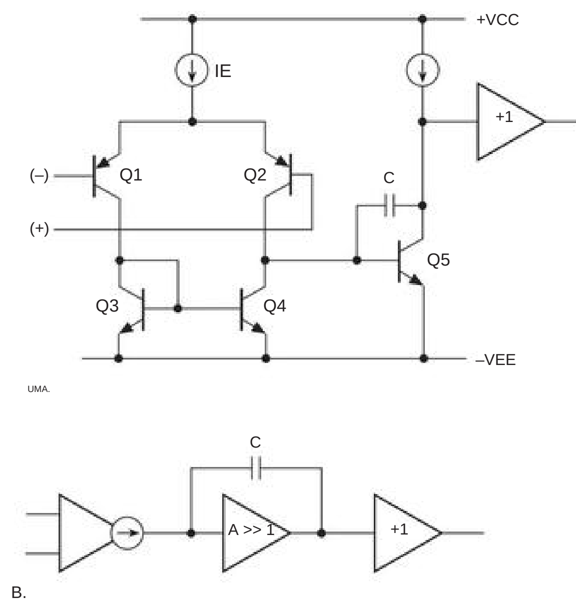


Figura 5.13. Esquema típico de compensação interna do amplificador operacional.

causados pelos outros estágios do amplificador tornaram-se significativos. Ou seja, *C* é escolhido para colocar fT, a largura de banda de ganho unitário, próximo à frequência do próximo polo de rolloff do amplificador, conforme descrito em §4.9. O estágio de entrada tem uma impedância de saída muito alta e parece uma fonte de corrente para o próximo estágio.

O amplificador operacional é limitado pela taxa de variação quando o sinal de entrada aciona um dos transistores de estágio diferencial quase para cortar, acionando o segundo estágio com a corrente total do emissor IE do par diferencial. Para um estágio de entrada BJT, isso ocorre com uma tensão de entrada diferencial de cerca de 60 mV, ponto em que a relação de correntes no estágio diferencial é de 10:1.

Neste ponto, Q5 está girando seu coletor tão rapidamente quanto possível, com todo IE entrando no carregamento C. O transistor Q5 e *C* , portanto, formam um integrador, com uma rampa limitada por taxa de variação como saída. Não é difícil derivar uma expressão para a taxa de variação, sabendo como os transistores bipolares funcionam – veja a discussão em *§4x.9.* O ponto principal é que o circuito de amplificador operacional de entrada BJT clássico da Figura 5.13 tem uma taxa de variação *S* dada por *S* ÿ 0,3 fT.

Para obter uma taxa de variação mais alta, você pode escolher um amplificador operacional com maior largura de banda fT; se estiver operando com ganhos de malha fechada maiores que a unidade, você pode usar um amplificador operacional descompensado (com seu valor fT mais alto). Mas existem maneiras (conforme explicado em *§4x.9)* para superar o limite *S* ÿ 0,3 fT (que assumiu um amplificador operacional compensado por ganho unitário com uma entrada diferencial BJT configurada para ganho máximo, ou seja, com RE=0) . A saber: (a) usar um amplificador operacional com transcondutância de estágio de entrada reduzida (seja um amplificador operacional de entrada FET ou um amplificador operacional de entrada BJT com degeneração do emissor); (b) usar um amplificador operacional com um circuito de estágio de entrada diferente, projetado especificamente para taxa de variação aprimorada - exemplos são a técnica de "redução de transcondutância acoplada cruzada" (usada na família TLE2142; consulte o circuito de estágio de entrada acoplado cruzado mostrado em *§4x.9)* e o "estágio de transcondutância de ampla faixa dinâmica" Butler (usado, por exemplo, no OP275 e OP285; consulte o circuito do estágio de entrada Butler em *§4x.9);* (c) usar um amplificador operacional com realimentação de corrente (CFB), ou uma variante CFB (com uma entrada de inversão com buffer) que imita um amplificador operacional com realimentação de tensão comum (VFB).

Esses truques funcionam. Se definirmos um fator de aumento *m* (isto é, S=0,3m fT), o gráfico LF411 (com entrada JFET) mostrado na Figura 5.12 tem *m* = 12, comparado com o LT1007 bipolar (m=1,0); o TLE2141 (com estágio de entrada BJT cross-coupled) tem *m* = 25, e o OP275/285 (com estágios de entrada Butler) tem *m* = 8; o LT1210 (um CFB op-amp) tem *m* = 55 com o resistor de realimentação recomendado; e o LT1351 (um CFB na roupagem do VFB) tem *m* = 220.

Para uma visão mais profunda da taxa de variação, consulte a discussão estendida no Capítulo *4x (§4x.9).*

5.8.2 Largura de banda e tempo de acomodação

A taxa de variação mede a rapidez com que a tensão de saída pode mudar. A especificação da taxa de variação do amplificador operacional geralmente assume uma grande tensão de entrada diferencial (60 mV ou mais), que (apesar de seu potencial para criar distorção de saída) não é irracional, dado que um amplificador operacional cuja saída não é 't onde deveria estar terá sua entrada acionada

fortemente por feedback, assumindo uma quantidade razoável de ganho de loop. Talvez de igual importância em aplicações de precisão de alta velocidade seja o tempo necessário para que a saída chegue ao destino após uma alteração na entrada. Essa especificação *de tempo de* acomodação (o tempo necessário para chegar dentro da precisão especificada do valor final e permanecer lá; veja a Figura 5.14) é sempre dada para dispositivos como conversores digital-analógico, onde a precisão é o nome do jogo , mas normalmente não é especificado para amplificadores operacionais.

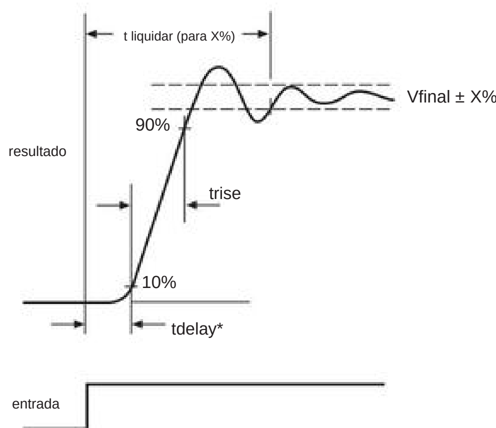


Figura 5.14. Tempo de acomodação definido.

Podemos estimar o tempo de acomodação do amplificador operacional considerando primeiro um problema diferente, ou seja, o que aconteceria com um degrau de tensão perfeito em algum lugar do circuito se fosse seguido por um simples filtro passa-baixa *RC* (Figura 5.15). É um exercício simples mostrar que a forma de onda filtrada tem os tempos de estabilização mostrados. Este é um resultado útil, porque muitas vezes você limita a largura de banda com um filtro para reduzir o ruído (mais sobre isso mais adiante neste capítulo). Para estender esse resultado simples para um amplificador operacional, lembre-se de que um amplificador operacional compensado tem uma redução de 6 dB/oitava na maior parte de sua faixa de frequência, exatamente como um filtro passa-baixa. Quando conectado para ganho de malha fechada GCL, sua "largura de banda" (a frequência na qual o ganho de malha cai para a unidade) é aproximadamente dada por

$$f_{3dB} = f_T / G_{CL} .$$

Como resultado geral, um sistema de largura de banda *B* tem tempo de resposta ÿ 1/(2 ÿ B); assim, a "constante de tempo" equivalente do amplificador operacional é

$$ÿ ÿ G_{CL}/2 ÿ f_T.$$

O tempo de acomodação é aproximadamente 5–10ÿ ·

Vamos tentar nossa previsão em um caso real. O TLE2141

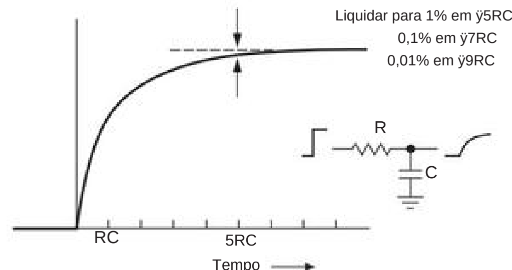


Figura 5.15. Tempo de estabilização de um filtro passa -baixa *RC* .

da TI é um amplificador operacional de precisão de ajuste rápido, com um fT de 5,9 MHz. Nossa fórmula simples estima que o tempo de resposta da configuração invertida (ou seja, G=2) seja de 54 ns, portanto, um tempo de estabilização de 378 ns (7) a 0,1%; folhas de dados de 340 ns. ÿ o valor da

Há vários pontos que valem a pena ressaltar: (a) nosso modelo simples nos dá apenas um limite inferior para o tempo real de acomodação em um circuito real; você deve sempre verificar o tempo de subida limitado pela taxa de giro, que pode dominar. (b) Mesmo que a taxa de variação não seja um problema, o tempo de estabilização pode ser muito maior do que nosso modelo idealizado de "pólo único", dependendo da compensação do amplificador operacional e da margem de fase. (c) O amplificador operacional irá estabilizar mais rapidamente se o esquema de compensação de frequência usado fornecer um gráfico de deslocamento de fase em malha aberta versus frequência que seja uma bela linha reta em um gráfico log-log (como na Figura 5.17); os amplificadores operacionais com oscilações no gráfico de mudança de fase são mais propensos a exibir overshoot e zumbido, como na forma de onda superior mostrada na Figura 5.14. (d) Um tempo de acomodação rápido para 1%, digamos, não garante necessariamente um tempo de acomodação rápido para 0,01%, pois pode haver uma cauda longa (Figura 5.16). (e) Não há substituto para uma especificação de tempo de acomodação real do fabricante.

A Tabela 5.4 lista uma seleção de amplificadores operacionais de alta velocidade adequados para aplicações que exigem alto fT, alta taxa de variação, tempo de estabilização rápido e tensão de deslocamento razoavelmente baixa.

5.8.3 Distorção de crossover e impedância de saída

Alguns amplificadores operacionais (por exemplo, o clássico LM324/358 de alimentação única) usam um simples estágio de saída seguidor push-pull, sem polarizar as bases de dois diodos separados, como discutimos em §2.4.1. Isso leva a uma distorção de "classe B" próxima à saída zero, porque o estágio do driver precisa girar as bases por meio de 2VBE conforme a corrente de saída passa por zero (Figura 5.18). Essa distorção de crossover pode ser substancial, particularmente em frequências mais altas, onde o ganho do loop é reduzido; veja os dados medidos na Figura 5.19. É bastante reduzido em projetos de amplificadores operacionais que polarizam a saída

Tabela 5.4 Op-ampsx representativo de alta velocidade

Papel #	Fornecimentop @25°C	Iin en	Tensão de offset Vos ÿVos typr	range	GBW girou	fora	Cin	Balance para Fornecer IN OUT	custo qtde 25 ($US) Comentários
	IQ type type max nV ( ) (V) (mA) (pA) (mV) (mV) (ÿV/ºC) ÿHz		tipo		tip tip tip (MHz) (V/ÿs) (mA) (pF) + – + –				
bipolar									
LT1468 1 7–36 3,9 3nA 0,03 0,08 0,7					5 90 23	22	4	- ● ●	4,26 0,7 ppm dist C-Load™ 2,75
LT1360 1,2,4 5–36 4 0,3ÿA 0,3 LM6171 1,2 5–36		1		9	9 50 800 12 100	34	3	- ● ●	
2,5 1ÿA 1,5 3 AD8021b 1 4,5–26 7,7ÿA 0,4 1 AD8044 1 9–36 6,5 0,2ÿA 0,05 0,3				6	3600 9 330g 2000	90	-	● ●	2,57 VFB+CFB 5,23
				1		60	2	- ● ●	CFB, pino de compensação
				0,5	2,1 925 420	60	1	● - - - - - -	2,42 pinos comp, 16 bits
JFET									
OPA604A 1,2	9–50 5,3 50 15	1			10 20 25 3,8 22 28	36	10	- ● ●	2,93 3ppm, dual '2604 - - - - -
OPA827A 1 8–40 4,8 ADA4637 1 9–		0,08	5 0,15	8 1,5		30	9	-	- 9,00 silencioso, preciso - d 10,12 decomp, G>7
36 7,0 bipolar de baixa tensão		1	0,12 0,3	1	6.1 80 170	45	8	-	
LT6220 1,2,4 2,2–13 0,9 15nA 0,07 0,35 1,5 10 60 20 LMH6723 1,2,4 4,5–13 1 2ÿA 1 4,3 370						35		- ● ● ● ●	- - 1,75 SOT-23 - 2,03
600 ADA4851 1,2,4 3–12,6 2,5 2,2ÿA 4 0,3 370 600 ADA4851 1,2,4 3–12,6 2,5 2,2ÿA 4 0,56 10,56		3			1 12 1,8 4 0,1 2 0,05	110	2	- ----	CFB, SOT23-5 - 1,40 SOT23-5,
2ÿA 0,2 1,5 10 LT6200 1,2 3–12,6 16,5 10ÿA 0,2 1,2 8 0,95 165 50 LT6200-10 1,2 3–12,6 16,5 10ÿA					0,23 1,2 8 0,95 1600	85	1,5 1,2	- ● ● ● -	pino shdn - 1,35 VFB+CFB, rápido -
450 55m 5.6 450 1100 1100 1100					6 400 2500	70	2	- -	- 2,99 1% dist a 50MHz
						70	4	- ● ● ● ●	
						70	4	- ● ● ● ● -	- 2,99 RRIO mais rápido -
OPA698e 1 5–13 16 3ÿA 2 JFET de baixa tensão						55	1	n ● ● -	4,14 recorte
OPA656 1 9–13 14		2	0,25 1,8 2		7 230 290	50	2.8	● - - - - - -	5,59 ruído en·Cin baixo - - - - - 10,01
OPA657 1 1,2	9–13 14 5–	2	0,25 1,8 2		7 1600 700 4 1050	50	4,5		decomp, G>7 - - - - - 4,93 en·Cin mais baixo
ADA4817	10,6 19	2	0,4 2	7	870	70	1,5 -	●	
CMOS									
AD8616 2 2,7–6 1,7 LMP7717 1,2			0,2 0,02 0,06 1,5		7 24 12	150		- ● ● ● ●	- - 1,52 '8615 SOT23-5 - - 2,18
OPA350 1,2,4 2,5–7 5,2	1,8–6 1,15 0,05 0,01 0,15 1				6,2 88 28	15	7	- - ● ● ●	decomp, G>10 1,67 6ppm
			0,5 0,15 0,5 4		7 38 22	40	15c 6,5	● ● ● ● - ●	

Notas: (a) negrito indica o número em um pacote para o número de peça listado. (b) para G<20 use ext Cc escolhido para definir f3dB=200MHz. (c) afundamento de 15mA, fonte de 47mA. (d) para DIP-8 ver OPA637. (e) OPA699 decomp. (g) em G=10. (m) máx. (n) gráfico de distorção para OPA699. (p) QI, típico, por amplificador. (r) a 1 kHz. (x) veja também a tabela de amplificadores operacionais rápidos no Capítulo 4x.

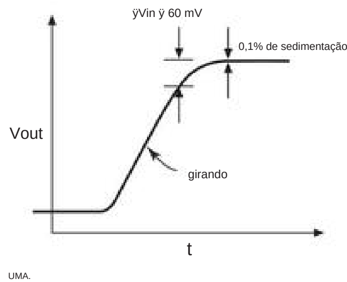
par push-pull em condução leve ("class-AB"), por exemplo o LT1013, que é uma versão melhorada do LM324. A escolha certa do amplificador operacional pode ter um impacto enorme no desempenho de amplificadores de áudio de baixa distorção. Talvez esse problema tenha contribuído para o que os audiófilos chamam de "som de transistor". Alguns amplificadores operacionais modernos, particularmente aqueles destinados a aplicações de áudio, são projetados para produzir distorção de crossover extremamente baixa. Exemplos são o LT1028, o AD797 e a excelente série "LME49000" da NSC, por exemplo, o LME49710.

O último, por exemplo, tem menos de 0,0001% de distorção em toda a banda de áudio de 20–20 kHz. (De qualquer forma, essa é a alegação; podemos ser excessivamente crédulos!) Todos esses amplificadores também têm tensão de ruído muito baixa; o LT1028, por exemplo, disputa o título de campeão mundial de tensão de ruído, com en = 1,7 nV/ ÿ Hz (max) a 10 Hz. Veja os gráficos expandidos da distorção do amplificador operacional nas Figuras 5.43 e 5.44, onde vários amplificadores operacionais competem pelo título de rei da baixa distorção. Os amplificadores operacionais de alta tensão têm uma vantagem abaixo 10 kHz, enquanto os tipos de baixa tensão têm uma vantagem acima de 200 kHz.

A impedância de saída em malha aberta de um amplificador operacional com fonte dividida típica é maior quando a saída está próxima ao terra, porque os transistores de saída estão operando em sua corrente mais baixa na carga (retornada pelo terra). A impedância de saída também aumenta em alta frequência à medida que o ganho do transistor cai, e pode aumentar ligeiramente em frequências muito baixas por causa do feedback térmico no chip.

É fácil negligenciar os efeitos da impedância de saída de malha aberta finita, pensando que o feedback resolverá tudo. Mas quando você considera que alguns amplificadores operacionais têm impedâncias de saída de malha aberta de algumas centenas de ohms, fica claro que os efeitos podem não ser desprezíveis, especialmente em ganhos de malha baixos a moderados. As Figuras 5.20 e 5.21 mostram alguns gráficos típicos da impedância de saída do amplificador operacional, com e sem realimentação.

A impedância de saída finita também contribui para a instabilidade ao conduzir cargas capacitivas, como discutimos em



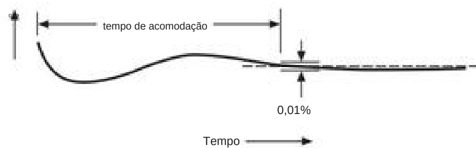


Figura 5.16. A. O giro diminui quando o erro de entrada se aproxima de 60 mV. B. A definição de alta precisão pode ser surpreendentemente demorada.

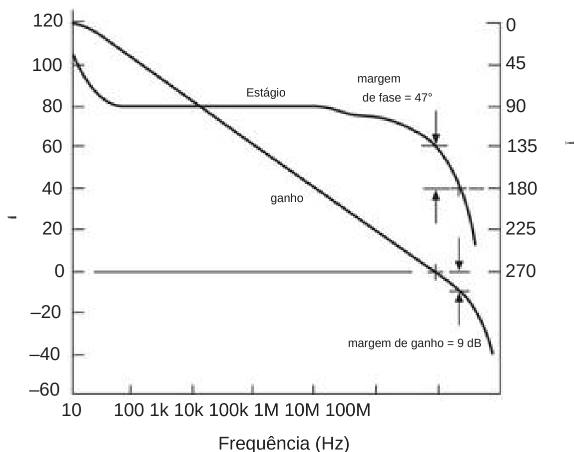


Figura 5.17. OP-42 ganho e fase versus frequência.

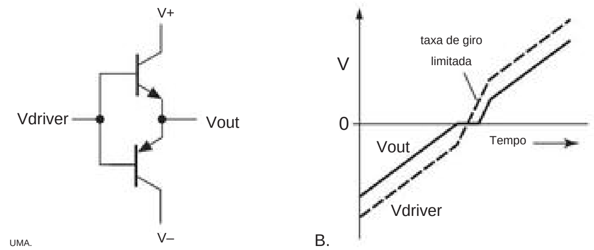


Figura 5.18. Distorção cruzada no estágio de saída push-pull classe B.

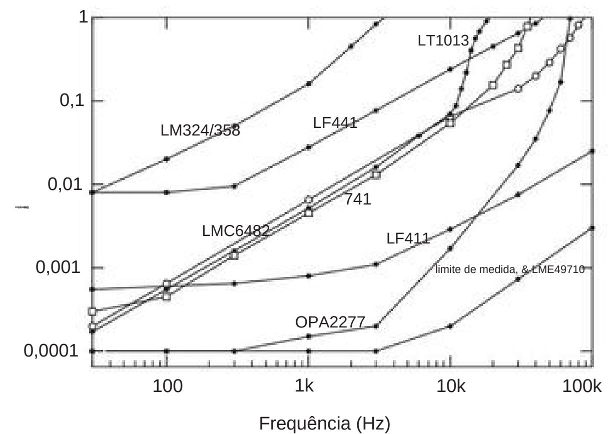


Figura 5.19. Distorção harmônica medida versus frequência para vários amplificadores operacionais populares (saída de 1 Vrms, descarregada). Veja também as Figuras 5.43 e 5.44.

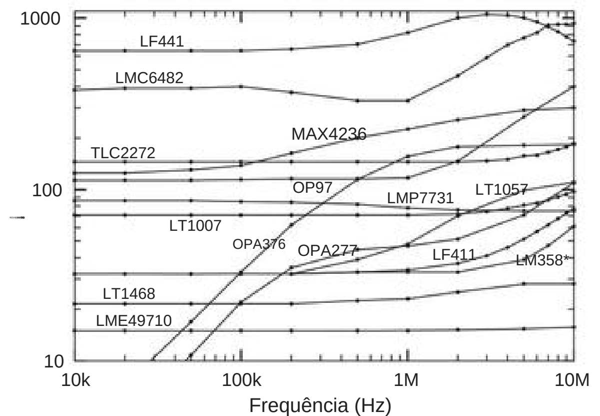


Figura 5.20. Impedância de saída em malha aberta medida versus frequência para uma seleção de amplificadores operacionais. As peças mostradas em **negrito** possuem circuitos de saída CMOS. * Com resistor suspenso de saída.

§4.6.2, devido à mudança de fase de atraso adicional dentro do loop de realimentação que é criado por Rout em combinação com Cload. Várias soluções comuns foram mostradas na Figura 4.78, incluindo um caminho de realimentação dividido ou a inclusão de um buffer de ganho unitário dentro do loop. Este último merece uma menção aqui.

5.8.4 Buffers de energia de ganho unitário

Se a técnica de caminhos de realimentação divididos for inaceitável, uma solução é adicionar um buffer de alta corrente de ganho unitário dentro

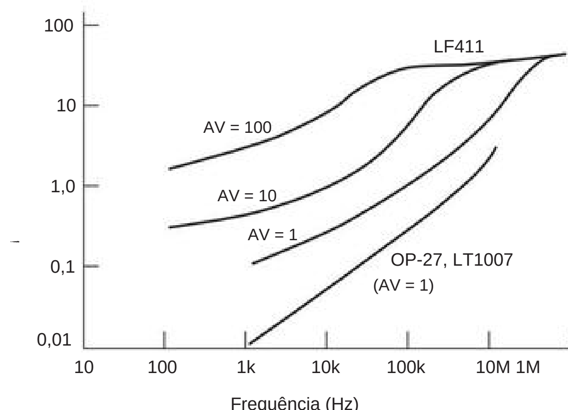


Figura 5.21. Impedância de saída em malha fechada versus frequência para os amplificadores operacionais LF411 e LT1007, das folhas de dados dos fabricantes.

o loop, como, por exemplo, no amplificador de laboratório de uso geral da Figura 4.87. O LT1010 nesse circuito possui largura de banda adequada (>10 MHz) na qual adiciona pouco deslocamento de fase; portanto, pode estar dentro do loop de realimentação com uma pequena quantidade de compensação externa.

Esses "aumentadores de potência" podem, é claro, ser usados para cargas que requerem alta corrente (por exemplo, condução de um cabo coaxial terminado), independentemente de haver ou não problemas com capacitância. E os buffers de ganho unitário são úteis mesmo com cargas de corrente apenas moderada, no contexto de projeto de circuito de precisão, porque evitam desvios térmicos mantendo o calor fora do amplificador de baixa compensação. Você pode ver alguns exemplos de amplificadores de potência nas Figuras 5.47 e 13.119, bem como na discussão do Capítulo *4x.*

5.8.5 Erro de ganho

Há mais um erro que surge do ganho de malha aberta finita, ou seja, um erro no ganho de malha fechada devido ao ganho de malha finita.

Calculamos no Capítulo 2 (§2.5.2) a expressão para ganho de malha fechada em um amplificador de realimentação, G = A/(1+AB), onde A é o ganho de malha aberta e B é o "ganho" do rede de comentários. Você pode pensar que A ÿ 100 dB ou mais do ganho de malha aberta do amplificador operacional é suficiente, mas quando você tenta construir circuitos extremamente precisos, você se surpreende. A partir da equação de ganho anterior, é fácil mostrar que o "erro de ganho", definido como

$$ÿ_G = \text{erro de ganho} ÿ \frac{G_{ideal} ÿ G_{actual}}{G_{ideal}},$$

é exatamente igual a 1/(1 +*AB)* e varia de 0 para A = ÿ a 1 (100%) para A = 0.

Exercício 5.2. Derive a expressão anterior para o erro de ganho.

O erro de ganho dependente da frequência resultante está longe de ser desprezível. Por exemplo, um LF411 com seus 106 dB de ganho de malha aberta de baixa frequência terá um erro de ganho de 0,5% em baixas frequências quando configurado para um ganho de malha fechada de 1000. Pior ainda, o ganho de malha aberta cai 6 dB/ oitava acima de 20 Hz, então nosso amplificador teria um erro de ganho de 10% em 500 Hz! A Figura 5.22 mostra o erro de ganho calculado em relação à frequência para o OPA277, com seus extraordinários 140 dB de ganho de malha aberta de baixa frequência, quando configurado para ganhos de malha fechada de 100 e 1.000. Deve ser óbvio que você precisa de muito ganho e um fT alto para manter a precisão mesmo em frequências moderadas.

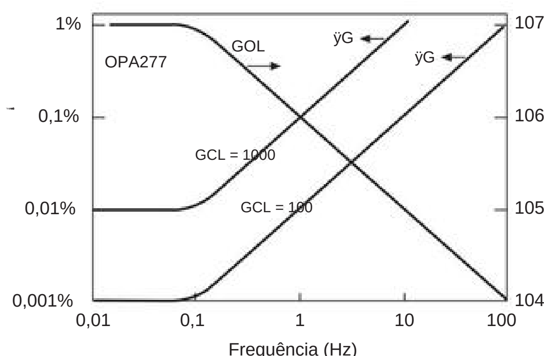


Figura 5.22. Erro de ganho OPA277.

Traçamos essas curvas a partir do gráfico de ganho em malha aberta versus frequência fornecido no datasheet. Mesmo que sua folha de dados do amplificador operacional forneça uma curva, é melhor trabalhar para trás a partir do fT especificado (ou seja, o GBW da folha de dados; consulte a Figura 5.42 e a discussão associada) e o ganho de malha aberta dc, calculando o ganho de malha aberta no frequência de interesse e, portanto, o erro de ganho (como acima) em função da frequência. Este procedimento rende

$$ÿ_G = \frac{1}{1 ÿ jBf_T/f} ÿ \frac{f}{Bf_T},$$

onde B é, como sempre, o ganho da rede de realimentação, e a aproximação é válida para o caso útil B fT/ f 1. Obviamente, em algumas aplicações, como filtros, B também pode depender da frequência.

Exercício 5.3. Obtenha o resultado anterior para ÿ*G(f).*

5.8.6 Ganho de não linearidade

Op-amps têm muito ganho de loop aberto em baixas frequências, e o excesso (GOL/GCL) é o mecanismo de feedback de ganho de loop que contribui para a precisão e a redução das não linearidades intrínsecas do op-amp, conforme discutido primeiro

em §2.5.3. Idealmente, então, queremos muito ganho de malha aberta em um circuito de precisão. E é por isso que amplificadores auto-zero (§5.11) e amplificadores operacionais de precisão são construídos com altos ganhos de malha aberta, por exemplo ÿ160 dB para o auto-zero LMP2021 e ÿ150 dB para o LT1007 de precisão.

Para *precisão,* então, queremos muito ganho de loop. Para fins de *linearidade,* no entanto, não há problema em ter menos ganho de loop – o que importa mais é a linearidade intrínseca do amplificador operacional, combinada com uma característica de ganho de loop aberto que muda linearmente (se houver) com a oscilação de saída. A linearidade intrínseca é fortemente influenciada pelo design do estágio de saída, particularmente quando o amplificador está conduzindo uma carga: a distorção cruzada é sempre ruim, assim como um estágio de saída que é assimétrico em suas capacidades de fonte/sumidouro (como o LM358, com um Darlington *npn* pullup e pull-down *pnp* simples). E um layout ruim dentro do chip pode criar não linearidades a partir das compensações térmicas produzidas pelo aquecimento local ao acionar uma carga.

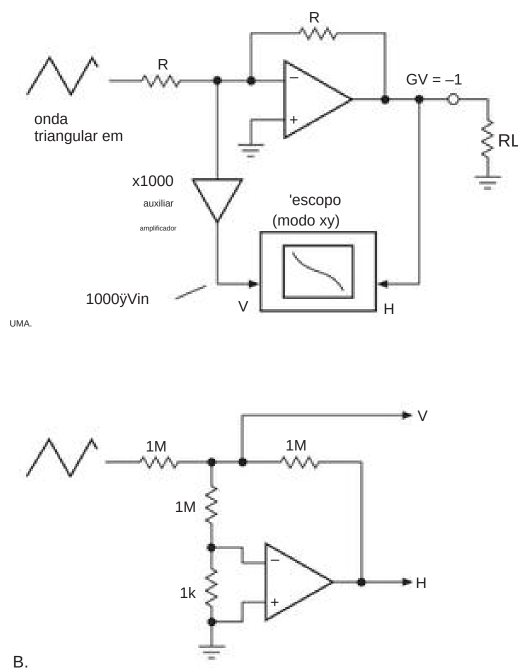


Figura 5.23. Circuito de teste de não linearidade de ganho de baixa frequência. A. Nocional: um amplificador auxiliar torna visível a tensão de entrada diferencial ÿ versus da oscilação de saída. B. Circuito usado por Pease para medições em AN-1485 (consulte a nota de rodapé na página atual).

Em um bom conjunto de medições, Bob Pease[19] explorou a não linearidade do ganho de baixa frequência de uma seleção de amplificadores operacionais tipos (infelizmente, nenhum de outros fabricantes), operando como inversores de ganho unitário com uma saída full-swing; ele fez medições quando os amplificadores operacionais estavam descarregados e quando estavam conduzindo uma carga de 1 kÿ. O esquema básico é mostrado na Figura 5.23A, onde um 'osciloscópio examina o erro de entrada do amplificador versus oscilação de saída. Para as medições reais de Pease, ele usou a variante sutil da Figura 5.23B, na qual o amplificador operacional amplifica seu erro em × 1.000, transmitindo as más notícias diretamente.

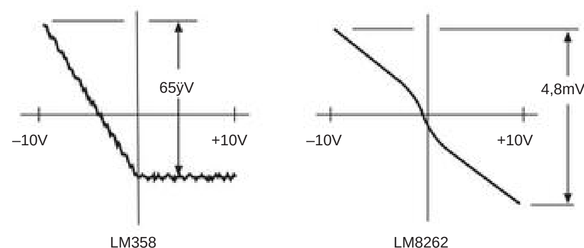


Figura 5.24. Obtenha traços de não linearidade para dois amplificadores operacionais com deficiências no estágio de saída. Nessas exibições x–y , o eixo vertical mostra o (pequeno) sinal de entrada diferencial necessário para produzir o sinal de saída (full-swing) indicado no eixo horizontal. Para estimar o erro de ganho, divida o desvio vertical de uma linha reta de melhor ajuste pela saída de oscilação total.

Os tipos de coisas que você vê (com um amplificador operacional carregado) são mostrados na Figura 5.24, onde esboçamos os traços de Pease para o LM358 mencionado acima (afligido com fonte/sumidouro assimétrico) e o LM8262 (rápido, mas afligido por algum crossover distorção). Um amplificador operacional exemplar como o LM4562 de distorção muito baixa apresenta uma linha reta quase horizontal ideal. O LF411 (single) e o LF412 (dual), nossos jujubas JFET, apresentam um contraste interessante: segundo Pease, o layout do chip LF411 é subótimo (em termos de ganho e efeitos térmicos), com grande esforço recompensado por melhores resultados em o LF412 duplo.

Aqui estão alguns de seus resultados resumidos para amplificadores operacionais conduzindo uma carga um pouco mais leve (4 kÿ). Em geral, a não linearidade de ganho medida, quando *descarregada,* foi muito menor do que esses valores listados. Lembre-se de que essas medições foram feitas em frequências muito baixas (geralmente apenas alguns hertz), onde o ganho do loop é máximo.

[19] National Semiconductor App Note AN-1485: *O efeito do pesado Cargas na Precisão e Linearidade dos Circuitos Amplificadores Operacionais (ou, "O que é toda essa coisa de impedância de saída, afinal?").* Dados de não linearidade de ganho podem ser encontrados em algumas folhas de dados, por exemplo, o amplificador de instrumentação AD620.

HV BJT (Vsig=±10 V)
LM8262 12 ppm LM358 1 ppm xover dist.
LF411 1,4 ppm LF412 0,3 ppm LM4562 assim. layout ruim do
0,025 ppm estágio de saída – melhor layout térmico pro-audio, GOL = 107

CMOS RRO (Vsig = ±4 V)
LMC6482 1,1 ppm LMC6062 0,2 ppm precisão de jujubas

CMOS auto-zero (Vsig = ±2 V)
LMP2012 0,2 ppm de precisão

5.8.7 Erro de fase e “compensação ativa”

Falamos principalmente sobre o erro de *ganho* causado pela largura de banda limitada do amplificador operacional (e, portanto, queda do ganho do loop com o aumento da frequência). Mas o ganho de loop limitado também produz erro de *fase* , que pode ser importante em aplicações como vídeo, interferometria e assim por diante. E o efeito não é de todo desprezível – lembre-se (§1.7.9) de que um único rolloff semelhante ao RC cria uma mudança de fase de ÿ6ÿ a uma frequência de fC/10 e ÿ0,6ÿ a fC/100; o último está duas décadas inteiras abaixo do ponto de interrupção de -3 dB. Se modelarmos o rolloff de ganho de malha aberta de um amplificador operacional de maneira semelhante (um rolloff de “pólo único”), podemos esperar mudanças de fase comparáveis.

Nesta aproximação, o deslocamento de fase resultante para um amplificador de tensão com amplificador operacional é dado por

$$ÿ = \tan^{-1}\frac{f}{f_C} \approx \frac{f}{f_C} \text{(radianos)},$$

onde o ponto de interrupção de ÿ3 dB fC é a frequência na qual o ganho do loop caiu para a unidade: fC = *fT/GCL.* Aqui GCL é o ganho de malha fechada (conforme definido pela rede de feedback) e fT é o produto ganho-largura de banda (GBW) do amplificador operacional (para um rolloff de polo único que é o mesmo que a frequência na qual o amplificador aberto -ganho de loop é a unidade; mas para amplificadores operacionais típicos, com rolloffs mais complicados, você deseja usar o valor GBW). Multiplique por 57,3 (180/) para obter a resposta em graus ÿ O resultado aproximado (a última expressão) é razoavelmente preciso para mudanças de fase pequenas a moderadas, até 0,5 radiano, digamos.

Existem várias maneiras de resolver esse problema. O mais simples é usar um amplificador de maior largura de banda. Se você não quiser (ou não puder) fazer isso, outra possibilidade é introduzir uma rede *RC* no caminho de realimentação para cancelar o erro de fase (na linguagem do plano s, você está introduzindo um zero para cancelar um polo). Isso pode ser eficaz, mas requer “sintonização” da rede de compensação para corresponder à resposta de frequência do próprio espécime particular de amplificador operacional; e como as características do amplificador operacional mudam com a temperatura, a rede deve fazer o mesmo. Uma terceira possibilidade é colocar em cascata dois estágios, cada um configurado para ganho mais baixo (e, portanto, menor erro de fase).

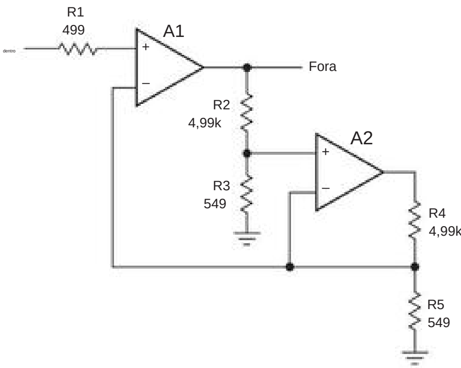


Figura 5.25. Redução de erro de fase por meio de "compensação ativa", explorando as respostas de frequência estreitamente combinadas do par de amplificadores operacionais duplos A1 e A2.

Mas uma solução elegante é *a compensação ativa,* uma técnica inteligente que usa um segundo amplificador operacional correspondente para criar uma réplica do erro, que pode então ser subtraída do amplificador principal. A Figura 5.25 mostra como isso pode ser feito.[20] A largura de banda do amplificador principal permanece inalterada, mas seu erro de fase é drasticamente reduzido, conforme mostrado na simulação SPICE e nos dados medidos da Figura 5.26. Há algum pico na resposta de amplitude – cerca de +3 dB na frequência na qual o erro de fase é 45ÿ – mas geralmente insignificante dentro da faixa de frequência na qual o erro de fase é pequeno (por exemplo, +0,1 dB em *f* = 0,1 fT/GCL). Um circuito configurado para baixo ganho de malha fechada geralmente exibirá picos maiores.[21] Sob a suposição de que o

[20] Veja “A realimentação ativa melhora a precisão da fase do amplificador”, por J. Wong, *EDN Magazine,* 17 de setembro de 1987; reimpresso como Analog Devices AN-107. Wong credita a ideia a Soliman em um artigo de 1979, e Soliman credita a ideia a Brackett e Sedra em um artigo de 1976. Mas o artigo de Wong é a referência mais útil para entender a configuração da Figura 5.25.

[21] Nas simulações do SPICE descobrimos que o pico aumentou para ÿ7 dB para o modelo LF412 configurado para G=2; isso pode ser domado adicionando um capacitor de compensação *Cc* através do resistor de realimentação R2. A escolha de *Cc* para corresponder ao fT do amplificador operacional (ou seja, *Cc* = 1/2 πfTR2) reduziu o pico para 4 dB, às custas de triplicar o (bastante pequeno) erro de fase. Em seu artigo, James Wong alerta que a técnica pode resultar em um amplificador instável para ganhos baixos, abaixo de G=5 por exemplo. Ele mostra também como a técnica pode ser melhorada se A2 for feito de dois amplificadores.

amplificadores são combinados, pode-se mostrar que esta técnica produz uma mudança de fase dada aproximadamente por

$$\text{ÿ} \; {}^{\text{ÿ}} \left(\frac{f}{f_C}\right)^3 \quad \text{(radianos)},$$

novamente preciso para deslocamentos de fase pequenos a moderados (30ÿ, digamos, ou seja, a aproximação de ângulo pequeno).

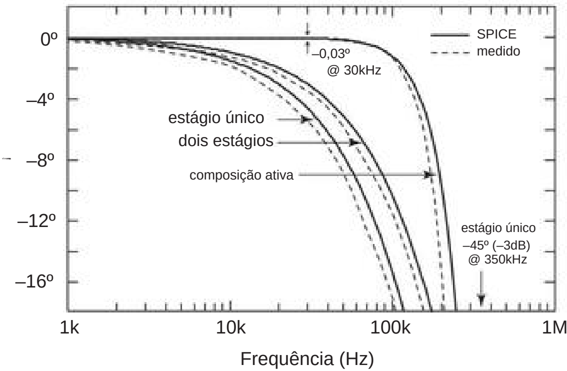


Figura 5.26. Simulação SPICE e dados medidos do deslocamento de fase versus frequência para o circuito da Figura 5.25, implementado com um amplificador operacional JFET duplo LF412. Para comparação, os dados análogos são plotados para um único estágio G=10 e para uma cascata de dois estágios, cada um com G= ÿ10. O fC da parte medida foi de 295 kHz, um pouco menor do que os 350 kHz do modelo SPICE.

Os amplificadores operacionais reais não são perfeitamente combinados. Para ver como uma incompatibilidade em fT afeta a compensação de fase, executamos uma simulação SPICE com uma incompatibilidade de fT de ±10% (Figura 5.27). Evidentemente, nossa peça de bancada de teste, escolhida ao acaso (mergulhe os dedos na caixa de peças, segure a primeira peça tocada, extraia, meça), tem uma correspondência fT consideravelmente melhor , conforme sugerido por Wong: “Amplificadores operacionais duplos ou quádruplos monoliticamente combinados podem fornecem as características de correspondência de frequência (dentro de 1% a 2%) necessárias para o sucesso da abordagem de feedback ativo.”22

É interessante comparar os deslocamentos de fase previstos para vários cenários mencionados no início: (a) um único amplificador de determinada largura de banda (chame-o de fT0, 3 MHz para o LF412), configurado para um ganho de malha fechada *G* = 10; (b) dois estágios em cascata, cada um com *G* = ÿ10; (c) o método de compensação ativa da Figura 5.25; e (d) um único amplificador de maior largura de banda (10 fT0, digamos). Aqui estão os resultados calculados:

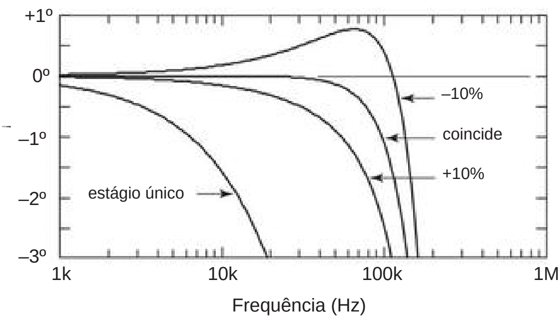


Figura 5.27. A compensação ativa do erro de fase requer larguras de banda de amplificador operacional correspondentes, como visto nesta simulação SPICE para a qual o fT do amplificador operacional A2 de compensação variou ± 10% em relação ao do amplificador operacional A1 do caminho do sinal.

	Simples, G=10	2 estágios, cada G= ÿ10	Ativo, comp	Solteiro, fT=10 fT0
0,001 fT0	ÿ0,57ÿ	ÿ0,36ÿ	ÿ0,00006ÿ	ÿ0,006ÿ
0,003 fT0	ÿ1,7ÿ 0,01	ÿ1,1ÿ	ÿ0,0015ÿ	ÿ0,17ÿ ÿ0,06ÿ
fT0 ÿ5,7ÿ	0,03 fT0	ÿ3,6ÿ	ÿ0,57ÿ ÿ1,5ÿ	ÿ1,5ÿ ÿ45ÿ
ÿ17,2ÿ 0,1	fT0 ÿ45ÿ	ÿ10,9ÿ	ÿ5,7ÿ	
		ÿ36ÿ		

É claro que a notável (e subutilizada) técnica de compensação ativa representa um uso eficiente de recursos. O caso não inversor *G* = 2 parece especialmente útil, por exemplo, para conduzir cabos de vídeo de 75 ÿ com terminação traseira.23

5.9 amplificadores operacionais RRIO: o bom, o mau e o feio

No Capítulo 4 (§§4.4.1, 4.4.2 e 4.6.3), introduzimos amplificadores operacionais rail-to-rail, incluindo (a) amplificadores operacionais que operam adequadamente com entradas de modo comum em toda a tensão de alimentação faixa etária (RRI), (b) amplificadores operacionais que podem oscilar suas saídas em toda a faixa de alimentação (RRO) e (c) amplificadores operacionais que podem fazer as duas coisas (RRIO). Com tensões de alimentação mais baixas cada vez mais em voga, você vê muitos novos amplificadores operacionais com esses recursos desejáveis.

Desejável, mas deve ser usado com cautela. Esses benefícios têm um custo, que discutiremos aqui no contexto do projeto de precisão (com mais discussão no Capítulo 4x). Em circuitos que buscam precisão, existem alguns compromissos ocultos nos projetos desses amplificadores operacionais sobre os quais a folha de dados pode ser, uh, discreta (ou completamente silenciosa).
Aqui estão os importantes.

22 Voltamos à bancada e medimos um punhado de amplificadores operacionais duplos LF412. Entre espécimes diferentes, os valores de fT variaram acima de ± 20%, mas dentro de qualquer parte os fT's de seus dois amplificadores operacionais corresponderam tipicamente a 0,1%, com um valor atípico mostrando uma incompatibilidade de 1,5%.

23 Ou às vezes chamado de “terminação dupla”, como na Figura 12.110. Sugerimos experimentar o amplificador de sua escolha, tomando cuidado para terminar o segundo amplificador operacional com 150 ÿ.

5.9.1 Problemas de entrada

A. Cruzamento de corrente de entrada

A maioria dos amplificadores operacionais RRI usa um par complementar de estágios de entrada diferenciais, com suas entradas acionadas em paralelo, para lidar com toda a faixa de tensão de alimentação (Figura 5.28). Isso causa uma mudança na corrente de entrada porque o caminho do sinal muda de um par para o outro, como visto claramente na Figura 5.7 (particularmente os amplificadores operacionais RRI de entrada BJT: LT1630, LM6132). Uma mudança abrupta na corrente de entrada causa erros de entrada de impedância de condução finita. Alguns amplificadores operacionais RRI evitam esse problema usando uma bomba de carga no chip para gerar uma tensão de alimentação além do trilho, de modo que um único amplificador de entrada permite entradas trilho a trilho. Exemplos são a série OPA360,24 o AD8505 e o ADA4505, a série MAX4162 e a série MAX4126. Com exceção da entrada BJT MAX4126, todos usam entradas MOS.

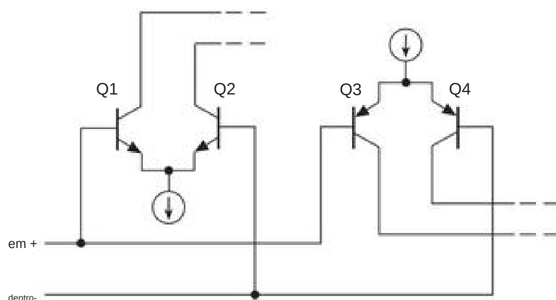


Figura 5.28. Um típico circuito de entrada rail-to-rail consiste em um par de amplificadores diferenciais complementares, com circuito downstream para selecionar a saída do par ativo.

Em situações em que você precisa de RRO, mas não precisa de *entrada* rail-to-rail completa (um amplificador de tensão com G>2, digamos), certifique-se de considerar um amplificador operacional RRO com entrada estendendo-se apenas ao trilho negativo (às vezes chamado “sensoriamento do solo”). Observe também que, ao usar um amplificador operacional em uma configuração de circuito inversor, você evita esse problema completamente (mas provavelmente não escolheria um amplificador operacional RRI para tal configuração).

B. Cruzamento de tensão de deslocamento

de entrada Os estágios de entrada dupla dos amplificadores operacionais RRI causam erros semelhantes em termos de sua tensão de deslocamento de entrada VOS, conforme visto na Figura 5.29. A mudança abrupta pode ocorrer perto de qualquer extremidade da faixa de alimentação, como visto nos amplificadores operacionais LMP7701 e LMP7731 do mesmo fabricante. Essas curvas foram adaptadas de seus respectivos datasheets, que normalmente exibe uma figura mostrando um emaranhado de curvas sobrepostas medidas em várias amostras de amplificadores operacionais (se eles estiverem dispostos a mostrar quaisquer dados sobre esse tópico obscuro). Aqui você pode ver por comparação o comportamento descomplicado (e absolutamente *chato)* de um amplificador operacional RRI com uma bomba de carga no chip alimentando um único amplificador de entrada. Essa variação de VOS com VCM não é apenas indesejável, mas também imprevisível, como você pode ver na Figura 5.30.

Este problema é bem contornado pelo uso de uma configuração inversora, que mantém constante a tensão de entrada em modo comum. De forma mais geral, sempre considere o uso de uma configuração de inversão para evitar *qualquer* mau comportamento do circuito ior causada pela dependência do amplificador operacional no VCM.[25]

A folha de dados do OPA350 mostra um bom exemplo (Figura 5.31) de efeitos de crossover de entrada em amplificadores operacionais RRI, ou seja, um aumento de 17 dB na distorção de áudio em um G = 1 fol mais baixo quando a entrada de onda senoidal de 3 Vpp é deslocada para cima para entrar no crossover region.26 O mesmo gráfico ilustra bem como o aumento do ganho de malha fechada causa maior distorção devido à diminuição do ganho de malha.

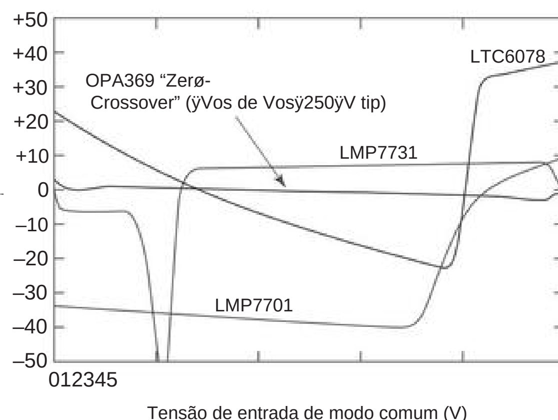


Figura 5.29. Op-amps com entradas rail-to-rail geralmente exibem uma mudança de VOS conforme a tensão de entrada passa o controle de um par de entrada para o outro. O OPA369 contorna isso usando um único par de entrada, alimentado além do trilho por uma bomba de carga no chip.

5.9.2 Problemas de saída

A. Impedância de saída O estágio de saída de um amplificador operacional convencional (não RRO) é normalmente um seguidor push-pull complementar (ou algum

24 Amplificadores “Zerÿ-Crossover” com nomes divertidos, ou ZCOs.

25 Como Jim Williams gostava de dizer: “Use uma configuração de inversão, a menos que você não possa”.

26 Veja também o artigo de Bonnie Baker (na série *Baker's Best)* “De onde veio todo esse barulho?” na *EDN Magazine,* 23 de abril de 2009, disponível em edn.com.

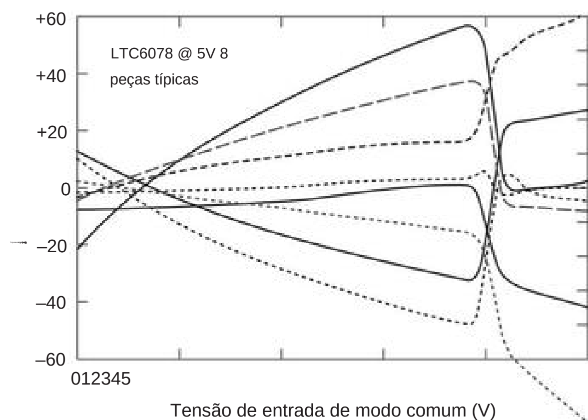


Figura 5.30. A mudança de tensão de offset em um amplificador operacional RRI pode ser imprevisível (mesmo quanto ao sinal do efeito!), Como visto nestes dados, adaptados da folha de dados do fabricante incomumente futura.

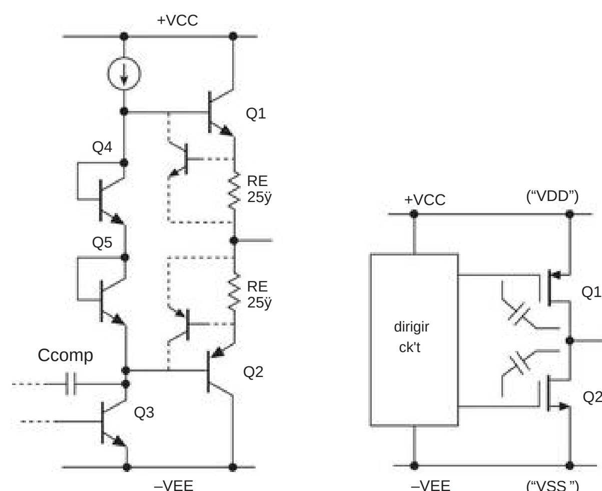


Figura 5.32. O estágio de saída do amplificador operacional clássico (não rail-to-rail) é um seguidor push-pull de ganho unitário com impedância de saída inerentemente baixa, polarizado (via *Q4Q5)* para suprimir a distorção de crossover; tem polarização direta e limitação de corrente. Em contraste, um estágio de saída rail-to-rail (geralmente implementado em CMOS) é um amplificador de fonte comum push-pull *(G* > 1) com impedância de saída inerentemente alta; requer truques consideráveis em sua polarização e limitação de corrente.

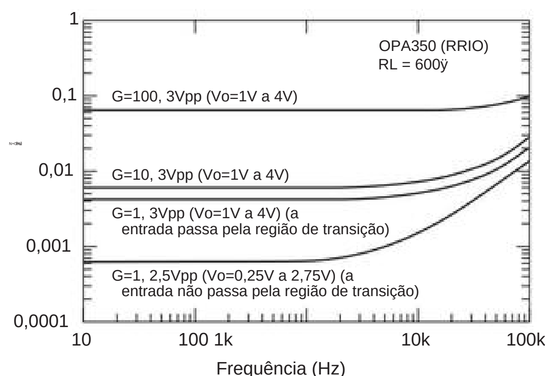


Figura 5.31. Distorção versus frequência para o amplificador operacional OPA350 RRIO. As duas curvas mais baixas mostram o aumento dramático na distorção quando o sinal de entrada entra na região de cruzamento de entrada. Aumentar o ganho de malha fechada causa mais distorção devido ao ganho de malha reduzido.

variação em seguida), polarizado com alguma sobreposição de condução para evitar distorção de cruzamento no meio da alimentação (consulte §5.8.3). Em contraste, o par complementar de saída em um amplificador operacional RRO é configurado como um amplificador push-pull de fonte comum ; veja a Figura 5.32. Isso é necessário para que a saída alcance os trilhos (sem um segundo conjunto de tensões de alimentação além dos trilhos). Mas cria problemas, devido à sua impedância de saída inerentemente alta.

O alto Zout significa que o ganho do estágio de saída (e, portanto, o ganho do loop) depende do valor da resistência da carga; e uma carga capacitiva cria grandes deslocamentos de fase, comprometendo a estabilidade da malha (ver, por exemplo, Figura 4.79). Esses problemas são resolvidos em parte pelo uso de realimentação interna em torno do estágio de saída (os capacitores na Figura 5.32B), de modo que o ganho e as impedâncias de saída sejam razoavelmente bem controlados, exceto em baixas frequências – veja, por exemplo, as Figuras 5.33 e 5.34.[27]

B. Saturação nos trilhos Alguns amplificadores operacionais de "saída trilho a trilho" (em particular, aqueles com um estágio de saída BJT) não atingem os últimos milivolts; isso ocorre porque a tensão de saturação do transistor de saída não é zero. (Isso geralmente não é um problema com saídas MOSFET, que se parecem com um Ron para um trilho ou outro quando acionado em faixa total.) Geralmente isso não importa, porque o que mais importa é obter o uso total de uma tensão de alimentação limitada (ao operar com fontes de baixa tensão). Mas importa, por exemplo, se você tiver uma configuração de fonte única na qual o amplificador operacional está acionando um ADC cuja faixa de conversão vai direto ao solo.

Nesse caso, certifique-se de verificar as especificações. Algum

[27] É incomum ver gráficos (ou mesmo valores tabulados) de impedância de saída *de malha aberta* em folhas de dados; e nos casos em que um gráfico é mostrado, raramente se estende a frequências muito baixas. É provável que outros amplificadores operacionais, incluindo alguns com estágios de saída convencionais (seguidores), também exibam um aumento na impedância de saída em malha aberta em frequências muito baixas. Isso raramente é motivo de preocupação, devido ao ganho de loop muito alto lá embaixo.

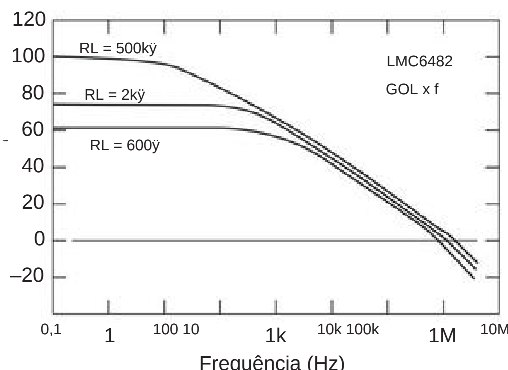


Figura 5.33. O ganho de baixa frequência dos amplificadores operacionais de saída rail-to-rail pode depender fortemente da resistência de carga, como visto aqui para o LMC6482.

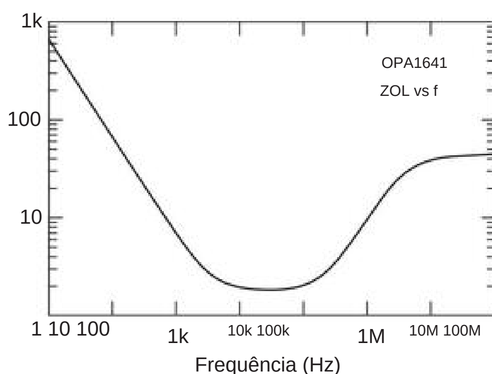


Figura 5.34. Para alguns amplificadores operacionais RRO, a impedância de saída de malha aberta aumenta acentuadamente em baixas frequências, devido ao feedback negativo capacitivo interno em torno do estágio de saída que se torna ineficaz em baixas frequências. Mas, não se preocupe, há muito ganho de loop em baixas frequências em aplicações típicas de amplificadores operacionais.

Os amplificadores operacionais RRO avisarão que a saída não atingirá o trilho negativo (por exemplo, 10 mV para o LT6003 bipolar); outros irão instruí-lo a adicionar um resistor pull-down externo ou dissipador de corrente (por exemplo, o LT1077 bipolar, que satura taxas de 3 mV sem pull-down e 0,1 mV com um pull-down de 5kÿ). Op-amps com saturação limpa de MOSFET dirão para você não se preocupar – a saída descarregada irá até o aterramento (por exemplo, 0,1 mV para o CMOS AD8616 ou AD8691).

C. Distorção O

estágio de saída rail-to-rail (Figura 5.32B) apresenta desafios reais para o projetista de chips quando se trata de polarização quiescente e redução da distorção de crossover. Apesar dos esforços heróicos, esses amplificadores geralmente executam cerca de 20–40 dB pior do que suas contrapartes convencionais (não-RRO) em termos de distorção, como visto no par de gráficos nas Figuras 5.43 (não-RRO) e 5.44 (principalmente RRO);28 veja também os gráficos SPICE em *§4x. 11.*

Circuito de saída de D. Monticelli

Uma elegante solução de circuito RRO foi desenvolvida por Monti celli,29 e é mostrada aqui de forma simplificada na Figura 5.35 (há uma discussão completa em *§4x.11).* Ele tem o efeito de polarizar o par push-pull *Q1Q2* de tal forma que há sobreposição de corrente no cruzamento e, melhor ainda, há corrente contínua através de ambos os transistores *ao longo da oscilação de saída.* Podemos chamar isso de modo "push-pull classe A" (embora pareça já ter sido nomeado: "classe AA"). É usado, por exemplo, no CMOS OPA365 e no BJT OPA1641. E funciona – essas partes têm distorção harmônica de ÿ114 dB e ÿ126 dB, respectivamente.

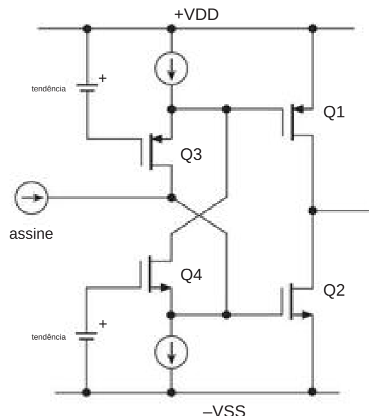


Figura 5.35. O circuito de saída Monticelli rail-to-rail.

Aqui está uma descrição resumida da operação do circuito de Monticelli: primeiro, pense em Q3 e Q4 cada um como amplificadores de corrente de ganho unitário cujo terminal de origem é o "somador".

28 Para ser justo, notamos que alguns dos piores resultados de "distorção" (que na verdade são THD + N – distorção mais ruído) podem ser devidos às tensões de alimentação mais baixas dos amplificadores operacionais RRO, necessitando de níveis de sinal mais baixos, causando ruído parecer maior.

29 Veja sua patente US4570128 e seu documento IEEE *JSSC* (SC-21, nº 6, 1986), no qual ele diz "O estágio de saída (Figura 8) deve resolver um problema de deslocamento de nível que tem atormentado os projetos trilho a trilho por alguns Tempo. Foram propostas soluções elaboradas que combinam vários loops de feedback embutidos que são, na verdade, amplificadores operacionais dentro de amplificadores operacionais. Para ter sucesso como um quadriciclo de uso geral, uma solução mais simples precisava ser encontrada." Embora originalmente desenvolvido na NSC, este circuito (ou variações próximas) é popular entre os projetistas de amplificadores operacionais da Analog Devices e da TI (mesmo antes de engolir a NSC).

junção" (porque o portão é mantido em tensão fixa). Agora imagine uma corrente de sinal de entrada crescente, que reduz a corrente líquida afundada na fonte de Q4. Isso reduz seu VGS, o que aumenta o VGS de Q2 , aumentando assim a corrente de saída. Enquanto isso, a corrente de dreno reduzida em Q4 faz com que menos corrente de fonte de Q3 seja desviada, aumentando assim o VGS de Q3; isso causa uma redução no VGS de Q1 e, portanto, uma corrente de pullup de saída mais baixa. A corrente quiescente total é definida pela polarização CC aplicada a Q3 e Q4. Portanto, é um circuito bem balanceado, com uma entrada de corrente de terminação única e uma saída de corrente push-pull.

Este é um circuito legal! Em *§4x.11* há uma descrição mais completa, incluindo simulações SPICE de uma implementação BJT e comparação com um seguidor de emissor push-pull classe AB convencional (não rail-to-rail). Este circuito inerentemente simétrico também funciona bem com unidades de corrente diferencial para os drenos de Q3 e Q4, uma configuração que você verá com frequência.

5.10 Escolhendo um amplificador operacional de precisão

Se não existe um amplificador operacional perfeito, isso é especialmente verdadeiro para amplificadores operacionais de precisão. Embora a perfeição suficiente possa ser alcançada em alguns parâmetros, as compensações de projeto necessárias para alcançar isso invariavelmente degradam outros parâmetros. Por exemplo, se precisarmos de um amplificador operacional de média frequência muito silencioso, um IC silencioso de classe mundial, não seremos capazes de aproveitar correntes de baixa polarização de entrada de classe mundial.30 Isso ocorre porque o amplificador usará bipolar transistores de entrada, que terão que ser operados em correntes de coletor bastante altas, e você sabe o que isso significa para as correntes de base (por exemplo, olhe para o LT1028). Outro exemplo: se quisermos uma corrente de operação de micropotência, não poderemos desfrutar de um tempo de estabilização rápido de classe mundial, porque não poderemos ter um fT alto e taxas de variação rápidas; isso requer poder, e muito.

Nesta seção, examinamos em profundidade o processo de escolha de um amplificador operacional de precisão adequado para o trabalho em questão, intimamente ligado a uma ampla seleção de peças exemplares nas Tabelas 5.5 (páginas 320–321) e 5.6 (na página 335).

Se você tem um projeto de circuito com o qual está lutando, esta seção deve acertar o ponto. O nível minucioso de detalhes que se segue é essencial para o design cuidadoso que distingue um excelente circuito de um compromisso montado também. Para o leitor casual, por outro lado, o nível de detalhe no tratamento a seguir pode ser, bem, "não suficientemente superficial".

Ao iniciarmos nosso tour pelos parâmetros de precisão do amplificador operacional e seu significado, convidamos você a se aprofundar nos dados. Com seus objetivos de projeto de circuito em mente, comece com um parâmetro importante do amplificador operacional e procure as melhores escolhas.

Depois de zerar um valor vencedor, você pode examinar outros parâmetros para aquele amplificador operacional: alguns dos outros parâmetros para nosso amplificador operacional vencedor agora parecem escolhas ruins?

Talvez o seu amplificador operacional não seja um vencedor, afinal. Ou talvez você tenha que retornar aos seus objetivos de design e ajustá-los de acordo com a realidade e repetir o processo. Lembre-se sempre de que "a engenharia é a arte do compromisso".

5.10.1 "Sete amplificadores operacionais de precisão"

Sete é um bom número e, em preparação para a discussão extensa da questão muito prática de escolher um amplificador operacional de precisão, fornecemos na Tabela 5.5 (páginas 320–321) uma comparação das especificações importantes para uma lista atualizada de sete dos nossos amplificadores operacionais de precisão favoritos.

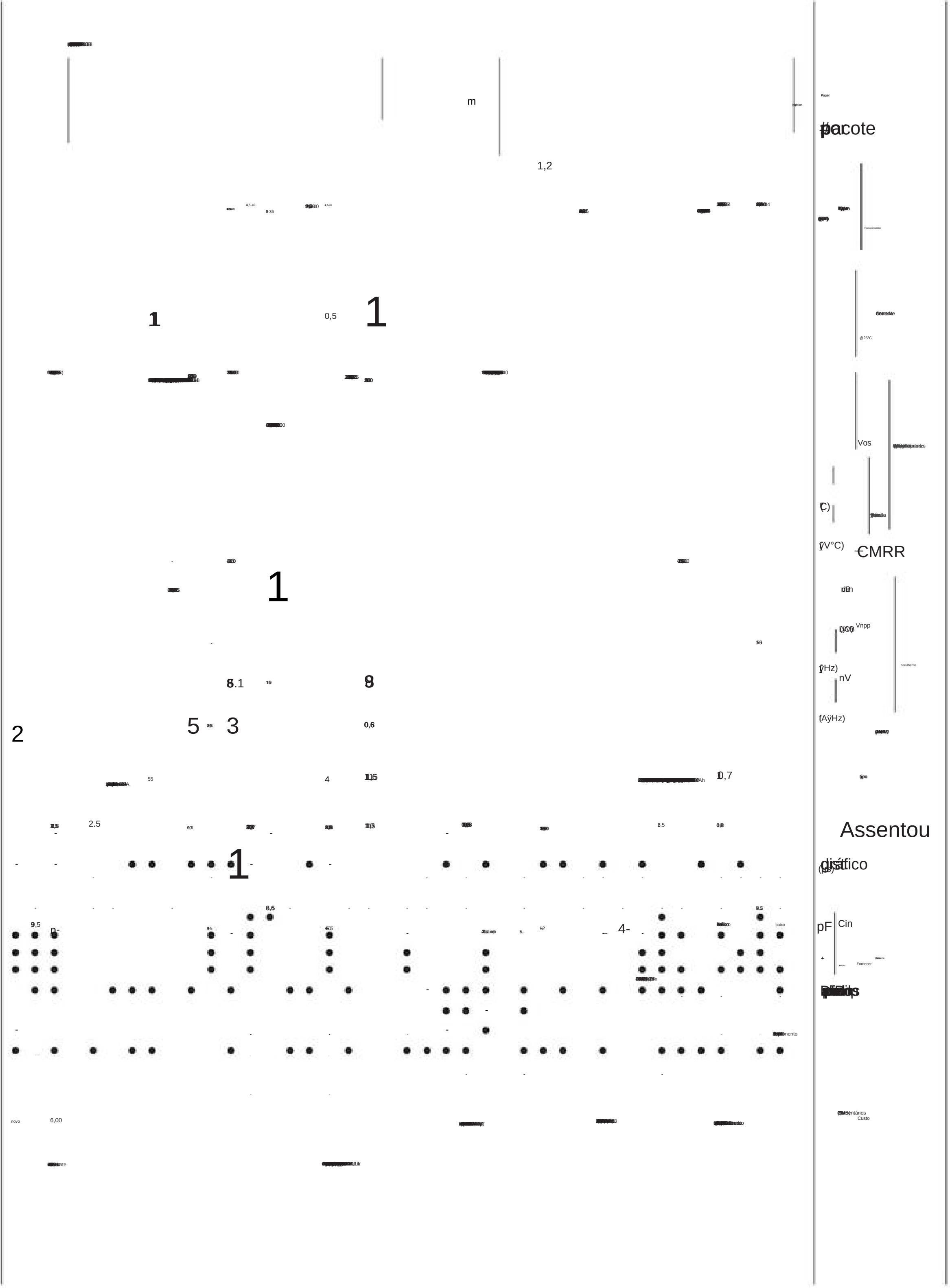
O problema é que simplesmente não conseguimos nos limitar a apenas sete – estamos mais perto de sete *dúzias!* Passe algum tempo com ele (e marque seus sete favoritos!) – ele lhe dará uma boa noção das compensações que você enfrenta no design de alto desempenho com amplificadores operacionais. Observe particularmente as compensações de tensão de deslocamento (e deriva) versus corrente de entrada para os melhores amplificadores operacionais bipolares e JFET. Você também obtém a tensão de ruído mais baixa dos amplificadores operacionais bipolares, tendendo para baixo com o aumento da corrente de polarização; veremos por que isso acontece mais adiante, no Capítulo 8, quando discutirmos o ruído. Os prêmios para *corrente de entrada baixa,* no entanto, sempre vão para os amplificadores operacionais FET, novamente por razões que ficarão claras mais tarde. Em geral, escolha amplificadores operacionais FET para corrente de entrada baixa e ruído de corrente; escolha amplificadores operacionais bipolares para compensação de tensão de entrada baixa, desvio e ruído de tensão.

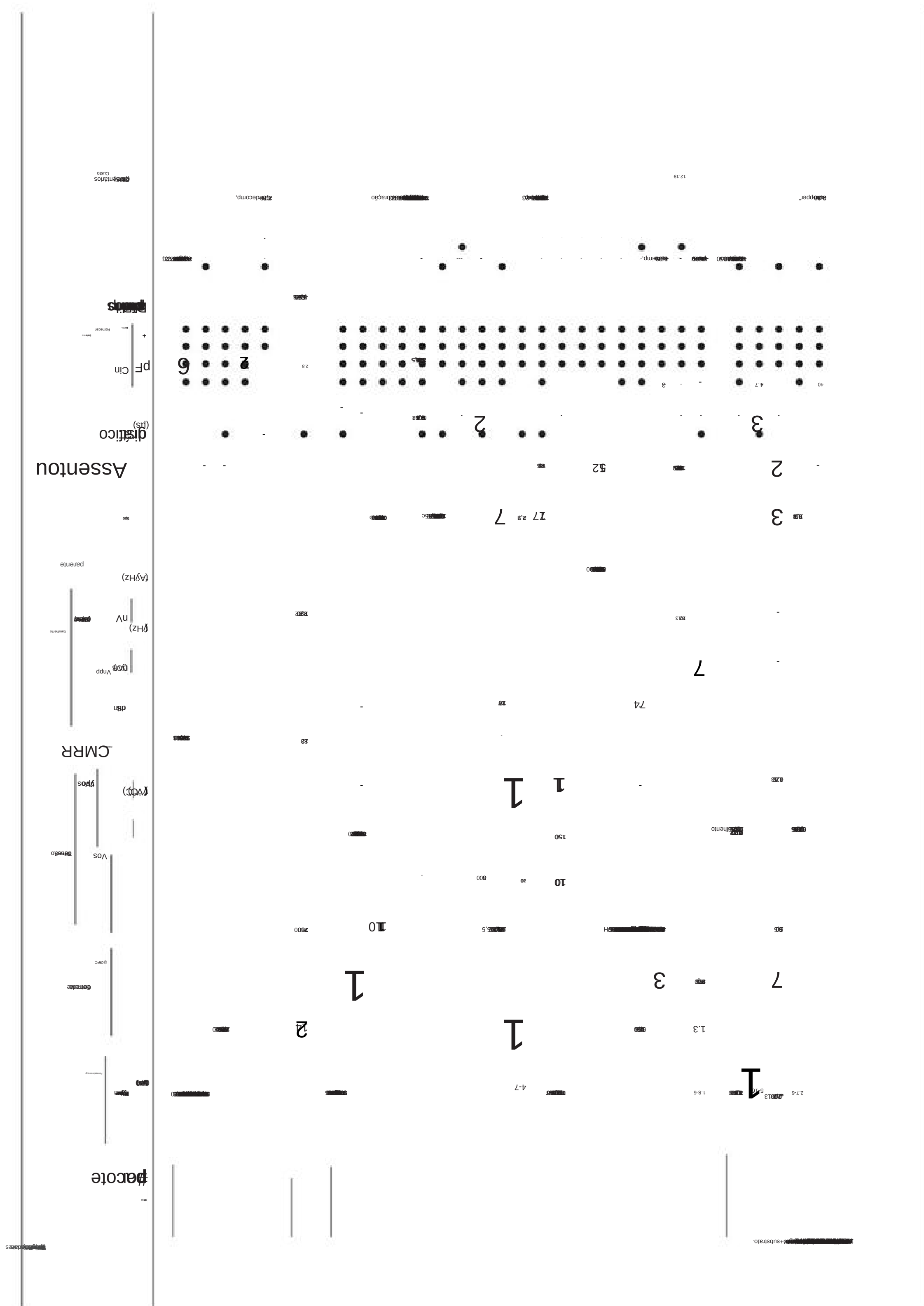
Entre os amplificadores operacionais de entrada FET, aqueles que usam JFETs dominam a cena, particularmente onde a precisão combinada com baixo ruído é necessária (mas nem *todos* os amplificadores operacionais JFET: observe que nossos favoritos jellybean, o LF411/412, não são precisos o suficiente para qualificam-se para serem membros da mesa). Esse domínio está sendo desafiado, no entanto, por algumas peças CMOS de baixa tensão, como o MAX4236A e OPA376 ajustados de fábrica, e por peças como o TLC4501A que usam truques como zerar automaticamente na inicialização.32

30 Em §8.6.3 mostramos um circuito de amplificador operacional discreto onde ambos os objetivos são alcançados.

31 Uma frase retirada da resposta de um aluno em um questionário de final de curso: "Este curso não foi superficial o suficiente para mim."

32 Tradicionalmente, havia um problema peculiar aos MOSFETs, que foi amplamente resolvido por meio de melhorias no processo. transistores MOS


pacote
1,2
m
0,5
Vos
CMRR
(V°C)
nV
(Hz)
(AÿHz)
Assentou
pF
Cin
6,00
novo
2,5
0,7



Machine Translated by Google

Finalmente, os chamados amplificadores *estabilizados por chopper* (aqui e na Tabela 5.6 na página 335) formam a exceção mais importante à generalização de que os amplificadores operacionais FET, particularmente os tipos MOSFET, sofrem de compensações iniciais maiores e desvios muito maiores de *VOS* com temperatura e tempo do que amplificadores operacionais com transistor bipolar. Na verdade, esses dispositivos (conhecidos também como amplificadores *auto-zero* ou *zero-drift)* são os amplificadores com a *menor* tensão de deslocamento e desvio, normalmente na faixa de ±1 V/ÿC . Eles usam ÿ Vos ±0,05 ÿ interruptores e amplificadores analógicos MOSFET para detectar e corrigir o erro de deslocamento residual de um amplificador operacional comum (que geralmente é construído com MOSFETs, no mesmo chip). No entanto, isso não é isento de concessões: os amplificadores estabilizados por chopper têm algumas características desagradáveis que os tornam inadequados para muitas aplicações, como veremos em §5.11.

5.10.2 Número por pacote

A primeira coluna da Tabela 5.5 fornece as opções disponíveis para o número de dispositivos por pacote (o número em **negrito** mostra qual opção corresponde ao número da peça). Geralmente listamos peças de amplificadores operacionais simples, embora na prática os amplificadores operacionais duplos sejam mais úteis e populares (em alguns casos, os distribuidores nem mesmo estocam os tipos individuais). Recursos especiais, como pinos para anulação de deslocamento externo, compensação e desligamento, estão disponíveis apenas para os tipos de pacote de amplificador operacional único e são indicados nas colunas à direita. Geralmente as especificações são idênticas para as diferentes matrizes e aparecem na mesma folha de dados, mas nem sempre.

5.10.3 Tensão de alimentação, faixa de sinal

É provável que sua primeira consideração seja a faixa de tensão de alimentação e os níveis de sinal. As peças de alta tensão (capazes de operar a partir de ±15 V, ou seja, 30 V no total) são listadas primeiro na tabela, com peças ordenadas mais ou menos por IQ, a corrente de alimentação quiescente, em cada categoria. Aplicações alimentadas por bateria se beneficiam de baixas correntes de alimentação, mas algumas aplicações de baixo desvio também, porque os efeitos de temperatura de autoaquecimento do amplificador operacional serão menores. Algumas peças oferecem uma versão com um pino de desligamento de energia (SHDN) . Por exemplo, a corrente de desligamento ÿ do LT6010 (que consome 135 A quando ligado) leva mais 15 A) e leva 25 s para ligar ou desligar . Outras peças ÿ funcionam, por exemplo, o ÿ OPA364 consome 0,9 A quando desligado.

ÿ

Os circuitos que operam com fontes de alta tensão se beneficiam do uso de níveis de sinal altos, como ±10 V de fundo de escala. Uma tensão de deslocamento, digamos VÿOS = 40 V, é uma fração menor de 20 Vpp do que de 0 a 4 V. Com exceção dos amplificadores operacionais do chopper, você não obtém nenhuma melhoria de tensão de deslocamento para peças de baixa tensão .

As peças de baixa tensão terminam a tabela (a maioria tem alimentação total máxima de 5,5 V, mas algumas permitem 11 V ou mais, adequadas para operação de ± 5 V), mas é importante perceber que muitas peças de "alta tensão" são projetadas e especificados para funcionar bem em tensões baixas, mesmo abaixo de 3 V. Alguns funcionam bem com fontes de ±3 V a ±5 V e não devem ser rejeitados simplesmente porque também podem funcionar em tensões mais altas. Mas esteja avisado, você precisa examinar o modo comum na faixa de entrada e na faixa de oscilação de saída. Por exemplo, embora um amplificador operacional de 44 V como o LT1490 funcione com fontes de 3 V e permita entradas e saídas ferroviário-trilho, outro amplificador operacional LTC de 44 V, o LT1007 de baixo ruído (que funciona até 4 V) é limitado a entradas e saídas não mais próximas do que 2 V dos trilhos – quase inútil ao operar a partir de ± 2 V. Claramente não é para ser uma peça de baixa tensão. Seu guia rápido para essas questões são as colunas "swing to supply"; o LT1490 possui todas as quatro verificações, enquanto o LT1007 não possui verificações

5.10.4 Operação de alimentação única

Se você estiver operando com baixas tensões de alimentação, talvez queira usar um arranjo de alimentação de fonte única. Op-amps capazes de uso de fonte única têm, no mínimo, a capacidade de operar suas entradas e saídas para o trilho negativo (ou seja, terra). Muitos permitem a operação com saídas também para o trilho positivo e afirmam saídas trilho a trilho na primeira página da folha de dados. Mas esteja avisado, geralmente há uma degradação do desempenho quando as saídas estão próximas dos trilhos de alimentação. Alguns amplificadores operacionais oferecem operação de zero volt ou abaixo do trilho se você adicionar um resistor suspenso.[33] Sete amplificadores operacionais de alta tensão em nossa lista oferecem

são suscetíveis a um efeito debilitante único que nem os FETs nem os transistores bipolares têm. Acontece que a migração de impurezas de íons de sódio e/ou os efeitos de polarização de fósforo na camada isolante da porta podem causar desvios de tensão de compensação em condições de malha fechada, em casos extremos de até 0,5 mV durante um período de anos. O efeito é aumentado para temperaturas elevadas e para um grande sinal de entrada diferencial aplicado, com algumas folhas de dados mostrando uma variação típica de 5 mV de VOS em 3.000 horas de operação a 125°C com 2 V na entrada. Essa doença do íon sódio pode ser aliviada pela introdução de fósforo na região do portão. A Texas Instruments, por exemplo, usa uma porta de polissilício dopada com fósforo em sua série "LinCMOS" de amplificadores operacionais (série TLC270) e comparadores (séries TLC339 e TLC370). Essas peças populares e baratas vêm em uma variedade de pacotes e seleções de velocidade/potência e mantêm tensões de deslocamento respeitáveis com o ÿ tempo (desvio de deslocamento eventual de 50 V por volt de entrada diferencial).

[33] Muitos amplificadores operacionais podem fazer isso, mas sem dizer isso. Isso ocorre porque o transistor pullup e os drivers funcionam até o negativo

operação de abastecimento; alguns, como o LT1013, se destacam nisso. Dois oferecem operação completa de entrada e saída de trilho a trilho, ou RRIO. O TLE2141 de giro rápido é especialmente interessante (configuração rápida, mas corrente de polarização alta), assim como o LT1677 de baixo ruído (corrente de polarização mais baixa, mas rotação e acomodação lentas). Todas as peças de baixa tensão, com exceção de duas, oferecem operação de alimentação única.

Existem alguns amplificadores operacionais de precisão com baixas correntes de alimentação, até 10ÿ60 A, embora isso limite severamente ÿ suas escolhas para outros parâmetros. Existe até um respeitável amplificador operacional de 0,85 A (e 1,8 V), o LT6003. Alguns tipos de amplificadores operacionais não oferecem peças de baixa potência; com os JFETs, no entanto, você pode escolher um por seu baixo ruído e baixa corrente de polarização.

5.10.5 Tensão de compensação

Talvez o único parâmetro mais frequentemente associado a amplificadores de precisão seja o erro de tensão de entrada. Para medir pequenas tensões de deslocamento, use o ganho do amplificador operacional para ampliar o efeito, conforme mostrado na Figura 5.36. A tensão de deslocamento foi nosso parâmetro necessário para entrar na tabela; poucos amplificadores operacionais com tensões de deslocamento ÿ máximas acima de 250 V fizeram a classificação. Há muitas peças com tensões de offset ÿ *típicas* <10 V, mas "típica" não é uma especificação confiável quando você está no ramo de fabricação de instrumentos de precisão. Os estágios de entrada bipolar têm uma vantagem sobre JFET e CMOS na tabela, mas sofrem de correntes de polarização de entrada mais altas. As partes "superbeta" são uma exceção agradável, especialmente em altas temperaturas (consulte a Figura 5.38), mas nenhuma dessas partes tem entradas que operem em qualquer um dos trilhos de alimentação.

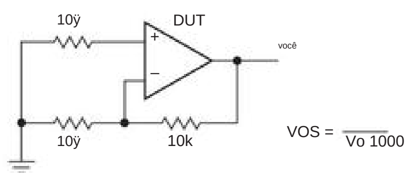


Figura 5.36. Circuito de teste de tensão compensada. O ganho de tensão ×1000 torna as compensações de submilivolts no dispositivo em teste (DUT) facilmente mensuráveis. Os efeitos da corrente de entrada são insignificantes, devido às pequenas (10 ÿ) resistências vistas nas entradas do amplificador operacional. Adicione um resistor de 200 ÿ na saída se quiser acionar um cabo.

Muitas peças de baixo deslocamento desapareceram desde a segunda edição do nosso livro, especialmente na categoria JFET. Eles se tornaram muito caros para o mercado e perderam a competição com o chopper de baixa voltagem e os amplificadores operacionais com zero automático. Estes últimos têm alguns representantes simbólicos neste tabela, mas eles têm sua própria tabela de seleção (Tabela 5.6 na página 335) que você deve examinar se eles ficam bem para o seu design. Eles têm seus próprios problemas, como o ruído atual, que discutimos em §5.11.

A variação de tensão compensada com tensão de entrada de modo comum é um problema sério para algumas peças, especialmente para amplificadores operacionais RRIO (consulte a Figura 5.29) e não é abordada na tabela. É sempre importante acompanhar uma escolha inicial da tabela com um exame cuidadoso da folha de dados. Por exemplo, o OPA364 e o MAX9617 usam bombas de carga internas para alimentar seus estágios de entrada, eliminando completamente esse problema.

O desvio de tensão compensada com a temperatura é um parâmetro importante quando a estabilidade das medições é importante. Este parâmetro não é testado em produção. A especificação de desvio máximo pode não ser muito confiável e alguns fabricantes pararam de fornecer tal especificação.

O desvio de tensão compensada com o tempo é um parâmetro que costumava aparecer em folhas de dados de amplificadores operacionais de precisão, com valores de ou der 300–400 nV/mês; algumas peças de alto desempenho, como o LT1007, reivindicavam 200 nV/mês, e amplificadores operacionais estabilizados por chopper geralmente afirmam desvios de 50 nV/mês.[34] Este é um território um tanto desconhecido, e algumas pessoas afirmam que o desvio diminui com o tempo, ou talvez é mais parecido com um passeio aleatório, em ambos os casos sugerindo que uma especificação de deriva talvez deva ter unidades de nV/ÿ mês.

5.10.6 Ruído de tensão

O ruído de tensão é a variação dentro da banda da tensão de compensação de entrada do amplificador operacional que é indistinguível do sinal. É útil visualizá-la como uma função de "densidade espectral de ruído" *en(f),* que informa a tensão de ruído rms em uma largura de banda de 1 Hz (consulte §8.2.1) centrada na frequência *f* . A Figura 5.37 mostra um gráfico idealizado da densidade de ruído de tensão de entrada como uma função da frequência para alguns dos amplificadores operacionais na tabela. Para a maioria dos amplificadores operacionais, en(f) é essencialmente plano para frequências acima de sua "frequência de canto 1/ *f* ", com en aumentando para baixo a frequência de canto, aproximadamente como 1/ ÿ *f* . (Auto zero, ou "chopper-estabilized," os amplificadores operacionais não são mostrados. Eles se comportam de maneira diferente, porque o "ruído" de baixa frequência é removido pelo processo de auto-zero, então seu en é plano em baixas frequências. Nós ' Iremos discuti-los em breve; consulte §5.11.)

A coluna de ruído de tensão na Tabela 5.5 (páginas 320–321) mostra en em sua frequência comumente especificada de 1 kHz,

trilho, sem fornecer corrente para a saída. Alguns requerem uma corrente pull-down mínima, por exemplo, 0,5 mA para o OPA364.

[34] Embora seja possível fazer consideravelmente melhor, por exemplo, a medição de 6 nV/mês relatada por Bob Pease para o LMP2011. Consulte a Tabela 8.3 e as Figuras 8.60, 8.61, 8.110 e 8.110. O IF3602 é um JFET dual de grande geometria disponível na InterFet, mostrado para comparação.

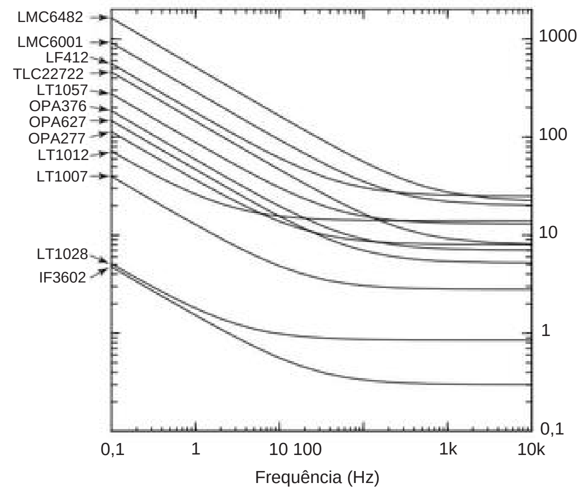


Figura 5.37. Densidade de ruído de tensão para uma seleção de amplificadores operacionais representativos, mostrando o aumento da potência do ruído abaixo da frequência de canto 1/ *f* . Alguns amplificadores operacionais com boas especificações em 1 kHz não parecem tão bons em 0,1 Hz. A Figura 5.54 mostra o ruído de tensão resultante vn quando tal densidade de ruído é integrada sobre fre
frequência.

confortavelmente na região plana acima do canto 1/ *f* da maioria dos amplificadores operacionais; en varia de 0,85 nV/ ÿ Hz para o LT1028 de alta corrente a 325 nV/ ÿ Hz para o LT6003 carente de corrente.

Discutimos o ruído com mais detalhes abaixo e no Capítulo 8, mas vamos começar com a relação simples relacionando a *densidade* tensão-ruído en (dada em unidades de nV/ ÿ Hz) ao valor do ruído de tensão total *integrado* Vn (em unidades de nV ou V; e rms ou pico a ÿ pico) em alguma banda passante de frequência. Na região plana (ou seja, ruído branco) de en em frequências acima do canto 1/ *f ,* a tensão de ruído integrada é simplesmente Vn = en ÿ BW.

Como veremos, para circuitos com larguras de banda de 1 a 10 kHz ou mais, a tensão de ruído Vn é dominada pela densidade de ruído em altas frequências. Folhas de dados para a maioria dos amplificadores operacionais fornecem um valor en em 1 kHz, mas alguns também especificam em 10 kHz, 100 kHz ou até 1 MHz; e geralmente fornecem plotagens gráficas de en versus frequência. Como a tensão de ruído integrada é dominada por en na extremidade de alta frequência da faixa de operação, certifique-se de usar esse valor (ou uma média de globo ocular ponderada em frequência) na fórmula simples acima. Usar um valor en de alta frequência é particularmente importante para amplificadores de transimpedância, que sofrem de ruído de corrente "*en* C" (in = en2 fCin) em altas frequências.

A. Ruído "1/f"

Discutimos o ruído 1/ *f* com mais detalhes no Capítulo 8 (onde mostramos como determinar o canto do ruído 1/ *f ,* etc., em §8.13.4, mas aqui abordamos a questão prática "Que efeito as curvas assustadoras de densidade de ruído ascendente na Figura 5.37 têm no ruído do meu circuito?" A densidade de ruído en é realmente maior em baixas frequências, mas essa densidade é multiplicada por um intervalo de frequência menor. a *tensão de* ruído total (em contraste com a *densidade* de ruído en) contribuída por um amplificador operacional depende tanto de sua en quanto da largura de banda do circuito. Mais precisamente, a tensão de ruído quadrada média é a integral de e2 sobre o passa-banda: n

$$v_n^2 = \int_{fa}^{fb} e_n^2(f)\,df,$$

onde en(f) é a densidade espectral do ruído (muitas vezes plotada em planilhas de dados) e a banda passante (ou banda de observação) se estende de *fa* a *fb.* Em seguida, obtemos a tensão de ruído rms calculando a raiz quadrada de v_n^2.

Realizamos as integrações e mostramos os efeitos devastadores do ruído 1/ *f* nos gráficos de ruído integrado posteriormente, na Figura 5.54 (no contexto de amp-ops auto-zero). Mais largura de banda significa mais ruído e todas as curvas sobem como ÿ *f* no limite superior. Os amplificadores operacionais são classificados em ordem por seus valores de alta frequência ; é interessante comparar suas posições na Figura 5.37 com as classificações na Figura 5.54. Na extremidade de baixa frequência, a tensão de ruído dos amplificadores operacionais convencionais diminui, porque sua densidade de ruído crescente de 1/ *f* compensa a largura de banda reduzida,35 enquanto a tensão de ruído dos amplificadores de zero automático continua sua tendência descendente.

Vamos usar a Figura 5.54 para explorar um exemplo revelador. O LT1012 tem um en (a 1 kHz) de 14 nV/ ÿ Hz e uma frequência de canto de 2,5 Hz.36 Se fosse usado em um amplificador de precisão com um corte de alta frequência além de 1 Hz, por exemplo, seria menos ruidoso que um OPA277, embora este último tenha uma densidade de ruído menor em 1 kHz de 8 nV/ ÿ Hz, porque este último tem um canto de ruído de 20 Hz (indicado por pontos pretos). Mas o OPA277 recupera algum respeito quando vemos que é dramaticamente mais silencioso do que uma parte concorrente de 9 nV/ÿ Hz, o TLC2272, que sofre de um canto de ruído de 330 Hz muito mais alto.37

35 Bem, não exatamente: se a densidade de potência do ruído realmente continuasse aumentando como 1/ *f*, a integral divergiria na frequência zero (cf.) Para a Figura 5.54, definimos a frequência baixa como 0,01 Hz.

36 Como determinar a frequência de canto? Veja a discussão em §8.13.4.

37 O LT1012 e o OPA277 são peças BJT e o TLC2272 é um amplificador operacional CMOS. O '2272 possui uma minúscula corrente de polarização máxima de 60 pA, muito melhor do que o '277 de 1 nA, mas não muito melhor do que os incríveis 100 pA do '1012.

Machine Translated by Google

Os gráficos de ruído integrado são reveladores, mas é útil ter um único número na tabela para avaliar nossos amplificadores operacionais. O parâmetro "Vnpp" na tabela é o ruído de tensão pico a pico em uma banda de 0,1 a 10 Hz. Isso mostra o "ruído CC" de um amplificador operacional, conforme visto na parte plana das curvas da Figura 5.54. Os valores variam até 11 Vpp (mas ÿ LMC6482 peças que evitam a concorrência por não listar nenhuma especificação). O LT1028 é o vencedor com 35 nVpp, mas o LMP7731 é uma parte notável em 80 nVpp, com seus recursos RRIO e seu pacote SOT-23. O ADA4075, com seu offset de 1 mV, não entrou na tabela de precisão, mas seu nível de ruído de 60 nVpp é atraente.

Os amplificadores operacionais de precisão que sofrem de ruído 1/ *f* (ou seja, todos exceto os tipos auto-zero) têm uma especificação Vnpp cujo limite inferior de frequência é geralmente 0,1 Hz. Se você precisar de uma frequência inicial mais baixa (como 0,01 Hz, usada nos gráficos), multiplique o valor de voltagem de ruído de baixa frequência listado pela raiz quadrada do número de décadas adicionais de baixo custo que você deseja (isso é um interessante 1/ *f* factóide de ruído). Contanto que o canto 1/ *f* esteja várias décadas acima, você pode ignorar a contribuição do ruído branco para o espectro.

O parâmetro Vnpp é sua principal pista sobre o desempenho de desvio de longo prazo de um amplificador operacional.

5.10.7 Corrente de polarização

As correntes de polarização de entrada disponíveis variam de femtoamps a microamps (nove ordens de magnitude!). Em algumas aplicações, este é o parâmetro que exclui classes inteiras de opções de amplificadores operacionais. As peças com correntes de entrada típicas muito baixas geralmente têm especificações *máximas* inexpressivas ; isso se deve à dificuldade e ao custo dos testes automatizados em correntes abaixo de 10 pA ou mais. Por exemplo, o amplificador operacional CMOS LMC6482A de baixo custo de US$ 1,88 tem uma especificação "típica" de 20 fA, mas a folha de dados mostra um valor máximo de 4 pA – isso é 200 vezes pior.38 No entanto, se você estiver disposto a pagar mais de US$ 10, você pode obter um LMP7721 com uma especificação máxima de 20 fA.

Como dissemos anteriormente (e diremos novamente), a corrente de "bias" dos amplificadores operacionais JFET e CMOS é uma corrente de *fuga* e aumenta exponencialmente com a temperatura; veja a Figura 5.38. Essa é a má notícia. A *boa* notícia (como também dissemos antes) é que existem alguns amplificadores operacionais (como o LT1012 e o AD706) que têm baixas correntes de entrada do tipo JFET, mas que têm entradas BJT e, portanto, aproveitam melhor

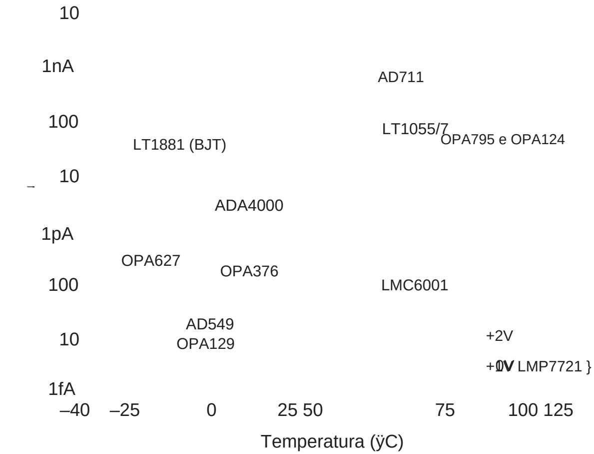


Figura 5.38. Corrente de entrada versus temperatura para um conjunto representativo de amplificadores operacionais da Tabela 5.5 nas páginas 320–321, retirada das folhas de dados dos fabricantes. Veja também as Figuras 5.6 e 3.48.

desempenho de alta temperatura e desvios e desvios de tensão de deslocamento aprimorados, consulte a Figura 5.6.

Amplificadores operacionais de baixa corrente de entrada geralmente têm tensão de deslocamento e desvio de tensão de deslocamento mais altos e geralmente são mais ruidosos. Os amplificadores operacionais JFET OPA627 e ADA4627 são exceções e nos serviram bem, mas são caros. Felizmente, o novo JFET OPA827 tem menor ruído e oferece algum alívio de preço. O AD743, que não está na tabela por causa de sua tensão de compensação de 1 mV, apresenta uma especificação de 2,9 nV/ÿ Hz. Olhando para as peças CMOS (que são de baixa tensão), descobrimos que o LMP7715 é o melhor contendor de baixo ruído, a 5,8 nV/ÿ Hz, mas uma peça de baixo custo como o AD8616, com 1 pA de polarização e 7 nV/ÿ Ruído Hz, pode oferecer um bom compromisso.

Os amplificadores operacionais de alta velocidade geralmente têm altas correntes de polarização de entrada, normalmente de ÿ200 nA até 20 nA. Eles também têm altas tensões de deslocamento, acima de 0,5 mV, portanto, a maioria das peças nesta categoria nem chegou a a tabela de precisão, mas aparecem na categoria de amplificadores operacionais de alta velocidade na Tabela 5.4 na página 310. Os amplificadores operacionais JFET OPA656 e '657 de baixa tensão rápidos da TI, com corrente de polarização típica de 2 pA, taxa de variação ÿ de 290 V/s, e 20 ns de tempo de acomodação, exigiram e obtiveram residência em ambas as tabelas. O OPA380 é um amplificador operacional de 90 MHz destinado a aplicações de transimpedância rápida, apresentando 50 pA e deslocamento máximo de ÿ 25 V. Esta peça usa um circuito de zero automático, mas evita o excesso de ruído de corrente com um filtro de isolamento (Figura 5.41).

A. Medindo a corrente de polarização

A. Medindo a corrente de polarização Para medir as correntes de entrada (ou correntes de deslocamento) até o nível de nanoamp, você pode usar o circuito simples da Figura 5.39. Para correntes *realmente* pequenas, porém, você tem

[38] A nota 13 na folha de dados do LMC6482 diz "Os limites garantidos são ditados pelas limitações do testador e não pelo desempenho do dispositivo. O desempenho real é refletido no valor típico." Isso é esclarecedor, mas não totalmente útil para o projetista de um instrumento de produção em massa.

para jogar alguns truques inteligentes: uma corrente para baixo no fem toamps (10-15 A) desenvolve apenas microvolts através de um gi gaohm! (E você nunca verá isso, porque as tensões de deslocamento são muito maiores.) Em vez disso, acumule a minúscula corrente de entrada em um integrador (ele próprio construído com um amplificador operacional de corrente de entrada ultrabaixa), conforme mostrado na Figura 5.40A .39 Aqui, o comprimento curto do cabo blindado (com Teflon di elétrico) serve como capacitância de realimentação do integrador C1 (o coaxial padrão de 50 ÿ tem uma capacitância de quase exatamente 1 pF/cm, consulte o Apêndice H). Você pode observar a rampa diretamente ou, se quiser ser mais sofisticado, adicionar um diferenciador conforme mostrado.

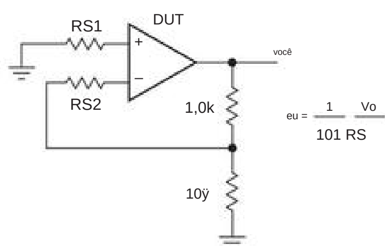


Figura 5.39. Circuito de teste de corrente de entrada (defina um dos Rs para zero) e corrente de deslocamento de entrada *(Rs1* = Rs2) . Use valores de Rs grandes o suficiente para que a tensão desenvolvida através deles seja de pelo menos 10s de milivolts, de modo que os erros devidos à tensão de deslocamento possam ser ignorados. Adicione um resistor de 200 ÿ na saída se quiser acionar um cabo.

Um método um pouco mais simples, que funcionou bem para nós, é conectar o amplificador operacional como um seguidor, com um pequeno capacitor da entrada (+) ao terra (Figura 5.40B); a corrente de entrada do amplificador operacional então gera uma rampa de entrada, fielmente reproduzida na saída. No começo, lutamos com efeitos de memória em capacitores de mica e filme, mas finalmente decidimos por um capacitor de ar (variável), do tipo que era usado para sintonizar rádios AM nos bons e velhos tempos. Com o capacitor ajustado para 365 pF, obtivemos uma rampa de saída de 0,20 mV/s de um LMC6482 e, portanto, uma corrente de entrada de 73 fA. Você pode "reiniciar" este circuito colapsando os trilhos de alimentação. Certifique-se de colocar todo o negócio em uma caixa de metal: essas entradas abertas são feras realmente sensíveis!

39 Baseado em boas técnicas desenvolvidas por Paul Grohe e Bob Pease na National Semiconductor. Veja o artigo de Paul Rako "Mea suring Nanoamperes" (EDN, 26 de abril de 2007) e dois riffs de Pease de sua série em Electronic Design: "What's All This Teflon Stuff, Anyhow?" (14 de fevereiro de 1991) e "What's All This Femtoampere Stuff, Anyhow" (2 de setembro de 1993). Versões bem legíveis atualmente disponíveis em http:// electronicdesign.com/ test-amp-measurement/whats-all-teflon-stuff-anyhow e . . . /whats-all-femtoampere-stuff-anyhow.

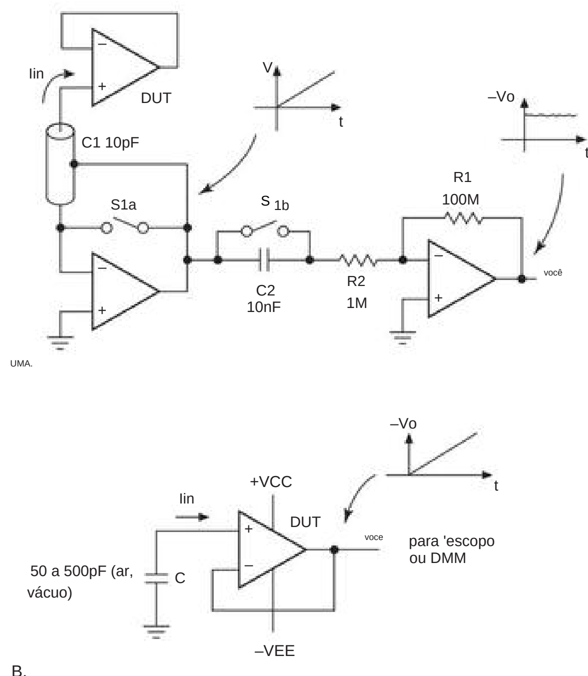


Figura 5.40. Integre a corrente de entrada para medir na faixa de picoamp (e abaixo). A. Com um integrador de amplificador operacional de entrada MOS separado cuja corrente de entrada está nos femtoamps baixos (por exemplo, um LMP7721, IB=3 fA tip, 20 fA max). Use relés eletromecânicos (não interruptores MOS) para S1, por exemplo, a série COTO 9202 mostrada na Figura 5.3. B. Mais simplesmente, deixe a corrente de entrada do dispositivo carregar um pequeno capacitor e observe a rampa na saída G=1.

5.10.8 Ruído atual

A densidade de ruído de corrente de entrada do amplificador operacional in flui através da impedância da fonte vista nos terminais de entrada do amplificador, contribuindo com uma densidade de tensão de ruído equivalente *inZs;* isso geralmente é insignificante em comparação com o en do amplificador. Podemos definir uma "impedância de ruído" para o amplificador operacional, Zn ÿ *en/ in,* para que possamos ignorar com segurança o ruído atual quando a impedância da fonte Zs Zn.

Os valores típicos variam de 0,1 fA/ÿ Hz a 50 fA/ÿ Hz para amplificadores operacionais CMOS e JFET e até 5 pA/ÿ Hz para amplificadores operacionais de entrada BJT de baixo ruído que operam em correntes de entrada relativamente altas. O superbeta BJT LT1012 (com sua baixa corrente de entrada) se sai consideravelmente melhor, a 20 fA/ÿ Hz. Mas observe que o LT1028 de entrada alta é o vencedor *do ruído de tensão ,* pelo qual pagamos a penalidade do alto ruído de corrente. Sua impedância de ruído Zn = 850ÿ, o que significa que resistências de circuito excepcionalmente baixas devem ser usadas, digamos 300 ÿ ou menos, para obter o benefício total de seu ruído de baixa tensão. Em contraste, o amplificador operacional BJT LT1013 de fonte única tem Zn = 315 kÿ, um valor confortavelmente alto.

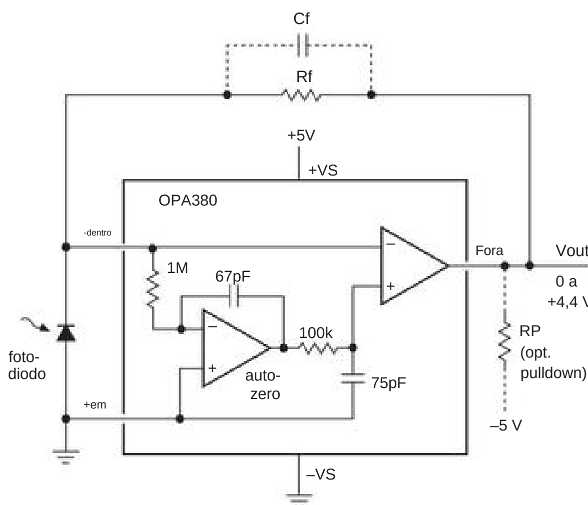


Figura 5.41. O OPA380 atinge um deslocamento ÿ de tensão típico de 4 V usando um recurso de zero automático, mas possui apenas 10 fA/ÿ Hz de ruído de corrente a 10 kHz. É ideal para aplicações de transimpedância, como o pré-amplificador de fotodiodo mostrado aqui.

A especificação do fabricante fornece a densidade de ruído de corrente em uma frequência alta como 1 kHz ou 10 kHz, escolhida para ficar bem acima da frequência de canto 1/ *f* de ruído de corrente. O canto 1/ *f* do ruído de corrente geralmente vem em frequências muito mais altas do que o canto 1/ *f* do ruído de tensão . Por exemplo, o OPA277 tem um canto de ruído de tensão de 20 Hz, mas um canto de ruído de corrente de 200 Hz; para um LT1007 é 2 Hz e 120 Hz. As diferentes frequências de canto 1/ *f* significam que obteremos diferentes valores de Zn em baixas frequências. Voltando ao LT1028, por exemplo, seu ruído de corrente relativamente mais alto em baixas frequências reduz Zn para 212 ÿ em 10 Hz. Isso requer que reduzamos ainda mais as resistências do circuito para um desempenho ideal, para 100 ÿ ou menos.

Em altas frequências, o ruído atual pode consistir em grande parte no *ruído shot* fundamental (e inevitável) , nas flutuações estatísticas do fluxo de elétrons (equação 8.6). Para uma corrente de polarização de entrada (ou vazamento) IB , esse limite inferior é = ÿ2qIB ; para uma corrente de polarização de 10 pA avaliada como in=1,8 fA/ÿ Hz (a partir da qual você pode convenientemente escalar para cima ou para baixo pela raiz quadrada de IB). As especificações típicas e máximas de corrente de polarização variam amplamente, como vimos; evidentemente, muitos fabricantes simplesmente listam o valor de ruído de tiro calculado correspondente à especificação típica de corrente de polarização. Por exemplo, o LT1013 tem IB=12 nA tip, a partir do qual podemos calcular uma densidade de ruído de corrente de 62 fA/ÿ Hz; a especificação do fabricante é 70 fA/ÿ Hz.

Uma exceção importante ocorre no caso de amplificadores operacionais de entrada BJT com circuitos de cancelamento de corrente de polarização: isso reduz bastante a corrente de entrada CC, mas não a corrente barulho de aluguel. Por exemplo, o LT1007, com seu silencioso en=2,5 nV/ ÿ Hz, tem uma especificação de corrente de polarização de 10 nA, a partir da qual calculamos uma corrente de ruído de disparo de 56 fA/ÿ Hz, mas a especificação do fabricante é in=400 fA/ÿ Hz. Isso é sete vezes mais alto! O que está acontecendo? Para obter voltagem de baixo ruído, eles executam os transistores de entrada em altas correntes de coletor. Isso cria uma corrente de base alta, que seria a corrente de entrada do amplificador operacional se eles não tivessem usado o antigo truque de cancelamento de corrente de base *(§4x.10).* Portanto, a corrente de polarização CC é pequena, mas o ruído de corrente é grande. O ultralow en LT1028 também usa cancelamento de corrente de polarização, mantendo sua corrente de polarização abaixo de 25 nA, mas com um ruído de corrente 10 vezes maior que o valor de ruído de tiro calculado. E para o LT6010, cuja corrente de entrada é reduzida para apenas 20 picoamps (o tipo de correntes baixas que você vê nos amplificadores operacionais de entrada FET), o ruído atual é 40 vezes maior do que o ruído de tiro calculado.

Em outras palavras, é importante perceber que a corrente de *ruído* de entrada de um amplificador operacional com cancelamento de polarização será consideravelmente maior do que você esperaria se fosse calcular o ruído de tiro resultante da corrente de polarização de entrada líquida (isto é, cancelada). . Em vez disso, você precisa calcular o ruído de tiro das correntes de base não canceladas (e então aplicar um fator de ÿ 2 para contabilizar o ruído adicional na corrente de cancelamento). Por exemplo, usando o valor do LT6010 de IB = ±20 pA (típico), você estimaria incorretamente uma corrente de ruído de tiro de ÿ 2,5 fA/ÿ Hz, enquanto a folha de dados lista um valor típico (em 1 kHz, bem acima do 1/ canto *f)* de 100 fA/ÿ Hz; da mesma forma para o LT1028 (que especifica 1000 fA/ÿ Hz, versus 90 fA/ÿ Hz que você estimaria incorretamente a partir do IB líquido). A Tabela 5.5 não informa se um amplificador BJT emprega cancelamento de corrente de polarização, mas há uma coluna de cancelamento de polarização conveniente no amplificador operacional BJT de baixo ruído Tabela 8.3a na página 522. Amplificadores operacionais com cancelamento de corrente de polarização geralmente não tem estágios de entrada rail-to-rail.40 *Um cuidado:* algumas folhas de dados listam valores muito otimistas para in, evidentemente cometendo exatamente esse erro. Por exemplo, a folha de dados do LT1012 com polarização cancelada mostra um nivelamento típico de 6 fA/ÿ Hz (além do canto 1/ *f),* que é o que você calcularia a partir da corrente de entrada líquida especificada (ou seja, cancelada) de ± 100 pA máx, enquanto você esperaria um valor cerca de 10 vezes maior (assumindo que o cancelamento não cancelado

40 O LT1677 listado na Tabela 8.3a é uma exceção. Sua folha de dados tem um gráfico denominado "Corrente de polarização de entrada na faixa de modo comum", mostrando que os 1,4 V inferiores e os 0,7 V superiores da faixa de modo comum sofrem de altas correntes de polarização. A tensão de compensação do amplificador operacional também é degradada nessas regiões. Mas, ei, nós avisamos você sobre isso em §5.9.1!

corrente de base é cerca de 100× maior). Estávamos céticos em relação à folha de dados reivindicada , então a medimos (junto com outras que pareciam estar com erros semelhantes) e encontramos41 em ÿ 55 fA/ÿ Hz. Este erro compartilha algumas das características de uma *epidemia,* tendo infectado também os datasheets de auto-zero op-amps. Por exemplo, o AD8628A exemplar (listado na Tabela 5.6 na página 335) especifica uma densidade de corrente de ruído de entrada de 5 fA/ÿ Hz; imagine nossa surpresa quando medimos um valor 30 vezes maior. Para não ficar para trás, a especificação do auto-zero op-amp MCP6V06 de 0,6 fA/ÿ Hz está bastante em desacordo com seus 170 fA/ÿ Hz medidos. Veja a discussão em §§5.11.

É importante notar que, no caso de amplificadores operacionais chopper e auto-zero, a especificação de ruído de corrente de entrada é geralmente fornecida em uma frequência baixa de 10 Hz, porque está abaixo da região de ruído de corrente de injeção de carga muito alto (ver §3.4.2E). Se você se der ao trabalho de medir o ruído de entrada de um zero automático, verá algo como os gráficos mostrados na Figura 5.52. Esta é uma situação infeliz, com orientação insuficiente (e talvez ofuscamento deliberado) dos fabricantes. Discutimos isso mais adiante em §5.11.

5.10.9 CMRR e PSRR

A taxa de rejeição de modo comum, CMRR, informa quanto a tensão de deslocamento de entrada VOS varia com a tensão de entrada do modo comum. O problema, claro, é que tal mudança no VOS se disfarça como uma mudança na tensão do sinal de entrada.

Os valores CMRR variam de 70 dB (min) para o nosso favorito LMC6482 (um amplificador operacional duplo CMOS barato), até 130 dB para a precisão OPA277. A degradação do CMRR em altas frequências geralmente é importante, e geralmente há um gráfico na folha de dados do amplificador operacional (confira alguns para você, por exemplo, estes dois; mostramos gráficos CMRR para outros tipos de amplificadores operacionais nas Figuras 5.73 e 5.82). Por exemplo, o CMRR típico do LMC6482 começa a cair acima de 1 kHz e cai para 80 dB a 10 kHz. É interessante que tanto o OPA277 quanto o AD8622 (outro alto desempenho caro em CC) degradam para cerca de 80 dB por 10 kHz, juntando-se ao nosso amigo Jellybean CMOS. Outras partes se saem melhor, como o LT1007 (tipo de 114 dB a 10 kHz). E para repetir um aviso que fizemos em outro lugar: a especificação CMRR geralmente se aplica apenas a uma faixa limitada de modo comum; leia o datasheet com atenção.

Observe esta cura universal: uma maneira consagrada pelo tempo de evitar problemas de CMRR é usar uma configuração de inversão.

41 Folhas de dados para os similares OP-97 e LT1097 cometem o mesmo erro, evidentemente corrigido no LT6010 posterior (o sucessor recomendado para o LT1012).

A taxa de rejeição da fonte de alimentação, PSRR (não mostrada na Tabela 5.5 (páginas 320–321) informa quanto VOS varia com a tensão da fonte de alimentação. Os valores CC típicos são 60–80 dB para o LMC6482, até 130 dB para o OPA277 (mas apenas 100 dB para o AD8622) Estude suas folhas de dados!

Freqüentemente um trilho é muito pior que o outro, especialmente para ac PSRR, por causa do capacitor de compensação do amplificador operacional (veja a Figura 4.43, onde Q5 e Q6 são referenciados ao trilho negativo). Por exemplo, o OPA277 sofre 25 dB extras em seu trilho negativo. O PSRR ac é significativo em duas regiões, 100–120 Hz (e harmônicos) para ondulação da fonte de alimentação e em altas frequências para diafonia de outros circuitos.

Uma defesa comum contra problemas de PSRR, em aplicações sensíveis, como estágios de entrada de baixo nível, é adicionar um filtro *RC* nos trilhos de alimentação.

5.10.10 GBW, f T, taxa de variação e “m” e acomodação tempo

É tentador pensar que nunca é demais ter GBW (gain-bandwidth product, ou fT, seu nome original preferido, veja a Figura 5.42). Afinal, um GBW maior significa maior ganho de loop, e maior ganho de loop significa menor erro (ganho, fase, distorção). Além do mais, com fT mais alto , estamos no caminho certo para ter uma taxa de variação mais rápida, por meio da fórmula S=0,32m fT conforme discutido em detalhes em *§4x.9.*

Além disso, uma taxa de variação mais rápida significa uma maior largura de banda de potência total (FPBW): uma onda senoidal *V(t)* ÿ= Asen pico *S* = Vpp. Finalmente, como o primeiro passo na estabilização de forma de onda é o atraso de giro *t* = ÿV/S, um fT mais alto é um passo importante (e muitas vezes o determinante primário), em direção a uma especificação de tempo de estabilização mais rápida. Os dados nas Tabelas 5.4 (página 310) e 5.5 (páginas 320–321) permitem que você explore a questão essencial “qual é o preço da largura de banda mais alta?”

A. Um aparte: GBW e f T Primeiro, um pequeno riff em “GBW” e “ fT”. A Figura 5.42 mostra um gráfico de ganho em malha aberta versus frequência para um amplificador operacional de banda larga THS4021. Este é um amplificador operacional “descompensado”, estável para ganhos de malha fechada ÿ 10, com um gráfico Bode clássico. O termo GBW descreve adequadamente o produto do ganho de loop aberto vezes a frequência na região em que o ganho está caindo a 6 dB/oitava (isto é, GOL ÿ 1/ f). Sua extrapolação cruza o eixo GOL =0 dB em uma frequência igual a GBW.
Nessa frequência, no entanto, o ganho é menor que a unidade, devido ao efeito de pólos adicionais de frequência mais alta no amplificador. A rigor, o símbolo fT é usado para a frequência (menor) na qual GOL = 1.

Mas *gostamos* da variável mais simples fT, assim como muitas outras pessoas; então é vagamente usado no lugar de GBW. Talvez isso seja desculpável, dado que fT tem um valor bem próximo de GBW para amplificadores operacionais que são compensados pela estabilidade no ganho unitário (isso descreve a maioria dos amplificadores operacionais). Em qualquer caso, salvo indicação em contrário, usaremos fT para significar GBW.

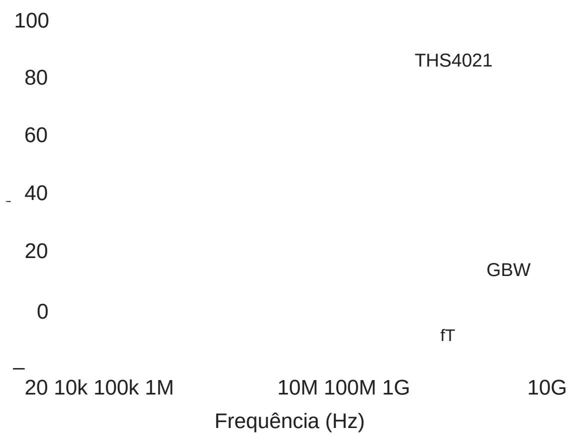


Figura 5.42. O produto ganho-largura de banda (GBW) de um amplificador operacional é a frequência na qual a extrapolação da curva de ganho de malha aberta cruza o eixo de ganho unitário. Muitas vezes é chamado vagamente de "fT", embora o último seja propriamente a frequência na qual o ganho de malha fechada é a unidade. As setas indicam os polos dominante e segundo. Os dados aqui são retirados do datasheet do THS4021, que também mostra o deslocamento de fase atingindo 180ÿ por 400 MHz.

B. Bancos de ordenha e banquetas Se a tensão de deslocamento é uma perna do banco de precisão do amplificador operacional,42 a largura de banda e a velocidade certamente compreendem outra. Muitos dos amplificadores operacionais rápidos que queríamos incluir na tabela de precisão 5.5 (páginas 320–321) foram ignorados porque tinham muita tensão de deslocamento – então alguns deles obtiveram sua própria Tabela 5.4 (página 310). Por exemplo, nessa tabela temos o LT6200, com 165 MHz GBW, 0,95 nV/ ÿ Hz e 1,0 mV de offset. É um amplificador operacional de feedback de tensão (VFB) de 50 V/s e tempo de ÿ que oferece ajuste de 140 ns, então o que há de errado com ele? Apenas 50 ÿ V/s, com *m* = 1? Uma fonte limitada de 10 V (±5 V) com uma alta corrente de 16,5 mA? E uma corrente de polarização (!) *máxima* alta? 40 ÿ A O ponto aqui é que há um preço a se pagar pelo fT alto, e talvez essa parte não seja tão atraente afinal.

Mas pelo menos o LT6200 tem menos de 1 nV/ ÿ Hz de ruído, 1% de distorção a 50 MHz, e ainda é RRIO para inicializar.43 E há a variante LT6200-10, com 1,6 GHz de GBW.

Agradável!

Incluímos alguns amplificadores operacionais de alta velocidade admiráveis na Tabela 5.5, (páginas 320–321), negligenciando em um caso um, uh, VOS *abaixo* do esperado. Um de nossos favoritos é o OPA656, um membro de uma pequena família de amplificadores operacionais altamente úteis oferecidos pela divisão Burr-Brown da TI: ele combina GBW de 230 MHz, taxa de variação de 290 V/s e ÿ tempo de estabilização de 20 ns. Com suas entradas JFET de 2 pA com menos de 3 pF de capacitância de entrada, perdoamos prontamente sua tensão de deslocamento de 1,8 mV e estamos bastante satisfeitos com seus 7 nV/ÿ Hz de ruído de tensão de entrada. É excelente para um amplificador de impedância trans do tipo usado com fotodiodos – consulte *§§4x.3* e *4x.9.* O OPA656 ainda tem um gráfico de distorção na Figura 5.44 (veja a próxima subseção), onde vemos que ele tem menos de 0,1% de distorção para 10 MHz e além. E tem um primo de 1,6 GHz, o OPA657. Quando precisamos de uma tensão operacional mais alta e desejamos uma voltagem mais baixa , recorremos ao OPA637 de 4,5 nV/ ÿ Hz; ele tem uma capacitância um pouco maior (7 pF) e menos largura de banda (80 MHz). E há o OPA380 de 90 MHz mostrado acima. Produtos muito finos da BB/TI.

Com relação à baixa distorção, a Linear Technology oferece o LT1468 (alimentação de 90 MHz, 75 V, ±15 V) que reivindica 0,7 ÿ ppm de distorção com um sinal de 10 V; e com seu tempo de estabilização de 0,8 s, é um bom candidato para alimentar ADCs famintos. Para não ficar atrás, a ÿ National Semiconductor oferece o LMP7717, um amplificador operacional CMOS com fT de 88 MHz, consumindo apenas 1 mA, trabalhando com uma alimentação total de 1,8 V (!) e oferecendo 1 pA IB, 6 nV/ÿ Hz en e especificações de entrada VOS de 150 V , juntamente com saídas rail-to-rail. Peças como essas sugerem que ÿ talvez possamos ter nosso bolo de velocidade + precisão e comê-lo também.

5.10.11 Distorção

Embora grande parte do campo de projeto analógico de precisão se refira a CC e baixas frequências, há aplicações que exigem precisão em velocidades mais altas: áudio e vídeo, comunicações, medições científicas e assim por diante. Com a queda do ganho do loop do amplificador operacional, os erros de entrada estão aumentando, a impedância de saída está aumentando e as limitações da taxa de variação podem en Precisamos de uma maneira de avaliar o desempenho de um amplificador operacional em frequências médias a altas. Alguns fabricantes ajudam fornecendo curvas de distorção harmônica em suas folhas de dados. Se

42 Três pernas ou quatro? Descobrimos que as pessoas da cidade não sabem por que os bancos de ordenha têm três pernas, enquanto os bancos de bar têm quatro. Aqueles com educação rural podem dizer a você, em um piscar de olhos.

43 Sim, ok, mas leia com atenção: na página 10 do datasheet você verá que há deslocamentos de ~1 mV de tensão offset quando a entrada está dentro de 1,5 V do trilho! Um incentivo poderoso para usar o modo de inversão!

é doloroso passar por centenas de folhas de dados procurando por especificações tabuladas para comparar, é duplamente doloroso folhear suas últimas páginas procurando por curvas de distorção.

Aqui nós fornecemos algum "valor agregado" (ei, este livro não é barato!) compilando gráficos de distorção das folhas de dados de cinquenta amplificadores operacionais de alto desempenho selecionados: Figura 5.43 (para amplificadores operacionais de alta tensão) e Figura 5.44 para amplificadores operacionais de baixa tensão e saída RR (incluindo alguns tipos HV). Os amplificadores operacionais listados nas Tabelas 5.4 (página 310) e 5.5 (páginas 320–321) têm uma verificação na coluna "gráfico dist" se aparecerem em um desses gráficos. Também medimos a distorção e fizemos gráficos para alguns amplificadores operacionais mais antigos e populares que não possuem gráficos de folha de dados; veja a Figura 5.19.

OPA134 e OPA627 da Burr–Brown/TI, junto com o LME49990 da National Semi e outros amplificadores operacionais da série LME49700, são os vencedores na categoria de alta tensão. O LT1468 da LTC também se destaca. O AD8021 da Analog Devices se destaca em altas frequências e eles geralmente o recomendam para acionar ADCs. O THS3061 da TI, que tem uma impressionante taxa de variação de 7000 V/s, parece muito bom acima de 100 kHz e, como bônus, pode fornecer 145 mA em 50 ÿ. O ÿ OPA1632 e o LME49724 são amplificadores totalmente diferenciais, consulte §5.17.

A tabela de amplificador operacional de baixa tensão e RR compreende principalmente peças que funcionam com fontes de ± 5 V ou menos. A maioria deles tem saídas rail-to-rail, demonstrando que os amplificadores operacionais RRO podem competir na área de precisão. Alguns amplificadores operacionais de baixa tensão estão em desvantagem em relação aos seus primos HV, porque eles precisam usar níveis de sinal anormalmente baixos. Considere o vencedor do gráfico OPA1641 JFET, a 0,5 ppm. É uma peça de alta tensão com saídas RR, e é testada com sinais de 8,5 Vpp, um luxo não disponível para as peças RRO de baixa tensão. O OPA376 é o vencedor de baixa tensão nesta categoria, a 3 ppm, enquanto está sendo testado com 2,8 Vpp. É interessante que ambos os amplificadores operacionais usem o estágio de saída Monticelli (consulte a Figura 5.35 e *§4x.11).*

A. Distorção: algumas ressalvas

Alguns cuidados são recomendados aqui: é tentador olhar para os gráficos de distorção e pensar que você sabe como comparar os amplificadores operacionais. Mas algumas das medições de distorção precisam ser feitas com mais do que um grão de sal, e algumas ressalvas estão em ordem. Primeiro, não há padrões de fato para distorção de amplificadores operacionais, e os fabricantes escolheram diferentes condições de operação.44 Alguns usam THD, outros THD+N (distorção harmônica total mais ruído) e outros ainda podem concentre-se em produtos de distorção específicos, por exemplo, o 2º ou 3º harmônico. Essas escolhas ocultas afetam a posição de um amplificador operacional nas paradas.

Em segundo lugar, os gráficos de distorção às vezes revelam artefatos do processo de medição – por exemplo, as curvas nas Figuras 5.43 e 5.44 começam com um perfil de distorção plana começando em dc, que, no entanto, geralmente continua bem além da frequência na qual conhecemos a operação. o ganho de malha aberta do amplificador está caindo (ou seja, além do pólo primário). Isso é contrário às expectativas e provavelmente revela uma limitação instrumental de nível de ruído, em vez da realidade; ou seja, o amplificador operacional é melhor do que o anunciado.

Em terceiro lugar, as curvas finalmente mostram a distorção crescente esperada em frequências mais altas; isso se deve a não linearidades internas do amplificador operacional e à perda de ganho de loop, tanto dentro quanto fora do amplificador operacional. Mas esta região é fortemente dependente do tamanho do sinal e da carga, com escolhas variadas de diferentes fabricantes. Em alguma frequência mais alta, a curva ascendente pode se inclinar acentuadamente. Isso geralmente ocorre devido à distorção de terceiro harmônico. Não podemos generalizar sobre onde a distorção de segundo ou terceiro harmônico dominará para qualquer amplificador operacional, mas parece que a distorção de segunda ordem é a culpada mais comum. Isso é surpreendente, dado o esforço de muitos amplificadores operacionais para equilibrar totalmente o design.

Quarto, quando você está no território <10 ppm, todos os tipos de coisas estranhas podem morder você. Como observou certa vez o sábio guru Jim Williams: "Se você acha que mediu algo em 1 ppm, provavelmente está errado". A Figura 5.45 ilustra um problema frequentemente negligenciado. Aqui temos um amplificador operacional OPA1641 de precisão que é capaz de distorcer o desempenho abaixo de 1 ppm a 1 kHz e, no modo não inversor, o amplificador operacional tem pouco mais de 20 ppm de distorção a 100 kHz.
É um amplificador operacional JFET com 8 pF de capacitância de entrada (razoavelmente baixo, especialmente considerando a especificação de ruído baixo de 5 nV/ÿ Hz do amplificador operacional). Em uma demonstração admirável de franqueza, a folha de dados nos adverte que "Os JFETs de canal n no estágio de entrada FET exibem uma capacitância de entrada variável com tensão de entrada de modo comum aplicada" e fornece gráficos de distorção crescente decorrente de uma resistência de fonte de entrada que conduz os amplificadores operacionais dinamicamente - mudança de capacitância. Por exemplo, com Rs = 600ÿ a distorção de 100 kHz aumenta dramaticamente, para 100 ppm. Eles sugerem impedâncias de entrada cuidadosamente combinadas para reduzir esse tipo de distorção (um efeito que não se limita a esse amplificador operacional em particular: esteja avisado!). Melhor ainda, use a configuração de inversão.

Finalmente, uma olhada no circuito de teste usado por muitos fabricantes para fazer medições de distorção abaixo de 100 ppm (Figura 5.46). O truque é reduzir o ganho do loop do amplificador operacional por um fator de 100, aumentando assim a distorção pelo mesmo fator; a distorção relatada é então obtida dividindo o

[44] Os fabricantes usam diferentes níveis de tensão (2 Vpp, 3 Vrms, 10 V de pico e 20 Vpp), diferentes cargas (100 ÿ, 600 ÿ, 2k, 10k e circuito aberto), diferentes tensões de modo comum, diferentes filtros do analisador e até ganhos diferentes para suas medições.

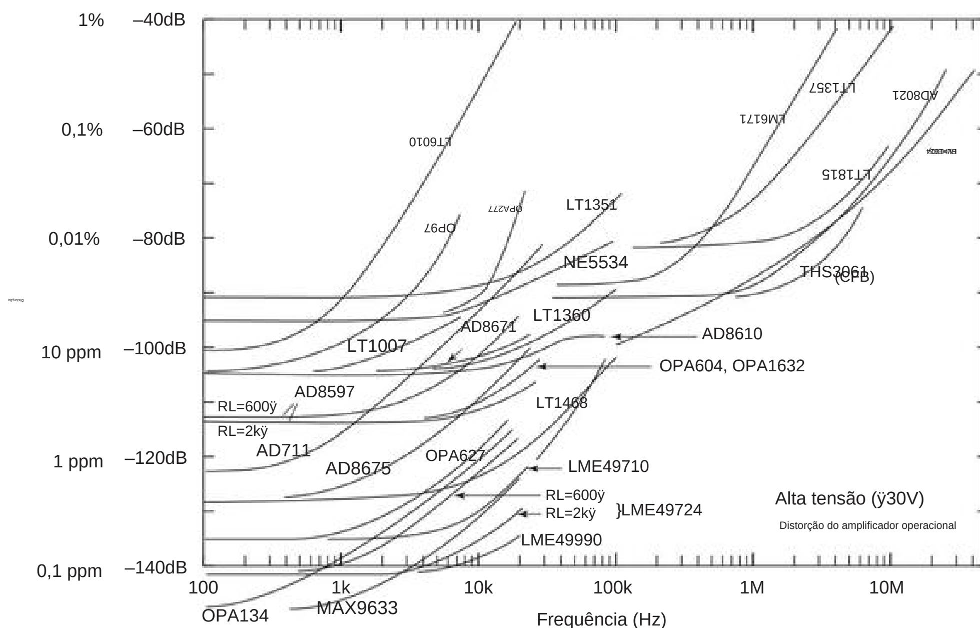


Figura 5.43. Distorção harmônica versus frequência para uma seleção de amplificadores operacionais de “alta tensão” (alimentação total ÿ30 V), de fabricantes folhas de dados.

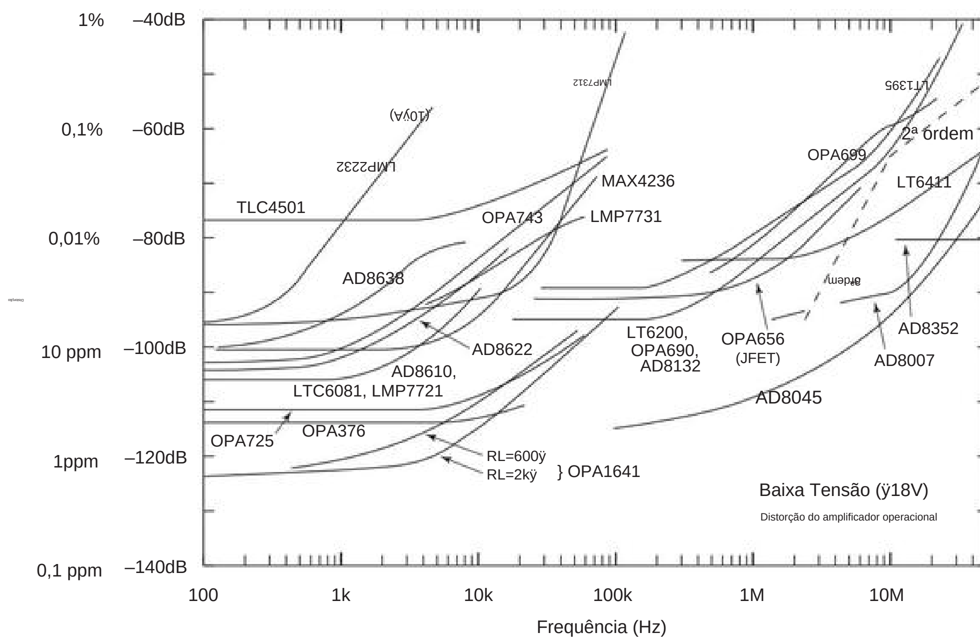


Figura 5.44. Distorção harmônica versus frequência para seleção de amplificadores operacionais de “baixa tensão” (alimentação total ÿ18 V), das folhas de dados dos fabricantes. A maioria deles tem estágios de saída rail-to-rail. Veja também a Figura 5.19.

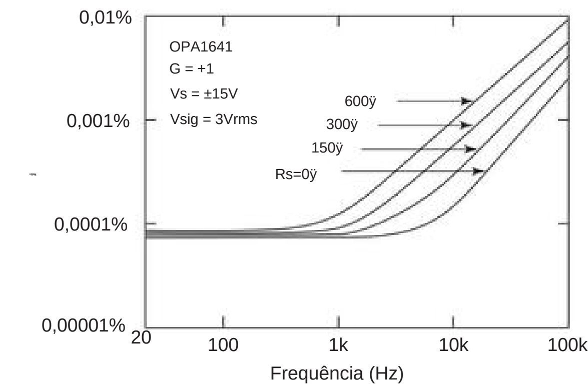


Figura 5.45. A variação da capacitância de entrada com a tensão do sinal causa distorção adicional em frequências mais altas, dependendo da resistência da fonte.

mediu a distorção em 100. Mas uma preocupação imediata é a natureza artificial do teste, com o amplificador operacional vendo uma impedância de fonte artificialmente baixa. É seguro concluir que todos nós provavelmente podemos nos beneficiar de mais trabalhos nesta área.45

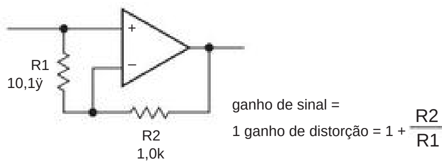


Figura 5.46. Circuito de teste de distorção. Com os valores mostrados, o ganho de loop efetivo do amplificador operacional é reduzido em ×100. Adicione um resistor em série na saída se estiver conduzindo um cabo.

5.10.12 "Dois em três não é ruim": criando um amplificador operacional perfeito

Reconhecemos desde o início que não existe um amplificador operacional perfeito – mas não se preocupe, geralmente há uma solução alternativa. Se você encontrar as especificações de desempenho de entrada necessárias em um amplificador operacional e as especificações de saída em outro, pode ser possível combiná-las em um circuito de "ampliador composto" que atue como um único amplificador operacional (combinando os melhores recursos de cada um) em seu loop de feedback. Ou você pode criar um amplificador operacional composto adicionando uma entrada discreta ou um estágio de saída ao IC de amplificador operacional de sua escolha. Se o seu circuito de realimentação tiver um ganho muito alto, como um amplificador G=10.000, talvez você não precise se preocupar com a compensação (por exemplo, consulte a Figura 5.61). No entanto, não é muito difícil lidar com o alto ganho de malha de um circuito G=1, como mostramos em *§4x.5.*

Na discussão do Capítulo 4x sobre amplificadores compostos, mostramos uma configuração de amplificador robusta na qual o ganho do segundo amplificador operacional é reduzido à unidade em uma frequência bem acima do fT do primeiro amplificador operacional , permitindo flexibilidade de ganho de loop. Além disso, nenhuma restrição é colocada nas tensões de modo comum ou nas conexões de entrada do amplificador nesta abordagem. É uma boa configuração a considerar, embora frequentemente você encontre muitas variações nas implementações de amplificadores compostos do mundo real.

A. Exemplo de projeto: posicionador piezoelétrico preciso de alta corrente Uma boa aplicação para um amplificador composto é um posicionador de platina de microscópio de precisão, implementado com um par de elementos piezoelétricos multicamadas. Esses dispositivos são rápidos e rígidos – nossa peça escolhida, por exemplo, é boa para dezenas de quilohertz e dezenas de quilogramas – e fornecem posicionamento estável e preciso (na escala nanométrica) sobre seu movimento limitado (aqui 6 m). No lado negativo, eles apresentamÿuma carga difícil, 0,75 Fe exigem uma capacitivo (aqui, talvez muito alta) tensão de acionamento relativamente alta (aqui 100 V em escala ÿ completa).

Um circuito adequado é mostrado na Figura 5.47. Gostaríamos de uma resposta moderadamente rápida, digamos 1 V/s, que requer I=CdV/dt ÿ = 1,5 A de capacidade de acionamento nos 1,5 F de capacitância do par piezo. Nossa fonte de sinal é um DAC8831 de 16 bits, com ladder, ÿ saída de escala completa de +5 V (R-2R Rout=6,25 kÿ) com uma interface SPI rápida. Executar o DAC com uma referência de 5 V produz um tamanho de passo de bit menos significativo (LSB) de 76 V. Sua rota de 6,25k requer um amplificador operacional cuja corrente de entrada é inferior a 12 nA para ÿ adicionar erro maior que um LSB. E o amplificador operacional precisa oscilar para +100 V durante a condução de 1,5 Então, evidentemente, estamos procurando um amplificador operacional de 150 V, 1,5 A com um deslocamento de ÿ F. entrada inferior a 75 V e uma corrente de polarização inferior a 10 nA . Olhando, olhando. . . sem alegria! Essa parte não está disponível. ÿ Então resolvemos o problema equipando um amplificador composto com um ganho de 20. Especificamos uma resposta de frequência para 25 kHz (que é cerca de 20% da frequência de ressonância mecânica do piezo).

Para o amplificador operacional de entrada escolhemos o AD8675 da Tabela 5.5 (páginas 320–321). Tem erros de entrada baixos ÿTa V (75 e 2 nA máx.) e oscilação de saída suficiente para conduzir um estágio *G* = 20 de alta tensão. Para nosso amplificador de saída, escolhemos o Apex PB51, um driver de potência capaz de 300 V e 1,5 A (mas sujeito a uma restrição de área operacional segura, por exemplo, limitado a queda de 130 V ao conduzir 2 A por 100 ms). Seus erros máximos de entrada são 1,75 V (!) e 70 A (!) – ÿ isso

45 OK, nós nos declaramos culpados da acusação para essa conclusão favorecida por todos os acadêmicos – "precisa de mais estudos (e uma proposta de financiamento está no correio)".

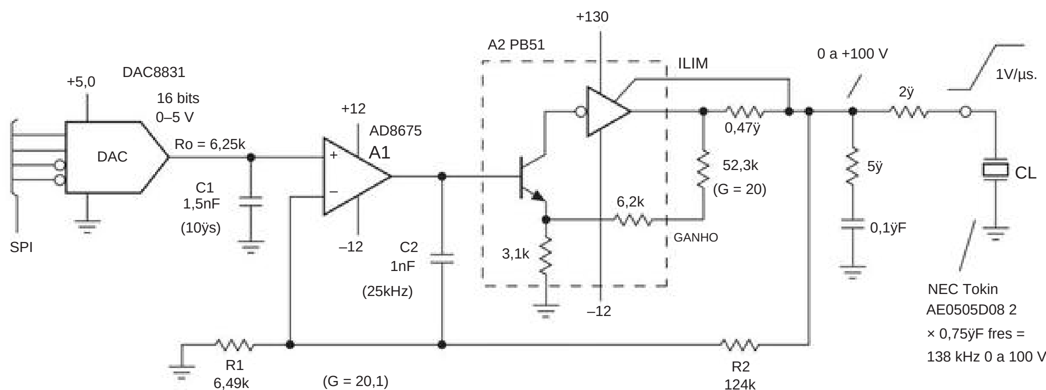


Figura 5.47. Amplificador composto de precisão para conduzir uma correnteÿ Posicionador piezo F: saída para 100 V e 1,5 A, com 75 ÿ V deslocamento máximo, de entrada máxima de 1,5 2 nA e resposta a 25 kHz. O atuador piezo especificado se move 6 ÿ m por 100 V.

por que eles chamam de *driver* em vez de amplificador operacional! Seu ganho é definido com um resistor externo, aqui 52,3 kÿ (para *G* = 20) para corresponder ao ganho geral desejado.

O único caminho de realimentação *R1R2* define *G* = 20 para o amplificador composto. Um esquema geral para compensar amplificadores compostos é sugerido em *§4x.5.* Aqui usamos um esquema diferente, com C2 isolando a entrada do amplificador operacional A1 do amplificador de saída A2 em frequências acima de 25 kHz. Dessa forma, não precisamos nos preocupar com a resposta do A2 em altas frequências, onde ele luta com sua carga capacitiva.

Esta é realmente uma configuração “personalizada”, imposta a nós pela, uh, carga *desafiadora ;* o que tem em comum com outras configurações de amplificadores compostos é o único caminho de realimentação que determina seu ganho na maior parte de seu regime operacional.

Para entender a operação do circuito, imagine um degrau de entrada de 2 V do DAC. Isso causa um degrau de 2 V na saída de A1 (que age como um seguidor em altas velocidades, devido a C2), que é aproximadamente o sinal certo para dizer a A2 para direcionar a corrente para CL e mover sua saída em 40 volts (é por isso que escolha G=20 para o estágio de saída). À medida que o amplificador A2 se aproxima desse objetivo, o amplificador operacional A1 assume o comando e apresenta sinais de correção para fazer com que a saída aprimore o valor preciso.

Alguns detalhes adicionais do circuito: a resposta do DAC é desacelerada por C1 para uma constante de tempo de 10 ÿs – então seu amplificador não faz a largura de banda limitada. A série *RC* na saída promove estabilidade, reduzindo o ganho de malha aberta de A2 em altas frequências e fornecendo amortecimento com perdas; é amplamente utilizado em amplificadores de potência de áudio. Observe que capacitores de desvio substanciais (até 100 F, não mostrados) são necessários com correntes de sinal tão grandes.
ÿ

Outros exemplos da técnica de amplificador composto pode ser encontrado em *§4x.5* e nas Figuras 5.58, 5.59, 5.61, 8.49, 8.50, 8.78, 8.80 e 13.48.

E outros exemplos de técnicas que exploram o conceito “dois em três” de adição de blocos amplificadores externos são (a) front-end JFET discreto para um amplificador operacional BJT (por exemplo, Figura 5.58), (b) unidade de saída buffer de ganho (§5.8.4) e (c) fontes de alimentação autoinicializadas para estender a faixa de tensão ou melhorar o CMRR (por exemplo, Figura 5.79).46

5.11 Amplificadores com zeramento automático (estabilizados por chopper)

Mesmo o melhor dos amplificadores operacionais de baixo deslocamento de precisão não pode igualar o impressionante desempenho VOS dos chamados amplificadores operacionais “estabilizados por chopper” ou “auto-zero” (também chamados de “desvio zero”). Ironicamente, esses amplificadores interessantes são construídos com CMOS, famoso por sua mediocridade quando se trata de compensação de tensão ou desvio. O truque aqui é colocar um segundo *amplificador* operacional nulo no chip, juntamente com alguns interruptores analógicos MOS e capacitores de armazenamento de erro de compensação. Uma das várias configurações possíveis é mostrada na Figura 5.48. O amplificador operacional principal funciona como um amplificador convencional (imperfeito). O trabalho do amplificador operacional anulador é monitorar o deslocamento de entrada do amplificador principal, ajustando um sinal de correção lenta conforme necessário na tentativa de trazer o deslocamento de entrada exatamente para zero. Como o amplificador anulador tem seu próprio erro de deslocamento, há um ciclo alternado de operação no qual o amplificador anulador corri

46 Se você estiver considerando posicionadores piezoelétricos para uma aplicação de precisão, saiba que eles exibem alguma não linearidade e histerese quando acionados por uma fonte de tensão. Diz-se que esses problemas são amenizados quando o sinal de acionamento é quantificado por *carga* em vez de tensão. Consulte o Capítulo *3x* para obter um circuito de acionamento de corrente de precisão que contorna esse problema e faz etapas piezo lineares rápidas.

Voltagem. Ambos os amplificadores têm um terceiro terminal de entrada "anulado", análogo ao compensado compensado visto em alguns amplificadores operacionais.

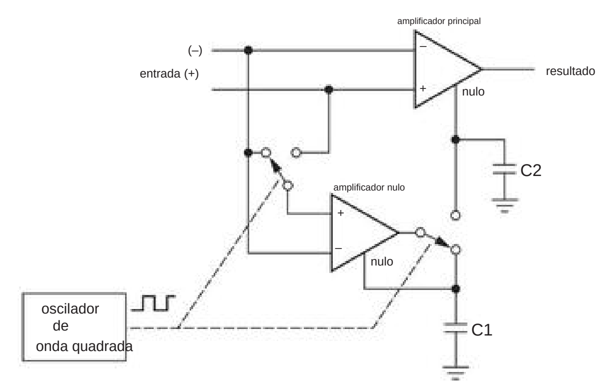


Figura 5.48. Os amplificadores operacionais ICL7650 e ICL7652 auto-zero ("estabilizados por chopper") originais. Os capacitores C1 e C2 são externos.

O ciclo de zeragem automática é assim. (a) Desconecte o amplificador de anulação da entrada, coloque suas entradas em curto e conecte sua saída a C1, o capacitor de retenção para seu sinal de correção; o amplificador anulador agora tem um ajuste zero. (b) Agora conecte o amplificador de anulação na entrada e conecte sua saída a C2, o capacitor de retenção para o sinal de correção do amplificador principal; o amplificador principal agora tem deslocamento zero (supondo que o amplificador nulo não tenha desviado). Os interruptores analógicos MOS são controlados por um oscilador integrado, normalmente operando na faixa de 1 a 50 kHz.

5.11.1 Propriedades do amplificador operacional com zero automático

Os amplificadores operacionais de zero automático fazem melhor o que são otimizados, ou seja, fornecer valores de VOS (e tempcos) 5 a 50 vezes melhor do que o amplificador operacional bipolar de melhor precisão (consulte a Tabela 5.6 na próxima página). Além do mais, eles fazem isso enquanto fornecem velocidade e largura de banda de amplificador operacional.[47] Eles também têm ganho de malha aberta extraordinariamente alto em baixas frequências (normalmente 130–150 dB, uma consequência de sua "arquitetura de amplificador composto") ; e, felizmente, são baratos, especialmente quando comparados com amplificadores operacionais de precisão convencionais.

Essa é a boa notícia. A má notícia é que os amplificadores auto-zero têm uma série de doenças que você deve observar. Sendo dispositivos CMOS, a maioria deles tem uma tensão de alimentação severamente limitada – geralmente 6 V de alimentação total, com um seleção menor que pode operar até 15 V, e apenas uma[48] peça de geração mais antiga (o LTC1150) que pode operar em ±15 V.

De maior importância é o problema do ruído induzido pelo relógio. Isso é causado pelo acoplamento de carga das chaves MOS (consulte §3.4.2E) e pode causar picos graves na saída. As especificações são muitas vezes enganosas aqui, porque é convencional citar o ruído referido à entrada com RS = 100ÿ e também fornecer a especificação apenas para frequências muito baixas. Por exemplo, uma tensão de ruído referenciada à entrada típica pode ser de 0,3 Vpp (cc a ÿ1 Hz, com RS = 100ÿ); no entanto, a forma de onda de saída pode consistir em um trem de picos de 10 mV de 5 s de largura e polaridade alternada!

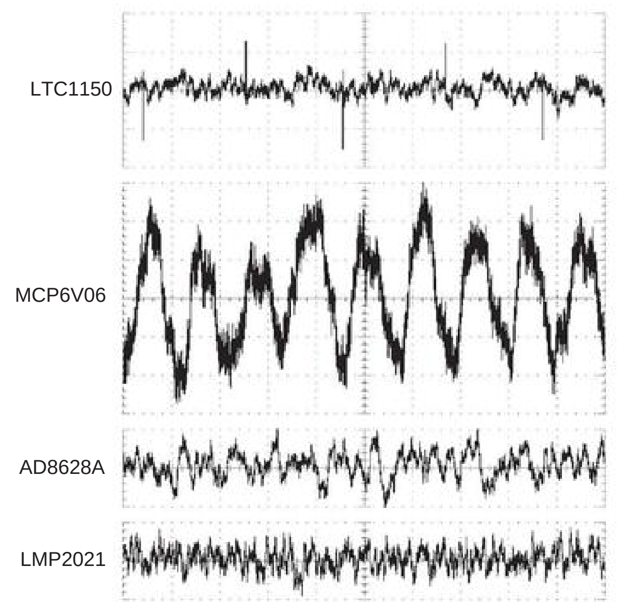


Figura 5.49. Formas de onda de saída de quatro amplificadores operacionais de zero automático, configurados para G = 100, com a entrada conectada ao terra por meio de um resistor de 100 ÿ. Vertical: 2 mV/div; horizontal: 100 ÿ s/div.

A comutação interna também causa picos de corrente de *entrada* , o que significa que os sinais de entrada de alta impedância de fonte Rs exibirão picos referidos de entrada maiores. As Figuras 5.49 e 5.50 mostram esse comportamento, medido com Rs de 100 ÿ e 1 Mÿ, em vários op-amps auto-zero configurados

[47] Ao contrário de uma geração anterior de amplificadores síncronos que também eram chamados de "amplificadores chopper", mas que tinham largura de banda limitada a uma fração da frequência do clock de corte.

[48] Alguns tipos antigos de alta tensão que requerem capacitores externos (sinal de correção) ainda podem estar disponíveis.

pacote

(V)

min

CMRR

(√Hz)

(A/√Hz)

tesolver

recuperação

Comentários

ADA4051-1 OPA333 ISL28133 OPA330 MAX9617 OPA378 LTC2054 AD8538 MCP6V06 LTC1049 OPA335 MAX4238 OPA734 AD8551 AD8572 AD8628 LMP2011 TLC4501A AD8638 LTC1050 LMP2021 MAX4236Ab AD8616b LTC1150 LTC1012Ab LT1007Ab LTC2050HV

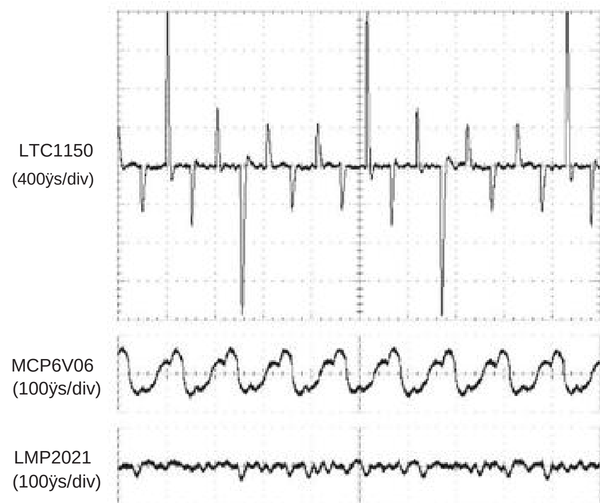


Figura 5.50. Formas de onda de saída de três amplificadores operacionais de zero automático, configurados para *G* = 100, com a entrada conectada ao terra por meio de um resistor de 1Mÿ. Vertical: 100 mV/div.

para um ganho de tensão de 100,49 Há uma variação considerável entre essas partes, com a configuração auto-zero convencional (Figura 5.48, usada no LTC1150 e MCP6V06) exibindo maior alimentação de clock em comparação com projetos alternativos (como no AD8628A e LMP2021) que visam reduzir esses efeitos indesejáveis.50

As folhas de dados revelam esse comportamento impróprio, indiretamente, em gráficos de ruído de tensão versus *frequência . ,* enquanto seu AD8571 tem um oscilador deliberadamente variável (spread-spectrum) para eliminar linhas espectrais nítidas (que podem criar indesejáveis na termodulação com frequências de sinal próximas). Nota, por da maneira que esses gráficos especificam um sinal de entrada de impedância de fonte *zero* .

É sempre instrutivo fazer alguma medida real

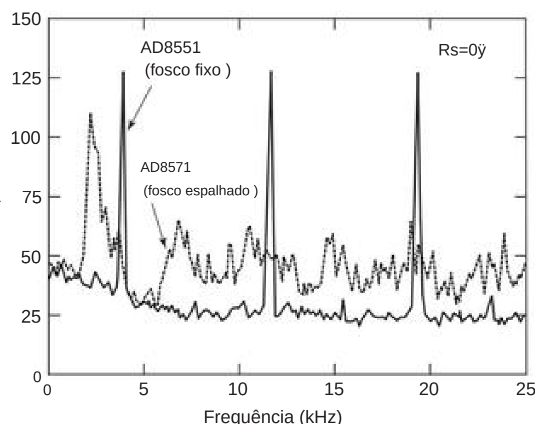


Figura 5.51. Espectros de tensão de ruído, adaptados de suas folhas de dados, para um par de amplificadores operacionais auto-zero. O AD8571 varia sua frequência de oscilador para suprimir recursos espectrais nítidos.

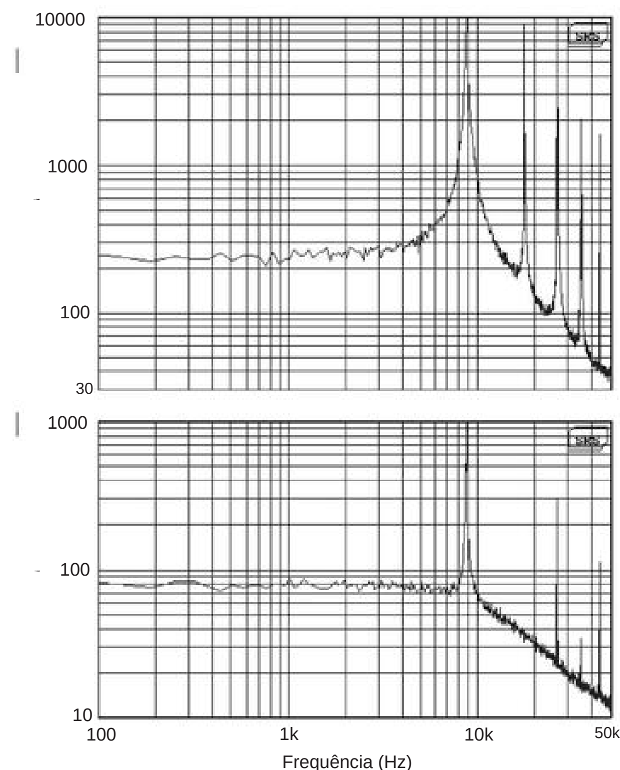


Figura 5.52. Densidade de ruído de tensão medida (inferior) e densidade de ruído de corrente (superior) para um amplificador auto-zero MCP6V06.
O ruído do relógio induzido por chave em 9 kHz (e harmônicos) é proeminente.

49 As formas de onda neste último mostram 8 picos de corrente nApp para o LTC1150, 1 ruído nApp para o MCP6V06 (apesar de sua especificação impressionante: 0,6 fA/ÿ Hz a 10 Hz) e 0,2 nApp "rumble" para o LMP2021 (que ostenta um 0,35 especificação de ruído de corrente pA/ÿ Hz).

50 Da folha de dados AD8628A: "A família AD8628/AD8629/AD8630 ily usa zeramento automático e corte em um arranjo de pingue-pongue patenteado para obter ruído de baixa frequência mais baixo junto com energia mais baixa nas frequências de corte e zeramento automático, maximizando a relação sinal-ruído para a maioria das aplicações sem o necessidade de filtragem adicional. A frequência de clock relativamente alta de 15 kHz simplifica os requisitos de filtro para uma ampla e útil largura de banda sem ruído."

51 Cuidado, no entanto, com os valores alegados de *corrente* de ruído - os valores baixos listados em muitas folhas de dados são completamente incorretos, às vezes por fatores de ×10 a ×100, evidentemente tendo sido calculados a priori como o ruído de disparo correspondente à corrente de entrada CC ; veja a discussão em §5.10.8 e em §8.9.1F.

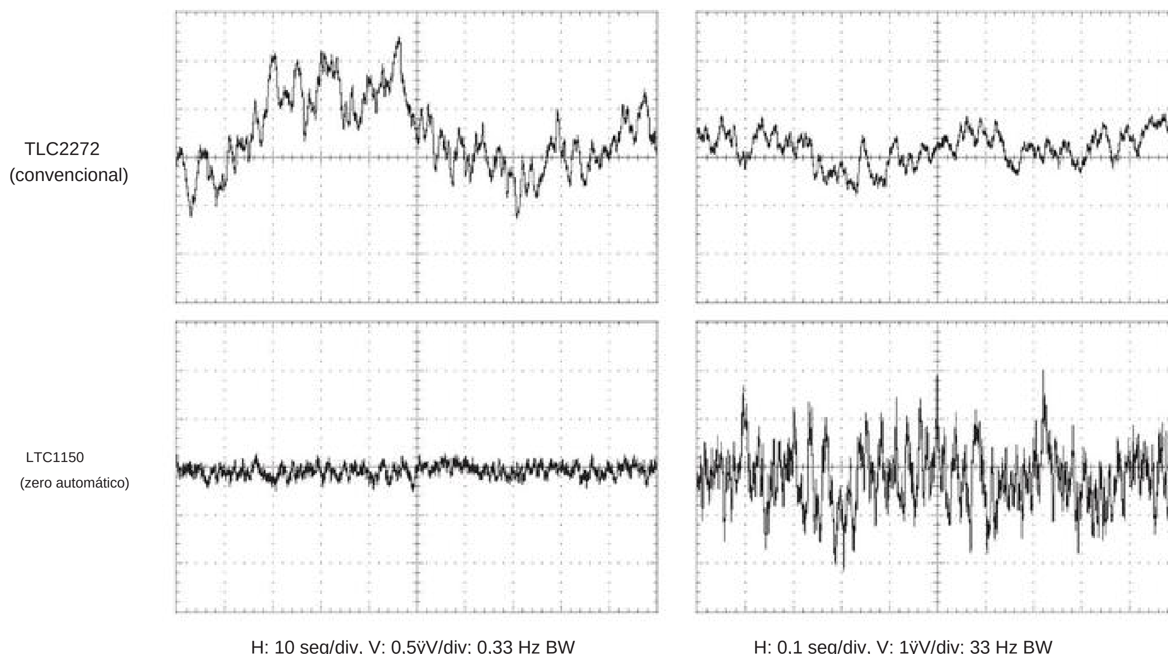


Figura 5.53. Em frequências muito baixas, um amplificador operacional estabilizado por chopper tem ruído menor do que um amplificador operacional convencional, mas com largura de banda 100 vezes maior, ele apresenta mais ruído, como visto nesses traços medidos. Veja também a Figura 5.54

você mesmo, se não por outro motivo que não seja para "verificar os fatos" do fabricante. Executamos alguns gráficos de ruído espectral para meia dúzia de amplificadores auto-zero, com interesse particular no ruído de banda estreita induzido por chopper na frequência do clock e seus harmônicos. Para essas medições, pegamos dados com Rs = 0 (para revelar o ruído da tensão de entrada en) e, em seguida, com Rs = 1M ÿ (para revelar o ruído da corrente de entrada in). A Figura 5.52 mostra os resultados, para um espécime de nossa coleção de amplificadores auto-zero. A baixa frequência medida en concorda bem com o valor da folha de dados de 82 nV/ÿ Hz, mas, conforme observado acima, a densidade de ruído de corrente medida em é muito maior do que o valor especificado de 0,6 fA/ÿ Hz - um fator de ×400 nesse caso.

Para aplicações de baixa frequência você pode (e deve) Filtre RC a saída para uma largura de banda de algumas centenas de hertz, o que suprimirá os picos de saída. Este pico de ruído de corrente de entrada também não tem importância em aplicações com impedâncias de entrada baixas, em aplicações de integração (por exemplo, integração de ADCs; consulte §13.8.3) ou em aplicações nas quais a saída é intrinsecamente lenta (por exemplo, um circuito de termopar com medidor na saída). De fato, se você deseja apenas uma resposta de saída muito lenta e, portanto, um filtro passa-baixo da saída para frequências extremamente baixas (abaixo de 1 Hz), um amplificador chopper terá, na verdade, *menos* ruído do que um amplificador operacional convencional de baixo ruído; veja as Figuras 5.53 e 5.54.

Outra maneira de colocar isso é que os amplificadores auto-zero têm muito ruído de tensão de *banda larga* (ÿ50 nV/ ÿ Hz a 1 kHz, em comparação com apenas alguns nV/ ÿ Hz para um bom amplificador operacional de baixo ruído), mas sua a densidade do ruído mantém-se constante em frequências muito baixas, em contraste com a divergência de ÿ1/ *f* ("ruído oscilante") dos amplificadores operacionais convencionais (e tudo mais; consulte o Capítulo 8). Por exemplo, um amplificador operacional BJT de baixo ruído convencional como o LT1007 tem en = 2,5 nV/ ÿ Hz (tipo) a 1 kHz, mas sua densidade de potência de ruído aumenta 1/ *f* abaixo de sua "frequência de canto" de 2 Hz , assim enÿ100 nV/ ÿ Hz a 0,001 Hz. Compare isso com um zero automático como o AD8551, com en = 42 nV/ ÿ Hz: o último têm flutuações muito menores em escalas de tempo de minutos. Na verdade, a folha de dados do AD8551 até mesmo especifica uma tensão de ruído pico a pico de "0 Hz a 1 Hz" de 0,32 V (tipÿ), nenhum amplificador operacional convencional ousaria projetar sua deriva para o tempo infinito!

Um problema final com amplificadores auto-zero é sua recuperação de sobrecarga infeliz. O que acontece é o seguinte: o circuito de zeramento automático, na tentativa de trazer a diferença de tensão de entrada para zero, assume implicitamente que há realimentação geral operando. Se a saída do amplificador saturar (ou se não houver nenhum circuito externo para fornecer feedback), haverá uma grande tensão de entrada diferencial, que o amplificador nulo vê como um erro de deslocamento de entrada; portanto, cegamente

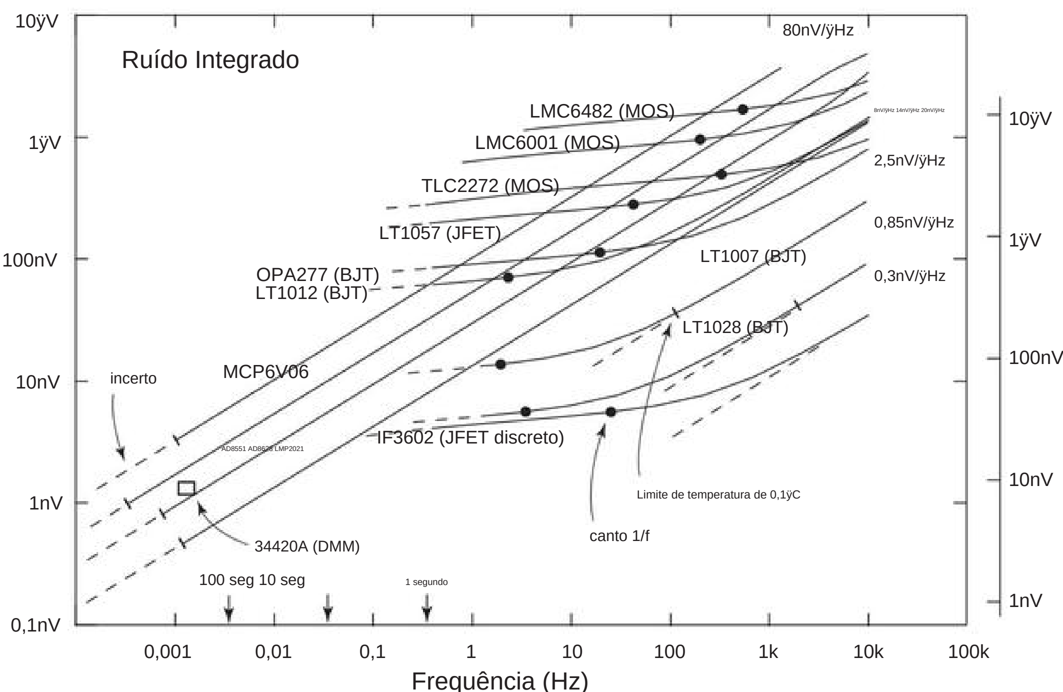


Figura 5.54. Ruído de tensão RMS integrado versus largura de banda do amplificador. O aspecto "zero-drift" dos amplificadores auto-zero faz com que sua tensão de ruído integrado de baixa frequência vn caia em baixas frequências, proporcional à raiz quadrada da largura de banda passa-baixa. Em contraste, o aumento da densidade de ruído en ÿ 1/ ÿ *f* de amplificadores operacionais convencionais causa um platô na tensão de ruído integrado vn abaixo da frequência de canto 1/ *f* , conforme visto nessas curvas computadas. (Escolhemos um limite inferior de 0,01 Hz, ao integrar o último porque a integral ilimitada é divergente. Este gráfico permite que você veja a região onde o op-amp auto-zero ganha ou perde, em comparação com o op-amp de sua escolha. Você pode desenhar gráficos estimados para outras partes se conhecer en e a frequência de canto 1/ *f* . Consulte §8.13.4.) Consulte a Figura 5.37 para os gráficos de densidade de ruído espectral por trás dessas curvas e consulte a Figura 8.63 para gráficos de três mais uma dúzia de tipos de amplificadores operacionais.

gera uma grande tensão de correção que carrega os capacitores de correção para uma grande tensão antes que o próprio amplificador de anulação finalmente sature. A recuperação é lenta – tr pode se estender por vários milissegundos. Uma "cura" é sentir quando a saída está se aproximando da saturação e prender a entrada para evitar isso. Você pode evitar a saturação em amplificadores chopper (e em amplificadores operacionais comuns também) conectando a rede de feedback com um zener bidirecional (dois zeners em série), que fixa a saída na tensão do zener, em vez de deixá-la limitar em o trilho de abastecimento; isso funciona melhor na configuração de inversão.

Como alternativa, você pode contornar esse problema escolhendo uma peça com tempo de recuperação rápido, por exemplo, o OPA378 ou OPA734 (com tr = 4 s e 8 tivamente). ÿ ÿ s, respeito

5.11.2 Quando usar amplificadores operacionais auto-zero

- Medições lentas, mas precisas de transdutores: balanças de pesagem, termopares, shunts de corrente
- Condicionamento CC preciso no circuito, por exemplo, criando conjuntos precisos de tensões a partir de uma referência de tensão
- Aplicações de "largura de banda normal" que desejam CMOS de baixa tensão e baixo IB , podem tolerar ruído de banda larga, requerem baixas tensões de deslocamento (1 mV) , e não quer pagar o custo adicional de amplificadores operacionais CMOS de precisão.

5.11.3 Selecionando um amplificador operacional zero automático

A Tabela 5.6 na página 335 lista uma boa seleção de amplificadores operacionais auto-zero atualmente disponíveis, além de alguns amplificadores operacionais convencionais para comparação. Este é um bom lugar para ir primeiro quando você precisa de um amplificador auto-zero. Também é um bom lugar para aprender sobre algumas das propriedades comuns e algumas peculiaridades desses amplificadores. Aqui estão alguns comentários, para você começar.

Tensão de alimentação Todas as peças, exceto uma, são de baixa tensão, 5,5–6 V no máximo, e muitas operarão até 2 V ou menos. Cinco podem operar com fontes de ±5 V. O fornecimento

as correntes variam de 15 ÿ A a 1,1 mA. as peças são listadas aproximadamente pela corrente de alimentação.

Amplificadores Auto-zero de corrente de entrada são construídos com CMOS, então as correntes de entrada estão tipicamente nos picoamps. Podemos esperar que as correntes de entrada estejam no território de um único picoamp como outros amplificadores operacionais CMOS. Embora existam algumas peças para as quais isso é verdade (por exemplo, MAX4238, MCP6V06 e LTC2054), a maioria tem correntes consideravelmente mais altas, até 0,5 nA máx., sem dúvida devido ao acoplamento de carga do interruptor de entrada. Mesmo os amplificadores operacionais JFET mais convencionais se saem melhor, exceto em altas temperaturas, onde os zeros automáticos são geralmente muito melhores. Por exemplo, IB do auto-zero LMP2021 normalmente fica abaixo de 75 pA a 125ÿC (para qualquer tensão de modo comum), em comparação com o (convencional) JFET OPA124 (0,5 nA) e LF412 (10 nA). As correntes de entrada auto-zero não são tão baixas quanto o melhor CMOS convencional peças (com suas correntes de femtoamp), mas consideravelmente melhores do que as peças convencionais de entrada BJT de precisão, como o LT1028 ou LT1007 na mesa.52

Tensão de compensação É aqui que os amplificadores de auto-zero realmente brilham, com tensões de compensação máximas variando de 0,1 a 5 ÿV típico (e 2 ÿV a 25 ÿV no máximo ÿ – no negócio de design de precisão, [illegible] especificações [illegible]). Algumas peças convencionais (não auto-zero) podem se aproximar desse valor (20 V para o CMOS MAX4236A, 25 V para o BJT LT1012A e LT1007), mas não podem começar a igualar a excelente tempco [illegible] ÿ na faixa de 5–20 nV/ÿC), peças auto-zero [illegible] contínua. Os amplificadores operacionais convencionais também sofrem com os efeitos devastadores do ruído 1/ *f* , que estabelece níveis de desempenho na região de 10–100 nV; veja a Figura 5.54 e a discussão associada.

Os amplificadores auto-zero têm desvios típicos de tensão de compensação de temperatura de 4 a 100 nV/ÿC. As especificações máximas variam até 250 nV/ÿC (e além? Muitas peças não listam uma especificação máxima). O AD8628 e o LMP2021 são os vencedores nesta categoria. Mas essas partes consomem cerca de 1 mA e, portanto, pode-se esperar que tenham mais aquecimento da matriz do que, digamos, 60 ÿA MAX9617 com sua especificação de 5 nV/ÿC . Nenhum fabricante pode se dar ao luxo de realizar testes de temperatura em peças de produção, portanto, essas especificações devem ser consideradas com cautela.

Esse desempenho é crível? No nível de nV/ÿC , você deve se preocupar seriamente com os efeitos do termopar em conexões externas e até mesmo dentro do próprio quadro principal do chip: EMFs térmicos típicos são da ordem de 5–40 ÿV/ÿC – isso é 1000× (ou mais) do que o especificado pco desses amplificadores operacionais auto-zero!

Ruído de tensão Amplificadores Auto-zero exibem maior ruído de banda larga do que amplificadores operacionais convencionais, devido às suas entradas CMOS e elementos de comutação associados. A densidade de ruído de tensão em 1 kHz (a referência usual) é da ordem de 50–100 nV/ÿ Hz, superada por muitas partes CMOS convencionais e todas as partes BJT. Mas, ao contrário dos amplificadores operacionais convencionais, a densidade do ruído não aumenta em baixas frequências, de modo que a tensão de ruído integrada de baixa frequência (que você pode imaginar como flutuações ou deriva) é melhor do que até mesmo a melhor operação de baixo ruído. -amps (como visto nas Figuras 5.53 e 5.54). Falando aproximadamente, a tensão de ruído integrado cai como 1/ *ÿt* (ou proporcional à raiz quadrada da frequência passa-baixa). Além de en, um parâmetro útil na tabela é a especificação de ruído de tensão de pico a pico de 0,1 a 10 Hz (vn) . O AD8628, MAX9617 e OPA37853 atendem muito bem às especificações de ruído Vpp, com 0,5 ÿ V a 0,4 ÿ V, mas o LMP2021 é o vencedor claro com um en de 11 nV/ ÿ Hz e um vn de 0,26 ÿ Vpp. Esta peça está disponível em um pacote SOT23 conveniente.

Uma nota de cautela aqui: a extrapolação de frequência muito baixa (ou seja, deriva de longo prazo) deve eventualmente ser dominada por outras fontes de deriva (por exemplo, difusão de impurezas); veja a coluna de Bob Pease, "O que é tudo isso de estabilidade de longo prazo, afinal?" (publicado em *Electronic Design,* 20 de julho de 2010).

Corrente de ruído A densidade de corrente de ruído em deve ser pelo menos o valor do ruído shot (dado por in = *ÿ2qIB,* com *q* = 1,6×10ÿ19 C; portanto, 1,8 fA/ÿ Hz para uma corrente de polarização de IB=10 pA) correspondente à corrente de entrada IB, geralmente na faixa de alguns fA/ÿ Hz. Na verdade, para a maioria dessas partes, é muito maior – em fatores de 10 a 100. O ruído atual é 125× maior que o ruído de tiro para

52 Algumas partes advertem que, para impedâncias de fonte altas, a corrente de polarização pode mudar drasticamente em função da *capacitância de entrada!* Por exemplo, a corrente de entrada de um LMP2021 com Rs = 1 Gÿ varia de ÿ25 a +25 pA para uma capacitância shunt de entrada Cs variando de 2 a 500 pF. Observe que essas correntes de entrada criam grandes deslocamentos com resistências de fonte tão altas: 25 pA em 1 Gÿ é 25 mV. Um gráfico na folha de dados mostra que a corrente de entrada IB passa por zero para Cs =22 pF. As peças de outros fabricantes apresentam efeitos semelhantes. Em um amplificador de transimpedância com alta RF, o uso de um grande capacitor de realimentação CF pode reduzir drasticamente o erro de corrente de polarização.

53 Um dos favoritos de Phil Hobbs, que diz "O OPA378 é uma mutação chopper CAZ de desvio zero realmente bonita que não exibe ruído de comutação e tem ruído constante de 35 nV [por hertz raiz] até DC. Eu o usei em um laser de diodo bloqueado por etalon para aplicações de fundo de poço e é uma coisa muito charmosa."

o LMP2021, que foi o vencedor da competição de ruído de tensão. Peças que afirmam ter um bom desempenho nesse aspecto (ou seja, com corrente de ruído de entrada aproximadamente igual ao ruído de tiro calculado[54]) incluem o AD8572, AD8551 e LTC1050. O MCP6V06 é o vencedor da competição de ruído de corrente, com 0,6 fA/ÿ Hz.

Esta especificação prevê 2 ÿ V de ruído de corrente através de um resistor de 1 Gÿ em uma largura de banda de 10 Hz, aproximadamente igual ao ruído de tensão de 1,7 ÿ V. O TLC4501A funciona de maneira semelhante por peça automaticamente apenas uma vez, na inicialização. Mas sabemos que o TLC4501A, ao contrário do MCP6V06, funcionará bem em frequências mais altas e com larguras de banda mais amplas porque não possui interruptores e oscilador auto-zero ocupados. Mas terá um desempenho ruim em escalas de tempo longas devido ao ruído 1/ *f* e fontes múltiplas de deriva.

Um leitor fiel e cauteloso, ao fazer suas escolhas - sete peças atraentes na tabela, como o AD8538 e o LMP2011, não possuem especificações ou gráficos de ruído atual. Você pode precisar ir ao banco para obter sua Resposta.

Taxa de variação e tempo de acomodação Para as partes listadas, as taxas de variação variam de 0,04 a 2,5 V/ÿs, e as larguras de banda de ganho variam de 0,13 a 4,7 MHz. As partes mais rápidas devem competir pelo uso em soquetes de amplificadores operacionais comuns. Para essas peças, o tempo de estabilização ts é dominado pela taxa de variação. Mas existem anomalias, por exemplo o MCP6V0655 e o MAX4238, cujos tempos de estabilização são uma ou duas ordens de grandeza superiores aos da concorrência. Isso pode estar relacionado ao tempo de recuperação – as peças com tempos de recuperação em milissegundos têm tempos de acomodação muito longos (o MAX4238) ou não querem dizer (cinco outras peças).

Faixa de tensão de entrada A maioria dos amplificadores operacionais de zero automático não suporta tensões de entrada para o trilho positivo (embora todos sejam *saídas de trilho para trilho).* O MCP6V06, OPA333, ISL28133, MAX9617 e a maioria das peças de dispositivos analógicos são notáveis pela operação de entrada de trilho a trilho completo, sem degradação de VOS ou CMRR. O MAX9617 consegue isso usando uma fonte de alimentação interna da bomba de carga acima do trilho. Observe também que as especificações do VOS podem ser condicionadas a uma faixa restrita de tensão de entrada – a maior parte do caminho para V+ para alguns, outros apenas parcialmente. *Certifique-se de ler as letras miúdas na especificação!* Por exemplo, a folha de dados do OPA335 diz "(Vÿ)ÿ0.1V < Vcm < (V+)ÿ1.5V" ao lado de seu 130 dB Especificação CMRR e "Vcm = Vs/2" ao lado de sua ÿ Deslocamento V especificação de 1 tensão.

Pacotes Alguns dos (antigos) tipos de Tecnologia Linear estão disponíveis em pacotes DIP-8 para facilitar o breadboarding. Caso contrário, você pode usar um adaptador SOIC para DIP ou SOT23 para DIP (confira as ofertas da Aries ou Bellin Dy namic Systems).

5.11.4 Miscelânea de zero automático

A. "amplificador chopper" acoplado

Ao considerar amplificadores chopper com zeragem automática, certifique-se de não confundir esta técnica com outra técnica "chopper", ou seja, o amplificador chopper tradicional de baixa largura de banda, no qual um pequeno sinal CC é convertido em CA ("cortado") em um valor conhecido. frequência, amplificada em amplificadores acoplados em corrente alternada e finalmente demodulada pela multiplicação com a mesma forma de onda usada para cortar o sinal inicialmente (Figura 5.55). Esse esquema é bem diferente da técnica de zeramento automático de largura de banda total que consideramos, pois é executado em frequências de sinal que se aproximam da frequência do clock, normalmente apenas algumas centenas de hertz. Às vezes você o vê usado em gravadores de gráficos e outros instrumentos de baixa frequência.

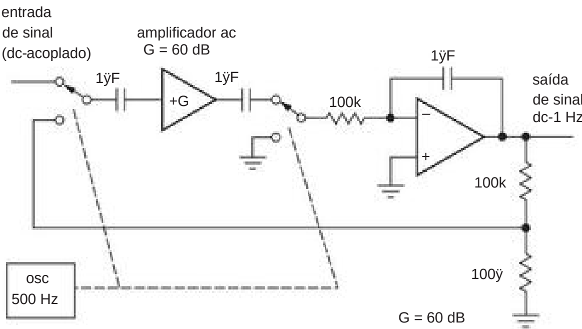


Figura 5.55. Um amplificador chopper acoplado a CA.

B. Compensações térmicas

Ao construir amplificadores CC com tensões de compensação de submicrovolts, você deve estar ciente das *compensações térmicas,* que são pequenas baterias acionadas termicamente produzidas pela junção de metais diferentes. Você obtém um "CEM térmico" de efeito Seebeck quando tem um par dessas junções em diferentes temperaturas. Na prática, você costuma ter juntas entre fios com revestimento diferente; um gradiente térmico, ou mesmo uma pequena corrente de ar, pode facilmente produzir tensões térmicas de alguns micro volts. Mesmo fios semelhantes de fabricantes diferentes podem produzir EMFs térmicos de 0,2 V/ÿC, 10 a 100 vezes o

[54] Em 10 Hz, quem sabe sobre frequências mais altas?!

[55] O curioso número de peça nos lembra os veteranos de um tubo de vácuo favorito do passado.

especificação de deriva típica dos amplificadores auto-zero na Tabela 5.6 na página 335! A melhor abordagem é buscar uma fiação simétrica e layouts de componentes e, em seguida, evitar correntes de ar e gradientes.

Aqui, para orientação aproximada ao se preocupar com termopares parasitas, deslocamentos de Peltier e similares, estão algumas tensões de pares termoelétricos (da Agilent AN 1389-1):

cobre-para-	ÿ V/ÿC
Cobre	Aproximadamente <0,3
Solda Cd-Sn	0,2
Solda Sn-Pb	
Ouro	5
Prata	0,5
Latão	
Be–Cu	
Alumínio	
Kovar	0,5
Silício	3 5
óxido de cobre	5 42 500 1000

C. Amplificadores operacionais de autocalibração de inicialização A Texas Instruments tem uma abordagem interessante para contornar o ruído de clock em amplificadores de auto-zero, ou seja, fazê-lo apenas uma vez! Sua família TLC4501 de "amplificadores operacionais de saída CMOS rail-to-rail com precisão de calibração automática (Self-Cal ™)" ganha vida na inicialização, realizando um auto-zero e mantendo o deslocamento de correção em um DAC no chip . A boa notícia é que você não obtém nenhum ruído de corte e especificações de compensação muito boas (tipo ÿ10 V, máximo 40 ÿV), melhor que amplificadores operacionais CMOS típicos. A notícia menos boa, como você poderia esperar, é que o desvio de compensação com a temperatura não é espetacular (você pode dizer "o pior da classe"), em ±1000 nV/ÿC típico, em comparação com ~20 nV/ÿC para verdadeiro amp-op auto-zero (consulte a Tabela 5.6 na página 335).

D. A competição não-chopper Você não pode superar as especificações de deslocamento de ÿ ÿ1 V (tipo) desses amplificadores automáticos de zero e chopper, mas você pode se sair muito bem com os melhores amplificadores operacionais de precisão ajustados de fábrica. Amplificadores operacionais bipolares como o LT1007 ou LT1012 funcionam uma especificação de ÿ10 ÿV (típico), e os de 5 V CMOS (MAX4236A) em 10 ÿV. Observe, no entanto, que esses amplificadores podem chegar perto das especificações de ÿ mas ainda não se ajustam a ajuste de fábrica não zero automático verdadeiro: ±200 nV/ÿC (típico) para os tipos bipolares e ±600 nV/ÿC para o CMOS , em comparação com ÿ20 nV/ÿC para auto-zero verdadeiro.

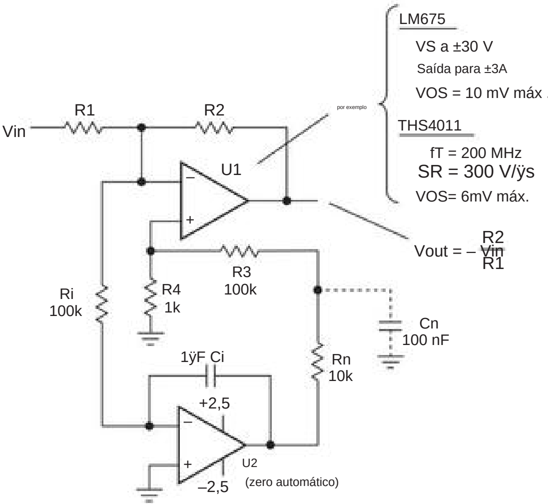


Figura 5.56. Auto-zeramento externo. Mas cuidado com a alta corrente de polarização do U1.

E. Auto-zero externo

Você pode usar um op-amp auto-zero como um compensador externo para um op-amp convencional. Isso pode ser útil quando você precisa de um amplificador operacional de alta tensão, alta potência ou alta velocidade cujo deslocamento de entrada é muito grande. A Figura 5.56 mostra o esquema, que funciona mais naturalmente com a configuração inversora, conforme mostrado.

O amplificador operacional zero automático (baixa tensão) U2 é configurado como um integrador, observando a tensão de erro na entrada inversora do amplificador operacional convencional (U1). A saída do integrador é atenuada em × 100 para ajustar a tensão no não inversor de acordo. Com os valores apresentados, a saída do integrador responde conforme dV/dt = *ÿÿV/ RiCi;* portanto, um erro de 10 V produz uma saída do integrador de ÿ100 V/s e uma correção de ÿ de ÿ1 V/s no terminal não inversor de U1. Uma taxa de correção lenta é desejável (os offsets do amplificador operacional variam muito ÿ lentamente) e é necessário (para prevenir a oscilação do loop). Aqui, a faixa de correção é definida pelo divisor *R3R4, de* modo que uma saída do integrador de ±1 V produza uma correção de ±10 mV. O LM675 é um bom amplificador operacional de alta potência (corrente de saída de 3 A, tensão de alimentação de ±30 V, com sofisticada área de operação segura no chip e proteção térmica), mas com uma tensão de compensação máxima de ±10 mV. O zero automático reduz isso por um fator de 1000. Da mesma forma, o THS4011 é um amplificador operacional rápido *(fT* = 200 MHz, SR = 300 V/s) com uma tensão de compensação máxima de ±6 mV. Um filtro de ruído *RnCn* adicional na saída do zero automático, ÿ pode ser necessário para suprimir o ruído de comutação no loop de correção (lento) quando esta técnica é usada com sinais pequenos e partes de baixo ruído como o THS4011 (7,5 nV/ ÿ Hz). Você pode pensar

dessa técnica como uma implementação discreta do esquema integrado da Figura 5.41.

F. Amplificadores de instrumentação auto-zero

Em §5.13 discutimos *amplificadores de instrumentação,* que são amplificadores de entrada diferencial com impedância de entrada muito alta (10 Mÿ–10 Gÿ), ampla faixa de ganho (GV=1–1000, definido por ganho interno ou externo -setting resistors) e CMRR muito alto em ganhos mais altos (110–140 dB em GV = 100). Estes são em grande parte construídos com circuitos convencionais (não auto zero); mas alguns são do tipo zeramento automático CMOS, com tensão de deslocamento e desvio muito baixos (até 10 ÿV e 20 nV/ÿC no máximo). A Tabela 5.8 (página 363) lista uma boa seleção de amplificadores de instrumentação, que incluem tipos auto-zero, como AD8553, AD8230, AD8293, INA333, LTC2053 e MAX4209. Alguns amplificadores de instrumentação *convencionais* que competem nessa área de baixo desvio são o LTC1167/8 (40 V, 50 nV/ÿC máx.) e o AD8221 (25 V, 300 nV/ÿC máx.).

ÿ ÿ

G. Faça você mesmo

Se você gosta de se aprofundar nos circuitos, dê uma olhada no LTC1043 "Precision Instrumentation Switched Capacitor Building Block". Ele permite que você crie seu próprio amplificador diferencial de alto CMRR. Esse é apenas um de seus muitos truques, que incluem filtros de capacitores comutados, osciladores, moduladores, amplificadores lock-in, sample-and-hold, conversão de frequência para voltagem e inversão, multiplicação e divisão de voltagem do "capacitor voador". A folha de dados faz uma ótima leitura antes de dormir.

5.12 Projetos dos mestres: DMMs precisos da Agilent

Este é mais um da série de destaques "Designs by the Masters", em que examinamos de perto alguns projetos de circuitos exemplares. Pense nisso como *master classes* em design de circuitos. Você pode aprender muito abrindo um instrumento bem projetado. Um bom exemplo é fornecido pelos excelentes multímetros digitais da Agilent, especificamente seus medidores de bancada 34401A (6,5 dígitos) e 34420A (7,5 dígitos). No Capítulo 13 (§13.8.6) discutimos a técnica de precisão "multislope ADC" que eles usam. Aqui, no contexto do design *analógico* de precisão , examinamos com alguns detalhes os front-ends inteligentes que eles projetaram, a partir da ajuda de esquemas totalmente fornecido em seus manuais de serviço.[56] Vamos ver como os verdadeiros profissionais fazem isso!

5.12.1 É impossível!

À primeira vista, a tarefa é impossível. Aqui está o porquê.

Precisão Precisamos de precisão e linearidade no nível de partes por milhão, em um metro cujas faixas de fundo de escala caiam para uma fração de volt (100 mV para o 34401A, 1 mV para o 34420A). Isso é muito baixo no nanovolt variar.

A precisão **de baixo ruído** é inútil se o ruído instrumental fizer com que as medições sucessivas saltem por muitos LSBs. Portanto, precisamos de níveis de ruído de tensão de entrada baixos no nível nanovolt para as faixas mais sensíveis.

Alta impedância de entrada Um voltímetro deve ter alta impedância de entrada para minimizar o carregamento do circuito. Portanto, para medições no nível de ppm, você gostaria que Rin fosse algo como um milhão de vezes maior que as impedâncias típicas do circuito. Isso coloca você na faixa de gigaohm, com correntes de entrada abaixo dos picoamps.

Daí o dilema: gigaohms e picoamps significam FETs. No entanto, os amplificadores operacionais FET convencionais não oferecem esse desempenho devido à tensão de deslocamento, desvio e ruído de tensão relativamente grandes. Os amplificadores operacionais AZ (consulte a Tabela 5.6 na página 335) são consideravelmente mais precisos, mas sofrem com o ruído de corrente abundante. E JFETs discretos (aqueles com grande área podem ter ruído de tensão muito baixo, menos de 1 nV/ ÿ Hz) com sua *identificação* incerta versus características VGS (§3.1.5) parece ser impossível no nível microvolt fracionário. Fim de discussão.

5.12.2 Errado – é possível!

Mas isso *pode* ser feito. O truque é perceber que um instrumento digital (com seu cérebro de microprocessador integrado) pode calibrar desvios (com uma medição "zero") e erros de escala (com uma medição "em escala total"), de modo que o que importa O que importa não é a presença de offsets *per se,* mas sua estabilidade (deriva) durante o tempo de medição.[57] Isso permite o uso

[56] Nos bons velhos tempos, os fabricantes publicavam com orgulho seus circuitos. Hoje em dia é muito menos comum – por exemplo, os diagramas de circuitos não estão no manual de serviço do Agilent 34410A (sucessor do 34401A). Felizmente, alguns fabricantes (por exemplo, Stanford Research Systems) continuam a exibir sua engenhosidade de circuitos, com esquemas completos e listas de peças. [57] Um outro truque é calcular a média de muitos desses ciclos de calibração-medida (até 2 minutos, no 34420A) para reduzir a dispersão.

de JFETs duplos discretos, com sua combinação imbatível de baixo en e baixo IB, em uma configuração de amplificador operacional aprimorada por JFET. Dessa forma, você pode obter o alto ganho de loop necessário para linearidade, principalmente nas faixas sensíveis em que o ganho de front-end é de 1.000 ou 10.000.

Esse não é o fim da história. Você precisa de redes de resistores precisas com baixo coeficiente de tensão, uma configuração de circuito que mantenha sua precisão em uma ampla faixa de entrada de modo comum (até ±10 V) e, é claro, uma referência de tensão cuja estabilidade determina a precisão geral do instrumento.

5.12.3 Diagrama de blocos: um plano simples

Esses instrumentos aproveitam o poder do “controle incorporado” (um microcontrolador integrado) para oferecer excelente desempenho a partir de uma arquitetura de grande simplicidade. O esquema básico (Figura 5.57) é a própria simplicidade: consiste em um único amplificador, configurado na conhecida conexão de amplificador operacional não inversor, com terra flutuante referenciado ao conector de entrada (-). O microcontrolador é o chefe, aqui: seu código implementa o ADC de alta precisão (§13.8.6) e cuida das múltiplas calibrações em tempo real necessárias para obter desempenho de parte por milhão (ou melhor) de uma coleção de peças baratas. Vamos mergulhar nas entranhas desses dois DMMs para ver como tudo funciona.

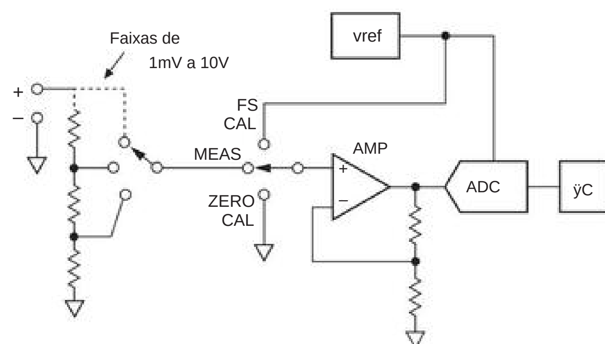


Figura 5.57. Os DMMs Agilent: extrema simplicidade. . . no nível do diagrama de blocos.

5.12.4 O front-end de 6,5 dígitos 34401A

O 34401A estreou em 1991, surpreendendo o mundo T&M (teste e medição) com desempenho surpreendentemente bom (resolução de 6,5 dígitos, medições de 1000/s, precisão de 20 ppm) a um preço acessível (ÿ$1k). O amplificador de entrada (precedido por circuitos de proteção e atten

uadores para as faixas de 100 V e 1000 V58) fornecem ganhos de ×100 (faixa de 100 mV), ×10 (faixa de 1 V) e ×1 (faixa de 10 V) com Rin > 10Gÿ; o atenuador de entrada entra em ação para as faixas de 100 V e 1000 V, para as quais Rin = 10Mÿ.

A estrutura básica é um amplificador operacional de precisão de baixo ruído (um OP-27), acionado por um par fonte-seguidor JFET, conforme mostrado na Figura 5.58A. (A configuração na Figura 5.58B, onde um amplificador diferencial de fonte comum JFET substitui o seguidor, é usada no 34420A para fornecer ganho de loop adicional e ruído de tensão mais baixo necessário para suas faixas de escala completa de 1 mV e 10 mV mais sensíveis). amp V/ÿC de entrada BJT fornece lotes (120 dB) de ganho estável ÿ O baixo op (0,2 ruído (3 nV/ÿ Hz), mas a um preço: uma corrente de entrada inaceitável de ±15 nA, com correspondentemente alto ruído de entrada de corrente (1,7 pA/ÿ Hz). O seguidor JFET cura problemas de corrente de entrada e ruído, às custas da estabilidade de deslocamento (40 V/ÿC!)(10 mV/ÿ Hz). A compensação significativa com – mas é boa o suficiente para este instrumento (não é boa o suficiente para o 34420A, mais preciso e sensível, como veremos a seguir).

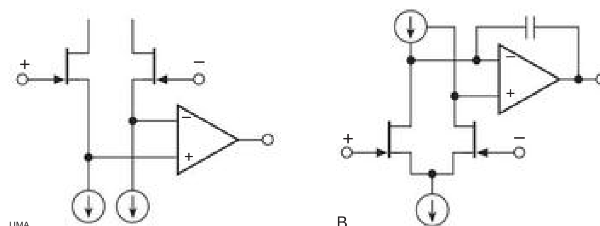


Figura 5.58. Configurações básicas de amplificadores operacionais aprimorados por JFET para os DMMs Agilent: A. seguidor de fonte, usado no 34401A; B. Amplificador diferencial de fonte comum, usado no 34420A.

O circuito completo é mostrado na Figura 5.59. Observe primeiro o suprimento de dreno inicializado para o par JFET: Q2 mantém uma tensão dreno-fonte constante em Q1 (igual ao VGS de Q2 na corrente operacional, o último mantido constante pelos dissipadores de corrente de aparência complicada nos terminais de fonte de Q1). Isso é essencial, porque o par JFET Q1 é tudo menos preciso (você acreditaria, VOS(max) =*40* mV?!) , tor pedo qualquer expectativa de precisão. Mas, ao inicializar os drenos para seguir as fontes, os transistores nem sabem que há qualquer variação no sinal de entrada; eles não sabem, então não podem bagunçar as coisas. Além disso, a baixa tensão de operação (1–2 V) mantém o vazamento do gate pequeno

58 Todos têm 20% de “sobrefaixa”, por exemplo, ±12 V na faixa de “10 V”.

e imutável com variações de tensão de entrada em toda a faixa de sinal de entrada de ±15 V. Inteligente![59]

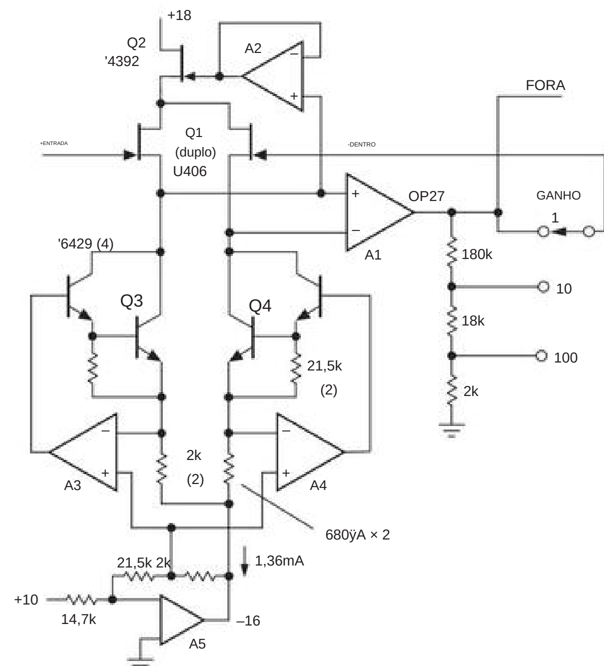


Figura 5.59. Amplificador frontal Agilent 34401A, capaz de medições com resolução de 0,1 V. A entrada é de terminação única, amplificada e medida em ÿ relação ao terminal comum de entrada do instrumento.

O ganho de tensão do circuito é definido com precisão pelo interruptor de log analógico e pela rede de resistores correspondentes, implementados em um IC de comutação de ganho personalizado.

O circuito pull-down da fonte é um par de dissipador de corrente, baseado na referência estável de +10 V que é usada também para o ADC downstream (consulte §13.8.6). É mais fácil entender na forma redesenhada da Figura 5.60, na qual apenas um dos pares de dissipadores de corrente é mostrado e o Darlington é substituído por um único transistor *npn .* O amplificador operacional esquerdo gera uma tensão em R2 de VREFR2/R1; daí a corrente de dissipação mostrada na figura. Em seu DMM, a Agilent usa uma rede correspondente para R2 e o par de R3 (um para cada fonte suspensa). O resistor extra R4 compensa a tensão do emissor para baixo, para VE = *ÿVREFR4/ R1,* para fornecer a conformidade necessária para sinais de entrada que variam acima de ±15 V (faixa de operação de ±12 V, mais 3 V adicionais para acomodar ondulação e ruído). Se você inserir os valores do resistor da Figura 5.59, você verá que a complacência se estende até -14 V (o emissor está em -14,6 V) e que as correntes pull-down da fonte individual são 680 A. Os projetistas usaram ÿ transistores Darlington para manter a base erro de corrente pequeno (aproximadamente Ic/ 4500, assumindo um transistor beta de 200).

59 É necessário que o VGS de Q1 em 0,7 mA seja menor que o VGS de Q2 em 1,4 mA, pois a diferença é a tensão de operação VDS de Q1 . É provável que a Agilent tenha uma inspeção de lote de entrada para garantir que essa condição seja atendida.

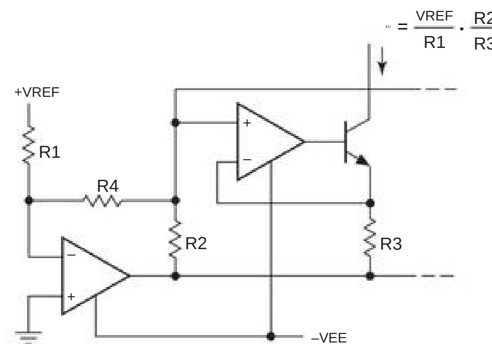


Figura 5.60. Dissipador de corrente baseado em referência Agilent 34401A.

5.12.5 A interface de 7,5 dígitos do 34420A

Com o 34401A de 6,5 dígitos como aquecimento, vejamos seu irmão mais sábio, o DMM de 7,5 dígitos 34420A. Possui resolução aprimorada e maior sensibilidade (escala total de 1 mV), colocando demandas reais na precisão, estabilidade e ruído do front-end. Em sua faixa mais sensível, o amplificador frontal tem um ganho de 10.000 (para trazer a entrada de ±1 mV para o intervalo de ±10 V ADC), exigindo muito ganho de malha aberta para manter a precisão e a linearidade. Com sensibilidade e resolução vem uma demanda por baixo ruído; por exemplo, as especificações listam um “ruído de tensão CC” (com média de 2 minutos) de 1,5 nV(rms) na faixa de 10 mV – ou seja, 0,15 ppm.

Para atender a essas demandas, os projetistas usaram a configuração da Figura 5.58B, na qual o par JFET é configurado como um amplificador diferencial de fonte comum para maior ganho de loop e ruído reduzido. O circuito amplificador completo é mostrado na Figura 5.61.

Mais uma vez os JFETs são operados em corrente constante (2 mA cada), com drenos bootstrap (mantidos *VZÿ2VBEÿ1* V acima da fonte, ou seja, VDS ÿ 2,5 V). Eles escolheram JFETs com geometria muito maior para tensão de ruído bastante reduzida (um en = 0,4 nV/ ÿ Hz impressionantemente baixo a 10 Hz). Estes são JFETs *monstruosos :* IDSS =50 mA min, 1000 mA max (como é isso para uma distribuição de parâmetros?!), com uma capacitância de entrada da ordem de 500 pF e uma especificação de tensão de offset nada invejável de ±100 mV (sem tempco

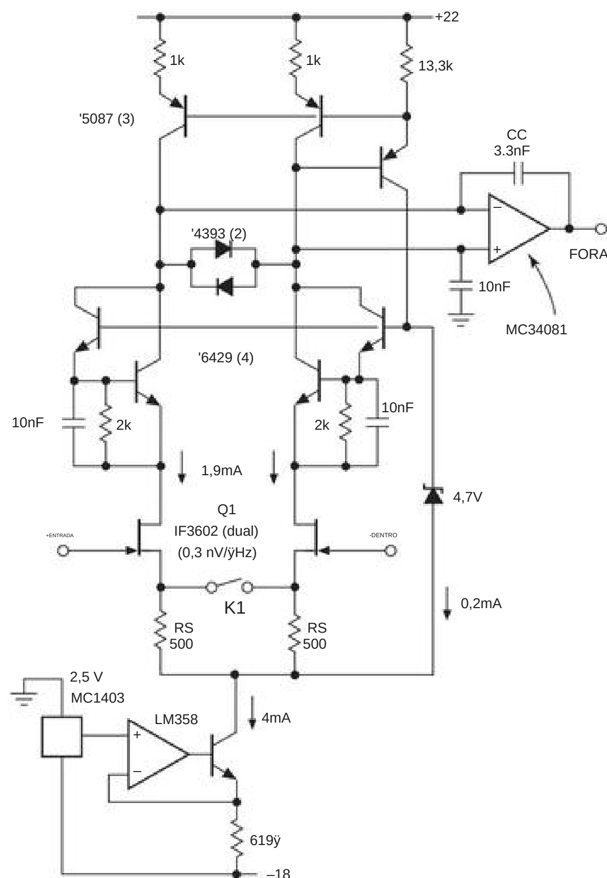


Figura 5.61. Bloco de ganho frontend Agilent 34420A, usado para medições de resolução de 0,1 nV com G=10.000 (feedback de comutação de ganho mostrado na Figura 5.62).

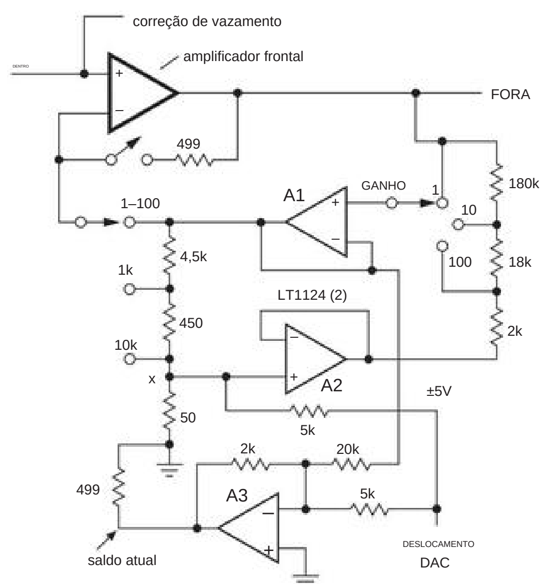


Figura 5.62. Circuito de realimentação de comutação de faixa Agilent 34420A, enrolado no "amplificador" da Figura 5.61. Veja §13.3.3 e Figura 13.15 para o circuito de correção de vazamento.

Especificadas). Este último parâmetro não parece ser um bom presságio para medições de nanovolts! (Como veremos agora, há provisão para ajustar continuamente o deslocamento medido.) Essas coisas são brutas, mas com certeza são silenciosas.
Voltaremos a este circuito em breve, para lidar com questões de ganho, largura de banda e ruído. Primeiro, no entanto, observe o loop geral de configuração de ganho.

A. Loop de ajuste de ganho de dois estágios O que é mostrado na Figura 5.61 é o amplificador simples, que fica no circuito de realimentação e compensação da Figura 5.62. A seleção do ganho é feita com dois estágios de precisão em tenuadores de alta estabilidade (são módulos customizados), isolados pelo amplificador operacional de precisão A1 cujo offset pode ser lido e cancelado como parte do ciclo de medição (comparando a saída do amplificador com as duas configurações G=1 possíveis). O deslocamento de A2 também pode ser medido, a partir da saída do amplificador quando o offset DAC é ajustado para zero e o ganho para ×100.

O "offset DAC" é usado para despachar o grande elefante na sala (o offset do par JFET, que pode chegar a aproximadamente 50 mV). Isso é feito gerando uma saída de tensão (faixa de ± 5 V), que compensa o nó marcado com "x" em uma faixa de ± 50 mV. O seguidor A2 replica esse deslocamento na parte inferior do divisor de configuração de ganho do lado direito, estabelecendo um ponto de referência de aterramento efetivo para o divisor de primeiro estágio. Aqui está um ponto sutil: com um circuito desta precisão (na faixa de 1 mV, o LSB é apenas 1 nV) você tem que se preocupar com coisas que normalmente ignora – por exemplo, o efeito de quedas de tensão através da resistência do caminho de terra.
Aqui, o DAC de compensação pode afundar ou fornecer até 1 mA (5 V em 5 kÿ), o que empurraria o "terra" em 100 nV inaceitáveis se seu caminho tivesse, digamos, 0,1 mÿ de resistência. É por isso que os projetistas adicionaram A3, cuja saída empurra uma corrente de equilíbrio de sinal oposto para o mesmo nó de terra; se essa corrente corresponder a 1%, o erro é reduzido para 1 nV.

Isso levanta um ponto relacionado: quando falamos de estabilidade em nanovolts, não precisamos nos preocupar com o desvio de A1? É verdade – mas o efeito de dividir o atenuador de configuração de ganho em duas seções é reduzir esse desvio pela atenuação do divisor esquerdo, ou seja, ×100 na faixa mais sensível.

B. Cuidados e alimentação dos JFETs Uma regra importante a seguir ao fazer um projeto de precisão de baixa distorção usando transistores discretos: use uma configuração de circuito que mantenha as condições de operação do transistor (Vds e Id) inalteradas à medida que o sinal de entrada muda. Ambos os projetos de amplificadores seguem cuidadosamente esta regra, mas de maneiras diferentes, para alcançar seu bom desempenho. Ambos os projetos também operam os JFETs em baixas tensões dreno-fonte para reduzir o vazamento do gate e minimizar o autoaquecimento (consulte §3.2.8).

Essa mesma regra é seguida (no segundo projeto) com relação às tensões de entrada do amplificador operacional JFET MC34081, que são fixadas em 2VBE+1,9 V abaixo do barramento de +22 V. Da mesma forma, os transistores de espelho não veem nenhuma mudança na tensão para uma oscilação de entrada de sinal de -15 a +15 V. Somente o capacitor de realimentação Cc vê uma mudança na tensão.

Finalmente, apesar da baixa tensão de operação VDG para os Q1 JFETs, ainda há uma questão de pequenas correntes de fuga de porta para se preocupar. A Agilent adicionou um circuito de correção de corrente de polarização de entrada, com um DAC de 8 bits, para resolver esse problema. Discutimos como esse interessante circuito funciona em §13.3.3.

C. Ganho do amplificador: ×1 a ×10.000, estável em 0,1 ppm Voltando ao amplificador (Figura 5.61), podemos entender algumas sutilezas interessantes. Um ganho de malha fechada de × 10.000 é necessário na faixa de 1 mV, para o qual é necessário muito ganho de malha aberta. O amplificador diferencial JFET fornece ganho à frente do amplificador operacional; embora o ganho não seja facilmente calculado em CC (depende da impedância da carga de dreno do espelho atual), podemos estimar seu produto ganho-largura de banda fT observando que o capacitor de compensaçãoCc faz com que o ganho diferencial diminua de acordo com *G* = gmXC/ 2, onde *gm* é a transcondutância de cada JFET na corrente de operação (o relé K1 é fechado para as faixas de 1 mV e 10 mV, removendo os resistores de degeneração da fonte de 500 ÿ). fT é a frequência na qual o ganho do amplificador composto caiu para a unidade, ou seja, fT = gm/4 Cc. Para estimar *gm,* observamos que esses JFETs estão operando bem abaixo da região do sublimiar (seu IDSS ÿ 30 mA), onde os tipicamente FETs se comportam mais como BJTs *(ID* exponencial em VGS; consulte a Figura 3.15), com sua transcondutância proporcional à corrente de dreno e com *gm* apenas um pouco menor que um BJT operando na mesma corrente. Para o IF3602 JFET rodando em ID=2 mA, podemos estimar gmÿ60 mS (um BJT teria gm=40Ic mS), assim fT=1,5 MHz.

Fazendo isso de trás para frente, descobrimos que o ganho em malha aberta é de cerca de 106 a 1 Hz, como visto na Figura 5.63. A geração de fonte está habilitada para as faixas de baixo ganho, para manter a estabilidade. O rolloff é fácil de calcular, porque as diferenças a transcondutância encial é reduzida para 1/2Rs (1 mS), portanto fT=50 kHz.

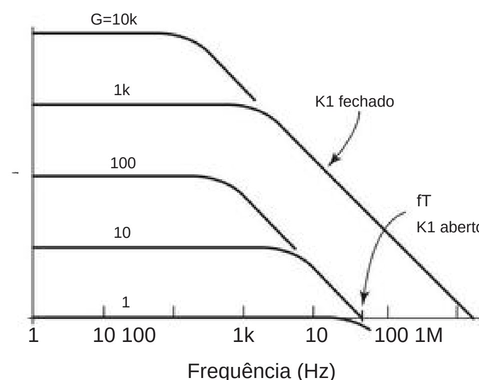


Figura 5.63. Ganho diferencial para o amplificador da Figura 5.61.

D. Ruído do amplificador sub-nanovolt
Finalmente, a importante questão do ruído. Isso é importante quando você está falando de nanovolts; é a razão pela qual os projetistas escolheram JFETs de geometria enorme, apesar de suas, uh, características abaixo do ideal (voltagem de compensação, capacitância de entrada). O ruído é mais importante na faixa mais sensível, onde a escala completa é de 1 mV (1,2 mV, para ser preciso, devido ao excesso de faixa de 20%) e o LSB de 6,5 dígitos é de 1 nV.

Existem várias fontes de ruído aqui. Os JFETs contribuem com cerca de 1 nVrms em uma banda de 3 Hz em torno de 1 Hz (en=0,4 nV/ ÿ Hz cada, multiplicado por 1,4 para ruído não correlacionado). Para explorar mais as flutuações de medição, dê uma olhada na Figura 5.54, onde mostramos o ruído de tensão de vários amplificadores operacionais, tanto convencionais quanto estabilizados por chopper. Os traços mostram a tensão de ruído rms integrada até uma frequência de corte (eixo x), incluindo o efeito do ruído 1/ *f* do componente. O IF3602 é a parte de menor ruído no gráfico. Se assumirmos um tempo de integração de 100 PLC (ciclos powerline) ou 1,67 s, para obter um desempenho de 7,5 dígitos, esse intervalo corresponde a uma frequência de corte de 0,6 Hz e cerca de 3 nV rms de ruído. Se fizermos a média de 64 dessas medições em um período de dois minutos, podemos esperar que as flutuações rms sejam reduzidas em 8 ×, para cerca de 0,4 nV. A Agilent reivindica 1,3 nV em sua folha de dados, permitindo evidentemente algumas variações não aleatórias e outras

erros.

O ruído no dissipador de corrente é de menor importância porque o estágio diferencial o cancela em alto grau; isso é bom, porque esse projeto usa uma referência de voltagem ruidosa! (o MC1403 é um projeto bandgap inicial,

com tensão de ruído não especificada).60 A capacidade de digitalização do 34420A cai de 7,5 para 6,5 dígitos ao operar mais rápido que 20 PLC, ou 1,5 leituras/seg, e ainda cai para 5,5 dígitos acima de 25 rd/s e 4,5 dígitos acima de 250 rd/ s, então o aumento do ruído do amplificador de alta frequência não seria notado.

E. Indo além das especificações Ao forçar os limites do possível, muitas vezes você descobre que o trabalho não pode ser feito respeitando as especificações do componente de pior caso. Aqui, por exemplo, o par crítico de transistores JFET tem uma corrente de fuga de porta especificada no pior caso de 500 pA (a 25ÿC), enquanto o instrumento especifica uma corrente de entrada máxima de 50 pA. O que fazer?

Se você é um grande fabricante, muitas vezes pode persuadir o fornecedor a selecionar peças com especificações mais rígidas. Em qualquer caso, você pode fazer o trabalho sozinho. Esteja ciente, porém, de que geralmente não há garantia de continuidade do processo e disponibilidade de peças melhores do que as especificadas; pior ainda, as peças especiais que você precisa podem ser totalmente descontinuadas!
Uma possibilidade, se você estiver disposto a arriscar um palpite sobre a popularidade de longo prazo de um instrumento, é comprar um suprimento vitalício de uma peça crítica.

5.13 Diferença, diferencial e instrumentação amplificadores: introdução

Esses termos descrevem uma classe de amplificadores acoplados em CC que aceitam um par de entrada de sinal diferencial (chamados de Vin+ e Vin-) e emitem um sinal de terminação única ou um par de saída diferencial que é exatamente proporcional à diferença: Vout = *GVÿVin = GV(Vin+* ÿ Vinÿ). Sua fama compartilhada é a alta rejeição de modo comum, combinada com excelente precisão e estabilidade de ganho de tensão. Aqui estão suas características distintivas, como comumente entendidas entre os projetistas de circuitos.

Diferencial do amplificador de diferença em, único terminou; amplificador operacional mais dois pares de resistores combinados (Figura 4.9, §4.2.4 e Figura 5.65); CMRR 90–100 dB; ganho preciso, mas baixo (GV=0,1–10); impedância de entrada 25–100k, destinada ser conduzido por uma baixa impedância; as entradas normalmente podem ir além dos trilhos.

Diferencial do **amplificador de instrumentação ,** saída única; impedância de entrada muito alta (10 Mÿ–10 Gÿ), ampla faixa de ganho (GV=1–1000) e CMRR muito alto em ganhos mais altos (110–140 dB em GV=100); §5.15, por exemplo, Figura 5.77.

Amplificador diferencial diferencial ou single-ended in, diferencial out; a maioria é de baixa voltagem, de acomodação rápida e banda larga; ideal para drivers de cabo de par trançado e ADCs de entrada diferencial rápida; §5.17, por exemplo, Figura 5.95.

Uma aplicação óbvia é a recuperação de um sinal que é inerentemente diferencial, mas que funciona em algum nível de modo comum ou que é afetado por interferência de modo comum. A Figura 5.64 mostra um exemplo de cada um.

O primeiro exemplo é o strain gauge que vimos anteriormente (§5.4), um arranjo de resistores em ponte que converte a deformação (alongamento) do material ao qual está ligado em mudanças de resistência; o resultado líquido é uma pequena alteração na tensão de saída diferencial quando alimentado por uma tensão de polarização CC fixa. Todos os resistores têm aproximadamente a mesma resistência, normalmente 350 ÿ, mas estão sujeitos a deformações diferentes. A sensibilidade em escala total é normalmente de ±2 mV por volt, de modo que a saída em escala total seja de ±10 mV para excitação de 5 V CC. Essa pequena tensão de saída diferencial (proporcional à tensão) funciona em um nível de +2,5 V CC. O amplificador de entrada diferencial deve ter um CMRR extremamente bom para amplificar os sinais diferenciais em milivolts enquanto rejeita o sinal de modo comum de ~2,5 V e suas variações. Por exemplo, suponha que você queira um erro máximo de 0,1% da escala completa. Isso é ±0,01 mV, operando em 2.500 mV, o que equivale a um CMRR de 250.000:1 ou 108 dB. Isso superestima o CMRR necessário: na prática, você executaria uma "calibração zero", de modo que o CMRR precisa ser adequado apenas para rejeitar *variações* no bias da ponte de +5 V; algo como 60 dB seria suficiente aqui.61 O segundo exemplo (Figura 5.64B) vem do mundo do áudio profissional, onde você encontra alguns desafios bastante impressionantes. Em uma situação de gravação de concerto, por exemplo, você pode ter microfones pendurados em um teto alto, com cabos de conexão de 100 m ou mais de comprimento. Os níveis de sinal de pico podem estar em torno de um volt, caindo para um milivolt durante partes silenciosas da música. Mas você tem que manter a captação powerline e

[60] Para amplificadores de terminação única, gostaríamos que o ruído da fonte de corrente fosse menor que en(amp)gm. Podemos usar a expressão en(ref)/ en(amp) = *gmRS* para determinar o ruído de tensão permitido na referência da fonte de corrente. Para este circuito, essa relação é 37, portanto, apenas 11 nV/ ÿ Hz para uma contribuição de ruído comparável à do JFET de 0,3 nV/ ÿ Hz. A referência MC1403 é cerca de 20 vezes pior do que isso. Evidentemente, os engenheiros da Agilent estão contando com as correntes de ruído correspondentes nos dois JFETs para cancelar para mais de 5%, reforçado pelos resistores de espelho de corrente de 1%. Em frequências acima de cerca de 10 Hz, no entanto, o capacitor de 10 nF anula esse cancelamento.

[61] Veremos o strain gauge novamente, em conexão com conversores analógico-digitais, em §13.9.11C (Figura 13.67). Um arranjo de ponte polarizada semelhante é usado no detector de temperatura de resistência de platina (RTD), que é o sensor usado no controlador térmico baseado em microcontrolador em §15.6.

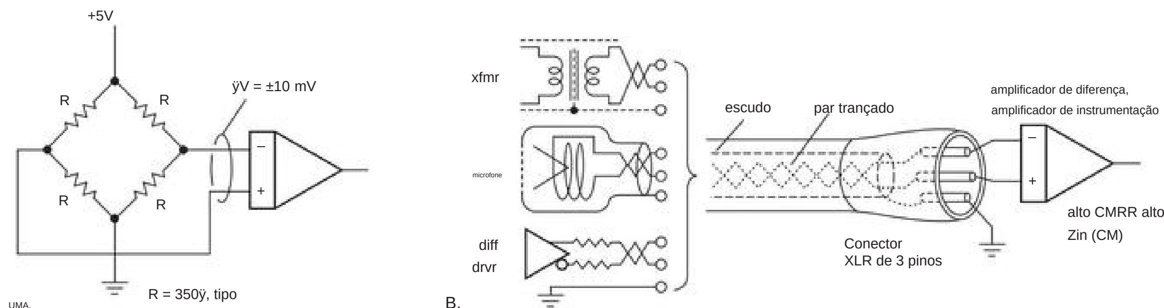


Figura 5.64. Sinais inerentemente diferenciais, para os quais é necessária uma boa rejeição de modo comum. (a) Medidor de tensão. (b) Par de linhas balanceadas de áudio.

outros aborrecimentos (por exemplo, mudança de ruído de dimmers de iluminação) outros 40 dB abaixo disso – o ouvido humano é extremamente sensível a sons estranhos. Adicione os dBs – precisamos de 100.000:1 de supressão de pickup (<10 V)! ÿ

Parece impossível; mas os engenheiros de gravação têm feito isso com sucesso há décadas pelo simples expediente de transportar sinais de áudio em um par diferencial balanceado (com uma impedância de sinal padrão de 150 ÿ ou 600 ÿ). Para isso, eles usam um cabo de par trançado bem blindado, terminado no lendário conector de travamento XLR de 3 pinos (que pode aguentar muitos abusos – tem uma cobertura de metal resistente, bom alívio de tensão e assim por diante). E para manter o sinal totalmente balanceado, eles usam um transformador de áudio de alta qualidade ou um driver de saída diferencial bem projetado (na extremidade da transmissão) e outro transformador ou um amplificador de entrada diferencial bem projetado (na extremidade da recepção). .

Para não deixarmos uma impressão enganosa, apressamo-nos a observar que os amplificadores de entrada diferencial são úteis também em situações nas quais os próprios sinais não são inerentemente diferenciais. Dois exemplos comuns são a detecção precisa de corrente no lado inferior (Figura 5.68a) e o uso de amplificadores de entrada diferencial ao enviar sinais entre instrumentos (Figura 5.67). Neste último, a flexibilidade fornecida pelo pino REF de saída de um amplificador de diferença nos permite evitar loops de terra enquanto transportamos um sinal entre um par de instrumentos cujos aterramentos locais não são idênticos.

Os truques envolvidos na fabricação de bons amplificadores de instrumentação e, mais geralmente, amplificadores diferenciais de alto ganho são semelhantes às técnicas de precisão discutidas anteriormente. Corrente de polarização, offsets e erros CMRR são todos importantes. Vamos começar discutindo o projeto de amplificadores de diferença para aplicações menos críticas, trabalhando até os requisitos de instrumentação mais exigentes e suas soluções de circuito.

5.14 Amplificador de diferença

Vamos olhar primeiro para o amplificador de diferença: sua operação básica, algumas aplicações, um exame mais detalhado de seus parâmetros de desempenho e, finalmente, algumas variações de circuito inteligentes.

5.14.1 Operação básica do circuito

O amplificador de diferença clássico (Figura 5.65) consiste em um amplificador operacional com pares de resistores combinados Rf e Ri, para os quais o ganho diferencial é

$$G_{diff} ÿ \frac{V_{out}}{V_{in+} ÿ V_{in}ÿ} = R_f/R_i.$$

Assumindo um amplificador operacional ideal, a rejeição de modo comum

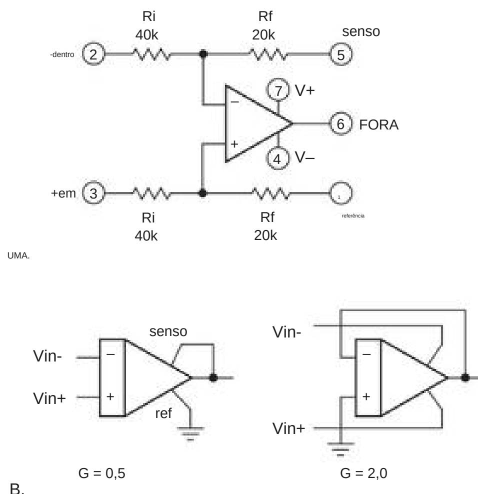


Figura 5.65. Amplificador diferencial clássico, com os valores de resistor usados no AD8278/9 (G=0,5 ou 2).

é limitado pela correspondência da razão Rf/Ri nos dois caminhos; com resistores discretos de 1% de tolerância, por exemplo,

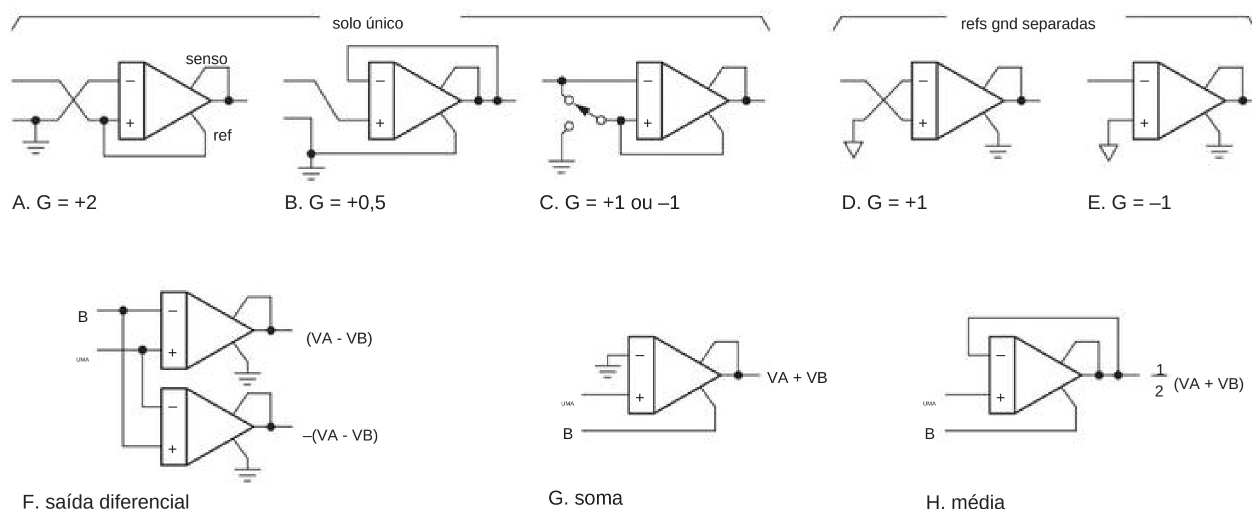


Figura 5.66. Os truques que um amplificador de diferença de ganho unitário pode executar. Observe os símbolos de aterramento separados para (D) e (E).

você pode esperar um CMRR de aproximadamente 40 dB em baixas frequências (onde o próprio amplificador operacional tem um CMRR mais alto e onde os efeitos do desequilíbrio capacitivo são insignificantes). Isso é adequado para situações em que apenas um modesto CMRR é necessário, por exemplo, detecção de corrente de lado baixo. Para um melhor desempenho, você pode ajustar um dos resistores ou usar resistores de tolerância mais rígida (por exemplo, os tipos de 0,1% disponíveis normalmente, normalmente $ 0,10– $ 0,20 em quantidade de 100 unidades, ou o barato Susumu RG-série, com tolerância de 0,05% e 10 ppm/ ÿC tempco, cerca de US$ 1); ou, melhor ainda, use pares de resistores combinados (por exemplo, a não barata série Vishay MPM, com tolerâncias de relação de até 0,01% e tempcos de relação de 2 ppm/ÿC ou o quad correspondente LT5400, com tolerância de relação semelhante e com relação tempco de 1 ppm/ÿC max).

Mas não se deixe levar. . . porque há ofertas abundantes de amplificadores de diferença integrados completos de excelente desempenho, custando muito menos do que você gastaria rolando o seu próprio. Listamos muitos deles na Tabela 5.7 na página 353. Na configuração "normal" a linha SENSE é conectada à saída e a linha REF é conectada ao terra do circuito. Mas você pode executá-lo ao contrário, conforme mostrado na Figura 5.65B. Para dar uma noção do desempenho obtido com esses amplificadores de diferença integrados, as especificações de pior caso para o AD8278B na figura são precisão de ganho de ±0,02% (para G=0,5 ou G=2); ganho de temperatura de 1 ppm/ÿC; tensão offset e tempco de 100 V/ÿC; e um CMRR de 80 dB. Custa cerca de US$ 3.

ÿ V e 1 ÿ

5.14.2 Algumas aplicações

A. Entrada de terminação única

É perfeitamente normal usar um amplificador de diferença com uma entrada de terminação única, por exemplo, para obter um ganho preciso e estável. A Figura 5.66 mostra algumas configurações simples. Observe que a natureza diferencial de suas entradas não é "desperdiçada" quando um amplificador de diferença é usado como em (D) e (E), porque seu pino REF independente acomoda pequenas diferenças no potencial de terra na entrada e na saída. Dito de outra forma, a tensão de saída, relativa ao *seu* terra, é precisamente ±1,0 (neste caso) vezes a tensão de entrada, relativa ao *seu* terra.

B. Isolamento de malha de terra

Esta propriedade é exatamente o que você precisa para a aplicação de isolamento de malha de terra da Figura 5.67. No primeiro circuito, o lado do driver permite que sua referência de saída flutue para o potencial do lado de recepção (não flutuante). O resistor de pequeno valor e o capacitor de desvio permitem uma pequena diferença de tensão quando forçados pela extremidade receptora. Ambos os lados estão felize No segundo circuito, permitimos que o comum de entrada do lado receptor flutuasse, conforme forçado pelo driver (não flutuante). Esses circuitos resolvem problemas menores de loop de terra em conexões de cabo de terminação única; mas eles não substituem a abordagem totalmente isolada e/ou balanceada necessária em aplicativos exigentes, como áudio ou vídeo profissional.

C. Detecção de corrente

A Figura 5.68 mostra amplificadores de diferença usados para detecção de corrente do lado baixo e do lado alto, talvez como parte de uma constante

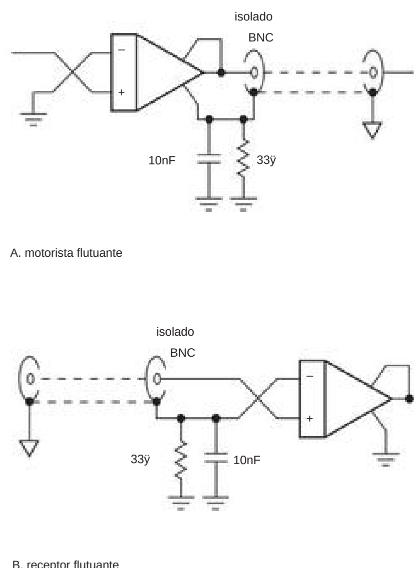


Figura 5.67. Explorando o pino REF para evitar loops de terra de frequência de linha de força em instrumentos conectados.

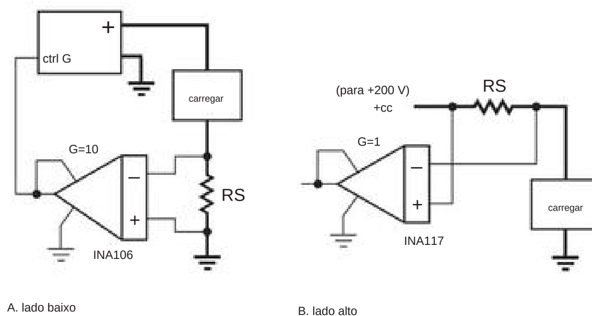


Figura 5.68. Detecção de corrente para medição ou controle. A detecção do lado baixo (A) perdoa o CMRR, ao contrário da detecção do lado alto (B), para a qual o amplificador de diferença mostrado introduziria um erro significativo em uma fonte de alta tensão e alta corrente (onde apenas uma pequena queda em Rs pode ser tolerado).

controle de corrente, ou simplesmente para monitoramento preciso da corrente de carga. À primeira vista, pode parecer desnecessário usar um amplificador de diferença para a configuração de detecção do lado baixo, porque o resistor de detecção retorna ao terra do circuito. Mas imagine que estamos lidando com muita potência, digamos até 10 A de corrente de carga. Usaríamos um resistor de detecção de precisão de baixo valor, talvez 0,01 ÿ, para manter sua dissipação de energia abaixo de 1 W. Mesmo que um lado dele esteja conectado ao terra, seria imprudente usar um amplificador de terminação única, porque uma resistência de conexão de apenas um miliohm contribuiria com 10% de erro! Um amplificador de entrada diferencial é a solução, conectado conforme mostrado a um resistor sensor "conectado em Kelvin" de 4 fios. Observe que o amplificador de diferença não precisa ter um CMRR particularmente bom, porque o lado baixo não está se afastando do solo.

O mesmo não é verdadeiro para a configuração do lado alto (Figura 5.68B), onde a tensão de modo comum é muito maior que a tensão diferencial. Aqui especificamos um amplificador de diferença de ganho unitário destinado a aplicações de alta tensão, que permite tensões de entrada em modo comum de ± 200 V (seu circuito interno usa um divisor resistivo 20:1 na extremidade frontal, consulte §5.14.3). Vejamos os números: a tensão CC pode variar de 0 a 200 V; portanto, o CMRR mínimo especificado de 86 dB (1:20.000) interpretaria isso como equivalente a uma variação de entrada diferencial de 10 mV. Isso é ruim? Pode apostar! Para manter a precisão de 1% da corrente detectada, precisaríamos dimensionar Rs para diminuir 1 V na corrente de carga total.
Isso é muita "carga de tensão" e são incríveis 10 W de potência dissipada, se esta for uma alimentação potente de 10 A dc como no outro exemplo. Portanto, este esquema é adequado para uma fonte de 200 V de baixa corrente; mas há maneiras melhores de fazer a detecção do lado alto, por exemplo, flutuando o amplificador e retransmitindo a saída para a terra como uma corrente ou (através de um opto-isolador) como uma quantidade digitalizada.

D. Fontes de corrente A

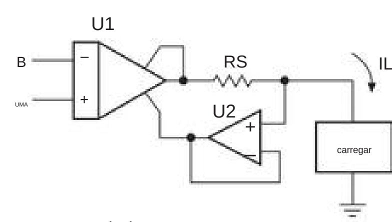
Figura 5.69 mostra como equipar um amplificador de diferença para que o sinal de entrada (diferencial) controle a queda de tensão através de um resistor de detecção em série Rs; em outras palavras, é uma fonte atual. Você pode usar uma entrada de controle de terminação única, se desejar. A corrente de saída pode ser de qualquer polaridade, e esses circuitos não sabem, ou não se importam, se a carga retorna ao terra ou a algum outro potencial.

O seguidor do amplificador operacional U2 deve ser escolhido para uma corrente de polarização de entrada pequena em comparação com a corrente de carga mínima e uma tensão de deslocamento pequena em comparação com a queda em Rs na corrente de carga mínima. Você pode começar escolhendo Rs para queda de ÿ1 V em IL(max), ou menor para IL(max) alto ou para baixa tensão de alimentação, então veja se RsIL(min) é pelo menos ÿ100 ÿV ou mais. Para uma ampla faixa dinâmica, digamos *IL(max)/IL(min)*ÿ 104, você precisará de amplificadores de baixo deslocamento para U1 e U2; os candidatos estão listados nas Tabelas 5.2 (página 302), 5.3 (página 303), 5.5 (páginas 320–321) e 5.6 (página 335).

O circuito da Figura 5.69A é bom para correntes baixas. Para correntes de carga maiores que ÿ5 mA, use um buffer de energia (Figura 5.69B); que pode ser um buffer IC de ganho unitário de banda larga (para estabilidade) como o LT1010 ou (se você precisar de apenas uma polaridade de corrente de saída) um seguidor MOSFET ou BJT. Um truque favorito é usar um regulador ajustável de 3 terminais (como um LM317) como um "buffer de energia", aproveitando assim

sua proteção interna térmica e de sobrecorrente. Para usá-lo desta forma, você dirige o pino ADJ e o pino OUT "segue" 1,25 V maior (isso deveria ser chamado de *líder de tensão?!).* Como sempre, o feedback cuida do deslocamento.

Gostamos de usar amplificadores de diferença *G* = 10, como INA106 ou INA143, conectados "ao contrário" para *G* = 0,1, porque a tensão de detecção é então um décimo da tensão de programação e, portanto, não consome tanto da saída intervalo de conformidade. Em comum com outras fontes de corrente cuja saída vem de um amplificador operacional, essas configurações se tornam mais como fontes de *tensão* em altas frequências, onde a compensação do amplificador operacional e os efeitos de taxa de variação dominam (consulte §§4.2.5 e 4.4. 4).[62] Melhor desempenho em altas frequências pode ser obtido com uma fonte de corrente ativa baseada em um amplificador de instrumentação, configurado com um terminal de saída inerentemente de alta impedância, conforme mostrado na Figura 5.87 em §5.16.9.



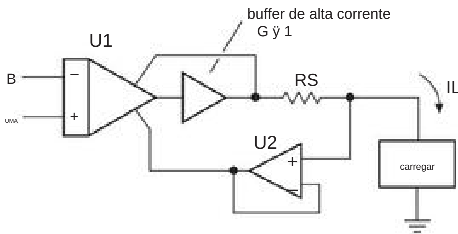


Figura 5.69. Fontes de corrente de precisão: IL = Gdiff(VA ÿVB)/RS. A corrente de saída (bipolaridade) em (A) é limitada a Iout (max) de U1 . Adicionar um buffer de potência de ganho unitário (um buffer de banda larga IC ou um transistor seguidor inferior) em (B) permite grandes correntes de saída (o seguidor U2 pode ser omitido se RS for menor que 0,2 ÿ ou mais). Esses circuitos não sabem, ou não se importam, para onde a carga retorna.

E. Driver de linha de alto nível

O áudio profissional vive e respira sinalização analógica *diferencial ,* na forma de linhas balanceadas terminadas (geralmente) em uma resistência de ponte nominal de 600 ÿ. E os níveis são substanciais: o equipamento de áudio profissional adota um padrão "0 dB" de 1,23 Vrms,[63] e geralmente você verá headroom adicional especificado de 16 dB a 20 dB sem corte. Portanto, um nível de +20 dB é 12,3 Vrms ou uma amplitude diferencial de 17,4 V (34,8 Vpp). Isso requer muita atenção aos drivers de linha, que não devem comprometer as qualidades de baixo ruído e distorção do material do programa.

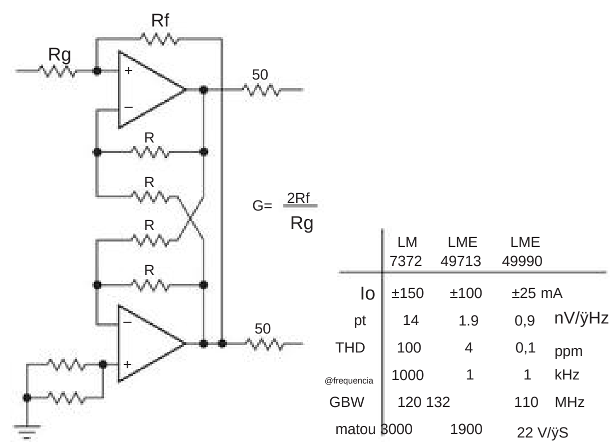


Figura 5.70. Driver de linha diferencial de alto nível para áudio profissional.

A Figura 5.70 mostra um bom circuito *G* = 2 para o trabalho, baseado em um par de amplificadores de diferença de ganho unitário. Estes são implementados aqui com amplificadores operacionais de banda larga de capacidade de corrente de saída substancial, permitindo um ganho geral (tensão de saída diferencial dividida pela tensão de entrada de terminação única) diferente de ×2. Todos os amplificadores operacionais específicos listados operam desde tensões de alimentação até ±18 V, produzindo oscilações de saída (em cada linha do par) até ±15 V ou mais (significativamente maior que ±9 V correspondente a um amplificador de áudio profissional de 20 dB). altura livre). Três opções de amplificadores operacionais são mostradas, de largura de banda comparável (ÿ100 MHz), mas destinadas a diferentes aplicações. O LM7372 é bem especificado para 10 MHz e destinado a aplicações de vídeo e transmissão, enquanto as partes LME49xxx são otimizadas para larguras de banda de áudio, com especificações impressionantes de até 20 kHz. Não é sempre (mais como *nunca!)* que você vê amplificadores com especificações totai

[62] Você pode definir uma *capacitância* de saída de fonte de corrente efetiva *Ceff=Iout/S* (onde *S* é a taxa de variação de saída) como uma forma de caracterizar essa falha.

[63] A unidade base para o nível de áudio é "0 dBu", uma tensão rms correspondente a 1 mW em uma carga de 600 ÿ; que funciona para 0,775 Vrms. O nível de 0 dB do Pro-audio é +4 dBu, portanto 1,23 Vrms; o áudio doméstico é consideravelmente menos poderoso, em -10 dBu ou 0,25 Vrms.

(ÿ140 dB), aqui combinado com ruído de tensão muito baixa (1,4 nV/ ÿ Hz a 10 Hz).64

Algumas alternativas interessantes são o DRV134 e o LME49724, que integram um circuito de saída totalmente diferencial, capaz de desempenho comparável, em um CI. Os últimos são exemplos de *amplificadores totalmente diferenciais,* também com entradas diferenciais; uma entrada pode ser aterrada para funcionar com fontes de sinal de terminação única. Veremos isso mais tarde, em §5.17.

F. Analógico de banda larga sobre par trançado

O cabo de rede de par trançado ("Cat-5e," etc.) é normalmente usado para transmissão de dados digitais em redes locais (LANs), mas também pode ser usado com sucesso para sinais analógicos. Os onipresentes cabos Cat-5e e Cat-6 contêm quatro pares não blindados (daí "UTP" – par trançado não blindado), que curiosamente são torcidos com passos diferentes (incomensuráveis) para minimizar o acoplamento de modo normal.

No entanto, há bastante acoplamento de modo comum, tanto entre pares quanto para o mundo externo. Portanto, você precisa usar um driver diferencial (§5.17) combinado com um amplificador de diferença na extremidade oposta. E, para transmissão de banda larga em algo maior do que alguns centímetros, você precisa terminar o par em sua impedância característica de 100 ÿ (consulte o Apêndice H).

A Figura 5.71 mostra como usar um amplificador de diferença como um "receptor de linha" analógico para tais sinais (mostraremos o lado acionador posteriormente, em §5.17.2). Este circuito vem do datasheet do AD8130, ilustrando o uso de alguns "picos" para compensar a atenuação do sinal em altas frequências no cabo bastante longo (300m!). O amplificador tem *G* = 3 em baixas frequências, com *R4C1 entrando* em ação em torno de 1,6 MHz (onde a reatância de C1 é igual a R3) para aumentar a resposta de flacidez. O resultado desse "equalizador" simples é produzir uma resposta geral plana de ±1 dB de CC a 9 MHz. O ganho de baixa frequência ×3 é necessário (a) para compensar o sinal que é perdido por causa do divisor resistivo que consiste em R1 e a resistência de ida e volta de 50,5ÿ do par do cabo (um fator de 1,5) e (b) para dobre o sinal de saída para que ele possa conduzir um cabo de vídeo com "terminação posterior" (consulte o Apêndice H).

5.14.3 Parâmetros de desempenho

Nas seções anteriores, abordamos algumas questões importantes: impedância de entrada (diferencial e comum). modo) e seu efeito no ganho quando acionado com impedância de fonte finita ou seu efeito no CMRR quando acionado por uma impedância de fonte desbalanceada; faixa de entrada em modo comum; e largura de banda do amplificador e seu efeito no CMRR. É hora de descascar a cebola.

A. Impedância de entrada

Da Figura 5.65 pode parecer que a impedância de entrada de um amplificador de diferença é Ri (ou talvez algum múltiplo disso), e que tudo está bem se o sinal que o conduz tiver uma impedância de fonte (Thevenin) RS que é muito menor, talvez nosso critério habitual de RS *10Ri*

Não tão! Esses amplificadores se deleitam com seu ganho preciso (as seleções na Tabela 5.7 na próxima página têm erros de ganho de pior caso de 0,1% ou melhor) e a precisão do ganho é comprometida, a menos que RS seja menor que o RI do amplificador em pelo menos esse fator. Isso porque a impedância da fonte do sinal está efetivamente em série com RI, reduzindo o ganho pelo fator RI/(RI +RS).

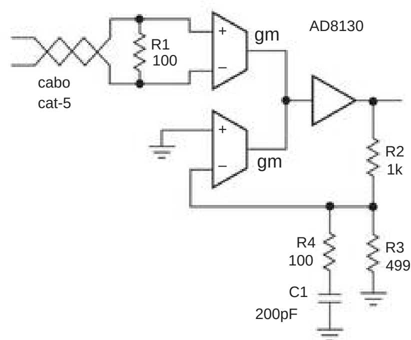
Essa redução de ganho é, na verdade, o menor de dois problemas. Se você ler as letras miúdas na folha de dados, descobrirá que os excelentes CMRRs desses amplificadores (certamente sua maior reivindicação à fama) são invariavelmente especificados para (rufar) RS = 0ÿ! Você pode razoavelmente esperar que o CMRR seja mantido se você conduzir ambas as entradas com impedâncias de fonte iguais, porque isso deve manter a correspondência da relação do resistor. Você poderia esperar isso, mas ficaria desapontado: o CMRR se degrada rapidamente com o aumento das impedâncias da fonte, mesmo que elas sejam precisamente combinadas.

Por que é que? Durante a fabricação, os resistores internos são ajustados a laser, de modo que a relação RF/RI do par de resistores superior corresponda precisamente à relação correspondente do par inferior. Os *rácios* são os que se igualam, em detrimento dos valores absolutos; os dois resistores de entrada RI podem diferir um pouco.65 Portanto, se você acioná-lo com um par de impedâncias de fonte correspondentes RS, obterá uma incompatibilidade nas taxas de realimentação e, portanto, CMRR degradado. Resumindo: conduza esses filhotes a partir de uma saída de amplificador operacional ou de uma fonte de sinal de RS muito baixo (por exemplo, um resistor de detecção de corrente de baixo valor).

Isso nem sempre é possível, claro. O que pode ser feito para aumentar a impedância de entrada? O primeiro pensamento pode ser simplesmente aumentar todos os valores do resistor por algum fator grande. Isso tem várias desvantagens, sendo as mais sérias (a) a contribuição do ruído de Johnson

64 Você tem que manter as impedâncias da fonte bem baixas para não degradar um nível tão baixo ; mesmo um resistor de 100 ÿ tem um ruído de tensão de circuito aberto de 1,3 nV/ÿ Hz. Consulte o Capítulo 8.

65 E a escala geral do resistor é tipicamente boa para apenas ± 20% do valor nominal na folha de dados: o valor da resistência absoluta é sacrificado no altar da correspondência da relação do resistor.



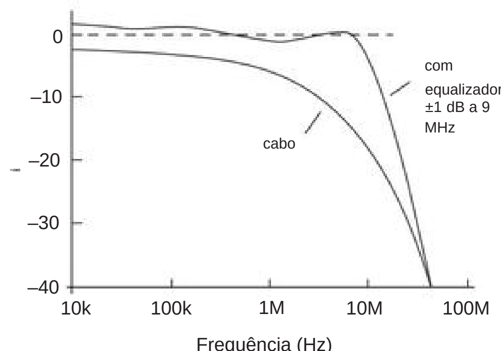


Figura 5.71. Receptor de linha diferencial para analógico de banda larga sobre par trançado. O "aumento de agudos" fornecido pelo *C1R4* compensa o rolloff de alta frequência de um cabo Cat-5 de 300 m de comprimento, conforme mostrado. Consulte também a Figura 5.101.

Tabela 5.7 Amplificadores de diferença selecionados

Papel #	Ganho	Desvio / ÿG VCMa Tensão CMRR máx ±máx tipo máx tipo mín (%) (Vpp) (ÿV) (ÿV) (dB) (dB) / Diff'l Zin (ÿV) / Noisek,t en Vn(pp) dcb (kÿ) r ( ) (MHz) (ÿs) / Liquidação BW Fornecimento -3dB 0,01% Faixa é custo nV (V) (mA) ($US) ÿHz	Comentários
INA105K A 1,0 0,025 20 50 500 100 72 1 50 2,4 60 1 amp03g A 1,0 0,008 20 25 750 95 75 1 50 2		5 - 10–36 1,5 8,88	• legado
20c 3 INA134 A 1,0 0,075 26 75 250 90 74 4 50 7d 52 3,1 INA154 A 1.0		- 10–36 2,5 5,86 - 8–36	•
		1 3 2,4 2,36 áudio, < 5ppm dist - 8–36 2,4 2,36 - baixo custo	•
		0,1 25 75 1500 90 74 4 50 2,6 52 3,1 1,0 0,075 28 75 250 90 76 5 3	
INA132P A	80 1,6 65c 0,3	88 - 2,7–36 0,16 4,62	•
AD8271B AM		0,5,2 0,02 >18 300 600 92 80 10 20 1,5 38 15 0,55 - 5–36 2,6 3,50 - Gdiff = 0,5,1,2	
AD8273 A 0,5,2 0,05> 18 200 1400 86 77 7 24 7D 52 Esse1206 F 0,50 0,5 26 - 10MV 90 70		20 0,75 - 5–36 2,5 3,13	áudio duplo, 6ppm dist -
- 48 - 28N 34 AD8278B A 0,5,2 0,02> 18 50 100 100 80 1 80 1.4 47		24–40 4,7 4,75 ZCM=10M, <6ppm dist - 2–36 0,2 2,72 -	• Gdiff= 0,5,2, dual=79 -
		1 9 0,10, legado - 4,5–36 1,0 3,36 - 0,10, dual=INA2143	
INA106 A 10 0,025 11 INA143U A 10		50 200 100 86 1 20 1 30 5 15 100 500 96 86 4h 20 1 30 10 - 10–36 1,5 11,00	•
		0,1 0,15 9	
LT1991A	Am	1,4,10 0,06 27 15 50 100 77 8h 90 0,25 46 0,11f 48 f 2,7–40 0,10 2,50 -	3,9,12, inclui filtro
LT1996A Am 9-117 0,07 27q 15 50 100 80 - 33q 0,25 18 0,04 85 0,2 31q 600 4000 87 75 - 4q		f 2,7–40 0,10 5,72	- 9,27,81, inclui filtro
LT1995 Am 1-7		- 14 32 0,1 100 1000 - 2,7–40 7 3,78 4,5–36	- 1,2,4,6 entradas de
INA146 B 0,1o		0,1 5000 80 70 11 200 10 550 0,55 80 • 0,57 4,25	• alta tensão entradas
INA117P C 1.0		0,02 200 120 1000 94 86 8 800 25 550 0,2 0,03 270 100 500 96 86 6 800 10 - 10–36 1,5 5,54 15 - 5–36 1,2	• de alta tensão entradas
AD629B C 1.0 INA149		15 550 0,5 7,21	• de alta tensão entradas
C 1.0 AD8479 C 1.0		0,02 275 350 1100 100 90 1 800 20 550 0,5 7 - 4–40 0,8 6,00	- de alta tensão tensão
AD628A C ext		0,01 600 500 1000 96 90 u 2000 30 1600 0,13 11 - 5–36 0,55 9,66	• CM mais alta 4,5–36
		0,1 120 - 1500 - 75 220 15 300 0,6 40 • 1,2 3,36 - entradas HV , filtro+ganho	
baixa voltagem			
AD8275B D 0,2 0,024 27 150 500 96 80 2 108 1c,e 40e 15 0,45 - 3,3–15 1,9 4,23 - 5, com deslocamento Vref/2 85 0,025 p 8–36 14 4,86 - G=1+R2/R1, Vin < 2V AD8129			
AD830 Ex . 1-10		0,6 24 1500 3000 100 90 12 370 - 27 Ex . 10-100 0,6 20 200 800 105 92 12 1000 - 4,6 200 0,02 p 4,5–25 10	
2,90 - G=1+R2/R1, Vin < 2V AD8130 Ex 1–20 0,6 20 400 1800 125 105 12,3 250 0,02 p 4,5–25 11 2,90 - G=1+R2/R1, Vin < 2V EL5172 Eg 1–20 1,5 20 7mV 25mV 95 75 - 300 - 26 250 0,01 p 4,7–12 5,6 1,27 - G=1+R2 /R1, Vin < 4V 18 250 1500 94 80 3 40 2,4 87 0,8			
INA152EA A 1.0		0,1 25 - 2,7–20 0,5 3,60 - 0,5,1,2, RRIO	
MAX4198 A 1.0		0,1 0,5 30 500 90 74 9h 50 7,8 58 0,175 34 - 2,7–7 0,05 2,38 -	

Notas: (a) tensão máxima em modo comum. (b) 0,01–10Hz ou 0,1–10Hz. (c) a 100 Hz. (d) 20 a 20 kHz. (e) RTO (referido à saída). (f) inclui tampas de filtro 4pF. (g) circuito E da Fig. 5.89. (h) A curva CMRR achata na frequência BW. (k) RTI (referido à entrada), a menos que indicado. (m) resistores múltiplos. (n) ruído = –107dBu, 20kHz BW. (o) inclui estágio extra de filtro opamp. (p) para G>1. (q) depende do ganho. (r) a 1 kHz. (t) típico. (u) entre 5 e 6.

(en=0,13 R1 2 nV/ ÿ Hz, portanto, um devastador 130 nV/ ÿ Hz para valores de resistor de ÿ1 Mÿ; consulte o Capítulo 8) e (b) a penalidade de largura de banda causada por capacitâncias parasitas distribuídas. O segundo pensamento seria colocar um par de operações de precisão seguidores de amplificador nas entradas. Tudo bem, mas há uma maneira ainda melhor, em configurações de circuito como o "amplificador de instrumentação de três amplificadores operacionais", no qual um estágio diferencial de front-end de alta CMRR e alta impedância aciona um

estágio de saída do amplificador de diferença. Veremos esses amplificadores totalmente úteis um pouco mais tarde.

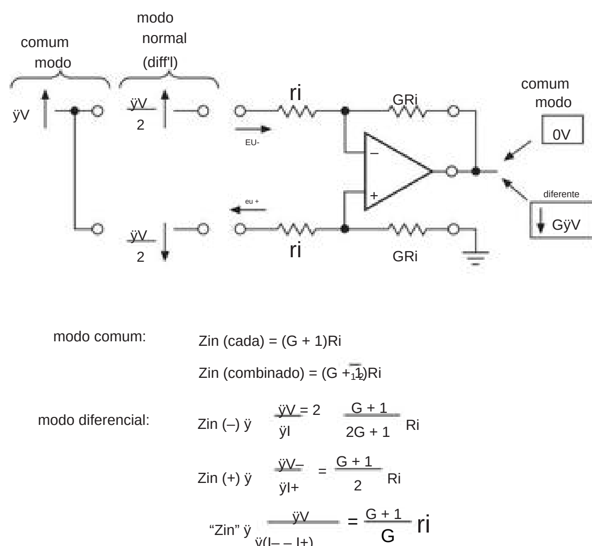


Figura 5.72. As várias impedâncias de entrada do amplificador de diferença.

Voltando à pergunta inicial, o que exatamente é a "impedância de entrada"? Existem várias respostas – veja a Figura 5.72. Por impedância de entrada *de modo comum,* queremos dizer a impedância incremental vista em qualquer uma das entradas66 quando ambas são acionadas juntas. Com o inversor de modo comum, as duas impedâncias são iguais (exceto por uma pequena incompatibilidade, conforme descrito acima), porque a saída é fixa.

A impedância *de entrada diferencial* é uma história mais longa. Tomadas individualmente (aterrando a outra entrada), as duas entradas exibem Rin diferente: a entrada inversora se conecta a um solo virtual por meio de Ri, então é Rin = Ri, enquanto a entrada não inversora vê Rin = Ri +Rf. Para um amplificador de diferença com G=10, por exemplo, estes diferem por um fator de onze. Este é um resultado útil, especialmente se você planeja usar um amplificador de diferença em uma configuração de terminação única como as Figuras 5.66D e E. Um purista poderia argumentar, porém, que fizemos errado: uma mudança de entrada de terminação única é realmente uma combinação de uma entrada puramente diferencial mais um deslocamento de modo comum de metade desse valor. Para satisfazer tal pessoa, calculamos as expressões da Figura 5.72, com base em uma entrada diferencial "pura" (simétrica). Mesmo quando definido desta forma, as impedâncias de entrada vistas nas duas entradas são diferentes. Isso nos leva a uma definição final de impedância de entrada diferencial com base na alteração da corrente de entrada *líquida ,* conforme mostrado. As folhas de dados geralmente listam esse valor, sem explicação: você foi avisado!

Uma observação final: você geralmente não verá amplificadores de diferença com ganhos maiores que 10, porque Ri, e portanto a impedância de entrada diferencial, torna-se incontrolavelmente pequeno. Por exemplo, para obter *G* = 1000, você pode escolher Ri=100 ÿ e Rf=100k. OK, talvez você possa viver com impedância de entrada de ~100ÿ; mas você teria que combinar as impedâncias da fonte de sinal para 0,001 ÿ para não degradar o CMRR. Conclusão : use um *amplificador de instrumentação* (§5.15), não um amplificador de diferença, para aplicações de entrada diferencial de alto ganho.

B. Faixa de entrada de modo comum O divisor de tensão formado por Ri e Rf permite que o amplificador de diferença padrão aceite sinais de entrada *além* dos trilhos de alimentação: os diodos de proteção estão nas entradas internas do amplificador operacional, portanto, os sinais de entrada podem, em princípio, variar tanto como ±VS(G+1)/G com tensões de alimentação de ±*VS* (descubra o porquê). Por exemplo, o AD8278 possui Ri = 40k e Rf = 20k, portanto pode ser conectado para *G* = 0,5 ("normal mal") ou *G* = 2 (invertido). Ele especifica a faixa de entrada de modo comum para ambos os ganhos: ÿ3(VS+0,1) a +3(VSÿ1,5) para *G* = 0,5 (ou seja, cerca de ±40 V com fontes de ±15 V, o que pode ser muito útil de fato!), e ÿ1,5(VS+0,1) a +1,5(VSÿ1,5) para *G* = 2 (ou seja, ±20 V com alimentação de ±15 V). Mas verifique as especificações – nem todos os amplificadores de diferença permitem que você vá tão longe.

Alguns dos amplificadores de diferença na Tabela 5.7 na página anterior se saem ainda melhor; por exemplo, o INA117 tem uma faixa de modo comum de ±200 V enquanto mantém um ganho diferencial de unidade. Isso é feito usando um par de divisores de tensão de 200:1 na entrada para trazer o sinal de ±200 V para dentro da faixa de modo comum do amplificador operacional de ±10 V (o circuito é mostrado na Figura 5.75C). O preço que ele paga é deslocamento e ruído degradados: valores típicos de 120 V e 550 nV/ ÿ Hz, em comparação ÿ 25 do AMP03,67 convencional ÿ V e 20 nV/ ÿ Hz para

Um ponto importante: ao usar amplificadores de diferença com grandes faixas de tensão de entrada, tome cuidado com os grandes erros de entrada equivalentes criados pela rejeição de modo comum imperfeita. Por exemplo, o AD629B especifica um DC CMRR típico de 96 dB, mas você deve considerar o valor mínimo de 86 dB no pior caso. Com esse CMRR, um 200 V

66 Alguns fabricantes especificam metade desse valor, ou seja, a impedância com os dois terminais ligados; a folha de dados geralmente informa quais eles significa.

67 Existe outra maneira de aumentar o VCM sem tal comprometimento, usando um segundo amplificador operacional para cancelar o sinal de modo comum; veja a Figura 7.27 na edição anterior deste livro. Não temos conhecimento de nenhum amplificador de diferença comercial que use esse truque.

a entrada de modo comum tem um erro diferencial referenciado à entrada de 10 mV, inundando completamente a tensão de compensação máxima especificada de 0,5 mV. Em outras palavras, o erro devido ao CMRR finito é maior que o VOS especificado para a entrada |VCM| > 10 V. E a situação é ainda pior nas frequências do sinal: você pode imaginar usar tal amplificador de diferença para monitoramento de corrente de linha de força. A 60 Hz, o CMRR do INA117 (semelhante ao do AD629B em CC) diminui para 66 dB (min). Portanto, o sinal de linha de energia de pico de 160 V produz um enorme erro de entrada de 80 mV. E, idealmente, você gostaria de monitorar correntes em linhas de energia em tensões ainda mais altas, talvez até 400 V. Existem maneiras melhores de fazer isso; dê uma olhada em §13.11.1 se estiver curioso.

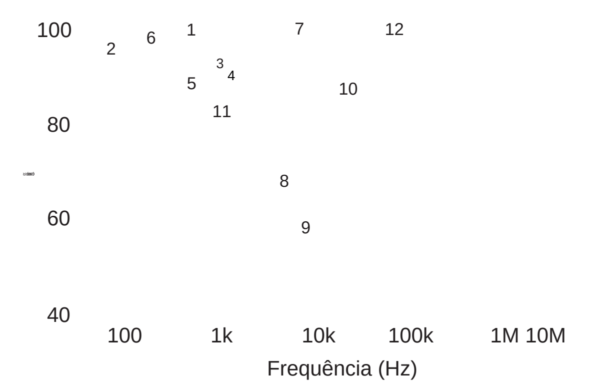


Figura 5.73. Taxa de rejeição de modo comum versus frequência para os amplificadores de diferença na Tabela 5.7 na página 353 (identificada na coluna "Curva").

C. Amplificadores

de diferença de largura de banda são construídos com amplificadores operacionais, frequência compensada para estabilidade com o já conhecido rolloff de ganho de malha aberta 1/ *f* . Como em qualquer circuito de amplificador operacional, o ganho de loop é responsável pelo bom comportamento e a perda de ganho de loop em frequências mais altas não apenas limita a largura de banda de um amplificador de diferença (e sua linearidade, constância de ganho, baixa impedância de saída, etc.), também degrada todos os importantes CMRR. A Figura 5.73 mostra esse comportamento, para os amplificadores de diferença listados na Tabela 5.7 (página 353). Não surpreendentemente, amplificadores com maior largura de banda em malha fechada (portanto com amplificadores operacionais de maior fT) mantêm alta CMRR para frequências mais altas.

Observe que alguns amplificadores funcionam bem perto de CC, mas mal em altas frequências, por exemplo, peças clássicas como INA105, AD829 e LT1991, enquanto outros não tão bem classificados em CC podem parecer melhores em altas frequências, como o AD8271 e o MAX4198. Alguns têm excelente desempenho de CC a altas frequências, de acordo com o gráficos, como o AD827368 e nosso favorito AD8275. O AD8129 de balanceamento de transcondutância funciona muito bem, mas é limitado a pequenas entradas e altos ganhos. Esta informação não é mostrada nas especificações da folha de dados; é necessário procurar gráficos de desempenho para fazer as comparações.

A rejeição de modo comum em frequências mais altas é degradada também pelos efeitos da indutância parasita e pela carga capacitiva assimétrica. É necessário equilibrar as capacitâncias do circuito para obter um bom CMRR em altas frequências. Isso pode exigir a colocação cuidadosa de imagem espelhada dos componentes. Mesmo quando assim simétrico, a diminuição da reatância shunt capacitiva de entrada em frequências mais altas cria uma sensibilidade crescente a qualquer desequilíbrio na impedância da fonte de sinal.69

5.14.4 Variações do circuito

A. Nó de filtro Os

amplificadores de diferença na Tabela 5.7 (página 353) incluem um (o INA146) com um nó trazido para filtragem de ruído (passagem baixa) do estágio de diferença (*G* = 0,1) por um capacitor para o terra (Figura 5.75 B). Inclui um segundo estágio simples, com ganho definido por um par de resistores externos; portanto, você pode ter ganhos gerais de 0,1 a 100. O baixo ganho do primeiro estágio fornece uma grande faixa de modo comum de ±100 V, embora às custas de ruído e deslocamento.

B. Ajuste de

compensação Os amplificadores de diferença integrados são ajustados de fábrica para uma precisão muito boa, com valores típicos na faixa de 25 a ÿ100 (mas com deslocamentos de pior caso em uma ordem de grandeza maior). Como em qualquer circuito de amplificador operacional, você pode montar um trim externo, como na Figura 5.74A. Aqui *R2R3* divide a faixa de ±15 V do trimmer para ±1 mV no pino REF ; R1 equilibra a resistência adicionada de 10 ÿ ao terra, para preservar o CMRR. O ganho do amplificador é ligeiramente reduzido pela relação Rf/(Rf + R2); para um Rf típico de 25k, isso é 0,04%, na mesma faixa da precisão de ganho especificada do amplificador.

Se isso te incomoda, use um R2 menor.

[68] Embora os *gráficos* do datasheet do AD8273 mostrem o melhor CMRR da categoria de 100 dB abaixo de 40 kHz, o CMRR típico *tabulado* é mostrado como apenas 86 dB. Gostamos mais do enredo, mas o designer pode ficar preso à especificação de pior caso de 77 dB. Alguns usuários podem querer realizar inspeções de entrada para resolver o problema.

[69] O pessoal de áudio profissional está ciente desses efeitos e não mede palavras. Conforme declarado enfaticamente por Whitlock e Floru em um artigo da Audio Engineering Society, **"A rejeição de ruído em um sistema balanceado não tem absolutamente NADA a ver com a simetria do sinal** (oscilações de tensão do sinal iguais e opostas). É o equilíbrio das **impedâncias** de modo comum que define um sistema equilibrado!" [ênfase no original].

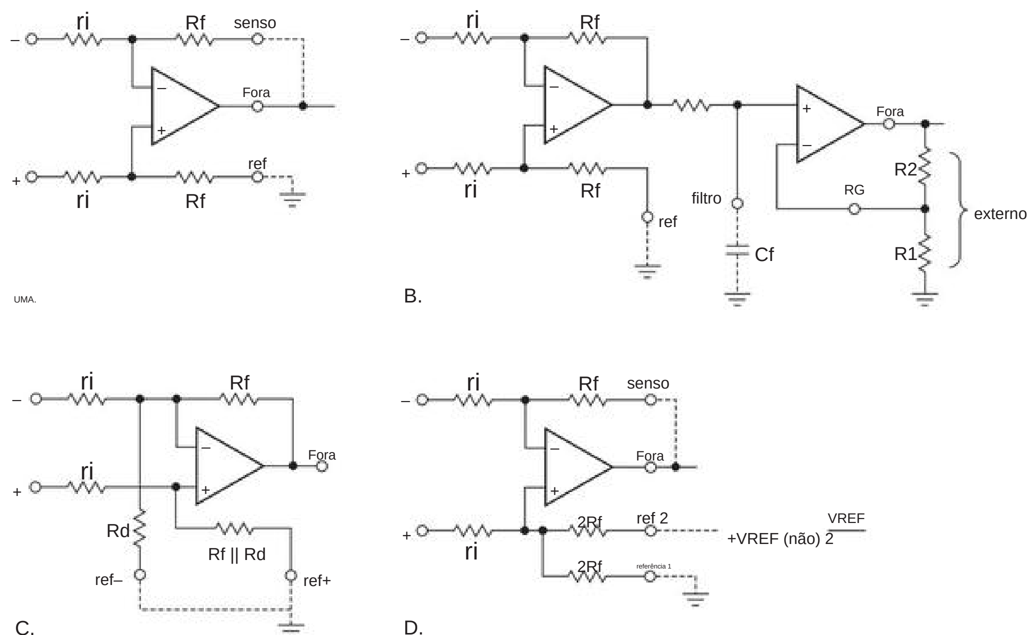


Figura 5.75. Configurações dos circuitos dos amplificadores de diferença na Tabela 5.7 na página 353 (identificada na coluna "Config"). A forma "E" é mostrada na Figura 5.89. A forma "C" é usada para altas tensões (por exemplo, ± 270 V para o AD629B).

C. Ajuste CMRR

Da mesma forma, você pode ajustar o CMRR residual (causado por uma ligeira incompatibilidade das relações de resistor Rf/Ri nos dois caminhos) com o circuito da Figura 5.74B. É importante limitar a faixa de ajuste, para permitir um ajuste preciso e estável para algo consideravelmente melhor do que a especificação CMRR de 80 dB (pior caso) disponível no mercado. Você não pode obter nenhum valor antigo de trimmer e é melhor não usar valores inferiores a 100 ÿ (mesmo que você possa encontrá-los) se você se preocupa com a estabilidade. Aqui, escolhemos valores de resistor padrão e um regulador de 100 ÿ para produzir uma faixa de resistência de 20–30 ÿ do terminal REF ao terra, fornecendo uma variação simétrica de ±5 ÿ em torno de R1. Para os valores do resistor de 25k deste amplificador de diferença de ganho unitário (bastante típico; consulte a Tabela 5.7 na página 353), isso corresponde a uma faixa de compensação adequada para anular um CMRR inicial de 75 dB. Você pode, é claro, adicionar um deslocamento nulo a este circuito, conforme indicado.

D. Offset de alimentação única

Um dos amplificadores de diferença na Tabela 5.7 (página 353) divide o resistor de realimentação de referência em um par paralelo (Figura 5.75D), portanto é fácil compensar a faixa de tensão de saída. Por exemplo, você poderia executar o amplificador em uma única fonte de +5 V, com REF2 acionado por uma referência limpa dessa mesma tensão. Sem sinal de diferença, a saída será de +2,5 V. O amplificador pode acomodar em coloca sinais em uma faixa de ±10 V e seu ganho de 0,2 leva uma entrada diferencial de ±10 V para uma saída de 0–4 V. Você pode, é claro, usar uma tensão de referência mais baixa. Geralmente é conveniente usar Vref = 4,096 V ao acionar um ADC; isso faz com que o tamanho do passo apareça em números arredondados, por exemplo, 1 mV/passo para uma conversão de 12 bits.

5.15 Amplificador de instrumentação

Os amplificadores de diferença da seção anterior são caros e adequados para muitas aplicações; e eles têm o bom recurso de aceitar entradas além dos trilhos. Mas eles têm ganho limitado (ÿ10) e CMRR (85 dB min), seus resistores os tornam um tanto barulhentos (20 nV/ ÿ Hz a 50 nV/ ÿ Hz) e sua resistência de entrada relativamente baixa (ÿ10k a ~100k) limita sua utilidade a situações em que os sinais de condução são de baixa impedância (saídas de amplificador operacional, linhas balanceadas de baixo Z , resistores de detecção de baixo R).

Se você precisa de muito ganho, alta impedância de entrada ou CMRR superior, precisa de algo diferente. É chamado de *amplificador de instrumentação.* Esses dispositivos impressionantes têm impedâncias de entrada acima de 109 ÿ, ganhos de unidade até 1000 ou mais, ruído de baixa tensão (até ÿ1 nV/ ÿ Hz) e CMRRs de pior caso de 100–120 dB (consulte a Tabela 5.8 na página 363).

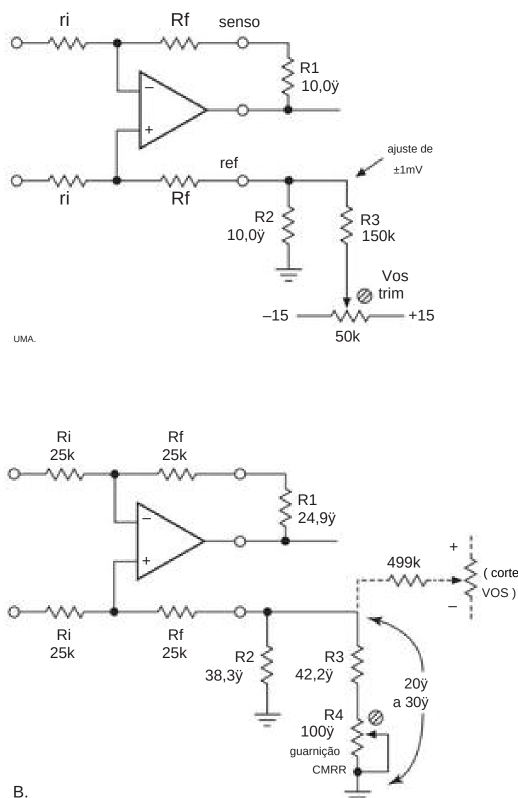


Figura 5.74. Ajustando o offset e o CMRR de um amplificador de diferença.

5.15.1 Um primeiro (mas ingênuo) palpite

Alta impedância de entrada – isso é fácil, basta adicionar amplificadores operacionais ao amplificador de diferença (Figura 5.76); e então os resistores Ri e Rf podem ser menores, reduzindo sua contribuição de ruído John son.

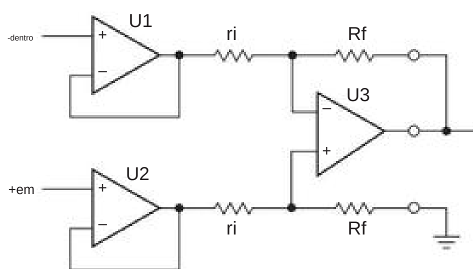


Figura 5.76. Uma primeira tentativa de melhorar o amplificador de diferença.

De fato, este circuito tem a enorme impedância de entrada que esperamos de um seguidor de amplificador operacional, então não há mais problema de qualquer impedância de fonte razoável.70 Mas não melhora o CMRR, que ainda é limitado pela correspondência da relação do resistor de *Rf/ Ri:* é realmente difícil fazer melhor do que 100.000:1 com corte a laser no chip (tanto ajuste inicial quanto estabilidade com tempo e temperatura). Na verdade, este circuito degrada um pouco o CMRR, com mais dois amplificadores no caminho do sinal.

5.15.2 Amplificador de instrumentação clássico de três amplificadores operacionais

O circuito da Figura 5.77 é muito melhor. É o "amplificador de instrumentação de três amplificadores operacionais" padrão, uma das várias configurações que fornecem a combinação desejável de CMRR alto, Rin alto, baixo en e bastante ganho quando você precisar. O estágio de entrada é uma configuração inteligente de dois amplificadores operacionais que fornece alto ganho diferencial e ganho de modo comum unitário sem exigir correspondência próxima do resistor. Sua saída diferencial representa um sinal com redução substancial no sinal de modo comum comparativo (quando configurado para Gdiff 1), e é usado para acionar um circuito amplificador diferencial convencional. O organizado para ganho unitário e é usado para gerar uma saída de terminação única enquanto remove o sinal de modo comum.

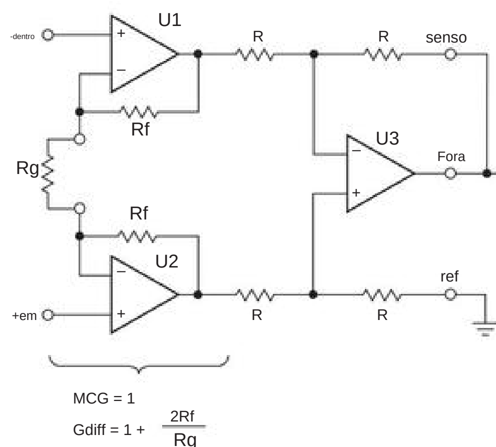


Figura 5.77. O clássico amplificador de instrumentação de três amplificadores operacionais.

Vale a pena olhar mais de perto para este circuito. Sugerimos que ele pode fornecer CMRR muito alto e muito baixo .
Mas isso é verdade *apenas quando configurado para grande diferencial*

têm impedâncias de fonte casadas em relação ao sinal de modo comum, porque a capacitância de entrada do circuito forma um divisor de tensão em combinação com a resistência da fonte. "Altas frequências" pode até significar 60 Hz e seus harmônicos, porque a captação de linha de força CA em modo comum é um incômodo comum.

70 Pelo menos em CC. Em frequências mais altas torna-se novamente importante

ganho. Para ver por que, imagine que o configuramos para Gdiff = 1, omitindo o resistor de ajuste de ganho Rg. Acabamos de obter o circuito anterior (Figura 5.76), ou seja, um amplificador de diferença de ganho unitário com buffer. Ele tem as mesmas limitações de CMRR (definido pela correspondência do resistor) e ruído (dos resistores do U3).

Agora imagine que definimos Gdiff = 100. Faríamos isso escolhendo Rg de modo que 1 + 2Rf/Rg = 100, ou seja, Rg = *2Rf/ (Gÿ1).* Para o INA103, por exemplo, Rf = 3 kÿ, então usaríamos Rg = 60,6 ÿ. O INA103 inclui convenientemente um resistor desse valor,71 então para Gdiff = 100 você só precisa amarrar um par de pinos juntos. Vamos olhar novamente para o CMRR e a cena de ruído.

Primeiro, o CMRR: o front-end tem um ganho diferencial de 100 e um ganho de modo comum de unidade. Em outras palavras, ele passa para o estágio do amplificador de diferença um sinal que recebeu 40 dB de bênçãos CMRR. Mais 80 dB de CMRR no estágio de saída e temos os prometidos 120 dB CMRR. Esses números são típicos dos amplificadores de instrumentação disponíveis, conforme listado na Tabela 5.8 (página 363) e representado graficamente na Figura 5.82. Para o INA103, por exemplo, a folha de dados lista CMRR=86 dB/72 dB (típico/min) para *G* = 1 e 125 dB/100 dB (típico/min) para *G* = 100.

Em segundo lugar, a tensão de ruído: o estágio de saída ainda contribui com o ruído de Johnson de sua matriz de resistores, junto com o ruído inerente de seu amplificador. Isso não pode ser evitado. Mas esse ruído é combinado com o sinal *de entrada já amplificado ,* então o efeito, *relativo ao sinal de entrada* (RTI), é 100 vezes menor. Para o INA103, por exemplo, a folha de dados lista a densidade de ruído (típica, a 1 kHz) como en=65 nV/ ÿ Hz para *G* = 1 e 1,6 nV/ ÿ Hz para *G* = 100,72

5.15.3 Considerações do estágio de entrada

Vários comentários preliminares aqui sobre o importantíssimo estágio de entrada (sobre o qual um conhecido guru de circuitos se referiu a "amplificadores de instrumentação são tudo sobre suas entradas"), com mais informações a seguir em §5.16.

A. Combinação de resistores

O circuito parece bonito com seus Rfs simétricos combinados , mas esse requisito não se intrometeu na discussão acima. Qual é o efeito de resistores de feedback incompatíveis na primeira fase? O ganho de modo comum permanece a unidade (se você amarrar ambas as entradas juntas, ambas as saídas seguem); e a expressão do ganho diferencial é a mesma de antes, mas com *2Rf* não surpreendentemente substituído pela soma Rf1 +Rf2. O que muda, porém, é que uma entrada puramente diferencial causa uma saída diferencial (amplificada por Gdiff, como antes) combinada com alguma saída de modo comum.

Você pode ver como isso acontece imaginando que o resistor de realimentação de U2 é substituído por um curto e o resistor de U1 por 2Rf, e um sinal de entrada DC simétrico ±ÿV é aplicado às entradas: a saída de U2 diminui *ÿV,* enquanto a de U1 sobe (1 +4Rf/Rg)ÿV. Essa é a saída diferencial correta, mas com um deslocamento de modo comum de *(2Rf/ Rg)ÿV.* Isso não é motivo de grande preocupação, desde que os Rfs sejam razoavelmente correspondidos; eles não exigem a correspondência precisa necessária para o estágio de saída.

B. Os amplificadores de entrada É essencial que U1 e U2 tenham excelentes CMRRs para que um sinal de entrada puramente em modo comum não seja convertido em um sinal diferencial (que seria então repassado para a saída). Dito com mais precisão, eles devem ter CMRRs *correspondentes ,* de modo que a tensão em Rg rastreie com precisão a tensão de entrada diferencial. Vendo a operação do circuito de forma mais geral sob esta luz, os amplificadores de entrada não precisam ter tensões de deslocamento individuais extremamente baixas - o que importa é que suas tensões de deslocamento sejam precisamente *combinadas* e permaneçam assim com as mudanças na tensão de modo comum. Isso dá origem a várias variantes de circuito nas quais os "op-amps" U1 e U2 são configurações com quedas base-emissor bem combinadas entre cada entrada e o pino Rg correspondente; veja, por exemplo, a Figura 5.88C abaixo.

C. Sobrecarga do estágio de entrada Os amplificadores do estágio de entrada U1 e U2 sofrerão clipping se suas saídas forem forçadas perto de seus trilhos de alimentação, mesmo que se espere que a saída do circuito completo (a saída de U3) permaneça dentro de limites seguros. Dito de outra forma, VCM ± 0,5Vdiff(1+2Rf/Rg) não deve atingir nenhum dos trilhos de alimentação.

D. Protetores de sinal

Amplificadores de instrumentação são usados com sinais de baixo nível, muitas vezes transmitidos por cabos blindados para minimizar o ruído. Isso adiciona capacitância de entrada, limitando assim a largura de banda (particularmente com sinais de impedância de fonte moderada a alta). De importância talvez maior, ela degrada o CMRR nas frequências do sinal: a capacitância shunt do cabo forma um divisor de tensão com a impedância da fonte do sinal, separadamente para cada entrada; então se você tem um

71 Mais precisamente, inclui um resistor no chip, proporcional a Rf, para produzir um ganho geral garantido de 100,0±0,25%.

72 A folha de dados separa as contribuições de front-end e de segundo estágio, 1 nV/ ÿ Hz e 65 nV/ ÿ Hz, respectivamente. A partir deles, você pode calcular o ruído referido à entrada en(RTI) = 1/2 en(in)2 + [en(out)/ G] a tensão de ruído Johnson en = 0,13Rg nV/ ÿ Hz. 2 *+4kTRg* . O último termo é o quadrado de

par de sinal com impedâncias de fonte desequilibradas (uma situação comum), as variações de sinal de modo comum criarão alguma entrada de sinal diferencial.73 Finalmente, as correntes de fuga tornam-se significativas com sinais de impedância de fonte muito alta (Mÿ a Gÿ). Uma boa técnica para reduzir bastante a capacitância efetiva do cabo e qualquer corrente de fuga é acionar a blindagem ativamente com uma tensão de "guarda" (Figura 5.78).

Se houver uma blindagem comum envolvendo o par de sinais, a ideia é acioná-la com uma réplica em buffer do sinal de modo comum, como no circuito (A); um pequeno resistor em série geralmente é uma boa ideia, para estabilidade. Uma blindagem externa aterrada pode ser usada para eliminar qualquer acoplamento de ruído à proteção, se necessário. Este circuito requer acesso às saídas do primeiro estágio, que você raramente obtém em um amplificador de instrumentação integrado. Alguns amplificadores incluem este circuito internamente e fornecem um pino de saída de "proteção de dados", como em (B). Caso contrário, você mesmo pode derivar um sinal de modo comum, como em (C).

A proteção de modo comum reduz bastante a carga capacitiva do par de sinais e, portanto, melhora o CMRR (minimizando a conversão de sinais de modo comum para sinais de modo normal). Mas não reduz os efeitos da capacitância do cabo (e vazamento) nos próprios sinais *de modo normal* (diferencial). Para isso é necessário blindar os sinais individualmente, conduzindo cada blindagem com uma réplica do sinal que ela blinda, como no circuito (D). Este é o conhecido "bootstrap", agindo aqui para reduzir a capacitância e a corrente de fuga vistas por cada sinal. Assim, ele minimiza o rolloff de alta frequência e o erro CC em sinais de alta impedância de fonte.74 E, assim como na proteção de modo comum, também minimiza a degradação de CMRR eliminando efetivamente as capacitâncias dos cabos.

Alguns amplificadores de instrumentação fornecem essas saídas de proteção individuais, por exemplo, o INA116 mostrado, que é evidentemente destinado a medições de corrente muito baixa (ele possui uma corrente de entrada típica de 3 *femtoamp).* Caso contrário, você pode rolar o seu próprio, como no circuito (E), explorando o fato de que os nós Rg seguem as entradas. Um cuidado, porém: não há garantia de que os sinais nos pinos Rg não sejam deslocados dos sinais de entrada, como por exemplo nas configurações que veremos mais adiante nas Figuras 5.88C e 5.89F. Com tal compensação, o bootstrap seria eficaz em minimizar a capacitância, mas muito menos para correntes de fuga.

[73] Dito de outra forma, a capacitância do cabo degrada o CMRR criando deslocamentos de fase diferenciais entre os dois sinais, devido às suas impedâncias de fonte desbalanceadas.

[74] Instrumentos para medir correntes muito baixas – "eletrômetros" e "unidades de medição de fonte" – incluem saídas de proteção e (geralmente) conectores "triax" tipo BNC especiais para uso com cabos blindados triaxiais.

E. Fonte de alimentação inicializada

A Figura 5.79 mostra um truque que é análogo à proteção de sinal (você poderia chamá-la de "proteção da fonte de alimentação"), ocasionalmente útil se você precisar aprimorar ainda mais o CMRR de um amplificador de instrumentação. U3 armazena em buffer o nível de sinal de modo comum, acionando o terminal comum de uma pequena fonte de divisão flutuante para U1 e U2. Esse esquema de autoinicialização elimina efetivamente o sinal de modo comum de entrada de U1 e U2, porque eles não veem nenhuma oscilação (devido aos sinais de modo comum) em suas entradas em relação às suas fontes de alimentação. U3 e U4 não precisam ser inicializados se esta for uma implementação discreta. Este esquema pode fazer maravilhas para o CMRR, pelo menos em DC. Em frequências crescentes, você tem os problemas usuais de apresentar impedâncias casadas com as capacitâncias de entrada.

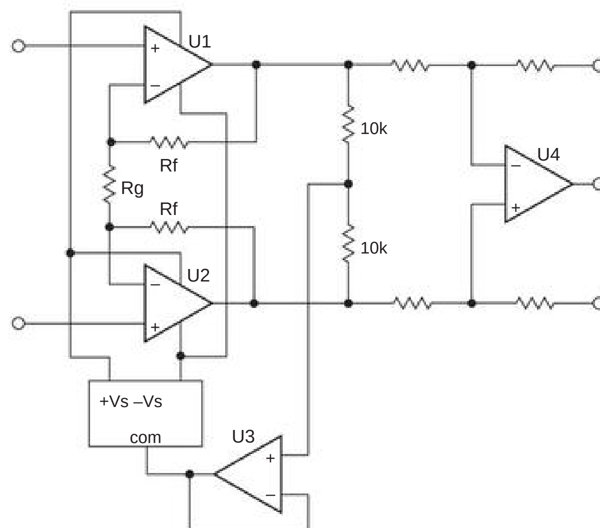


Figura 5.79. Amplificador de instrumentação com fonte de alimentação de entrada bootstrap para alto CMRR.

5.15.4 Um amplificador de instrumentação "roll-your-own"

Amplificadores de instrumentação integrados são excelentes em termos de desempenho e geralmente você pode economizar muito trabalho (e despesas e espaço de PCB) aproveitando a ampla seleção de peças disponíveis, para as quais a Tabela 5.8 (página 363) é um bom ponto de partida ponto. Mas, às vezes, você precisa de capacidade adicional, por exemplo, uma gama mais ampla de ganhos, ou ajuste preciso de compensações e CMRR, ou proteção contra abuso ultrajante nos terminais de entrada.

A Figura 5.80 é um exemplo (outro na série de Designs by the Masters), baseado em um

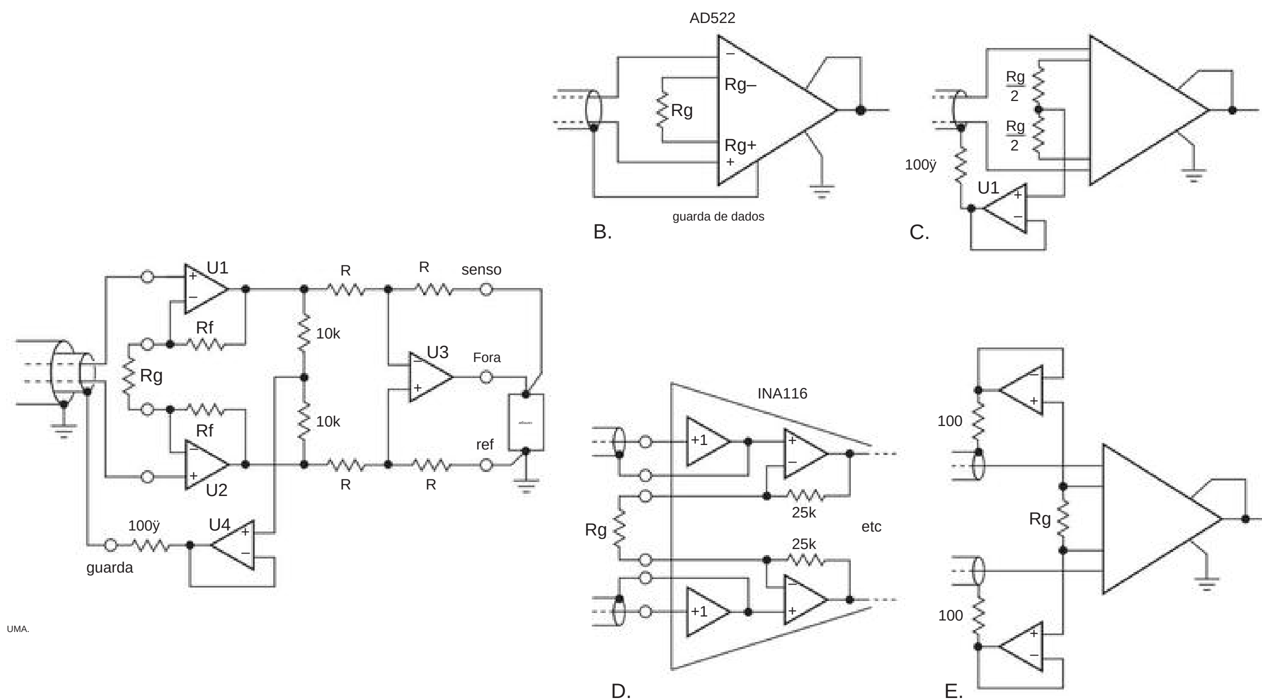


Figura 5.78. Proteção de sinal para capacitância de cabo bastante reduzida. (A)–(C) são guardas de modo comum; (D) e (E) são protetores de sinal individuais.

design75 do talentoso John Larkin, ao qual já adicionado algumas decorações. Ele precisava de um front-end flexível que combinasse (a) proteção contra sobretensão de ±250 V, (b) ganhos comutáveis por lógica de 1/16 a 256 por fatores de quatro, (c) deslocamentos baixos de precisão, (d) entrada de modo comum faixa de ±10 V para *G* ÿ 1 e ±140 V para *G* < 1, e (e) rejeição de modo comum de 120 dB em alto ganho.

A estrutura geral é a configuração familiar de três amplificadores operacionais, com U1 e seu gêmeo simétrico (não mostrado) como a extremidade frontal diferencial, que aciona o estágio de saída do amplificador de diferença de ganho unitário U3. O ganho é definido pelos interruptores analógicos U2 e seus gêmeos, que selecionam um toque na cadeia de resistores *R6–R10.* Por exemplo, quando a posição "×64" é selecionada, Rg = 201,1ÿ e Rf = 6,411 kÿ, portanto, um ganho Gdiff = 1+2Rf/Rg = 64,8,76

Há muito mais acontecendo, aqui. Vamos levá-lo de da esquerda para direita. O indutor de chip com perdas L1 (geralmente classificado por sua impedância, principalmente resistiva, a 100 MHz) combinado com o capacitor C1 suprime a interferência de alta frequência que está fora da largura de banda do amplificador, mas capaz de causar danos não lineares nos estágios de entrada do amplificador operacional. O valor de C1 não é crítico, mas sua tolerância rígida mantém a impedância de entrada balanceada para não comprometer o CMRR de alta frequência. Os relés K1 e K2 são usados para compensações frequentes no sistema e calibrações de ganho, essenciais para estabelecer e manter precisões de ganho melhores que 0,1% (com um circuito usando valores de resistor de 1%) umÿ atenuação de ganho de ×1/16 ou melhor.77 Chave de relé K3 para sinais de entrada além de ±10 V. A impedância de entrada é então definida por *R1+R2,* com ajuste de equilíbrio R3 para um bom CMRR.

O valor de R1 é um compromisso entre Rin alto e largura de banda: aqui os 33,2 k, carregados por uma capacitância downstream de aproximadamente 10 pF, coloca a redução de 3 dB em 500 kHz, quase certo para a largura de banda especificada de 200 kHz do produto. Mas uma impedância de entrada mais alta seria boa, talvez um bom número redondo de 1 Mÿ (de preferência com R1 como um par em série

75 Digitalizador multifaixa V490 VME da Highland Technology.

76 Os resistores de ajuste de ganho são escolhidos a partir dos valores de resistor padrão "E96" de 1%, então os ganhos reais diferem dos valores de números redondos (com tolerância de ±1%, eles nunca seriam perfeitos, de qualquer maneira). Este front-end faria parte de um sistema de aquisição de dados, com dados de ganho global e offset armazenados em software, a partir de um procedimento de calibração realizado pelos relés K1 e K2.

77 Larkin elogia os relés Fujitsu FTR-B3GA4.5Z DPDT, com suas capacitâncias sub-picofarad.

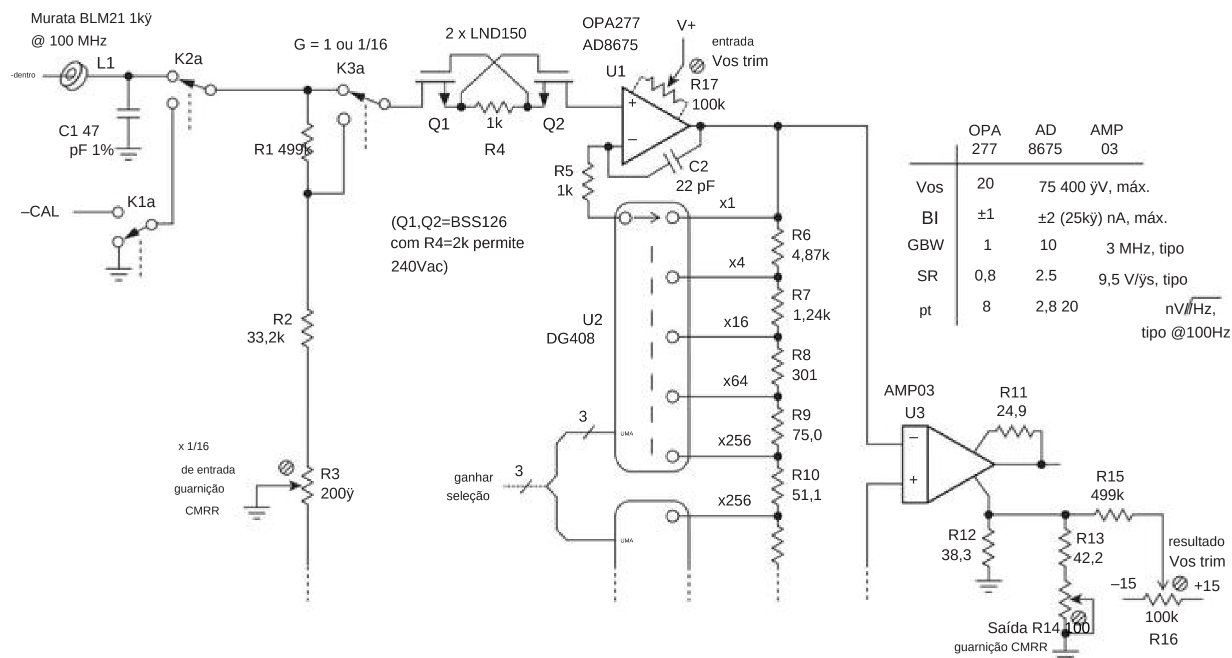


Figura 5.80. Um projeto de amplificador de instrumentação "discreto" que combina precisão, alta CMRR, ampla faixa de tensão de modo comum, seleção de ganho digital e proteção contra entradas de ±250 V. O caminho simétrico para a entrada não inversora de U3 é omitido para economizar papel.

de 464k, para acomodar sobretensões de entrada sem danos).

Os curiosos gêmeos *Q1Q2* são um belo toque: são MOSFETs de alta tensão *em modo de depleção* (consulte a Tabela 3.6) da Supertex ou Infineon,78 usados aqui como um limitador de corrente bidi recional de ÿ0,5 mA para proteger os amplificadores operacionais (cujos amplificadores internos os diodos de fixação não se incomodam com alguns miliampères de corrente de entrada; o AD8675, por exemplo, especifica um Iin máximo de ± 5 mA).79 Aqui R4 serve para reduzir a corrente de saturação de seu IDSS máximo de 3 mA (portanto, 750 dissipação de mW na entrada de 250 V, muito para um pequeno transistor SOT23), a compensação sendo um adicional de 1 kÿ de resistência de entrada de adição de ruído em série com a inevitável resistência de ~1,7k do par em série de MOS FETs com polarização zero . Este circuito fornece um nível razoável de proteção contra overdrive; mas um passo de entrada abrupto para +500 V, digamos, poderia muito bem acoplar um transiente de corrente grande o suficiente (através da capacitância de Q1 e Q2) para danificar o amplificador ou produzir quebra de porta nos próprios MOSFETs.

Os amplificadores operacionais são do tipo bipolar de precisão com cancelamento de corrente de entrada; observe a compensação, para as duas opções, de precisão versus velocidade e corrente de polarização. Estes são cortados a laser para baixa tensão de deslocamento e provavelmente são bons o suficiente sem intervenção humana; mas eles incluem terminais de ajuste de compensação aos quais você pode conectar um potenciômetro de compensação, conforme mostrado. Isso soa como uma boa ideia – mas tenha cuidado, porque o intervalo de corte externo que você obtém ao fazer isso geralmente é demais! Para o AD8675, ajuste ±3500 ÿV (quase 50 vezes o deslocamento máximo não compensado). Portanto, pode ser um ajuste delicado (e instável) para melhorar o VOS já aparado.

O multiplexador analógico seleciona um toque na string de realimentação de ganho, o que torna o ganho insensível à resistência dos interruptores (aqui ÿ100 ÿ). Essa é a maneira certa de fazer isso; o caminho *errado* seria usar um resistor de realimentação separado para cada posição do interruptor, com R10 conectado entre os terminais comuns dos multiplexadores.

O pequeno capacitor de realimentação C2 garante a estabilidade, dado o deslocamento de fase atrasado dentro do loop contribuído pelos ~40 pF da capacitância do interruptor para o terra.

Finalmente, chegamos ao nosso destino pela diferença

78 Eles são classificados em 500 V e vêm em três estilos de encapsulamento pequeno (TO-92, SOT23 e SOT89 com aba). A alternativa BSS126 da Infineon é classificada em 600 V e custa menos (US$ 0,15 em pequenas quantidades). Ele vem apenas no pacote SOT-23, enquanto o LND150 está disponível em três estilos de pacote, incluindo um pequeno pacote de potência TO-243 de 1,5 W.

79 Certifique-se de verificar se o amplificador operacional não sofre de inversão de fase (consulte, por exemplo, §4.6.6), se você se preocupa com a saída durante o overdrive de entrada. Uma cura robusta é usar um par de diodos de fixação de entrada, como na Figura 5.81.

amplificador U3, escolhido por sua combinação de estabilidade de ganho (impressionante ±0,0008% acima da temperatura, típico), ajuste rápido para conexão (1 típico). 0,01%, típico) e baixo ruído (20 nV/√Hz), tempo de é fácil adicionar CMRR e ajuste de deslocamento conforme mostrado (consulte a discussão anterior em §5.14.4), o que é mais importante em configurações de baixo ganho.

5.15.5 Um riff em proteção de entrada robusta

Como comentamos acima, um transiente realmente desagradável pode arruinar todo o seu dia. Considere, por exemplo, uma etapa de tensão de entrada de tempo de subida de 1 ns e amplitude de 350 V (a entrada acidentalmente toca uma linha de força de 240 Vac): a taxa de variação de 350 GV/s forçaria 350 mA a 1 pF! Isso é uma má notícia para o amplificador operacional U1, bem como para o isolamento do portão de Q1 e Q2. Como a proteção de entrada na Figura 5.80 pode ser melhorada para garantir uma proteção robusta contra tais insultos flagrantes? A bobina de entrada L1 ajuda, fornecendo uma impedância em série que aumenta em altas frequências. Mas podemos fazer melhor – veja a Figura 5.81.

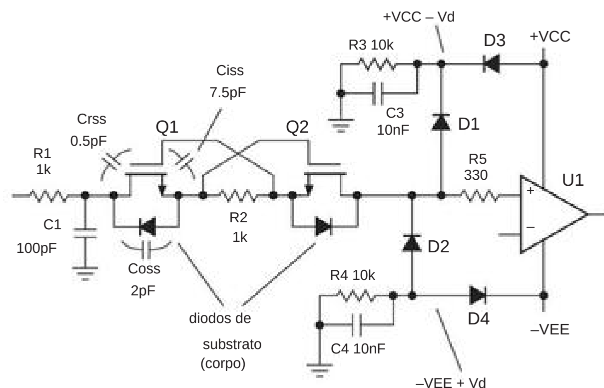


Figura 5.81. À prova de balas o frontend do amplificador com controle de taxa de variação, fixação de diodo e limitação de corrente de entrada.

O primeiro passo é limitar a taxa de variação de entrada, com *R1C1:* um passo de 500 V causa uma variação máxima de dV/dt = 5 V/ns taxa em C1, largura[80] sem degradação significativa da banda ou ruído. Olhando de forma mais simples, essa taxa de variação máxima pode produzir uma corrente transitória através da capacitância da fonte de drenagem (COSS) de no máximo *I = COSSdV/ dt* = 10 mA, portanto, uma queda em R2 de no máximo 10 V. Isso está bem abaixo a classificação de porta-fonte de ±20 V; e é uma estimativa conservadora, porque a tensão porta-fonte real é reduzido ainda mais pela relativamente maior capacitância gate-source (CISS).

Portanto, Q1 e Q2 são seguros. O mesmo acontece com o amplificador, porque a corrente transitória de 10 mA do pior caso é fixada pelos diodos D1 e D2 para permanecer estritamente dentro dos trilhos do amplificador: esses diodos se prendem a tensões contornadas que são uma queda de diodo no lado dos trilhos, definidas pelos diodos D3 e D4. Observe a polarização direta de ÿ1,5 mA dc deste último (estamos assumindo trilhos de ±15 V), mantendo sua queda de diodo mesmo com um overdrive contínuo de entrada dc (com corrente correspondente limitada a menos de 1 mA, devido a Q1Q2).

Finalmente, o pequeno resistor de entrada R5 é adicionado para segurança extra, para limitar qualquer corrente de entrada para o amplificador operacional se a tensão fixada exceder os trilhos. Isso é mais importante com o arranjo usual de diodos de fixação externos (ou seja, nos próprios trilhos), o que permite que as entradas do amplificador operacional tenham uma queda de diodo *além* dos trilhos. Sem o resistor em série adicionado, há uma disputa de divisor de corrente entre os diodos externo e interno.

Este circuito parece muito bom, para nós. Antes de enviá-los aos clientes, no entanto, seria aconselhável colocá-lo no banco e espancá-lo brutalmente. Os circuitos podem surpreendê-lo.

5.16 Miscelânea de amplificadores de instrumentação

Há muito o que amar nesses amplificadores, cuja boa variedade é evidente na coleção da Tabela 5.8 (com tipos adicionais de “ganho programável” na Tabela 5.9 nas páginas 370–371). Quando você precisa de algum desempenho real, essas tabelas merecem um estudo sério! Aqui coletamos alguns conselhos importantes sobre seus cuidados e alimentação; consulte frequentemente a Tabela 5.8 para enriquecimento ao ler as seções a seguir.81

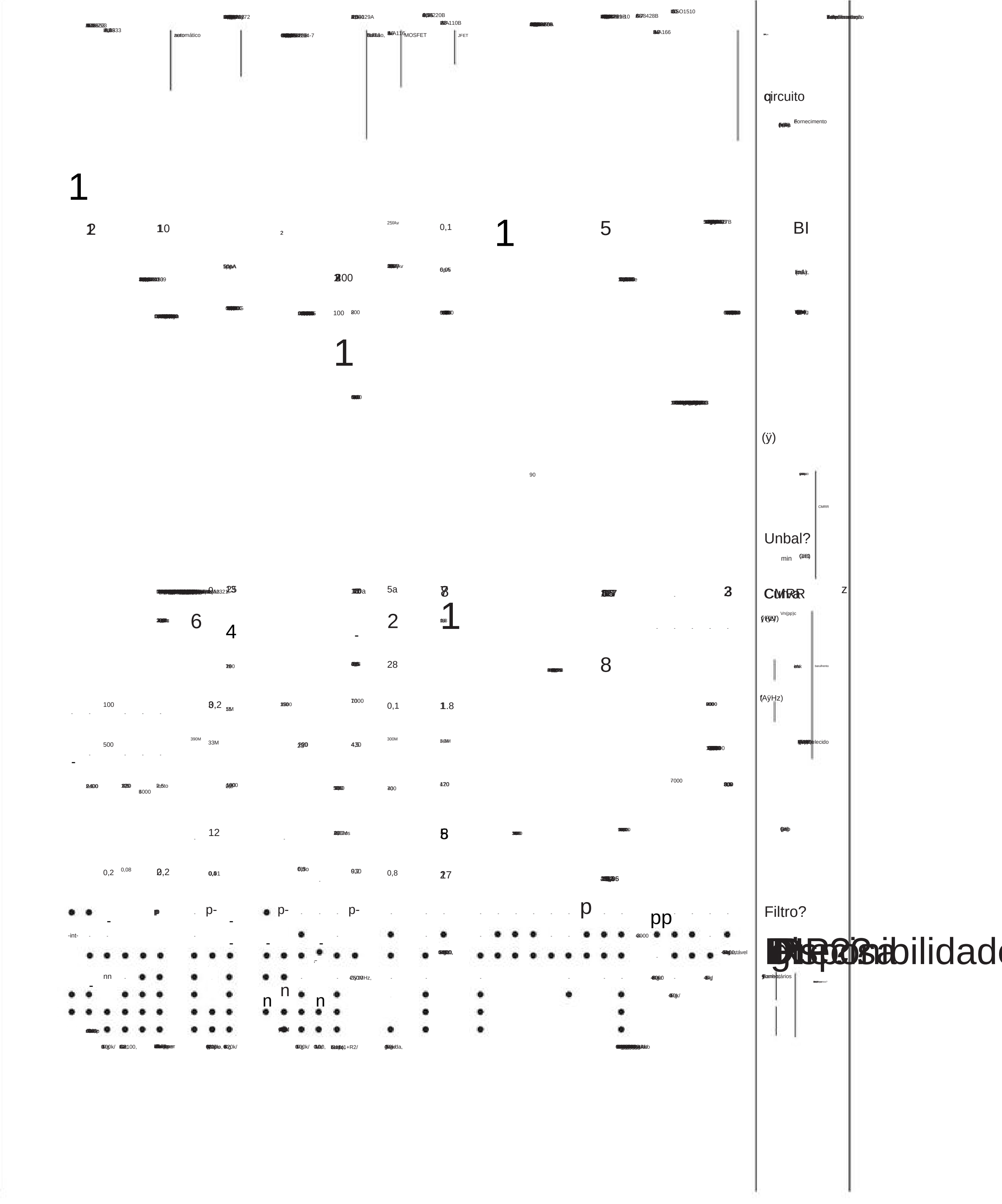
5.16.1 Corrente de entrada e ruído

Amplificadores de instrumentação (INAs) devem condicionar o sinal de entrada sem perturbá-lo; portanto, alta impedância de entrada Zin, baixa corrente de entrada Iin e um baixo nível de ruído de corrente . Há a compensação usual – o menor deslocamento de tensão e ruído de tensão dos BJTs versus a menor corrente de entrada e ruído de corrente dos FETs. Alguns INAs de entrada bipolar (por exemplo, o LT1167/8) usam o truque de cancelamento de corrente de polarização para obter correntes de entrada de sub-nanoamp. Por outro lado, os INAs auto-zero se saem melhor em termos de tensão de deslocamento, mas pagam um preço em ruído atual e artefatos de corte.

Para alguns amplificadores, o ruído da corrente de entrada está próximo de

[80] E um surto momentâneo de 500 V, 250 W em R1, que deve ser um tipo de composição em massa, ou vários resistores SMT em série, para lidar com a tensão e o transiente de energia; consulte o Capítulo *1x.*

[81] Ver também material relacionado na segunda edição, pp. 422-428.


circuito
Fornecimento
BI
Unbal?
CMRR
Filtro?
JFET
MOSFET
automático

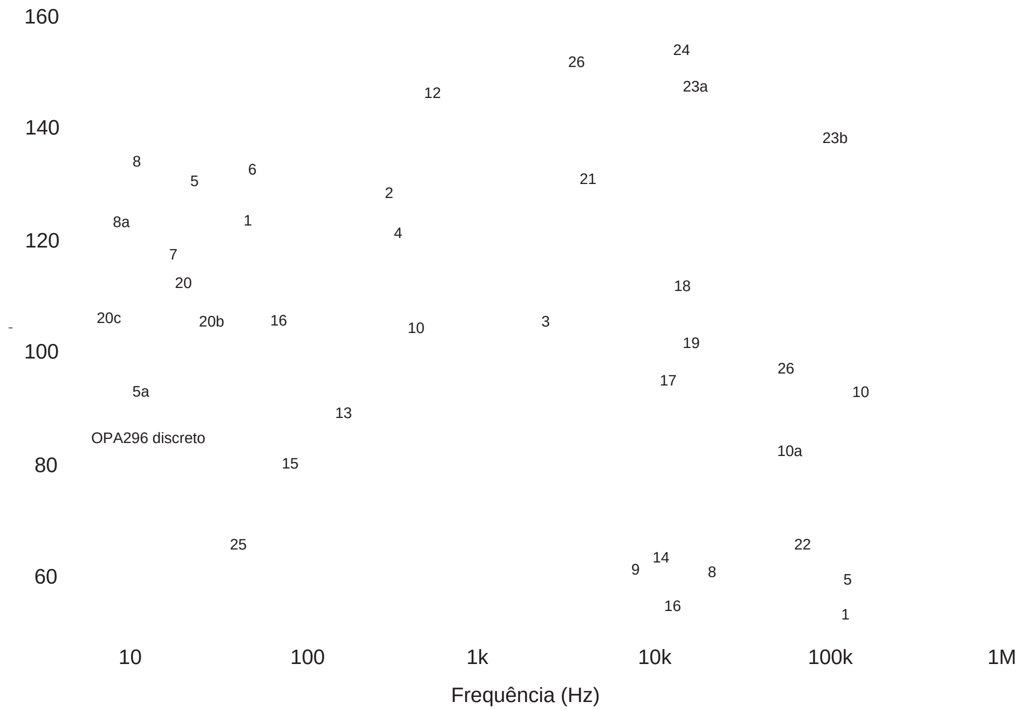


Figura 5.82. Taxa de rejeição de modo comum versus frequência, para os amplificadores de instrumentação listados nas Tabelas 5.8 e 5.9. A curva "OP296 discreta" são dados medidos de uma implementação discreta de dois amplificadores operacionais (Figura 5.88, circuito B) mostrado no datasheet do amplificador de instrumentação AD627 (curva 16) como prova da superioridade dos amplificadores integrados. As curvas 23a e 23b mostram o efeito das escolhas de filtro (1 kHz e 10 kHz, respectivamente) para o mesmo amplificador (o AD8553). As extensões da linha tracejada indicam uma região bem além da frequência de corte do amplificador.

o limite de ruído de tiro (como em §5.10.8), mas isso é muito excedido para amplificadores auto-zero e amplificadores de entrada BJT que usam cancelamento de corrente de polarização.

5.16.2 Rejeição de modo comum

Amplificadores de instrumentação geralmente precisam lidar com sinais de pequenas diferenças operando em tensões de modo comum muito maiores, exigindo um alto CMRR.

Para ter uma noção do problema, considere um INA usado com uma ponte de strain gauge alimentada por 5 V: a entrada de sinal de modo comum do INA é de 2,5 V, com uma saída típica de fundo de escala de 10 mV (ou seja, 2 mV/V). Assim, um sinal que é 0,1% da escala total é apenas 10 V. Isso é -108 dB em relação ao modo comum de 2,5 V. Apenas seis dos INAs na Tabela 5.8 atendem a essa especificação para seu CMRR mínimo (embora todos, exceto cinco, o atendam para seu CMRR *típico)*. Um amplificador que não atende à especificação CMRR simplesmente exibirá um erro de saída maior que 0,1% da escala completa, totalmente reduzido a CMRR insuficiente. No entanto, mantenha isso em perspectiva: a maioria dos INAs na tabela tem mais de

10 V de tensão de compensação de entrada, de qualquer maneira. Portanto, podemos dizer que, para muitas aplicações, os INAs listados funcionam razoavelmente bem (e alguns excepcionalmente bem), pelo menos em CC.

A. CMRR versus frequência Um teste muito mais severo do CMRR de um INA é sua capacidade de rejeitar sinais de modo comum em altas frequências. Os gráficos da Figura 5.82 mostram essa degradação, começando em algum lugar na faixa de 100 Hz a 5 kHz. Em contraste com a aplicação de strain gauge (dc), imagine medir a tensão através de resistores de detecção de corrente de baixo valor monitorando os enrolamentos de um motor trifásico. Se a frequência de acionamento CA for baixa o suficiente (digamos, 50 a 60 Hz), o INA pode estar à altura da tarefa. Mas se os enrolamentos do motor forem acionados por um controlador modulado por largura de pulso (PWM), com pulsos de, digamos, 40 kHz, a degradação CMRR de alta frequência pode tornar um INA inutilizável para a tarefa. Portanto, as curvas da Figura 5.82 podem ser úteis não apenas para escolher o melhor INA para o trabalho, mas também para determinar se um INA pode ser usado.

Algumas das curvas de CMRR versus frequência estabilizam depois de cair nos habituais 6 dB/oitava. Isso acontece porque

o INA inclui provisão para filtragem de largura de banda em um nó interno (com um capacitor externo) que atenua a passagem de modo comum pelos mesmos 6 dB/oitava, cancelando assim a degradação CMRR do estágio de entrada. Por exemplo, vemos isso para o AD8293 e AD8553 (curvas 24 e 23a) com filtragem de 1 kHz, e para o último e o INA337 (curvas 23b e 10) com filtragem de 10 kHz. Isso também é visto para algumas peças de micropotência, com sua largura de banda muito limitada, por exemplo, o MAX4194 (curva 10a), que funciona a 90 A e tem uma largura de banda de 1,5 kHz. É aí que sua resposta principal G=100. Vantagem adicional de um pós-filtro em aplicações onde uma resposta rápida não é necessária, por exemplo, o monitor de corrente do motor trifásico.

B. Estudo de caso: aumentando CMRR com upstream ganho

Aqui está um bom exemplo de nosso laboratório de pesquisa, onde precisávamos controlar a corrente através de uma bobina magnética com alto grau de estabilidade, para produzir um “condensado de Bose-Einstein” de átomos frios e (em um primeiro experimento desse tipo) diminuem a velocidade da luz para a de uma bicicleta.82 As correntes variaram até 875 A (!), e queríamos algo próximo a ~10 ppm de estabilidade na corrente controlada, que foi detectada com um sensor de 4- derivação de corrente de fio de

100 ÿ resistência (portanto, 87,5 mV sinal de escala total 83). Com volt ou mais de sinal de modo comum, sobre o qual o sinal de diferença (máximo de 87,5 mV, mas frequentemente muito menos) estava funcionando. Para controlar essa corrente para 10 ppm, foram necessários cerca de 140 dB de CMRR e, é claro, desvio de ajuste de entrada muito baixo. Também exigia uma tensão de ruído de entrada baixa, idealmente inferior a 0,1 Vpp de ruído de baixa frequência integrado para atingir 10 ppm.

A combinação de CMRR muito alto e ruído e deslocamento muito baixos é uma tarefa difícil para qualquer amplificador de instrumentação. A solução aqui é colocar algum ganho de baixo ruído e baixo desvio a montante do INA, conforme mostrado na Figura 5.83. Um amplificador operacional de precisão de baixo ruído como o LT1028A (derivação típica e ruído de baixa frequência de 0,1 V/ÿC e 35 nVpp) é conectado como um amplificador composto *G* = +51 *(§4x.5),* dentro do qual op convencional -amp A2 é configurado com *G* = 5. O capacitor de compensação CC limita a largura de banda (e, portanto, o ruído) a cerca de 10 kHz. O amplificador operacional de precisão é executado em tensão mais baixa para reduzir os efeitos térmicos (desvio de tensão de compensação, erros de gradiente térmico), com seus trilhos de ± 8 V regulados para baixo (com reguladores lineares flutuantes de 3 terminais) a partir do ± 15 V com referência de terra que alimenta A2 e A3 .

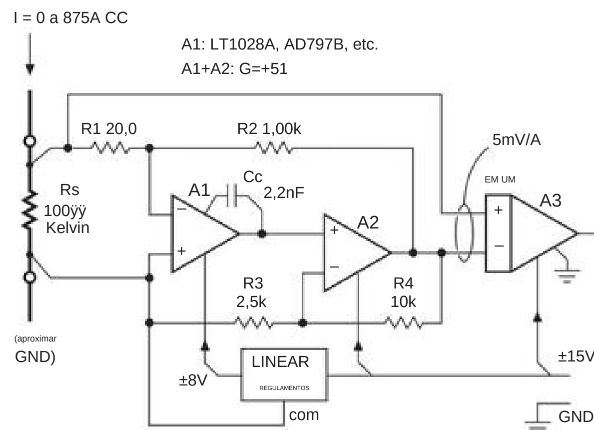


Figura 5.83. Detecção de corrente com baixo desvio e baixo ruído. Os amplificadores operacionais A1 e A2 formam um amplificador composto, com um primeiro estágio de precisão e baixo ruído e um segundo estágio não crítico. O sinal de saída fornece feedback para a fonte de alimentação de alta corrente.

5.16.3 Impedância da fonte e CMRR

Amplificadores de instrumentação se destacam em alta impedância de entrada, mas isso não confere imunidade automática dos efeitos de impedâncias de fonte de sinal incompatíveis (que degradam tão severamente o CMRR em amplificadores de *diferença* , com sua impedância de entrada relativamente baixa; consulte §5.14.3A). A maioria das planilhas de dados tem vergonha de exibir sua roupa suja a esse respeito, portanto, devemos aplaudir a franqueza da Analog Devices, conforme mostrado na Figura 5.84. Observe o maior efeito em configurações de ganho mais altas (onde há mais a perder, porque o CMRR é muito bom) e em frequências mais altas (onde a impedância de entrada do amplificador está caindo, devido à capacitância).

5.16.4 EMI e proteção de entrada

Quer você “role o seu próprio” ou use um amplificador de instrumentação integrado, você deve pensar na proteção contra sobrecargas e interferência eletromagnética (EMI). Um exemplo da vida real: um colega usa termopares de monitoramento de temperatura em seu laboratório, conectados com os habituais pares de fios não blindados a um front-end INA funcionando em alto ganho. Tudo estava bem até que uma fonte de alimentação de comutação específica foi energizada, momento em que a coisa deu errado.

O problema, é claro, era EMI de modo comum, acoplado ao longo cabo não blindado. E a solução, em

[82] L. Vestergaard Hau, SE Harris, Z. Dutton e CH Behroozi, “Redução da velocidade da luz para 17 metros por segundo em um gás atômico ultrafrio,” *Nature* **397** 594–598 (1999).

[83] Uma tensão pequena, mas já com uma dissipação de potência desconfortavelmente grande (ÿ75 W), exigindo um banho de óleo com temperatura estabilizada.

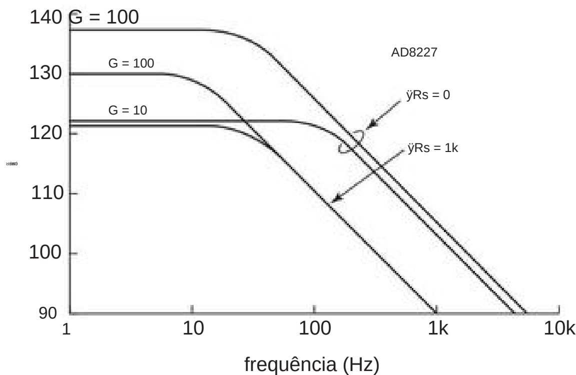


Figura 5.84. O amplificador de instrumentação CMRR, melhor em configurações de alto ganho, é degradado pela incompatibilidade de impedância da fonte.

uma situação como essa em que você não precisa de largura de banda é filtrar a entrada agressivamente, como na Figura 5.85. Os grampos de diodo são opcionais, mas provavelmente uma boa ideia se você quiser que o amplificador sobreviva a um evento de entrada incomum. Em situações em que você *precisa* de larguras de banda que incluem sinais de interferência, é improvável que você consiga usar um cabo não blindado; use fiação blindada e preste atenção aos caminhos de aterramento.

É difícil exagerar a gravidade da EMI/RFI: RF

os sinais vazando em suas entradas causam retificação dentro dos amplificadores operacionais BJT e, portanto, compensações dc. Cabos ou traços de PCB podem exibir ressonâncias de banda estreita (alto Q) , aumentando esses efeitos. Se você notar mudanças na tensão de deslocamento ao segurar um cabo, ou tocar um nó de circuito com um lápis, ou apenas acenar com as mãos, provavelmente está vendo um acoplamento de RF (a outra possibilidade é uma oscilação do circuito). Contas de ferrite com perdas são excelentes para atenuar RF, bem como para reduzir o *Q* de ressonâncias de fiação indesejadas; mas eles não são uma panacéia e, muitas vezes, você precisa recorrer a filtros adicionais.

5.16.5 Ajuste de deslocamento e CMRR

Amplificadores de instrumentação que fornecem os pinos SENSE e REF (por exemplo, o INA103) podem ser ajustados externamente, se necessário, tanto para tensão de deslocamento quanto para CMRR, conforme mostrado anteriormente para o amplificador de diferença (Figura 5.74). Mais de dez você recebe apenas o pino REF , no entanto. Isso é suficiente para ajustar a tensão de deslocamento, mas observe que qualquer deslocamento aplicado ao pino REF deve ter uma impedância de fonte não superior a ~10ÿ6Rf (ou seja, alguns miliohms) para não comprometer os 100 dB+ CMRR do amplificador. Isso é feito melhor com um amplificador operacional de precisão, como na Figura 5.86.

Alguns INAs incluem terminais de compensação de compensação de estágio de saída, para serem usados com um trimpot externo. Alguns estes (por exemplo, o INA110 e outros) ainda fornecem pares de trim separados para os estágios front-end e de saída.

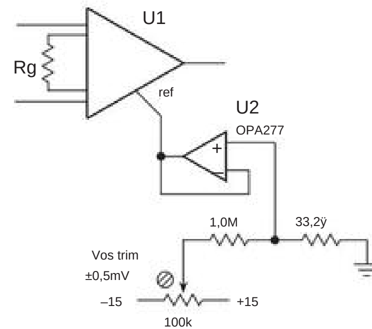


Figura 5.86. Aparar o deslocamento de um INA que não fornece um pino SENSE , pinos de deslocamento ou um pino REF armazenado em buffer.

5.16.6 Detecção na carga

Assim como no amplificador de diferença, os pinos REF e SENSE podem ser conectados diretamente na carga, como na Figura 5.78(a), para eliminar erros de resistência da fiação e correntes de aterramento não relacionadas.

5.16.7 Caminho de polarização de entrada

Amplificadores de instrumentação ganham o direito de se gabar de sua impedância de entrada muito alta, mas, assim como com amplificadores operacionais, você precisa fornecer um caminho de retorno CC. Caso contrário, o amplificador ficará saturado. Isso ocorre naturalmente em circuitos como o extensômetro da Figura 5.64A, mas não em algo como um termopar (Figura 5.85). Para o último, você pode usar um resistor de uma das entradas para o terra (ou para a fonte intermediária, para um amplificador de fonte única) ou pode usar um resistor de polarização de cada entrada para o terra para preservar a simetria.

5.16.8 Faixa de tensão de saída

Se um INA for operado com baixo ganho e com sua entrada de modo comum perto dos trilhos (mas legalmente dentro da faixa operacional especificada), o amplificador interno pode saturar, fazendo com que a saída do INA vá para uma voltagem incorreta. Por exemplo, observe o gráfico "Tensão máxima de saída vs. Entrada em modo comum" na folha de dados do AD623 (esse amplificador é como o tipo A na Figura 5.88, exceto com seguidores de emissor de entrada pnp). Se a entrada do modo comum estiver em 0 V com G=10 (o que é legítimo), a capacidade máxima de saída é de apenas 1,0 V! *Você foi avisado!*

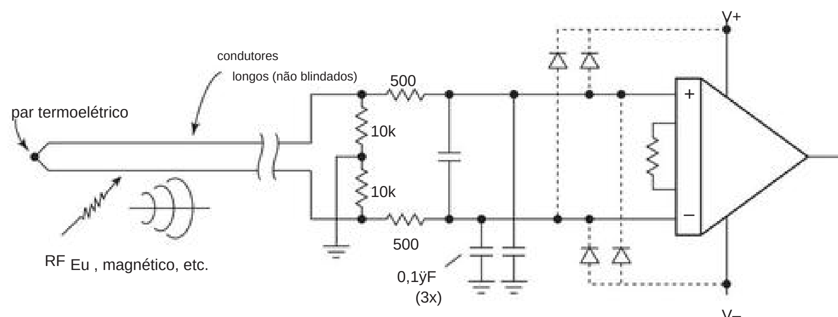


Figura 5.85. A interferência eletromagnética se acopla perfeitamente em longos cabos não blindados, que você pode imaginar como antenas. Use filtragem passa-baixa em entradas de alto ganho, com fixação de diodo opcional nos trilhos. Observe o par de resistores de 10 kÿ, para definir o nível CC da entrada diferencial flutuante.

5.16.9 Exemplo de aplicação: fonte de corrente

O excelente CMRR dos amplificadores de instrumentação, combinado com uma capacitância de entrada muito baixa (normalmente ~2 pF), permite projetar uma fonte de corrente ativa na qual o resistor de detecção de corrente fica no lado alto da saída, com um INA "voador" convertendo sua queda de tensão em uma saída com referência de terra. Esse circuito é mostrado na Figura 5.87A, explorando o >80 dB CMRR do AD8221B para 50 kHz, onde a rede de compensação estabilizadora *R1CC é* desativada. O MOSFET, configurado como um estágio de transcondutância de fonte comum, possui impedância de saída inerentemente alta, o que torna possível manter um bom comportamento da fonte de corrente em frequências mais altas. Isso melhora em um circuito de fonte de corrente como o da Figura 5.69 (§5.14.2D), no qual o desempenho diminui com a frequência devido à compensação do amplificador operacional e taxa de variação limitada. Neste circuito, o resistor de degeneração da fonte R3 atua para reduzir a transcondutância do MOSFET, para aumentar a estabilidade (alguns testes de breadboard, com impedâncias de carga antecipadas, não seriam desaconselháveis). Consulte a Tabela 3.4 para MOSFETs de canal p selecionados.

Para este circuito, a saída do amplificador operacional deve ser capaz de oscilar para o trilho positivo (o LT1490 é RRIO), e o AD8221B precisa de alguns volts de tensão de alimentação negativa (-3 V é adequado) porque sua tensão de entrada em modo comum não se estende ao trilho negativo.84

A baixa tensão de deslocamento do AD8221B (25 V máx.) fornece uma ampla faixa dinâmica, correspondendo a um erro de saída de apenas 0,25 mA fora da faixa de escala total de 5 A (20.000:1).

Para correntes de saída mais baixas, você pode substituir por um transistor bipolar menor, como na Figura 5.87B; sua capacitância mais baixa permite maior largura de banda do loop (configuramos aqui como um seguidor). A entrada baixa do AD8221B

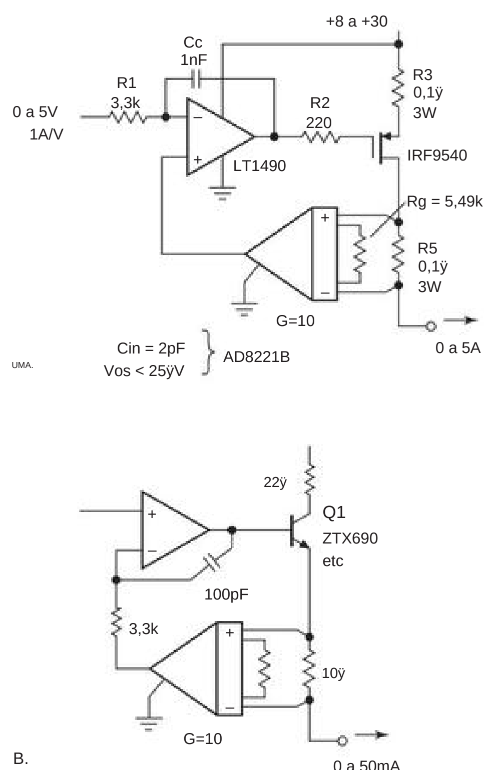


Figura 5.87. Fonte de corrente de precisão com amplificador de instrumentação voadora. A. MOSFET de potência para corrente de escala total de 5 A, B. um pequeno ganho alto (ÿ500 sobre 0,1–50 mA) BJT fornece maior largura de

84 A variante AD8227 permite VCM para o trilho negativo, para que você possa executá-lo com alimentação única; mas você paga um preço em VOS e IB maiores, e seu CMRR degrada em uma frequência menor.

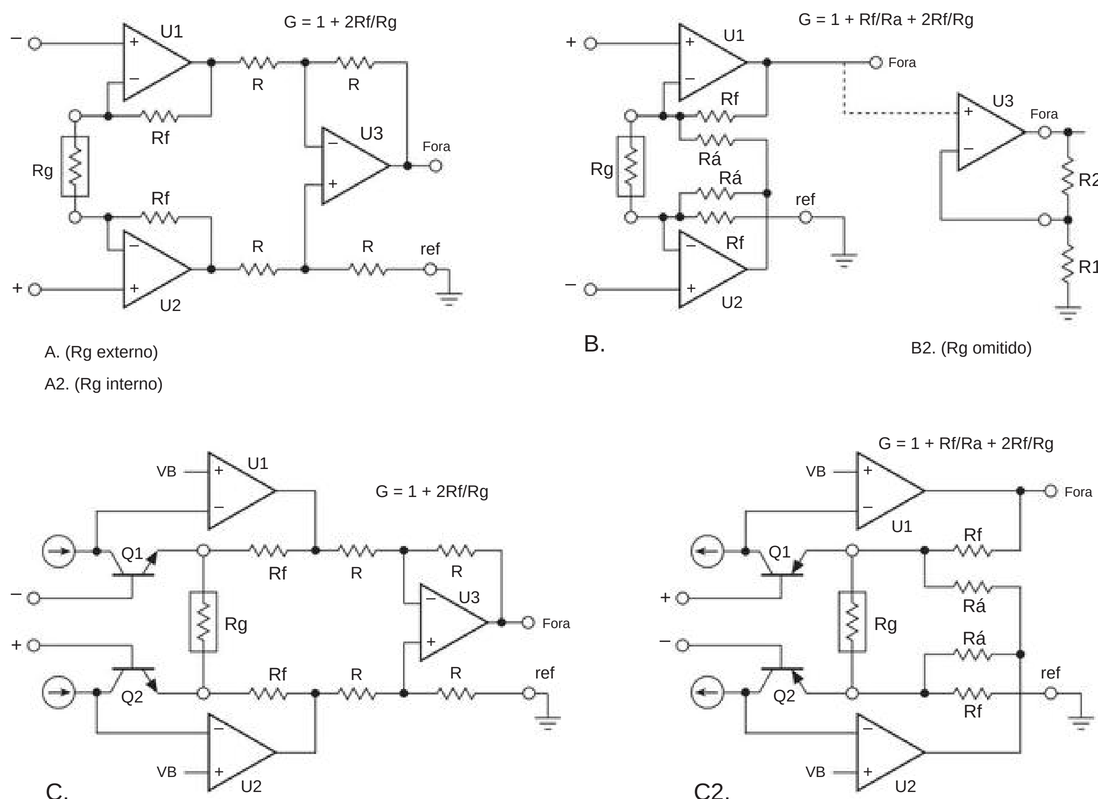


Figura 5.88. Configurações do amplificador de instrumentação A–C, conforme listado na Tabela 5.8 (página 363). Para estes e outros circuitos diferenciais o pino "ref" não precisa ser aterrado.

atual (0,4 nA máx.) significa que você pode reduzir a faixa de corrente de saída em escala total, digamos, para 100 A emÿescala total.

5.16.10 Outras configurações

O circuito clássico de 3 amplificadores operacionais da Figura 5.77 é amplamente utilizado, principalmente nos INAs oferecidos pela Burr-Brown/TI (reconhecíveis por sua numeração de peça *"INAnnn");* mas você verá outras configurações de circuito (se for suficientemente longe nas planilhas de dados) representando diferentes compensações entre os vários parâmetros de desempenho e custo. Embora você possa se dar bem sem "olhar por baixo do capô" (a maior parte do que você precisa saber vem dos dados tabulados), algumas dessas configurações têm peculiaridades incomuns que podem pegá-lo desprevenido. Por exemplo, amplificadores com configuração E (Tabela 5.8 na página 363 e Figuras 5.88 e 5.89) podem ser danificados por diferenciais de tensão de entrada maiores que ±0,5 V (!),85 e os amplificadores com configuração F não opere com o REF ligado ao terra (mesmo que destinado à operação de alimentação única de baixa tensão). Para além deste tipo de preocupações, a curiosidade impele a um breve olhar sobre estes circuitos.

Há um princípio geral em jogo em quase todos esses circuitos (exceto D e E): (a) a tensão através de um resistor de ajuste de ganho Rg é precisamente a mesma que a diferença de tensão de entrada, criando uma corrente Ig = ÿVin/Rg; e (b) essa corrente é usada para gerar uma tensão de saída precisamente proporcional Vout ÿ Ig. A configuração clássica A deixa isso claro: os amplificadores operacionais de entrada (ou equivalentes – eles não precisam *ser* amplificadores operacionais completos) reforçam um ÿVin correspondente em Rg, com a corrente resultante fluindo pelos dois Rf's; assim uma saída diferencial ÿVout = (ÿVin/Rg)(Rg+2Rf). o

85 Alguns deles têm diodos de fixação back-to-back nas entradas (verdadeiro também de alguns amplificadores operacionais e comparadores), para os quais o dano é causada por corrente de entrada excessiva; outros toleram entradas diferenciais maiores (até alguns volts), embora a maioria das partes da configuração E sejam consideravelmente mais restritivas do que aquelas com outras topologias de circuito. O que mais importa, do ponto de vista do usuário, é a máxima entrada diferencial sem degradação do desempenho.

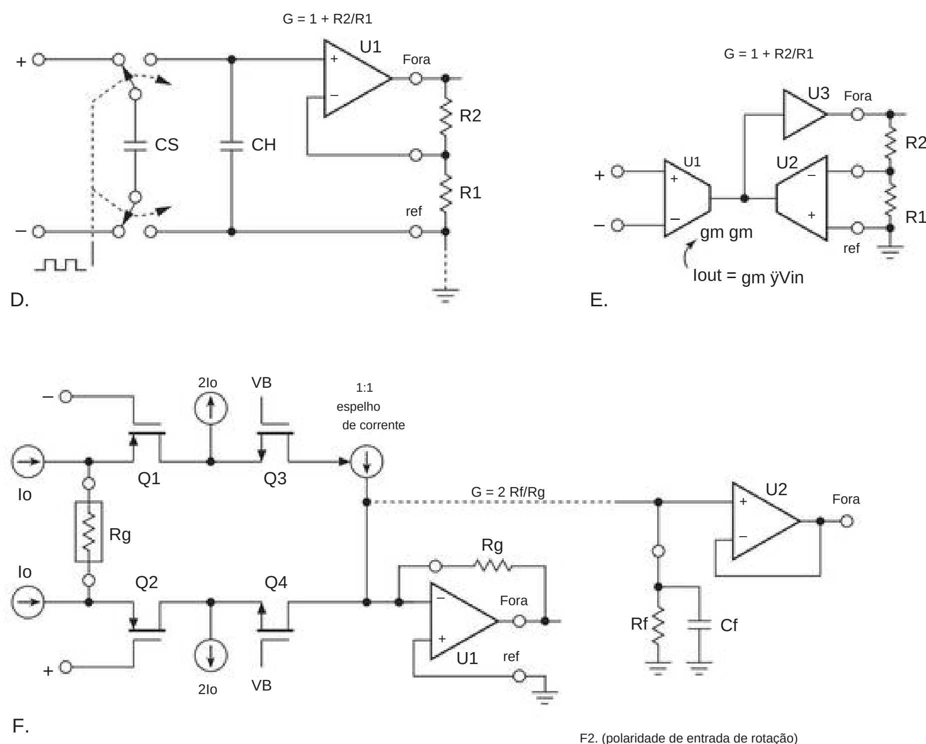


Figura 5.89. Configurações do amplificador de instrumentação D–F, conforme listado na Tabela 5.8 na página 363.

o amplificador de diferença de ganho unitário converte isso em uma saída de terminação única, com ganho *G* = 1+2Rf/Rg.

A configuração C funciona de forma semelhante, mas aqui os seguidores de emissor combinados *Q1Q2* criam a réplica ÿVin em Rg, com os amplificadores operacionais servindo para garantir correntes de emissor iguais (e, portanto, nenhuma contribuição para a saída diferencial).86 Neste circuito e seguintes, VB é uma tensão de "polarização" de referência.

Uma coisa boa sobre as configurações C e C2 é que um pequeno capacitor de anulação de RFI pode ser colocado entre a base e o emissor dos transistores de entrada, porque eles são pinos expostos. Mantenha esses capacitores pequenos - 100 pF ou menos - para que a largura de banda e a estabilidade do amplificador não sejam degradadas.87

A configuração inteligente B é diferente: é mais econômica, requer apenas dois op-amps e menos aparados resistores, mas seu desempenho sofre, com CMRR mais pobre (particularmente em frequências mais altas). (O leitor também sofre, tentando descobrir como funciona esse emaranhado de circuito.) A configuração C2 é o análogo de par diferencial discreto de B (assim como C era para A), com especificações igualmente abaixo do esperado.

A configuração F continua o tema de replicar ÿVin através de Rg, com a corrente desbalanceada resultante na junção de soma de U1 sendo convertida em uma saída de terminação única. Neste circuito, Q3 e Q4 formam um "cascode dobrado", prendendo os drenos de Q1 e Q2 enquanto passam suas correntes (compensadas pelo dobro da corrente quiescente, afundando). Este circuito requer correspondência precisa das fontes de corrente e do espelho de corrente (em termos mais precisos, requer constância das fontes de corrente e do espelho sobre as variações de modo comum). Evidentemente, isso pode ser obtido com um bom design (e com a ajuda de truques de circuito como o cascode), dada a impressionante especificação CMRR de 140 dB (tipo).88

86 Para obter correntes de entrada baixas com a configuração C, o LTC usa BJTs superbeta com cancelamento de corrente de base em algumas das partes listadas (*IB* ÿ 50 pA); Analog Devices se sai ainda melhor usando JFETs, mas com maior deslocamento e ruído. Alguns dos INAs TI/Burr-Brown listados como tipos A podem de fato usar a configuração C; suas folhas de dados são omissas sobre os detalhes do circuito.

87 Amplificadores de entrada BJT são propensos a distúrbios de RFI, porque suas entradas são junções base-emissor (diodo) com polarização direta. E o RFI é um problema real nesses circuitos de baixo nível com entradas de sensores remotos. Melhor usar um amplificador de entrada JFET se você for atormentado por RFI.

88 Como eles contêm apenas alguns MOSFETs, fontes de corrente e espelhos de corrente, os dispositivos de configuração F podem ser bastante baratos. Por exemplo, o AD8293 (um AZ com G=80 ou 160 fixo) é vendido por apenas US$ 0,97 (quantidade 100).

Tabela 5.9 Amplificadores de instrumentação de ganho programável selecionados

Parte # dispositivo / Entrada / circuito	Fornecer Tensão mínimo máximo e (V) (V) (mA) / é tipo / desligar	Entrada Currenta Tensão ÿVos type / Desvio / typeg max type max Zin type min (ÿV) (ÿV) (ÿV/C) (%)w (ÿ) (nA) (dB) (dB) / Ganho Errord / CMRRx G=100d	curvo	barulhento Vnppt ent <10Hzc 1kHz (ÿV) (nV/ÿHz)
AD8250 BJT A2 10 34 4.1 - 5	90 260 1,7 0,04 5G 110 98 95 275 1,8 0,04 5G		4	1 18
AD8251 BJT A2 10 34 4.1 **AD8253** BJT A2 - 5	110 98			1,2 18
10 34 4.6 - 5	- 160 1,2 0,04 4G 120 100		4 26	0,5 10
PGA204B BJT A2 9 36 5,2 - 0,5 **PGA202B** JFET C 12 36	10 50 0,1 0,024 10G 123 110		8a	0,4 13
6,5 - 0,01 500 1000 12 0,15 10G 120 92			3	1,7 12
PGA207 JFET C 9 36 12 - 0,002 500 1500 2 **PGA280** BJT A2 10 40f 0,75 -	0,05 10T 100 95 50q 250		3	1 18
chave **LTC6915** de baixa tensão D 2,7 11 0,9 x 5 0,3	0,2 0,15 1G 140 120		5	0,42 22
	10 0,05 0,5 capk 125 105 15 0,01 0,8			2,5 225 39h
AD8231 BJT A2 3 6 4 x 0,25	alto - 110 10 0,05 0,1 50M 139 110		1 3	27h 210 0,7
3 4 **LMP8358** CMOS E 2.7 6 1.9 x 0.006 1			2 0,6 4	
PGA309 CMOS A2 2.7 7 1.2 x 0.1	3 50 0,2	1 30G 105 -	-	

Notas: (a) a 25°C. (b) a 100 Hz. (c) 0,01–10Hz ou 0,1–10Hz, em G=100, se disponível. (d) em G=100 ou máx, não 1000; nenhum desequilíbrio da fonte. (e) abs máx. (f) trilhos de saída de BT separados. (g) em G=máx. (h) mais ruído auto-zero de HF. (k) cuidado: altas correntes de polarização. (m) mais estágio de filtro e braçadeira de saída. (n) dentro de 50mV–200mV do trilho. (o) ver Fig. 5.82. (p) entrada trilho a trilho, desde que AGND esteja longe dos trilhos. (q) chopper de 250kHz. (r) Vout para VEE, mas Vref=0,8V min. (s) 2V/ÿs em G=1000.

As peças que usam as configurações D e E são diferentes das outras. Em D, um capacitor voador CS amostra periodicamente e transmite ao capacitor "hold" CH a tensão de entrada diferencial, criando assim uma réplica de terminação única (referenciada ao terra). Isso soa bem em princípio; mas o ruído resultante é alto e a taxa de comutação lenta (3–6 kHz, para os dois exemplos na Tabela 5.8 na página 363) limita a largura de banda e estende o tempo de acomodação. Essa técnica também é vulnerável a aliasing na metade da frequência de corte.

No entanto, essas peças são baratas e podem ser adequadas para algumas aplicações CC.

Finalmente, em E, as correntes de saída de um par de amplificadores de transcondutância de entrada diferencial são combinadas e forçadas à igualdade: um amplificador vê o par de sinal de entrada e o outro vê uma fração dividida da saída, produzindo uma saída de terminação única tensão, como mostrado. Esta configuração de baixo custo (sem pares de resistores ajustados a laser, etc.) é limitada a pequenos sinais de entrada diferenciais (portanto, alto ganho) e geralmente exibe uma precisão de ganho relativamente baixa.[89] Curiosamente, o amplificador mais rápido na Tabela 5.8, de longe, usa essa configuração.

[89] Alguns tipos E (por exemplo, o AD8130, uma variante do AD8129 na Tabela 5.8) são especificados e caracterizados apenas para G=1. Estes são especialmente úteis como receptores de linha diferencial, etc., mas geralmente são limitados em oscilação, normalmente na faixa de 3 a 4 Vpp (o AD8237, com seus capacitores comutados flutuantes, é uma exceção). Veja também §12.10 para uma discussão sobre sinalização diferencial no contexto *digital* .

5.16.11 Chopper e instrumentação auto-zero amplificadores

As mesmas técnicas de auto-zero usadas em amplificadores operacionais CMOS de "deslocamento zero" (§5.11) são usadas em alguns amplificadores de instrumentação de baixa tensão CMOS. Eles são reconhecíveis por suas especificações de tensão de deslocamento muito baixas, abaixo de dezenas de microvolts, onde os CMOS não-AZ não se aventuram (consulte a Tabela 5.8 na página 363). Esses amplificadores também atingem excelente CMRR, mas pagam o preço em ruído de banda larga, ruído de frequência de comutação[90] e (algumas vezes) polarização de entrada e correntes de ruído. Os amplificadores são particularmente úteis em aplicações de baixa frequência, por exemplo, como estágios de entrada para ADCs integrados (consulte a Figura 13.67) ou combinados com filtragem passa-baixa.

5.16.12 Amplificadores de instrumentação de ganho programável

Você define o ganho de tensão de um circuito simples de amplificador operacional com resistores externos. Em contraste, os amplificadores de *diferença* (Tabela 5.7 na página 353) normalmente são configurados com ganho fixo, definido por uma rede de resistores combinados internos de precisão. E o ganho de amplificadores de *instrumentação* (Tabela 5.8 na página 363) é normalmente definido por um único resistor de ajuste de ganho Rg. Observe, no entanto, que alguns dos amplificadores na Tabela 5.8 incluem vários resistores de ajuste de ganho Rg internos, permitindo a seleção de ganho precisa com apenas um fio de jumper externo.
Levando isso um passo adiante, você pode obter *programação*

[90] O que pode não ser evidente nas folhas de dados, que às vezes omitem gráficos de ruído espectral.

Tabela 5.9 Amplificadores de instrumentação de ganho programável selecionados (continuação)

Swing to

BWd Slew Settled Supplies? –3dB

Nº da peça	Ganho escolhas	Taxa 0,01% IN OUTv (MHz) (V/ÿs) (ÿs) + – + –		Interface	Comentários	Custo
AD8250	1,2,5,10	3 25 0,65 - -			($ US) pinos ajuste rápido para	
AD8251	1,2,4,8	2.5 25 0,68 - -			10ppm 7,78 pinos ajuste rápido para	
AD8253	1,10,100,1000 0,55 20 s 1,5				10ppm 7,78 pinos ajuste rápido para	
PGA204B	1,10,100,1000 0,01 1,5 1,0 PGA280			•	10ppm 7,68 pinos PGA205 para	
PGA202B	1/8–128, por x2 0,05 baixa tensão 1 20 2			• •	1,2,4,8 17,09 pinos PGA203 para	
PGA207	LTC6915 1,2,4...4096 1,2,4...128 0,4 2,2 35 - -			•	1,2,4,8 14,34 pinos PGA206 para 1,	
	10–1k, por 1-2-5 0,68 6,5 4–128, 2,7–11 0,02 lento nnx 52 0,4 40 - -		f 2 - -		2,4,8 18,36 Fonte de saída SPI 2,7–5V 6,46	
		lento 0,2 5 ms xxxx -		• •	SPI,pins chopper, high-gain 4.58 pins auto-	
AD8231		0,07 1,1 lento nnxx - - -			zero 3.08 - SPI,pins auto-zero, filtro p. 5.27	
LMP8358		4	-xxx-	•	SPI sensor interfaceu 7.05	
PGA309				•		

(t) típico. (u) manual do usuário de 148 páginas; inclui ADC para amplitude do sensor, compensação de temperatura, etc.; parâmetros armazenados na EEPROM SOT23 externa. (v) cuidado: as partes de saída RR muitas vezes não permitem que o pino REF fique próximo de VEE; certifique-se de verificar a folha de dados! (w) peça com grande erro de ganho assume que você executará calibração de ganho. (x) a especificação CMRR é normalmente de 60 Hz; verifique os gráficos se você se preocupa com o desempenho em frequências mais altas.

amplificadores de ganho (PGAs) nos quais essa seleção é feita por um código de entrada digital (aplicado como um código de nível lógico paralelo a um conjunto de pinos ou como um código serial multibit por meio de uma porta serial como SPI ou I2C; consulte os Capítulos 14 e 15). Essas são, em essência, versões integradas do amplificador de instrumentação programável digitalmente discreto da Figura 5.80.

Alguns exemplos de PGAs de instrumentação independente são o PGA204/5, LMP8358 e PGA280, com mais listados na Tabela 5.9. O PGA202/3 (JFET) e o PGA204/5 (BJT) são peças tradicionais de "alta tensão" (até ±18 V) que aceitam um código paralelo de 2 bits (em dois pinos) para selecionar ganhos de 1, 10, 100 , ou 1000 (PGA202/4) ou 1, 2, 4 ou 8 (PGA203/5). O mais recente LMP8358 é uma peça de alimentação única de baixa tensão (2,7–5,5 V) com zero automático e ganhos de 10 a 1000 em uma sequência de 1–2–5 (ou seja, 10, 20, 50, 100, 200, 500, 1000) e com programação ambidestra – os três pinos podem ser usados como uma porta paralela de configuração de ganho de 3 bits ou uma porta serial SPI de 3 fios que programa o ganho e alguns parâmetros adicionais, como reversão de polaridade de entrada , detecção de falhas e largura de banda. É rápido (8 MHz) e preciso (VOS = 10 V, máx).

ÿ

Finalmente, o muito elegante PGA280 atende à necessidade de um PGA cujos sinais de entrada podem variar acima de ±10 V ou mais, mas com um estágio de saída alimentado separadamente combinado com ADCs e microcontroladores temporários de alimentação única de baixa tensão. As entradas podem variar acima de ±15,5 V (com alimentação de ±18 V), com a saída fornecida pelo mesmo +2,7 V a fonte de +5 V que alimenta o ADC ou o problema complicado de ÿ C 91 Isso resolve proteger as entradas de uma parte de baixa tensão quando ela é acionada por um CI funcionando com tensões mais altas. Há um pino do tipo REF que define a tensão intermediária de saída; a saída é na verdade *diferencial,* com um par de saídas complementares, mas você pode ignorar uma e tratá-la como single-ended (com uma pequena perda de precisão).

Este amplificador tem excelente desempenho: programa através de uma porta serial digital, com ganhos selecionáveis de 1/8 a 128 por fator de dois. Ele combina baixa tensão de compensação (zero automático: ±15 V máx, em G (>128), alta impedância de entrada (±3 ppm/ÿC máx) e excelente CMRR (ganho -dependente: 130–140 dB típico).
Entre seus outros truques estão um multiplexador de 2 entradas no chip (dois pares de entrada diferencial), uma porta digital bidirecional de largura de byte não comprometida e várias opções de condicionamento de sinal e detecção de falhas.

A Figura 5.90 mostra o tipo de aplicação para a qual esta peça seria ideal: nossos colegas desenvolveram uma mão de preensão robótica experimental92 que é acionada por um único motor de torque por meio de um conjunto de ligações e acoplamentos passivos. Para controle, você gostaria de saber o aplicado

91 Ou você pode alimentar a saída de uma fonte dividida, permanecendo dentro dessa faixa total de alimentação.

92 Veja, por exemplo, Dollar e Howe, "The Highly Adaptive SDM Hand: Design and Performance Evaluation", *International Journal of Robotics Research* **29,** (5), 585–597 (2010), disponível na página da web do The Harvard BioRobotics Laboratory : biorobotics.harvard. edu.

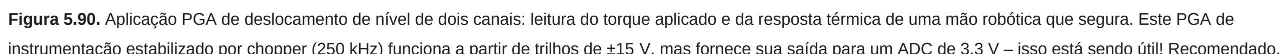


Figura 5.90. Aplicação PGA de deslocamento de nível de dois canais: leitura do torque aplicado e da resposta térmica de uma mão robótica que segura. Este PGA de instrumentação estabilizado por chopper (250 kHz) funciona a partir de trilhos de ±15 V, mas fornece sua saída para um ADC de 3,3 V – isso está sendo útil! Recomendado.

torque (da corrente do motor) e algo sobre a pressão de contato (se houver) com o objeto sendo agarrado.

A ampla conformidade de entrada e a gama de ganhos do PGA280, combinada com entradas diferenciais de 2 canais, tornam essa tarefa fácil: imaginamos um par de termistores, autoaquecidos alguns graus acima da temperatura ambiente, que detectam a temperatura nos pontos de captação e um resistor de detecção de lado baixo na linha de retorno do motor. O estágio de saída de baixa tensão se conecta ao ADC no chip de um microcontrolador, que controla a troca de canal e o ganho do PGA. Ajustamos os termistores para que o primeiro contato faça um passo ascendente na tensão diferencial, seguido por um segundo passo na mesma direção quando o outro "dedo" faz contato. (O tamanho do passo fornece mais informações sobre o material do objeto.) Observe a conexão diferencial de "4 fios" no resistor de detecção de corrente do motor, para eliminar erros de resistência de conexão de aterramento; filtramos esse sinal porque o uso da modulação por largura de pulso tende a criar ruído de alta frequência.

Ao procurar por um bom amplificador de instrumentação, certifique-se de considerar variantes especializadas de PGA que servem como front-end para sensores de baixo nível e semelhantes, por exemplo, o PGA30993 ou PGA2310.94

Os PGAs são bastante populares como partes de ICs mais complexos, por exemplo, dentro de ADCs (Figura 13.67 novamente e Figuras 13.70 e 13.71) e microcontroladores (Figura 15.10).

5.16.13 Gerando uma saída diferencial

Ambos os amplificadores de instrumentação e amplificadores de diferença são usados para converter um sinal de entrada diferencial em uma saída de terminação única. Tudo bem, se é isso que você quer (e geralmente é). Existem algumas situações, porém, em que você precisa de um sinal de saída diferencial, por exemplo, quando

[93] Cujo guia do usuário de 148 páginas o descreve assim: "O PGA309 é um condicionador de sinal analógico programável inteligente projetado para aplicações de sensor de ponte resistiva. É um condicionador de sinal completo com excitação de ponte, ajuste inicial de span e offset, ajuste de temperatura de span e offset, capacidade de medição de temperatura interna/externa, limitação de escala de saída e subescala, detecção de falhas e calibração digital." 94 "O PGA2310 é um controle de volume de áudio estéreo de alto desempenho projetado para sistemas de áudio de consumo profissionais e sofisticados."

conduzindo diversas variedades de conversor analógico-digital (ADC, um assunto importante do Capítulo 13). De forma mais simples, isso pode ser feito adicionando um inversor de ganho unitário à saída de terminação única, como na Figura 5.91A.95 Isso funciona, com certeza, mas a precisão do ganho será degradada, a menos que o par de resistores corresponda a pelo menos o precisão e estabilidade do amplificador de condução. Essa armadilha é contornada no circuito B, onde o inversor de ganho unitário força o pino de saída SENSE a uma tensão simétrica em relação ao terra (ou alguma outra tensão de referência). Com este circuito, a precisão do ganho é mantida; o efeito de qualquer incompatibilidade de resistor é simplesmente compensar a simetria das saídas em relação ao terra (ou tensão de referência), que geralmente é de menor importância devido à natureza de entrada diferencial do dispositivo que está sendo acionado.

Ambos os circuitos, no entanto, compartilham a desvantagem de introduzir um atraso de tempo (ou mudança de fase), devido à largura de banda finita do estágio inversor. Uma solução é usar um par de amplificadores casados, como na Figura 5.66F. Mas uma maneira melhor, particularmente quando é necessária muita largura de banda e *ajuste* rápido (como com ADCs rápidos), é usar um amplificador diferencial (ou *amplificador totalmente diferencial,* para enfatizar a distinção), um termo que passou a significar um amplificador com entradas *e* saídas diferenciais; ver §5.17. O PGA280 da seção anterior é um desses amplificadores (embora seus projetistas o chamem oficialmente de amplificador de instrumentação).

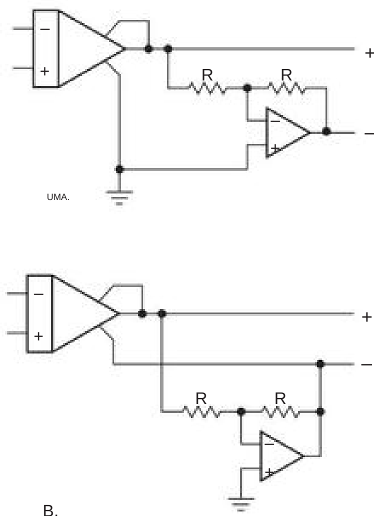


Figura 5.91. Gerar uma saída diferencial de um amplificador de instrumentação ou amplificador de diferença. O método B mantém o ganho ac curadoria.

95 Consulte também as peças listadas em "singleended to diferencial" na Tabela 5.10 (página 375).

5.17 Amplificadores totalmente diferenciais

O termo "amplificador totalmente diferencial" (ou às vezes "amplificador de entrada/saída diferencial" ou apenas "amplificador diferencial") é usado para descrever um amplificador com entrada diferencial *e* saída diferencial, juntamente com um pino de entrada adicional ("VOCM") que define a tensão de modo comum do par de saída. Preferimos o termo "completamente", para distinguir claramente dos amplificadores de diferença e dos amplificadores de instrumentação, ambos com saídas de terminação única.

Para algumas aplicações importantes, você precisa criar uma *saída diferencial balanceada,* a partir de um sinal de entrada diferencial ou de terminação única. Este é frequentemente o caso de ADCs que possuem entradas complementares; consulte a Figura 13.65 (um ADC de "redistribuição de carga"), Figura 5.102 (pipeline flash), Figura 13.28 (flash), Figura 13.37 (SAR) e Figura 13.68 (delta-sigma). Para essa aplicação, os parâmetros de desempenho importantes provavelmente serão o tempo de estabilização, precisão e estabilidade de ganho, a capacidade de definir a tensão de saída de modo comum e a capacidade de conduzir uma oscilação trilho a trilho em um ADC de baixa tensão.

Outras aplicações em que os sinais diferenciais são amplamente usados incluem sinalização analógica sobre pares trançados (por exemplo, através de um cabo de rede estilo Cat-5 existente); aplicativos de telecomunicações, como links ADSL e HDSL; estágios de entrada do osciloscópio; e subcircuitos de comunicação de RF, como blocos IF e de banda base.

Você pode, é claro, criar um par de sinal de saída diferencial usando amplificadores de terminação única (op-amps, amplificadores de diferença e amplificadores de instrumentação), conforme ilustrado nas Figuras 5.66F, 5.70, 5.91 e 13.37. Mas você se sai melhor, principalmente em termos de velocidade e ruído, com um amplificador diferencial integrado, que também permite definir a tensão de saída em modo comum (ou seja, o ponto médio da oscilação de saída); esta capacidade é particularmente útil ao acionar ADCs de entrada diferencial alimentados por uma única fonte, por causa de sua insistência exigente em tensões de entrada de modo comum.

A Tabela 5.10 na página 375 inclui uma boa seleção de amplificadores diferenciais atualmente disponíveis, codificados para os diagramas de circuito nas Figuras 5.94–5.98. Eles ilustram a criatividade incansável da espécie humana e também alguns bons truques de circuito.

Vamos fazer um tour rápido. O circuito A, destinado a entradas de terminação simples, é simplesmente um "kit" de amplificador diferencial com um amplificador operacional de entrada cujo ganho você define com resistores externos. Você pode conectá-lo como um amplificador não inversor (portanto, alta impedância de entrada) ou pode configurá-lo como um amplificador inversor (por exemplo, para lidar com uma grande oscilação de entrada ajustando o ganho para menos que a unidade). O não inversor

A entrada de A2, convenientemente de alta impedância, permite definir a tensão de saída em modo comum. O LT6350 é um amplificador de baixo ruído e baixa distorção desta configuração, com o recurso adicional de saídas rail-to-rail.96 A Figura 5.92 mostra como você o usaria para controlar um ADC, neste caso o LTC2393 que coopera fornecendo uma saída de referência CC de escala intermediária (VCM).97 O amplificador funciona com as mesmas tensões de alimentação de +5 V e terra, o que elimina a preocupação frequente de conduzir os diodos de grampo de entrada do ADC. O filtro passa-baixa de entrada para o ADC (R1R2C1) serve a duas funções: (a) é um filtro anti-alias, limitando a largura de banda de entrada para ~150 kHz; e (b) fornece a capacitância de entrada shunt recomendada para suprimir os efeitos dos transientes de comutação internos do ADC (que afligem muitos ADCs, incluindo conversores "SAR de redistribuição de carga" e conversores delta-sigma – consulte o Capítulo 13).

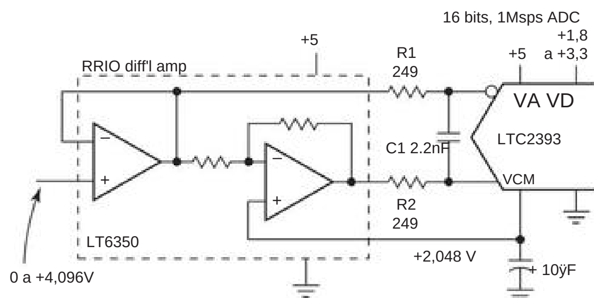


Figura 5.92. Circuito de driver ADC usando uma configuração A amplificador diferencial. O ADC fornece uma referência de saída VCM intermediária , aqui usada para definir o nível de modo comum do amplificador. Veja também o AD4922 de melhor desempenho.

Circuito B é uma configuração balanceada simétrica otimizada para áudio profissional: unidade de alto nível bem balanceada (>15 Vrms) com baixa distorção em pares balanceados e estabilidade nas capacitâncias de carga que você obtém com cabos longos (até 10.000 pF ou mais). A Figura 5.93 mostra uma aplicação típica, neste caso, gerando a saída balanceada de baixa distorção e alto nível necessária para condução de cabo de áudio profissional, discutida pela primeira vez em §5.14.2E. Digno de nota aqui é a impedância de saída *de modo comum* muito alta , que preserva o equilíbrio do sinal, permitindo que a extremidade de recepção substitua o padrão do driver (simétrico em relação ao terra na extremidade do driver, definido fracamente pelos resistores de 10k). Na verdade, não há problema em aterrar um lado na extremidade de recepção, a fim de gerar um sinal de terminação única ali. Teremos mais a dizer sobre isso em §5.17.1.

O circuito C é a configuração da Figura 5.66F, com entradas de ajuste de tensão de modo comum (VOCM) de alta impedância (buffer). As entradas da mesa com esta configuração são amplificadores de banda larga de baixo ruído, bons para aplicações de vídeo e comunicação.

O circuito D é uma configuração popular, às vezes com resistores internos de ajuste de ganho, às vezes externos. o dif

O amplificador diferencial dentro do loop de realimentação consiste em um par simétrico de amplificadores de transcondutância (tensão para corrente) gerando uma tensão através de uma carga resistiva, com seguidores de tensão para gerar o par de saída de baixa impedância. A entrada do VOCM permite que você assegure a tensão de saída de modo comum, que, de outra forma, é padronizada para alimentação intermediária (nesse caso, é bom conectar um capacitor de bypass). A largura de banda de entrada do VOCM normalmente é comparável à do amplificador.

O circuito E continua o tema dos amplificadores de transcondutância diferencial, mas aqui eles são configurados em um arranjo de realimentação, a versão de saída diferencial do circuito análogo E na Figura 5.89. O circuito F, usado nos amplificadores mais rápidos da tabela, combina a configuração de saída de D com uma configuração de entrada como a do amplificador de instrumentação clássico (Figura 5.65), novamente com amplificadores de transcondutância diferencial como elemento de ganho.

Finalmente, o circuito G é um animal completamente diferente, um par de seguidores com cancelamento de deslocamento influenciados pelo pino de entrada do VOCM . Essa configuração, usada na entrada de 2 GHz da tabela, destina-se a entradas acopladas em CA (ou acopladas por transformador).

5.17.1 Amplificadores diferenciais: conceitos básicos

A. Ganho O ganho de tensão diferencial é unitário para a maioria das configurações nas quais o ganho é definido por pares combinados de resistores de realimentação Rf = Rg. A coluna de faixa de ganho na Tabela 5.10 (página 375) identifica peças com ganhos fixos, ganhos mínimos ou um conjunto de seleções de ganho. Em alguns casos, o ganho exato é afetado por problemas de impedância de origem e correspondência de terminação; consulte §5.17.4 e as fórmulas na Figura 5.104.

[96] O ADA4922-1 é uma versão mais rápida de 0,05%, com um estágio de entrada de ganho unitário fixo.

[97] O ADC possui uma referência interna de precisão razoável (0,5%), mas permite anexar uma referência externa de melhor desempenho (por exemplo, o LT1790–4.096, com precisão e desvio de ±0,05% e 10 ppm/ÿC, máx.) . Parece bom – mas não faria muito aqui, porque a precisão de ganho do sistema é limitada pela do amplificador LT6350 (±0,6%, máx.). Você poderia usar o ADA4922-1 em seu lugar.

Tabela 5.10 Amplificadores diferenciais selecionados

Compensação de Voucher de Velocidade
Ganho de entrada de tensão Gaina de entrada de ajuste de Zin h diff — Ruído e tipo @1MHz (nV/ÿHz) — Fornecer Tipo de faixa (V) — É (mA) — Custo qtde 25 ($US)
Papel # — variação de largura de banda -3dB 0,1dB Taxa 0,05% max tip max bias ÿG b) (mV) — Definida por (%) (MHz) (MHz) (V/ÿs) (ns) (Faixa Vpp (mV) (ÿA) (ÿ) — Comentários

alta tensão 1/
PGA280 q 8–128 PGA 0,15 1,5 - 1 40ÿs 10 0,05 0,25 0,3nA 1G 22 10-40 15 67 4 15 5k 25 8-40 30 700 0,8 6.46 INA, SPI, baixo áudio
ISSO1606 D3 2.0 fixo 2 10 - 55 0,2 0,75 0,5 20k 26d Rgh 2,1 18 200 52 0,2 1 Rgh 50 0,5 32 4,9 - 3,91 Vout , 7ppm dist precisão
AD8270 C 0,5,1,2 fixo 0,08 15 - 5-36 2.3 - 3,56 resistores de áudio,
LME49724 D 1,0 até Rf/Rg - 50 - 0,06 5-36 10 - 3,53 0,3ppm dist pro audio
OPA1632 1–10 Rf/Rg - 180 40 2 1,3 5-33 14 - 4,39

D baixa tensão
LMP7312 D3 0,1-2 PGA 0,04 0,53 - 1.4 -RR- 0,1 c 160k 7,5 ±5 2 y 6.43 entrada de 2
LTC1992 D 1–10 Rf/Rg - 3,2 - 1,5 - RR 0,25 2,5 2pA 30k 45d 2,7-12 - RR 0,25 2,5 2pA 30k 45d 0,7 w 2,80 canais, SPI Rf =
LTC1992-x D3 1–10 p/n 0,3 3,2 - 1,5 2,7-12 Rgh 8d 2,7-12 Rgh 4,6d 2,5-5,5 0,65 6 300k 28d 5-12 0,7 w 5,23 30k a 50k -x para
AD8137 D 1,0 até Rf/Rg - 76 10 450 100 RR 0,7 2,6 0,5 12 400/G 2,5 0,2 1,5 2,66 2.6 1,98 G=1,2,5,10 Rf=1k-10k,
THS4521 D 1–10 Rf/Rg - 145 20 490 13k RR 0,2 2 1.1 w 2.81 barato Rf=1k; '4522
EL5170 E3 2,0 2,0 1 100 12 1100 20 1,4,5 0,3 14e 402/Rg 6,0 6 25 7,4 - 1.44 duplo barato, '5370
LTC6605-14 D3 1, 4, 5 7 10g f 3 6-27i f - 320 30 1150 16 15,6 1 f RR 0,25 1 ff RR 0,25 16 w 9,81 triplo duplo, filtros de
LT6600-x D2 1–8 1,5 4.8 5 25 Rgh 36 - 3,90 4ª ordem prontos para
LTC6601 D3 1–7 1 a 7 ff 12 400/G 2.2 2,7-5,5 16 w 5,58 16 bits filtro de seleção
AD8138 D 1,0 acima Rf/Rg 2,5 3,5 Rgh 5 3-10 Rgh 6d 20 - 4,12 de pinos Rf=500ÿ
LMH6551 D 1,0 acima Rf/Rg - 370 50 2400 18 15,6 0,5 4 4 3,3-10 3 300 12 15 1 6 1k 13 - 3,50 Rf=365ÿ EL5373 triplo
EL5173 E3 2,0 2.0 0,5 450 60 900 10 6.0 12 - 2,80 G=1+Rf/Rg, barato
EL5177 E 1,0 acima Rf,Rg 1,5 550 120 1100 10 6,0 1,4 25 AD8139 D 1,0 up Rf/Rg - 410 14 150k 21 4.8-12 12 - 1,85 Rf=200ÿ Rf=348ÿ opt
45 800 45 RR 0,15 0,5 2,3 AD8132 Rf/Rg Rgh 2,2 4,5-12 25 8d - 6,00 filtro 75MHz 1,5 2,7-
D 1,0 até - 350 90 1200 15 14,4 1 3.5 3 Rgh 2,7-11 12 - 3,07 5,5 w Rf=402; ver -1,-2j
LT6402-20 C 10 4 k fixo 10 300 30 400 8 7,0 6,5 c 100 1,9 4,0-5,5 30 - 3,90
LTC6404-4 D até 1– Rf/Rg - 600 450 1200 13RR 1 0,5 2 23 Rgh 30 4,91
THS4520 D 10 Rf/Rg - 620 30 570 7 RR 0,25 2,5 6,5 4,8 5 z Rgh 2 3-6 6 14 4,07 Rf=499ÿ
PGA870 s 0,3-10 PGA 4 650 100 2900 5 30z c 150 4,8-6 Rgh 6d 143 - 9,70 0,5dB atten, pinos
ADA4932-1 D 1,0 até Rf/Rg - 560 300 2800 9 fixo 12 700 50 1100 15,0 0,5 2,2 1 6,5 2.5 3-10 c 10 5,5 1,7 3-5 100/ 10 - 4,72 Rf=499ÿ; -2=dual
LT1993-10 C 10 1, 4 pinos 1,7 750 210 2900 9 Rf/Rg Rf/Rg 1,0 7 15 0,2 2,5 Rgh Rgh Rgh Rgh 5 100 - 4,20 -2,-4 para G=2,4
ADA4950-1 D 2, 3 1,0 up Rf/Rg - 1500 450 3800 10 15,4 THS4513 9,5 - 4,78 -2=dual CFB, 274ÿ;
LMH6553 D até 1– 1,0 up Rf/Rg 900 50 2300 10 15,4 - 1000 150 4700 6,5 - - 50 1,2 5-12 29 - 6,43 grampo Rf=200ÿ 1,1
ADA4938-1 D 10 THS4513 1,0 up Rf/Rg - 0,0 6 1600 - 0,6 15 2,1 4 13 2,6 4,5-11 37 - 6,06 23 CFB, 357ÿ 2,2 35
LMH6552D 1600 1200 THS4510 2,2k 1,4 1M 6555 D3 4,84 - - 80 - 10,34 Rf=348ÿ 469 9,13 Rf=349ÿ 8,27 Rf=200ÿ; -2=dual 5,5
D 1 4 8 9,13 Rf=349ÿ 9,13 Rf=349ÿ 8,27 seguidor de emissor
4,84 15 50 c 78 8 21 3,3 -
D 1–10 Rf/Rg - 1600 620r 4900 3,3k Rf/Rg - 1900 200 1 4 Rgh v
D 1–5 6000 7 Rf/Rg - 2000 400 6600 2k 5,2 Rf/Rg - 6 0,5 2,5 Rgh -
THS4508 D 2–10 D 2000 300 6600 10 5,6 4 8 2,3 Rgh 3-5,5 39 8 1,9 38 5 12k 1,8 v
THS4509 2–10 0,98 1 1 4 2,7-3,6 Rgh 3-6 -
LTC6416 G 1,0 2 2000 300 3400 1,8k 4,2 0,5 5 -
THS770006 D fixo 3 2400 350 3100 2,2 4,9 0,5 5 k 12 2500 190 8000 2 6 6 c 100 1,7 5 5 100 - 10,45 2,7 Zout=27ÿ em
AD8352 F 2 1–8 4,3 0,25 - 2,4,6 ADL5562 D3 2,4,6 pinos 0,5 2900 600 9800 2k 0,40 30 k 270 3k 3,5-5 5,65 37 - especificações de 1GHz
ADL5561 D3 pinos Rg c 800/G 1.7 3-3.6 40 - 5.89 para G=10dB bom para
c 800/G 1,6 3-3,6 5,4 5 80 - 5,88 IF-strip bom para
ADA4960-1 F 1–10 Rf/Rg 6 5000 300 8700 1,4 3,5 - 36 20 10k 60 - 11,47 especificações de IF-strip para G=6dB

de terminação única para diferencialm
DRV134 B 2.0 fixo 2 1,5 - 15 2500 60 1 10 - 10k 35 9-40 5.2 - 4.21 audiot , 5ppm dist n
ADA4922-1 A2 2.0 fixo 0,05 38 - 260 580 43 0,18 0,55 3,5 11h 6 9-26 5.4 5.81 driver ADC de 18 bits

baixa tensão
LT6350 A 2,0 up opamp ADA4941-1 0,6 33 - 48 240 RRIO 0,1 0,7 1.2 4M 4.1d 2.7-12 4.8 3.42 especificações
A 2,0 up opamp 1 30 - 22 300 RR 0,2 0,8 3 24M 5.1d 2,7-12 2,5 w 4,45 de precisão ímpar f 3dB

Notas: (a) ganho fixo, ganho programável (PGA) ou ganho definido pelo resistor de entrada Rg. (b) Saída RR significa Vout diff = 2 x Valimentação máx. (c) incluído na especificação Vos . (d) inclui o ruído do resistor de realimentação. (e) filtros antialias de 2ª ordem correspondentes; 7, 10MHz disponível. (f) definido por filtro. (g) 6600-x especifica filtros de 4ª ordem de 2,5 a 20 MHz. (h) nominalmente Zin = Rg, onde G = Rf/Rg; mas para tipos de circuito "D" é maior que Rg, consulte a seção posterior sobre impedância de entrada do amplificador diferencial. (i) filtro, 6 a 27MHz cintável. (j) versão -4 compensada para G<4. (k) liquidar em 1%. (m) a maioria dos amplificadores diferencial-para-diferencial pode converter entrada de terminação única em saída diferencial. (n) próximo. (o) figuras de amplificadores de instrumentação. (q) entrada de amplificador instantâneo, saída de amplificador diferencial. (r) G=2. (s) Entrada de escada R-2R, saída de amplificador diferencial. (t) Zout de modo comum alto, como um transformador de isolação. (v) entradas para –VEE. (w) RRO e entradas para –VEE ou dentro de 0,2 V de –VEE. (y) RRO e entrada além dos trilhos, para ±15V. (z) RTO.

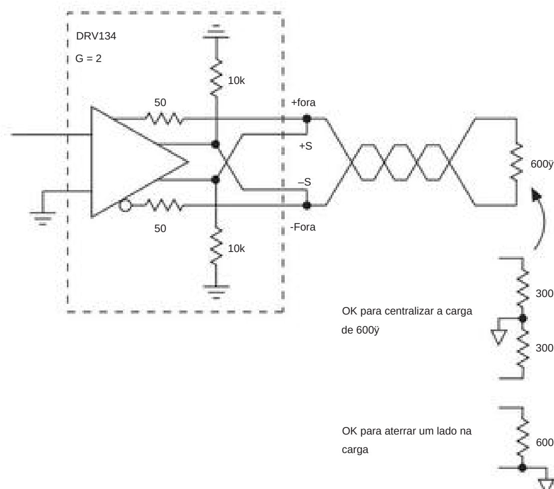
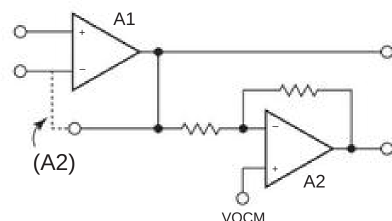


Figura 5.93. Driver de áudio balanceado com alta impedância de saída de modo comum, de modo que o receptor (extremidade da carga) defina a tensão de modo comum. O padrão VCM(out) é 0 V se a carga for deixada flutuando.



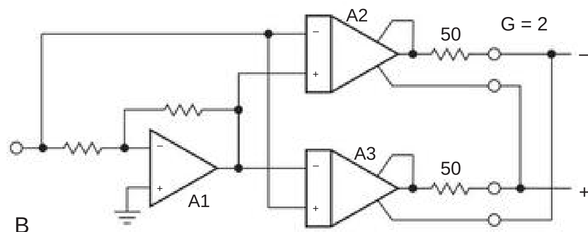
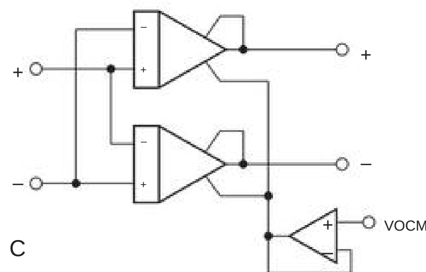


Figura 5.94. Configurações A e B do amplificador de saída diferencial, conforme listado na Tabela 5.10 na página 375. O amplificador operacional de entrada não comprometido pode ser configurado como um amplificador não inversor (ou seguidor) ou um amplificador inversor.

B. Impedância de entrada A impedância de entrada dos amplificadores com configuração D é igual a Rg, tornando-os inadequados para altos ganhos porque a impedância de entrada se torna incontrolavelmente baixa: a fonte do sinal é fortemente carregada, o Rg efetivo é aumentado pela impedância da fonte RS, e o CMRR é degradado por fonte-



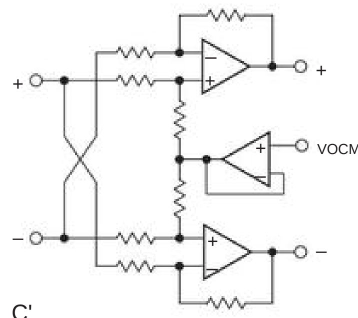


Figura 5.95. Configuração de amplificador totalmente diferencial C, conforme listado na Tabela 5.10 na página 375. A simetria é evidente na versão redesenhada, C , onde o ganho é $G = 2R_f/R_g$.

desequilíbrio de impedância. O valor exato de Rg (e, portanto, a impedância de entrada) será afetado pela terminação da fonte e pelas considerações de carregamento; consulte §5.17.4 e as fórmulas na Figura 5.104.

C. Entrada de terminação única A maioria dos amplificadores totalmente diferenciais funciona bem com entradas de terminação única, ou seja, com a entrada "-" aterrada. Mas você pode querer usar *G* = 2 ou mais alto para atingir o drive pico-a-pico completo em um ADC diferencial.98 **D. Rejeição de modo comum** Com pares diferenciais na entrada e na saída, existem *duas* medidas de modo comum rejeição: Vout *diferencial* versus Vin de modo comum, que geralmente é bastante bom (por exemplo, 80 dB até 1 MHz); e Vout *de modo* comum versus Vin de modo comum, que pode ser significativamente mais pobre (por exemplo, 50 dB até 1 MHz, degradando acima disso). Mas o último não é muito preocupante se o dispositivo receptor (por exemplo, um ADC) tiver uma boa rejeição de modo comum. A correspondência de resistores é importante para configurações

98 Esta configuração também está disponível com um ganho de tensão menor que a unidade. Em uma explosão de fofura, a Analog Devices chama seu AD8475 (com ganhos de 0,4 e 0,8) de *amplificador de funil* (entendeu?). Com ele você pode reduzir um sinal de 20 Vpp para um par diferencial de sinais de 4 Vpp, para entrada em um ADC de baixa tensão.

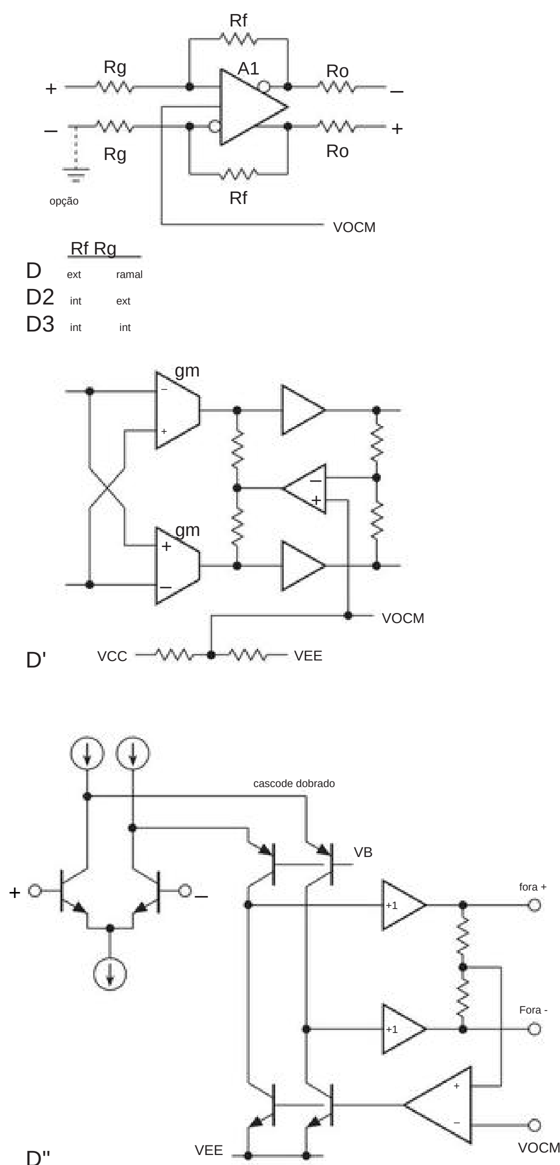


Figura 5.96. Configuração de amplificador totalmente diferencial D, conforme listado na Tabela 5.10 na página 375; o ganho é G=Rf/Rg. Uma configuração típica para o amplificador de saída A1 é mostrada em D e a THS45xx de TI; o THS4500/11/21, por exemplo, usa complementos de polaridade *(par de entrada pnp* , etc.), permitindo operação até Vin=VEEÿ0,2V.

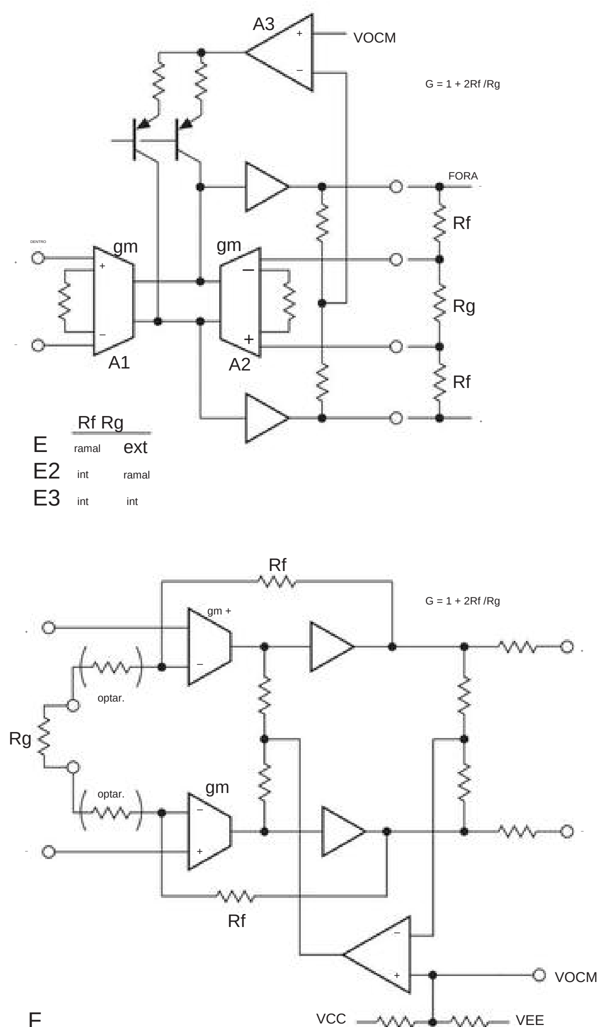


Figura 5.97. Configurações de amplificadores totalmente diferenciais E e F, conforme listado na Tabela 5.10 na página 375.

com resistores externos de ajuste de ganho de Rf e Rg (configuração D); consulte §5.17.5 para obter mais detalhes.

E. Saída de terminação única As folhas de dados de alguns amplificadores diferenciais descrevem a operação com uma terminação única output.99 Quando é operado no modo de saída de terminação única, no entanto, você se preocupa com a tensão de compensação de *saída* ÿVOCM (ou seja, o erro de saída com relação à referência VOCM), que traduz de volta para um erro de referência de entrada de ÿVOCM/ G. Para o LMP7312, o deslocamento de saída é de ±20 mV, muito maior do que o deslocamento máximo de entrada de ±0,1 mV. Este é um amplificador de baixo ganho (G = 0,1 a 2), portanto, esse deslocamento de saída parece um pior caso correspondente

99 Por exemplo, a folha de dados para o “AFE programável SPI de precisão com entrada/saída diferencial/única” LMP7312 diz que “a saída pode ser configurada nos modos diferencial e único com a tensão de modo comum de saída definida pelo usuário .”

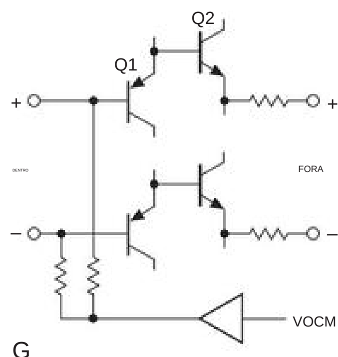


Figura 5.98. Configuração de amplificador totalmente diferencial G, conforme listado na Tabela 5.10 na página 375. Esse tipo é destinado a entradas CA ou acopladas a transformadores.

erro de entrada de ±200 mV a ±10 mV! Isso dificilmente é o que alguém chamaria de "precisão".

F. Pino de **polarização** do **VOCM** Você define a tensão de modo comum de saída ativando uma polarização CC neste pino. Alguns dispositivos armazenam essa entrada em buffer para obter Rin alto, mas muitas peças apresentam uma impedância de entrada na casa das dezenas de kilohms. Geralmente, a faixa operacional do VOCM não se estende ao trilho negativo. Se este pino for deixado desconectado, a maioria das peças assume o padrão de alimentação intermediária. É sempre uma boa ideia ignorar esse pino, porque os sinais rápidos associados a esses amplificadores de banda larga se acoplam ao nó VOCM .

G. Faixa de modo comum de entrada A faixa de tensão de modo comum de entrada da maioria dos amplificadores totalmente diferenciais não *se* estende ao trilho negativo, o que pode restringir seriamente um circuito que está funcionando a partir de uma única fonte positiva. No entanto, isso não é tão ruim quanto parece: as saídas, localizadas em torno de uma tensão de saída de modo comum positiva (definida pelo DC que você aplica ao pino de entrada do VOCM), trazem os terminais de entrada para cima pelos divisores de tensão formado por Rf e Rg. Esse efeito é maior ao operar com ganhos baixos; ao operar com ganhos mais altos, é melhor verificar se a faixa de modo comum de entrada não é violada. Supondo que haja bastante ganho de loop (ou seja, aquele GOL G), a tensão (igual) nos pinos inversores e não inversores do amplificador é

$$V(+,ÿ) = \frac{VOCM + GVin(CM)}{G+1},$$

onde o ganho diferencial G=Rf/Rg, e Vin(CM) é a tensão de modo comum da fonte de sinal de entrada (diferencial). Se a entrada for de terminação única (com a outra entrada diferencial aterrada), então (substituindo Vin/2 por Vin (CM)) você obtém

$$V(+,ÿ) = \frac{VOCM + GVin/2}{G+1}.$$

Observe que com uma fonte de sinal de entrada balanceada (ou seja, Vin(CM) fixo), as tensões nos pinos (+) e (-) do amplificador não variam conforme o sinal diferencial de entrada faz o seu trabalho. Isso contrasta com o arranjo de extremidade única, no qual a amplitude do sinal de entrada causa uma variação na tensão de modo comum de entrada. Para o último, certifique-se de verificar se há violações de modo comum de entrada nos extremos do sinal de entrada.

Obviamente, você pode contornar o problema escolhendo um amplificador cuja faixa de modo comum de entrada inclua o trilho negativo, por exemplo, o THS4521 ilustrado em §5.17.3.

H. Realimentação de tensão versus realimentação de corrente Todos os amplificadores "Rf/Rg" na Tabela 5.10 (página 375) usam amplificadores de realimentação de tensão convencionais, com exceção do LMH6552/3, que usa realimentação de corrente (CFB). Por serem amplificadores VFB, eles funcionam bem com capacitores limitadores de largura de banda nos resistores de realimentação quando operados com ganhos mais altos (útil para controlar o ruído de tensão integrado vn=en ÿGBW, que pode ser excessivo devido à grande largura de banda de muitos desses amplificadores). Para uma aproximação decente, os amplificadores de realimentação de corrente têm uma largura de banda f3dB independente do ganho, enquanto os amplificadores de realimentação de tensão têm uma largura de banda inversamente proporcional ao ganho de malha fechada (f3dB = *GBW/ GCL).* Veja a discussão no Capítulo *4x.*

I. Resistores de ajuste de ganho Valores grandes de Rf e Rg podem causar problemas devido à capacitância parasita da placa de circuito. Por exemplo, Rf acima de 1k para a modesta capacidade de 145 MHz THS4521 cria picos (Figura 5.99). As opções de pacotes duplos e quádruplos também podem sofrer de problemas de pico inevitáveis causados por problemas de quadro principal, portanto, geralmente é melhor escolher tipos de ganho fixo em pacotes de amplificadores múltiplos. Grandes valores de Rf e Rg também criam (a) perda de velocidade, (b) aumento do erro de deslocamento de entrada devido às correntes de polarização relativamente grandes, características de amplificadores bipolares rápidos, e (c) aumento do ruído de tensão referido à entrada, ambos do resistor Johnson ruído e da tensão de ruído desenvolvida em Rf pela corrente de ruído de entrada do amplificador.

Para colocar um pouco de carne nesses últimos ossos, considere o THS4521 novamente, com nosso espantalho (um tanto extremo) Rf = Rg = 100k. Na Figura 5.99, você pode ver a largura de banda reduzida de 10 × e o pico. Este pico (que ocorre com amplificadores VFB, mas não com tipos CFB)

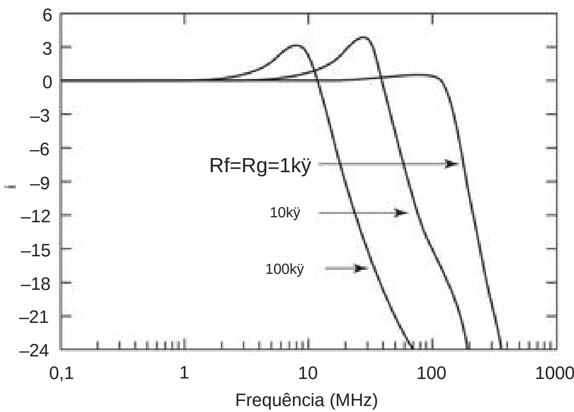


Figura 5.99. Grandes valores do resistor de configuração de ganho criam picos na resposta de frequência, conforme mostrado neste diagrama de folha de dados para o THS4521 configurado para ganho unitário *(Rf* = Rg).

pode ser domado colocando um pequeno capacitor em cada resistor de realimentação, mas você perderá um pouco mais de largura de banda no processo . intencionalmente.

Quanto à tensão de deslocamento, esta parte tem uma corrente de polarização de entrada de 650 nA (typ), o que criaria uma queda de 65 mV em 100k. Mas as correntes de polarização são razoavelmente bem combinadas, com uma especificação de corrente de deslocamento de *ÿIB* = ±50 nA (tipo), criando assim um deslocamento de entrada de 5 mV. Isso é muito melhor, mas degrada seriamente o VOS típico do amplificador = ±0,2 mV (±2 mV máx.). Você precisa manter Rf e Rg abaixo de 10k para preservar a precisão do amplificador. atrevido.

Finalmente, ruído. Existem duas contribuições, o ruído de Johnson dos resistores (en= ÿ 4kTR=0,13ÿR nV/ ÿ Hz), e a tensão de ruído desenvolvida pelo ruído atual do amplificador *(en* = inRf). Para Rf = 100k a voltagem do ruído Johnson é 40 nV/ ÿ Hz, e o ruído produzido pelo amplificador in = 0,6 pA/ ÿ Hz é 65 nV/ ÿ Hz. Estes degradam desastrosamente os típicos 4,6 nV/ÿ Hz do amplificador (tomando a raiz usual da soma dos quadrados, a tensão de ruído total adicionada é de 76 nV/ÿ Hz). A tabela abaixo resume esses números, e também aqueles correspondentes a *RfRg* = 10k e Rf = Rg = 1k.101

Resumindo: em comparação com o valor nominal de 1k, o uso de resistores de ajuste de ganho de 100k reduz sua largura de banda ×10, aumenta a tensão de deslocamento típica ×25 e aumenta a tensão típica de ruído referido na entrada ×16.

Você não gostaria de fazer isso. Mas você poderia razoavelmente usar algo como 2,49k, 4,99k ou talvez 10k, comprando maior impedância de entrada às custas de degradação modesta de largura de banda, ruído e precisão.

Rf,Rg	ÿ3 dB Tensão de largura de banda (MHz)	Desvio* (mV, tipo)	Ruído referenciado na entrada ÿ 4kTR (nV/ ÿ Hz)	*inRf* (nV/ ÿ Hz)	Total* (nV/ ÿ Hz)
1k	150	±0,2	4	0,7	4.6
10k	45	±0,5	13	6.5	15
100k	15	±5	40	65	76

* Inclui VOS e en do amplificador.

J. Impedância de saída em modo comum A tensão conforme inserida no pino VOCM define a tensão de saída em modo comum. Dito de outra forma, os amplificadores diferenciais têm uma baixa impedância de saída em modo comum. Isso geralmente é o que você quer; afinal, é por isso que existe *um* pino VOCM . Mas isso pode criar dificuldades se a saída for enviada para uma carga remota que precise estabelecer seu nível de modo comum preferencial. Esse é o caso do áudio (ou vídeo) balanceado, enviado a distâncias substanciais por cabo de par trançado balanceado.

Dê uma olhada na Figura 5.100B. Ao conduzir o pino VOCM com a tensão de saída média, você cria um amplificador que coopera deixando a carga conduzir a dança.

Na verdade, a carga pode até mesmo desequilibrar o sinal intencionalmente (aterrando um lado), caso em que a outra saída oscila simetricamente em torno do solo com a tensão de saída diferencial desejada.102 Existem alguns amplificadores diferenciais que são projetados especificamente para este tipo de aplicação, com uma configuração interna que cria uma alta impedância de saída em modo comum. Vimos um exemplo (o DRV134, semelhante ao SSM2142) na Figura 5.93. Outro excelente é o THAT1606, da curiosamente chamada WHO Corporation.103 A solução tradicional tem sido usar um transformador de isolamento, que também pode fazer o trabalho de conversão entre sinais de terminação única e sinais balanceados (isso é conhecido como "balun ," para *balanceado-desbalanceado)* como mostrado. Mas

100 Você pode ver isso de outra maneira: os valores do resistor de ajuste de ganho recomendados pelo fabricante são escolhidos de forma que uma pequena quantidade de pico seja explorada para estender a largura de banda natural do amplificador.

101 Muitas partes (as configurações D e E) permitem adicionar capacitores de realimentação para reduzir a largura de banda. Com algumas partes, isso pode introduzir estabilidade em ganhos baixos, mas com outras pode melhorar a estabilidade, especialmente quando valores de resistores maiores são usados.

102 Omita o pequeno capacitor de bypass mostrado, se este modo de operação for antecipado.

103 Um membro do clube de nome corporativo difícil de usar no Google, que inclui *AND Displays* e *ON Semiconductor.* (Experimente: você obterá mais de dez bilhões de resultados do Google para "AND" ou "ON".)

A. “padrão” (baixo CM-Zout)

B. isolado (alto CM-Zout)

Figura 5.100. A tensão de saída de modo comum de um amplificador diferencial é definida pelo pino VOCM (geralmente com padrão de alimentação intermediária se não for acionado), produzindo uma baixa impedância de saída de modo comum, como em A. Mas para aplicativos de áudio ou vídeo balanceados, você deseja que o carga (distante) para ser o chefe. Você pode enganar um amplificador diferencial, como em B, simulando o *CM-Zout* muito alto de um transformador de isolamento ou balun.

os transformadores são volumosos, limitados em largura de banda e linearidade e não são baratos. Amplificadores diferenciais *CM-Zout* altos podem ser uma alternativa atraente.

5.17.2 Exemplo de aplicação de amplificador diferencial: link analógico de banda larga

Concluímos a discussão sobre amplificadores diferenciais com vários exemplos de aplicação: um link analógico de banda larga em um cabo de par trançado e um riff sobre acionamento de ADCs de entrada diferencial.

Em §5.14.2F, ilustramos o uso de um amplificador de diferença como a extremidade receptora de um link analógico sobre um cabo diferencial de par trançado. Nesse circuito, o *R4C1* cria uma resposta crescente em altas frequências (“equalização”), para compensar o aumento da atenuação do cabo. Para completar o link, é claro, precisamos de um driver diferencial.

A Figura 5.101 mostra a enchilada inteira, aqui implementada com o par de driver/receptor de linha diferencial EL5170/72 da Intersil. Fabricam também unidades triplas (EL5370/72), com aplicação para vídeo a cores. Larguras de banda de dezenas de megahertz são facilmente alcançáveis em dezenas de metros de cabo Cat-5, com equalização modesta na extremidade do receptor.
O cabo coaxial é consideravelmente melhor e duas linhas coaxiais de 50 ÿ podem substituir o par diferencial de 100 ÿ. Como sempre, o sinal balanceado combina com excelente receptor CMRR (aqui tipo 95 dB) para fornecer alta rejeição de interferência.

5.17.3 ADCs de entrada diferencial

Muitos conversores analógico-digitais requerem entradas de sinal diferencial. Isso é quase universalmente verdadeiro para conversores de alta velocidade (por exemplo, conversores flash de pipeline), bem como as variedades conhecidas como “SAR de redistribuição de carga” e “delta sigma” (ADCs, em toda a sua glória, são o assunto principal do Capítulo 13). E, em muitos casos, a entrada dificilmente é benigna – os capacitores comutados internos introduzem transientes de carga nos terminais de entrada, exigindo alguma capacidade de derivação externa. Um aborrecimento adicional é o requisito de que o driver deve ser capaz de balançar as entradas em toda a faixa de conversão (que pode incluir o aterramento), mas sem conduzi-las além dos trilhos de alimentação do ADC (com o risco de danos por condução do grampo de entrada e possível SCR trava).

A. Primeira iteração: driver ADC de alimentação única com V offset OCM

A Figura 5.102 mostra duas iterações de um driver de entrada para ADCs de alimentação única rápida com entradas diferenciais. Nosso primeiro projeto foi baseado no conversor flash AD9225 de 12 bits e 25 Msps, que opera a partir de uma única fonte analógica de +5 V e possui um pino de alimentação digital separado para interface com microcontroladores operando de +3 V a +5 V. Sua faixa de entrada é programável, 0–2 V ou 0–4 V, e fornece uma saída CC intermediária (+1 V ou +2 V) que pode ser usada para definir a saída de modo comum do amplificador diferencial (através do pino VOCM).

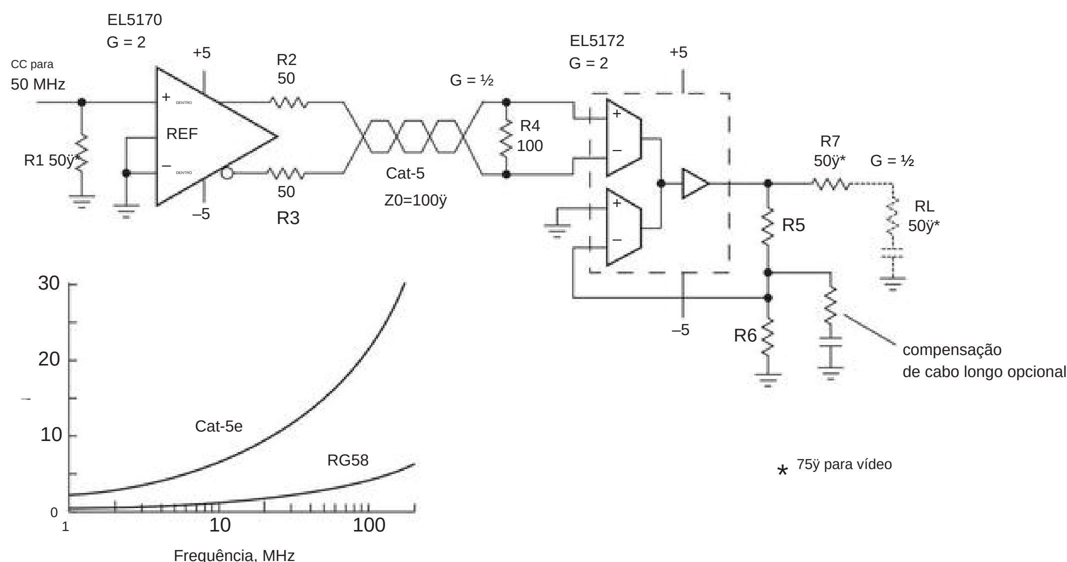


Figura 5.101. Link analógico de banda larga sobre cabo de rede Cat-5. O EL5370/72 inclui três drivers-receptores de desempenho semelhante em um único IC, conveniente para enviar vídeo analógico (RGB, S-Video ou vídeo componente YPbPr) por um único cabo (que possui quatro pares trançados). Veja também a Figura 5.71.

Ao operar o amplificador diferencial com os mesmos +5 V e terra, temos a certeza de que as entradas do ADC não podem ser conduzidas além dos trilhos. Escolhemos o amplificador diferencial AD8139 por seu baixo ruído (2,2 nV/ ÿ Hz), ampla largura de banda (ÿ15 MHz em *G* = 20) e capacidade de oscilar sua saída trilho a trilho (para conduzir o ADC em sua capacidade máxima -intervalo de entrada). Usamos o par recomendado de resistores em série para suprimir o toque do amplificador de transientes de carga na entrada ADC; e adicionamos um capacitor shunt para reduzir esses transientes e também fornecer um segundo estágio de filtragem anti-alias.104 Isso é tudo uma boa notícia. A má notícia é que esse amplificador, assim como a maioria dos amplificadores diferenciais, não inclui o aterramento em sua faixa de operação de modo comum de entrada: você precisa manter um volt de distância de qualquer um dos trilhos. Portanto, você não pode simplesmente vincular uma entrada ao terra e conduzir a outra com um pequeno sinal ao redor do solo.105 O amplificador *permite* operar com fontes divididas (por exemplo, ±5 V), o que resolve o problema do nível de sinal de entrada; mas então você tem que se preocupar sequenciamento da fonte de alimentação e o risco de direcionar corrente negativa para os diodos de fixação do ADC.

B. Segunda iteração: driver ADC de alimentação única com Vin(CM) para aterrar O que fazer? Encontre um amplificador de fonte única que opere com entradas no trilho negativo! Foi o que fizemos no segundo circuito, cuja faixa de entrada em modo comum do THS4521 inclui o terra ("NRI" – entrada de trilho negativo) e, de fato, garante a operação adequada com entradas para ÿ0,1 V.106 Ele também possui o trilho necessário para -rail, mas é um pouco mais ruidoso e lento que o AD8139 (4,6 nV/ ÿ Hz e um ganho de apenas ×5, para manter a largura de banda de 18 MHz).

Nós o associamos ao ADC14L040, um ADC mais preciso e rápido (14 bits, 40 Msps) que funciona com uma única fonte de +3,3 V e usa menos energia (235 mW versus 335 mW). O span do ADC é de ±0,5 V, centrado em uma tensão intermediária permitida de +0,5 V a +2,0 V. Poderíamos ter usado a saída de +1,5 V derivada da referência do ADC para acionar o pino VOCM do amplificador , como antes; mas quando esse pino não é acionado, o padrão do amplificador é o fornecimento intermediário

[104] Repetindo alguns conselhos importantes: ao projetar com CIs de alta velocidade, é particularmente importante prestar atenção às instruções especiais na folha de dados; o AD9255, por exemplo, dedica quase uma página inteira a uma discussão sobre R's e C's de entrada.

[105] Exceto ao operar com baixo ganho: aqui isso exigiria Gÿ1, de modo que os terminais de entrada do AD8139 sejam levados a 1 V ou mais pelo divisor *RfRg* . Veja a discussão em §5.17.1.

[106] Outros amplificadores diferenciais cujas entradas de realimentação podem operar no solo ou próximo a ele são indicados com **w** ou **v** na Tabela 5.10 (página 375) e incluem o LTC1992, LTC6605, LTC6601, LTC6404, THS4508 e THS4511. Essas partes abrangem a faixa de largura de banda de 3 MHz a 2.000 MHz.

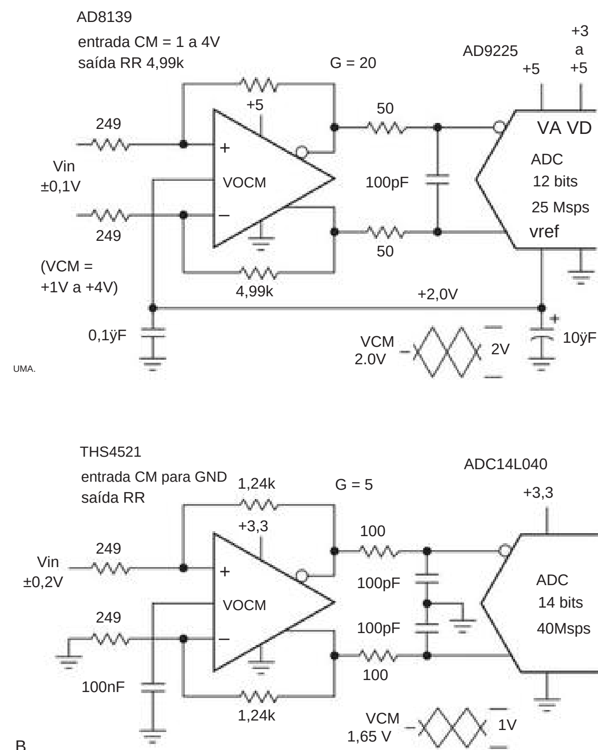


Figura 5.102. O cuidado e a alimentação de ADCs de entrada diferencial de alimentação única. A. O AD9225 fornece uma saída Vref de escala média para definir a saída de modo comum do amplificador; mas as entradas do AD8139 não podem chegar a menos de 1 V de qualquer trilho. B. O THS4521 é incomum ao permitir tensões de entrada no trilho negativo (aqui aterrado).

(+1,65 V), o que é bom. Como antes, adicionamos o filtro de desacoplamento recomendado.

Dada a resolução mais alta do ADC, vale a pena verificar como a tensão de ruído contribuída pelo amplificador e resistores se compara com o tamanho do passo do conversor. Levando em conta o ganho de entrada, o tamanho do passo é 400 mV/214, V. A densidade de ruído ou 25 ÿ do amplificador (4,6 nV/ ÿ Hz) com combinado com o ruído do resistor (não correlacionado) (2,7 nV/ ÿ Hz) é cerca de 5,3 nV/ ÿ Hz, ou cerca de 18 µVrms em ~12 MHz largura de banda efetiva do amplificador e filtro *RC* . Em outras palavras, a tensão de ruído é comparável ao tamanho do passo LSB do conversor. Isso é bom, embora seria bom tê-lo um pouco mais baixo.107 Talvez uma maneira de pensar sobre isso é que as virtudes de velocidade e resolução do circuito fizeram

[107] Mas, às vezes, um pouco de ruído pode ser uma coisa *boa* , pois pode melhorar a linearidade do ADC e a faixa dinâmica por meio de "dithering". Veja, por exemplo, *The Art of Digital Audio* de John Watkinson (3ª ed., 2001); ou Vanderkooy e Lipshitz "Dither in digital audio," *J. Audio Eng. Soc.,* **35,** (12), 966–975, (1987).

a contribuição de ruído relativamente pequena parece ruim. Você sempre pode jogar fora a largura de banda (se não precisar dela) ou apenas olhar para os 12 bits principais, se isso fizer você se sentir melhor.

C. Terceira iteração: acoplamento do transformador

Se você não precisa de acoplamento CC, uma maneira fácil de acionar conversores de entrada diferencial é com um transformador de banda larga. Eles são amplamente usados em aplicações de radiofrequência e você pode obtê-los em pequenos pacotes de montagem em superfície. A Figura 5.103 mostra como fazer isso. Use a saída de referência intermediária do ADC (devidamente ignorada) para definir a tensão de modo comum e use uma terminação resistiva que corresponda à impedância transformada da fonte de acionamento.

Aqui usamos um transformador de relação de 1:2 espiras, que transforma as impedâncias por essa relação ao quadrado, portanto 50 ÿ:200 ÿ. Isso resolve bem os problemas das faixas de tensão de entrada e saída do amplificador, ruído e assim por diante. Mas observe que não há proteção intrínseca contra o overdrive do ADC.

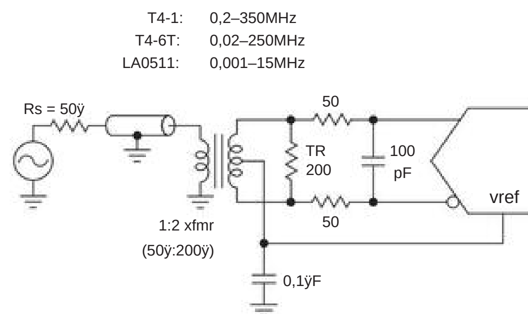


Figura 5.103. Os transformadores de banda larga podem acionar ADCs de entrada diferencial. Eles têm excelente CMRR e estão disponíveis com intervalos de frequência de 10.000:1.

5.17.4 Correspondência de impedância

Amplificadores diferenciais são comumente usados para aplicações de largura de banda larga, nas quais a entrada (de terminação única) deve ser terminada adequadamente para corresponder à impedância da fonte do sinal (geralmente 50 ÿ). Isto é particularmente importante quando o sinal chega através de um comprimento de linha de transmissão, a fim de evitar reflexões (consulte o Apêndice H). Isso não é difícil, desde que você mantenha o bom senso.108 A Figura 5.104

mostra a situação quando amplificadores diferenciais do tipo D (Figura 5.96) são usados. O resistor extra RT é escolhido de forma que a fonte de sinal veja uma impedância de entrada igual a RS (ou seja, RT Rin = RS). Observação

[108] E talvez leia o útil Analog Devices MT-076 "Differential Driver Analysis".

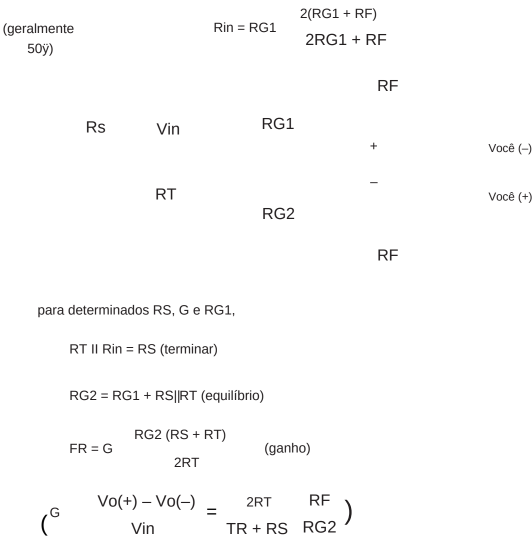


Figura 5.104. Terminação simples para amplificador diferencial: equações de design.

especialmente que a entrada não inversora do amplificador não é um terra virtual, então Rin é um pouco maior que RG1 sozinho, de acordo com a equação na figura. O amplificador diferencial tem os resistores de realimentação de valor igual RF usuais, mas os resistores de ajuste de ganho RG são desiguais, para levar em consideração a impedância finita no ponto de acionamento (marcado como Vin). Ou seja, RG2 deve ser maior pela resistência paralela RS RT. Finalmente, os resistores de realimentação RF devem ser ajustados para cima para trazer o ganho de volta ao valor desejado.

Observe que o ganho é definido em termos de Vin, ou seja, em relação à amplitude do sinal de entrada *carregado (não* à amplitude da fonte de circuito aberto). Isso faz sentido, porque as amplitudes de sinal (de geradores de sinal, etc.) são normalmente especificadas como suas amplitudes devidamente terminadas.

Como exemplo, para uma fonte de 50 ÿ, *G* = 2 e RG1 = 200ÿ, você encontraria (escolhendo valores de resistor padrão de 1% mais próximos) RT = 60,4ÿ, RG2 = 226ÿ e RF = 412ÿ.

Ao contrário da situação em altas frequências, não é necessário terminar uma fonte de sinal ao operar em baixas frequências (por exemplo, áudio). Nesse caso, RT é omitido e RG2 é simplesmente RG1 + RS. O ganho, definido agora em termos da amplitude do sinal da fonte *de circuito* aberto, é apenas *G = RF/ (RG2).*

5.17.5 Critérios de seleção do amplificador diferencial

Todos os amplificadores diferenciais não são criados iguais. Há muitas sutilezas à espreita, associadas a compensações de largura de banda, precisão, capacidade de unidade de saída, tensão de alimentação e similares. Aqui está uma coleção resumida de tais considerações, estreitamente ligadas aos amplificadores diferenciais listados na Tabela 5.10 na página 375.

A. Tensão de alimentação, capacidade de saída RR O primeiro grupo na Tabela 5.10 lista os amplificadores diferenciais de alta tensão, com alimentações de ±12 V a ±15 V (embora alguns possam trabalhar até ±5 V). Eles geralmente são usados com fontes bipolares (divididas), mas a maioria tem a capacidade de saída de modo comum VOCM para acionar ADCs de fonte única. Esta capacidade de modo comum distingue as peças nesta mesa de outros tipos. A maioria das peças possui resistores divisores internos de divisão de trilho (que requerem um capacitor de bypass) para estabelecer a tensão de saída de modo comum, mas isso pode ser substituído por uma saída CC intermediária fornecida pelo ADC (consulte a Figura 13.28 em §13.6. 2). Certifique-se de verificar ambas as folhas de dados – às vezes, um amplificador operacional será necessário (como na Figura 5.86).

Tenha em mente que "Vout diff'l max (Vpp)" significa *(Va*+ ÿVbÿ)+(Vb+ ÿVaÿ); ou seja, duas vezes a oscilação de saída pico a pico de qualquer saída.

Essas peças têm alta capacidade de saída diferencial, > 50 Vpp (cada saída vai ± 12,5 V) e ainda mais alta para fontes de ± 18 V, portanto, adequadas para aplicações de acionamento de linha. O diferencial WHO1606, OP1632 e LME49724, e a entrada de terminação única DRV134 são todos destinados ao áudio profissional (consulte §13.9.11D). Conforme descrito anteriormente, os tipos diferenciais também podem ser usados com entradas de terminação única. Para obter a menor distorção, todas essas quatro partes devem ser acionadas por uma fonte de baixa impedância, como uma saída de amplificador operacional.

A seguir, na Tabela 5.10 (página 375), estão os amplificadores de baixa tensão de alimentação. A maioria dos amplificadores diferenciais de alta frequência e baixa tensão de alimentação são limitados a um máximo de ± 5 V de alimentação, ou até menos. Muitos não podem ser usados com tensões de alimentação totais superiores a 5 V, ou mesmo 3,3 V em alguns casos. Alguns podem funcionar com uma única fonte tão baixa quanto +2,7 V ou +3,3 V, outros precisam de pelo menos +5 V.

Muitas das partes de baixa tensão de baixa a média frequência têm saídas rail-to-rail (RRO), convenientes para ADCs de alimentação única, que não permitem sinais além de seus trilhos de alimentação: basta alimentar o amplificador da mesma fonte ferroviário como o ADC. Mas observe especialmente que os tipos RRO de alta frequência podem sofrer degradação da capacidade de alta frequência quando usados perto de seus trilhos de alimentação. Por exemplo, o LTC6404, com uma largura de banda de 600 MHz, revela até mesmo uma distorção de 10 MHz que aumenta drasticamente quando a saída se aproxima de 400 mV dos trilhos.

Uma alternativa ao uso de saídas RR de baixa tensão para proteger as entradas do ADC é usar um amplificador com fixação de tensão de saída. Esse é um bom recurso do LMH6553.

Esta parte também é um amplificador CFB, bom para ampla largura de banda com altos ganhos, mas ruim para ruído (consulte a próxima subseção).

B. Faixa de entrada do modo comum e o negativo trilho

A maioria das peças tem junções de soma que devem ser operadas pelo menos um volt ou mais acima do trilho de alimentação negativo (o THS4521 de baixa potência é uma exceção). No entanto, conforme explicado em §§5.17.1G e 5.17.3), isso não impede necessariamente que os *sinais* de entrada sejam aterrados, principalmente quando o amplificador é operado em uma configuração totalmente diferencial com ganhos baixos (*G* = 1 ou *G* = 2, por exemplo).

Nove das partes (marcadas **com w** ou **v** na coluna “RRO” da Tabela 5.10 – consulte a página 375) permitem o uso de suas junções de soma até ÿVEE. As folhas de dados declararão algo como “Intervalo de entrada de modo comum inclui o trilho negativo” ou “NRI” na primeira página. Na maioria dos casos, o desempenho não é degradado sob esta condição, em contraste com a perda de desempenho quando os amplificadores com capacidade RRO são executados nos extremos da oscilação de saída.[109] Isso é especialmente útil quando amplificadores totalmente diferenciais são usados como single-ended para conversores diferenciais, com a entrada (-) aterrada, conforme Figura 5.102B. Mas tenha cuidado - se qualquer entrada de junção somadora for levada além do especificado -0,2 V abaixo de -VEE, pode ocorrer inversão de polaridade na saída, semelhante à situação com o legado (mas ainda muito popular) LM324/358 single- fornecer amplificadores operacionais.[110]

C. Baixo Zin A maioria desses amplificadores apresenta impedâncias de entrada bastante baixas para suas fontes de sinal, especialmente quando configurados para altos ganhos, porque os valores especificados do resistor de ajuste de ganho de Rf são baixos e Zin é aproximadamente Rf/G (exceções: LTC6416 , e a família EL5170). A maioria das partes com impedâncias de entrada mais altas são mais ruidosas, principalmente por causa do ruído do resistor Johnson (exceção: o AD8352, que usa a configuração F em vez da configuração D).

A correspondência de impedância de sinal costuma ser uma preocupação, especialmente em altas frequências, digamos 30–100 MHz e acima, mesmo com traços curtos de PCB. O baixo Zin de um amplificador complica o problema de igualar a impedância da fonte de sinal e também afeta o ganho do amplificador. Consulte §5.17.4 para fórmulas úteis.

[109] Algumas peças (por exemplo, THS4008 e THS4511) até mesmo especificam “VSÿ = 0” e “entrada referenciada ao terra” como a condição operacional para suas especificações.

[110] Para o último, você pode substituir o LT1013/1014 aprimorado, que evita esse hábito desagradável e oferece melhor desempenho geral; mas tal solução não está disponível para amplificadores diferenciais.

D. Tensão de deslocamento, CMRR Muitos dos amplificadores na Tabela 5.10 (consulte a página 375) têm baixa tensão de deslocamento e outras especificações CC. A maioria delas são peças de ganho fixo com resistores internos (por exemplo, com a configuração D3). Eles parecem estar sofrendo de compensações decorrentes da alta tensão de saída de modo comum VOCM que é natural com amplificadores diferenciais, combinada com modestas incompatibilidades de resistores internos; por exemplo, uma incompatibilidade de resistor de 1% operando em um VOCM de 1,5 V produziria um deslocamento de entrada efetivo de 15 mV. Por outro lado, a maioria das peças “nuas” (por exemplo, a configuração D) na tabela tem especificações atraentes de baixa tensão de deslocamento. Mas eles certamente desenvolverão altos deslocamentos se você usar resistores de ajuste de ganho de 1% para completar o amplificador. Observe também que a precisão CC é degradada pela resistência externa incompatível ao acionar amplificadores diferenciais de configuração D.

Se tivéssemos espaço para uma coluna CMRR na tabela, veríamos uma dicotomia similar de ganho nulo versus ganho fixo, e pelo mesmo motivo. Tomando dois exemplos de suas respectivas folhas de dados, o ADA4932 simples tem um CMRR típico de 100 dB, em comparação com 64 dB para o ADA4950 de ganho fixo semelhante. Da mesma forma para o LTC1992 simples (90 dB) e o LTC1992-10 de ganho fixo (60 dB).

Em muitas aplicações totalmente diferenciais, o CMRR não é importante. Mas se for importante em seu projeto, use resistores de 0,1% ou matrizes de resistores correspondentes. E certifique-se de tomar cuidado especial com as capacitâncias da fiação da placa de circuito, que realmente importam em altas frequências: por exemplo, para obter uma correspondência de ÿ80 dB a 1 MHz com resistores de ajuste de ganho de 500 ÿ, você precisa combinar as capacitâncias com um difícil 0,03 pF! E nenhuma boa ação fica impune – o CMRR será degradado em 20 dB para cada década de aumento na frequência.

Uma solução melhor seria usar uma peça de configuração E ou F. As peças da série EL5170 da Intersil têm boa CMRR, por exemplo, 80 dB a 1 MHz (mas deslocamento ruim de 25 mV), e o AD8352 da Analog Device apresenta 60 dB a 100 MHz e deslocamento de 6 mV. Ambos são muito menos afetados por resistências de entrada não balanceadas do que os tipos de configuração D.

E. Ganho fixo, ganho configurável por resistor externo Uma boa razão para selecionar um amplificador de ganho fixo é que alguns deles têm melhor precisão de ganho do que pode ser alcançado de forma fácil e barata com resistores discretos - por exemplo, erros de ganho atraentes no pior caso de ±0,04% para o NSC LMP3712, ±0,15% para o TI (Burr–Brown)

PGA280 (ambas as partes de ganho programável) e ±0,08% para o AD8270 programado por pinos de dispositivos analógicos.

A simplicidade dos tipos de ganho fixo pode parecer atraente, mas alguns tipos de resistores externos têm seus aspectos atraentes, por exemplo, TI's THS4520 e Analog's ADA4932

extraem correntes de alimentação muito mais baixas do que seus concorrentes. O THS4520 pode ser usado para fazer amplificadores G=10 com largura de banda de 120 MHz.

Os tipos de ganho fixo são mais fáceis de usar em altas frequências, porque evitam problemas dolorosos de fiação e capacitância de pinos. Mas a maioria tem precisão de ganho absoluto ruim, *ÿG* na Tabela 5.10 (exceção: o ADL5561). A maioria não permite a adição de capacitores de filtro limitadores de largura de banda e a maioria restringe você a valores de baixo ganho (exceções: o PGA870 e o LT1993-10, mas observe seu alto consumo de energia).

F. VFB, CFB, f 3dB, GBW e filtros Poucos amplificadores de ganho fixo oferecem capacidade de filtragem especial. Três ofertas de LTC são uma exceção, especialmente o LT6600-x, com cinco frequências fixas de filtro de 4ª ordem (aliteração!) disponíveis de 2,5 MHz a 20 MHz.

Todos os tipos de ganho ajustável empregam amplificadores operacionais de modo feedback de tensão, com duas exceções (o LMH6552 e o LMH6553). Para ganhos *G* ÿ 4 eles seguem a regra GBW, ou seja, fÿ3dB =GBW/G. Mas esteja ciente de que o valor de "Largura de banda" na tabela é geralmente consideravelmente maior (1,5 × ou mais) do que o GBW da parte, porque é determinado no ganho unitário, onde o amplificador se beneficia do pico de resposta que estende seu rolloff de -3 dB frequência. (O fabricante pode querer mostrar seus valores de melhor aparência, mas o pico para *G* = 1 pode ser tão severo com algumas peças que você pode não querer usá-las dessa forma.) Você pode ter que estudar os gráficos de resposta da folha de dados, etc. , para determinar o valor real real (e muito útil) de GBW.

Como esses são tipos de amplificadores operacionais VFB, eles são estáveis com capacitores de filtro limitadores de largura de banda adicionados aos resistores de realimentação. Você pode aumentar o valor de Rf (que aumenta a impedância de entrada) e adicionar um pequeno capacitor Cf paralelo para controlar o pico ou um maior para fornecer um filtro de largura de banda para seu sinal.111

G. Pico de resposta, GBW e largura de banda de 0,1 dB O pico de ganho é o principal assassino de boas classificações de "largura de banda até 0,1 dB". Os números de largura de banda de 0,1 dB podem ser muito melhorado para ganhos mais altos, onde picos de baixo ganho são eliminados. Tomemos, por exemplo, o ALD5561, que possui uma largura de banda de ÿ3 dB de 2900 MHz em seu ganho mínimo *(G* = 2), mas sua largura de banda de ÿ0,1 dB é decepcionante de 200 MHz (ou seja, apenas 7% de sua largura de banda de ÿ3 dB largura de banda). No entanto, em seu ganho máximo *(G* = 6), onde ÿ3 dB é reduzido um pouco (para 1800 MHz), sua largura de banda de ÿ0,1 dB *melhora* para 600 MHz (ou seja, 33% de sua largura de banda de ÿ3 dB). Esse comportamento é bem exibido nos gráficos da folha de dados (consulte a Figura 5.105). É possível que o tempo de acomodação também seja melhorado (por falta de toque), embora isso não seja especificado.

Observe que algumas das peças na tabela estão disponíveis em configurações duplas (observadas na coluna Comentários na Tabela 5.10), o que pode ser útil para fornecer respostas de atraso de tempo correspondentes, importantes para muitas aplicações.

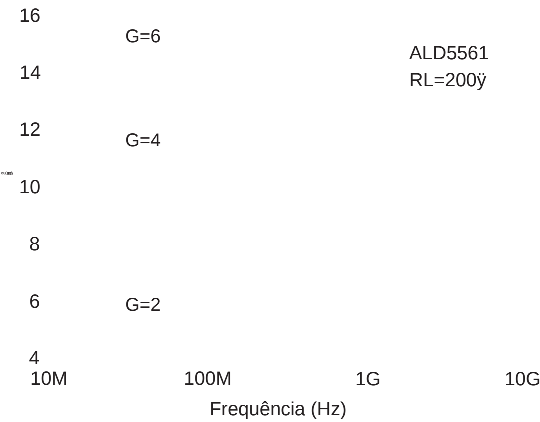


Figura 5.105. O pico do amplificador em configurações de baixo ganho produz uma largura de banda estendida de "-3 dB", às custas da planicidade do re resposta.

H. Taxa de variação, tempo de estabilização, largura de banda de sinal grande Assim como com alguns amplificadores operacionais de alta velocidade, as folhas de dados indicam uma largura de banda muito maior para sinais pequenos (ÿ100 mV) do que para sinais grandes (ÿ2 V). Este é um problema de taxa de variação: as capacidades de oscilação de saída do amplificador são reduzidas à medida que seus limites de taxa de variação são atingidos. Por exemplo, o ADA4932 de baixa potência da Ana log Devices tem uma taxa de variação de 2800 V/ ificada, o que implica que saídas de onda senoidal de amplitude de 1 V são possíveis para f = S/2ÿA = 445 MHz. De fato, a folha de dados da peça mostra uma resposta de -3 dB para 560 MHz (ou mesmo 1 GHz com Rf menor) para saída de 100 mV, mas apenas para 360 MHz para 2 Vpp. Peças com taxa de rotação mais alta estão disponíveis,

[111] Tomando como exemplo os amplificadores CFB LMH6553 e LMH6552, estes são especificados com Rf=274ÿ e 357ÿ, nos quais as respectivas larguras de banda são 900 e 1500 MHz, e as taxas de variação são 2300 e 3800 V/s. Essas especificações são para G=1, mas com CFB op-amps você pode aumentar ÿ drasticamente seu ganho sem perder muita largura de banda.

Por exemplo, o LMH6552 de 1500 MHz afirma ter 800 MHz de largura de banda ainda em G=4. Para um ganho maior, você pode preferir não reduzir muito o Ri , mas sim aumentar o Rf. Com amplificadores CFB, um efeito primário do aumento de Rf é reduzir proporcionalmente a taxa de variação; mas, ei, você tinha muito para começar! Aumentar Rf com CFB causa um aumento no ruído.

até 10 kV/ ÿ s (o ALD5561), implicando uma capacidade de 2 Vpp para 1,5 GHz.[112]

I. Distorção

Duas das partes de alta tensão (o OP1632 e o LME49724), freqüentemente usadas para aplicações profissionais de música, têm seu desempenho de distorção plotado na Figura 5.43. Esperamos que um circuito totalmente diferencial, com sinais de entrada diferenciais, possa ter uma distorção menor do que os circuitos concorrentes de terminação única, pelo menos para o 2º harmônico simétrico. E, de fato, o diferencial LME49724 funciona muito bem, no território de -140 dB.

No entanto, os amplificadores operacionais LME49990 e OPA134 de terminação única se saem melhor no gráfico.

A Figura 5.106 plota a distorção (das folhas de dados dos fabricantes) para alguns dos amplificadores diferenciais na Tabela 5.10 (página 375) para frequências de até 100 MHz. Como alertamos anteriormente, as condições para dados de distorção não são padronizadas, complicando as comparações diretas. Conseqüentemente, muitas dessas partes fornecem gráficos múltiplos, obtidos com diferentes combinações de ganho, resistência de carga, amplitude do sinal e tensão de alimentação, e nos quais as curvas de distorção de 2º e 3º harmônicos são mostradas separadamente.

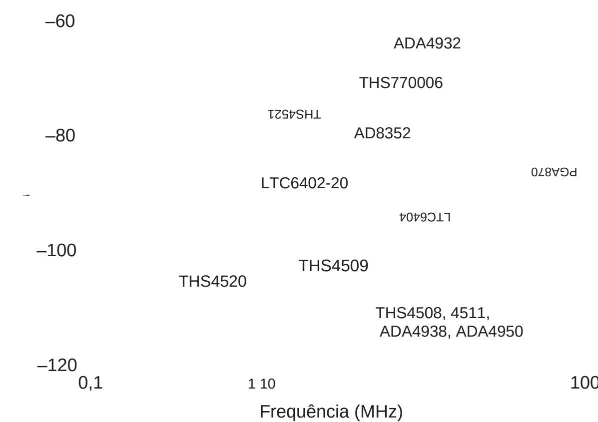


Figura 5.106. Distorção harmônica total (THD) versus frequência, retirada dos respectivos datasheets, para seleção dos amplificadores diferenciais na Tabela 5.10 na página 375.

Tenha cuidado ao avaliar a distorção (um parâmetro que não listamos na tabela). Por exemplo, o ADA4932 tem largura de banda de 560 MHz (ou 360 MHz), conforme discutido anteriormente, mas o brilho de sua reivindicação de primeira página de ser um amplificador de baixa distorção (-90 dB a 20 MHz) é manchado e quando você descobre que ele se deteriora por um fator de 10 × por 50 MHz, bem abaixo de sua largura de banda de 360 MHz.

Como vimos com os gráficos de distorção do amplificador operacional nas Figuras 5.43 e 5.44, há uma forte correlação entre velocidade (alto GBW, taxa de variação rápida) e baixa distorção em altas frequências. Isso fica especialmente claro na Figura 5.106 acima de 1 MHz. Por exemplo, o THS4521 de 145 MHz que mencionamos frequentemente tem desempenho ruim mesmo na região abaixo de 5 MHz, em comparação com seu parente TI, o THS4511 de 1,6 GHz (observe que ambos têm front-ends NRI, ou seja, operando em modo comum faixa de entrada para o trilho negativo).[113] Quatro das melhores partes desta classe mantêm uma distorção melhor que -100 dB em 20 MHz, em comparação com apenas 7 MHz para o melhor amplificador operacional AD8045 da categoria na Figura 5.44. Em outras palavras, em altas frequências (digamos, acima de 10 MHz), amplificadores totalmente diferenciais se destacam em baixa distorção em comparação com amplificadores operacionais de terminação única.

Como veremos no Capítulo 13, ADCs de 16 bits estão disponíveis com taxas de amostragem de até 250 Msps (por exemplo, o AD9467, consulte a Tabela 13.4), justificando a necessidade de linearidade superior a 0,01% (distorção de -80 dB) em frequências próximas 100 MHz. Felizmente, os fabricantes de amplificadores diferenciais estão enfrentando esse desafio.[114]

J. Ruído, cantos de ruído 1/f altos

Concluímos com alguns comentários sobre ruído. Tabulamos o ruído de *tensão* do amplificador , mas não o ruído *atual* . Mas listamos a corrente de polarização de entrada IB, que é aproximadamente preditiva do ruído atual, que deve ser igual ou superior à contribuição do ruído de disparo de in=ÿ2qIB. Observe que os amplificadores CFB, com suas correntes de entrada excepcionalmente altas, têm um ruído de entrada muito maior, geralmente até 10 vezes maior que os amplificadores VFB.

Observando a Tabela 5.10 (página 375), vemos muitos amplificadores com densidades de ruído na faixa de 25 a 45 nV/ÿ Hz. Supondo que não haja aumento acima de 10 MHz (verifique os gráficos da folha de dados), isso corresponde a um ruído de tensão de entrada de banda larga de Vn=en ÿ BW, que avalia 175–700 Vrms para larguras de banda de 50–250 MHz. Isso é um pouco maior do que o ÿ tamanho do passo LSB de 30 V de um ADC de 16 bits com uma entrada diferencial de escala completa de 2 Vpp. Enquanto alguns

[112] O AD8351 (não em nossa tabela, mas semelhante ao AD8352), oferece largura de banda de 3 GHz com taxa de variação de 13 V/ns e capacidade de 2 Vpp para quase 2 GHz.

[113] Para ser justo, o THS4521 sobrevive com míseros 1,1 mA de corrente de alimentação e tem saídas RR, enquanto o THS4511 leva 39 mA e carece de RROs.

[114] Mas eles estão enfrentando o desafio colocado pelo ADC12D1800 da NSC, um conversor de 3600 Msps de 12 bits? Ou o desafio ainda maior representado pelos ADCs ainda mais rápidos que certamente estarão disponíveis quando a tinta deste livro secar? Esses ADCs provavelmente terão que ser acionados por transformadores.

dither é uma coisa boa, é claro que mesmo em *G* = 1 esses amplificadores são muito ruidosos para algumas aplicações.

Existem muitos outros amplificadores na tabela com especificações abaixo na faixa de 1,1 a 5 nV / ÿ Hz. Mas essas são as especificações de ruído de junção de soma do amplificador simples, sem os resistores de feedback necessários levados em consideração. Os ganhos do amplificador de 5 ou 10 são geralmente assumidos, não menos para superar o próprio ruído do estágio de saída do amplificador. Muitos dos amplificadores especificam valores de Rf de 350–500 ÿ. Para *G* = 1, o resistor de entrada Rg teria o mesmo valor, e seu ruído John son de 2,4–2,8 nV/ÿ Hz dominaria o ruído intrínseco dos amplificadores mais silenciosos. No entanto, para *G* = 10, o ruído do resistor de 35–50 ÿ está abaixo de 1 nV/ÿ Hz, o que não degradaria muito o ruído do amplificador completo.

Finalmente, muitos amplificadores têm especificações de ruído de boa aparência, mas devemos avisá-lo para examinar as curvas de ruído versus frequência em suas folhas de dados; muitos têm cantos de ruído 1/ *f* muito altos. Isso é especialmente verdadeiro para o ruído atual, com alguns cantos de 1/ *f* bem acima de 1 MHz ou além. Um exemplo de especificação problemática pode ser o THS4508, com seus transistores de entrada *pnp* (para operação em GND) e 4,7 pA/ ÿ Hz de ruído atual a 1 MHz. Isso cria 1,6 nV/ ÿ Hz em um resistor de 349 ÿ, o que é bom em comparação com o en = 2,3 nV/ ÿ Hz da peça. Mas se você usasse resistores de 1k, a tensão de ruído induzida pela corrente correspondente seria de 4,7 nV/ ÿ Hz, dominando o en do amplificador. Dependendo da aplicação, isso pode ser preocupante.

Ou talvez não.

Revisão do Capítulo 5

Um resumo de A a M do que aprendemos no Capítulo 5.
Este resumo revisa os princípios e fatos básicos do Capítulo 5, mas não abrange os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. Precisão e Faixa Dinâmica.

Um circuito de *precisão* é aquele que exibe (através de um projeto cuidadoso e da escolha dos componentes) tanto *precisão* inicial quanto *estabilidade* (ou seja, manutenção da precisão ao longo do tempo e da temperatura). Um circuito de precisão pode (mas não precisa) exibir uma ampla *faixa dinâmica* (a razão das amplitudes do sinal sobre as quais ele opera); ver §5.1.

¶B. Orçamento com erro.

Ao projetar um circuito de precisão, você precisa acompanhar várias contribuições de erro (desde conjuntos de tensão, compensações induzidas por corrente, tolerâncias de componentes e similares); isso é melhor registrado em um *orçamento de erro,* que promove a disciplina de design e ajuda a identificar as fontes de erro dominantes; veja o exemplo em §5.5.

¶C. Estrito versus Pragmático.

O projeto estrito de pior caso exige que todos os componentes sejam operados dentro de suas especificações de folha de dados e que os efeitos de todos os seus erros de pior caso sejam adicionados (como magnitudes não sinalizadas) para determinar o desempenho do circuito. O benefício de tal conservadorismo é um circuito com garantia de desempenho dentro das especificações (assumindo o projeto adequado); a desvantagem é que pode ser impossível atingir os objetivos do projeto com componentes disponíveis e/ou acessíveis, considerando suas especificações de pior caso em uma combinação aritmética de pior caso (e observando que alguns parâmetros críticos de desempenho podem não ser especificados ou mostrar apenas " Valores tipicos). Somos a favor de uma abordagem pragmática (§5.3), tomando com cautela alguns dos parâmetros de pior caso publicados (por exemplo, corrente de fuga de entrada, onde os limites de teste encorajam especificações de pior caso altamente conservadoras), ou adotando estimativas razoáveis de parâmetros não especificados. Pode ser suficiente estabelecer que os efeitos do circuito da un parâmetro especificado são completamente insignificantes; ou, se for uma chamada mais próxima, você pode ter que configurar um regime de teste de componentes futuros para garantir que você atenda às especificações. Se houver uma situação em que há muitos componentes contribuindo para um orçamento de erro excessivo, talvez seja necessário validar o desempenho do circuito geral, subconjunto ou instrumento completo no teste final.

¶D. Erros de componentes – Resistores.

Tomando um exemplo simples, a precisão do resistor (incluindo os efeitos do tempco) define um limite na precisão do ganho de um amplificador. Mas não é tão simples, porque o ganho do amplificador geralmente depende de uma *relação de resistência;* portanto, a situação melhora muito se você usar um par de resistores com relação precisa e tempco correspondente, e é a incompatibilidade da *relação* e o tempco da *relação* que estão limitando. Da mesma forma, o limite CMRR de um amplificador de diferença depende da correspondência do par de resistores, CMRR(dB) ÿ 20log(100/p), onde *p* é a razão de incompatibilidade em porcentagem. Para dar escala a essas declarações, os resistores de filme de metal típicos vêm em faixas de precisão de 0,05% a 1%, com uma especificação típica de tempco de 25 a 100 ppm/ÿC; matrizes de resistores destinadas a alta precisão têm precisões na faixa de 0,01%–0,05%, temp cos abaixo de 1 ppm/ÿC ou melhor, e precisão correspondente e tempcos abaixo de 0,01%–0,001% e 1–0,1 ppm/ÿ C, respectivamente. Os resistores reais também se afastam do ideal em *linearidade,* ou seja, eles exibem alguma mudança de resistência com a tensão aplicada. Consulte §5.6.1; consulte também *§1x.2* para uma discussão mais aprofundada sobre resistores e suas vicissitudes (por exemplo, desvio de longo prazo e indutância e capacitância parasitárias).

¶E. Erros de Componentes – Capacitores e Chaves.

Os capacitores têm várias características divertidas que afetam a precisão dos integradores e dos circuitos sample-and-hold; estes incluem vazamento resistivo (portanto, decaimento exponencial) e *absorção dielétrica* mais séria (efeito de memória, consulte §5.6.2, *§1x.3* e os gráficos de absorção dielétrica nessa seção). Esses circuitos de aplicação incluem interruptores analógicos (para integrador reinicialização e troca de amostra para retenção), que introduzem erros por vazamento e injeção de carga (§§3.4.2E e 5.6.3).

¶F. Erros de entrada do amplificador.

É aqui que está localizada a maioria dos seus problemas. A qualificação principal para ser membro da categoria de *amplificadores operacionais* de precisão é uma pequena tensão de deslocamento Vos e um tempco *TCVOS* correspondentemente baixo (algumas vezes chamado de ÿVOS). A tensão offset opera na entrada, então o erro RTI (referido à entrada) é simplesmente VOS; na saída de um amplificador de ganho de tensão GV o erro induzido por VOS é ÿVout = GVVOS. Em um circuito integrador com resistor de entrada Rin, a tensão de deslocamento de entrada é equivalente a um erro de corrente de entrada de ÿIin = *VOS/ Rin.* Para dar uma ideia de escala, um amplificador operacional de precisão típico tem uma tensão de deslocamento de 10–50 V e um tempco de 0,1–0,5 V/ ÿC; Os amplificadores operacionais de *zero automático* (ver ¶I) são melhores em um fator de dez; consulte Tabela 5.5 nas páginas 320–321 e Tabela 5.6 em 335. Consulte também §5.10.5.

Mas há mais. Corrente de polarização de entrada IB fluindo através

a resistência da fonte RS vista na entrada do amplificador produz um erro de tensão RTI de ÿVin = IBRS . Para amplificadores operacionais *bipolares* de precisão , cujas correntes de polarização são da ordem de 10 nA, isso se torna sério para resistências de fonte superiores a alguns quilohms (onde *o IBRS* equivale a algumas dezenas de micro volts, no mesmo estádio que o VOS de um amplificador operacional de precisão). Situações de alto RS , portanto, exigem amplificadores operacionais de baixa polarização, geralmente aqueles com entradas JFET ou MOSFET, ou (para resistência de fonte moderada) um amplificador operacional bipolar de precisão com cancelamento de polarização (onde IB é da ordem de 1 nA). *Um aviso:* a corrente de polarização muito baixa dos amplificadores operacionais de entrada FET aumenta drasticamente em temperaturas mais altas (consulte a Figura 5.6), onde sua corrente de entrada pode até exceder a de um amplificador operacional bipolar com polarização cancelada. Consulte também §5.10.7.

Olhando mais profundamente, as fontes de erro adicionais no amplificador operacional incluem variação IB com tensão de entrada de modo comum VCM (§5.7.2, Figura 5.7), variação VOS com VCM (isto é, CMRR, §5.7.3, §5.10. 9, e Figuras 5.10, 5.29 e 5.30), PSRR e ruído de entrada (en, in, §§5.10.6 e 5.10.8).

¶G. Erros de saída do amplificador.

Embora grande parte do projeto analógico de precisão diga respeito a CC e baixas frequências, algumas aplicações exigem precisão em velocidades mais altas: áudio e vídeo, comunicações, medições científicas e assim por diante. Com a queda do ganho do loop do amplificador operacional, os erros de entrada estão aumentando, a impedância de saída está aumentando e as limitações da taxa de variação podem entrar em ação, juntamente com a redução da supressão da distorção de crossover do estágio de saída, ganho não linear e erro de fase. E o tempo de overshoot, ringing e acomodação são críticos em aplicações dinâmicas.

Estes podem ser feitos quantitativos. O erro de ganho ÿ Gÿ(GidealÿGactual)/Gideal=1/(1 + AB), onde *B* é a fração de realimentação em torno do ganho de malha aberta A; ver §5.8.5. A largura de banda em malha fechada é f3dB=fT/GCL, correspondendo a ÿ GCL/2 de aproximadamente fT, que (se bem compensada, com uma constante de tempo ÿ) produz um tempo de estabilização da ordem de 5–10; ver §§5.8.2 e 5.10.10. O tempo *real* de estabilização de um ÿ amplificador operacional pode ser consideravelmente mais longo; não há substituto para os dados reais; consulte a Tabela 5.5 nas páginas 320–321. Um amplificador operacional bem compensado exibe um *ÿf* / fC, onde fC=fT/GCL erro de fase de circuito fechado de é a frequência na qual o ganho de circuito fechado caiu para a unidade.[115] A distorção ÿ do amplificador operacional depende fortemente do circuito de estágio de saída; veja os gráficos extensos nas Figuras 5.43 e 5.44.

[115] Ao longo do livro, usamos fT como abreviação para o termo apropriado *produto ganho-largura* de banda (GBP, GBW ou GBWP), que é a frequência de cruzamento de ganho unitário extrapolada.

¶H. Op-amps rail-to-rail.

É tentador escolher amplificadores operacionais com faixa de entrada de modo comum rail-to-rail (RRI), saída rail-to-rail (RRO) ou ambos (RRIO), especialmente para operação em baixas tensões de alimentação.

amplificadores operacionais RRI. Mas há desvantagens associadas com os estágios de entrada complementares duplicados que podem comprometer seriamente a precisão, principalmente uma mudança abrupta de IB e VOS na tensão de crossover de entrada (§5.9.1). Alguns amplificadores operacionais RRIO (por exemplo, a série OPA360) contornam esse problema usando uma bomba de carga no chip. Se você não precisa de uma entrada completa de trilho a trilho, escolha um amplificador operacional cuja faixa de modo comum de entrada se estenda apenas a um trilho (geralmente o trilho negativo).

amplificadores operacionais RRO. Os amplificadores operacionais que apresentam saída rail-to-rail têm seus próprios problemas, decorrentes do uso de uma topologia de estágio de saída de fonte comum (ou emissor comum), em vez do seguidor de fonte convencional (ou seguidor de emissor). Isso inclui maior distorção e maior impedância de saída (portanto, o ganho e a mudança de fase são mais suscetíveis à impedância de carga). No entanto, muitos amplificadores operacionais RRO mitigam esse último problema usando realimentação capacitiva interna para diminuir a impedância de saída em malha aberta em altas frequências, como visto, por exemplo, na Figura 5.34.

¶EU. Op-amps auto-zero.

Esta subclasse de amplificadores operacionais inclui circuitos de anulação de offset no chip que operam ciclicamente (com um oscilador no chip) para compensar a tensão de offset de entrada (§5.11). Como demonstram as entradas na Tabela 5.6 na página 335, isso produz valores típicos de VOS em torno de um microvolt, com tempcos em torno de 10 nV/ÿC, aproximadamente uma ordem de magnitude melhor do que os melhores amplificadores operacionais de precisão convencionais. Notável também é a ausência de uma tensão de ruído ascendente de baixa frequência de 1/ *f* (ver, por exemplo, as Figuras 5.53 e 5.54).

Essa é a boa notícia. A má notícia é que a ação de comutação produz picos de espectro de ruído na frequência de comutação e seus harmônicos (Figura 5.51), sobrepostos a um piso de tensão de ruído de baixa frequência que já é consideravelmente maior do que o da operação convencional de baixo ruído. amplificadores (compare a Tabela 5.6 na página 335 com a Tabela 5.5 nas páginas 320–321). O circuito de comutação de entrada também resulta em *corrente de* ruído de entrada relativamente alta , em comparação com amplificadores operacionais de entrada JFET de precisão de baixo ruído.

Os amplificadores operacionais de zero automático são construídos com CMOS e (exceto para algumas partes antigas) são geralmente limitados a baixas tensões de alimentação (fornecimento total ÿ7 V). Uma brilhante exceção é o recente LTC2057HV (alimentação total de 4,75 V a 60 V!). Outro cuidado: por causa de seu armazenamento interno de tensão

capacitores de correção, auto-zero op-amps podem exibir recuperação lenta da saturação, desde vários milissegundos.

¶J. Amplificadores Diferenciais, Diferenciais e de Instrumentação: Taxonomia.

Estes compartilham a propriedade de ganho diferencial preciso e estável, com alta rejeição de modo comum: Vout=GVÿVin=GV(Vin+ ÿ Vinÿ). No uso comum, os termos são distinguidos da seguinte forma.

Amplificador de diferença. Entrada diferencial, saída simples; amplificador operacional mais dois pares de resistores combinados (Figura 5.65, §5.14); CMRR 90–100 dB; ganho preciso, mas baixo (GV=0,1–10); impedância de entrada 25–100k, destinada a ser acionada por uma baixa impedância; as entradas normalmente podem ir além dos trilhos.

Amplificador de instrumentação. Entrada diferencial, saída simples; impedância de entrada muito alta (10Mÿ a 10Gÿ), ampla faixa de ganho (GV=1–1000) e CMRR muito alto em ganhos mais altos (110–140 dB em GV = 100); consulte §5.15 e Figura 5.77.

Amplificador totalmente diferencial. Diferencial ou single-ended in, diferencial-out; a maioria é de baixa voltagem, de configuração rápida e banda larga; ideal para drivers de cabo de par trançado e ADCs de entrada diferencial rápida; ver §5.17.

¶K. Amplificadores Diferenciais.

O *amplificador de diferença* clássico , tipificado pelo INA105 original (ver Tabela 5.7 na página 353, §5.14), consiste em um amplificador operacional mais um par de divisores de resistores combinados, com entradas SENSE e REF (na parte inferior das cordas do divisor) além das entradas de sinal Vin+ e Vinÿ . Com REF aterrado e SENSE vinculado à saída, o ganho é GdiffÿVout/ÿVin=Rf/Ri, onde Rf e Ri são os resistores de realimentação e entrada, respectivamente. A Figura 5.66 mostra variações de circuito que exploram conexões alternativas dos pinos SENSE e REF .

Amplificadores de diferença são simples e bons o suficiente para muitas aplicações. Alguns permitem o modo comum em coloca bem além dos trilhos (por exemplo, ±200 V para o INA117). Mas os amplificadores de diferença sofrem de impedância de entrada relativamente baixa (dezenas de kÿ), ganho limitado (normalmente na faixa de G = 1–10), tensão de ruído relativamente alta, CMRR inexpressivo (normalmente 90 dB) e degradação de ganho e CMRR quando conduzido com sinais de impedância de fonte diferente de zero.

¶EU. Amplificadores de Instrumentação.

Essas desvantagens são bem corrigidas na configuração do *amplificador de instrumentação* de três amplificadores operacionais (Figura 5.77, §5.15). A impedância de entrada é alta (10 M–1 Tÿ) e o ganho (que pode ser tão grande quanto ×1000) é definido com um único resistor externo (ou seleção de pino selecionável de resistores internos). Quando configurados para alto ganho, a maioria dos amplificadores de instrumentação fornecem um CMRR típico em torno de 120 dB e uma tensão de ruído de entrada inferior a 10 nV/ÿ Hz; eles não permitem saídas de modo comum além dos trilhos. Os amplificadores de instrumentação estão disponíveis nos tipos BJT, JFET, MOSFET, zero automático e ganho programável; consulte as Tabelas 5.8 na página 363 e 5.9 nas páginas 370–371.

¶M. Amplificadores totalmente diferenciais.

Ao contrário dos amplificadores de diferença e amplificadores de instrumentação, os amplificadores totalmente diferenciais (§5.17) geram uma *saída diferencial* balanceada centrada em uma tensão de modo comum ajustável. Isso é útil para conduzir ADCs rápidos com entradas complementares, linhas de transmissão balanceadas e circuitos de comunicação de RF. Adequando-se a essas aplicações, eles tendem a ser de banda larga (até 1 GHz ou mais), alta taxa de variação (1.000 V/s ou mais), estabilização rápida (alguns ÿ nanossegundos) e silenciosos (5 nV/ÿ Hz ou menos). Existem muitas topologias de circuitos internos (identificadas como A–G em §5.17); veja a Tabela 5.10 para uma seleção representativa.

FILTROS

CAPÍTULO **6**

6.1 Introdução

Com apenas as técnicas de transistores e amplificadores operacionais, é possível mergulhar em várias áreas interessantes de circuitos lineares (em contraste com os digitais). Acreditamos que é importante passar algum tempo fazendo isso agora, a fim de fortalecer a compreensão de alguns desses conceitos difíceis (comportamento do transistor, feedback, limitações do amplificador operacional, etc.) antes de introduzir mais novos dispositivos e técnicas e entrar em grande área da eletrônica digital. Portanto, neste capítulo tratamos do tema dos filtros, e principalmente dos *filtros ativos.* Os últimos usam resistores e capacitores, em combinação com amplificadores (geralmente amplificadores operacionais), para produzir filtros com resposta de frequência bem definida. Como veremos, esses filtros (juntamente com os filtros passivos *LC* clássicos que eles podem emular) podem ser muito mais nítidos do que os filtros *RC* simples que vimos no Capítulo 1.

Os três capítulos seguintes continuarão com tópicos adicionais em eletrônica analógica: Capítulo 7 (Osciladores e temporizadores), Capítulo 8 (Técnicas de baixo ruído) e Capítulo 9 (Regulação de tensão e conversão de potência). Então, após dois capítulos sobre lógica digital, revisitamos a eletrônica analógica, felizmente harmonizada com os ensinamentos digitais intervenientes, no Capítulo 12 (Interface lógica), Capítulo 13 (O digital encontra o analógico) e no Capítulo 15 (Microcontroladores).

6.2 Filtros passivos

No Capítulo 1, começamos uma discussão sobre filtros feitos de resistores e capacitores. Esses filtros *RC* simples produziram características de ganho de passa-alta ou passa-baixa suaves, com uma queda de 6 dB/oitava bem além do ponto de -3 dB. Pela cascata de filtros passa-alta e passa-baixa, mostramos como obter filtros passa-banda, novamente com "saias" suaves de 6 dB/oitava. Tais filtros são suficientes para muitos propósitos, especialmente se o sinal rejeitado pelo filtro estiver muito distante da banda passante do sinal desejado. Alguns exemplos são desvios de sinais de radiofrequência em circuitos de áudio, “bloqueio” de capacitores para eliminação de níveis CC e separação de modulação de uma “portadora” de comunicação.

6.2.1 Resposta de frequência com filtros RC

Frequentemente, no entanto, são necessários filtros com bandas passantes mais planas e saias mais inclinadas. Isso acontece sempre que os sinais devem ser filtrados de outros sinais de interferência próximos na frequência. A próxima pergunta óbvia é se (por exemplo, colocando em cascata vários filtros passa-baixa idênticos) podemos gerar uma aproximação para a resposta de frequência passa-baixa “parede de tijolos” ideal, como na Figura 6.1.

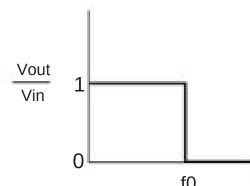


Figura 6.1. Filtro passa-baixo de parede de tijolos ideal.

Já sabemos que cascata simples não funcionará, pois a impedância de entrada de cada seção sobrecarregará seriamente a seção anterior, degradando a resposta. Mas com buffers entre cada seção (ou fazendo com que cada seção tenha uma impedância muito maior do que a anterior), parece possível. No entanto, a resposta é não.

Os filtros *RC* em cascata produzem uma queda *final* acentuada , mas o “joelho” da curva de resposta versus frequência não é acentuado. Podemos reafirmar isso como “muitos joelhos moles não fazem um joelho duro”. Para demonstrar isso graficamente, plotamos alguns gráficos de resposta de ganho (ou seja, Vout/Vin) versus frequência para filtros passa-baixa construídos a partir de 1, 2, 4, 8, 16 e 32 seções *RC* idênticas , perfeitamente tamponadas (Figura 6.2). .

O primeiro gráfico mostra o efeito da cascata de várias seções *RC ,* cada uma com seu ponto de 3 dB na frequência unitária. À medida que mais seções são adicionadas, o ponto geral de 3 dB é empurrado para baixo na frequência, como você poderia facilmente ter previsto.[1] Para comparar as características do filtro de maneira justa, o rollof

[1] Essa mudança para baixo na frequência de rolagem às vezes é chamada de “fator de encolhimento”; para uma cascata de *n* seções *RC* passa-baixas idênticas e com buffer , a frequência de 3 dB é dada por f3dB(n)/ f3dB(1) = 21/n ÿ1.

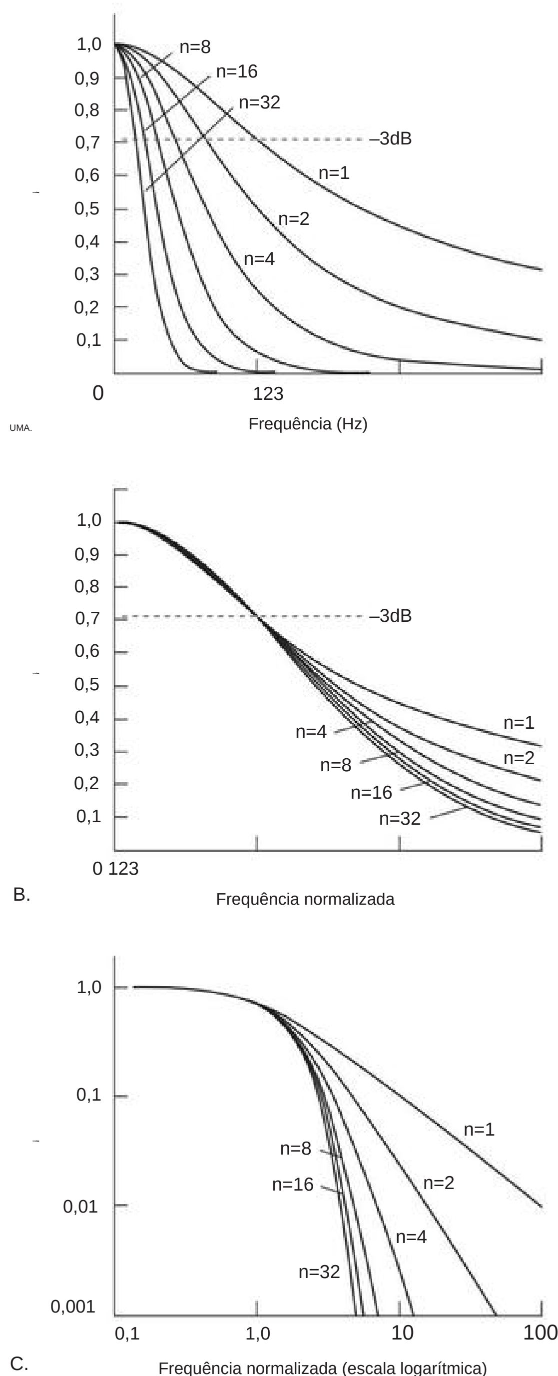


Figura 6.2. Respostas de frequência de filtros *RC* multiseção. Os gráficos A e B são gráficos lineares, enquanto o C é logarítmico. As respostas do filtro em B e C foram normalizadas (ou dimensionadas) para atenuação de 3 dB na frequência da unidade.

as frequências das seções individuais devem ser ajustadas de modo que o ponto geral de 3 dB esteja sempre na mesma frequência. Por esta razão, os outros gráficos na Figura 6.2 são todos "normalizados" em frequência, o que significa que o ponto ÿ3 dB (ou ponto de interrupção, conforme definido) está na frequência de 1 radiano por segundo (ou a 1 Hz). Para determinar a resposta de um filtro cujo ponto de interrupção é definido em alguma outra frequência, simplesmente multiplique os valores no eixo de frequência pela frequência real do ponto de interrupção fc. Em geral, também usaremos o gráfico log-log da resposta em frequência quando falarmos sobre filtros, porque ele diz mais sobre a resposta em frequência. Ele permite que você veja a aproximação para a inclinação final do rolloff e permite que você leia valores precisos de atenuação. Neste caso (seções *RC* em cascata), os gráficos normalizados nas Figuras 6.2B e 6.2C demonstram a característica de soft knee dos filtros *RC* passivos.

É interessante observar também a *mudança* de fase de uma cascata passa -baixa *RC* , novamente ajustada para colocar os pontos gerais de 3 dB na frequência unitária; estes são plotados na Figura 6.3. A mudança de fase atrasada atinge 90ÿ×n assintoticamente, para *n* seções em cascata, como você pode esperar (lembre-se da transição suave de 0ÿ para 90ÿ mudança de fase atrasada de uma única seção *RC* , Figura 1.104). Talvez não intuitivamente, no entanto, a mudança de fase no ponto de 3 dB cresce progressivamente com cascatas maiores. As características de mudança de fase são importantes, como veremos a seguir, porque determinam a distorção da forma de onda dentro da banda do filtro.

A. Degradação da atenuação final: capacitores não ideais

Ao contrário dos capacitores ideais, os capacitores *reais* exibem alguns elementos "parasitários" extras – principalmente uma resistência efetiva em série (ESR) e uma indutância efetiva em série (ESL).

Portanto, em frequências muito altas (onde o ESR do capacitor se torna comparável à reatância capacitiva 1/ C), um filtro *RC* ÿ para de funcionar. Modelamos isso usando o SPICE (consulte o Apêndice J) para o filtro *RC* multiseção em cascata , consulte a Figura 6.4. Para esta comparação, assumimos que você deseja fazer alguma filtragem *RC* de um trilho CC que fornece um estágio de baixo nível, para suprimir o ruído de comutação de frequência mais alta, sinais acoplados e similares. Assim, demos a nós mesmos um "orçamento" de 100 ÿ de resistência total em série (consistente com uma corrente de carga de alguns miliampères); e razoável em 20 mm). E à capacitância total F (para simulações de três filtros: um único estágio 100 ÿ, 20 F *RC ;* um filtro de 2 seções com 50 ÿ e 10 F em cada seção; e um filtro de 4 seções com 25 ÿ e 5 F ÿ em cada seção. Executamos gráficos das respostas desses três filtros, primeiro com capacitores perfeitos (sem ESR), ÿ depois

ÿ

com valores realistas de ESR, obtidos de folhas de dados de capacitores (por exemplo, 1 ÿ para um ÿcapacitor eletrolítico de 5 F classificado em 100 V).

Você pode ver o efeito da resistência em série, ou seja, uma perda de atenuação final em altas frequências, onde a impedância dos capacitores é assíntota para o valor ESR, em vez de continuar a cair como 1/ *f* . No entanto, é claro que espalhar a capacitância total em várias seções de filtro faz sentido.

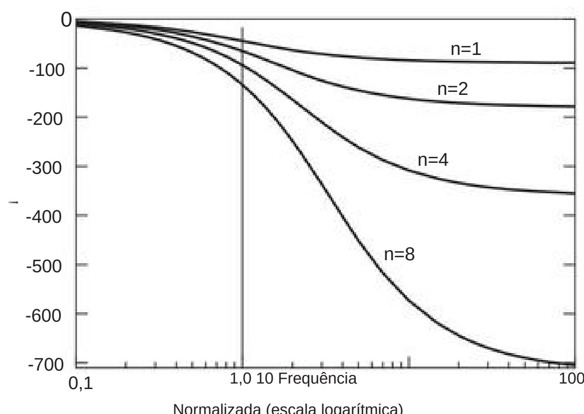


Figura 6.3. Deslocamento de fase versus frequência para os filtros passa-baixa *RC* multiseção da Figura 6.2C.

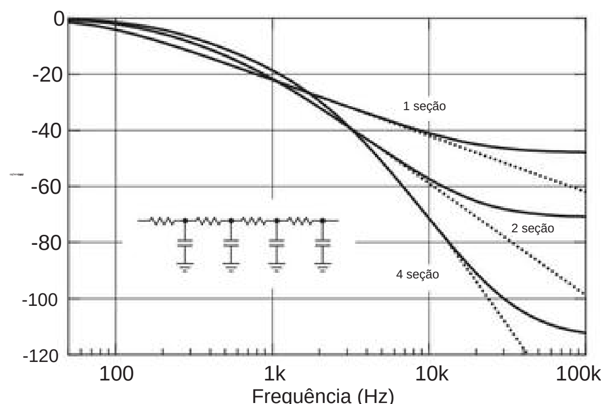


Figura 6.4. Os capacitores reais incluem alguma resistência em série irredutível, que limita a atenuação final dos filtros *RC* . Esta simulação SPICE compara filtros passa-baixa *RC* em cascata ideais (curvas pontilhadas) e reais (curvas sólidas) .

6.2.2 Desempenho ideal com filtros LC

Como apontamos no Capítulo 1, filtros feitos com indutores e capacitores podem ter respostas muito precisas (§1.7.14). Discutimos o circuito ressonante *LC* paralelo como um exemplo, como assim como o trap série *LC* . E mostramos uma comparação dramática de um filtro passa-baixa *RC* e *LC* , cada um com a mesma frequência de corte de 1 MHz (Figura 1.112). Ao incluir indutores no projeto, é possível criar filtros com qualquer nivelamento desejado de banda passante combinado com nitidez de transição e inclinação de queda fora da banda. A Figura 6.5 mostra um exemplo de filtro de telefone e suas impressionantes características de passa-banda.2 Obviamente, a inclusão de indutores no projeto traz alguma mágica

que não pode ser realizada sem eles. Na terminologia da análise de rede, essa mágica consiste no uso de "pólos fora do eixo" (consulte o Capítulo 1x).

Mesmo assim, a complexidade do filtro aumenta de acordo com a planicidade necessária da banda passante e a inclinação da queda fora da banda, respondendo pelo grande número de componentes usados no filtro anterior. A resposta transitória e as características de mudança de fase também são geralmente degradadas à medida que a resposta de amplitude é aprimorada para se aproximar da característica ideal de parede de tijolos.

6.2.3 Vários exemplos simples

O impressionante filtro de Orchard e Sheahan da Figura 6.5 é um projeto assustadoramente complexo, mostrando o que pode ser feito com a síntese clássica e sofisticada de filtros *LC* . os problemas que você provavelmente

---

[2] Não são mostradas suas características de fase dentro da banda nada impressionantes: atraso de fase de 495ÿ a 16,5 kHz, aumentando não linearmente *(contorção* pode ser um termo melhor) para 1270ÿ a 19,5 kHz. Felizmente, a fase tem pouco efeito sobre a inteligibilidade do áudio.

[3] Com base nas Figuras 11 e 12 de Orchard, HJ e Sheahan, DF, "Inductorless Bandpass Filters *", IEEE Journal of Solid-State Circuits,* vol. SC-5, No. 3 (1970), onde os projetistas ilustraram uma implementação de filtro ativo desse projeto de elemento passivo. A essência do artigo deles era que você poderia implementar tal filtro *LC* com melhor desempenho e tamanho menor substituindo os indutores reais por giradores (§6.2.4C). Em sua implementação, os indutores foram implementados com "giradores Riordan" sem indutor, com cada indutor (conjunto de três indutores, incluindo o indutor flutuante) exigindo um amplificador operacional quádruplo, nove resistores e dois capacitores. Os autores afirmam que os Qs do indutor maiores que 1000 são práticos, sendo o produto de ganho de largura de banda do amplificador operacional disponível a principal limitação. Sua implementação de gyrator de tecnologia de 1970 (ocupando uma polegada cúbica) era muito superior ao que era possível com indutores convencionais. Os leitores interessados podem querer ler RHS Riordan, "Simulated inductors using diferencial amps," *Electronic. Letters* 3, pp. 50–51 (fevereiro de 1967).

[4] *O melhor é inimigo do bom o bastante.* (Provérbio atribuído, variadamente, ao almirante soviético Sergei Gorshkov, a Carl von Clausewitz e a Voltaire.)

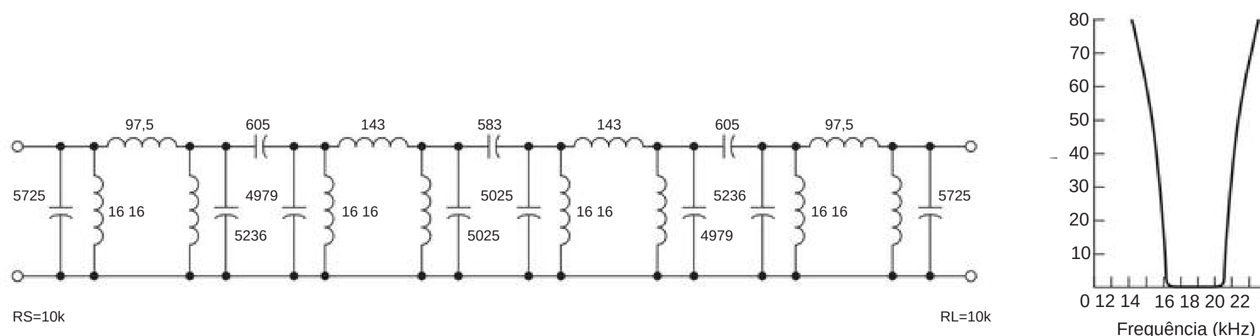


Figura 6.5. Esquerda: Um filtro passa-banda *LC* excepcionalmente bom (indutâncias em mH, capacitâncias em pF). Direita: resposta medida do circuito do filtro. A resposta de frequência admiravelmente nítida ocorre às custas de uma resposta de fase degradada; ver discussão em §6.2.5. O valor de 0 dB na curva de resposta corresponde a aproximadamente 9 dB de perda, assumindo impedâncias de fonte e carga de 10k.

encontro. Aqui mostramos três filtros simples que usamos em projetos recentes em nosso observatório de radiotelescópios.

A. Onda senoidal de onda quadrada digital

Com eletrônica digital é muito fácil fazer e manipular pulsos ou ondas quadradas de frequência precisa. Mas em nosso observatório queríamos ondas senoidais, não ondas quadradas.
A Figura 6.6 mostra uma maneira simples de produzir uma saída de onda senoidal a partir de uma onda quadrada de frequência fixa, ou seja, o uso de uma série sintonizada *LC*. Ele se comporta como uma impedância muito baixa na ressonância[5] ($f_0 = 1/(2\pi\sqrt{LC})$), aumentando com 1/*f* em baixas frequências e como *f* em altas frequências).

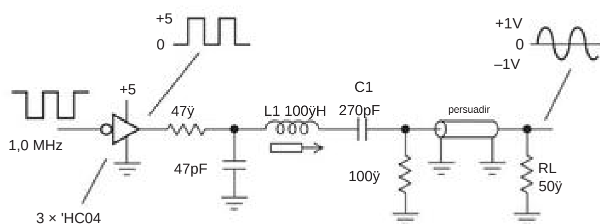


Figura 6.6. Um filtro passa-banda *LC* série converte uma onda quadrada em uma onda senoidal adequada para conduzir uma carga de 50 ÿ.

Aqui escolhemos o produto *LC* para ressonância em 1,0 MHz, e o valor de *L* tal que sua impedância em 3 MHz (o próximo componente de frequência de uma onda quadrada de 1 MHz, que possui apenas harmônicos ímpares) é grande em comparação com a carga de 50 ÿ impedância. Para L1=100 ÿH, a reatância em 3 MHz ÿ

A Figura 6.7 mostra o desempenho medido. A leve curvatura da onda quadrada é devido ao carregamento pelo filtro

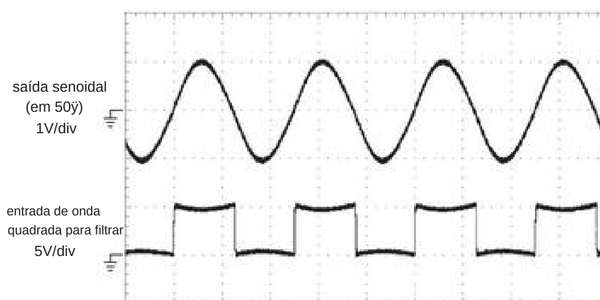


Figura 6.7. Entrada (traço inferior) e saída (traço superior) do filtro passa-banda (onda senoidal) *LC* série da Figura 6.6, carregado com 50 ÿ. Vertical: 1 V/div (traço superior), 5 V/div (traço inferior). Tal horizontal: 400 ns/div.

e carga de 50 ÿ. Incluímos um pré-filtro *RC* simples para retardar o tempo de subida, porque as bordas muito rápidas da onda quadrada se acoplam através da capacitância shunt parasita do indutor para causar pequenos entalhes na saída da onda senoidal. A designação “3×'HC04” refere-se ao tipo de componente lógico digital que utilizamos; consulte o Capítulo 10.

B. Remoção de “Spur”

Uma técnica elegante conhecida como *síntese de frequência de loop de bloqueio de fase (PLL),* discutida posteriormente no Capítulo 13 (§§13.13.6A e 13.13.6B), permite que você gere uma frequência precisa desejada de sua escolha , começando com uma frequência de “referência” padrão, por exemplo 10,0 MHz.
A Figura 6.8 mostra uma parte de um sintetizador PLL de 78,0 MHz que construímos, em forma de diagrama de blocos. A ideia básica é usar um oscilador ajustável por tensão (VCO) e comparar uma subdivisão inteira de sua frequência de saída desejada com uma subdivisão diferente da frequência de referência, de modo que essas frequências concordem quando a frequência de saída estiver correta. Um erro de frequência produz um sinal de correção para orientar o

[5] Onde teria impedância zero não fossem as perdas no indutor e no capacitor.

VCO em direção à frequência de oscilação correta. Aqui dividimos a referência de 10 MHz por 50 (produzindo 200 kHz), para ser comparada com a saída do VCO após a divisão por 390; essas frequências divididas concordarão quando o VCO estiver oscilando em 78,0 MHz.

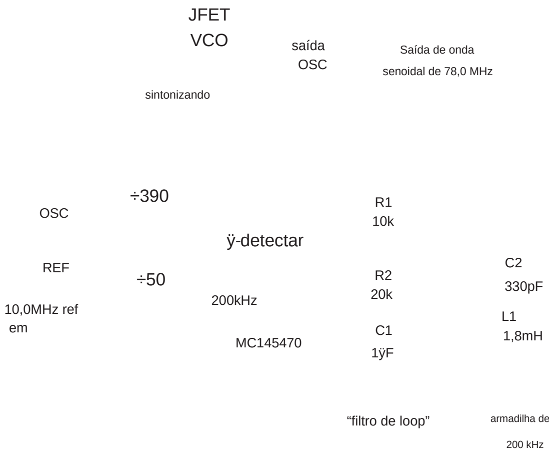


Figura 6.8. Uma série *LC* "trap" suprime esporas na frequência de referência de 200 kHz neste oscilador de loop de travamento de fase (PLL).

Projetamos um oscilador JFET simples, mas muito bom (mostrado mais adiante, na Figura 7.29), com sua energia de saída quase inteiramente em sua frequência central. Era tão "limpo" que o componente indesejado dominante de sua saída era um pouco de energia residual em 78,0 MHz ± 0,2 MHz, causada pela frequência de comparação interna de 200 kHz. A solução simples aqui foi colocar uma armadilha *LC* em série , sintonizada em 200 kHz, através da tensão de sintonia analógica, conforme mostrado. Os outros três componentes (R1R2C1) formam o clássico *filtro de loop PLL,* como veremos em §13.13.

C. Filtro anti-alias lowpass

Uma forma de onda analógica pode ser *digitalizada,* amostrando sua amplitude periodicamente e convertendo cada amostra em uma quantidade numérica. Veremos mais tarde (Capítulo 13, por exemplo, Figura 13.60) que o processo pode introduzir artefatos, tanto da precisão finita com a qual as amplitudes são quantizadas quanto da taxa finita na qual essas amostras são obtidas. Esses artefatos podem ser suprimidos, em qualquer grau necessário, pela escolha adequada da profundidade de quantização (precisão de amplitude) e taxa (frequência de amostragem).

O fato importante, para este exemplo de filtro, é que o sinal que está sendo digitalizado não deve conter sinais cuja frequência exceda a metade da taxa de amostragem fS; isso é conhecido como o *critério de Nyquist.* [6] A maneira usual de fazer isso é passar os sinais pré-digitalizados por um filtro "anti-aliasing" passa-baixo, cujo corte garante a atenuação completa dos sinais acima da frequência de Nyquist fS/2. Isso geralmente requer um corte de filtro acentuado, porque, caso contrário, você teria que ir para uma taxa de amostragem muito mais alta para escapar dos sinais que passam pelo corte suave; além disso, você deseja um filtro plano em toda a banda de passagem de sinal desejada.

Neste exemplo de receptor de radiotelescópio (Figura 6.9), usamos um *mixer* (um dispositivo que multiplica dois sinais para produzir sua saída) para converter uma banda de 2 MHz de frequências de sinal centradas em 78 MHz (a banda "IF") para uma banda centrado em DC (conhecido como "baseband"). Um mixer pode fazer esse tipo de deslocamento de frequência, porque o produto de duas senoides é um par de ondas na soma e na [illegible]
entr[illegible] base,7 na qual a banda de dc a 1 MHz contém os sinais que queremos digitalizar neste exemplo.8

Aqui nós amplificamos a banda base, então a passamos por um filtro anti-aliasing sério, especificamente um "filtro passa-baixa LC Chebyshev de 7 seções com *frequência* de corte de 1,0 MHz e ondulação pico a pico de 0,1 dB". entrada estranha e impedância de saída (378 ÿ) para aproveitar os indutores ajustáveis de valor padrão. O filtro remove os componentes do sinal acima de 1 MHz, e esta banda base filtrada é então amplificada (novamente) e digitalizada (pelo dispositivo rotulado ADC – conversor analógico-digital) a uma taxa de amostragem de 2,5 Msps (megaamostras/s) . A frequência de Nyquist correspondente de 1,25 MHz está bem dentro da banda de parada do filtro passa-baixa muito preciso; de fato, o desempenho calculado e medido está de acordo, demonstrando que os sinais de entrada são reduzidos em 20 d

[6] A violação dessa regra produz *aliasing,* a criação, na saída digitalizada, de componentes de frequência inexistentes dentro da banda; consulte §13.5.1B.

[7] A frequência de soma, centrada em 156 MHz, é descartada na filtragem subsequente.

[8] Então podemos Fourier transformá-los para obter um espectro de rádio. Mais precisamente, a banda base contém frequências de "-1 MHz" a +1 MHz, que um único mixer dobra em uma única banda DC–1 MHz; mas cobrimos a banda base desdobrada usando um *par* de mixers, acionados por sinais LO de seno e cosseno. O par de sinais de banda base filtrados, comumente chamados de *I* e *Q* (para *in-phase* e *quadrature),* são digitalizados individualmente para criar a série temporal de entrada complexa para a Transformada Discreta de Fourier (complexa).

[9] Este é o filtro que usamos para a resposta de varredura linear da Figura 1.112.

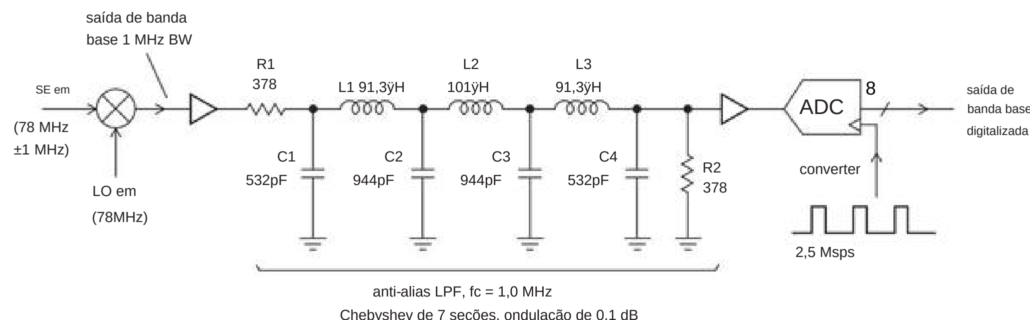


Figura 6.9. Um filtro lowpass *LC* de 7 seções evita o aliasing neste receptor de radioastronomia, eliminando quaisquer frequências de sinal acima da frequência de Nyquist (1,25 MHz ou metade da taxa de amostragem). Construímos 126 desses filhotes; veja a fotografia na Figura 1.111.

frequência e que os sinais com alias de pior caso (em 1,5 MHz) são reduzidos em 16 dB adicionais. Este é um desempenho impressionante para um filtro que é facilmente projetado e construído, especialmente quando comparado com um filtro *RC* de contagem de componentes semelhante, onde a atenuação em 1,25 fc é apenas 1,6 dB em relação a fc; As Figuras 6.10 e 6.11 fazem a comparação graficamente.

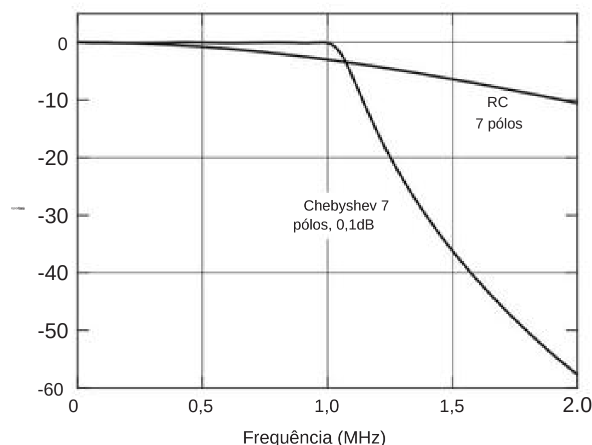


Figura 6.10. O corte abrupto do filtro *LC* de 7 seções da Figura 6.9 comparado com o rolloff suave de um filtro *RC* de 7 seções com o mesmo corte de 1 MHz.

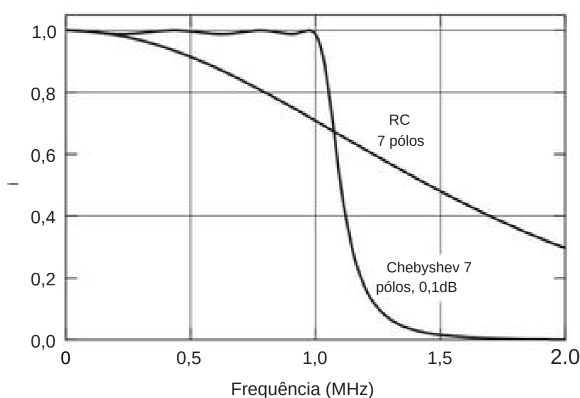


Figura 6.11. O mesmo par de filtros da Figura 6.10, aqui representado em escala linear. A "ondulação" da banda passante de Chebyshev (de +0 dB/ÿ0,1 dB, ou ±0,6% em amplitude) é mais facilmente vista, mas os detalhes da atenuação da banda de parada são perdidos.

Freqüentemente, você desejará um filtro anti-alias entre o amplificador e a entrada ADC. Por exemplo, se a frequência de amostragem for de 25 MHz, você pode querer um filtro de entrada de corte acentuado começando em 10 MHz. A Texas Instruments tem uma boa nota de aplicação que descreve como converter um filtro de terminação única para a forma diferencial (SLWA053B: *Design de filtros diferenciais para cadeias de sinal de alta velocidade,* disponível em www.ti.com).

D. Filtro diferencial passivo

A maioria dos ADCs de alta frequência tem entradas diferenciais, consulte §13.6.2, e muitos requerem uma baixa impedância de fonte de sinal de entrada, terminada em muitos casos por um capacitor diferencial. Discutimos amplificadores de saída diferencial de alta frequência e baixa impedância em §5.17, onde, por exemplo, a Figura 5.102 mostra um filtro passa-baixa diferencial que consiste em dois resistores de 50 ÿ e um capacitor de 100 pF, conforme especificado para o AD9225 25 MSps ADC (consulte também Figura 13.28).

6.2.4 Inserir filtros ativos: uma visão geral

A síntese de filtros de componentes passivos *(R,* L e C) é um assunto altamente desenvolvido, com uma rica literatura de manuais tradicionais (por exemplo, o autoritário trabalho de Zverev; consulte o Apêndice N), agora complementado por elegantes ferramentas de software tornar tais projetos uma tarefa de rotina. No entanto, indutores como elementos de circuito freqüentemente deixam muito a desejar. Muitas vezes são volumosos e caros, e fogem do ideal por serem "com perdas", ou seja, por terem

resistência em série significativa, bem como outras “patologias”, como não linearidade, capacitância de enrolamento distribuída e suscetibilidade a captação magnética de interferência. Além disso, as indutâncias necessárias para filtros de baixa frequência podem exigir componentes grandes e incontroláveis. Finalmente, filtros clássicos feitos com L's e C's não são eletricamente ajustáveis.

O que é necessário é uma maneira de fazer filtros sem indutores com as características de filtros *RLC* ideais . Idealmente, podemos esperar sintonização, seja por uma tensão de sintonia analógica ou por uma frequência de pulso variável.

Ao usar amplificadores operacionais como parte do projeto do filtro, podemos sintetizar qualquer característica do filtro *RLC* sem usar dutos. Esses filtros sem indutor são conhecidos como filtros *ativos* devido à inclusão de um elemento ativo (o amplificador). Veremos outra classe de filtro ativo – o filtro de *capacitor comutado* – que adiciona interruptores MOSFET para produzir, de fato, um resistor ajustável em frequência. Estes fornecem desempenho semelhante ao do filtro ativo padrão (às vezes chamado de filtro de “tempo contínuo”), mas com o recurso adicional de ajuste preciso de seus pontos de interrupção de frequência característicos (com uma frequência de clock aplicada externamente) em uma ampla variar. (Esta sintonização tem um preço, no entanto, ou seja, algum ruído de comutação e uma faixa dinâmica reduzida; consulte §6.3.6.)

Os filtros ativos podem ser usados para fazer filtros passa-baixa, passa-alta, passa-banda e rejeita-faixa, com uma escolha de tipos de filtro de acordo com as características importantes da resposta, por exemplo, nivelamento máximo da banda passante, inclinação das saias ou uniformidade do atraso de tempo versus frequência (mais sobre isso em breve). Além disso, podem ser feitos “filtros allpass” com resposta de amplitude plana, mas fase versus frequência personalizada (também conhecidos como “equalizadores de atraso”), bem como o oposto – um filtro com mudança de fase constante, mas resposta de amplitude personalizada.

A. Conversor de impedância negativa, giroscópio e conversor de impedância generalizada Três elementos de circuito interessantes que devem ser mencionados em qualquer visão geral são o conversor de impedância negativa (NIC), o girador e o conversor de impedância generalizada[10] (GIC). Esses dispositivos podem imitar as propriedades dos indutores usando apenas resistores e capacitores, além de amplificadores operacionais.

Uma vez que você pode fazer isso, você pode construir filtros sem indutores com as propriedades ideais de qualquer filtro *RLC* , fornecendo assim pelo menos uma maneira de fazer filtros ativos.

[10] Também conhecido como conversor de imitância generalizado.

B. Conversor de impedância negativa O NIC converte uma impedância em seu *negativo,* enquanto o girador converte uma impedância em seu *inverso.* Os exercícios a seguir o ajudarão a descobrir por si mesmo como isso funciona.

Exercício 6.1. Mostre que o circuito da Figura 6.12 é um conversor de impedância negativa, em particular que Zin = *ÿZ. Dica:* aplique alguma tensão de entrada *V* e calcule a corrente de entrada I. Em seguida, calcule a relação para encontrar Zin = *V/ I.*

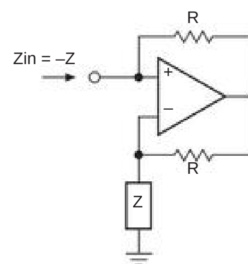


Figura 6.12. Conversor de impedância negativa.

A NIC, portanto, converte um capacitor em um indutor “reverso”:

ZC = 1/ *j* ÿ *C* ÿ Zin = j/ ÿ C, (6.1)

ou seja, é indutivo no sentido de gerar uma corrente que está atrasada em relação à tensão aplicada, mas sua impedância tem dependência de frequência errada (ela desce, em vez de subir, com o aumento da frequência).

C. Gyrator O gyrator, por outro lado, converte um capacitor em um verdadeiro indutor:

ZC = 1/ *j* ÿ *C* ÿ Zin = *j* ÿ CR2, (6.2)

ou seja, um indutor com indutância *L* = CR2.

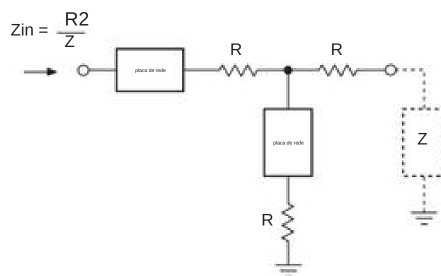


Figura 6.13. Gyrator implementado com NICs.

A existência do gyrator torna intuitivamente razoável que filtros sem indutores possam ser construídos para imitar qualquer filtro

usando indutores simplesmente substituindo cada indutor por um capacitor giratório.[11] O uso de giradores dessa maneira é perfeitamente aceitável; e, de fato, o filtro telefônico ilustrado anteriormente, embora projetado como um filtro *LC* clássico , foi implementado com gyrators (em uma configuração conhecida como *Riordan* gyrator, que parece diferente da Figura 6.13).

Além da simples substituição do girador em designs *RLC* pré-existentes , é possível sintetizar muitas outras configurações de filtro.

Exercício 6.2. Mostre que o circuito da Figura 6.13 é um girador, em particular que Zin = R2/Z. *Dica:* você pode analisá-lo como um conjunto de divisores de tensão, começando pela direita.

D. Conversor de impedância generalizada A configuração da Figura 6.14 é conhecida como conversor de impedância generalizada[12] (GIC); ele multiplica a impedância ligada em Z5 pelo fator *Z1Z3/ Z2Z4.* Assim, por exemplo, se você colocar um capacitor em Z4 e resistores em todos os outros lugares, obterá um indutor cujo valor é *L* = (R1R3R5/R2)C; isto é, torna-se um gyrator. Mas você pode fazer coisas mais divertidas com um GIC: por exemplo, se você colocar capacitores em Z3 e Z5, você terá um resistor negativo dependente de frequência (FDNR). As implementações de filtro com FDNRs implementados em GIC têm sido populares no campo de design de áudio, onde se afirma que eles têm características superiores de ruído e distorção em comparação com algo como um filtro Sallen-and-Key (próxima seção). O campo do design de filtros sem dutos é dinâmico e rico em detalhes, com novos designs aparecendo nos jornais todos os meses.

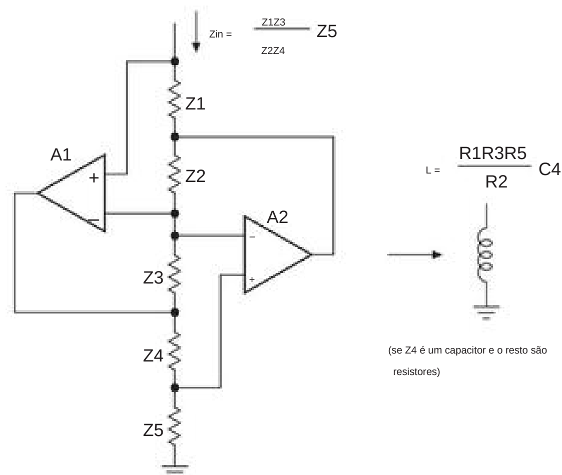


Figura 6.14. Conversor de impedância generalizada. Se Z4 for um capacitor, o circuito se comporta como um indutor, com o valor mostrado. De A. Antoniou, IEE Proc., **116,** 1838–1850 (1969).

Limites de desempenho

Como em qualquer circuito de amplificador operacional, o desempenho de gyrators e GICs em altas frequências depende da largura de banda do amplificador operacional (e outras características). Portanto, um GIC configurado como um indutor (capacitor em Z4, resistores em outros lugares) deixará de parecer um indutor em frequências superiores a alguns por cento da largura de banda fT do amplificador operacional . Os resultados da simulação na Figura 6.15 mostram o tipo de comportamento que você verá. Grosso modo, o indutor quase perfeito (em baixas frequências) torna-se algo próximo a um capacitor em altas frequências, com uma ressonância intermediária.[13] Isso pode parecer feio neste gráfico estendido; mas observe que o "inductor" parece ter um fator de qualidade surpreendentemente alto *Q* de cerca de 2×105 a 1 kHz se você assumir que o piso de impedância de 4,6 mÿ no gráfico representa adequadamente a perda do indutor (ou seja, resistência em série equivalente, ESR). (Na realidade, existem outras perdas, então os valores realizáveis de *Q* estão na faixa de 1000... ainda muito bom para um indutor que é uma fração de um henry!). E, para o amplificador operacional de maior largura de banda (fT=50 MHz), a capacitância é de apenas 2,3 pF; você nunca poderia fazer um indutor de 160 mH com uma "capacitância de enrolamento" tão pequena, nem com uma frequência auto-ressonante tão alta.

Gyrators são usados em filtros do mundo real: em um App Note, a Texas Instruments sugere o uso de vários estágios GIC para fazer filtros anti-alias.[14] E a Stanford Research Systems usa quatro estágios GIC atuando como uma escada *R+LC* para fazer um 8-zero Filtro passa-baixo elíptico de 9 polos para seu amplificador lock-in baseado em DSP SR830, "para que todos os componentes de frequência maiores que a metade da frequência de amostragem sejam atenuados em pelo menos 96 dB". O A/D amostra a 256 kHz e o filtro passa os sinais de CC para 102 kHz; eles se permitiram uma margem de frequência de 25% para reduzir a atenuação para 96 dB.[15] O esquema completo do filtro está incluído no

[11] A maioria das implementações do gyrator são referenciadas ao solo; eles podem substituir um indutor que é devolvido ao solo, mas não um indutor flutuante.

[12] Ou, de forma equivalente, um conversor de imitância generalizado.

[13] O pico pode ser eliminado adicionando um resistor em série com o capacitor do girador, aproximadamente igual à sua reatância no pico de frequência.
frequência.

[14] Nota de Aplicação AB-026A, por Rick Downs (documento TI sbaa001, 1991).

[15] De acordo com a SRS, "a arquitetura do filtro é baseada em um filtro de escada *LC* passivo de terminação única. L's são simulados com gyrators ativos formados por pares de amplificadores operacionais. Os filtros de escada *LC* passivos têm a característica especial de serem muito tolerantes a variações nos valores dos componentes. Como nenhuma seção da escada está completamente isolada da outra, uma mudança no valor de qualquer componente afeta toda a escada. O projeto da escada *LC* , no entanto, é tal que as características do restante da escada mudarão para explicar a mudança em tal

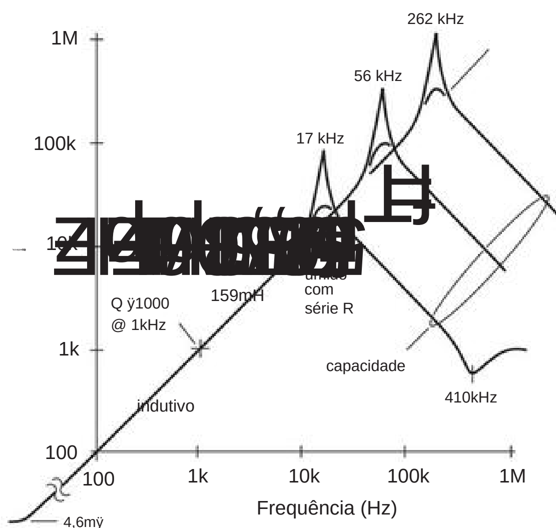


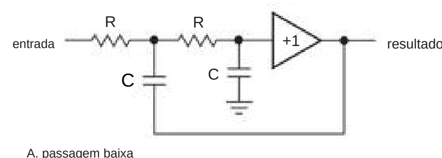
Figura 6.15. A largura de banda finita do amplificador operacional degrada o GIC ideal no duto, que se torna capacitivo em frequências começando em uma pequena fração de fT, como visto nesses gráficos derivados de simulações do SPICE. Quando comparado com um indutor físico, com sua capacitância de enrolamento e frequência auto-ressonante, a capacitância análoga do indutor GIC e a frequência auto-ressonante (que dependem da largura de banda do amplificador operacional) podem ser significativamente melhores, conforme sugerido nesses gráficos (que , no entanto, são baseados no uso de um capacitor ideal).

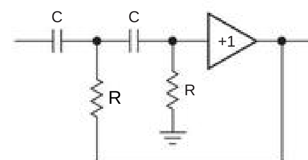
o manual maravilhosamente informativo do instrumento – uma marca registrada de todos os produtos SRS.

E. Filtro Sallen-and-Key A Figura 6.16 mostra um exemplo de uma topologia de filtro simples e até parcialmente intuitiva, um exemplo do qual vimos anteriormente em §4.3.6. Estes são conhecidos como filtros Sallen-and-Key, em homenagem aos seus inventores.[16] O amplificador de ganho unitário pode ser um amplificador operacional conectado como um seguidor, ou apenas um seguidor de emissor ou seguidor de fonte. Os filtros específicos mostrados são filtros passa-baixa e passa-alta de 2 polos. Tomando o exemplo do filtro passa-baixa (Figura 6.16A), observe que seriam simplesmente duas seções de filtro passa-baixa *RC* em cascata, exceto pelo fato de que a parte inferior do primeiro capacitor é inicializada pela saída. É fácil ver que em frequências muito altas ele cai como um *RC em cascata,* porque a saída é essencialmente zero. À medida que a saída aumenta na frequência decrescente, no entanto, a ação de bootstrap tende a reduzir a atenuação, dando um joelho mais agudo. É claro que esse aceno de mão não pode substituir uma análise honesta, que felizmente já foi feita para uma prodigiosa variedade de bons filtros. Voltaremos aos circuitos de filtro ativos em §6.3, após uma breve introdução aos parâmetros de desempenho do filtro e tipos de filtro.

forma a minimizar o seu efeito na escada. Isso não apenas diminui a necessidade de resistores e capacitores de precisão extremamente alta, mas também torna o filtro extremamente estável, apesar das amplas variações de temperatura. Como tal, o filtro anti-aliasing usado no SR830 nunca requer calibração para atender às suas especificações."

[16] RP Sallen e EL Key, "Um método prático de projetar filtros ativos RC", *IRE Trans. Circuit Theory,* **2** (1), 74-85 (1955).





B. passa-alta

Figura 6.16. Filtros ativos passa-baixa e passa-alta Sallen-and-Key. O desempenho final desses filtros de aparência simples é afetado pela impedância de saída diferente de zero do seguidor, consulte a Figura 6.36.

6.2.5 Principais critérios de desempenho do filtro

Existem alguns termos padrão que continuam aparecendo quando falamos de filtros e tentamos especificar seu desempenho. Vale a pena esclarecer tudo no começo.

A. Domínio da frequência A característica mais óbvia de um filtro é seu ganho versus frequência, tipificado pelo tipo de característica passa-baixa mostrada na Figura 6.17.

A *banda passante* é a região de frequências que são relativamente não atenuadas pelo filtro. Na maioria das vezes, considera-se que a banda passante se estende até o ponto -3 dB, mas com certos filtros (principalmente os tipos "equivalentes") o final da banda passante pode ser definido de maneira um pouco diferente. Dentro da banda passante a resposta pode apresentar variações ou *ondulações,* definindo uma *banda de ondulação,* conforme a figura. A *frequência de corte, fc,* é o fim da banda passante. A resposta do filtro então cai através de uma *região de transição* (também conhecida como a *borda* da resposta do filtro) para uma banda de *interrupção,* a região de atenuação significativa. A banda de interrupção pode ser definida por alguma atenuação mínima, por exemplo, 40 dB.

Juntamente com a resposta de ganho, o outro parâmetro de importância no domínio da frequência é a *mudança* de fase do

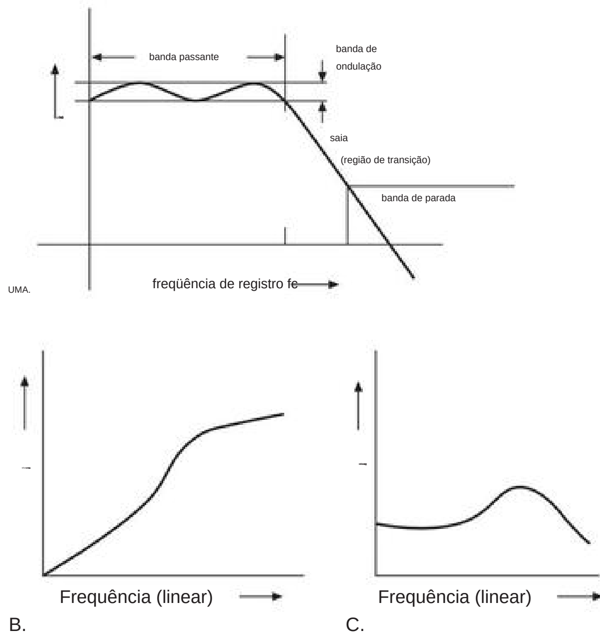


Figura 6.17. Características do filtro versus frequência.

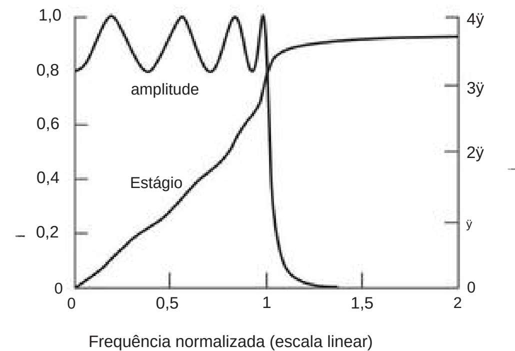


Figura 6.18. Deslocamento de fase (atrasado) e resposta de amplitude para um filtro passa-baixa Chebyshev de 8 polos (ondulação de banda passante de 2 dB). A normalização mostrada é convencional: 0 dB corresponde ao topo da banda de ondulação, e a frequência de corte (ou "crítica") é a frequência na qual a resposta sai da banda de ondulação. O ganho DC real do filtro é unitário (0 dB); para filtros de ordem par (como este) a ondulação sobe de DC, enquanto que para filtros de ordem ímpar a ondulação cai de DC.

sinal de saída em relação ao sinal de entrada. Em outras palavras, estamos interessados na resposta *complexa* do filtro, que geralmente atende pelo nome de **H(s),** onde **s** = *j* e **H** e **s** são complexos. A fase é importante porque um sinal inteiramente dentro da banda passante de um filtro emergirá com sua forma de onda distorcida se o tempo de atraso de diferentes frequências ao passar pelo filtro não for constante. O atraso de tempo constante corresponde a um deslocamento de fase que aumenta linearmente com a frequência *(ÿt= ÿ d / d ÿ)*; daí o termo filtros de fase linear. A Figura 6.18 mostra um gráfico típico de resposta de amplitude e deslocamento de fase para um filtro passa-baixa que definitivamente não é um filtro de fase linear. Gráficos de deslocamento de fase versus frequência são melhor plotados em um eixo de frequência linear.

B. Domínio do

tempo Como em qualquer circuito CA, os filtros podem ser descritos em termos de suas propriedades *no domínio do tempo :* tempo de subida, ultrapassagem, toque e tempo de estabilização. Isto é de particular importância onde passos ou pulsos podem estar presentes. A Figura 6.19 mostra uma típica resposta degrau de filtro passa-baixa. Aqui, o *tempo de subida* é, como sempre, o tempo necessário para ir de 10% a 90% do valor final. De maior interesse é o *tempo de estabilização,* que é o tempo necessário para chegar a um determinado valor final *e permanecer nele.* O *tempo de atraso* é a duração de tempo desde o passo de entrada até o alcance da saída 50% de seu valor final.[17] *Overshoot* e *ringing* são termos autoexplicativos para algumas propriedades indesejáveis dos filtros. As características de mudança de fase dos filtros implicam um atraso de tempo correspondente, que às vezes você vê plotado (ou tabulado) como *atraso de grupo* versus frequência.[18]

6.2.6 Tipos de filtro

Suponha que você queira um filtro passa-baixo com banda passante plana e transição nítida para a banda de corte. A taxa final de queda, bem na banda de corte, sempre será *6n* dB/oitava, onde *n* é o número de "pólos". Você precisa de um capacitor (ou indutor) para cada pólo, de modo que a taxa final necessária de queda da resposta do filtro determina, aproximadamente, a complexidade do filtro.

Agora, suponha que você tenha decidido usar um filtro passa-baixa de 6 polos. Você tem a garantia de um rolloff final de 36 dB/oitava em altas frequências. Acontece que o projeto do filtro agora pode ser otimizado para máxima planicidade da resposta da banda passante, às custas de uma transição lenta da banda passante para a banda proibida. Alternativamente, permitindo alguns

[17] Às vezes , td é definido como 10% (em vez de 50%) de saída.

[18] Esse termo vem da análise de ondas em materiais dispersivos, onde se distingue *velocidade de fase e velocidade* de *grupo.* O último refere-se à velocidade com que um grupo de frequências, juntas formando uma forma de onda característica, se move através do meio. O atraso de grupo é a quantidade análoga, expressa como um atraso de tempo Tg, para um sinal que passa por um filtro. A conexão entre deslocamento de fase e atraso de grupo é ÿTg = ÿd / d $\frac{1}{2}$ dÿ / df .

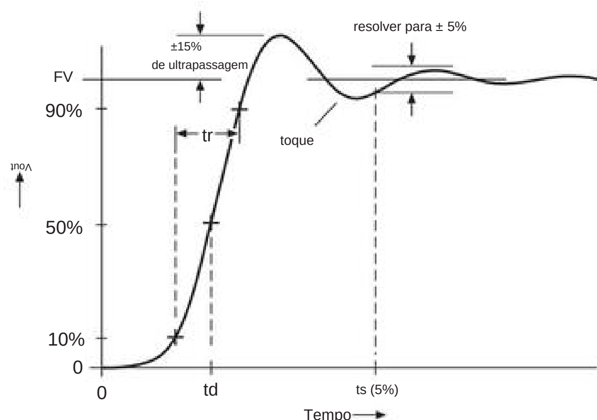


Figura 6.19. Características do filtro no domínio do tempo. Um simples filtro passa-baixa *RC* , por exemplo, não teria overshoot ou ringing e seria caracterizado por um tempo de subida de tr = 2,2RC (ÿ 0,35/ f3dB), um tempo de atraso de td = 0,69RC e um tempo de acomodação (para 1%) de ts = *4,6RC.*

ondulação na característica de banda passante, a transição da banda passante para a banda proibida pode ser acentuada consideravelmente. Um terceiro critério que pode ser importante é a capacidade do filtro de passar sinais dentro da banda passante sem distorção de suas formas de onda causada por mudanças de fase. Você também pode se preocupar com o tempo de subida, ultrapassagem e tempo de estabilização. De um modo geral, você precisa fazer compensações entre essas características – um filtro com um corte agudo exibirá propriedades ruins no domínio do tempo, como toque e mudanças de fase.

Existem designs de filtro disponíveis para otimizar cada uma dessas características ou combinações delas. De fato, a seleção racional do filtro não será realizada como acabamos de descrever; em vez disso, ele normalmente começa com um conjunto de requisitos sobre nivelamento da banda passante, atenuação em alguma frequência fora da banda passante e o que mais importa. Em seguida, você escolherá o melhor projeto para o trabalho, usando o número de pólos necessário para atender aos requisitos.19 Nas próximas seções, apresentamos os três clássicos populares – o filtro Butterworth (faixa de passagem máxima plana), o filtro Chebyshev (mais íngreme transição de banda passante para banda proibida) e o filtro de Bessel (atraso de tempo maximamente plano). Cada uma dessas respostas de filtro pode ser produzida com uma variedade de circuitos de filtro diferentes, alguns dos quais discutiremos mais adiante. Eles são todos disponíveis nas versões lowpass, highpass, bandpass e band-stop (notch).20

A. Filtros Butterworth e Chebyshev O filtro Butterworth produz a resposta de banda passante mais plana, às custas da inclinação na região de transição da banda passante para a banda passante. Como você verá mais tarde, ele tem apenas uma fase medíocre e características transitórias. A resposta de amplitude é dada por Vout Vin

$$\frac{}{} = \frac{1}{[1+ (f / \text{fc})2n]^{\frac{1}{2}}}, \qquad (6.3)$$

onde *n* é a ordem do filtro (número de polos). Aumentar o número de pólos nivela a resposta da banda passante e aumenta a queda da banda de interrupção, conforme mostrado na Figura 6.20.

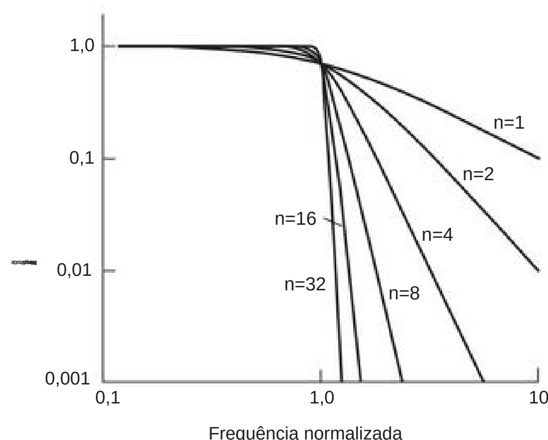


Figura 6.20. Curvas de resposta do filtro Butterworth passa baixa normalizadas. Observe as características de atenuação aprimoradas para os filtros de ordem superior.

O filtro Butterworth compensa todo o resto para máxima uniformidade de resposta. Ele começa extremamente plano na frequência zero e se curva perto da frequência de corte fc (que geralmente é o ponto -3 dB).

Na maioria das aplicações, tudo o que realmente importa é que as oscilações na resposta da banda passante sejam mantidas abaixo de um certo valor, digamos 1 dB. O filtro Chebyshev responde a essa realidade permitindo algumas ondulações em toda a banda passante, com nitidez do joelho muito melhorada (em comparação com o Butterworth "maximamente plano", por exemplo). Um filtro Chebyshev é especificado em termos de seu número de pólos

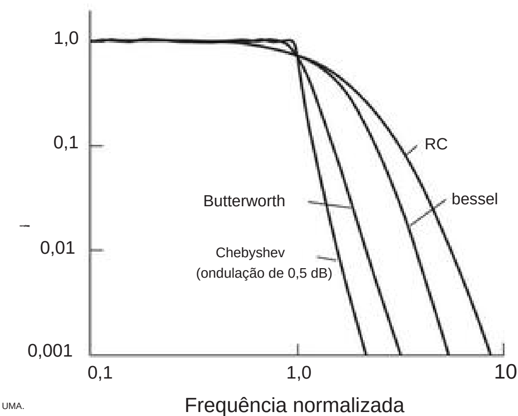
[19] Tradicionalmente, você usa um bom manual de projeto de filtros, com suas tabelas e gráficos. Agora o trabalho é muito mais fácil, graças ao elegante software de design de filtro que orienta você na escolha do filtro e, em seguida, finaliza o trabalho com uma implementação completa do circuito. Esses programas se enquadram na rubrica geral de CAD, para projeto auxiliado por computador. Tanto a Linear Tech nology quanto a Texas Instruments oferecem programas gratuitos em seus sites; eles são chamados de FilterCAD™ e FilterPro,™ respectivamente; veja também os úteis documentos LTC AN38 e DN245.

[20] Os filtros podem ser feitos, também, para realizar a *equalização* (uma amplitude especificada e/ou perfil de fase versus frequência que não seja nenhum desses tipos de filtro simples). Entre eles, o *equalizador de fase* (ou *equalizador de atraso)* é digno de nota, por ter uma resposta de fase especificada combinada com uma resposta de frequência plana; também é chamado de filtro *passa-tudo* .

e ondulação de banda passante. Ao permitir maior ondulação da banda passante, você obtém um joelho mais nítido. A amplitude é dada por

$$\frac{V_{out}}{V_{in}} = \frac{1}{[1+\varepsilon^2 C_n^2 (f/f_c)]^{\frac{1}{2}}}, \qquad (6.4)$$

onde *Cn* é o polinômio de Chebyshev do primeiro tipo de grau n, e ε é uma constante que define a ondulação da banda passante (mais ondulação da banda passante), o Chebyshev e Butterworth características de fase e transientes que estão longe do ideal.



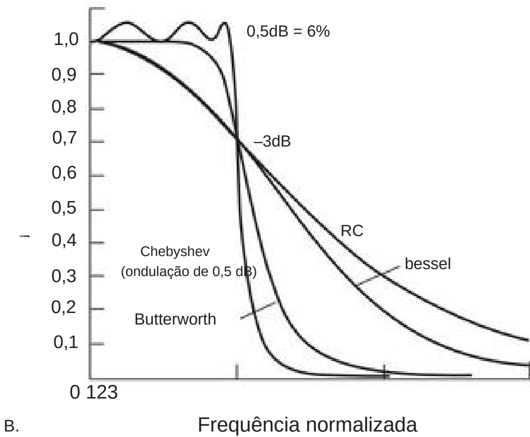


Figura 6.21. Comparação de alguns filtros passa-baixa de 6 polos comuns. Os mesmos filtros são plotados em escalas lineares e logarítmicas. Os ganhos reais dos filtros são mostrados, em vez da convenção de 0 dB "ajustada para cima".

A Figura 6.21 apresenta gráficos comparando as respostas dos filtros passa-baixa de 6 polos de Chebyshev e Butterworth. Como você pode ver, ambos são grandes melhorias em relação a um filtro *RC* de 6 polos.

Como realidade prática, o Butterworth, com sua banda passante "maximalmente plana", pode não ser tão atraente quanto poderia aparecer, já que você está sempre aceitando alguma variação na resposta da banda passante de qualquer maneira (com o Butterworth é um rolloff gradual próximo a fc, enquanto com o Chebyshev é um conjunto de ondulações de igual amplitude espalhadas por toda a banda passante). Além disso, filtros ativos construídos com componentes de tolerância finita se desviarão da resposta prevista, o que significa que um filtro Butterworth real exibirá alguma ondulação de banda passante de qualquer maneira. O gráfico na Figura 6.22 ilustra os efeitos das variações de pior caso nos valores do resistor e do capacitor na resposta do filtro.

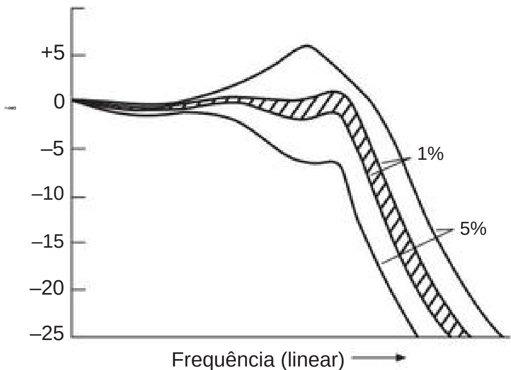


Figura 6.22. O efeito da tolerância do componente no desempenho do filtro ativo.

Visto sob esta luz, o Chebyshev é um projeto de filtro muito racional. Ele consegue melhorar a situação na região de transição espalhando ondulações[21] de tamanho igual por toda a banda passante, o número de ondulações aumentando com a ordem do filtro. Mesmo com ondulações bastante pequenas (tão pequenas quanto 0,1 dB), o filtro Chebyshev oferece uma nitidez consideravelmente melhorada do joelho em comparação com o Butterworth. Para tornar a melhoria quantitativa, suponha que você precise de um filtro com nivelamento de 0,1 dB dentro da banda passante e atenuação de 20 dB em uma frequência 25% além do topo da banda passante. Pelo cálculo real, isso exigirá um Butterworth de 19 polos, mas apenas um Chebyshev de 8 polos.

A ideia de aceitar alguma ondulação de banda passante em troca de um declive melhorado na região de transição, como no filtro Chebyshev equivalente, é levada ao seu limite lógico no chamado filtro elíptico (ou Cauer), trocando a ondulação na banda passante *e* na banda proibida por uma região de transição ainda mais íngreme do que a do filtro de Chebyshev.[22] Esse filtro faz o trabalho, se você estiver satisfeito com uma característica de amplitude que atinge e mantém alguma atenuação mínima em toda a banda de rejeição (em vez de continuar a cair

[21] Às vezes é chamado de filtro equiripple.

[22] Ou menos seções de filtro para atingir uma determinada inclinação.

desligado com uma inclinação final de *6n* dB/oitava). O retorno é um filtro mais simples, com melhores características de fase e amplitude (veja abaixo). Com técnicas de projeto auxiliado por computador, o projeto de filtros elípticos é tão direto quanto os filtros Butterworth e Chebyshev clássicos.

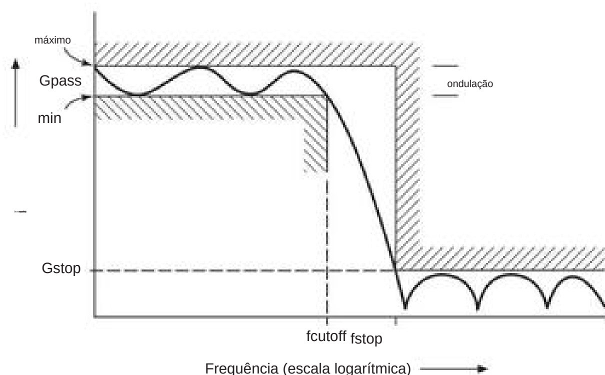


Figura 6.23. Especificando os parâmetros de resposta de frequência do filtro.

A Figura 6.23 mostra como especificar graficamente a resposta de frequência do filtro. Neste caso (um filtro passa-baixo), você indica a faixa permitida de ganho do filtro (ou seja, a ondulação) na banda passante, a frequência mínima na qual a resposta deixa a banda passante, a frequência máxima na qual a resposta entra na banda proibida e a atenuação mínima na banda de corte. Como exemplo, a Figura 6.24 compara as respostas para Chebyshev e implementações de filtro passa-baixa elíptico para atender a um desempenho especificado, aqui exigindo um Chebyshev de 11 polos ou um elíptico de 6 polos (para atender às mesmas especificações com um Butterworth seria necessário um filtro de 32 polos). implementação do pólo!). O filtro elíptico mais simples tem as melhores características de fase, mas sua resposta não continua a cair monotonicamente com a frequência depois de atingir a atenuação de banda de parada especificada.

B. Filtro de Bessel

Como sugerimos, a resposta de amplitude versus frequência de um filtro não conta toda a história. Um filtro caracterizado por uma resposta de amplitude plana pode exibir mudanças de fase que mudam rapidamente, o que produz atrasos de tempo desiguais para sinais dentro de sua banda passante. O resultado é que um sinal na banda passante sofrerá distorção de sua forma de onda. Em situações onde a forma da forma de onda é fundamental, um filtro de fase linear (ou filtro de atraso de tempo constante) é desejável. Um filtro cujo deslocamento de fase varia linearmente com a frequência é equivalente a um atraso de tempo constante para sinais dentro da banda passante; ou seja, a forma de onda não é distorcida. o

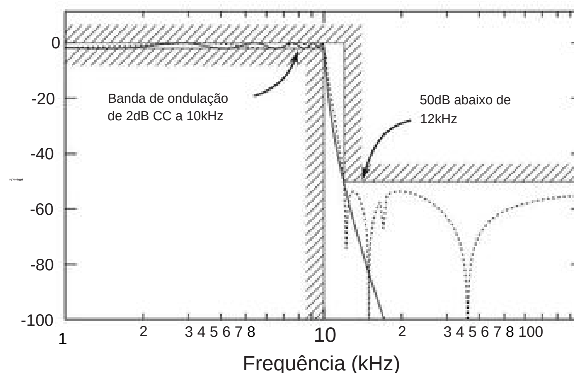


Figura 6.24. Exemplo de filtro passa-baixa: um filtro elíptico de 6 polos com ondulação de banda passante e de banda proibida (curva tracejada) atende às especificações de desempenho mostradas aqui, enquanto você precisaria de um Chebyshev de 11 polos (que tem ondulação apenas em sua banda passante) ou um filtro de 32 polos. poste Butterworth ("maximalmente plano" – sem ondulação na banda passante ou na banda proibida) também.

O filtro de Bessel (também chamado de filtro de Thomson)23 tem atraso de tempo maximamente plano dentro de sua banda passante em analogia com o Butterworth, que tem resposta de amplitude maximamente plana.

Para ver o tipo de melhoria no desempenho no domínio do tempo que você obtém com o filtro de Bessel, observe a Figura 6.25 para uma comparação de deslocamento de fase e atraso de tempo versus frequência para o filtro de Bessel em comparação com dois filtros clássicos que exibem um caráter de frequência mais abrupto. (Butterworth e Chebyshev). O fraco desempenho de atraso de tempo do Butterworth (e, em maior medida, do Chebyshev) dá origem a efeitos como distorção da forma de onda e overshoot quando acionado com sinais de pulso – consulte a Figura 6.26. Por outro lado, o preço que você paga pela constância do atraso de tempo de Bessel é uma resposta de amplitude com inclinação ainda menor do que a de Butterworth ou Chebyshev na região de transição entre a banda de passagem e a banda de parada. Um ponto importante: adicionar seções a um filtro de Bessel (ou seja, torná-lo de ordem superior) não aumenta significativamente a inclinação da transição para a banda de parada; ele, no entanto, melhora a linearidade da fase (constância do atraso de tempo), bem como aumenta a taxa final de queda, atingindo o limite assintótico usual de *6n* dB/oitava (veja a Figura 6.30).

23 Esse é o lendário matemático alemão Friedrich Bessel (1784–1846) que, embora não fosse um projetista de circuitos praticante, desenvolveu a matemática. O rótulo Bessel–Thomson reconhece a aplicação de Thomson a filtros: Thomson, WE, "Delay Networks with Maximally Flat Frequency Characteristics," *Proceedings of the Institution of Electrical Engineers,* Part III, **96** 44, pp. 487–490 (1949).

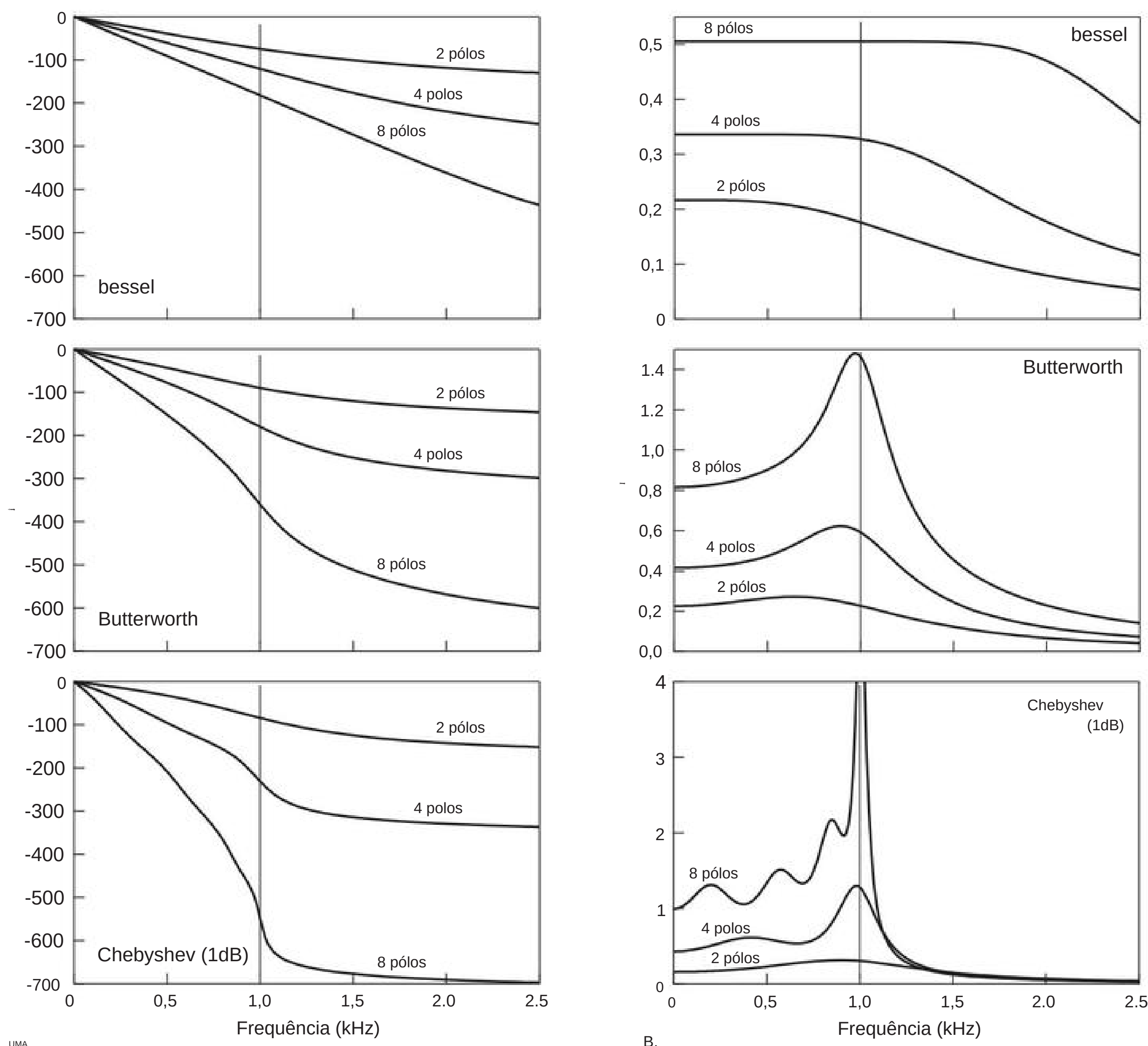


Figura 6.25. A. Mudança de fase vs. frequência para três tipos de filtro passa-baixa, cada um configurado com uma frequência de corte de 1 kHz (linha vertical). B. Retardo de tempo vs. frequência para os filtros adjacentes; observe a mudança das unidades de escala vertical e do eixo de frequência linear. Se você gosta de unidades normalizadas, use *f* / fc para os eixos horizontais e td/T para o atraso de tempo.

Existem vários projetos de filtro que tentam melhorar o bom desempenho no domínio do tempo do Bessel, comprometendo parte da constância do atraso de tempo para melhorar o tempo de subida e as características de amplitude versus frequência. O filtro gaussiano tem características de fase quase tão boas quanto as do filtro Bessel, com melhor resposta ao degrau. Em outra classe existem filtros interessantes que permitem ondulações uniformes no atraso da banda passante (em analogia com as ondulações de Chebyshev em sua resposta de amplitude) e produzir atrasos de tempo aproximadamente constantes, mesmo para sinais bem dentro da banda de parada; às vezes, eles são chamados simplesmente de filtros de "fase linear", caracterizados por um parâmetro que define a ondulação de fase (por exemplo, 0,5ÿ) dentro da banda passante. Outra abordagem para o problema de fazer filtros com atrasos de tempo uniformes é usar filtros passa-tudo (também conhecidos como equalizadores de atraso). Estes têm resposta de amplitude constante com frequência, com um deslocamento de fase que pode ser adaptado para requisitos individuais. Assim, eles podem ser usados p

melhorar a constância de atraso de tempo de qualquer filtro, incluindo os tipos Butterworth e Chebyshev.

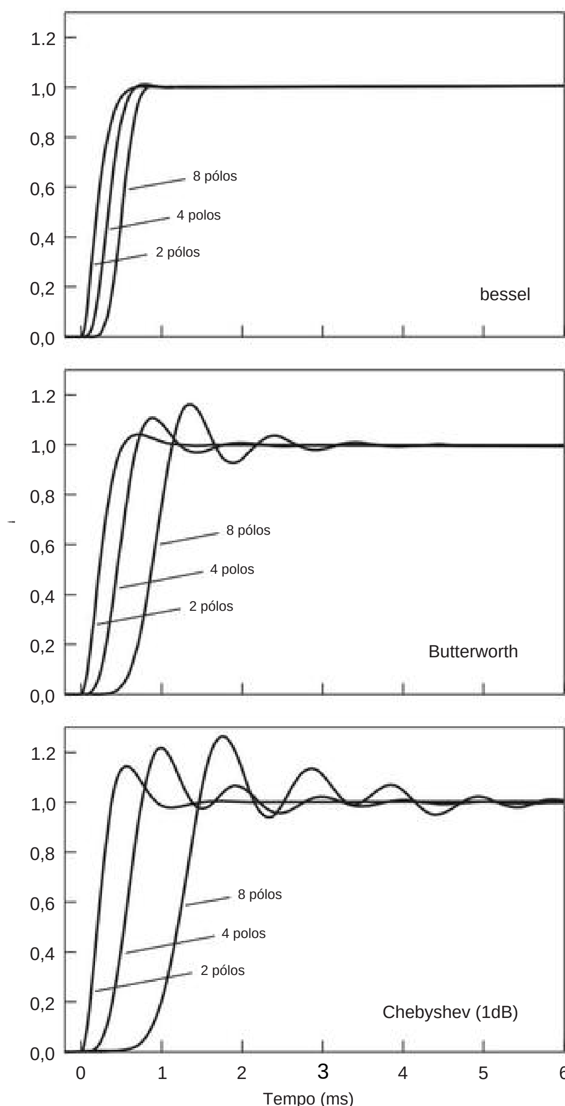


Figura 6.26. Resposta a uma entrada degrau de 1 V em t = 0, para os três filtros passa-baixa de 1 kHz das figuras anteriores.

C. Comparação de filtro

Apesar dos comentários anteriores sobre a resposta de frequência do filtro de Bessel, ele ainda possui propriedades muito superiores no domínio do tempo em comparação com Butterworth e Chebyshev. O Chebyshev, com suas características de amplitude versus frequência altamente desejáveis, na verdade tem o pior desempenho no domínio do tempo dos três. O Butterworth está no meio tanto na frequência quanto no tempo propriedades do domínio. A Tabela 6.1 na próxima página e as Figuras 6.26 e 6.27 fornecem mais informações sobre o desempenho no domínio do tempo para esses três tipos de filtros para complementar os gráficos no domínio da frequência apresentados anteriorment Eles deixam claro que o Bessel é um filtro desejável quando o desempenho no domínio do tempo é importante.

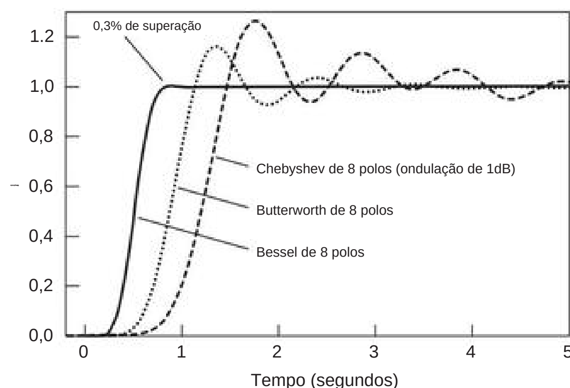


Figura 6.27. Comparação de resposta degrau para filtros passa-baixa de 8 polos normalizados para frequência de corte de 1 Hz.

6.2.7 Implementação do filtro

Veremos na próxima seção como implementar esses filtros clássicos com R's, C's e amplificadores operacionais. Estes são chamados *de filtros ativos* e têm a vantagem de não necessitarem de indutores. Isso é bom, porque os indutores tendem a ser volumosos, imperfeitos e baratos.

No entanto, para uso em frequências acima de aproximadamente 100 kHz, muitas vezes é preferível construir filtros passivos como o exemplo de filtro anti-alias lowpass que mostramos na Figura 6.9. Você tem duas opções: pode construir o seu próprio ou pode comprar o que precisa. Para fazer o seu próprio, você pode usar qualquer uma das várias tabelas de projeto (fornecemos um conjunto no Apêndice E) ou software de projeto de filtro (consulte §6.3.8) para calcular os valores L e C para o filtro específico que você deseja. Se você estiver fazendo apenas alguns, você pode querer usar indutores sintonizados (ajustados com um medidor de indutância ou ponte) e capacitores de 1% ou pares de capacitores paralelos ajustados à mão, para obter a precisão necessária.

Como alternativa, você pode simplesmente jogar dinheiro no problema: existem dezenas de fabricantes de filtros padrão e personalizados, e eles ficarão felizes em criar o que você quiser. Na extremidade inferior do espectro de frequência (digamos, 100 MHz baixos), eles usarão elementos agrupados (L's e C's); acima disso, você obterá filtros coaxiais ou de cavidade. Se o filtro que você deseja é uma unidade padrão (por exemplo, no catálogo Mini Circuits Labs), será barato e geralmente

Tabela 6.1 Comparação de desempenho no domínio do tempo para filtros passa-baixasa

Modelo	f3dB (Hz)	pólos	Tempo de subida do passo (0 - 90%) (s)	Overshoot (%)	Tempo de acomodação para 1% (s)	a 0,1%(s)	Atenuação de banda parada f=2fc (dB)	f=10fc (dB)
Bessel (–3dB em fc = 1Hz)	1,0	2	0,4	0,4	0,6	1,1	10	36
	1,0	4	0,5	0,8	0,7	1,2	13	66
	1,0	6	0,6	0,6	0,7	1,2	14	92
	1,0	8	0,7	0,3	0,8	1,2	14	114
Butterworth (–3dB em fc = 1Hz)	1,0	2	0,4	4	0,8	1,7	12	40
	1,0	4	0,6	11	1,0	2,8	24	80
	1,0	6	0,9	14	1,3	3,9	36	120
	1,0	8	1,1	16	1,6	5,1	48	160
Ondulação Chebyshev 0,5dB (–0,5dB em fc = 1Hz)	1,39	2	0,4	11	1,1	1,6	8	37
	1,09	4	0,7	18	3,0	5,4	31	89
	1,04	6	1,1	21	5,9	10,4	54	141
	1,02	8	1,4	23	8,4	16,4	76	193
Ondulação Chebyshev 2dB (–2dB em fc = 1Hz)	1,07	2	0,4	21	1,6	2,7	15	44
	1,02	4	0,7	28	4,8	8,4	37	96
	1,01	6	1,1	32	8,2	16,3	60	148
	1,01	8	1,4	34	11,6	24,8	83	200

Notas: (a) um procedimento de projeto para esses filtros é apresentado na seção "Circuitos VCVS".

entregue do estoque. Caso contrário, você pagará pelo menos cem dólares e esperará pelo menos algumas semanas. Alguns fabricantes que usamos são Lark Engineering, Mini-Circuits Laboratories, Trilithic (Cir-Q-Tel) e TTE.

6.3 Circuitos de filtro ativo

Muita engenhosidade foi usada na invenção de circuitos ativos inteligentes, cada um dos quais pode ser usado para gerar funções de resposta como Butterworth, Chebyshev, etc. Você pode se perguntar por que o mundo precisa de mais de um circuito de filtro ativo. A razão é que várias realizações de circuitos se destacam em uma ou outra propriedade desejável, de modo que não existe um melhor circuito completo.

Os filtros ativos podem ser construídos usando amplificadores operacionais discretos como elementos ativos.[24] Nesse caso, você deve fornecer os resistores e capacitores que definem as características do filtro. Esses componentes passivos geralmente devem ser precisos e estáveis, particularmente em filtros com características de frequência agudas. Uma alternativa atraente é aproveitar a rica variedade de filtros ativos de IC, nos quais a maior parte do trabalho pesado já foi feito, incluindo a integração no chip de componentes passivos combinados.

[24] Ou mesmo discretos seguidores de transistores, como no simples filtro Sallen-and-Key.

Os filtros ativos vêm em duas variedades básicas: filtros de "tempo contínuo" e filtros de capacitores chaveados. *Filtros de tempo contínuo* são circuitos analógicos feitos de amplificadores operacionais, resistores e capacitores; as características do filtro são definidas pelos valores dos componentes e, claro, pela configuração do circuito. A coisa apenas fica lá e age como um filtro. *Os filtros de capacitores comutados* usam um capacitor combinado com um interruptor MOSFET, ligado e desligado por um sinal de clock aplicado externamente, para substituir o resistor de entrada no integrador de amplificador operacional clássico. O valor efetivo do resistor é definido pela frequência de clock. Um filtro de capacitor comutado típico usa vários desses integradores em combinação com amplificadores operacionais adicionais para implementar a função de filtro desejada.[25] Os filtros de capacitores comutados têm as vantagens de serem simplesmente sintonizados em uma ampla faixa (pela frequência de clock aplicada), de manter características estáveis , e de serem particularmente fáceis de fabricar como CIs. No entanto, eles geralmente são mais ruidosos (ou seja, com menor faixa dinâmica), têm maior distorção e podem introduzir artefatos de comutação, como aliasing e clock feedthrough.

Alguns dos recursos a serem procurados em filtros ativos são (a) pequeno número de partes, tanto ativas quanto passivas, (b) facilidade

[25] A configuração do circuito resultante geralmente é idêntica à de algum filtro ativo de tempo contínuo, por exemplo, o tipo conhecido como "variável de estado" ou "biquad".

de ajustabilidade, (c) pequena dispersão dos valores das peças, especialmente os valores do capacitor, (d) uso pouco exigente do amplificador operacional, especialmente requisitos de taxa de variação, largura de banda e impedância de saída, (e) a capacidade de fazer alto Filtros Q , (f) sintonização elétrica e (g) sensibilidade das características do filtro aos valores dos componentes e ganho do amplificador operacional (em particular, o produto ganho-largura de banda, fT). De muitas maneiras, o último recurso é um dos mais importantes. Um filtro que requer peças de alta precisão é difícil de ajustar e irá se desviar conforme os componentes envelhecem; além disso, há o incômodo de exigir componentes de boa precisão inicial. O circuito VCVS provavelmente deve a maior parte de sua popularidade à sua simplicidade e baixa contagem de peças, mas sofre de alta sensibilidade a variações de componentes. Em comparação, o interesse recente em realizações de filtro mais complicadas é motivado pelos benefícios da insensibilidade das propriedades do filtro à pequena variabilidade de componentes.

Nesta seção, apresentamos vários circuitos para filtros ativos passa-baixa, passa-alta e passa-faixa. Começamos com o popular VCVS, ou tipo de fonte controlada, depois mostramos os projetos de variáveis de estado disponíveis como ICs de vários fabricantes e, finalmente, mencionamos o filtro de rejeição de agudos twin-T.

A maioria dos novos CIs de filtro ativo que estão sendo introduzidos são do tipo capacitor chaveado, devido à sua facilidade de uso, tamanho pequeno, baixo custo, excelente estabilidade e (em alguns casos) ausência completa de componentes externos necessários. Concluímos o capítulo com uma discussão sobre eles.

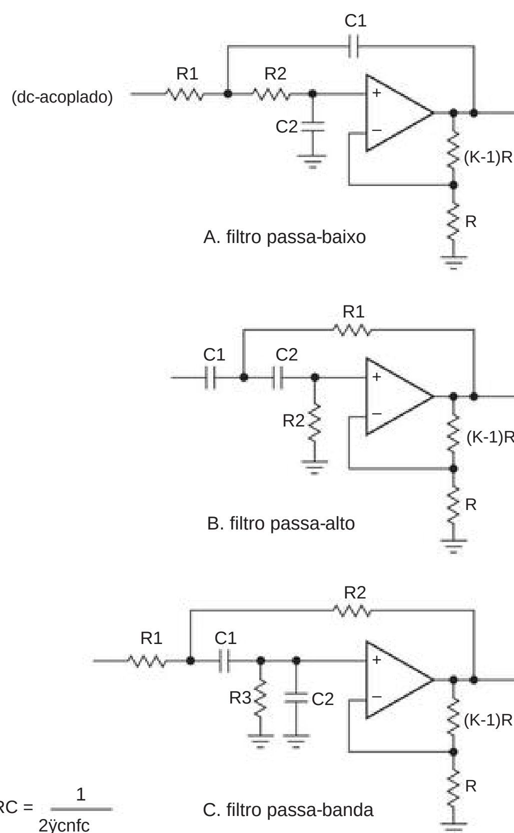


Figura 6.28. Circuitos de filtro ativo VCVS.

6.3.1 Circuitos VCVS

O filtro de fonte de tensão controlada por tensão (VCVS), também conhecido simplesmente como filtro de fonte controlada, foi desenvolvido por Sallen e Key (e introduzido de forma simplificada em §6.2.4E). É uma variação do circuito de ganho unitário mais simples mostrado anteriormente (Figura 6.16), no qual o seguidor de ganho unitário é substituído por um amplificador não inversor de ganho maior que a unidade. A Figura 6.28 mostra os circuitos para realizações de passa-baixa, passa-alta e passa-banda. Os resistores nas saídas dos amplificadores operacionais criam um amplificador de tensão não inversora de ganho de tensão K, com os restantes Rs e Cs contribuindo com as propriedades de resposta de frequência para o filtro. São filtros de 2 polos, podendo ser Butterworth, Bessel, etc., por escolha adequada dos valores dos componentes, como mostraremos a seguir. Qualquer número de seções VCVS de 2 polos pode ser colocado em cascata para gerar filtros de ordem superior. Quando isso é feito, as seções de filtro individuais são, em geral, não idênticas. De fato, cada seção representa um fator polinomial quadrático do polinômio de ordem *n* descrevendo o filtro geral.

Existem equações e tabelas de projeto na maioria dos manuais de filtro padrão para todas as respostas de filtro padrão, geralmente incluindo tabelas separadas para cada uma das várias amplitudes de ondulação para filtros Chebyshev. Na próxima seção, apresentamos uma tabela de design fácil de usar para filtros VCVS de respostas Butterworth, Bessel e Chebyshev (ondulação de banda passante de 0,5 dB e 2 dB para filtros Chebyshev) para uso como filtros passa-baixa ou passa-alta. Os filtros passa-banda e rejeita-banda podem ser feitos a partir de combinações destes.

6.3.2 Projeto de filtro VCVS usando nossa tabela simplificada

Para usar a Tabela 6.2 para criar um filtro passa-baixa ou passa-alta, comece decidindo qual resposta de filtro você precisa. Como mencionamos anteriormente, o Butterworth pode ser atraente se o máximo nivelamento da banda passante for desejado, o Chebyshev fornece o rolloff mais rápido da banda passante para a banda passante (à custa de alguma ondulação na banda passante) e o Bessel fornece as melhores características de fase, ou seja, , atraso de sinal constante na banda passante, com passo correspondentemente bom

resposta. As respostas de frequência para todos os tipos são mostradas nos gráficos anexos (Figura 6.30).

Tabela 6.2 Filtros VCVS Lowpass

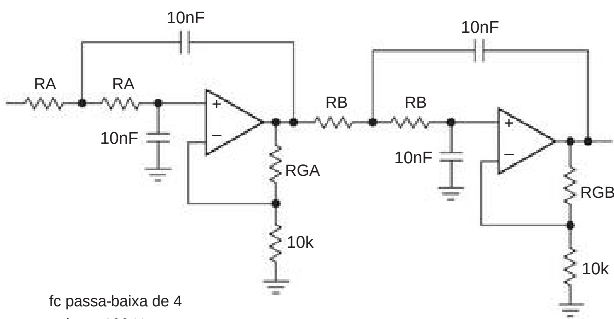
pólos	Butter- (0,5dB) vale K	bessel		Chebyshev		Chebyshev (2dB)	
		cn	K	cn	K	cn	K
2	1.586	1.272	1.268	1.231	1.842	0,907	2.114
4	1.152	1.432	1.084	0,597	1.582	0,471	1.924
	2.235	1.606	1.759	1,031	2.660	0,964	2.782
6	1.068	1.607	1.040	0,396	1.537	0,316	1.891
	1.586	1.692	1.364	0,768	2.448	0,730	2.648
	2.483	1.908	2.023	1.011	2.846	0,983	2.904
8	1,038	1,781	1,024	0,297	1,522	0,238	1,879
	1,337	1,835	1,213	0,599	2,379	0,572	2,605
	1,889	1,956	1,593	0,861	2,711	0,842	2,821
	2,610	2,192	2,184	1,006	2,913	0,990	2,946

Para construir um filtro n-polo (para *n* um inteiro par), você precisará cascatear n/2 seções VCVS. Dentro de cada seção, R1=R2=R e C1=C2=C. Como é usual em circuitos de amplificadores operacionais, *R* normalmente será escolhido na faixa de 10k a 100k. (É melhor evitar pequenos valores de resistor, porque a impedância de saída em malha aberta crescente do amplificador operacional em altas frequências aumenta os valores do resistor e atrapalha os cálculos.) Então, tudo o que você precisa fazer é definir o ganho, K , de cada estágio de acordo com as entradas da tabela. Para um filtro n-polo existem n/2 entradas, uma para cada seção.

A. Filtros passa-baixo Butterworth Se o filtro for um Butterworth, todas as seções têm os mesmos valores de *R* e C, dados simplesmente por *RC* = 1/2 fc, onde fc é a frequência desejada ÿ3 dB de todo o filtro. Para fazer um filtro Butterworth passa-baixa de 6 polos, por exemplo, você pode cascatear três das seções passa-baixa mostradas anteriormente, com ganhos de 1,07, 1,59 e 2,48 (de preferência nessa ordem, para evitar problemas de faixa dinâmica) e com Rs idênticos e C's para definir o ponto de 3 dB.

B. Filtros passa-baixo de Bessel e Chebyshev Para fazer um filtro Bessel ou Chebyshev com o VCVS, a situação é apenas um pouco mais complicada. Mais uma vez, cascateamos vários filtros VCVS de 2 polos, com ganhos prescritos para cada seção. Dentro de cada seção, usamos novamente *R1=R2=R* e C1=C2=C. No entanto, ao contrário da situação com o Butterworth, os produtos *RC* para as diferentes seções são diferentes e devem ser dimensionados pelo fator de normalização cn (dado para cada seção na Tabela 6.2 nesta página) de acordo com

para RC=1/2 ĕn fc. Aqui , fc é novamente o ponto ÿ3 dB para o filtro de Bessel, enquanto para o filtro Chebyshev ele define o fim da banda passante, ou seja, é a frequência na qual a resposta de amplitude sai da banda de ondulação em seu caminho para a banda de parada . Por exemplo, a resposta de um filtro passa-baixa Cheby shev com ondulação de 0,5 dB e fc=100 Hz será plana entre +0 dB e -0,5 dB de CC a 100 Hz, com atenuação de 0,5 dB em 100 Hz e uma queda rápida para frequência cies superiores a 100 Hz. Os valores são dados para filtros Chebyshev com ondulação de banda passante de 0,5 dB e 2,0 dB; os últimos têm uma transição um pouco mais íngreme para a faixa de rejeição (Figura 6.30).



Tipo de filtro	RA	RGA	RB	RGB	Ganho
Bessel	110 mil	845ÿ	100 mil	7,68k	1,91
Butterworth	158 mil	1,54k	158 mil	12,4k	2,57
Chebyshev (0,5dB)	267 mil	5,76k	154 mil	16,5k	4,21

Figura 6.29. Exemplo de filtro passa-baixa VCVS. Os valores do resistor mostrados são os valores padrão de 1% mais próximos (conhecidos como "E96").

Um exemplo

Como ilustração, a Figura 6.29 mostra uma implementação VCVS de um filtro passa-baixa de 4 polos com fc = 100 Hz; os valores do resistor para três características de filtro são listados, calculados como acabamos de descrever. Usamos um filtro semelhante (Valor de manteiga de 6 polos, fc = 90 Hz) para criar uma onda senoidal de precisão de 50 a 70 Hz a partir de uma onda quadrada digital que foi referenciada a um oscilador de cristal; a saída foi amplificada e usada para conduzir um telescópio astronômico.[26]

C. Filtros Highpass Para fazer um filtro highpass, use a configuração highpass mostrada anteriormente, ou seja, com os R's e C's trocados. Para filtros Butterworth, tudo o mais permanece inalterado (use os mesmos valores para R, C e K). Para os filtros de Bessel e Chebyshev, os valores de *K* permanecem os mesmos, mas o

[26] *The Art of Electronics,* 2ª edição, pp. 249 e 549.

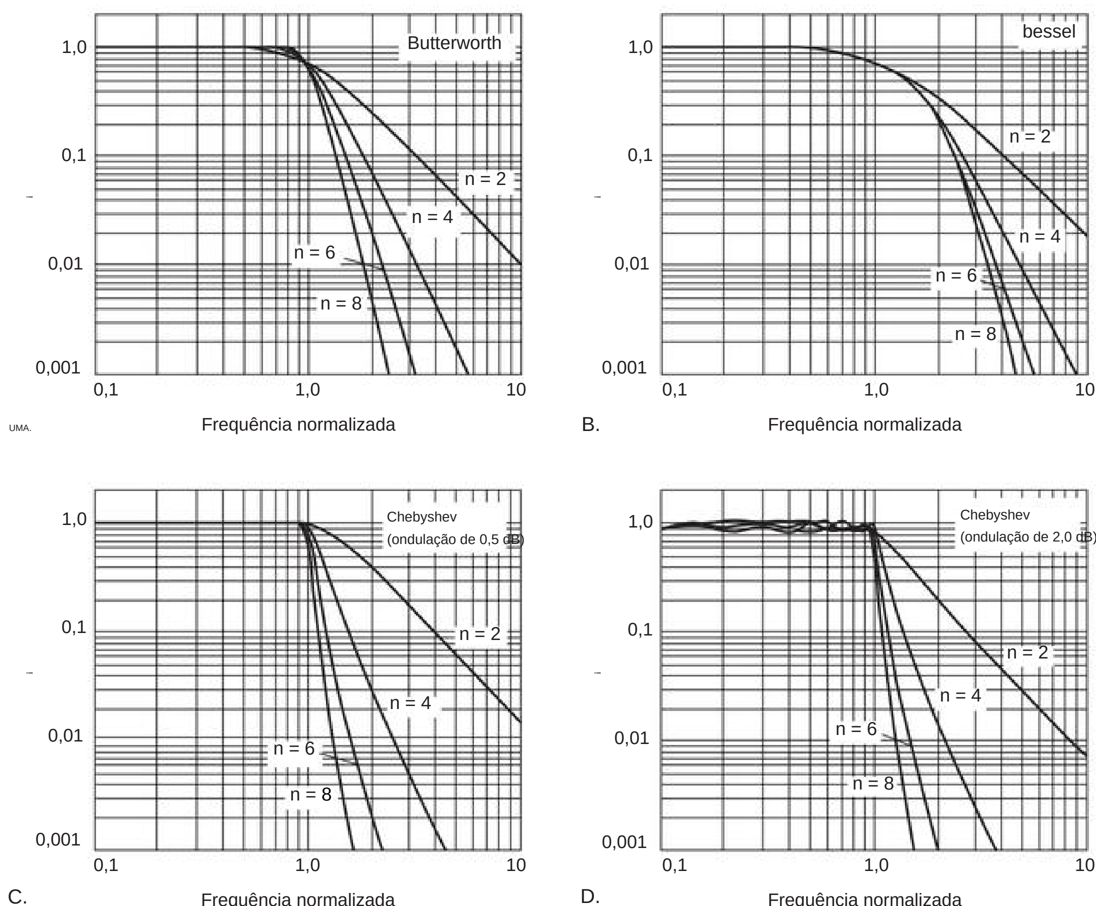


Figura 6.30. Gráficos de resposta de frequência normalizada para os filtros de 2, 4, 6 e 8 polos na Tabela 6.2. Os filtros Butterworth e Bessel são normalizados para atenuação de 3 dB na frequência unitária, enquanto os filtros Chebyshev são normalizados para atenuação de 0,5 dB e 2 dB. Conforme explicado anteriormente, o topo da banda de ondulação nos gráficos de Chebyshev foi definido como unidade.

os fatores de normalização cn devem ser invertidos, ou seja, para cada seção o novo cn é igual a 1/(cn listado na Tabela 6.2 na página anterior).

Um filtro passa-banda pode ser feito pela sobreposição em cascata de filtros passa-baixa e passa-alta. Um filtro de rejeição de banda pode ser feito somando as saídas de filtros passa-baixa e passa-alta não sobrepostos. No entanto, esses filtros em cascata não funcionarão bem para filtros de alto Q (filtros de passagem de banda extremamente nítidos) porque há grande sensibilidade para os valores dos componentes nas seções de filtro individuais (desacopladas). Em tais casos, um circuito passa-banda de estágio único de alto Q (por exemplo, o circuito passa-banda VCVS ilustrado anteriormente ou os filtros de variável de estado e biquadrado na próxima seção) deve ser usado. Mesmo um filtro de 2 polos de estágio único pode produzir uma resposta com um pico extremamente agudo. Informações sobre esse projeto de filtro estão disponíveis nas referências padrão.

D. Generalizando o filtro Sallen-and-Key Uma simplificação de projeto nesses circuitos de filtro Sallen-and-Key (ou VCVS) foi o uso de valores de resistor e capacitor idênticos dentro de cada estágio de filtro de 2 polos; mas com essa simplificação veio um conjunto de ganhos excêntricos do amplificador, como visto na coluna "Ganho" na Figura 6.29.

Freqüentemente, você deseja definir o ganho do filtro, por exemplo, para evitar a saturação, ou para poder alterar as características do filtro (por uma alteração do valor do componente) sem alterar o ganho. Quando você restringe o ganho, no entanto, precisa relaxar a restrição de proporção do componente. Você pode aprender tudo sobre isso em um bom par de Application Notes de James Karki da TI.27 O ponto principal é que (assim como com os circuitos VCVS anteriores) você pode criar qualquer filtro

27 "Analysis of the Sallen-and-Key Architecture," SLOA024B (2002) e "Active Low-Pass Filter Design," SLOA049B (2002).

característica, usando estágios de amplificador com sua escolha de ganho, desde que você esteja disposto a ajustar as relações do resistor e do capacitor.

Seguindo a análise de Karki, podemos escrever fórmulas de soma para a frequência de transição fc e *Q* de uma seção Sallen–Key de 2 polos na qual as razões dos componentes podem assumir valores arbitrários. Seguindo a convenção de nomenclatura[28] da Figura 6.28A, definimos os parâmetros m, n e (o que tornará os resultados finais maiÿs bonitos):

$$m = R1/R2,\ n = C1/C2,\ \text{e}\quad ÿ = R2C2.$$

Com essas definições, uma seção de filtro de 2 polos tem uma frequência de transição

$$f_c = \frac{1}{2\,ÿÿ\,ÿmn} \qquad (6.5)$$

e um *Q* (nitidez de transição, ou pico) de

$$Q = \frac{ÿmn}{1+m+mn(1ÿK)}. \qquad (6.6)$$

Esses resultados sozinhos não são suficientes para você projetar cascatas de filtro de ordem superior com formas de filtro canônicas (Chebyshev, etc.); para isso, você pode consultar as tabelas no App Note SLOA049B de Karki ou (para mais diversão) usar um programa de design de filtros. Mas essas expressões demonstram que você pode trocar um conjunto de restrições por outro. Observe particularmente o caso atraente de ganho unitário (K = 1), para o qual os elementos de ganho podem ser CIs de buffer de ganho unitário de banda larga ou simples seguidores de transistor discreto.[29]

Revisitando a restrição anterior que usamos com a tabela VCVS (ou seja, R1=R2=R, C1=C2=C), essas fórmulas se reduzem às formas simples

$$f_c = \frac{1}{2\,ÿ\,RC},\qquad Q = \frac{1}{3ÿK}, \qquad (6.7)$$

para o qual o circuito fica instável (Qÿÿ) quando K=3. Observe que tal circuito, com o ganho *K* ainda mais restrito à unidade (ou seja, um seguidor, conforme ilustrado na Figura 6.16 para apresentar a ideia de um filtro ativo) produz um filtro de microfone bastante anêmico, com um *Q* de apenas metade.

E. Resumo Os filtros VCVS minimizam o número de componentes necessários (dois pólos por amplificador operacional) e oferecem as vantagens adicionais de ganho não inversor, baixa impedância de saída, pequeno distribuição de valores de componentes, fácil ajuste de ganho e a capacidade de operar em alto ganho ou alto Q. Eles sofrem de sensibilidade a valores de componentes e ganho de amplificador e não se prestam bem a aplicações em que um filtro sintonizável de características estáveis é preciso. E eles requerem amplificadores operacionais cuja largura de banda (fT ou GBW) é muito maior do que fc do filtro.[30] Algumas dessas desvantagens são bem corrigidas nos filtros de variável de estado e biquadrado.

Exercício 6.3. Projete um filtro VCVS passa-baixa Chebyshev de 6 polos com ondulação de banda passante de 0,5 dB e frequência de corte de 100 Hz fc. Qual é a atenuação em 1,5 fc?

6.3.3 Filtros de variáveis de estado

O filtro de 2 polos mostrado na Figura 6.31 é muito mais complexo do que os circuitos VCVS, mas é popular por causa de sua estabilidade aprimorada e facilidade de ajuste. Ele é chamado de filtro de variável de estado e estava originalmente disponível como um IC da National (o AF100 e o AF150, agora descontinuados); você pode obtê-lo da Burr–Brown/TI (o UAF42), e uma peça muito semelhante é feita pela Maxim (MAX274–5). Por ser um módulo manufaturado, todos os componentes, exceto RG, RQ e os dois RF's, são embutidos. Entre suas boas propriedades está a disponibilidade de saídas highpass, lowpass e bandpass do mesmo circuito; além disso, sua frequência pode ser sintonizada mantendo *Q* constante (ou, alternativamente, largura de banda constante) na característica passa-banda. Como nas realizações do VCVS, vários estágios podem ser colocados em cascata para gerar filtros de ordem superior. A frequência pode ser ajustada com um potenciômetro duplo para o par de RF . Mas, dado o ajuste de frequência inversa (1/R) , você pode preferir um esquema linear como o mostrado na Figura 6.34, onde você pode usar um potenciômetro duplo ou um DAC multiplicador duplo (consulte §6.3.3C).

Fórmulas e tabelas de design extensas são fornecidas pelos fabricantes para o uso desses CIs convenientes. Eles mostram como escolher os valores do resistor externo para fazer Filtros Butterworth, Bessel e Chebyshev para uma ampla variedade de ordens de filtro, com respostas passa-baixa, passa-alta, passa-banda ou rejeição de banda. Entre os recursos interessantes desses CIs híbridos está a integração dos capacitores no módulo,[31] de modo que apenas resistores externos precisam ser adicionados.

[28] Um cuidado: usamos os rótulos (“refdes”) para R's e C's conforme definido no artigo original de Sallen e Key, mas em muitas referências (incluindo Karki's) os rótulos para C1 e C2 são trocados.

[29] Você pode inverter essas equações para encontrar *m* em termos de n, = um valor alvo para Q: defina uma quantidade ÿ dada ÿ 1 = (n/2Q2) ÿ 1; então *m* ÿ + ÿ ÿ

[30] Isso é declarado, por várias autoridades, como exigindo algo como fT ÿ *50Q2* fc, onde o *Q* de uma seção de amplificador operacional é dado em termos de seu ganho *K* (conforme listado na tabela) por *Q* = 1/(3ÿK). Você pode ver o critério de largura de banda (que é aproximado em qualquer caso) indicado alternativamente como fT ÿ 50 fc, ou fT ÿ 50K fc; eles estão todos no mesmo estádio.

[31] E, claro, nenhum indutor é necessário nesta (ou em qualquer outra) implementação de filtro ativo.

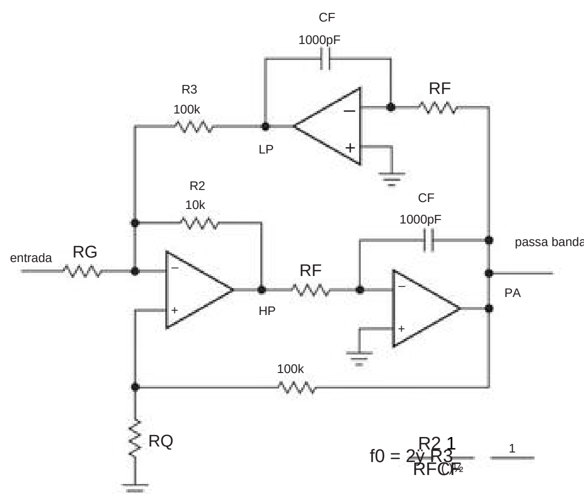


Figura 6.31. Filtro ativo de variável de estado.

A. Filtros passa-banda O circuito de estado variável, apesar de seu grande número de componentes, é uma boa escolha para filtros passa -banda precisos (alto Q) . Possui baixa sensibilidade de componentes, não exige muito da largura de banda do amplificador operacional e é fácil de ajustar. Por exemplo, no circuito da Figura 6.31 usado como um filtro passa-faixa, os dois resistores RF definem a frequência central e RQ e RG juntos determinam o *Q* e o ganho do centro da banda:

RF = 5,03×107/ f0 ohms, RQ (6.8)

= 105/(3,48Q+Gÿ1) ohms, RG = (6.9)

3,16×104Q/G ohms. (6.10)

Assim, você poderia criar um filtro Q constante de frequência ajustável usando um resistor variável de 2 seções (pote) para RF. Como alternativa, você pode tornar o RQ ajustável, produzindo um filtro de frequência fixa e Q variável (e, infelizmente, de ganho variável).

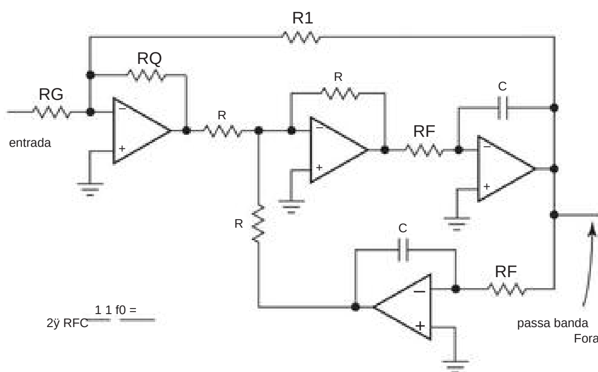


Figura 6.32. Um filtro com ganho configurável independentemente e Q.

Exercício 6.4. Calcule os valores do resistor na Figura 6.32 para criar um filtro passa-banda com f0 = 1 kHz, *Q* = 50 e *G* = 10.

A Figura 6.32 mostra uma variante útil do filtro passa-banda de variável de estado. A má notícia é que ele usa quatro amplificadores operacionais; a boa notícia é que você pode ajustar a largura de banda (ou seja, Q) sem afetar o ganho da banda média. Na verdade, *Q* e ganho são definidos com um único resistor cada. O Q, o ganho e a frequência central são completamente independentes e são dados por estas equações simples:

f0 = 1/2 *Q*ÿ *RFC* , (6.11)

= R1/RQ , *G* (6.12)

= R1/RG , *R* (6.13)

ÿ 10k (não crítico, correspondente) . (6.14)

Filtro biquadrado Um parente próximo do filtro de variável de estado é o chamado filtro biquadrado, mostrado na Figura 6.33. Este circuito também usa três amplificadores operacionais e pode ser construído a partir dos ICs variáveis de estado mencionados anteriormente. Ele tem a propriedade interessante de poder sintonizar sua frequência (via RF) enquanto mantém uma largura de *banda* constante (em vez de Q constante). Aqui estão as equações de projeto:

f0 = 1/2 ÿ *RFC,* (6.15)

BW = 1/2 *G*ÿ *hemácias,* (6.16)

= *RB/ RG.* (6.17)

O *Q* é dado por f0/BW e é igual a *RB/ RF.* À medida que a frequência central é variada (via RF), o *Q* varia proporcionalmente, mantendo a largura de banda f0/Q constante.

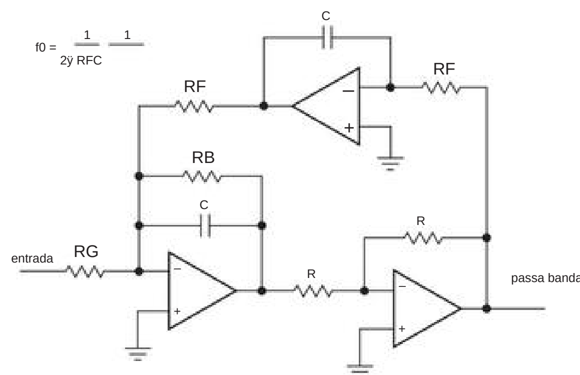


Figura 6.33. Filtro ativo biquadrado.

Quando você projeta um filtro biquadrado do zero (em vez de um CI de filtro ativo que já contém a maioria das partes), o procedimento geral é mais ou menos assim.

(1) Escolha um amplificador operacional cuja largura de banda fT seja de pelo menos 10 a 20 vezes *G* f0.

(2) Escolha um valor de capacitor de número redondo próximo a *C* = 10/ f0 (3) Use a frequência central desejada para calcular a correlação ÿF onde f0 está em Hz

RF correspondente da eq'n 6.15.

(4) Use a largura de banda desejada para calcular RB da eq'n 6.16.

(5) Use o ganho de centro de banda desejado para calcular RG da eq'n 6.17.

Você pode ter que ajustar o valor do capacitor se os valores do resistor ficarem muito grandes ou pequenos. Por exemplo, em um filtro de alto Q, você pode precisar aumentar um pouco *C* para evitar que RB fique muito grande (ou você pode usar o truque da rede T descrito em §4.5.5). Observe que *RF, RB* e RG agem como cargas de amplificadores operacionais e, portanto, não devem ser menores que, digamos, 5k. Ao fazer malabarismos com os valores dos componentes, você pode achar mais fácil satisfazer o requisito (1) diminuindo o ganho do integrador (aumentar RF) e simultaneamente aumentar o ganho do estágio do inversor (aumentar o resistor de realimentação de 10k).

Como exemplo, suponha que queremos fazer um filtro com as mesmas características do Exercício 6.4 na página 411. Começaríamos escolhendo provisoriamente *C* = 0,01 F. Em seguida, encontraríamos RF ÿ = 15,9k *(f0* = 1 kHz) e RB = 796k *(Q* = 50; BW = 20 Hz). Finalmente, RG = 79,6k *(G* = 10).

Exercício 6.5. Projete um filtro passa-banda biquadrado com f0 = 60 Hz, BW = 1 Hz e *G* = 100.

B. Filtros passa-banda de ordem superior

Assim como nossos filtros passa-baixa e passa-alta anteriores, é possível construir filtros passa-banda de ordem superior com passagem de banda aproximadamente plana e transição íngreme para a banda de parada.

Você faz isso colocando em cascata vários filtros passa-banda de ordem inferior, a combinação feita sob medida para realizar o tipo de filtro desejado (Butterworth, Chebyshev ou qualquer outro). Como antes, o Butterworth é "máximamente plano", enquanto o Chebyshev sacrifica a planicidade da banda passante pela inclinação das saias. Ambos os filtros VCVS e passa-banda biquad/variável de estado considerados são de segunda ordem (dois pólos). À medida que você aumenta a nitidez do filtro adicionando seções, geralmente degrada a resposta transitória e as características de fase. A "largura de banda" de um filtro passa-banda é definida como a largura entre os pontos de -3 dB, exceto para filtros equiripple, para os quais é a largura entre as frequências nas quais a resposta cai fora do canal de ondulação da banda passante.

Você pode encontrar tabelas e procedimentos de projeto para a construção de filtros complexos em livros padrão sobre filtros ativos ou nas planilhas de ICs de filtro ativo. Existem também alguns programas de design de filtro muito bons, incluindo shareware e versões freeware que rodam em PCs e estações de trabalho padrão.

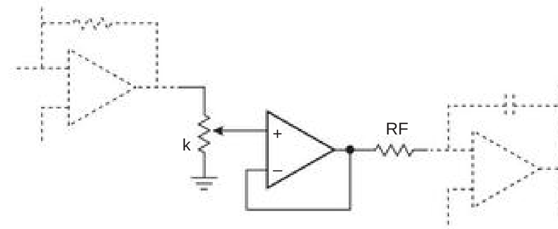


Figura 6.34. Ajustando a frequência do filtro ativo de variável de estado. O buffer do amplificador operacional pode ser omitido se a linearidade estrita com a rotação do potenciômetro não for necessária.

C. Sintonização eletrônica Às vezes, você deseja sintonização elétrica (ou comutação) para poder alterar as características do filtro sob o controle de um sinal (em vez de ter que girar o eixo em um resistor variável). Um exemplo pode ser um filtro passa-baixa anti-alias que precede um digitalizador, no qual a taxa de digitalização fsamp pode variar em algum intervalo. Nesse caso, o fc do filtro deve ser definido para seguir a frequência de Nyquist, fc ÿ fsamp/ 2 (consulte §§6.2.3C, 6.3.7A e 13.5.1B). Em circuitos de filtro ativo como o VCVS, você pode fazer isso, até certo ponto, usando interruptores analógicos para selecionar entre um pequeno conjunto de resistores fixos, cada um dos quais substitui um dos resistores no filtro. Mas os filtros de variável de estado fornecem uma maneira particularmente conveniente de realizar a comutação e o ajuste contínuo, de várias maneiras.

Potenciômetro digital Como discutimos em §3.4.3E, você pode obter ICs convenientes que contêm uma longa sequência de resistores combinados, com interruptores MOSFET para selecionar o tap do divisor de tensão (por meio de controle digital32). Portanto, você pode efetivamente alterar o valor de um resistor de programação (por exemplo, RF na Figura 6.31) precedendo-o com um divisor de tensão digital (com um seguidor de ganho unitário, se necessário para conduzir um RF de baixo valor); veja a Figura 6.34. Ao usar um pot33 digital duplo, você pode ajustar o par de RFs simultaneamente, conforme necessário para sintonizar f0 naquele circuito passa-banda. Potenciômetros digitais vêm com até 1024 torneiras, e eles vêm em espaçamento linear e logarítmico, para que você possa obter um controle eletrônico bastante preciso.

Os potes digitais não fornecem valores de resistência geral particularmente precisos (normalmente ± 20%), mas garantem um controle preciso e estável da taxa do divisor (1% ou

[32] Veremos como você controla essas feras com sinais digitais, no Capítulo 10 em diante.

[33] Eles vêm em várias unidades - individuais, duplos, quádruplos e até "sextetos".

Melhor); ou seja, os resistores que compõem a string são bem casados. É por isso que funcionam bem nesta aplicação, na qual apenas a proporção é importante.

Multiplicando o DAC Outra maneira de variar efetivamente a RF no filtro de variável de estado é usar um DAC (conversor digital para analógico) multiplicador, em vez de um divisor programável, para dimensionar a saída de tensão do amplificador operacional. O MDAC emite uma tensão (ou uma corrente, em alguns modelos) que é proporcional ao produto de uma tensão de entrada analógica e uma quantidade de entrada digital. Comparado com o potenciômetro digital, o método MDAC fornece resolução mais alta (tamanho de etapa mais fino), resposta mais rápida e (geralmente) faixa de tensão mais ampla.

Interruptor analógico Se apenas um conjunto discreto de parâmetros de filtro for desejado, você pode usar apenas um conjunto de multiplexadores analógicos MOSFET para selecionar entre um grupo pré-selecionado de resistores de programação. Não se esqueça de considerar os efeitos do RON finito.

Comutação integrada Existem alguns ICs de filtro ativo que fornecem frequência de corte programável, por um código digital que você aplica a um conjunto de pinos de programação.

Você não obtém controle contínuo, mas com certeza economiza muito trabalho (e muitas peças). Nesta classe estão o LTC1564 (lowpass elíptico de 8 polos), que permite selecionar a frequência de corte de 10 kHz a 150 kHz em passos de 10 kHz, e o MAX270 (passagem baixa dupla de 2 polos), que permite selecionar a frequência de corte entre 128 passos que vão de 1 kHz a 25 kHz.

Alternativas de ajuste eletrônico: filtros de capacitores chaveados e DSP
As técnicas acima alcançam o ajuste eletrônico apresentando o filtro de tempo contínuo com um conjunto eficazmente variável de resistores de programação. Ao pensar em ajuste eletrônico, é aconselhável considerar filtros de capacitores comutados e processamento de sinal digital (DSP), em ambos os quais o ajuste eletrônico é inerente. Estes são discutidos mais adiante neste capítulo (§6.3.6 e 6.3.7).

D. Filtro ativo de feedback múltiplo Além das configurações de circuito de filtro ativo VCVS (Sallen-and-Key) e variável de estado (ou biquad), há outro circuito de filtro ativo que é comumente usado.

Ele é chamado de filtro ativo de "feedback múltiplo" (MFB) (também conhecido como "feedback múltiplo de ganho infinito") e é mostrado na Figura 6.35. Aqui o amplificador operacional é configurado como um integrador, em vez de um amplificador de tensão (ou seguidor).

Projetar um filtro MFB não é mais difícil do que projetar um VCVS, e você pode encontrar um bom software de filtro que suporte ambas as configurações, por exemplo, no excelente site da Uwe Beis (ver §6.3.8). Você pode obter bons ICs de filtro MFB, por exemplo, o LTC1563, um IC de filtro linear barato ($ 2,30) usando a configuração MFB, conveniente para fazer filtros anti-alias, etc. Filtros Butterworth, de 256 Hz a 360 kHz, e a versão -3 faz filtros Bessel. Os ICs usam capacitores internos de 27 pF a 54 pF ajustados para 3%, combinados com seus resistores externos de 7k a 10M de 1%. A folha de dados é especialmente instrutiva.

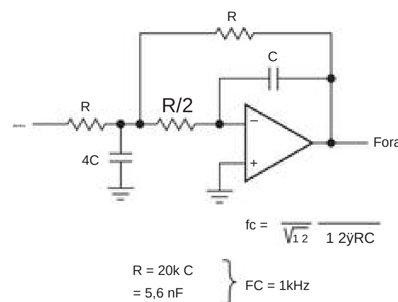


Figura 6.35. Filtro ativo de feedback múltiplo (MFB), mostrado aqui em uma configuração passa-baixa de 2 polos.

Esta configuração tem uma vantagem interessante em comparação com o VCVS: à medida que você vai para altas frequências, aproximando-se da largura de banda fT do amplificador operacional, os efeitos degradantes do aumento da impedância de saída do amplificador operacional são menos severos. Executamos simulações SPICE de filtros passa-baixa Butterworth VCVS e MFB de 2 polos (Figuras 6.36 e 6.37), que mostram bem esse efeito. Definimos a frequência de corte em 4 kHz, bem abaixo da frequência de ganho unitário (fT) do LF411 de 4 MHz. Na configuração VCVS, o Zout crescente do amplificador operacional permite que o sinal de entrada seja acoplado à saída através do primeiro capacitor, um caminho que está ausente na configuração MFB.[34] Em muitas aplicações, entretanto, isso não é uma preocupação séria. E o efeito é reduzido à medida que os valores dos resistores do filtro são aumentados, conforme mostra a Figura 6.36. A configuração VCVS está viva e bem, e continua popular.[35]

---

[34] Este efeito é ilustrado nos documentos da Texas Instruments "Analysis of the Sallen–Key Architecture" (SLOA024B) e "Active Low-Pass Filter Design" (SLOA049A), ambos de James Karki, e no artigo de Dave Van Ess no EN- Genius analogZONE "O que os artigos do filtro Sallen–Key não dizem a você."

[35] Uma maneira simples de atenuar o corte ruim em altas frequências é adicionar uma seção *RC* passiva na saída do filtro ativo; por exemplo, 200 ÿ e 7,5 nF formam um estágio de corte adicional de 100 kHz.

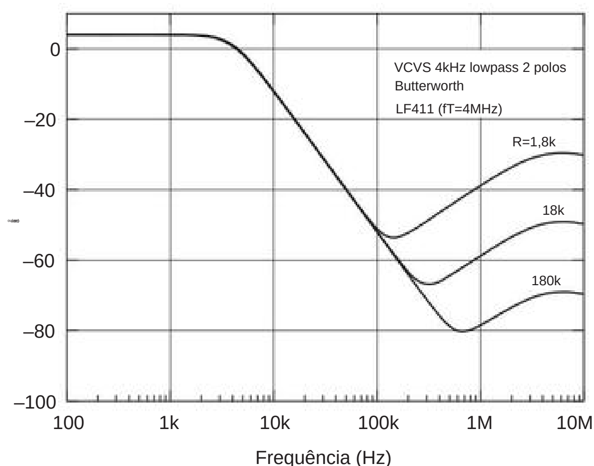


Figura 6.36. O aumento da impedância de saída de loop fechado do amplificador operacional degrada a atenuação de alta frequência na configuração VCVS (Sallen and-Key), permitindo que algum sinal de entrada se acople à saída através do resistor de entrada e do capacitor de feedback *(R1* e C1 em Figura 6.28). Valores de resistor maiores reduzem o efeito.
Veja também a Figura 6.37.

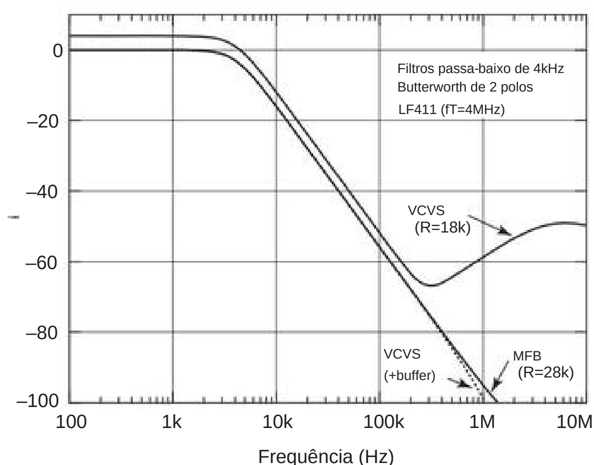


Figura 6.37. A atenuação da banda de parada da configuração MFB não é muito afetada pelo aumento da impedância de saída do amplificador operacional (por exemplo, como visto na Figura 4.53), em comparação com a do VCVS. No entanto, você pode mitigar o efeito no VCVS usando um segundo amplificador operacional para criar uma saída de buffer do sinal na entrada não inversora do amplificador operacional.

6.3.4 Filtros de entalhe Twin-T

A rede *RC* passiva mostrada na Figura 6.38 tem atenuação infinita em uma frequência $f_c = 1/2 RC$. Tenuação infinita não é característica de filtros *RC* em geral; este funciona efetivamente adicionando dois sinais que foram deslocados 180ÿ fora de fase na frequência de corte. Isso requer bom casamento de componentes para obter um bom nulo em fc. É chamado de T duplo e pode ser usado para remover um sinal de interferência, como captação de linha de força de 60 Hz. O problema é que ele tem as mesmas características de corte "suave" de todas as redes *RC* passivas , exceto, é claro, perto de fc, onde sua resposta cai como uma pedra. Por exemplo, um T duplo acionado por uma fonte de voltagem perfeita diminui 10 dB no dobro (ou metade) da frequência de corte e 3 dB em quatro vezes (ou um quarto) da frequência de corte. Um truque para melhorar sua característica de entalhe é "ativá-lo" na forma de um filtro Sallen-and-Key (Figura 6.39). Essa técnica parece boa em princípio, mas geralmente é decepcionante na prática, devido à impossibilidade de manter um bom filtro nulo. À medida que o entalhe do filtro se torna mais nítido (mais ganho no bootstrap), seu nulo se torna menos profundo.

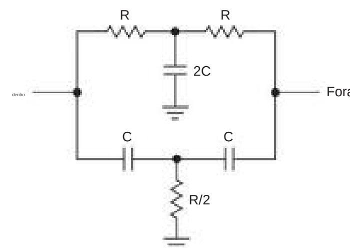


Figura 6.38. Filtro notch duplo T passivo.

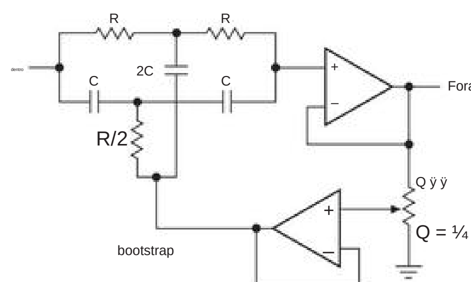


Figura 6.39. Bootstrapped twin-T.

Os filtros Twin-T estão disponíveis como módulos pré-fabricados, indo de 1 Hz a 50 kHz, com profundidades de entalhe de cerca de 60 dB (com alguma deterioração em altas e baixas temperaturas). Eles são fáceis de fazer a partir de componentes, mas resistores e capacitores de boa estabilidade e baixo coeficiente de temperatura devem ser usados para obter um entalhe profundo e estável. Um dos componentes deve ser aparável.

O filtro Twin-T funciona bem como um entalhe de frequência fixa, mas é um horror torná-lo sintonizável, porque três resistores devem ser ajustados simultaneamente, mantendo a relação constante. Entretanto, o notavelmente simples circuito *RC* da Figura 6.40A, que se comporta exatamente como o T duplo, pode ser

ajustado em uma faixa significativa de frequência (pelo menos duas oitavas) com um único potenciômetro. Como o T duplo (e a maioria dos filtros ativos), ele requer alguma combinação de componentes; neste caso, os três capacitores devem ser idênticos e o resistor fixo deve ser exatamente seis vezes o resistor inferior (ajustável). A frequência de entalhe é então dada por

$$f_{notch} = 1/2\pi C\sqrt{3R_1R_2}\ .$$

A Figura 6.40B mostra uma implementação que pode ser ajustada de 25 Hz a 100 Hz. O aparador de 50k é ajustado (uma vez) para a profundidade máxima do entalhe.

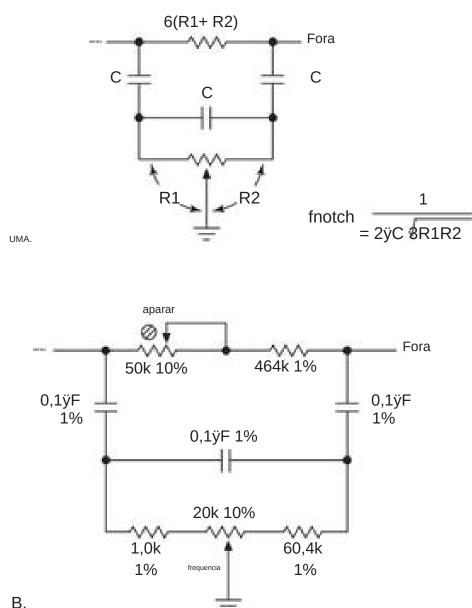


Figura 6.40. Filtro de entalhe ajustável diferenciador em ponte. A implementação em (B) sintoniza de 25 Hz a 100 Hz.

Assim como o T duplo passivo, esse filtro (conhecido como *diferenciador em ponte)* tem uma atenuação levemente inclinada para longe do entalhe e uma atenuação infinita (assumindo uma combinação perfeita dos valores dos componentes) na frequência do entalhe. Ele também pode ser "ativado" inicializando o limpador do pote com um ganho de tensão um pouco menor que a unidade (como na Figura 6.39). Aumentar o ganho bootstrap para a unidade estreita o entalhe, mas também leva a um pico de resposta indesejável no lado de alta frequência do entalhe, juntamente com uma redução na atenuação final.

6.3.5 Filtros passa-tudo

Tudo passa? Tudo passa?! O que pode ser isso? E por que você iria querer tal coisa, quando um pedaço de arame funciona tão bem (e provavelmente melhor)?

Os filtros allpass, também conhecidos como equalizadores de *atraso* ou equalizadores de *fase,* são filtros com resposta de *amplitude* plana , mas com deslocamento de fase que varia com a frequência. Eles são usados para compensar mudanças de fase (ou atrasos de tempo) em algum caminho de sinal.

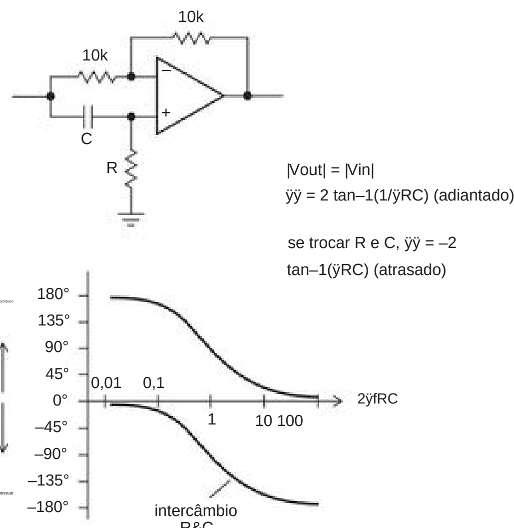


Figura 6.41. Filtro allpass, também conhecido como equalizador de atraso ou equalizador de fase.

A Figura 6.41 mostra a configuração básica do circuito. Intuitivamente, é fácil ver que o circuito se comporta como um inversor em baixas frequências (onde nenhum sinal é acoplado à entrada não inversora) e um seguidor em altas frequências (lembre-se do inversor opcional de §4.3.1A). Ao escrever algumas equações, você pode se convencer de que o circuito é conforme descrito na figura. A troca de *R* e *C* produz uma característica semelhante, mas com mudanças de fase atrasadas (em vez de adiantadas) entre os extremos de inversão e seguimento. A mudança de fase pode ser ajustada tornando *R* variável; mas observe que um pequeno valor de *R* torna a impedância de entrada do circuito pequena em altas frequências (onde a reatância de *C* vai para zero).

A Figura 6.42 mostra uma variante que estende a faixa de deslocamento de fase para 360° completos. A desvantagem é que você precisa ajustar dois componentes simultaneamente (por exemplo, o par de resistores de valor igual) para alterar sua afinação. Isso pode ser feito com facilidade, porém, usando um potenciômetro digital duplo (um "EEpot") do tipo descrito em §3.4.3E.

6.3.6 Filtros de capacitores chaveados

Uma desvantagem desses filtros de variável de estado ou biquadrado é a necessidade de capacitores precisamente combinados. Se você construir o

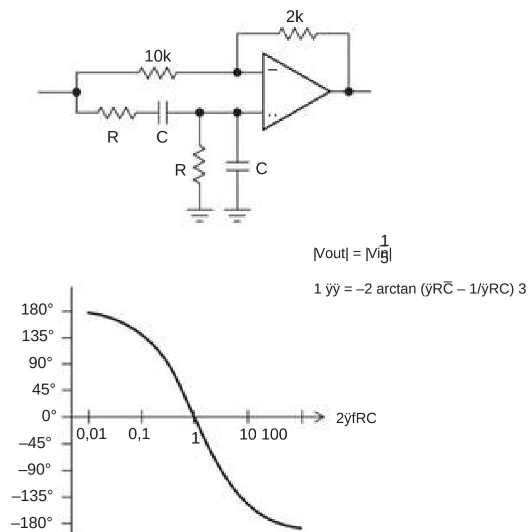


Figura 6.42. Filtro passa-tudo com uma faixa de mudança de fase completa de 360ÿ . (Genin, R., Proc. IEEE, **56,** 1746 (1968).)

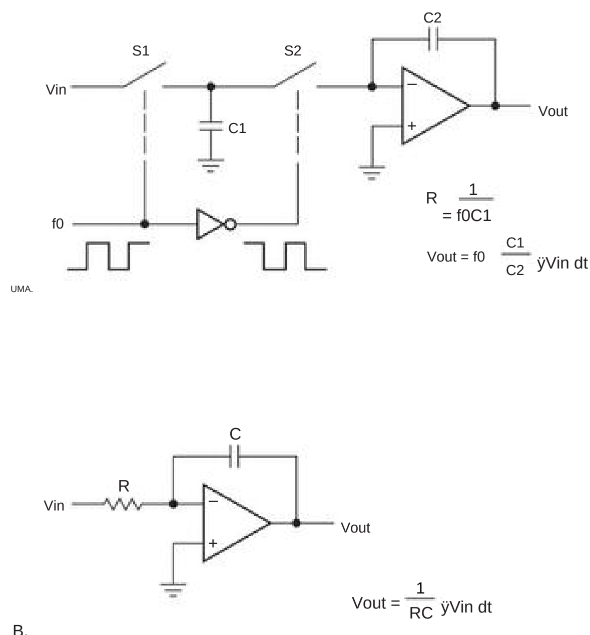


Figura 6.43. A. Integrador de capacitores chaveados. B. integrador convencional.

circuito de amplificadores operacionais, você precisa obter pares de capacitores estáveis (não eletrolíticos, de tântalo ou de alta cerâmica), combinados em mais de 1% para um desempenho ideal. Você também tem que fazer muitas conexões, já que os circuitos usam pelo menos três amplificadores operacionais e seis resistores para cada seção de 2 pólos. Como alternativa, você pode comprar um IC de filtro, permitindo que o fabricante descubra como integrar capacitores de 1000 pF (±0,5%) em um IC. Os fabricantes de semicondutores resolveram esses problemas, mas a um preço: os ICs UAF42 e MAX274 “Universal Active Filter” (mencionados anteriormente), implementados com tecnologia híbrida ou laser-trim, custam cerca de US$ 8 a US$ 16 cada. Esses filtros de “tempo contínuo” também não se prestam a um ajuste fácil.

A. Integrador de capacitores chaveados

Há outra maneira de implementar os integradores que são necessários nas configurações de filtro de variável de estado ou biquadrado. A ideia básica é usar interruptores analógicos MOSFET, sincronizados a partir de uma onda quadrada aplicada externamente em alguma alta frequência (normalmente 100 vezes mais rápido que os sinais analógicos de interesse), conforme mostrado na Figura 6.43. Na figura, o engraçado objeto triangular é um *inversor digital,* que vira a onda quadrada de cabeça para baixo de modo que os dois interruptores MOS sejam fechados em metades opostas da onda quadrada.

O circuito é fácil de analisar: quando S1 está fechado, C1 carrega para Vin, ou seja, mantendo a carga C1Vin. Na metade alternada do ciclo, C1 descarrega no solo virtual, transferindo sua carga para C2. A tensão através de C2 , portanto, muda em uma quantidade *ÿV* = ÿQ/C2 =VinC1/C2. Observação que a *variação* da tensão de saída durante cada ciclo da onda quadrada rápida é proporcional a Vin (que assumimos muda apenas uma pequena quantidade durante um ciclo da onda quadrada), ou seja, o circuito é um integrador! É fácil mostrar que os integradores obedecem às equações da figura.

Exercício 6.6. Derive as equações na Figura 6.43.

Exercício 6.7. Aqui está outra maneira de entender o integrador de capacitores chaveados: calcule a corrente média que flui através de S2 para o solo virtual. Você deve achar que é proporcional ao Vin. Portanto, a combinação de S1, C1 e S2 se comporta como um resistor, formando um integrador clássico. Qual é o valor dessa resistência equivalente, em termos de f0 *e C1?* Use isso para chegar à equação da figura, Vout = f0(C1/C2) *Vindt.*

B. Vantagens dos filtros de capacitores comutados

Há duas vantagens importantes em usar capacitores comutados em vez de integradores convencionais. Primeiro, como sugerido anteriormente, pode ser menos dispendioso implementar no silício: o ganho do integrador depende apenas da *proporção* de dois capacitores, não de seus valores individuais. Em geral, é fácil fazer um par combinado de qualquer coisa no silício, mas muito difícil fazer um componente semelhante (resistor ou capacitor) de valor preciso e alta estabilidade. Como resultado, os ICs de filtro monolítico de capacitores chaveados são baratos - o filtro universal de capacitores chaveados da TI (o MF10) custa US$ 3,50

(em comparação com US $ 16 para o UAF42 convencional) e, além disso, oferece *dois* filtros em um pacote.

A segunda vantagem dos filtros de capacitores comutados é a capacidade de sintonizar a frequência característica do filtro (por exemplo, a frequência central de um filtro passa-banda ou o ponto -3 dB de um filtro passa-baixa) apenas alterando a frequência da onda quadrada (entrada "relógio").36 Isso ocorre porque a frequência característica de uma variável de estado ou filtro biquadrado é proporcional (e depende apenas) do ganho do integrador.

C. Configurações de filtros de capacitores chaveados Os filtros de capacitores chaveados estão disponíveis em configurações dedicadas e "universais". Os primeiros são pré-conectados com componentes no chip para formar filtros passa-baixa do tipo desejado (Butterworth, Bessel, Elliptic), enquanto os últimos possuem várias entradas e saídas intermediárias para que você possa conectar componentes externos para fazer o que quiser. O preço que você paga pela universalidade é um pacote de IC maior e a necessidade de resistores externos. Por exemplo, o filtro passa-baixo elíptico de 8 polos LTC1069-6 independente da LTC vem em um pacote de 8 pinos (cerca de US$ 9), em comparação com o filtro universal quad de 2 polos LTC1164, que requer 12 resistores externos para implementar um filtro comparável. filtro e vem em um pacote de 24 pinos (cerca de US$ 15). A Figura 6.44 mostra como é fácil usar o tipo dedicado. Olhe adiante para §7.1.5A para ver um gerador de onda senoidal elegante e simples que usa um filtro de capacitor chaveado de rastreamento atuando em uma onda quadrada em uma fração da frequência de clock (Figuras 7.18 e 7.19).

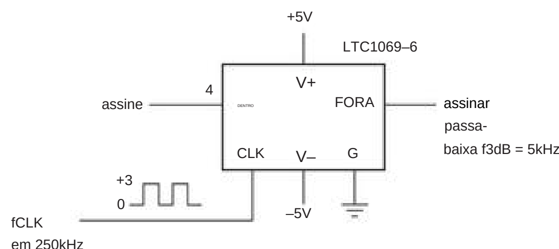


Figura 6.44. Filtro passa-baixa dedicado com capacitor chaveado, sem necessidade de componentes externos. A resposta elíptica de 8ª ordem tem ondulação de banda passante de ±0,1 dB e é mais de 40 dB abaixo em 1,3 f3dB.

Filtros de capacitores chaveados dedicados e universais usam como bloco de construção básico a configuração variável de estado de 2 polos, com integradores de capacitores chaveados substituindo os integradores de amplificadores operacionais alimentados por resistor do filtro ativo variável de estado de tempo contínuo clássico; veja a figura 6.45. Os ICs de filtro universal vêm com uma a quatro dessas seções, que podem ser colocadas em cascata para formar um filtro de ordem superior (com cada seção implementando um termo quadrático na equação do filtro fatorado) ou podem ser usados independentemente para vários canais simultâneos (que devem , no entanto, compartilham a entrada de clock comum). As folhas de dados do fabricante (ou software ou ambos) facilitam o projeto do filtro com esses ICs de filtro universal.37 E nenhum projeto é necessário para o filtro dedicado – basta conectá-lo e pronto.

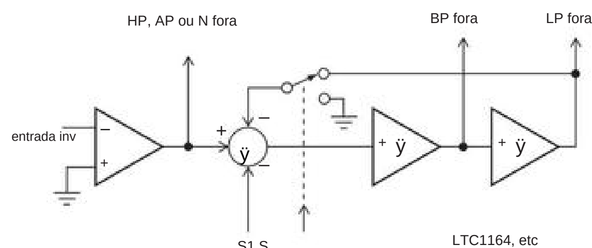


Figura 6.45. Bloco de construção de capacitor chaveado de segunda ordem "universal". Ele pode fornecer lowpass, highpass, bandpass, allpass e notch, conforme determinado por conexões externas. Com seus pacitores ca integrados, os únicos componentes externos necessários são alguns resistores.

D. Desvantagens dos filtros de capacitores chaveados

Agora, as más notícias: os filtros de capacitores chaveados têm três características irritantes, todas relacionadas e causadas pela presença do sinal de clock periódico. Primeiro, existe a passagem do *clock,* a presença de algum sinal de saída (normalmente cerca de 10 mV a 25 mV) na frequência do clock, independentemente do sinal de entrada. Normalmente isso não importa, pois está muito distante da faixa de sinal de interesse. Se o feedthrough do clock for um problema, um simples filtro *RC* na saída geralmente o elimina.

O segundo problema é mais sutil: se o sinal de entrada tiver algum componente de frequência próximo à frequência do clock, eles serão "aliasados" para baixo na banda passante. Para dizer com precisão, qualquer energia de sinal de entrada em uma frequência que difere da frequência do clock em uma quantidade correspondente a uma frequência na banda passante aparecerá (não atenuada!) na banda passante. Por exemplo, se você usar um MAX7400 (pass baixo elíptico de 8 polos dedicado) como um filtro passa baixo de 1 kHz (ou seja, definir fclock = 100 kHz), qualquer energia do sinal de entrada no

36 A maioria dos filtros de capacitores chaveados é configurada com sua frequência característica igual a 1/50 ou 1/100 da frequência do clock.

37 Você simplesmente especifica frequências características, atenuação de banda de parada, ondulação de banda passante e ganho; ele informa quantos pólos e fornece os valores do resistor. Os pacotes de software fornecem gráficos de atenuação, fase e atraso versus frequência (em sua escolha de eixos) e também tabelas numéricas.

faixa de 99 a 101 kHz aparecerá na banda de saída de CC a 1 kHz. Nenhum filtro na saída pode removê-lo! Você deve certificar-se de que o sinal de entrada não tenha energia perto da frequência do clock. Se este não for o caso natural, geralmente você pode usar um filtro *RC* simples , porque a frequência do clock é tipicamente bem distante da banda passante. O uso de ICs de filtro com uma alta taxa de frequência clock-to-corner (por exemplo, 100:1 em vez de 25:1 ou 50:1) simplifica o projeto do filtro anti-alias de entrada. Você pode obter alguns ICs de filtro com razão de clock de 1000:1 da Mixed Signal Integration, por exemplo, sua série MSHN.38 Uma alta taxa de clock também reduz a forma de onda de saída em "escada" desses filtros.

O terceiro efeito indesejável em filtros de capacitores chaveados é uma redução geral na faixa dinâmica do sinal (um aumento no "piso de ruído") devido ao cancelamento incompleto da injeção de carga do interruptor MOSFET (consulte §3.4.2E). Isso se manifesta como um piso de ruído elevado dentro da banda passar. ICs de filtro típicos reivindicam faixas dinâmicas de 80–90 dB. Além da faixa dinâmica reduzida (em comparação com filtros de tempo contínuo), os filtros de capacitores chaveados tendem a ter mais distorção do que você esperaria, especialmente para sinais de saída próximos aos trilhos de alimentação.

Como qualquer circuito linear, os filtros de capacitores comutados (e seus análogos de amplificadores operacionais) sofrem de erros de amplificador, como tensão de deslocamento de entrada e ruído de baixa frequência de 1/ *f* . Isso pode ser um problema se, por exemplo, você desejar filtrar algum sinal de baixo nível sem introduzir erros ou flutuações em seu valor CC médio. Uma boa solução é fornecida pelo pessoal inteligente da Linear Technology, que inventou o LTC1062 "filtro passa-baixa preciso DC" (ou o MAX280, com tensão de compensação aprimorada). A Figura 6.46 mostra como usá-lo. A idéia básica é colocar o filtro fora do caminho CC, deixando os componentes do sinal de baixa frequência se acoplar passivamente à saída; o filtro se agarra à linha de sinal apenas em frequências mais altas, onde rola a resposta desviando o sinal para o solo. O resultado é um erro CC zero e ruído do tipo capacitor chaveado somente nas proximidades do rolloff39 (Figura 6.47). Você pode colocar em cascata um par desses filtros para criar filtros de ordem superior ou um filtro passa-banda preciso sintonizável. A folha de dados também mostra como fazer um filtro notch ajustável.

Os ICs de filtro de capacitores chaveados estão amplamente disponíveis em fabricantes como Linear Technology, TI e Maxim. Normalmente, você pode colocar o corte (ou centro de banda) em qualquer lugar na faixa de CC a algumas dezenas de kilohertz, conforme definido pela frequência do clock. A frequência característica

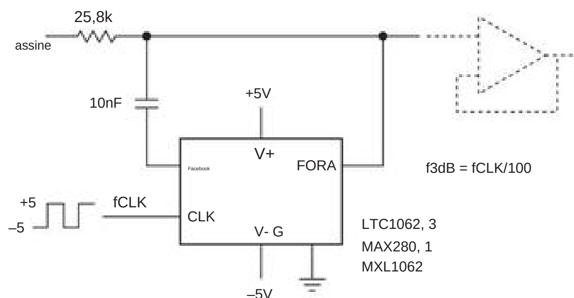


Figura 6.46. LTC1062 Filtro passa-baixo "dc-preciso". A entrada do clock externo deve oscilar entre trilhos (adicione um pequeno resistor em série para proteger a entrada); alternativamente, você pode habilitar o oscilador interno conectando um capacitor do CLK ao terra.

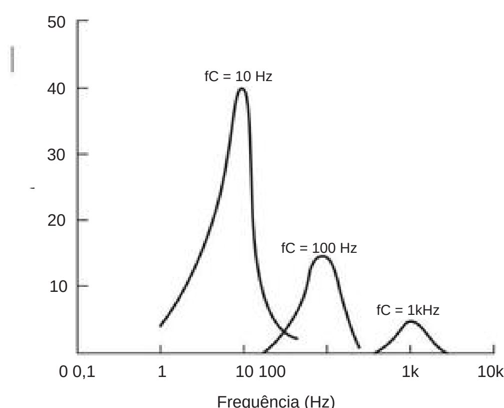


Figura 6.47. Espectros de ruído de saída do LTC1062 (consulte a folha de dados).

é um múltiplo fixo do relógio, normalmente 50 fclk ou 100 fclk. A maioria dos ICs de filtro de capacitor comutado destina-se ao uso de passagem baixa, passagem de banda ou entalhe (parada de banda), embora você possa configurar o tipo universal como filtros de passagem alta. Observe que os efeitos de quantização da forma de onda de saída discreta (frequência de clock) e feedthrough de clock são particularmente incômodos no último caso, pois ambos estão dentro da banda.

6.3.7 Processamento de sinal digital

Nossa discussão sobre filtros eletrônicos neste capítulo seria seriamente incompleta sem uma introdução à técnica difundida de processamento de *sinal digital* (DSP), também conhecida como *processamento de sinal em tempo discreto.* Os sistemas contemporâneos que incluem microprocessadores favorecem os métodos de filtragem digital por sua flexibilidade e desempenho.

Processamento de sinal digital é a manipulação de sinais no domínio digital, no qual um sinal (por exemplo, uma forma de onda de fala) foi convertido em uma sequência de

38 Veja o MSHN5 em ação em "Notch filter autotunes" de John Ambrose para aplicações de áudio," *EDN* Design Ideas, 24 de junho de 2010.

39 O mesmo truque é usado em filtros FDNR implementados por GIC de vários estágios.

números que representam seus valores de amplitude amostrados em intervalos de tempo igualmente espaçados. As “manipulações” podem ser qualquer uma das coisas que vimos no domínio puramente analógico – filtragem, combinação, atenuação ou amplificação, compressão não linear e corte, e assim por diante; mas também podem incluir operações sofisticadas adicionais possibilitadas pelo poder da computação, como codificação, correção de erros, criptografia, análise espectral, síntese e análise de fala, processamento de imagem, filtragem adaptativa e compactação e armazenamento com menos perda.

Teremos muito a dizer sobre digitalização e processamento nos Capítulos 13 (“O digital encontra o analógico”) e 15 (“Microcontroladores”), quando teremos, respectivamente, as ferramentas eletrônicas para conversão entre tensões analógicas e suas digitais representação e os meios para processar essas quantidades digitais. Aqui, gostaríamos simplesmente de apresentar a aplicação do DSP à filtragem e dar uma olhada em suas capacidades, principalmente quando comparadas com os filtros analógicos que vimos. Vamos nos limitar a filtros unidimensionais; isto é, a filtragem de sinais “unidimensionais”, como fala (em contraste com imagens bidimensionais), que são caracterizados por alguma forma de onda de tensão *V(t)* evoluindo no tempo.

A. Amostragem

Mencionamos anteriormente que uma representação digitalizada de uma forma de onda contínua envolve amostragem em um conjunto discreto de (quase sempre) tempos uniformemente espaçados, com um conjunto discreto de amplitudes quantizadas (geralmente) uniformemente espaçadas. Estes determinam a fidelidade da quantização — em frequência (a partir da taxa de amostragem, obedecendo ao critério de amostragem de Nyquist, ver Figura 13.60) e em faixa dinâmica e ruído (a partir da precisão da quantização); ver §13.5.1. Há muito a dizer sobre isso; mas no nível mais básico você tem que amostrar pelo menos duas vezes a taxa do componente de frequência mais alta que está na entrada, e você tem que ter precisão suficiente na quantização de amplitude de n bits para preservar a faixa dinâmica você quer. Coloque de forma compacta,

fsamp ÿ 2 fsig(max),
faixa dinâmica = *6n* dB.

Assumindo que você está começando com uma forma de onda analógica, a amostragem é feita com um conversor analógico-digital (ADC), precedido por um filtro anti-alias lowpass (LPF), se necessário, para garantir que a forma de onda que está sendo digitalizada contenha nenhum sinal significativo acima da frequência de Nyquist fsamp/2.

B. Filtragem

A sequência de amplitudes adequadamente amostradas (chame-de *xn,* para a enésima amostra) representa o sinal de entrada. Nós deseja fazer uma operação de filtragem na sequência, por exemplo, um filtro passa-baixo. Existem duas classes amplas de filtros DSP: resposta de impulso finito (FIR) e resposta de impulso infinito (IIR). O FIR é mais fácil de entender – cada amostra de saída é simplesmente uma soma ponderada de algum número de amostras de entrada (consulte a Figura 6.48):

yi = ÿ *akxiÿk,* k=ÿÿ

onde os *xi* são as amplitudes do sinal de entrada, os *ak* são os pesos e os *yi* são a saída do filtro. Na vida real, haverá apenas um número finito de pesos e, portanto, a soma ocorrerá apenas sobre um conjunto finito de valores de entrada, como na figura. Falando grosseiramente, o conjunto de coeficientes é uma aproximação da transformada inversa de Fourier da função de filtro desejada.

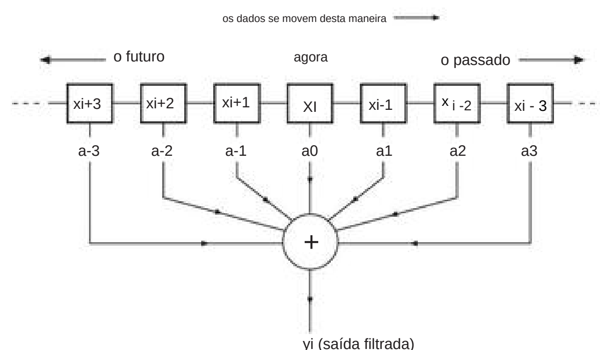


Figura 6.48. Filtro digital de resposta ao impulso finito (não recursivo).

Observe uma característica interessante – e importante – desse filtro: sua saída é formada por amostras passadas e *futuras.* Ou seja, pode gerar uma saída que parece violar a causalidade (o efeito deve seguir a causa), mas que é permitido aqui porque o sinal de saída tem um atraso geral em relação à entrada. Essa capacidade de ver o futuro (uma vanglória que nenhum filtro analógico pode fazer) permite que os filtros digitais implementem características de resposta de frequência e fase que não podem ser alcançadas com os filtros analógicos (causais) que vimos até este ponto.

O filtro IIR difere por permitir que a saída seja incluída, com algum fator de ponderação, junto com as entradas na soma ponderada; isso às vezes é chamado de filtro *recursivo* . O exemplo mais simples pode ser

yi = byiÿ1 + (1ÿb)xi,

que é a aproximação discreta de um filtro passa -baixa *RC* de tempo contínuo, no qual o fator de ponderação *b* é dado por *b* = eÿts/RC, onde ts é o intervalo de amostragem. Claro, a situação não é *idêntica* a um analógico

filtro passa-baixo operando em uma forma de onda analógica devido à natureza discreta da forma de onda amostrada.

Ambas as implementações FIR e IIR têm seus prós e contras. Os filtros FIR são geralmente preferidos porque são simples de entender, fáceis de implementar, incondicionalmente estáveis (sem realimentação) e podem ser (e geralmente são) projetados como filtros de fase linear (ou seja, o atraso de tempo é constante, independente de frequência). No entanto, os filtros IIR são mais econômicos, exigindo menos coeficientes e, portanto, menos memória e cálculo. Eles também são facilmente derivados do filtro analógico clássico correspondente; e são particularmente adequados para aplicações que exigem alta seletividade, por exemplo, filtros de entalhe. No entanto, eles exigem mais bits de precisão aritmética para evitar instabilidades e "tons ociosos" e são mais difíceis de codificar.

C. Um exemplo: IIR lowpass Como um exemplo numérico simples, suponha que você queira filtrar um conjunto de números representando um sinal, com um ponto lowpass de 3 dB em f3dB=1/20ts, equivalente a um filtro lowpass *RC* de seção única de o mesmo ponto de interrupção. Aqui a constante de tempo é igual ao tempo para 20 amostras sucessivas. Então A = 0,95123 e, portanto, a saída é dada por

$$y_i = 0{,}95123 y_{iÿ1} + 0{,}04877 x_i\ .$$

A aproximação de um filtro passa-baixa real torna-se melhor à medida que a constante de tempo se torna mais longa em comparação com o tempo entre as amostras, ts.

Você provavelmente usaria um filtro como este para processar dados que já estão na forma de amostras discretas, por exemplo, uma matriz de dados em um computador. Nesse caso, o filtro recursivo torna-se uma passagem aritmética trivial uma vez pelos dados.

D. Um exemplo: FIR passa -baixa Um filtro passa-baixa ideal tem resposta unitária até sua frequência de corte fc e resposta zero para frequências mais altas.
Ou seja, a curva de resposta é retangular, um filtro de "parede de tijolos". Em primeira ordem, os coeficientes FIR *ak* são a transformada de Fourier do retângulo, ou seja, uma *função (sinx)/ x* (função *orsinc),* na qual a escala do argumento depende da razão entre a frequência de corte e a frequência de amostragem, ou seja,

$$a_k ÿ 2\,k\,f_n \frac{\sin(2\,k ÿ f_n)}{ÿ} \qquad (6.18)$$

onde os inteiros *k* vão de ÿÿ a ÿ, e fn é a frequência de corte normalizada, definida como fn = fc/ fs.

Em uma implementação do mundo real, é claro, você obtém apenas um número finito de k's, digamos *N* deles. Portanto, a pergunta: qual conjunto de coeficientes de filtro truncados *ak,* onde *k* vai apenas de ÿN/ 2 a N/2, melhor se aproxima do filtro passa-baixa ideal? Isso acaba sendo mais complicado do que você pode a princípio imaginar. Entre outras coisas, depende do que você entende por "melhor".

Se você simplesmente truncar a série *ak ,* descartando os coeficientes além do comprimento de sua string de amostra FIR, a resposta de frequência do filtro resultante exibirá grandes saliências na atenuação da banda de parada; isto é, rejeição degradada em torno dessas frequências. Isso é exatamente análogo ao problema de "vazamento espectral" na análise de espectro digital, ou de lóbulos laterais de difração em ótica, e a correção é a mesma: aqui você reduz os coeficientes *ak* multiplicando-os por uma "função de janela" que ocorre sem problemas em direção a zero nas extremidades (na análise de espectro você multiplica as amplitudes do sinal digitalizado de entrada por uma função de janelamento análoga, e na óptica você "apodiza" a abertura com uma máscara cuja opacidade aumenta em direção às bordas). O efeito é reduzir consideravelmente a ondulação da banda proibida, às custas de uma transição mais gradual de banda passante para banda proibida (na análise espectral, o efeito é o vazamento espectral bastante reduzido em caixas de frequência adjacentes, às custas de uma largura de caixa mais ampla; em óptica, o os lóbulos laterais são atenuados, em detrimento da diminuição da resolução na forma de uma "função de dispersão de pontos" mais ampla. Funções típicas de janelas têm nomes como Hamming, Hanning e Blackman–Harris. Não há janela "melhor" – é sempre uma compensação entre a inclinação da transição para a banda de parada versus a atenuação de pior caso na banda de parada. Mas, na maioria das vezes, não importa muito qual das janelas padrão você usa.40 Um segundo aspecto de "melhor" é escolher uma frequência de corte fn para a qual pelo menos alguns dos coeficientes sejam exatamente zero; dessa forma, você pode

omitir as operações de multiplicação e adição correspondentes a esses toques. Isso ocorre, por exemplo, com a escolha fn=0,25 (taxa de amostragem quatro vezes a frequência de corte), para a qual os coeficientes da eq'n 6.18 se tornam

$$a_k ÿ \frac{\text{sen}(ÿk/2)\ k/2}{ÿ}, \qquad (6.19)$$

e, portanto, todos os coeficientes com *k* par (exceto a0) são zero. Você ganha um pequeno bônus, também, usando um comprimento de filtro *N* que é um múltiplo de 4; isso faz com que os coeficientes finais (em *k* = ±N/2) desapareçam, porque seu índice *k* é então par.

Como uma frequência de corte de metade da frequência de amostragem (ou seja, fn=0,5) é o máximo permitido pelo teorema de amostragem de Nyquist, um filtro cujo corte é fn=0,25 é conhecido como filtro de "meia banda". As Figuras 6.49 e 6.50 mostram a resposta dos filtros de meia banda com N=8, 16, 32 e 64, onde os coeficientes foram calculados

40 Para saber mais do que você jamais quis saber sobre funções de janela, consulte FJ Harris, *Proc. IEEE,* **66,** 51–83 (1978).

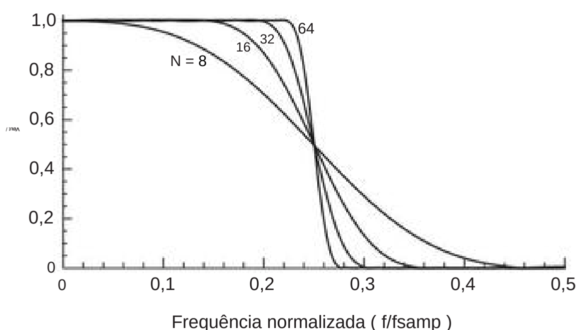


Figura 6.49. Resposta do filtro digital FIR de meia banda, plotada em uma escala de ouvido linear. Um filtro de ordem *N* requer coeficientes N/2+1.

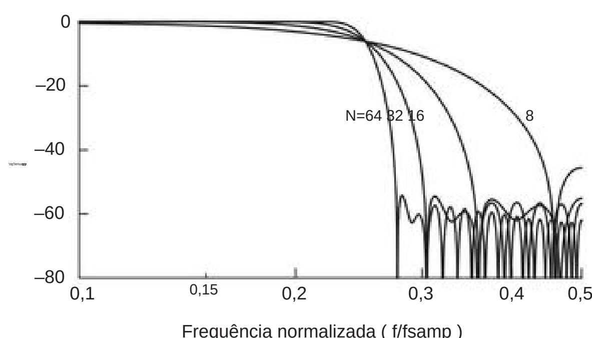


Figura 6.50. Os filtros de meia banda da Figura 6.49, plotados em uma escala log–log para revelar a resposta da banda de parada.

de acordo com a eq'n 6.19, ponderada por uma janela de Hamming. Este último é um cosseno elevado, dado aproximadamente por

$$w(k) = 0{,}54+0{,}46 \cos(2\ k/N).\ ÿ \qquad (6.20)$$

Uma etapa final é normalizar os coeficientes (multiplicando cada um pelo mesmo fator) de modo que sua soma seja 1, fornecendo o ganho da unidade de filtro em CC. A receita, então, é escolher um *N* (de preferência um múltiplo de 4); então, para cada ímpar positivo *k* até N/2, calcule a função sinc da equação (6.19) e multiplique-a pelo coeficiente de Hamming da eq'n 6.20 para obter o (ainda não normalizado) *ak.* Observe que os coeficientes são simétricos (aÿk = ak) e que o termo a0 será 1,0 (porque tanto sinc(0) quanto w(0) têm valor unitário). A etapa final é normalizar esses coeficientes dividindo cada um por sua soma.

Como os coeficientes pares são zero, os filtros resultantes, embora exijam *N* estágios de memória, precisam de aproximadamente metade desse número de coeficientes (aqueles com índices ímpares, mais a0), ou seja, 5, 9, 17 e 33, respectivamente.
Você pode verificar nossa receita calculando os coeficientes para o filtro de menor ordem nas figuras (N=8); voce deveria pegar

a0 = +0,497374 a1
= aÿ1 = +0,273977 a2 = aÿ2
= 0 a3 = aÿ3 = ÿ0,022664 a4
= aÿ4 = 0

Um aparte: vantagens e

desvantagens da janela Usamos uma janela de Hamming como multiplicador de coeficiente para os filtros das Figuras 6.49 e 6.50, em parte por preguiça (é fácil de calcular) e em parte porque é uma janela razoavelmente boa em termos de atenuação da banda de parada (ÿ60 dB). Mas, como observamos acima, você pode produzir uma melhor atenuação da banda de parada em detrimento da inclinação da região de transição. Isso é muito bem ilustrado na Figura 6.51, onde refizemos o filtro FIR passa-baixa N=32 de meia banda usando três funções de janela diferentes. As janelas de Blackman-Harris são uma soma de dois ou três termos senoidais, ponderados para produzir o nível mínimo de lóbulo lateral. A forma exata é

$$w(k) = a0 + a1 \cos(2\ k/N)ÿ + a2 \cos(4\ k/N) + a3ÿ \cos(6\ k/N),\quad ÿ$$

onde os a's são dados por [a0, a1, a2, a3]=[0,42323, 0,49755, 0,07922, 0] (3 termos) e [0,35875, 0,48829, 0,14128, 0,01168] (4 termos). Essas janelas produzem uma atenuação impressionante da banda de parada (ÿ85 dB e ÿ105 dB), em comparação com os ÿ55 dB de Hamming, mas com regiões de transição correspondentemente mais suaves. Vale a pena notar que estas são respostas *calculadas* e serão realizadas na prática somente se as operações de multiplicação e adição FIR forem feitas com precisão aritmética adequada e se o ADC upstream tiver linearidade correspondentemente precisa.

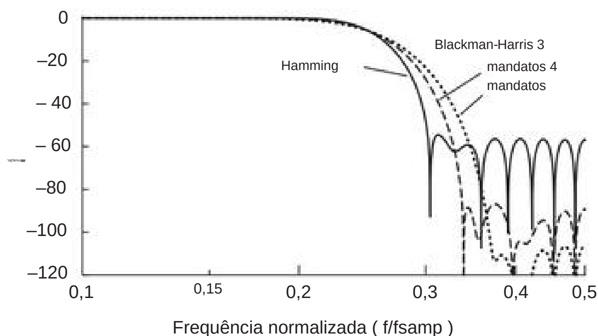


Figura 6.51. Filtros passa baixa FIR de meia banda de ordem *N* = 32, com três opções de função de janela de coeficiente. Observe a mudança da escala vertical comparada com as das Figuras 6.49 e 6.50.

E. Implementação

Você *poderia* configurar um filtro DSP com hardware discreto – registradores de deslocamento, multiplicadores, acumuladores e similares – o material dos Capítulos 10 e 11. (microprocessadores e microcontroladores) permitem que você faça as mesmas tarefas, e com maior flexibilidade. Melhor ainda, existe uma classe de chips processadores de sinais digitais, otimizados para o tipo de operações de multiplicação-acumulação que você precisa fazer e geralmente organizados para um fluxo eficiente de entrada e saída de muitos dados. Um exemplo é a série TMS320 da TI, que inclui (no momento da escrita) chips como o TMS320C64xx, que pode fazer uma transformada de Fourier rápida de 1k pontos (FFT) em cerca de 1 s (!), ou um FIR de 32 coeficientes em um conjunto de dados de 10.000 pontos em 108 s. No outro extremo da escala de ÿ desempenho, o minúsculo QF1D512 da Quickfilter Technology é um chip autônomo barato que executa um filtro FIR ÿ de até 512 taps em dados seriais de 12 a 24 bits (em taxas de áudio), com 32- coeficientes programáveis por bit. Custa menos de US$ 2 em pequenas quantidades e vem com software de design gratuito; você também pode obter uma variedade de kits de avaliação.

6.3.8 Miscelânea de filtros

A. Linearidade

Em algumas aplicações de filtragem é essencial manter um alto grau de linearidade de amplitude, mesmo quando o filtro atenua algumas frequências mais do que outras. Isso é necessário, por exemplo, na reprodução de áudio de alta qualidade.

Para tais aplicações, você deve usar amplificadores operacionais projetados para baixa distorção (que serão destacados na folha de dados), com largura de banda adequada, taxa de variação e ganho de loop; alguns exemplos são LT1115, OPA627 e AD8599; veja a Tabela 5.4 na página 310 e a discussão sobre amplificadores operacionais de alta velocidade e questões de projeto em §5.8, e discussão adicional no Capítulo *4x.* Talvez menos óbvio, é importante escolher componentes *passivos* de boa linearidade. ” Os perigos primários que estão à espreita aqui são os ÿ “capacitores de alta cerâmica (que podem exibir variações surpreendentes de capacitância com tensão aplicada) e capacitores eletrolíticos (com seu efeito de memória causado pela absorção dielétrica – veja a discussão no Capítulo *1x.* Use filme capacitores (idealmente polipropileno) ou cerâmica NPO/C0G.

E para filtros *LC* (passivos) é essencial escolher indutores enrolados em material magnético de boa linearidade (um problema que está ausente para indutores de núcleo de ar; os últimos estão disponíveis em tamanhos razoáveis para indutâncias até ~1 mH ou mais).

B. Software de design de filtro

Costumava ser difícil projetar filtros – mas não mais! Há uma abundância de software lá fora, e é fácil de usar. Você pode configurar seus requisitos de banda passante e banda proibida para um filtro de tempo contínuo (frequência de corte, frequência de banda proibida, ondulação e atenuação, etc.), e o software obriga a recitar quantas seções serão necessárias, de acordo com o circuito configuração (Sallen e-Key, variável de estado, biquad ou MFB) e função de filtro (Bessel, Butterworth, Chebyshev, elíptico). Em seguida, ele desenhará o circuito e fornecerá gráficos de amplitude, fase e atraso de tempo como funções de frequência. E da mesma forma para filtros de capacitores comutados ou filtros digitais.

Aqui estão alguns recursos de design de filtro que consideramos úteis. A maioria deles é gratuita (mas você tem que pagar pelo MMI CAD e pelo Filter Solutions e Filter Light).

• Filtros *LC :*
– http://www-users.cs.york.ac.uk/ÿfisher/lcfilter/ – MMICAD (Optotek) • Filtros ativos analógicos – FilterPro (TI)

– FilterCAD (LTC)
– ADI Analog Filter Wizard – http://www.beis.de/Elektronik/Filter/Filter.html • Filtros digitais: – http://www-users.cs.york.ac.uk/ÿfisher/mkfilter/ • Todos os tipos – Filter Solutions, Filter Light e Filter Free (http://www.nuhertz.com/filter/)

Exercícios Adicionais para o Capítulo 6

Exercício 6.8. Projete um filtro Bessel passa-alta VCVS de 6 polos com frequência de corte de 1 kHz.

Exercício 6.9. Projete um filtro notch twin-T de 60 Hz com amplificador operacional em buffers de entrada e saída.

Revisão do Capítulo 6

Um resumo de A a J do que aprendemos no Capítulo 6.
Este resumo revisa os princípios e fatos básicos do Capítulo 6, mas não abrange os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. Visão geral do filtro.
Este capítulo trata de sinais no domínio da frequência: por *filtro* queremos dizer um circuito com algumas características deliberadas de banda passante e atenuação (amplitude e fase) versus frequência. Para algumas aplicações, o comportamento do filtro no domínio do tempo também é importante, ou seja, a resposta transiente do filtro (overshoot e tempo de estabilização) a um salto de tensão na entrada e sua fidelidade dentro da banda a uma forma de onda de entrada.

¶B. Características do filtro.
Existem as formas básicas - *lowpass, highpass, bandpass* e *band-stop* (notch). Há também o equalizador *de passagem total* (ou *equalizador de atraso),* que tem uma resposta de amplitude plana, mas uma fase variável; e há *filtros* de combinação que passam (ou bloqueiam) uma matriz de frequências igualmente espaçadas. Parâmetros importantes no domínio da frequência incluem nivelamento da resposta na banda de passagem, profundidade de atenuação na banda de parada e inclinação da resposta de queda na região de transição intermediária. No domínio do tempo, você se preocupa com overshoot, tempo de estabilização e linearidade de fase na banda passante (ou seja, constância do atraso de tempo).

¶C. Implementações de filtro.
Os filtros podem ser construídos (a) inteiramente com componentes passivos *(R,* L e C); (b) com R's e C's, assistidos por amplificadores operacionais; (c) apenas com C's, combinados com comutadores de log analógicos periodicamente sincronizados; ou (d) com processamento digital da forma de onda de entrada amostrada do ADC. Estes são chamados de filtros *passivos ,* filtros *ativos ,* filtros *de capacitores chaveados* e filtros *digitais ,* respectivamente. O termo *filtro de tempo contínuo* às vezes é aplicado a filtros do tipo (a) e (b) e *filtro de tempo discreto* a (c) e (d). A *ordem* de um filtro é igual ao número de C's mais o número de L's (ou equivalente, se implementado digitalmente). Um filtro passa-baixo de ordem n tem um rolloff final de *6n* dB/oitava (20n dB/década).

¶D. Filtros RC passivos.
Os filtros *RC* passivos (§6.2.1) são os mais simples e bons o suficiente para aplicações como bloqueio de CC, supressão de ruído de fonte de alimentação de alta frequência ou remoção de sinais distantes da banda de interesse. Mas os filtros *RC ,* independentemente da ordem, têm uma região de transição suave (Figura 6.2) e são inadequados para separar sinais que estão próximos em frequência. Sua função de transferência está longe da resposta ideal do filtro "parede de tijolos" (veja, por exemplo, a Figura 6.11).

¶E. Filtros LC passivos.
Talvez surpreendentemente, a combinação de indutores com capacitores permite que você faça todos os tipos de filtros muito precisos (§6.2.2; veja, por exemplo, a Figura 6.5). As formas de filtro clássicas, todas implementáveis com filtros *LC ,* são Butterworth (passband maximamente plana), Chebyshev (região de transição mais nítida, ao custo de ondulação de amplitude na banda passante) e Bessel (atraso de tempo maximamente plano em a banda passante). As características de desempenho desses tipos de filtro são comparadas na Tabela 6.1 e nas Figuras 6.20, 6.21, 6.25–6.27 e 6.30.

¶F. Filtros Ativos.
Os indutores não são ideais em vários aspectos (tamanho, linearidade, perdas elétricas; consulte o Capítulo *1x;* mas a combinação de um capacitor e um amplificador operacional (mais vários resistores), em uma configuração conhecida como *girador* (§6.2.4C), cria um equivalente elétrico de um indutor. Portanto, você pode fazer um filtro sem indutor que imite qualquer filtro *LC ,* simplesmente substituindo os indutores por giradores. De modo mais geral, você pode fazer esses *filtros ativos* (§6.3) com várias configurações de amplificadores operacionais, capacitores e resistores que não precisam incorporar giradores explícitos.

¶G. Circuitos de Filtro Ativo.
Em §6.3.1 mostramos como projetar o simples e popular filtro ativo VCVS, com dados tabulados (Tabela 6.2) para filtros passa-baixa ou passa-alta de 2ª a 8ª ordem, com resposta Butterworth, Chebyshev ou Bessel. Melhor desempenho e sintonização são obtidos com os filtros ativos *de variável de estado* e *biquad* (§6.3.3), que requerem três amplificadores operacionais para cada seção de 2ª ordem. Essas últimas topologias de filtro são adequadas para filtros passa-banda; veja §6.3.3A, onde as equações de projeto explícitas são dadas. Você pode obter bons ICs de estado variável que incluem amplificadores operacionais e capacitores, e podem ser configurados como passa-baixa, passa-alta, passa-faixa ou rejeição de banda, exigindo apenas alguns resistores externos para definir as frequências de corte características; exemplos são o UAF42 e o MAX274. O mundo está repleto de implementações de filtros ativos; alguns outros vistos no Capítulo 6 incluem o filtro Sallen and-Key (Figura 6.16), uma variante de variável de estado com ganho e fator Q configuráveis independentemente (Figura 6.32) e o filtro de realimentação múltipla (Figura 6.35).

¶H. Filtros Notch.
Em contraste com suas características de frequência geralmente "suaves", o filtro *RC* conhecido como *twin-T* (§6.3.4) produz um

entalhe profundo (limitado apenas pela imperfeição e incompatibilidade do componente). O T duplo é difícil de ajustar (requer três resistores ajustáveis de rastreamento). Mas um filtro notch *RC* similar (o *diferenciador em ponte,* Figura 6.40) permite uma faixa modesta de ajuste (5:1 ou mais) com um único potenciômetro.

¶EU. Filtros de capacitores chaveados.
Um amplificador operacional combinado com um par de capacitores e um par de chaves analógicas forma uma aproximação discreta de um integrador de tempo contínuo (Figura 6.43). Este é o bloco de construção do filtro de capacitor chaveado (§6.3.6), facilmente incorporado em um CI, e convenientemente ajustado variando a frequência de chaveamento aplicada externamente. A desvantagem é a produção de artefatos relacionados à operação de comutação: clock feedthrough, aliasing e alcance dinâmico limitado.

¶J. Filtros Digitais e DSP.
Com microcontroladores embutidos onipresentes e ADCs acompanhantes, é natural implementar operações de filtragem com o maquinário de processamento de sinal digital (DSP, §6.3.7). Se os sinais a serem filtrados estiverem na forma de ana log das tensões, elas primeiro devem ser *digitalizadas* (amostradas em intervalos regulares e convertidas em um fluxo de números), tomando cuidado para amostrar a uma taxa alta o suficiente (pelo menos duas vezes a frequência mais alta presente no sinal, fsampÿ2 fsig(max)) e com precisão de amplitude suficiente (a quantização de n bits produz uma faixa dinâmica de *6n* dB) para manter a fidelidade adequada. (Se o sinal de entrada já estiver digitalizado, nenhuma amostragem é necessária e a filtragem digital é particularmente conveniente.)

O fluxo de números que representam as sucessivas tensões de sinal digitalizadas e amostradas (chamá-las de *xi)* é então submetido a uma operação de filtragem digital. O mais fácil de entender é o *filtro de resposta de impulso finito* (FIR), em que cada amplitude de sinal de saída *yi* é formada a partir de uma soma ponderada de um número finito *N* de amostras de entrada; ou seja, *yi* = *ÿakxiÿk,* com *k* indo de ÿN/2 a N/2. Se for permitido que a soma inclua amostras de saída, você terá um filtro *recursivo* , também conhecido como filtro *de resposta de impulso infinito* . Consulte a Figura 6.49 para obter um exemplo de um filtro passa-baixa FIR. Há muita complexidade e muita matemática no negócio de filtragem digital; esta especialidade atrai EEs que são realmente matemáticos aplicados disfarçados (você sabe quem você é!).

OSCILADORES E TEMPORIZADORES

CAPÍTULO 7

Neste capítulo, encontramos osciladores e temporizadores, os circuitos que fornecem os "pulsos cardíacos" essenciais e a temporização da eletrônica. Como veremos, muitos dos dispositivos e técnicas importantes envolvem uma mistura de eletrônicos analógicos e digitais. Apresentaremos o know-how digital de que você precisa para uma primeira olhada e apontaremos para as seções posteriores do livro, nas quais você poderá obter um conhecimento mais profundo das técnicas digitais.

7.1 Osciladores

7.1.1 Introdução aos osciladores

Dentro de quase todos os instrumentos eletrônicos é essencial ter algum tipo de oscilador ou gerador de forma de onda. Além do caso óbvio de geradores de sinais, geradores de funções e geradores de pulsos propriamente ditos, uma fonte de oscilações regulares é necessária em qualquer instrumento de medição cíclica, em qualquer instrumento que inicie medições ou processos e em qualquer instrumento cuja função envolva oscilações periódicas. estados ou formas de onda periódicas. Isso inclui quase tudo. Por exemplo, osciladores ou geradores de forma de onda são usados em multímetros digitais, osciloscópios, receptores de radiofrequência, computadores, todos os periféricos de computador (fita, disco, impressora, terminal), quase todos os instrumentos digitais (contadores, temporizadores, calculadoras e qualquer coisa com um "display multiplexado"), todo dispositivo eletrônico de consumo (telefone celular, câmera, reprodutor ou gravador de música ou vídeo) e uma série de outros dispositivos numerosos demais para serem mencionados. Um dispositivo sem um oscilador não faz nada ou espera ser conduzido por outra coisa (que provavelmente contém um oscilador). Não é exagero dizer que algum tipo de oscilador é um ingrediente tão essencial em eletrônica quanto uma fonte regulada de energia CC.

Dependendo da aplicação, um oscilador pode ser usado simplesmente como uma fonte de pulsos espaçados regularmente (por exemplo, um "relógio" para um sistema digital) ou pode exigir sua estabilidade e precisão (por exemplo, a base de tempo para um fre contador de frequência), sua capacidade de ajuste (por exemplo, o oscilador local em um transmissor ou receptor) ou sua capacidade de produzir formas de onda precisas (por exemplo, o gerador de rampa em um conversor analógico-digital de inclinação dupla).

Nas seções a seguir, trataremos brevemente dos osciladores mais populares, desde os osciladores de relaxação *RC* simples até os osciladores estáveis de cristal de quartzo. Nosso objetivo não é pesquisar tudo em detalhes exaustivos, mas simplesmente familiarizá-lo com o que está disponível e que tipos de osciladores são adequados em várias situações.

7.1.2 Osciladores de relaxação

Um tipo muito simples de oscilador pode ser feito carregando-se um capacitor através de um resistor (ou uma fonte de corrente), então descarregando-o rapidamente quando a tensão atingir um certo limiar, iniciando o ciclo novamente. Alternativamente, o circuito externo pode ser configurado para inverter a polaridade da corrente de carga quando o limite é atingido, gerando assim uma onda triangular em vez de um dente de serra. Os osciladores baseados neste princípio são conhecidos como *osciladores de relaxação.* Eles são baratos e simples e, com um design cuidadoso, podem ser razoavelmente estáveis (melhor que 1%) em frequência.

A. Op-amp básico – oscilador de relaxação comparador No passado, dispositivos de resistência negativa, como transistores de unijunção e lâmpadas de néon, eram usados para fazer osciladores de relaxação, mas a prática atual favorece amplificadores operacionais, comparadores ou CIs com temporizador especial. A Figura 7.1A mostra um oscilador de relaxação *RC* clássico. A operação é simples: suponha que, quando a energia é aplicada pela primeira vez, a saída do comparador vá para a saturação positiva (na verdade, é uma questão de escolha, mas não importa). O capacitor começa a carregar em direção a +5 V, com constante de tempo *RC.* Quando atinge metade da tensão de alimentação, o amplificador operacional muda para saturação negativa (é um gatilho Schmitt) e o capacitor começa a descarregar em direção a -5 V com a mesma constante de tempo. O ciclo se repete indefinidamente, com período *2,2RC,* independente da tensão de alimentação.

Exercício 7.1. Mostre que o período é o indicado.

Comparadores de estágio de saída CMOS trilho a trilho[1] (consulte §§4.3.2A. 12.1.7 e Tabela 12.2) foram escolhidos porque

[1] Neste caso, o TLC3702 ou LMC6762.

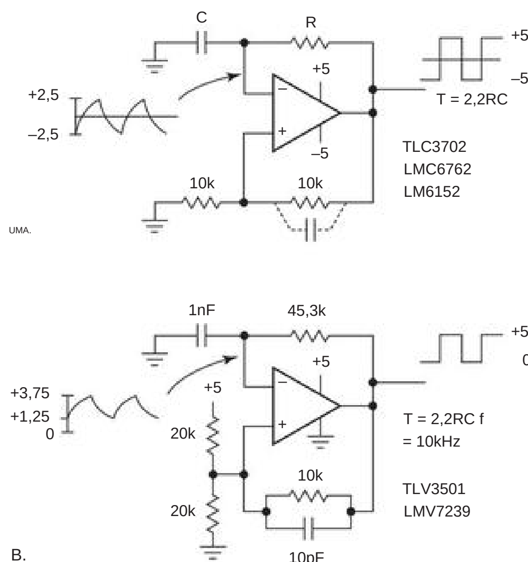


Figura 7.1. Oscilador de relaxamento clássico de amplificador operacional (ou comparador), usando comparadores com estágios de saída trilho a trilho. A. Alimentação dupla com saída de onda quadrada de bipolaridade simétrica. B. Variante de alimentação única, com valores de peças (para 10 kHz), incluindo capacitor de aceleração. Consulte também a Figura 4.39 em §4.3.3.

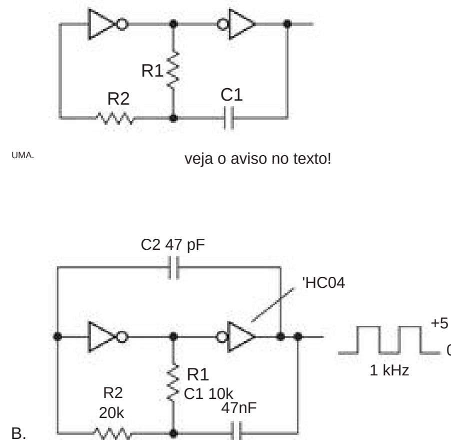


Figura 7.2. Oscilador de relaxamento com inversores lógicos digitais CMOS. A. Cuidado com a sabedoria convencional! B. Domando instabilidades parasitas com um pequeno capacitor de aceleração C2.

suas saídas saturam perfeitamente nas tensões de alimentação. Comparadores como o TLC3702 são muito mais rápidos (seu tempo de propagação é de aproximadamente 5 ns) do que amplificadores operacionais de tecnologia similar, porque eles não precisam de compensação para operação estável com realimentação negativa (veja §4.9), então eles são uma boa opção. escolha se você quiser ir acima de alguns kilohertz. A série bipolar LM6132-54 de amplificadores operacionais também oscila trilho a trilho e, ao contrário de seus primos CMOS, permite a operação em ±15 V completos. No entanto, se amplificadores operacionais (em vez de comparadores) forem usados, este circuito faz exigências consideráveis na velocidade do amplificador operacional, porque a onda quadrada de saída vai de trilho para trilho; mesmo algo como o LM6152, com seu fT de 75 MHz e taxa de variação de sinal grande de 45 V/s, tem velocidade de operação apenas até 100 kHz ou mais. Observe que este circuito não opera o amplificador operacional na região linear, com o feedback negativo usual;2 então você pode usar um amplificador operacional não compensado (consulte §4.9) para obter uma velocidade melhor.

Você pode executar esse tipo de circuito a partir de uma única tensão de alimentação, conforme mostrado na Figura 7.1B, se adicionar um resistor. Aqui aproveitamos os comparadores mais rápidos que estão disponíveis apenas para tensões de alimentação mais baixas. O TLV3501 (faixa de tensão de alimentação de 2,7 V a 5,5 V apenas) possui um tempo de propagação de apenas 3 ns neste circuito, permitindo a operação até dezenas de megahertz; aqui está vagando a meros 10 kHz.3 Usando fontes de corrente (em vez de resistores) para carregar o capacitor, uma boa onda triangular pode ser gerada. Um circuito inteligente usando esse princípio foi mostrado em §4.3.3.

B. Osciladores de relaxação lógica CMOS Você pode construir osciladores de relaxação *RC* mais simples usando inversores lógicos digitais CMOS (Capítulos 10–12) em vez de um amplificador operacional ou comparador. A Figura 7.2A mostra um circuito de dez visto na literatura.4 A boa notícia é que é simples; a má notícia é que não funciona! Especificamente, sua forma de onda de saída tem bordas irregulares, atormentadas por oscilações parasitas rápidas (ÿ100 MHz) em cada transição; isso se deve ao tempo de subida relativamente lento na entrada do primeiro inversor (causado por carga capacitiva). A (boa) notícia final é que há uma solução simples, ou seja, a inclusão de um pequeno capacitor de aceleração *(C2* na Figura 7.2B). A Figura 7.3 mostra as formas de onda medidas, tanto para o circuito convencional (Figura 7.2A) quanto para o circuito melhorado.

Um aspecto um pouco preocupante deste circuito é o fato de que os diodos de proteção de entrada são forçados a conduzir a cada ciclo pelo capacitor carregado C1; não é realmente um

2 O feedback rápido é positivo e o balanço de saída alterna entre saturação positiva e negativa.

3 Se, em vez disso, você estiver interessado em uma corrente operacional muito baixa, poderá usar o impressionante comparador LPV7215: ele funciona com menos de uma corrente de alimentação de microampères, com tempo de propagação de aproximadamente 10 μs. Para potência muito baixa, é claro, você deve usar valores de resistor altos, digamos ÿ10 Mÿ, que são OK, dada a corrente de entrada muito baixa do comparador (<1 pA).

4 Por exemplo, na folha de dados do 74HC4060 e em nossa edição anterior do livro.

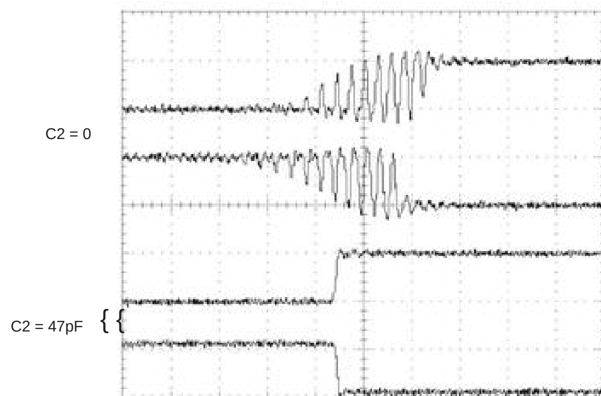


Figura 7.3. As oscilações parasitas afetam o circuito oscilador simples da Figura 7.2A. O par superior de formas de onda mostra uma instabilidade de aproximadamente 90 MHz nas bordas de subida e descida de um oscilador de 1 kHz (feito com lógica 74HC04 comum rodando a 5 V). Acrescentar um capacitor de aceleração de 47 pF (Figura 7.2B) o limpa muito bem. Horizontal: 40 ns/div; vertical: 5 V/div

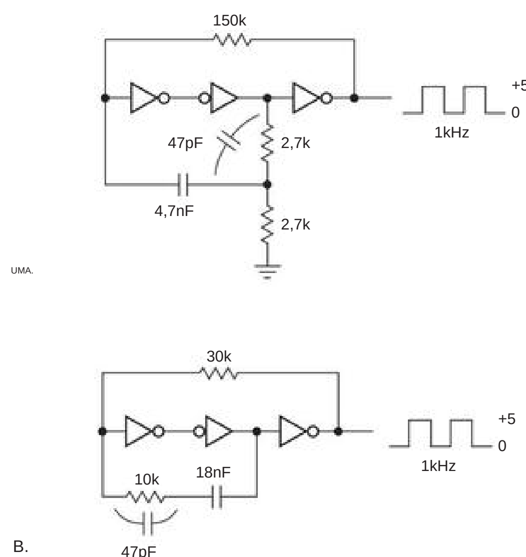


Figura 7.4. Variantes do oscilador de relaxamento CMOS. A. A oscilação de meia escala evita a fixação do diodo de entrada (projeto de J. Thompson). B. Estabilidade aprimorada com um inversor e um buffer (projeto de E. Wielandt). Em nossa configuração de teste, o capacitor de 47 pF foi necessário para evitar parasitas.

problema, no entanto, porque a corrente é limitada com segurança por R2. Mas se isso te incomoda, você vai gostar do circuito da Figura 7.4A, onde um divisor de tensão 2:1 reduz a oscilação aplicada ao capacitor, evitando o travamento da entrada. A Figura 7.4B é outra variação do tema do oscilador lógico, visando o problema da oscilação parasitária. Quando testamos esses dois osciladores na bancada de teste, no entanto, descobrimos que ainda era necessário incluir os capacitores de aceleração de 47 pF para eliminar os parasitas.

Você pode fazer um oscilador CMOS ainda mais simples apenas conectando o feedback *RC* em torno de um inversor lógico CMOS com entrada de disparo Schmitt (Figura 7.5). É garantida a oscilação, com transições de saída limpas e uma oscilação lógica completa. No entanto, sua frequência não é particularmente bem determinada, porque a histerese não é um parâmetro bem controlado em ICs lógicos – ela é fornecida para limpar entradas lentas, não para fazer nada preciso (você tem sorte de conseguir isso!). O 74HC14, por exemplo, especifica apenas que a amplitude de histerese (isto é, a diferença entre os limiares de subida e descida) está entre 0,5 V e 1,5 V![5] Isso significa que você pode esperar uma distribuição de frequência de 50% ou mais entre os osciladores com os mesmos valores de *R* e *C.* A frequência também varia com a tensão de alimentação; encontramos frequência aproximadamente proporcional à tensão de alimentação para o oscilador da Figura 7.5. Finalmente, este oscilador gera uma saída um tanto instável, com até alguns por cento de "jitter" no tempo de bordas sucessivas (suficiente

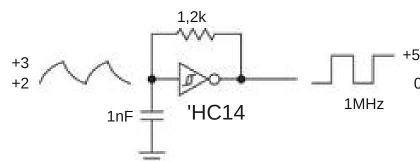


Figura 7.5. O oscilador CMOS mais simples.

para ver em um osciloscópio), com sensibilidade a ruído digital na fonte de alimentação.

C. Oscilador de relaxação de transistor unijunção

Existem várias maneiras de fazer um oscilador de relaxação que explora a característica de "resistência negativa" de dispositivos como diodos de túnel, tubos de descarga cheios de gás, diacs e transistores de unijunção. No circuito da Figura 7.6, por exemplo, o transistor de unijunção programável (PUJT) é um dispositivo de 3 terminais e 4 camadas *(pnpn) ;* parece um circuito aberto para o *RC* de carregamento até que a tensão do capacitor atinja uma queda de diodo acima da tensão do portão (G) (definida pelo divisor *R2R3),* ponto em que o PUJT conduz fortemente do ânodo (A) para o cátodo (K), descarregando o capacitor e iniciando um novo ciclo. A corrente de descarga liga o interruptor do transistor de saída, gerando um pulso de saída saturado para o terra. Com os valores mostrados, o oscilador

5 Eles especificam os limiares individuais, também, com imprecisão comparável: o limiar ascendente está entre 1,8 V e 3,5 V, e o limiar descendente está entre 1,0 V e 2,5 V.

gera pulsos de ÿsaída negativos de 10 s a 10 Hz, com uma corrente de alimentação total de apenas 1 A. ÿ

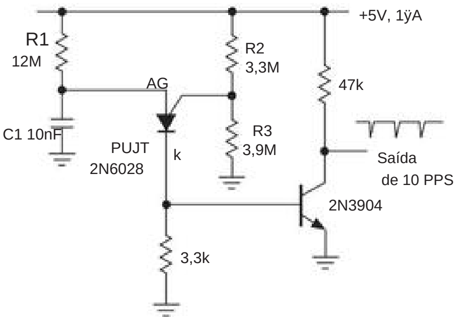


Figura 7.6. Oscilador de relaxação de transistor unijunção programável (PUJT).

Continuando com esse tema, a Figura 7.7 mostra alguns osciladores estranhos que não resistimos em conectar, apenas para nos lembrar dos velhos tempos da eletrônica. Eles também exploram a resistência negativa “snapback”, em voltagens um pouco mais altas que o PUJT, neste caso de uma lâmpada neon e um diac de 4 camadas; o último é amplamente usado como um gatilho triac em dimmers de linha de força CA de controle de fase (do tipo comum em interruptores de parede residenciais).

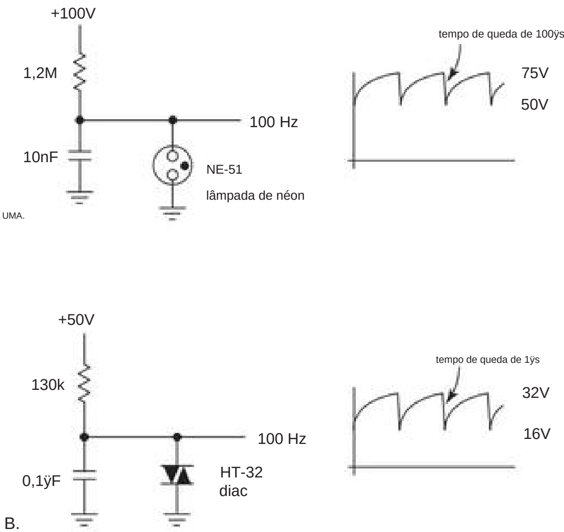


Figura 7.7. Dois osciladores de relaxamento incomuns que exploram dispositivos com uma característica de *VI* “snapback” de resistência negativa . Os diacs Littel fuse HT32 e ST32 foram descontinuados em 2009, mas você pode obter o DB3 comparável de pelo menos três fabricantes.

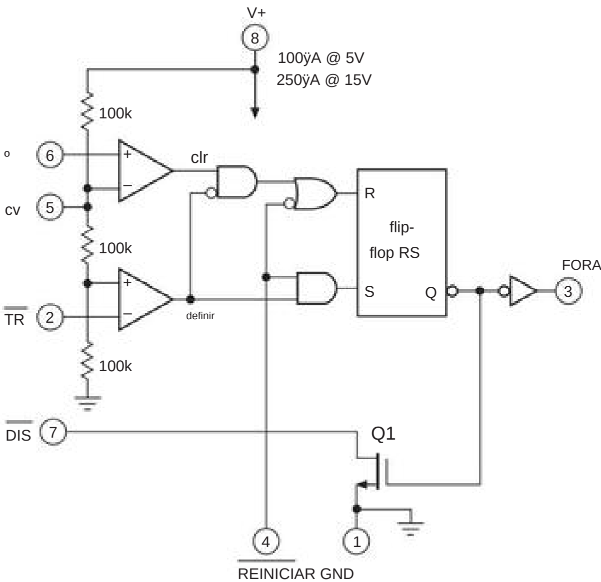


Figura 7.8. Diagrama de blocos do lendário 555 em sua implementação CMOS contemporânea.

7.1.3 O clássico chip oscilador-temporizador: o 555

O próximo nível de sofisticação envolve o uso de CIs temporizadores ou geradores de forma de onda como osciladores de relaxamento. O chip mais popular é o lendário 555 (e seus muitos sucessores), projetado originalmente em 1970 por Hans Camenzind na Signetics. Também é um chip mal compreendido, e tendemos a esclarecer as coisas com o circuito equivalente mostrado na Figura 7.8. Alguns dos símbolos pertencem ao mundo digital (Capítulo 10 e seguintes), então você ainda não se tornará um especialista em 555 por um tempo. Mas a operação é bastante simples: a saída vai para o nível ALTO (perto de VCC) quando o 555 recebe uma entrada TRIGGER e permanece lá até que a entrada THRESHOLD seja acionada, momento em que a saída vai para o nível BAIXO (perto do terra) e o transistor DESCARGA é ligadas. A entrada TRIGGER é ativada por um nível de entrada abaixo $\frac{1}{3}$VCC, e o THRESHOLD é ativado por um nível de entrada acima $\frac{2}{3}$VCC.

A maneira mais fácil de entender o funcionamento do 555 é observar um exemplo (Figura 7.9). Antes que a energia seja aplicada, o capacitor é descarregado; então, quando a energia é aplicada, o 555 é acionado, fazendo com que a saída vá para ALTO, o transistor de descarga Q1 desligue e o capacitor comece a carregar em direção a 15 V através de *RA+RB.* Quando tiver atingido $\frac{2}{3}$VCC (+10 V), a entrada THRESHOLD é acionada, fazendo com que a saída vá para BAIXO e Q1 ligue, descarregando *C* em direção ao terra através de RB. A operação agora é cíclica, com tensão de C variando entre $\frac{1}{3}$VCC e $\frac{2}{3}$VCC com período

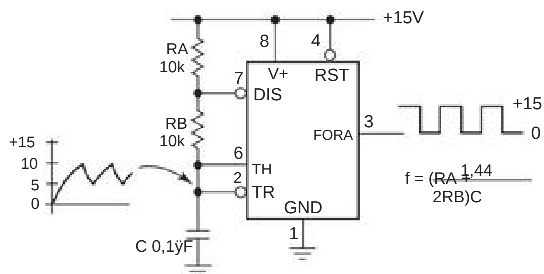


Figura 7.9. O 555 conectado como um oscilador.

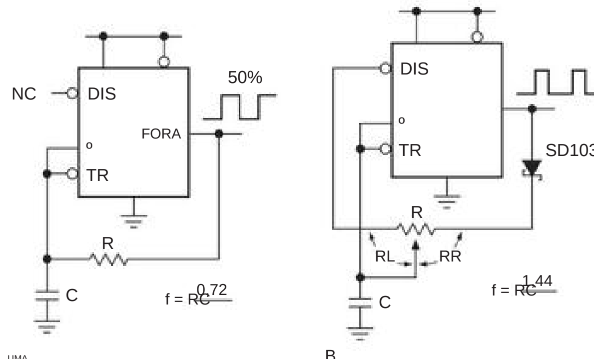


Figura 7.10. Mais circuitos osciladores CMOS 555. A. Ciclo de trabalho de 50% (onda quadrada). B. Frequência constante, com ciclo de trabalho totalmente variável.

T = 0,693(RA + 2RB)C. A saída que você geralmente usa é a onda quadrada[6] na saída.

Exercício 7.2. Mostre que o período é o anunciado, independente da tensão de alimentação.

O 555 original (versão com transistor bipolar) é um oscilador respeitável, com estabilidade próxima de 1%. Ele pode funcionar a partir de uma única alimentação positiva de 4,5 a 16 V,[7] mantendo uma boa estabilidade de frequência com variações de tensão de alimentação porque os limiares rastreiam as flutuações de alimentação. O 555 também pode ser usado como um temporizador para gerar pulsos únicos de largura arbitrária (consulte §7.2.1E), bem como várias outras coisas. É realmente um pequeno kit, contendo comparadores, portas e flip-flops. Tornou-se um jogo na indústria eletrônica tentar pensar em novos usos para o 555 – você também pode se tornar um alfa-nerd!

Um cuidado sobre o 555 bipolar: muitas versões deste IC (em comum com alguns outros chips temporizadores) geram uma grande falha na corrente de alimentação (até 150 mA) durante cada transição de saída.[8] Certifique-se de usar um capacitor de bypass robusto perto do chip. Mesmo assim, o 555 pode ter uma tendência a gerar transições de saída dupla; as versões CMOS (discutidas a seguir) são melhores nesse aspecto, mas ainda não curadas de todo mau comportamento.

A. CMOS 555s

Algumas das propriedades menos desejáveis do original bipolar 555 (alta corrente de alimentação, alta corrente de disparo, dupla transições de saída e incapacidade de operar com tensão de alimentação muito baixa) foram corrigidas em uma coleção de sucessores CMOS. Você pode reconhecê-los pelo indicador "555" em algum lugar no número da peça. A Tabela 7.1 na próxima página lista a maioria deles que pudemos encontrar, junto com suas especificações importantes. Observe particularmente a capacidade de operar com tensão de alimentação muito baixa (até 1 V) e a corrente de alimentação geralmente baixa. Esses chips também podem operar em frequências mais altas do que o 555 original. Os estágios de saída do CMOS fornecem oscilação entre trilhos, pelo menos em baixas correntes de carga (mas observe que esses chips não têm a força de corrente de saída do 555 padrão). Todos os chips listados são CMOS, exceto o 555 original e o ZSCT1555.

B. Ciclo de trabalho de

50% O oscilador 555 da Figura 7.9 gera uma saída de onda retangular cujo ciclo de trabalho (fração de tempo em que a saída é ALTA) é sempre maior que 50%. Isso ocorre porque o capacitor de temporização é carregado através do par série *RA+RB,* mas descarregado (mais rapidamente) apenas através de RB .

Mas você pode fazer um *CMOS* 555 (com sua oscilação de saída trilho a trilho) fornecer exatamente 50% do ciclo de trabalho (uma verdadeira onda quadrada) com o circuito da Figura 7.10A. O truque é usar um único resistor de carga-descarga, conectado à saída; então o capacitor está carregando em direção a +VCC (com limite de $\frac{2}{3}$VCC) ou descarregando em direção ao solo (com limite de $\frac{1}{3}$VCC). É como duas pessoas jogando uma bola para frente e para trás, com um cachorro ziguezagueando incansavelmente para frente e para trás, tentando pegá-la.[9] Você deve ser capaz de mostrar que fosc = 0,72/RC.

Exercício 7.3. Mostre que esse resultado está correto.

[6] Uma *onda retangular,* para ser mais preciso, porque passa 2/3 do tempo em ALTO e 1/3 do tempo em BAIXO. Mas é convencional usar o termo "onda quadrada", como fazemos aqui, para distinguir uma forma de onda de 2 níveis (qualquer que seja sua simetria) de uma forma de onda contínua como as exponenciais no capacitor.

[7] Variantes como o ZSCT1555 bipolar, bem como as versões CMOS, podem operar em tensões mais baixas, até 0,9 V para alguns tipos; ver Tabela 7.1.

[8] Versões com melhor comportamento geralmente se gabam disso na folha de dados, por exemplo, "Sem picos de corrente de condução cruzada de saída" (Micrel MC1555 IttyBitty™ RC Timer/Oscillator).

[9] A esperança brota eterna em um capacitor de carga.

Tabela 7.1 Osciladores do tipo 555a

Papel #	Mfg	Qtd por pacote 1	2	4	Tensão de alimentação min (V)	max (V)	Fornecimento de corrente/osc type @ 5V (µA)	Trig & thresh atual máximo (n / D)	Max freq type @ 5V (MHz)	Tipo de rota @ 5V pia fonte (ÿ) (ÿ)
555		.	.	—	4,5	18	3000	2000	0,5	12b 100c 35e
ZSCT1555	ZT	▪	—	—	0,9	6	150	100	0,3d	0,15e 50 400
ICM7555	IL	▪	▪	—	2 1	18	60	10	1 1,8	25 200 25 4 200
TLC551	TI	▪	▪	—	2	18	15f	0,01t		150 20 25 200 20
TLC555	TI	▪	—	—	1,5	18	170	0,01t	2,1	25 100
LMC555	NS	▪	▪	—	2 2	15	100	0,01t	3 2	
ALD555	AL	▪	—	—	2,7	12	100	0,2	2,5	
ALD1502	AL	▪	. .			12	50	0,4 50	5 g	
MIC1555	MI	▪	—	—		18	240			

Notas: (a) todos são CMOS, exceto as duas primeiras entradas (bipolares). (b) Io (mA) em Vo=0,3V. (c) Io (mA) em Vsat=1,7V. (d) min, @ Vs=1,5V. (e) Io (mA) em Vsat=±0,35V e Vs=1,5V. (f) em Vs=1V. (g) em Vs=8V. (t) típico.

C. Controle do ciclo de trabalho completo A Figura 7.10B mostra como fazer uma saída de frequência fixa cujo ciclo de trabalho pode variar de quase 0% a quase 100%. A frequência seria completamente constante e independente da configuração do ciclo de trabalho, exceto pelo efeito da queda do diodo durante o carregamento; é por isso que usamos um diodo Schottky SD103C de baixa queda (*VF* = 0,3 V a 10 mA).

Exercício 7.4. Mostre que fosc = 1,44/RC.

D. Oscilador dente de serra

Usando uma fonte de corrente para carregar o capacitor de temporização, você pode fazer um gerador de rampa (ou "onda dente de serra"). A Figura 7.11A mostra como, usando uma fonte de corrente *pnp* simples. A rampa carrega para 2/3VCC, então descarrega rapidamente (através do transistor de descarga *npn* do 555, pino 7) para 1/3VCC, iniciando novamente o ciclo de carga. Observe que a forma de onda da rampa no terminal do capacitor é armazenada em buffer com um amplificador operacional, pois está em alta impedância.

Na prática, este circuito exibe uma falha sutil: quando um capacitor de pequeno valor é usado, a descarga é tão rápida que a parte inferior do dente de serra cai abaixo de 1/3VCC antes que o transistor de descarga desligue. Isso é remediado, conforme mostrado, pela inclusão de um pequeno resistor em série com o pino DIS, s.10 escolhido para uma constante de tempo ÿ5. A Figura 7.11B mostra uma alternativa, ou seja, atrasar o sinal de descarga de borda descendente para TR de modo que o intervalo de descarga seja prolongado o suficiente para garantir a descarga completa; 1 foi adequado, para os valores do circuito mostrados. ÿ s

Na Figura 7.11B desenhamos um símbolo de fonte de corrente, seja porque existem várias alternativas para a fonte de corrente *pnp* discreta. A Figura 7.12 mostra alguns favoritos simples de 2 terminais, ou seja, um "diodo regulador de corrente" JFET e dois circuitos integrados. Conforme discutido em §3.2.2, um JFET com

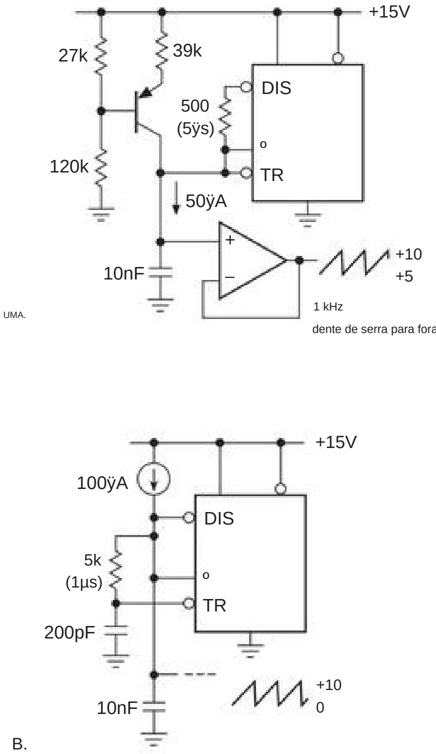


Figura 7.11. Osciladores dente de serra com o CMOS 555. A. A fonte de corrente *pnp* discreta carrega C, cuja descarga é retardada para evitar falha de V+/3. B. TR atrasado na borda descendente causa descarga total para 0 V.

10 Descobrimos, por medição, que os tempos mínimos de descarga necessários para evitar o undershoot foram de aproximadamente ÿ para ÿ s para o LMC555, ICL7555 e bipolar 555, respectivamente.

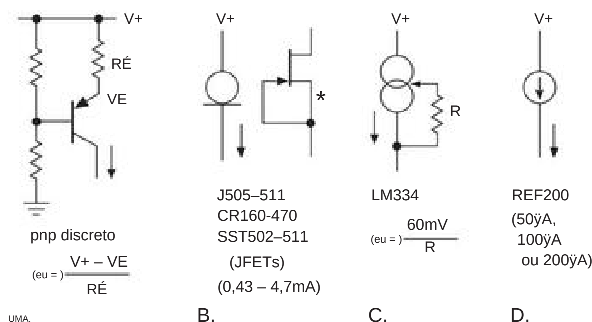


Figura 7.12. Escolhas de fonte de corrente para o oscilador dente de serra.

porta ligada à fonte funciona em corrente constante quando polarizada com 1 V; eles estão disponíveis como dispositivos de 2 terminais integrados, em uma faixa limitada de correntes (0,43 mA–4,7 mA) e com operação de até 100 V. O LM334 também é uma fonte de corrente de 2 terminais (flutuante), com um terceiro pino que permite programar a corrente conectando um resistor conforme a figura; a corrente é de aproximadamente 11 60 mV/R e, como o JFET, funciona até aproximadamente 1 V (seu máximo é 40 V). O REF200 é uma fonte de corrente de 100 A de 2 terminais (flutuante) compensada por ÿ temperatura (com vários múltiplos selecionáveis), operável de 2 a 40 V.

Oscilador dente de serra raciométrico

E agora uma variação interessante. Em muitas situações, você *deseja* uma fonte de corrente estável como o REF200, projetada para fornecer uma corrente que não dependa da tensão através dele (o REF200 é muito bom nesse aspecto, sua corrente variando menos de 0,1% para tensões de 2 V a 30 V; ver Figura 9.37). E isso seria ótimo aqui, fornecendo um dente de serra de frequência constante no circuito da Figura 7.11B – desde que, é claro, os limiares do 555 permaneçam constantes. Mas se a tensão de alimentação (aqui V+=+15 V) mudasse, os limiares seguiriam proporcionalmente (em V+/3 e 2V+/3), e a frequência de oscilação mudaria. E isso aconteceria se você usasse algo como uma bateria de 9 V para sua fonte V+ .

Existe uma maneira elegante de resolver esse problema, ou seja, tornar a saída da fonte de corrente proporcional à tensão de alimentação, o que compensa exatamente a mudança de frequência que ocorreria de outra forma. Esta é a técnica de design *raciométrico* , elegante e poderoso. A fonte de corrente *pnp* simples da Figura 7.12A é quase o que você deseja: seria exatamente correta, exceto pela queda de ~0,6 V base-emissor. E você pode corrigir isso montando uma fonte de corrente de transistor com cancelamento de VBE .

[11] Na verdade, é “PTAT” — proporcional à temperatura absoluta.

Observe a Figura 7.13: no primeiro circuito, um diodo no divisor de base adiciona uma queda de tensão que corresponde aproximadamente à queda base-emissor do transistor. Isso é muito bom, mas não é o ideal porque (a) a correspondência VBE é imperfeita e (b) a queda do diodo significa que a queda de tensão em R1 não é totalmente proporcional a V+ (descubra o porquê).

Isso é corrigido no segundo circuito (Figura 7.13B), onde a tensão de base de Q1 acompanha V+ exatamente, e sua queda VBE para baixo cancela a queda de Q2 voltando para cima. É imperfeito apenas na medida em que os VBEs não são iguais, tanto por causa da incompatibilidade do transistor quanto da incompatibilidade do IC (a la Ebers–Moll O terceiro circuito corrige a incompatibilidade de VBE (usando transistores combinados operando na mesma corrente), mas tem o problema de corrente não exatamente proporcional da Figura 7.12A; ou seja, a corrente através do “resistor de programação” Rp é proporcional a *V+ÿVBE.* Observe, a propósito, que este circuito é o clássico espelho de corrente que vimos em §2.3.7.

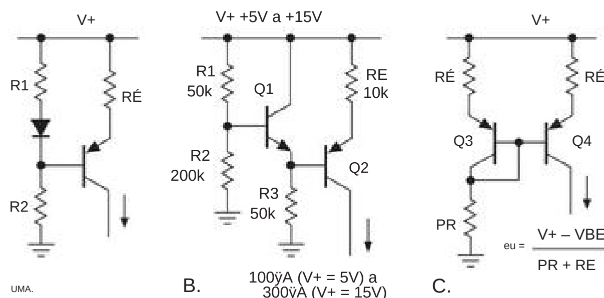


Figura 7.13. Fontes de corrente com saída aproximadamente proporcional à tensão de alimentação (Iout ÿ V+), para fazer fout na Figura 7.11 independente da tensão de alimentação.

E. Oscilador triangular A Figura 7.14 mostra uma maneira simples de gerar uma onda *triangular* com um CMOS 555. A onda quadrada de saída rail-to-rail é usada para gerar uma fonte-dreno de corrente (de polaridade alternada), produzindo uma forma de onda triangular (indo entre os usuais 3VCC e 3VCC) no capacitor. A configuração dos diodos é a conhecida *ponte retificadora* (§1.6.2), aqui usada para enganar o dispositivo de corrente 1 2 o pensar que a corrente está sempre fluindo na mesma direção (normal), enquanto para o lado de fora mundo é uma fonte de corrente bidirecional. (Você pode pensar na ponte como apresentando à fonte de corrente uma versão retificada da corrente externa de polaridade alternada.) Usamos diodos Schot tky aqui, para minimizar a queda direta de dois diodos da ponte. Assim como no oscilador dente de serra, você precisa armazenar em buffer a forma de onda de alta impedância com um amplificador operacional. este

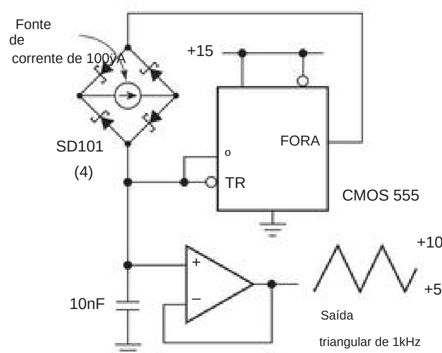


Figura 7.14. Oscilador de onda triangular com o 555. Este circuito requer uma fonte de corrente flutuante (2 terminais), como na Figura 7.12B-D.

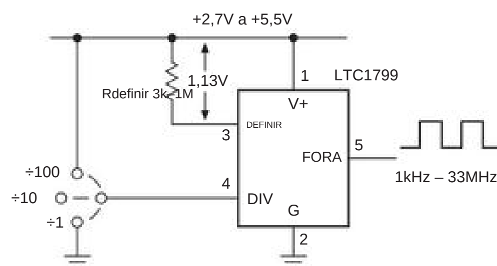


Figura 7.15. O LTC1799 (e seus descendentes) gera ondas quadradas estáveis de trilho a trilho com programação de resistor único.

O circuito é simples (aproveitando as entranhas orientadas ao oscilador do 555), mas seu desempenho não é tão bom quanto o circuito baseado em amplificador operacional mais elaborado da Figura 4.39 na página 239 ou Figura 4.83 na página 267.

Exercício 7.5. Demonstre que você entende os circuitos das Figuras 7.11 e 7.14 calculando a frequência de oscilação em cada caso.

7.1.4 Outros CIs osciladores de relaxamento

O clássico 555 gerou sucessores de CMOS compatíveis e aprimorados, como vimos; ainda está vivo e bem. E é flexível o suficiente para realizar muitas tarefas boas, incluindo cronometragem e geração de pulso, que trataremos mais adiante no capítulo. Mas tem havido muito progresso na eletrônica de semicondutores desde a introdução do 555 em 1971, e você pode obter alguns chips de oscilador-temporizador contemporâneos muito bons que podem muito bem ser sua melhor escolha.12 Aqui estão alguns dos nossos favoritos.

A. Séries LTC1799 e LTC6900 Esses CIs elegantes vêm dos magos da Linear Tech nology, que os chamam de "osciladores de silício". O LTC1799 funciona a partir de uma única fonte positiva de 2,7 V a 5,5 V (consumindo cerca de um miliamperes), gera uma saída de onda quadrada de 50% do ciclo de trabalho trilho a trilho e sua frequência de saída é definida por um único resistor externo (ou fonte atual). Opera de 1 kHz a 33 MHz (possui um divisor de frequência interno ÷1, ÷10 ou ÷100, N, selecionado amarrando a entrada DIV em BAIXO, aberto ou ALTO, para produzir seu 33.000:1 variar). É isso – um componente externo e pronto! Tem uma precisão muito boa (±0,5%, tipo), estabilidade de temperatura (±0,004%/ÿC, tipo) e coeficiente de tensão (±0,05%/V) A Figura 7.15 mostra como usá-lo. A série similar LTC6900 inclui o LTC6900 (consumo de energia um pouco menor), o LTC6905 (17 MHz–170 MHz) e o LTC6903/4 (1 kHz–68 MHz, programado por meio de uma conexão digital serial de 3 fios). A última parte seria particularmente adequada para um sistema com um microcontrolador residente (Capítulo 15), que pode facilmente enviar comandos digitais para lá e para cá.

A Figura 7.16 mostra a dependência da frequência de saída do valor do resistor. Se você gosta de equações, pode ficar mais feliz com isso:

$$\text{fosco} = \frac{1}{N} \cdot \frac{100}{R(\text{kÿ})} \quad \text{MHz.}$$

Como a frequência é definida por uma corrente de entrada no terminal de entrada SET , você pode usar uma corrente gerada externamente para ajustar a frequência (vamos chamá-la de "ICO", para "oscilador controlado por corrente"), tendo em mente que a entrada SET fica aproximadamente 1,13 V abaixo do trilho positivo. Para a programação de corrente, o datasheet sugere correntes na faixa de 5 A a 200 A, com comutação de faixa (ÿx10) que pode ser feita eletricamente, por exemplo, com lógica de 3 estados ou com um par de chaves de transistor). O nível de tensão com referência V+ na entrada SET torna a programação de *tensão* um pouco estranha: a folha de dados sugere um método, ou seja, aplicar uma tensão de controle através de um segundo resistor à entrada SET , para adicionar ou subtrair uma corrente variável daquela fornecida pelo RSET ; mas esse método tem seus problemas e provavelmente é melhor apenas gerar uma corrente externamente para acionar o SET.

B. LTC699x "TimerBlox"

Alguns anos após seu LTC1799/6900, a Linear Tech nology introduziu a série "TimerBlox®" de funções de temporização – osciladores, moduladores de largura de pulso, one-shots

12 Sendo de design recente, eles estão invariavelmente disponíveis em pacotes SMT (small surface mount). Isso pode ser uma desvantagem, no entanto, se você estiver procurando por embalagens *de orifícios* tradicionais fáceis de prototipar , porque cada vez mais novos designs vêm *apenas* em SMT.

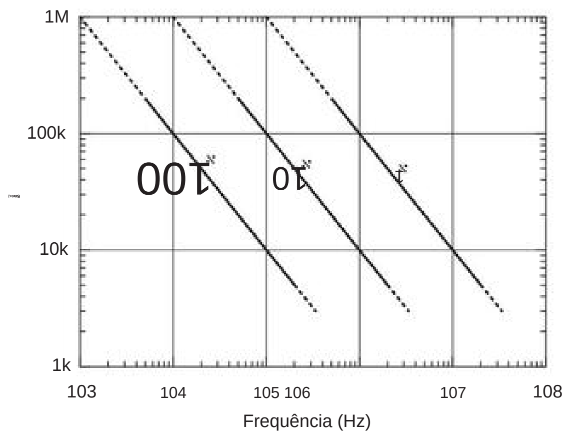


Figura 7.16. Programação de frequência de saída LTC1799. O fabricante aconselha você a ficar nas linhas contínuas para melhor precisão.

(monoestáveis) e atraso/debounce. Em vez de tentar fazer um chip de "tamanho único" (com muitos pinos), eles criaram chips separados, no pequeno pacote SOT23-6 de 6 pinos ou no pacote DFN ainda menor de 2 mm × 3 mm .

Esses chips compartilham muitas propriedades, por exemplo, uma única fonte (2,25–5,5 V), boa precisão pronta para uso (ÿ2% no pior caso), ajuste de resistor único e um único pino analógico para programação do usuário de 16 opções de faixa e modo (compare com o LTC1799/6900, onde um pino define uma das três faixas). O LTC retirou as paradas para criar um conjunto de peças simples, específicas de função e pequenas13 para lidar com nossos osciladores e problemas de temporização.

Aqui está uma lista das peças do TimerBlox disponíveis no momento da redação:

Papel #	Função	Intervalo Total	Comentários
LTC6990	VCO	488 Hz–2 MHz	Faixa de sintonia 16:1, como intervalos de oito oitavas
LTC6991	LF osc; cronômetro	29 ÿ (×2) Hz–977 Hz	1 ms–9,5 h, como oito intervalos de 8 ×
LTC6992-x	PWM	3,8 Hz–1 MHz	0%–100%, 5%–100%, 5%–95% ou 0%–95% normal ou retrig;
LTC6993-x	Único	1ÿ s-34 s	atraso de borda ascendente ou
LTC6994-x	atraso/ debounce	1ÿ s-34 s	descendente em uma ou todas as bordas; rejeitar pulso estreito

O LTC6991 visa o problema de osciladores de onda quadrada de frequência muito baixa, com uma faixa de frequência de saída total de aproximadamente 30 microhertz a 1 kHz;

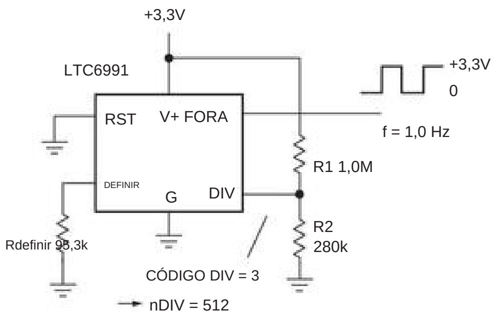


Figura 7.17. Oscilador de 1 Hz programado por resistor.

pensando nisso como um cronômetro, é uma faixa de períodos de 1 milissegundo a 9 horas. Você seleciona uma das oito faixas, cujas frequências "centrais" (correspondentes a Rset=200 kÿ) são espaçadas por fatores de oito: 0,00012 Hz, 0,001 Hz, 0,008 Hz, 0,064 Hz, 0,5 Hz, 4 Hz, 32 Hz, 250 Hz. Dentro de uma faixa escolhida, o resistor externo Rset (50–800 kÿ) sintoniza a frequência de oscilação em uma faixa de 16:1. Por exemplo, na faixa de 4 Hz você pode sintonizar continuamente de 1 Hz (Rset=800k) a 16 Hz (Rset=50k).

Agora o mistério: como selecionar um dos 16 modos de operação (oito faixas, duas polaridades) com um único pino, sem a necessidade de nenhum tipo de programação serial? Fácil: esses chips contêm um ADC interno de 16 níveis (4 bits), com a tensão de alimentação V+ como referência em escala total, para determinar o valor DIVCODE (um inteiro de 0 a 15). Assim, você simplesmente aplica uma tensão CC na faixa de 0 a V+ ao pino de programação DIV , mais facilmente feito por meio de um par de resistores de V+ ao terra.14 A saída desse divisor de tensão (chame-o de *Vk)* deve apontar para o ponto médio de um das dezesseis subdivisões de 0 V a V+. Dito com precisão, você usaria um par de resistores de 1% que produz uma tensão de saída *Vk* = V+(2k+1)/32 para selecionar15 DIVCODE =*k.* Esse DIVCODE então determina a faixa de frequência e (neste caso) a polaridade de saída e reinicialização.

Como exemplo, a Figura 7.17 mostra como gerar um

[13] O SOT23 é a peça de montagem em superfície ideal para o experimentador, grande o suficiente para montagem comum de ferro de solda; A LTC poderia ter escolhido uma peça de montagem de máquina menor para o pacote "maior".

[14] Em vez disso, você pode usar a saída de tensão de um DAC, se desejar controle digital.

[15] Este é um esquema *interessante* . Por que não usar mais dois pinos, para um total de oito pinos, com programação como o LTC1799 (cada um ligado a GND, V+ ou aberto)? Evidentemente, no afã de minimizar o número de pinos e o tamanho do pacote, e simultaneamente evitar a necessidade de qualquer tipo de programação serial, os projetistas escolheram este esquema analógico, com ADC interno. Gostaríamos de vê-los oferecer uma opção SOIC (e DFN) de 8 pinos, com seleção de 3 níveis em três pinos; dessa forma, você teria até 27 opções de modo, sem a necessidade de resistores externos. E, ei, um DFN-8 ocupa menos espaço do que um DFN-6 mais dois resistores! OK, pessoal esperto do LTC, o que vocês acham?

Onda quadrada de 1 Hz com saída de nível lógico de 3,3 V (ou seja, 0 V e +3,3 V). Selecionamos a faixa de 0,5 Hz (k=3), para a qual a relação do divisor de tensão é R2/(R1 +R2)=7/32; então selecionamos Rset=95,3 kÿ para um intervalo de 1,0 Hz de acordo com a fórmula exata do datasheet para o período do oscilador

$$T = \frac{1}{\text{quatro}} = \frac{\text{Rset}}{50\text{kÿ}} \cdot \text{ndiv} \cdot 1.024\times10ÿ3 \text{ (segundos)}$$

onde a relação do divisor interno ndiv do chip é determinada[16] a partir do DIVCODE de acordo com ndiv = *23k,* portanto ndiv=512 aqui. Esses chips funcionam com energia razoavelmente baixa; este circuito consome cerca de 0,1 mA quando descarregado.

Mais adiante no capítulo, em relação aos temporizadores, veremos outro exemplo em que o LTC6991 é usado para gerar uma "hora de potência" comutada (Figura 7.65). E veremos também como utilizar outros membros desta família, em aplicações VCO e timer (§7.2.4).

C. Oscilador + divisor Outra classe de temporizadores de oscilador usa um oscilador (relaxamento ou não) seguido por um contador digital, para gerar longos tempos de atraso sem recorrer a valores altos de resistor e capacitor. Exemplos disso são o 74HC4060 e o Maxim ICM7240/50/60. Essas partes do CMOS geram um pulso de saída para algum número *N* de ciclos do oscilador,[17] e funcionam com uma fração de miliamperes. Esses temporizadores (e seus parentes próximos) são ótimos para gerar atrasos de alguns segundos a alguns minutos.

Algumas adições mais recentes a esta classe de oscilador incluem o LTC6903/4 (descrito anteriormente) e a série Maxim DS1070/80. Os ICs LTC operam com as mesmas tensões de alimentação que o LTC1799/6900 e geram saídas de onda quadrada trilho a trilho na faixa maior de 1 kHz a 68 MHz; mas eles *não* requerem componentes externos! O truque é que a frequência é definida enviando um par de números (um fator de escala de 4 bits e um coeficiente de frequência de 10 bits) por meio de uma linha de entrada digital bit-série. Isso pode parecer complicado; mas, na verdade, é incrivelmente fácil de fazer em qualquer sistema em que você tenha um microcontrolador embutido (um pequeno computador em um chip), que na eletrônica contemporânea inclui praticamente qualquer circuito eletrônico. Veremos muito mais sobre isso no Capítulo 15 ("Microcontroladores").

A série DS1070/80 "EconOscillators" é semelhante, com programação serial para definir a frequência; isto é, realizada na memória interna não volátil, portanto, você precisa programá-lo apenas uma vez, ou quando quiser alterá-lo. O DS1085 é atualmente o membro mais sofisticado da família, com quatro configurações programáveis que permitem escolher uma frequência de saída (na faixa de 8,1 kHz a 133 MHz) para melhor que uma parte em mil. Cuidado, porém, que a precisão inicial e a estabilidade deste "oscilador de silício" estão apenas no nível de ±1%; ou seja, sua resolução (tamanho do passo) excede em muito sua precisão e estabilidade. Pense nisso como um "oscilador de 1%" cuja frequência você pode definir no campo.[18] Há uma boa generalização desses métodos de "divisão por N", ou seja, o *loop de bloqueio de fase* (PLL). Nós os tratamos mais adiante neste capítulo (§7.1.8B) e no Capítulo 13.

D. Osciladores controlados por tensão

Outros osciladores IC estão disponíveis como osciladores controlados por tensão (VCOs), com a taxa de saída variável em algum intervalo de acordo com uma tensão de controle de entrada. Vimos o germe dessa ideia quando usamos uma fonte de corrente para carregar o capacitor do 555; com pouco esforço adicional poderíamos ter tornado a corrente proporcional a uma tensão de entrada de controle. Há muitos usos para um VCO e, portanto, muitas ofertas dos fabricantes de chips. Alguns deles têm faixas de frequência superiores a 1000:1. Exemplos são o NE566 original e designs posteriores como as séries ICL8038, MAX038, XR2206/7 e 74LS624–9.

A série 74LS624, por exemplo, gera saídas de nível lógico digital de até 20 MHz e usa RCs externos para definir a frequência nominal. VCOs mais rápidos como o 1648 podem produzir saídas para 200 MHz, e existem técnicas de VCO de frequência muito mais alta (como osciladores de diodo Gunn e osciladores YIG) que operam na faixa de muitos gigahertz.

Onde a linearidade é importante, um conversor de precisão de tensão para frequência (V/F) como o AD537, LM331 ou AD650 realmente faz o trabalho, com linearidade de pior caso de 0,15%, 0,01% ou 0,005%, respectivamente. A maioria dos VCOs usa fontes internas de corrente para carregar e descarregar um capacitor e, portanto, muitos fornecem saídas de onda triangular. O clássico Exar XR2206 vai além – inclui um conjunto de grampos "suaves" para converter a onda triangular em uma onda senoidal não muito grande; eles chamam isso de *modelador de seno* e produz uma onda de aparência senoidal com <1% de distorção. Dependendo dos componentes de temporização externos, vai de hertz fracionário

[16] Válido para *k* entre 0 e 7; veja a folha de dados para mais detalhes.

[17] Especificamente, 10 escolhas de *N* = *2k* (indo de k=4 a k=14) para o 74HC4060; qualquer um de N=1 a 255 para o ICM7240; N=128 para o ICM7242; qualquer um de N=1 a 99 para o ICM7250; e N=60 para o ICM7260.

[18] Para melhor precisão, você pode usar um oscilador de cristal (§7.1.6) a montante do divisor. Um bom exemplo, infelizmente descontinuado, foi a série Epson SPG de "osciladores de cristal de saída selecionável", na qual você escolhe a frequência de saída com seis pinos de programação que você conecta ao terra ou à fonte de +5 V.

(no extremo inferior) a 1 MHz (no extremo superior),19 com uma faixa de varredura de 1000:1 e uma estabilidade de temperatura de frequência de 0,002%/ÿC. Você também pode usá-lo como um gerador de ondas triangulares, em cujo modo ele permite ajustar o ciclo de trabalho de 1% a 99%.

No Capítulo 13, veremos alguns métodos VCO adicionais, no contexto da "conversão de tensão para frequência". Esses métodos são *síncronos* e requerem uma entrada de clock de frequência fixa; esses pulsos de clock são repassados para a saída, ou não, de forma que a frequência média de saída seja exatamente proporcional à tensão de entrada; consulte §13.8.1 e §13.9.

Às vezes, os chips VCO têm uma referência estranha para a tensão de controle (por exemplo, a alimentação positiva) e complicados esquemas de simetria para a saída de onda senoidal. É nossa opinião que o VCO ideal ainda não foi desenvolvido. Muitos desses chips podem ser usados com um cristal de quartzo externo, como discutiremos em breve, para maior precisão e estabilidade; em tais casos, o cristal simplesmente substitui o capacitor.

Você pode criar VCOs com outras técnicas além dos osciladores de relaxamento *RC* (ou acionados por corrente). Por exemplo, a frequência de um oscilador *LC* (§7.1.5D) pode ser sintonizada eletricamente com um capacitor de tensão variável (um *varactor),* embora a faixa de sintonia seja muito menor (normalmente 1–10%) do que um oscilador de relaxamento sintonizável . Da mesma forma, é possível "puxar" a frequência de um cristal de quartzo para uma faixa estreita de talvez 0,01%. Outras tecnologias de osciladores (osciladores Gunn, osciladores ressonadores dielétricos, osciladores sintonizados por YIG, cadeias de inversores "sem corrente" e outras) permitem o ajuste elétrico por vários meios, um elemento essencial da síntese de frequência de loop de fase travada (§13.13).

7.1.5 Osciladores de onda senoidal

Para muitas aplicações, você precisa de uma onda *senoidal* real , em vez das formas de onda retangulares, triangulares ou outras que você obtém dos osciladores de relaxamento. Os exemplos estão em teste e medição de frequência de áudio, em comunicações de rádio e vídeo e em pesquisas e aplicações médicas e científicas. É comum nessas aplicações falar em *pureza espectral* ou *distorção harmônica,* que são medidas de afastamento de uma onda senoidal ideal.

Os osciladores de relaxamento *RC* de que falamos não geram ondas senoidais - suas formas de onda nativas são rampas (linear ou *RC* exponencial) e ondas retangulares.
O XR2206 em §7.1.4D ilustra um método de fazer uma onda senoidal aproximada, ou seja, recortando um triângulo com uma sucessão de pinças macias; esse método é usado em alguns geradores de funções analógicas.20 No entanto, existem configurações de oscilador que geram ondas senoidais diretamente e há outros truques para fazer ondas senoidais a partir de quadrados
ondas.

Exemplos de osciladores de onda senoidal nativa são a *ponte de Wien* (que usa R's e C's humildes), *os osciladores ressonadores (que* usam ressonadores como um circuito *LC ,* cristal de quartzo, ressonador coaxial ou de cavidade, ou mesmo um ressonador atômico-molecular) e o método de *síntese digital direta* (DDS).

Nesta seção, veremos maneiras de fazer ondas senoidais, começando com alguns truques para fazer ondas senoidais a partir de ondas quadradas (ou outras formas de onda não senoidais), passando para técnicas que geram ondas senoidais diretamente. Em uma seção posterior (§7.1.9), discutimos os *osciladores de quadratura,* que geram um par de sinais com uma relação de fase de 90ÿ.

A. Seno do quadrado O truque simples aqui é filtrar a onda quadrada (ou qualquer outra) para remover tudo menos a frequência fundamental. Uma maneira fácil de pensar nisso é lembrar que qualquer forma de onda periódica21 pode ser desconstruída em um conjunto de componentes senoidais (a "série de Fourier" da forma de onda), cada uma com alguma amplitude e fase fixas; ao adicionar esses componentes, você reconstrói a forma de onda original. A componente de frequência mais baixa (na periodicidade da forma de onda original) é a *fundamental,* e todas as componentes mais altas ("harmônicos") são múltiplos inteiros da frequência fundamental (ou seja, em 2 f0, 3 f0, 4 f0, . . .). Assim, você pode criar uma onda senoidal a partir de uma onda periódica arbitrária por filtragem passa-baixa em uma frequência maior que a

[19] O MAX038 era semelhante, mas mais rápido – 20 MHz. Estamos tristes com sua passagem. Seu obituário, publicado no site da Maxim, diz: "Este produto foi fabricado para a Maxim por uma fundição externa de wafer usando um processo que não está mais disponível".

[20] Tais técnicas de "corromper" uma onda triangular com grampos de diodo não produzem uma onda senoidal de alta qualidade: a distorção resultante raramente pode ser reduzida abaixo de 1%. Em comparação, a maioria dos audiófilos insiste em níveis de distorção bem abaixo de 0,1% para seus amplificadores. Para testar esses componentes de áudio de baixa distorção, são necessárias fontes de sinal de onda senoidal pura com distorção residual inferior a 0,01% ou mais.

[21] Bem, *quase* todos: os matemáticos são especialistas em encontrar funções patológicas para refutar qualquer proposição vagamente formulada. Provavelmente deveríamos dizer "qualquer forma de onda periódica *bem comportada* "; mas podemos dizer, com confiança, "qualquer forma de onda periódica que você pode realmente criar com a eletrônica".

fundamental, mas inferior ao segundo harmônico,22 extraindo assim apenas o componente senoidal fundamental.

Contanto que o filtro não ultrapasse significativamente a especificação harmônica, você obterá uma boa onda senoidal. Como discutimos no Capítulo 6, você pode criar filtros passa-baixa de várias maneiras: como filtros analógicos de "tempo contínuo" (com uma rede de L's e C's discretos; ou, em frequências mais baixas, com filtros ativos; ou com filtros de tempo discreto filtros de capacitores comutados; ou com os métodos numéricos de processamento de sinal digital).

Para demonstrar essa técnica, conectamos um 555 como um oscilador de 1 kHz (Figura 7.10A, com R=75 k e C=10 nF) e passamos a saída de onda quadrada por um filtro ativo passa-baixa (um filtro de tempo contínuo de 8 -pole Butterworth) com ponto de interrupção em 1,5 kHz. A saída parecia uma onda senoidal muito boa e, na verdade, mediu apenas 0,6% de distorção23 Essa técnica requer um circuito analógico um tanto complexo e carece de agilidade de frequência (ou seja, depois de escolher a frequência do ponto de interrupção do filtro, você pode variar o frequência do oscilador em apenas uma pequena quantidade, digamos ± 25%).

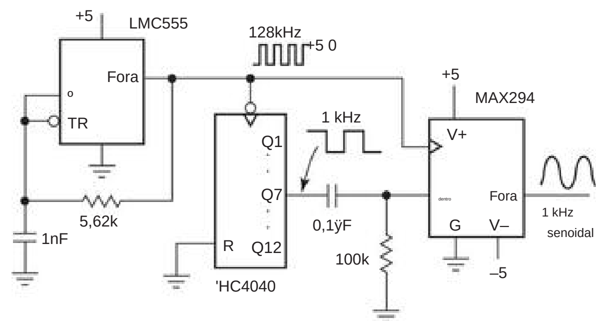


Figura 7.18. Geração de onda senoidal com filtro passa-baixa de rastreamento. O MAX294 (ou similar MAX293 ou LTC1069-1) é um filtro de capacitor chaveado passa-baixa elíptico de 8 polos que não requer componentes externos.

Os filtros de capacitores chaveados são mais simples de usar, estando disponíveis como CIs com clock de baixo custo; em vez de exigir R's e C's para definir a banda passante, a frequência do relógio sintoniza o filtro – ela determina a frequência do ponto de interrupção.
A Figura 7.18 mostra um circuito simples no qual um filtro passa-baixa de capacitor chaveado MAX294 é usado para converter uma onda quadrada de entrada em uma onda senoidal de saída. O ponto de interrupção do MAX294 está em fCLK/100, então o cronometramos em 128 vezes a frequência de onda quadrada de entrada. Isso coloca o ponto de interrupção em

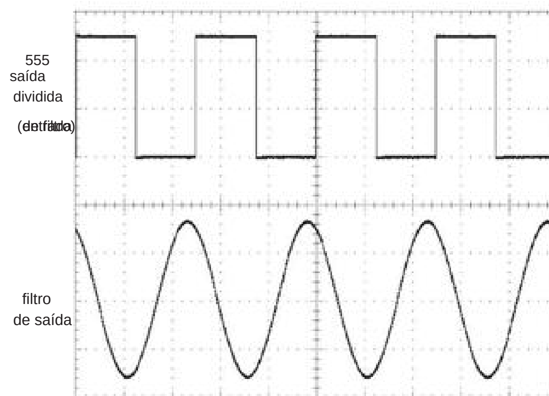


Figura 7.19. Formas de onda do circuito da Figura 7.18: a entrada de onda quadrada de 1 kHz (fOSC/128) e a onda senoidal resultante após a filtragem passa-baixa. A amplitude de saída é igual ao componente fundamental da entrada da onda quadrada, que é um fator de 4/maior. ÿ
Horizontal: 400 ÿ s/div. Vertical: 2 V/div.

1,28 fIN e resulta na bela onda senoidal mostrada na Figura 7.19; ele mediu uma distorção muito limpa de 0,03%.

Este circuito não é apenas mais simples do que o esquema analógico de passagem baixa, mas também fornece amplitude de saída altamente previsível24, além de sintonização – isso ocorre porque o filtro rastreia a frequência de entrada, mantendo seu ponto de interrupção de passagem baixa em 1,28 fIN conforme a frequência de entrada é variada.25 Neste circuito variamos a frequência do 555 por fatores de dez e medimos um máximo de 0,1% de distorção para frequências de onda senoidal de saída na faixa de 100 Hz a 10 kHz.

B. Oscilador de ponte de Wien

Em frequências baixas a moderadas, o oscilador de ponte de Wien (Figura 7.20) é uma fonte útil de sinais senoidais de baixa distorção. A ideia é fazer um amplificador de realimentação com deslocamento de fase de 0ÿ na frequência de saída desejada e, em seguida, ajustar o ganho do loop de forma que uma oscilação autossustentável mal ocorra. Para valores iguais de R e C, como mostrado, o ganho de tensão da entrada não inversora para a saída do amplificador operacional deve ser exatamente +3,00. Com menos ganho, a oscilação cessará e, com mais ganho, a saída saturará. A distorção é baixa se a amplitude de oscilação permanecer dentro da região linear do amplificador, ou seja, não deve ser permitido entrar em uma oscilação completa.

Sem algum truque para controlar o ganho, é exatamente isso

22 Dependendo da simetria da forma de onda, a série de Fourier pode consistir apenas em harmônicos ímpares, caso em que o primeiro harmônico superior está em 3 f0; este é o caso de uma onda quadrada de 50% de simetria.

23 Colocar o ponto de interrupção em 1,2 kHz reduziu a distorção para apenas 0,1%, ou -60 dBc (dB relativo à portadora).

24 Dado pelo primeiro termo da série de Fourier de uma onda quadrada, APP=(4/ÿ)Vpp.

25 Uma variação elegante é ilustrada na folha de dados LTC1799, na qual o filtro passa-baixa do capacitor comutado de rastreamento é ainda configurado com um *entalhe* de banda de parada no sinal de entrada 3 f0, fornecendo assim atenuação adicional no harmônico mais forte da onda quadrada.

acontecerá, com a saída do amplificador aumentando até que o ganho efetivo seja reduzido para 3,0 por causa da saturação. Os truques envolvem algum tipo de feedback de configuração de ganho constante de longo prazo, como veremos.

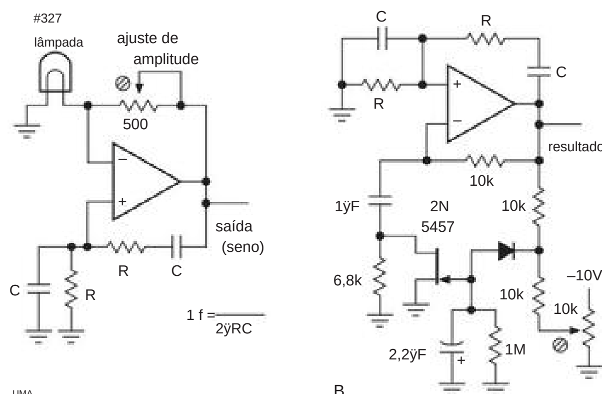


Figura 7.20. Osciladores de baixa distorção de ponte de Wien. A. Controle de amplitude com lâmpada incandescente. B. Controle de amplitude pela resistência variável de um JFET.

No primeiro circuito, uma lâmpada incandescente é usada como elemento de realimentação de resistência variável. À medida que o nível de saída aumenta, a lâmpada aquece ligeiramente, aumentando sua resistência e, portanto, reduzindo o ganho não inversor. O circuito mostrado tem menos de 0,003% de distorção harmônica para frequências de áudio acima de 1 kHz; consulte o aplicativo LTC. Nota 5 (12/84) e Ap. Nota 43 (6/90) para mais detalhes.26 No segundo circuito, um discriminador de amplitude consistindo no divisor polarizado e no diodo carrega uma constante de longo tempo *RC;* esta tensão ajusta o ganho CA variando a resistência do FET, que se comporta como uma resistência variável de tensão para pequenas tensões aplicadas (consulte §3.2.7).

Observe a constante de tempo longa usada (2 segundos); isso é essencial para evitar a distorção, porque o feedback rápido distorcerá a onda ao tentar controlar a amplitude no tempo de um ciclo.

Outra técnica interessante para controle de amplitude é mostrada na Figura 7.21, onde um optoacoplador fotorresistivo é usado para realimentação de ganho. Esses dispositivos consistem em um LED iluminando um elemento resistivo, com os terminais de saída fornecendo uma resistência de boa linearidade (<0,1% de distorção

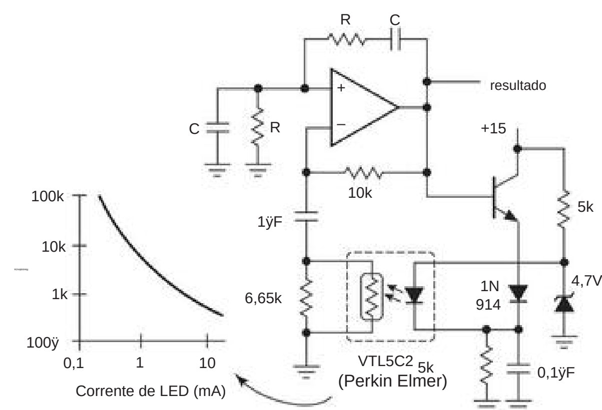


Figura 7.21. Um opto-isolador fotocondutor fornece outro método de controle de amplitude no oscilador de ponte de Wien. (Cortesia Steve Cerwin)

para tensões aplicadas <1 Vrms), variou ao longo de várias décadas de resistência de acordo com a corrente do LED. Ao contrário dos dispositivos de silício, eles são intrinsecamente lentos (dezenas de milissegundos para o dispositivo mostrado), o que é útil nesta aplicação.

Tem sido afirmado que, com um projeto cuidadoso, os osciladores de ponte de Wien podem ser construídos com distorção “bem na faixa de partes por bilhão”. Truques para fazer isso, que incluem o uso de amplificadores operacionais em cascata (para alto ganho de loop, portanto baixa distorção) e cancelamento da distorção harmônica restante, são descritos na *Linear Technology Magazine,* fevereiro de 1994, pp. 26–28.

Um projeto de distorção ultrabaixa

Somos céticos em relação a essa afirmação.27 No entanto, com alguma atenção aos detalhes, a distorção pode ser reduzida a níveis de algumas partes por milhão (0,0001%) usando componentes e técnicas bastante convencionais. A Figura 7.22 mostra esse circuito, que projetamos e testamos para descobrir o quão difícil isso pode ser.

Começamos com uma variante de circuito com dois amplificadores operacionais, que tem a vantagem de usar a configuração inversora; isso reduz a distorção eliminando os sinais de modo comum presentes no amplificador não inversor mais simples. O OPA627 é um amplificador operacional rápido (fT=16 MHz), de baixo ruído (en=4,5 nV/ÿ Hz), baixa corrente de entrada (IBÿ1 pA), com as vantagens particulares aqui de distorção intrinsecamente baixa (0,00003% como um seguidor de ganho unitário com um sinal de 10 V a 1 kHz) e a capacidade de operar com fontes de ±15 V. (Queremos operar com uma grande oscilação de sinal para minimizar o efeito do ruído na pureza da onda senoidal.)

[26] O uso de uma lâmpada para estabilizar o oscilador de ponte de Wien foi inventado e patenteado (# 2.268.872) por William Hewlett em 1942. O oscilador de áudio modelo 200A resultante foi o primeiro produto comercial vendido pela Hewlett, com seu parceiro David Packard; custou $ 54,40 (mas não por causa dos cálculos de custo: eles gostaram do slogan “54-40 or Fight!”, aspirações do candidato presidencial Polk para a fronteira noroeste dos Estados Unidos). O resto é história.

[27] Aconselhamos um ceticismo cauteloso ao confrontar quaisquer alegações de linearidade de partes por bilhão em circuitos analógicos.

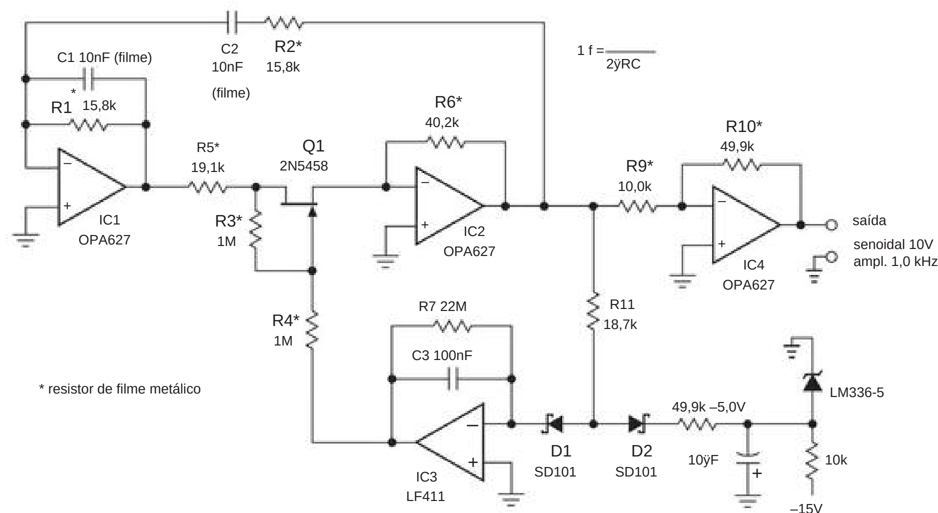


Figura 7.22. Oscilador Wien-bridge (1 kHz) com distorção excepcionalmente baixa (<0,001%). Para obter melhor desempenho, inclua um trimmer em R5, ajustado para otimizar o valor controlado da resistência do JFET.

Para esta configuração, a oscilação sustentada ocorre quando o ganho de tensão do IC2 é -2,00. Escolhemos R5 para ser 5% menor que o crítico, com a série JFET fornecendo a resistência adicional ajustável de 1k (nominal). Isso coloca uma onda senoidal de 100 mV (pico a pico) no JFET, que julgamos pequena o suficiente para uma boa linearidade, especialmente com o divisor de linearização *R3R4* (consulte §3.2.7A). O controle de amplitude é fornecido pelo integrador IC3, que recebe pulsos de corrente de entrada (através do divisor para uma referência estável de -5 V) quando a saída de onda senoidal do IC2 atinge amplitude de 2 V: sua saída negativa polariza o portão do JFET, em relação à fonte no solo virtual, aumentando a resistência do JFET e, assim, diminuindo o ganho de IC2 para manter esta amplitude de saída.28 Para os valores mostrados, o RON mínimo do JFET (ou seja, em VGS=0) deve ser inferior a 1k, que requer um gm mínimo de 1 mS (ver §3.2.7); o 2N5458 especifica um gm mínimo de 1,5 mS, de modo que o circuito é garantido para iniciar. Adicionamos um estágio de ganho de 5 inversores para produzir uma saída de amplitude saudável de 10 V.

O circuito funcionou “fora da caixa” – frequência e amplitude corretas (1 kHz, 10 V) e uma onda senoidal de boa aparência. A distorção harmônica total medida (THD) foi de admiráveis 0,002%.29 Antes de comemorar, porém, tentamos algumas variações: (a) Substituir os capacitores de filme por cerâmicos (tipo “X7R”) aumentou a distorção30 cem dobrar, para 0,22%! (b) Diminuir a oscilação no JFET para 50 mVpp (aumentando R5 para 19,6k) reduziu a distorção pela metade, para 0,001%; daqui em diante, ficamos com esse balanço JFET menor. (c) Em seguida, reduzimos ligeiramente a relação de R3/R4 , para minimizar a distorção (dominantemente segundo harmônico), alcançando um valor final de THD de 0,0002%; isso é -114 dB abaixo do sinal, apenas 2 partes por milhão! (d) Finalmente, para ver o efeito do divisor de porta de linearização, omitimos R4, que aumentou a distorção 50 vezes, para 0,01%.

Algumas lições importantes deste exercício, se você quiser a menor distorção, são (a) evitar capacitores de cerâmica baratos, (b) usar o truque de linearização da porta (subtraindo VDS/2 de VGS) e (c) manter o balanço pequeno JFETs sendo usados como resistores, preferencialmente menores que 100 mV (o que, no entanto, causa um tempo de ajuste de amplitude bastante longo). Como a não linearidade JFET dominava a distorção, mesmo quando cortada, poderíamos ter reduzido ainda mais a distorção executando o oscilador em amplitude mais baixa, digamos 0,5 V, às custas do ruído de banda larga adicionado produzido pela contribuição de ruído fixo dos amplificadores operacionais .31

C. Oscilador de deslocamento de fase RC Ao contrário do oscilador de relaxamento (onde uma constante de tempo *RC* é combinada com limiares de tensão para fazer um

28 Escolhemos o ganho do integrador para colocar a frequência de ganho unitário do loop de controle aproximadamente em 50 Hz.

29 Quase inteiramente segundo harmônico.

30 Agora dominado pelo terceiro harmônico.

31 Melhor ainda, use um controle de ganho fotorresistivo, como na Figura 7.21. Jim Williams fez isso e também adicionou um filtro passa-baixo entre IC3 e R4 para atenuar a pequena forma de onda de correção de erro ciclo a ciclo do integrador, alcançando uma distorção medida abaixo de 3 ppm; consulte a nota do aplicativo LTC AN132.

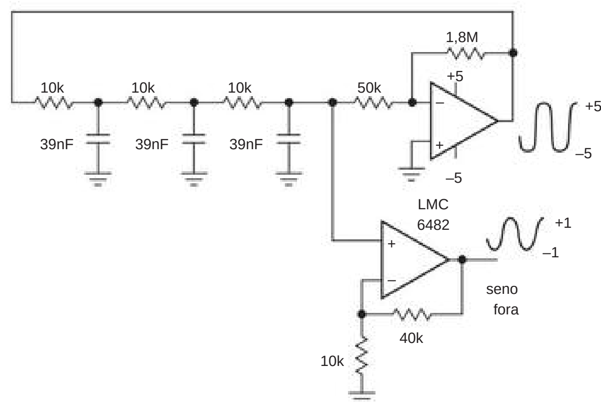


Figura 7.23. Oscilador de mudança de fase. Três seções *RC* produzem um deslocamento de fase de 180ÿ, convertido em realimentação positiva pelo amplificador inversor.

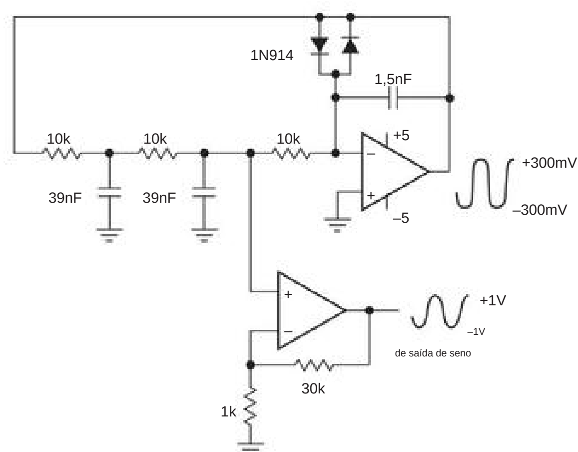


Figura 7.24. Uma variação do oscilador de mudança de fase. Um integrador adiciona 90° de atraso de fase (e inversão) a um *RC de 2 seções.* (Cortesia Tony Williams)

oscilação), o oscilador Wien-bridge anterior explora as características de mudança de fase de uma rede *RC* , em um circuito com realimentação positiva, para selecionar sua frequência de operação. Essa mesma ideia é usada em osciladores *de deslocamento de fase :* ganho e realimentação são aplicados em torno de uma rede de vários R's e C's, dispostos de forma que o loop resultante oscile em uma frequência definida pela rede. A Figura 7.23 mostra um exemplo clássico.

O *RC* de três seções produz um deslocamento de fase atrasado que aumenta com a frequência, atingindo 180ÿ em aproximadamente =2,4/ ÿ RC, onde a perda através da rede é um fator de 26,32 O amplificador inversor fornece o deslocamento de fase restante de 180ÿ e também o ganho de tensão necessário (aqui um GV conservador = ÿ36). O circuito oscila a 1 kHz, com uma onda senoidal cortada (bastante distorcida) que oscila entre trilhos (isto é, ±5 V). No entanto, a forma de onda na última seção *RC* é bem senoidal e, após um estágio de ganho × 5, surge como uma onda senoidal de amplitude de 1 V com apenas 0,9% de distorção.

Para os devotos do oscilador de deslocamento de fase, há um mundo de variações possíveis: configurações discretas de transistores, esquemas de realimentação de limitação de amplitude e assim por diante. Embora tenhamos tentado muito, não conseguimos resistir à tentação de mostrar outro oscilador de mudança de fase (Figura 7.24). Aqui, um integrador (inversor) fornece 270ÿ de atraso de deslocamento de fase, portanto, apenas duas seções *RC* são necessárias para fechar o loop em fase. Este circuito ilustra também o uso de grampos de diodo back-to-back para limitação de amplitude. Assim como na Figura 7.23, derivamos a saída da última seção *RC* , onde sua distorção é mínima; a saída do circuito é uma onda senoidal de 1 kHz com amplitude de 1 V e distorção de 1%. Se você colocasse os limitadores de diodo no primeiro capacitor de deslocamento de fase de 39 nF, a saída do integrador seria outra onda senoidal de baixa distorção - na verdade, seria uma onda atrasada de 90° (cosseno, invertida), criando assim um "par de quadratura" (§7.1.9, embora aqui de amplitudes desiguais).

D. Osciladores LC Em altas frequências (digamos, acima de um megahertz), um método favorito de geração de ondas senoidais é usar algum tipo de *ressonador* para estabelecer a frequência de oscilação. O próprio ressonador pode ser elétrico (por exemplo, um circuito *LC),* ou eletromecânico (por exemplo, um cristal de quartzo piezoelétrico), ou mesmo atômico ou molecular (por exemplo, um maser de hidrogênio). Alguns ressonadores são facilmente sintonizados (por exemplo, LC), enquanto outros são fixados de forma bastante estável (por exemplo, um cristal de quartzo). Os osciladores baseados em ressonador são fundamentalmente diferentes dos osciladores baseados em *RC* anteriores , porque eles exploram um sistema que possui uma frequência ressonante intrínseca (como um ressonador de cristal), em comparação com a constante de tempo não ressonante de um circuito *RC* (ou mudança de fase). Como essas ressonâncias podem ser estreitas em frequência e estáveis ao longo do tempo, elas são adequadas para o recrutamento no nobre serviço de osci

Começamos com osciladores controlados por LC, que desempenham um papel importante nas comunicações, e nos quais um circuito *LC* sintonizado é conectado a um circuito semelhante a um amplificador para fornecer ganho em sua frequência de ressonância. O feedback positivo geral é então usado para causar uma oscilação sustentada na frequência ressonante do LC; tais circuitos são auto-iniciantes.

A Figura 7.25 mostra duas configurações populares. O primeiro

32 Os efeitos do carregamento fazem com que esses valores se desviem do ideal = totalmente isolados) valores de ÿ ÿ3/RC e fator de perda de 8. (estágios

circuito é o confiável oscilador Colpitts,33 um *LC* sintonizado em paralelo na entrada, com feedback positivo da saída (em fase invertida, porque o JFET está invertendo). Para este circuito, operando a 20 MHz, a distorção é normalmente inferior a -60 dB. O segundo circuito é um oscilador Hartley, construído com um transistor *npn ;* o capacitor variável é para ajuste de frequência. Como um amplificador de base comum não é inversor, o sinal de realimentação não é invertido. Ambos os circuitos usam *acoplamento de link de saída,* apenas algumas voltas de fio atuando como um transformador abaixador.

Uma terceira configuração de oscilador – o oscilador acoplado ao emissor (ou oscilador Peltz) – é mostrada na Figura 7.26, que é usada no chip 1648 "oscilador controlado por tensão" da família de lógica digital ECL III.34 Você pode pensar nisso como um amplificador diferencial não inversor de realimentação, com um *LC* paralelo para definir a frequência de oscilação. O 1648 operará a 200 MHz, com a frequência de operação definida, como de costume, pela frequência de ressonância do *LC paralelo: ÿLC.* = 1/2 pureza tal ÿ Embora a folha de dados afirme "alta especificação f0", descobrimos que ela é, na melhor das hipóteses, medíocre quando comparada com um oscilador Clapp usando um único JFET (consulte a Figura 7.30 mais adiante nesta seção).

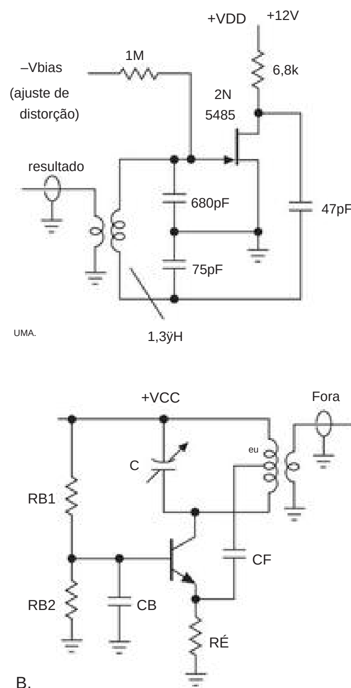


Figura 7.25. Configurações populares do oscilador *LC* . A. Colpitts com capacitor ressonante com derivação central. B. Hartley com um indutor ressonante com derivação central.

Sintonização elétrica

Os osciladores *LC* podem ser ajustados *eletricamente* em uma faixa de frequência modesta. O truque é usar um capacitor de tensão variável ("varactor") no circuito *LC* de determinação de frequência. A física das junções de diodo fornece a solução, na forma de um simples diodo com polarização reversa: a capacitância de uma junção *pn* diminui com o aumento da tensão reversa (§1.9.5B). Embora qualquer diodo atue como um varactor, você pode obter diodos varactor especiais projetados para esse fim; A Figura 7.27 mostra as características de ajuste de alguns tipos representativos. E a Figura 7.28 mostra como usar um varactor para obter ±1% de sintonização elétrica, neste caso com um oscilador JFET do tipo Armstrong simples (com realimentação acoplada ao transformador da fonte). Neste circuito, a faixa de sintonia foi feita deliberadamente pequena para obter boa estabilidade, usando um capacitor fixo relativamente grande (100 pF) desviado por um pequeno capacitor sintonizável (valor máximo de 15 pF). Observe o grande resistor de polarização (para que o circuito de polarização do diodo não carregue a oscilação) e o capacitor de bloqueio CC.

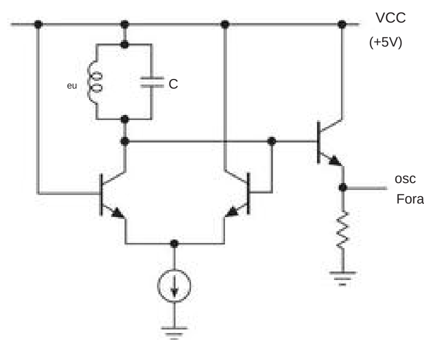


Figura 7.26. Oscilador acoplado ao emissor, uma versão simplificada daquela usada no IC da família MC1648 ECL.

Varactors normalmente fornecem uma capacitância máxima de alguns picofarads a algumas centenas de picofarads, com um tun intervalo de cerca de 3:1 (embora existam atores de variação ampla com proporções tão altas quanto 15:1). Como a frequência ressonante de um circuito *LC* é inversamente proporcional à raiz quadrada da capacitância, é possível atingir faixas de sintonia de até 4:1 em frequência, embora normalmente você esteja falando sobre uma faixa de sintonia de ±25%. ou então.

Em circuitos sintonizados por varactor, a própria oscilação (bem como o viés de ajuste CC aplicado externamente) aparece no varactor, fazendo com que sua capacitância varie no sinal

33 Edwin H. Colpitts, patente dos EUA 1624537, registrada em 1918, mas não concedida até 1927.

34 É um *oscilador;* mas para obter o controle de tensão, você deve usar um varactor de ajuste, conforme explicado abaixo.

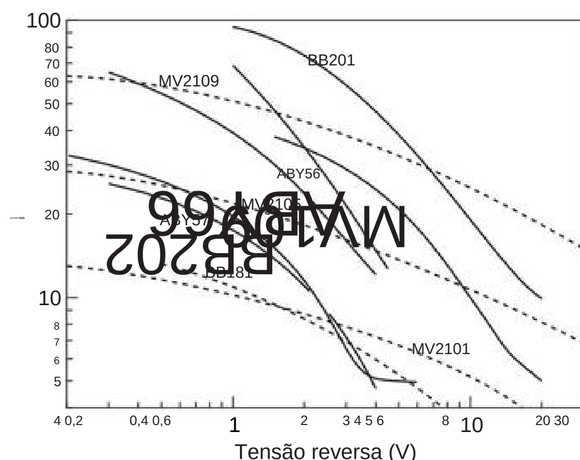


Figura 7.27. Um diodo com polarização reversa exibe capacitância que varia com a tensão aplicada, mostrada aqui para vários diodos de ajuste "varac tor" típicos. Aqueles com curvas sólidas mais íngremes têm junções de diodo "hiper abruptas".

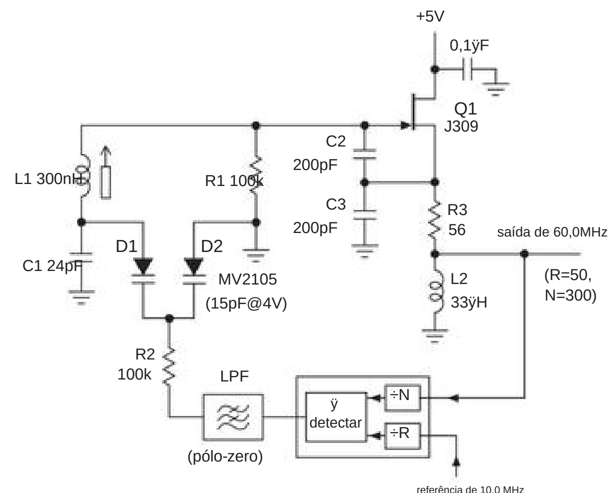


Figura 7.29. Oscilador JFET LC de baixo ruído, usado dentro de um loop de bloqueio de fase (consulte §13.13). Esse projeto tem ruído de banda lateral excepcionalmente baixo, conforme mostrado no espectro da Figura 7.30.

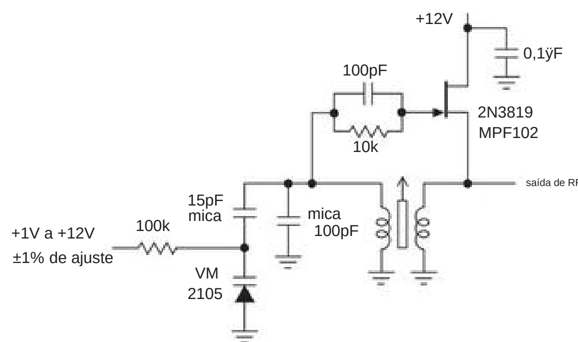


Figura 7.28. Oscilador *LC* sintonizado por Varactor .

frequência. Isso produz distorção na forma de onda do oscilador e, mais importante, faz com que a frequência do oscilador dependa um pouco da amplitude da oscilação. Para minimizar esses efeitos, você deve limitar a amplitude da oscilação (amplifique nos estágios seguintes, se precisar de mais saída); além disso, é melhor manter a tensão de polarização do varactor CC acima de um volt ou mais, a fim de tornar a tensão oscilante pequena em comparação.

Uma técnica adicional que ajuda a mitigar esse efeito de polarização do sinal é usar um par em série de atores var consecutivos, de modo que a tensão oscilante vista pelos dois atores var aja para alterar suas capacitâncias em direções opostas. Isso é ilustrado no oscilador de baixo ruído da Figura 7.29 (veja também a Figura 6.8), usado dentro de um loop de travamento de fase (§13.13) para produzir um "oscilador local" limpo de 60 MHz para um receptor de radioastronomia. Essa configuração específica é conhecida como oscilador de Clapp, para o qual a fre

a frequência é normalmente definida pela série ressonante *L1C1.* Aqui adicionamos uma capacitância paralela em C1, consistindo no par de varactores em série. A tensão de ajuste é aplicada via R2, o que coloca ambos em polarização de retorno igual (em relação aos seus ânodos em zero volts). Os varactores, de igual capacitância, levam cada um a metade da tensão de oscilação, produzindo mudanças de capacitância de sinal oposto e (se o sinal não for muito grande) de magnitude aproximadamente igual. O efeito líquido é uma mudança bastante reduzida na capacitância do par em série e, portanto, menor distorção e redução de frequência. A pureza do sinal medido foi aproximadamente 10 dB melhor do que um bom sintetizador de frequência comercial (HP 3325A). Um espectro de frequência de sua saída é mostrado na Figura 7.30, onde sua pureza de sinal é comparada com a de um oscilador acoplado a emissor MC1648 usando componentes *LC* semelhantes e operando aproximadamente na mesma frequência.35 Os osciladores sintonizáveis eletricamente são

usados extensivamente para gerar modulação de frequência , bem como em loops bloqueados de fase de RF como este. Os PLLs são tratados no Capítulo 13.

Por razões históricas, devemos mencionar um primo próximo do oscilador *LC ,* ou seja, o oscilador diapasão. Ele usou as oscilações de alto Q de um diapasão metálico como elemento determinante de frequência de um oscilador e encontrou uso em padrões de baixa frequência (estabilidade de algumas partes por milhão, se executado em um forno de temperatura constante) como assim como em relógios de pulso. Esses objetos foram super

[35] Para preservar a pureza espectral de funcionamento livre do oscilador quando incorporado ao PLL, incluímos um trap *LC* para suprimir esporões na frequência de referência de 200 kHz do detector de fase, consulte a Figura 6.8.

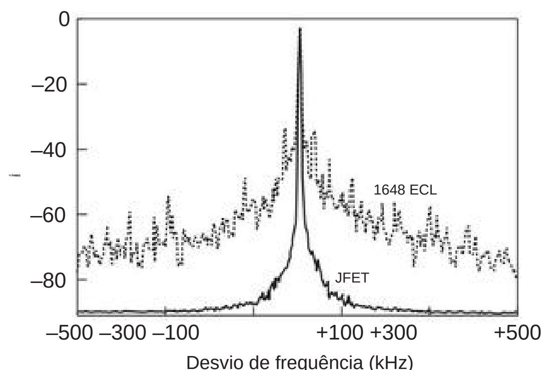


Figura 7.30. Espectro de frequência do oscilador JFET *LC* de 60 MHz da Figura 7.29, comparado com o de um oscilador ECL bipolar (MC1648). Vertical: 10 dB/div. Horizontal: 200 kHz/div.

selados por osciladores de quartzo ("cristal"), que são discutidos em §7.1.6. Curiosamente, no entanto, os cristais de quartzo feitos para operação de *baixa frequência* (por exemplo, os 32,768 kHz usados em relógios de pulso) oscilam em um modo de diapasão mecânico.

E. Oscilações parasitas Suponha que você acabou de fazer um bom amplificador e está testando-o com uma entrada de onda senoidal. Você muda o gerador de função de entrada para uma onda quadrada, mas a saída continua sendo uma onda senoidal! Você não tem um amplificador; você tem problemas.

As oscilações parasitárias normalmente não são tão flagrantes quanto esta. Eles geralmente são observados como imprecisão em parte de uma forma de onda, operação errática da fonte de corrente, compensações inexplicadas do amplificador operacional ou circuitos que se comportam normalmente com a ponta de prova do osciloscópio aplicada, mas enlouquecem quando o escopo não está olhando. Estas são manifestações bizarras de oscilações parasitas indomadas de alta frequência causadas por osciladores Hartley ou Colpitts não intencionais que exploram indutâncias de chumbo e capacitâncias intereletrodos.

O circuito na Figura 7.31 mostra uma fonte de corrente oscilante, nascida em um curso de laboratório de eletrônica onde um volt-ohm-miliamperímetro (VOM) analógico foi usado para medir a complacência de saída de uma fonte de corrente de transistor padrão.
A corrente parecia variar excessivamente (5% a 10%) com variações de tensão de carga dentro de sua faixa de conformidade esperada, um sintoma que poderia ser "curado" enfiando o dedo no cabo do coletor! A capacitância combinada do medidor e a capacitância coletor-base do transistor ressoaram com a indutância do medidor em um circuito oscilador Hartley clássico, com realimentação fornecida pela capacitância coletor-emissor. Adicionar um pequeno resistor em série com a base suprimiu a oscilação reduzindo o ganho de base comum de alta frequência. Este é um truque que muitas vezes ajuda.

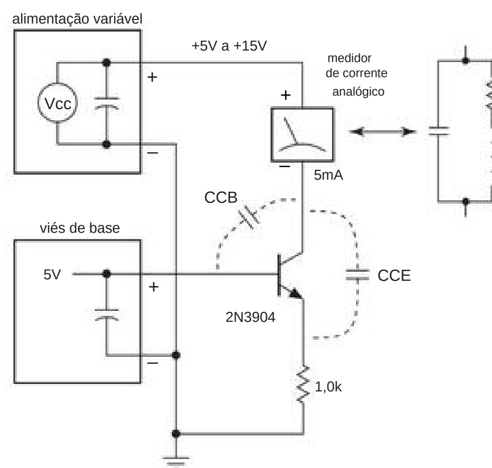


Figura 7.31. O oscilador Hartley não intencional causa danos à fonte de corrente.

Existem oportunidades para oscilações parasitas em qualquer circuito ativo que tenha ganho. Você só precisa estar alerta e prestar atenção a qualquer comportamento inesperado ou estranho do circuito.
Às vezes, você verá os sinais indicadores de fuzz em apenas uma parte da forma de onda. Com a experiência, você reconhecerá os sintomas de oscilações em amplificadores operacionais (geralmente na vizinhança de fT, digamos, um megahertz) ou em transistores discretos de pequenos sinais (geralmente entre 10 e 100 megahertz).

"Pegar"

É fácil[36] confundir várias formas de *captação* de sinal com uma oscilação, porque elas também podem causar fuzz no sinal exibido. Se você suspeitar de pickup, verifique se você tem 60 Hz[37] (ou talvez 120 Hz), uma indicação clara de acoplamento da linha de força. Isso pode se originar no acoplamento capacitivo a um ponto de alta impedância no circuito. Ou pode vir do acoplamento indutivo em uma parte do seu circuito que possui alguma área geométrica ligada pelo campo magnético alternado. Uma terceira possibilidade é através de um *loop de aterramento* (partes do circuito referenciadas a aterramentos locais que não estão no mesmo potencial). Mesmo em um circuito bem projetado, este último problema pode ser grave, por exemplo, quando ele está conectado a algum instrumento externo que está conectado a uma tomada de energia CA diferente. Captação de frequência mais alta também é comum: acoplamento de fontes de alimentação chaveadas (tratado no Capítulo 9), geralmente na faixa de 20 kHz a 1 MHz; ou

[36] Mais fácil do que você imagina, devido (entre outras coisas) à confusão causada pelo "aliasing" em osciloscópios digitais. [37] 50 Hz se você mora em quase qualquer lugar que não seja as Américas (ou um dos outros enclaves de 60 Hz espalhados globalmente).



Figura 7.32. Pacotes de cristal de quartzo. Na linha superior estão módulos osciladores completos nos tamanhos DIP-8 e DIP-14; uma alternativa muito menor é o minúsculo módulo oscilador de montagem em superfície de 7 mm × 5 mm no centro inferior. O objeto estranho no meio é um cristal nu, mostrado com suas placas de eletrodos acionadas por mola. Você não os vê mais; em vez disso, os cristais vêm em embalagens seladas conhecidas como (da esquerda para a direita, linha inferior) HC49/U, HC49/US e tubulares de 3 mm. Tivemos a sorte de encontrar aquela estranha caixa de vidro à direita: dentro você pode ver o lindo disco de quartzo com seus eletrodos folheados.

captação de RF modulada de estações de transmissão (as alocações dos EUA são 0,5 MHz–1,7 MHz para AM, 88 MHz–108 MHz para FM e em qualquer lugar de 55 MHz–700 MHz para televisão).

7.1.6 Osciladores de cristal de quartzo

Os osciladores de relaxação *RC* (ou capacitor mais fonte de corrente) podem facilmente atingir estabilidades próximas a 0,1%, com previsibilidade inicial de 5% a 10%. Isso é bom o suficiente para muitas aplicações, como um visor fluorescente a vácuo (VFD) no qual os caracteres individuais de um visor de vários caracteres são acionados sequencialmente em rápida sucessão (uma taxa geral de 100 Hz é típica); isso é chamado de *display multiplexado* (veja o exemplo de circuito em §10.6.2). Apenas um caractere é aceso por vez, mas, se toda a tela for “atualizada” com rapidez suficiente, seu olho verá toda a tela sem oscilações óbvias. Em tal aplicação, a taxa precisa é bastante irrelevante - você só quer algo no estádio.

Como fontes estáveis de frequência, os osciladores *LC* podem se sair um pouco melhor, com estabilidades de 0,01% em períodos de tempo razoáveis. Isso é bom o suficiente para aplicativos não exigentes, como um rádio barato. Ambos os tipos de osciladores são facilmente ajustáveis – com uma variável *R* ou fonte de corrente (para o oscilador de relaxamento) e com um capacitor mecanicamente ou eletricamente sintonizável, ou um indutor *slug-tuned* (para o oscilador *LC).*

Mas para estabilidade real não há substituto para um oscilador de cristal. Este usa um pedaço de quartzo (dióxido de silício, o principal ingrediente do vidro) que é cortado e polido para vibrar mecanicamente em uma certa frequência. O quartzo é *piezoelétrico* (uma tensão gera uma voltagem e vice-versa), então as ondas acústicas no cristal podem ser conduzidas por um campo elétrico aplicado e, por sua vez, podem gerar uma voltagem na superfície do cristal. Ao chapear alguns contatos na superfície, você acaba com um elemento de circuito elétrico honesto que pode ser modelado por um circuito *RLC* altamente ressonante , pré-sintonizado para alguma frequência (que é a frequência ressonante mecânica da pequena laje de quartzo de cristal único).).

Os cristais de quartzo vêm embalados como componentes nus ou como módulos osciladores completos; alguns exemplos são mostrados na Figura 7.32.

O alto *Q* do cristal de quartzo (normalmente em torno de 104–105) e a boa estabilidade o tornam natural para o controle do oscilador, bem como para filtros de alto desempenho. Tal como acontece com os osciladores *LC ,* o circuito equivalente do cristal fornece feedback positivo e ganho na frequência ressonante, levando a oscilações sustentadas.

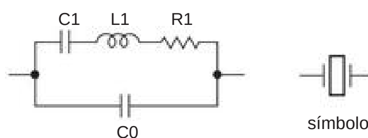


Figura 7.33. Circuito equivalente de cristal de quartzo. C0 é a capacitância real do eletrodo e do condutor, enquanto a série *RLC* modela a ressonância mecânica acoplada eletricamente. Valores típicos para um cristal de 1 MHz podem ser C0=4 pF e, para a série *RLC,* 1 H, 0,02 pF e 75 ÿ (Qÿ105).

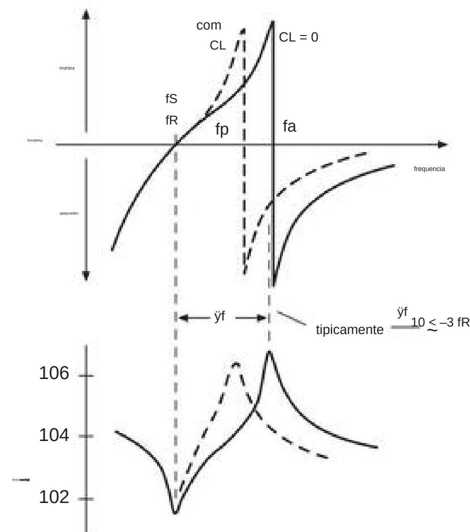


Figura 7.34. Reatância e magnitude da impedância de um cristal de quartzo perto de suas ressonâncias, em uma escala de frequência muito expandida. fS e fa são as frequências ressonantes em série e em paralelo [mais precisamente, as frequências ressonante (fR) e antirressonante (fa) , respectivamente]. Uma capacitância externa adicional CL reduz a frequência de ressonância paralela para fp, quando operada nesse modo.

A. Modos série e paralelo O comportamento ressonante do cristal, conforme modelado por seu circuito equivalente, merece alguma explicação adicional. O circuito equivalente contém dois capacitores, fornecendo um par de frequências ressonantes em série e paralelo próximas (dentro de 0,1%) (Figura 7.33). O efeito é produzir uma reatância que varia rapidamente com a frequência (Figura 7.34).

O rótulo "frequência ressonante" fR é dado à frequência ressonante em série de L1 e C1 (também chamada de frequência ressonante em série fS), de modo que a reatância líquida em série passa de capacitiva (abaixo de fR) para indutiva (acima de fR). Em fR , a reatância líquida do par em série *(L1 e C1)* é zero e a magnitude da impedância é mínima (e igual a R1).38 Ligeiramente acima disso em frequência (normalmente ÿ0,1% maior) está a "frequência antirressonante" fa, onde a combinação em série de C0 e C1 (que é ligeiramente menor que C1 sozinho) ressoa com L1. (Como alternativa, você pode pensar nisso como a ressonância paralela de C0 com a reatância líquida em série de L1 e C1, que se torna cada vez mais indutiva acima de fR.) Isso também é chamado de frequência ressonante paralela fp, embora esse termo deva ser reservado adequadamente para a situação real do circuito em que uma capacitância de carga externa CL é adicionada intencionalmente em paralelo (mais sobre isso em breve). Nesta frequência *(fa* ou fp) a reatância líquida novamente passa por zero, mas desta vez com um pico na magnitude da impedância. Quando um cristal é operado em ressonância paralela, a capacitância paralela adicional adicionada pelo circuito externo aumenta o C0 do cristal e diminui um pouco a frequência ressonante. Os cristais destinados à operação no modo ressonante paralelo especificarão um valor de capacitância shunt externa (normalmente na faixa de 10 a 35 pF) para oscilação na frequência especificada estampada no cristal.

Esse negócio de paralelo e série é importante, e qualquer dispositivo que use um cristal externo especificará qual modo está usando, junto com algumas orientações sobre pa de cristal. rametros (RS máximo permitido, valor da capacitância paralela). Melhor ainda, você verá uma lista de fabricantes de cristal e números de peça que funcionam corretamente.

B. Explorando um cristal de quartzo

Você pode encontrar muitos esboços como a Figura 7.34. Mas você acredita que eles representam com precisão o que os cristais reais fazem?

Não tínhamos certeza, então, para descobrir, pegamos uma amostra de cristal (um tipo CTS MP100, especificado como 10,0 MHz±45ppm, no modo ressonante em série) e medimos sua impedância com um instrumento de teste de impedância vetorial de alta resolução (um HP4192A). Este último pode medir de 0,01 ÿ a 200 kÿ, com resolução de 1 Hz, e em frequências de até 13 MHz – perfeito para este trabalho. Nosso cristal particular tinha uma frequência de ressonância em série medida de fS = 10,000086 MHz (que é um erro de frequência de +8,6 ppm), uma impedância (resistiva) na ressonância de R1 = 4,736 ÿ e uma capacitância paralela de C0 = 5,5 pF . Conhecemos o produto *L1C1* (da frequência ressonante), mas não seus valores individuais.39 Mas podemos obtê-los indiretamente, medindo a frequência paralela (anti)ressonante (não especificada) e sua variação

[38] Lembre-se de que a impedância de um paralelo ideal *LC* vai para o infinito na ressonância, enquanto a de uma série *LC* vai para zero; §1.7.14.

[39] Lembre-se de que não há nenhum indutor ou capacitor real lá. Estes representam o equivalente elétrico do cristal mecânico nitidamente ressonante, como acoplado piezoeletricamente pelos eletrodos conectados. Eles são algumas vezes chamados de indutor e capacitor "mocional".

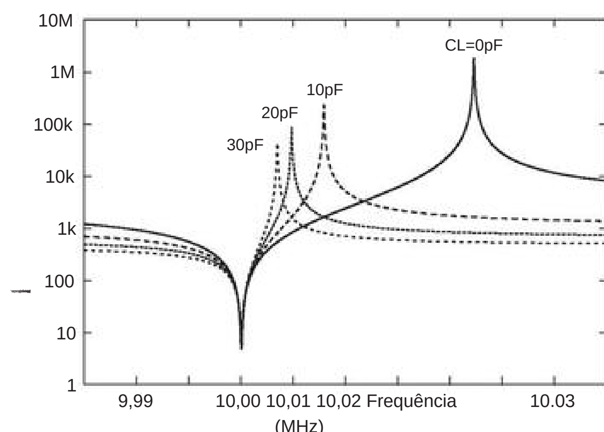


Figura 7.35. Impedância versus frequência para uma amostra de cristal ressonante em série de 10,0 MHz, conforme modelado pelo SPICE a partir de valores medidos de seu modelo elétrico *RLC* . Curvas para quatro valores de capacitância paralela CL são plotados.

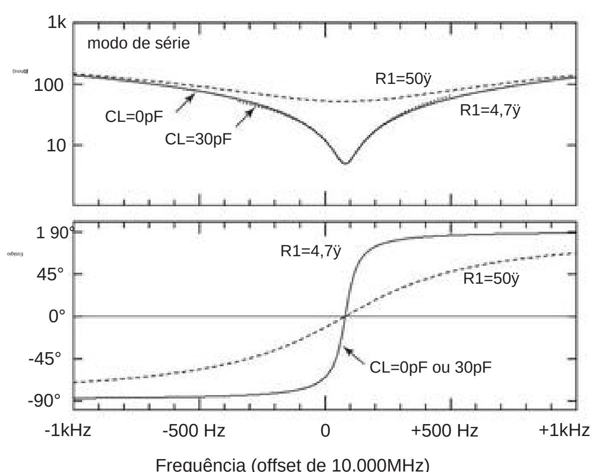


Figura 7.36. Impedância e fase na vizinhança da ressonância em série, para o cristal de 10,0 MHz da Figura 7.35. Observe que os gráficos de impedância e fase não são afetados pela capacitância externa. A ressonância de alto Q de nossa amostra, com seu R1=4,7 ÿ, é consideravelmente degradada para um cristal com R1=50 ÿ especificado no pior caso .

com adição de capacitância paralela externa CL. Estes nós medimos como fa=10,02245 MHz (sem CL: apenas C0) e fp=10,00355 MHz (com CL=30 pF capacitância paralela externa).

A partir deles, podemos recuperar os valores de L1 e C1, ou seja, 10,3324 mH e 0,024515 pF.40 E com esses valores, podemos desfrutar de muitas horas felizes executando o simulador SPICE, para aprender como os gráficos da impedância do cristal, mudanças de fase e Q -valor realmente olha. As Figuras 7.35, 7.36 e 7.37 mostram esses resultados.

Estes mostram o mínimo esperado na frequência de ressonância em série fR (onde |Z|=4,7 ÿ), e que varia muito pouco com a capacitância externa (não visível, de fato, mesmo no gráfico expandido da Figura 7.36; isto é, muito menos que 1 ppm indo de CL=0 pF a 30 pF). Em contraste, a frequência *ressonante* paralela (impedância máxima) depende relativamente fortemente da capacitância externa, que efetivamente "puxa" sua ressonância para baixo em ~2000ppm quando 30 pF é adicionado.

O fato da ressonância paralela ser maior que os 10,0 MHz estampados na caixa não significa que haja algo de "errado" com este cristal. Sua frequência é simplesmente especificada para operação de circuito ressonante em série. Se fosse especificado para operação ressonante paralela, esta amostra em particular seria marcada como "10.00355 MHz" e especificaria "CL=30 pF".

um cristal de frequência padrão de 10,0 MHz especificado para o modo paralelo; para este fabricante que teria o número de peça MP101.)

Pelas mudanças de frequência relativamente grandes com capacitância de carga, fica claro que você deve ter cuidado ao usar a capacitância de carga especificada (levando em consideração a fiação e as capacitâncias do chip) ao operar um cristal no modo ressonante paralelo. Olhando pelo lado positivo, isso significa que você pode usar um capacitor variável externo para ajustar a frequência de operação (ou bloqueá-la, em uma faixa estreita, usando um capacitor varactor sintonizável eletricamente). Do lado negativo, significa que mesmo pequenos desvios na capacitância do circuito externo causarão mudanças de frequência. Por exemplo, para atingir a estabilidade de frequência de 0,1 ppm (assumindo que o cristal é bom em relação à temperatura ou ao tempo), a capacitância externa não deve mudar em mais de 0,002 pF; esta é provavelmente uma restrição difícil para o amplificador externo que fecha o loop de oscilação.

Nosso cristal mediu um valor impressionantemente baixo de R1 = 4,7ÿ, em comparação com o máximo de pior caso do fabricante de 50 ÿ. Para ver como isso muda as coisas, incluímos esse valor de pior caso nos gráficos expandidos das séries e ressonâncias paralelas (Figuras 7.36 e 7.37). Para a ressonância em série, o mínimo de impedância é mais raso e a mudança de fase versus frequência é mais suave. o

40 Fórmulas, para quem quiser: C1 = 2(1 ÿ fB/ fA)/(1/CA ÿ fS)2. 1/CB), então L1 = 1/C1(2 ÿ

41 Mais fórmulas: a carga capacitiva produz uma frequência ressonante paralela fP = fS{1 +C1/2(C0 +CL)}. E, conhecendo o pa do cristal amperímetros, a capacitância de carga necessária para obter uma frequência de ressonância paralela *fP* é CL = { fSC1/2(fP ÿ fS)} ÿC0.

mudança de fase mais rasa (ÿ1.3ÿ/ppm, versus ÿ13ÿ/ppm) significa que o circuito do oscilador externo deve manter mudanças em seu deslocamento de fase uma ordem de grandeza menor para manter a mesma estabilidade (aqui 0,13ÿ versus 1,3ÿ, para estabilidade de 0,1 ppm). Em um circuito oscilador, tal cristal seria menos estável contra outras variações nos parâmetros do circuito também (impedância de entrada do amplificador, ganho, etc.) e, de fato, pode se recusar a oscilar totalmente. Pior ainda, o circuito pode oscilar em uma frequência não relacionada, uma situação infeliz que encontramos mais de uma vez.

Finalmente, o gráfico expandido em torno da ressonância paralela, para um único valor de capacitância de carga (CL=30 pF; os outros estão fora de escala), mostra o mesmo tipo de degradação *Q* com R1 máximo (pior caso) especificado. É interessante notar que a nitidez da mudança de fase (e largura do máximo de impedância) é semelhante à do caso de ressonância em série, ao contrário do que você ouvirá às vezes.

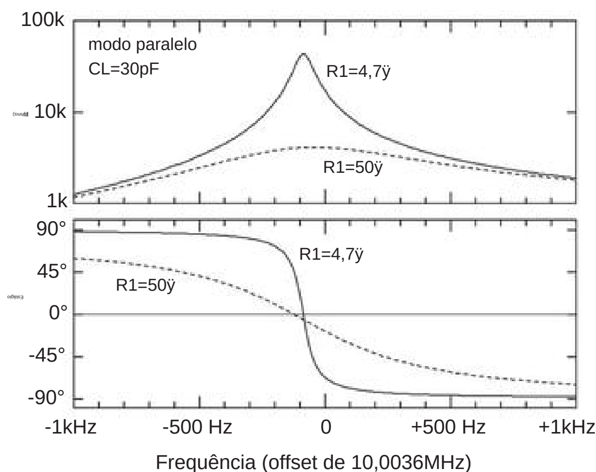


Figura 7.37. Impedância e fase na vizinhança da ressonância paralela para o cristal de 10,0 MHz da Figura 7.35. Aqui apenas um valor de capacitância de carga (CL=30 pF) é mostrado, porque os outros valores estão completamente fora de escala. Mais uma vez, a alta ressonância *Q* de nossa amostra é consideravelmente degradada para um cristal com R1 = 50 ÿ especificado no pior caso .

Para completar o circuito do oscilador, o cristal é conectado dentro de um circuito de feedback positivo. Alguns circuitos osciladores comuns são mostrados em §7.1.6D, onde você verá capacitâncias de carga externas, um resistor de grande valor para completar o caminho de polarização e (às vezes) um resistor em série menor. Você pode simular a configuração completa do circuito, se quiser, usando o modelo de cristal acima.42 Fizemos isso, mas vamos mostrar moderação e concluir esta discussão, declarando vitória ao revelar a natureza dessas ressonâncias cristalinas muitas vezes mal compreendidas.

C. Frequências de cristal padrão Os cristais de quartzo estão disponíveis de cerca de 10 kHz a cerca de 30 MHz, com cristais de modo harmônico indo para cerca de 250 MHz. Embora os cristais devam ser encomendados para uma determinada frequência, a maioria das frequências comumente usadas está disponível na prateleira. Frequências como 100 kHz, 1,0 MHz, 2,0 MHz, 4,0 MHz, 5,0 MHz e 10,0 MHz são sempre fáceis de obter. Um cristal de 3,579545 MHz foi usado em osciladores de explosão de cores de TV analógica. Os relógios de pulso digitais usam 32,768 kHz (dividido por 215 para obter um útil 1 Hz), e outras potências de 2 também são comuns. Um oscilador de cristal pode ser ligeiramente ajustado variando um capacitor em série ou em paralelo, por exemplo, um dos capacitores de 27 pF ou 32 pF nas Figuras 7.38D e E. Dado o baixo custo dos cristais (muito menos de um dólar), é vale a pena considerar um oscilador de cristal em qualquer aplicação onde você teria que forçar as capacidades dos osciladores de relaxamento *RC.43*

Embora os osciladores de cristal não sejam sintonizáveis, da mesma forma que os osciladores de relaxação ou os osciladores baseados em LC, você pode usar um varactor para variar alguma capacitância externa adicional, "puxando" assim a frequência natural de um oscilador de cristal de quartzo de modo paralelo. O circuito resultante é chamado de "VCXO" (oscilador de cristal controlado por tensão) e aumenta a estabilidade boa a excelente dos osciladores de cristal com um pequeno grau de ajuste. A melhor abordagem é provavelmente comprar um VCXO comercial, em vez de tentar criar o seu próprio. Normalmente, eles produzem desvios máximos de ±10 ppm a ±100 ppm da frequência central, embora também estejam disponíveis unidades de grande desvio (até ±1000 ppm).

Uma alternativa, e popular nisso, é sintetizar tamanho (com um loop de bloqueio de fase, §13.13, ou por síntese digital direta, §7.1.8) qualquer frequência de saída desejada, usando um oscilador de cristal de frequência fixa saída como uma "referência". A frequência sintetizada pode ser alterada facilmente sob controle digital e é tão estável quanto o próprio oscilador de cristal. Como consequência, a maioria dos equipamentos de comunicação contemporâneos (rádios, televisores, transmissores, telefones celulares, etc.) utilizam a síntese DDS ou PLL para gerar as frequências internas necessárias.

[42] Os leitores não familiarizados com o SPICE podem se beneficiar do Apêndice J.

[43] Um desafiante recente na categoria de oscilador baseado em ressonador de baixo custo é o MEMS (sistemas microeletromecânicos), no qual o ressonador é feito como uma pequena estrutura de silício gravado. Embora esses osciladores não sejam tão estáveis quanto o quartzo, eles podem ser *muito* pequenos (a SiTime faz uma série que mede 2 mm × 2,5 mm × 0,8 mm) e podem incorporar circuitos de compensação de temperatura e síntese de frequência naturalmente dentro da mesma tecnologia de silício.

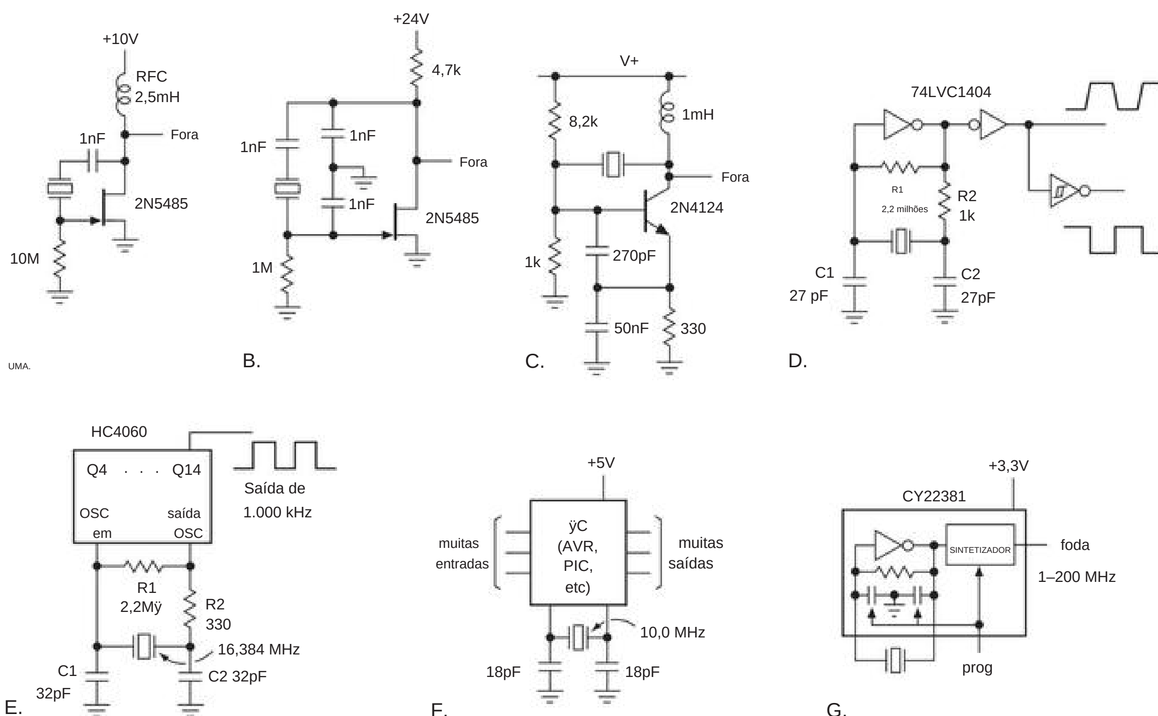


Figura 7.38. Vários osciladores de cristal. Os circuitos D–G exploram partes de circuitos lógicos digitais: um inversor, um contador binário de 14 estágios, um microcontrolador e um sintetizador de frequência, respectivamente.

D. Circuitos osciladores de cristal A Figura 7.38 mostra alguns circuitos osciladores de cristal. No circuito A, o clássico oscilador Pierce implementado com o versátil FET (consulte o Capítulo 3). O oscilador Colpitts, com um cristal em vez de um *LC,* é mostrado no circuito B. Um transistor bipolar *npn* com o cristal como elemento de feedback é usado para o circuito C. Os circuitos restantes geram saídas de nível lógico usando funções lógicas digitais (circuitos D a G). É comum ver um inversor lógico sem buffer (ou seja, um único par de transistores CMOS, como na Figura 3.90) usado como um oscilador de cristal (Figura 7.38D); nessa aplicação, o inversor é polarizado na região linear com um resistor de realimentação de alto valor, com o cristal fornecendo realimentação ressonante (modo paralelo). O LVC1404 é projetado especialmente para esta aplicação, com seu par de inversores sem buffer mais um inversor Schmitt-trigger opcional (para gerar transições abruptas de saída); para baixas tensões (até 0,8 V) o 'AUP1GU0444 funciona bem. Neste circuito (e na Figura 7.38E) o resistor em série R2 deve ser escolhida comparável à reatância de C2 na frequência do oscilador.45 Façamos uma pausa para perguntar como esses

últimos circuitos de modo paralelo podem oscilar, dado que o cristal tem um deslocamento de fase de 0ÿ em sua ressonância (seja em série ou em paralelo modo; ver Figuras 7.36 e 7.37). O que acontece é que a capacitância de carga CL é, na verdade, conectada como um par de capacitores *(C1* e C2) em série, com o ponto médio aterrado. Portanto, quando há uma voltagem oscilante no cristal, as duas extremidades oscilam 180° fora de fase uma da outra; é como um enrolamento de transformador com derivação central. O amplificador inversor completa a mudança de fase de 360° necessária para uma oscilação sustentada.

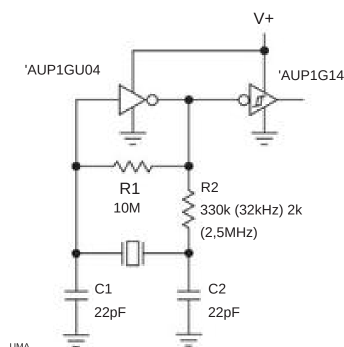
Voltando aos circuitos restantes na Figura 7.38, é bastante comum ver um par de terminais "XTAL" em CIs digitais mais complexos (microprocessadores, sintetizadores de forma de onda, chips de comunicação serial etc.), um convite ao uso do oscilador interno do chip circuito (geralmente um inversor sem buffer pré-polarizado). Nas Figuras 7.38E-G, mostramos três desses exemplos - uma frequência binária de 14 estágios

[44] Nossa prática é retirar prefixos sem importância (daí o apóstrofo) ao falar sobre lógica digital padrão, como explicaremos no Capítulo 10.

45 Por exemplo, ÿ330 kÿ para um oscilador de 32 kHz e ÿ1 kÿ para um oscilador de 5 MHz.



Figura 7.39. O cobiçado relógio de pulso com logotipo da Art of Electronics funciona por 3 anos em uma célula de 1,5 V, 28 mAh - isso é apenas 1 microamp!



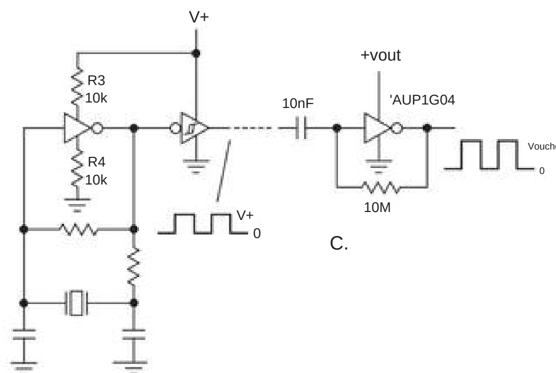


Figura 7.40. Oscilador de cristal de micropotência. A. Oscilador inversor sem buffer com segundo estágio Schmitt. B. Reduzindo a corrente linear "disparada". C. O oscilador de baixa tensão aciona o inversor de saída de tensão total.

divisor gerando uma saída precisa de onda quadrada de 1.000 kHz, um microcontrolador cujo tempo da porta serial é definido pelo cristal externo de 10,0 MHz e um chip sintetizador de frequência que gera frequências precisas necessárias para aplicações como multimídia, comunicações e conversão de dados (através de um PLL programável, fout de 1 MHz a 200 MHz).

A Figura 7.39 mostra uma aplicação de nicho interessante para osciladores de cristal, o "relógio de pulso de quartzo". Você precisa da estabilidade do quartzo aqui (existem 86.400 segundos em um dia, então a estabilidade de "apenas" 1 parte em 104 causaria um desvio de um minuto por semana); e, você precisa de energia *muito* baixa. Esses produtos baratos produzidos em massa operam seus osciladores, componentes eletrônicos do divisor de frequência e acionam a energia de um minúsculo motor de passo com um orçamento de energia de cerca de um microwatt.

Um projeto de micropotência

Desafiados pela potência surpreendentemente baixa dos circuitos de relógio de pulso de oscilador de quartzo altamente personalizados, examinamos mais a fundo o que pode ser feito usando apenas componentes padrão. Escolhemos a família lógica 74AUP de baixa tensão (especificada para operação de 0,8–3,3 V) e testamos a configuração Pierce ressonante paralela padrão, usando um inversor sem buffer para o oscilador seguido por um segundo estágio do inversor Schmitt para gerar uma forma de onda de comutação (Figura 7.40A).

A corrente de alimentação total medida versus a tensão de alimentação é plotada na Figura 7.41 para um cristal de 32,768 kHz (relógio de pulso) e um cristal de 2,5 MHz; essas curvas (marcadas como "R3 = R4 = 0") mostram um rápido aumento na corrente de alimentação com o aumento da tensão de alimentação, causado pela corrente do oscilador "classe A" (a condução sobreposta do par de inversores nMOS e pMOS para alimentação intermediária tensões de entrada; consulte a Figura 10.101) durante as transições da forma de onda de entrada.

Um bom truque para reduzir bastante esse efeito é adicionar um par de resistores nos condutores de alimentação (Figura 7.40B); isso produziu a curva de corrente de alimentação marcada como "R3=R4=10k", um fator de redução de 20–50 para o oscilador de 32,768 kHz. Portanto, temos um oscilador sub-microamp de 32 kHz - mas apenas para tensões de saída inferiores a um volt, que é menor do que qualquer dispositivo lógico que você queira que o oscilador acione. O truque final é usar esse oscilador de baixa tensão para acionar um estágio de saída de tensão total (Figura 7.40C), com um capacitor de bloqueio e um grande resistor de realimentação para polarizar o estágio de saída em sua região linear. Com o oscilador e o segundo estágio operando a 1,0 V, alimentando um terceiro estágio do inversor de saída polarizado operando a 1,8 V, medimos 2,4 A de corrente total de alimentação, em comparação com 12,8 ÿ A para o oscilador de 2 estágios sozinho (Figura 7.40B) funcionando a 1,8 V; isso é uma melhoria de cinco vezes.46 Esses experimentos modestos levam à pergunta óbvia:

46 O valor análogo para um estágio de saída de 2,5 V foi 13,8 2,4 ÿ A, um fator de melhor do que o circuito de dois estágios sozinho.

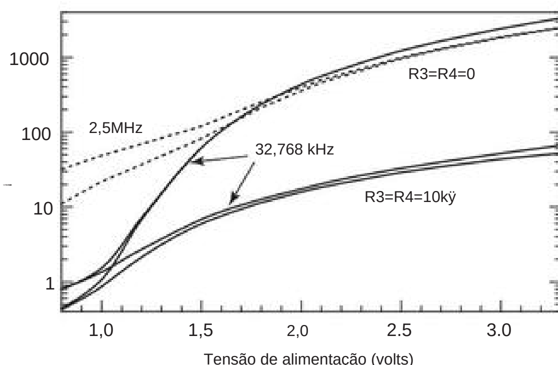


Figura 7.41. Corrente de alimentação medida para os osciladores da Figura 7.40. Cada par de curvas plota a corrente de alimentação de primeiro estágio (inferior) e de dois estágios (superior).

como os relojoeiros fazem isso? Se você pesquisar um pouco, poderá encontrar algumas folhas de dados muito interessantes. Por exemplo, uma empresa chamada "EM Microelectronic" oferece um minúsculo CI, o EM7604, que descreve como um "Circuito oscilador de cristal de baixa potência 32,768 kHz". E eles querem dizer *baixo:* este filhote pode funcionar de 1,2 V a 5,5 V e tem uma corrente de operação típica de 0,3 A ou menos em tensões de alimentação entre 3 V e 5 V. Talvez uma dica interessante sobre sua base de clientes seja fornecida por a notação "Swatch Group Electronic Systems".

E. Um cuidado

O projeto adequado de osciladores de cristal não é nada trivial - é essencial garantir que o produto do ganho do circuito *A* e da perda do cristal *B* (ou seja, o ganho do loop *AB)* seja maior que a unidade e que a fase geral O deslocamento ao redor do loop é um múltiplo inteiro de 360ÿ, na frequência de oscilação desejada.47 A perda de cristal (causada por RS no circuito equivalente) pode impedir a oscilação adequada, com a capacitância shunt CP sozinha fornecendo um caminho adequado para oscilação em uma frequência não relacionada àquela estampada no cristal.

Deve-se ter o cuidado, também, de selecionar um cristal destinado a operar em sua ressonância em série ou em paralelo, conforme exigido pelo circuito oscilador externo.48 Chips osciladores e outros CIs que aceitam um cristal externo para seu clock interno (como microcontroladores, veja, por exemplo, a Figura 15.4) indicará isso claramente na folha de dados; aqui está um exemplo, da folha de dados para o sintetizador MPC9230 PLL:

> . . . Como o oscilador é um pouco sensível à carga Com base em suas entradas, o usuário é aconselhado a montar o cristal o mais próximo possível do MCP9230 para evite quaisquer parasitas de nível de placa. . . . Como o projeto ressonante da série é afetado pela carga capacitiva nos terminais XTAL, a variação de carga introduzida por cristais de diferentes fornecedores pode ser um problema em potencial. Para cristais com capacitância shunt mais alta, pode ser necessário colocar uma resistência entre os terminais para suprimir o terceiro harmônico. . . .
>
> O circuito do oscilador é um circuito ressonante em série e, portanto, para um desempenho ideal, um cristal ressonante em série deve ser usado. Infelizmente, a maioria dos cristais é caracterizada em um modo ressonante paralelo.

E aqui está um exemplo da folha de dados de 174 páginas (!) do microcontrolador PIC16F7x, para o qual você conecta o cristal entre dois pinos e um capacitor de cada um ao terra:

> O projeto do oscilador PIC16F7x requer o uso de um cristal de corte paralelo.
>
> ⋮
>
> **Seleção de capacitor para oscilador de cristal (apenas para orientação de projeto):** Esses capacitores foram testados com os cristais listados abaixo para inicialização e operação básicas. Esses valores não foram otimizados. Diferentes valores de capacitores podem ser necessários para produzir uma operação aceitável do oscilador.
>
> O usuário deve testar o desempenho do oscilador no VDD esperado e na faixa de temperatura para a aplicação. Consulte as notas a seguir a esta tabela para obter informações adicionais.
>
> *[uma tabela de cristais de fabricantes selecionados segue, então mais avisos.]*

Esses não são avisos inúteis (embora a severidade de suas isenções de responsabilidade possa ter sido incentivada pelo departamento jurídico da empresa). Em várias situações, descobrimos que os cristais de uma empresa funcionam bem e os de outra, com especificações semelhantes, não. Isso provavelmente se deve a propriedades mal especificadas, como resistência em série efetiva e capacitância de montagem. Nossa experiência com circuitos osciladores de cristal discretos tem sido, bem, duvidosa.

F. Módulos osciladores de cristal

Por razões como essas, preferimos o uso de módulos osciladores completos , para obter confiabilidade à prova de balas. Estes custam mais do que cristais puros,49 mas incluem circuitos osciladores

47 Estes são os chamados *critérios de Barkhausen* para oscilação.

48 Ver, por exemplo, RCA App. Nota ICAN-6539.

49 Normalmente $ 1,50 versus $ 0,30, em quantidades de 100 peças; o dobro disso em quantidades de peça única.

garantia de funcionamento e fornecem saída de onda quadrada de nível lógico. Você pode usá-los como oscilador para qualquer IC ao qual você possa conectar um cristal puro, porque todos esses ICs também aceitarão uma entrada de onda quadrada de clock.

Os módulos do oscilador vêm em pacotes de estilo IC, como DIP padrão e estilos menores de 4 pinos montáveis em superfície. Eles saem da prateleira em muitas frequências padrão (por exemplo, 1, 2, 4, 5, 6, 8, 10, 16 e 20 MHz, até 100 MHz ou mais), bem como algumas frequências estranhas usadas em sistemas de microprocessador (por exemplo, 14,31818 MHz, usado para placas de vídeo; ou 22,118 MHz, um favorito para microcontroladores do tipo 8051 por causa do tempo da porta serial). Esses “módulos de relógio de cristal” normalmente fornecem precisões (sobretemperatura, tensão de alimentação e tempo) de modestos 0,01% (100 ppm), mas você obtém esse desempenho de forma econômica, confiável e não precisa conectar qualquer circuito.

Se você precisar de uma frequência não padrão, poderá obter “módulos osciladores programáveis” que permitem selecionar a frequência, geralmente na faixa de 1 MHz a 125 MHz ou mais; estes custam aproximadamente o dobro dos módulos padrão (cerca de $ 5 cada em pequenas quantidades) e são programáveis "uma vez" (você seleciona a frequência quando faz o pedido; ou você pode comprar um programador por ~ $ 500 e programar o "branco" módulos osciladores no campo). Eles usam técnicas PLL para sintetizar a frequência de saída desejada do oscilador interno de frequência padrão (§13.13).50

Alguns fabricantes de módulos osciladores de cristal (e cerâmica) são Cardinal Components, Citizen, Connor Win field, Crystek, CTS, Ecliptek, ECS, Epson, Fox, Seiko e Vishay.

G. Ressonadores cerâmicos

Antes de passarmos a discutir os osciladores de *maior* estabilidade (§7.1.7), devemos mencionar *os ressonadores cerâmicos.* Como os cristais de quartzo, são ressonadores mecânicos piezoelétricos, com propriedades elétricas semelhantes às do quartzo. Eles vêm em uma seleção limitada de frequências de cerca de 200 kHz a 50 MHz. No entanto, eles são menos precisos (normalmente ±0,3%), com estabilidade correspondentemente pior (normalmente 0,2%–1% em relação à temperatura e ao tempo).
A boa notícia é que eles são pequenos, muito baratos (US$ 0,15 a US$ 0,25 em pequenas quantidades), disponíveis com capacitores embutidos (por cerca de US$ 0,25 a US$ 0,50), geralmente intercambiáveis em qualquer circuito oscilador de cristal de quartzo e podem ser “puxados”. uma faixa de frequência de algumas partes por mil (devido a seu valor *Q* mais baixo). Eles ocupam um nicho útil entre ressonadores *LC* e cristais de quartzo. Eles estão disponíveis em empresas como Abracon, AVX, ECS, Murata, Panasonic e TDK.

50 Alguns fabricantes fornecem módulos que oferecem uma escolha selecionável por pinos de várias frequências. Um exemplo é a série ECS-300C da ECS, que vem em encapsulamentos de 8 pinos, com 3 pinos configurando a relação de divisão binária (de 1/2 a 1/256 da frequência base).

H. Osciladores baseados em

SAW Se você precisa de um oscilador estável em frequências maiores que as suportadas por ressonadores de cristal (ou cerâmica), existe a tecnologia de ondas acústicas de superfície (SAWs), usadas tanto para filtros quanto para osciladores. Você pode obter módulos osciladores SAW na faixa de frequência de 100 MHz a 1 GHz. Eles são minúsculos (assim como os módulos osciladores de cristal) e têm estabilidades comparáveis (50 ppm acima da temperatura). O lado negativo é que apenas um conjunto esparso de frequências padrão está disponível, e essas coisas tendem a ser caras (mais de $ 50, em pequenas quantidades).

Por outro lado, se você quiser criar o seu próprio, pode obter *ressonadores* SAW simples nas frequências que são populares para abridores de portas de garagem, chaveiros e similares (433 MHz é amplamente usado para essas coisas) por cerca de US $ 1 ; adicione um transistor bipolar barato e alguns componentes passivos e você terá um oscilador. Prenda um pequeno pedaço de fio e você terá um transmissor!

7.1.7 Maior estabilidade: TCXO, OCXO e além

Sem muito cuidado, você pode obter estabilidades de frequência de algumas partes por milhão em faixas de temperatura normais com osciladores de cristal. Usando esquemas de compensação de temperatura, você pode criar um TCXO (oscilador de cristal com compensação de temperatura) com desempenho um pouco melhor. Ambos TCXOs e osciladores não compensados estão disponíveis como módulos completos de muitos fabricantes, por exemplo, Bliley, Cardinal Compo nents, CTS Knights, Motorola, Reeves Hoffman, Statek e Vectron. Eles vêm em vários tamanhos, desde módulos até pacotes SMT e DIP. Os TCXOs fornecem estabilidades de 1 ppm na faixa de 0ÿC a 50ÿC (barato) até 0,1 ppm na mesma faixa (caro).

A. Osciladores de temperatura estabilizada

Para o máximo de estabilidade, você pode precisar de um oscilador de cristal em um forno de temperatura constante (“OCXO”). Um cristal com um coeficiente de temperatura zero em alguma temperatura elevada (80ÿC a 90ÿC) é usado, com o termostato ajustado para manter essa temperatura. Esses osciladores estão disponíveis como pequenos módulos para inclusão em um instrumento ou como padrões de frequência completos prontos para montagem em rack. O 1000B da Symmetricom é típico de alto desempenho

osciladores modulares, fornecendo 10 MHz com estabilidades de algumas partes em 1011 em períodos de segundos a horas.

Quando as instabilidades térmicas forem reduzidas a este nível, os efeitos dominantes são o "envelhecimento" do cristal (a frequência tende a aumentar continuamente com o tempo), variações da fonte de alimentação e influências ambientais, como choque e vibração (estes últimos são os problemas mais sérios no design de relógios de pulso de quartzo). Para dar uma ideia do problema de envelhecimento, o oscilador 1000B tem uma taxa de envelhecimento especificada (após um mês de amaciamento) de 1 parte em 1010 por dia, no máximo. Os efeitos do envelhecimento se devem em parte ao alívio gradual das tensões e tendem a se estabilizar após alguns meses, principalmente em um cristal bem fabricado.[51]

Os osciladores de cristal controlados por forno podem ser miniaturizados, se necessário, para aplicações portáteis que exigem excelente estabilidade do oscilador. Valpey Fisher, por exemplo, coloca um revestimento resistivo diretamente no cristal de quartzo, criando um pequeno OCXO (ÿ1,3 cm3) que requer apenas 0,15 W de potência de aquecimento.

B. Padrões atômicos

Padrões de freqüência atômica são usados onde a estabilidade dos padrões de cristal forno é insuficiente. Eles usam uma linha de absorção de micro-ondas em uma célula de gás de rubídio (Rb) ou transições atômicas em um feixe de césio atômico (Cs), como referência para a estabilização de um cristal de quartzo. Os padrões de frequência Rb e Cs comercialmente disponíveis alcançam precisão e estabilidade de algumas partes em 1011 e 1013, respectivamente. Os padrões de feixe de césio são os cronometristas oficiais nos Estados Unidos, com transmissões de tempo do Instituto Nacional de Padrões e Tecnologia (NIST) e do Observatório Naval.

Masers de hidrogênio atômicos são outro padrão altamente estável. Ao contrário dos padrões Rb e Cs, o maser de hidrogênio é um oscilador real (em vez de uma referência passiva), com estabilidades reivindicadas que se aproximam de algumas partes em 1014. Pesquisas recentes em relógios estáveis concentraram-se em técnicas usando íons ou átomos aprisionados "resfriados", ou "fontes atômicas", para obter uma estabilidade ainda melhor. Esses esquemas estão sendo usados para criar padrões *ópticos* precisos , que são então ligados a uma referência de radiofrequência por meio de um "pente óptico". Muitos físicos acreditam que as estabilidades finais das peças em 1017-1018 são alcançáveis .

Finalmente, você não precisa gastar grandes quantias de dinheiro para obter um padrão de frequência preciso. Em vez disso, você pode obter um sinal de clock preciso de 10 MHz, junto com pulsos de 1 pps, recebendo sinais de navegação do Global Sistema de Posicionamento (GPS).[52] Trata-se de uma constelação de 24 satélites em órbitas de 12 horas, cobrindo todas as latitudes, exceto as árticas, projetada para navegação e cronometragem precisas. Os satélites carregam relógios atômicos estáveis e transmitem "mensagens de navegação" usando métodos sofisticados de espectro de dispersão de dupla frequência, em 1,575 GHz e 1,228 GHz. Um receptor GPS no solo, coletando sinais de quatro satélites, pode triangular sua posição e também o tempo. Os receptores GPS portáteis baratos que você pode comprar (de empresas como Garmin e Magellan, ou incluídos em telefones celulares) são destinados à navegação e não recuperam ou regeneram uma frequência de referência. No entanto, você pode gastar mais e obter um padrão de laboratório cuidadosamente projetado. Um exemplo é o Symmetricom 58503B "GPS Time and Frequency Reference Receiver," que fornece uma saída de 10 MHz (estável em 1 parte em 1012, média ao longo de um dia) e também pulsos de temporização de 1 pps (com precisão de 20 nanossegundos); custa $ 4.500. Tudo o que você precisa, para obter esse tipo de precisão, é um local para colocar a antena do tamanho de uma maçaneta; seus dólares de impostos fazem o resto.

Na Tabela 7.2 reunimos várias tecnologias de oscilador e suas características. Esperamos que você goste.

7.1.8 Síntese de frequência: DDS e PLL

Uma referência estável é *estável,* mas não ajustável. Mas, como sugerimos anteriormente, existem duas boas técnicas que permitem criar uma frequência de saída de sua escolha, com a estabilidade da referência: síntese digital direta (DDS) e síntese de loop travado por fase (PLL). Essas são técnicas digitais de "sinal misto", que trataremos em detalhes nos Capítulos 12 e 13. Mas elas estão intimamente relacionadas aos osciladores e à geração de frequência e, portanto, as descreveremos aqui em um nível básico.

A. Síntese digital direta A ideia aqui é programar uma memória digital com os valores numéricos de seno e cosseno para um grande conjunto de argumentos de ângulo igualmente espaçados (digamos, para cada 1ÿ). Em seguida, você cria ondas senoidais gerando rapidamente os endereços sequenciais, lendo os valores de memória para cada endereço (ou seja, cada ângulo sequencial) e aplicando os valores digitais a um conversor digital para analógico. (DAC)

A Figura 7.42 mostra o esquema, tanto em sua forma nominal mais simples (um contador incrementa endereços para uma ROM de pesquisa de seno) quanto no método (muito melhor) usado em

[51] A folha de dados do Symmetricom 1000B sugere (mas não garante) que um espécime bem envelhecido normalmente amadurece em "partes em 1011 por dia".

[52] Existem dois sistemas de navegação análogos: o russo GLONASS e o europeu Galileo. Este último está programado para estar totalmente operacional até 2020.

Tabela 7.2 Tipos de osciladora

Classe	Modelo	Estabilidade	Sintonia	Agilidade	Faixa de frequência	Custo	Notas
Relaxamento e atraso	Atraso de	10-2 a 10-3	largura (>10:1)	alta	Hz a 10 MHz	baixo (<$10)	555, 1799, etc
	relaxamento RC	10-2 a 10-3 10-3	modesta (~5:1) b alta modesta		10 MHz a 100 MHz baixo (<$10)	baixo (<$10)	dentro de um IC
	Ponte de Viena		(<10:1) lenta		Hz a MHz		saída de onda senoidal
ressonador	CL	10-3 a 10-5	modesto	alto	kHz a 100 MHz baixo (<$10) 100 kHz a 10		
	cerâmica	10-2 a 10-3	pequeno (<10-3)	alto	MHz baixo (<$10) 10's kHz a 100 MHz baixo		
	cristal ("xtal") xtal	10-5 10-6	muito pequeno (10-4)	alto	(<$10) 10's kHz a 100 MHz médio ($10-100)		onipresente
	- TCXO xtal -	a 10-7 10-8 a	muito pequeno (10-4)	alto	10's kHz a 100 MHz alto ($100-1000) 100 MHz		
	OCXO	10-9 10-4 10-5	muito pequeno (10-4)				
	SAW		muito pequeno (10-4)			baixo (<$10)	pequeno, baixo jitter
	cavidadec		modesto	baixo a altod	10's MHz a 10's GHz baixo a médio		
atômico	Rb vapor	10-10	N / D	N / D	Alta referência derivada de 10 MHz (US$ 1.000)		
	feixe Cs	10-13f	N / D	N / D	Refg derivado de 10 MHz muito alto ($ 10k)		a definição do segundo!
	H maser	10-14	N / D	N / D	Refh derivado de 10 MHz ainda maior (> $ 100k) alto ($ 1k)		
	GPS	10-13k	N / D	N / D	referência derivada de 10 MHz		ref'd para NIST Cs stds
Referência derivada	Síntese de PLL igual a ref Sintetizador		largo	t s = 0-100 ms t	Hz a GHz	baixo-médio ($ 10-100)	
	"direto" igual a ref		largo	s = 5-10 ms	Hz a GHz	alto (> $ 1k) baixo-alto	
	DDS igual a ref		largo	imediato	Hz a GHz	($ 10-1000)	

Notas: (a) avaliações algo subjectivas. (b) sintonia via corrente operacional. (c) cavidade cilíndrica, guia de onda ou ressonador dielétrico em forma de "pílula". (d) ajuste via êmbolo mecânico, varactor ou YIG. (e) da ressonância de 8,634488275 GHz. (f) longo prazo. (g) da ressonância de 9,192631770 GHz. (h) da oscilação de 1,420405751767 GHz. (k) longo prazo.

prática. Neste último, uma ROM com um espaço de endereço de n bits (portanto, valores do seno em *2n* fases dentro de um único ciclo de 360°) é acionada por um registrador de fase que acumula etapas de fase de acordo com o valor da "palavra de ajuste de frequência" (FTW). A cada clock a fase avança =(360ÿ/2n)· FTW, com qualquer fase extra descartada por ciclo. ÿ gerando uma frequência de saída dada por ÿ fout=FTW· fclk/2n,

Este método tem algumas desvantagens. A saída é na verdade uma onda em escada, pois é construída a partir de um conjunto de tensões discretas, uma para cada entrada na tabela. Você pode, é claro, usar um filtro passa-baixo para suavizar a saída; mas, tendo feito isso, você não pode abranger uma ampla gama de frequências, porque o filtro passa-baixa deve ser escolhido para passar a onda senoidal enquanto bloqueia a frequência (mais alta) do degrau do ângulo (o mesmo problema se aplica ao ressonador do capacitor comutado; §7.1 .9B). Diminuir o tamanho do passo angular ajuda, mas reduz a frequência máxima de saída.

Os chips DDS contemporâneos incluem a tabela de pesquisa de seno, DACs e tudo mais que você precisa, exceto a entrada de clock de frequência fixa estável (geralmente fornecida por um oscilador de cristal simples; §7.1.6). Eles são notavelmente rápidos e baratos. Por exemplo, a série AD9850 inclui o AD9852, que vai para frequência de saída de 150 MHz com resolução de frequência de 48 bits (isso é um microhertz!!); custa $ 15 em quantidade. Se isso não for rápido o suficiente para você, talvez o AD9912 ($ 37), com sua velocidade de clock de 1 GHz (fout(max) = 400 MHz) e DAC de 14 bits faça o trabalho.

Os chips DDS permitem programar varreduras de frequência (uma frequência crescente versus tempo); e também *modulação* de amplitude, frequência e fase (variação periódica ao longo do tempo). Você pode enviar comandos de mudança de frequência em taxas muito altas (100 milhões de novas frequências por segundo, para o AD9852) para criar um *oscilador ágil.*

Vários membros da família permitem sincronização de fase e deslocamento de fase preciso, para que você possa fazer um oscilador de quadratura programável de precisão (ou seja, saídas simultâneas de seno e cosseno) com desempenho impressionante com apenas alguns chips (e por alguns dólares a mais) .

B. Loops de travamento de fase Esta técnica de sinal misto sintetiza uma frequência de saída fout que está relacionada com a frequência fosc do oscilador de referência por uma fração racional; isto é, *fout=(n/ r)×fosc,* onde *n* e *r* são inteiros. Você pode pensar nisso como uma generalização do simples divisor de frequência dividido por N (onde fout=fosc/N). Como os PLLs combinam técnicas analógicas e digitais, vamos discuti-los em detalhes somente mais tarde, em §13.13.

O que é importante saber agora é que isso oferece uma flexibilidade maravilhosa na geração de frequência do oscilador. Por exemplo, se usarmos um oscilador de cristal de 16 MHz de frequência fixa para acionar um chip PLL e definir *r* = 16, a frequência de saída será exatamente *n* MHz, criando assim um oscilador de chip único de alta frequência com tabela de configuração de frequência de saída em passos de 1 MHz (com uma faixa típica de frequência de saída

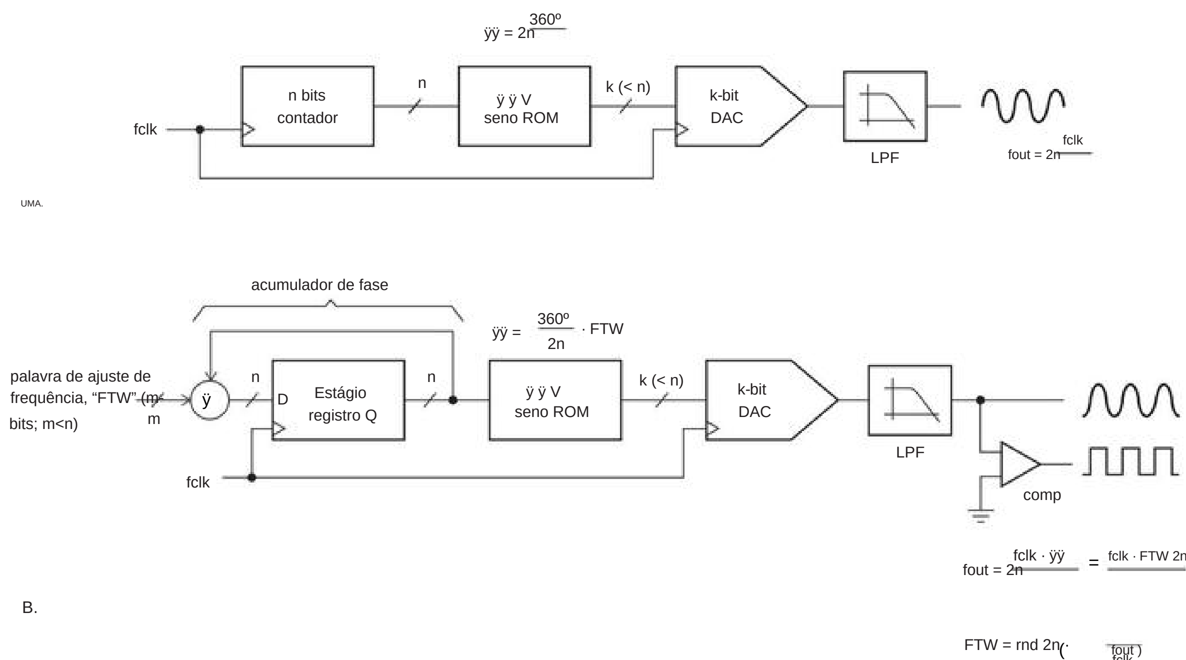


Figura 7.42. A síntese digital direta cria sua saída de onda senoidal a partir de valores pré-computados de uma senóide armazenada na ROM. A configuração mais simples (A) incrementa um contador para endereçar valores sucessivos da ROM. Muito melhor é uma configuração com um acumulador de fase (B), que fornece *n* bits de resolução de frequência de saída.

de 25–500 MHz ou mais). A síntese PLL é usada em dispositivos de telecomunicações (como rádios, televisões e telefones celulares) para definir a frequência de operação de cada canal.

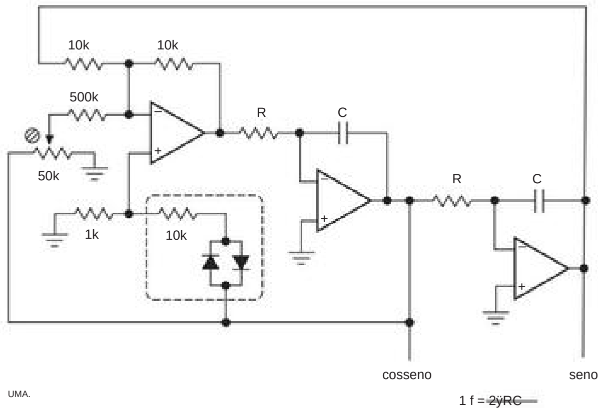
Como este exemplo sugere, a técnica de síntese de relógio PLL um tanto complexa está disponível em chips fáceis de usar, com outra pessoa tendo feito todo o trabalho duro (especificamente, fazendo um detector de fase e um oscilador controlável por tensão e fechando de forma estável o laço). Existem, além disso, os "módulos osciladores programáveis" baratos que mencionamos em §7.1.6F que incorporam um oscilador de cristal e um PLL, para que você possa armazenar um único tipo de módulo e programar sua frequência quando estiver pronto para use-o. Você pode obtê-los nas empresas que fabricam módulos de frequência fixa, por exemplo, Epson (série SG8002), ECS (série ECS P), Citizen (série CSX-750P), CTS (série CP7) e Cardinal (série CPP). Eles vêm nos mesmos pacotes DIP e SMT que os osciladores convencionais de fábrica, com um pequeno acréscimo de preço.

7.1.9 Osciladores de quadratura

Há momentos em que você precisa de um oscilador que gere um *par* simultâneo de ondas senoidais de igual amplitude, *90ÿ fora de fase.* Você pode pensar no par como seno e cosseno (ou *I* e Q, para fase e quadratura). Isso é chamado de *par de quadratura* (os sinais estão "em quadratura"). Uma aplicação importante é em circuitos de comunicação de rádio (misturadores de quadratura, geração de banda lateral única). De grande utilidade, como explicamos a seguir, um par de quadratura é tudo o que você precisa para gerar qualquer fase arbitrária.

A primeira ideia que você pode inventar é aplicar um sinal de onda senoidal a um integrador (ou diferenciador), gerando assim uma onda cosseno deslocada em 90ÿ. A mudança de fase está correta, mas a amplitude está errada (descubra o porquê). Aqui estão alguns métodos que funcionam.

A. Integradores emparelhados A Figura 7.43 é uma variação de um circuito que está circulando há várias décadas. Ele usa um par de integradores em cascata (deslocamento de fase de ÿ90ÿ cada) dentro de um loop de realimentação, fechado por um amplificador inversor de ganho unitário (deslocamento de fase de 180ÿ). A oscilação ocorre em uma frequência na qual cada integrador tem ganho de tensão unitário; isto é, a uma frequência na qual a reatância capacitiva 1/2 *fC* é igual a R. Os diodos limitam a amplitude a ~300 mV. Testamos este circuito com amplificadores operacionais LMC6482 operando a partir de ±5 V, e com R=15,8k e C=10 nF (fosc=1 kHz), produzindo



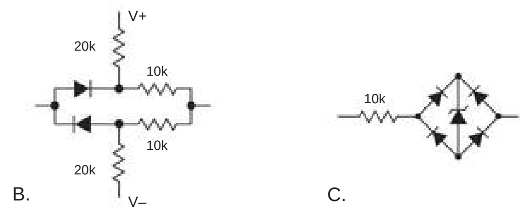


Figura 7.43. Oscilador de onda senoidal em quadratura (adaptado de um circuito de Tony Williams): A. Circuito básico, com limitador de diodo (caixa tracejada). B. Limitador polarizado. C. Limitador Zener.

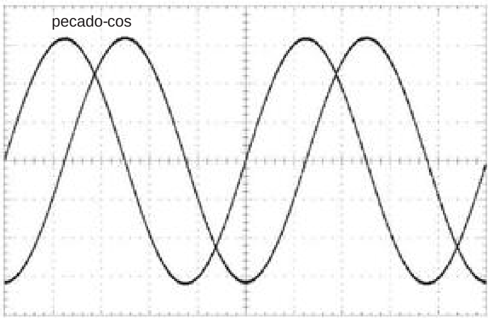


Figura 7.44. Saída medida do circuito da Figura 7.43A. Horizontal: 200 s/div. Vertical: 100 mV/div.

B. Ressonador de capacitor chaveado

Este é um método inteligente: a Figura 7.45 mostra como usar um IC de filtro de capacitor chaveado como um filtro passa-banda auto-excitado para gerar um par de onda senoidal em quadratura. A maneira mais fácil de entender é assumir que já existe uma onda senoidal presente. O amplificador operacional U2a, conectado como um comparador, converte isso em uma onda quadrada de ±5 V, que é realimentada como entrada do filtro. O filtro tem um passa-banda estreito (Q=10), então ele converte a onda quadrada de entrada em uma onda senoidal de saída, sustentando a oscilação. Uma entrada de clock de onda quadrada (CLK) determina a frequência central de passagem de banda e, portanto, a frequência de oscilação, neste caso fCLK/100. O circu

as formas de onda na Figura 7.44. A frequência medida foi de 997 Hz, com distorção de 0,006% e 0,02% para as saídas seno e cosseno, respectivamente.

O limitador de diodo simples não fornece um controle de amplitude particularmente bom e também limita a amplitude a ~300 mV. Um limitador aprimorado é mostrado na Figura 7.43B, no qual a saída é polarizada em direção aos trilhos de alimentação por um par de divisores, de modo que os diodos conduzem apenas em uma amplitude maior (definida pela razão do divisor).

Com os valores dos componentes mostrados, a amplitude medida foi de 3,3 V. A Figura 7.43C mostra outro limitador que alguns projetistas preferem, usando um zener envolvido em uma ponte de diodos (portanto bidirecional) para definir a amplitude. Você pode usar diodos zener comuns para amplitudes maiores (5 V e acima), mas os zeners de baixa tensão funcionam mal, com seus "joelhos moles" (consulte a Figura 1.17). Mas você pode usar uma referência de 2 terminais de baixa tensão, que se comporta como um zener quase perfeito; alguns exemplos são o LM385-1.2 e -2.5 (1,24 V e 2,50 V), o AD1580 (1,22 V) e o ADR510 (1,0 V). Com qualquer um desses esquemas, é uma boa ideia colocar um capacitor no zener (ou referência) para manter sua tensão durante os cruzamentos por zero da forma de onda.

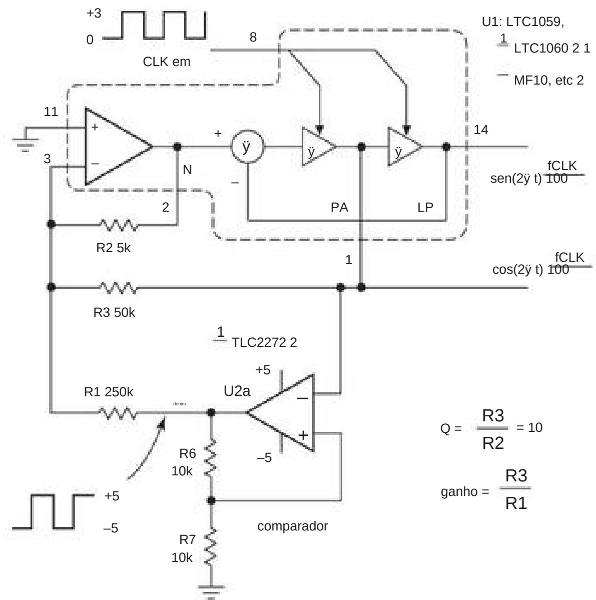


Figura 7.45. Você pode gerar um par de ondas senoidais de quadratura alimentando de volta a saída quadrada de um filtro passa-banda estreito, implementado em um IC de filtro de capacitor comutado.

gera um par de quadratura de ondas senoidais de igual amplitude e pode ser usado em uma faixa de frequência de alguns hertz a mais de 10 kHz. Observe que a saída é, na verdade, uma aproximação em “escada” da onda senoidal desejada, devido aos passos de saída quantizados do filtro chaveado – veja a Figura 7.46.

Uma característica interessante deste circuito é sua capacidade de “calcular pi”: o filtro é configurado com um ganho preciso de R3/ R1=0,2, e sua entrada é uma onda quadrada precisa de ±5 V, portanto, pode-se esperar uma amplitude de saída de ±1 V. Mas não – o filtro retém apenas a componente de frequência fundamental da onda quadrada, que tem uma amplitude igual a 4 vezes a da onda quadrada. Então, voilà, obtemos uma amplitude de saída de 4/ ÿ volts (cerca de 1,27 V), conforme visto nos traços do osciloscópio'. ÿ

C. Síntese digital direta Vimos esse método popular anteriormente (§7.1.8) como uma forma geral de sintetizar uma onda senoidal (ou qualquer onda “arbitrária”, se você quiser) de frequência precisa, relativa a uma entrada de frequência de referência precisa. Entre suas muitas virtudes, este método se presta bem à geração de um par de sinais em quadratura (ou qualquer outra relação de fase, se você quiser). A Figura 7.47 mostra um bom chip da Analog Devices destinado à geração de onda senoidal em quadratura; ele permite o ajuste de frequência em passos de um microhertz, juntamente com um grande pacote de truques que inclui mixers digitais (para modulação de amplitude em quadratura) e temporizadores e acumuladores (para modulação de frequência ou fase, chirp não linear, etc). A folha de dados faz uma boa leitura!

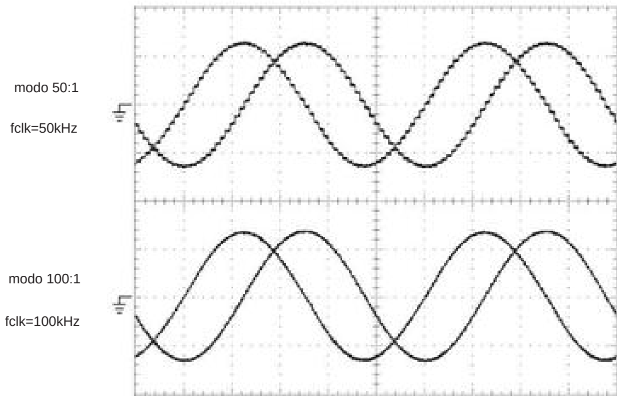


Figura 7.46. Formas de onda observadas no circuito da Figura 7.45. O filtro de capacitor chaveado gera uma aproximação escalonada para as ondas senoidais de quadratura ideais, mais evidente quando o filtro é ajustado para a relação fCLK/ fout mais grosseira de 50:1 . Este filtro ÿ conhece o valor de: a amplitude de saída é 4/ ÿ volts! Vertical: 1 V/div; Horizontal: 200 s/div;

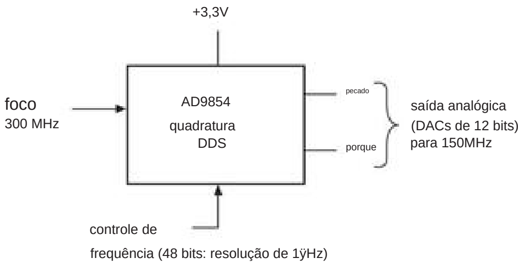


Figura 7.47. Geração de quadratura por DDS. O AD9854 tem muitos truques adicionais na manga (ver texto).

D. Filtros de sequência de fase

Existem circuitos de filtro *RC* complicados que têm a propriedade de aceitar uma onda senoidal de entrada e produzir como saída um par de saídas de onda senoidal cuja *diferença* de fase é de aproximadamente 90ÿ. Os radioamadores conhecem isso como método de “fasagem” de geração de banda lateral única (devido a Weaver), no qual o sinal de entrada consiste na forma de onda da fala que você deseja transmitir. Infelizmente, esse método funciona de fábrica apenas em uma faixa bastante limitada de frequências e requer resistores e capacitores de precisão.

Um método melhor para geração de quadratura de banda larga usa “redes de sequência de fase”, consistindo em uma estrutura repetitiva cíclica de resistores iguais e capacitores decrescentes geometricamente, como na Figura 7.48. Você conduz o trabalho de rede com um sinal e seu primo deslocado em 180ÿ (isso é fácil, pois tudo que você precisa é de um inversor de ganho unitário). A saída é um conjunto quádruplo de sinais de quadratura, com um trabalho de rede de 6 seções dando erro de ±0,7ÿ em uma faixa de frequência de 40:1; uma rede de 8 seções estende o alcance para 150:1. Isso é demonstrado na Figura 7.49, uma simulação SPICE de uma rede de seqüência de fase de 8 seções, mostrando o comportamento de um par de saídas em quadratura com bom desempenho de 400 Hz a 50 kHz.

E. Ondas quadradas de quadratura

Para o caso especial de ondas quadradas, gerar sinais de quadratura é muito fácil. A ideia básica é gerar o dobro da frequência necessária e depois dividir por 2 com *flip-flops digitais.* A Figura 7.50 mostra um circuito simples que faz isso, usando flip-flops tipo D (Capítulo 10). Essa técnica é essencialmente perfeita de CC até pelo menos 100 MHz.

F. Quadratura de radiofrequência Em frequências de rádio (acima de alguns megahertz), a geração de pares de ondas senoidais em quadratura torna-se novamente fácil, usando dispositivos conhecidos como *híbridos de quadratura* (ou *divisores-combinadores de quadratura).* Na extremidade de baixa frequência do espectro de rádio (de alguns megahertz a talvez 1 GHz), esses

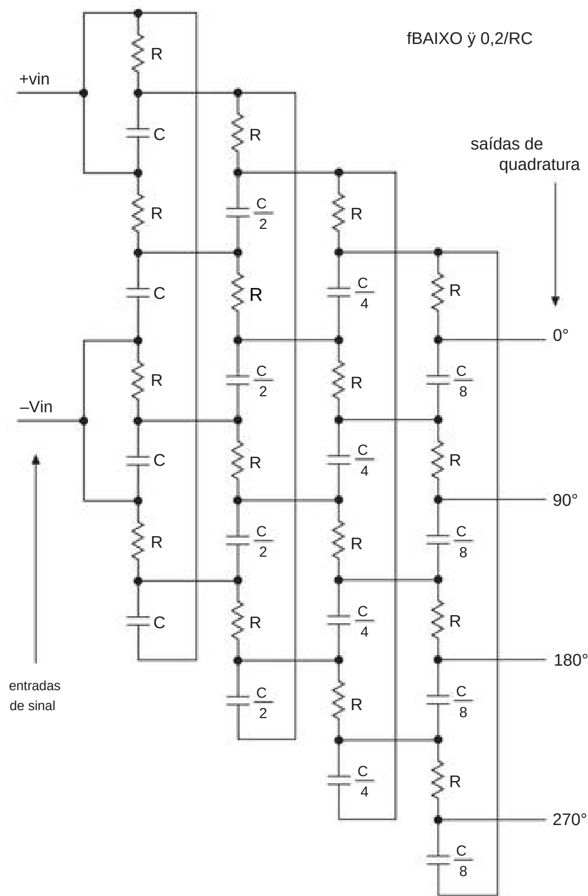


Figura 7.48. Rede de seqüência de fase de quatro seções. O trabalho de rede é efetivo para frequências que se estendem de uma baixa frequência fLOWÿ0,2/RC até uma extremidade alta que depende da razão das capacitâncias da primeira e última seção, como fHIGH/ fLOWÿCfirst/Clast.

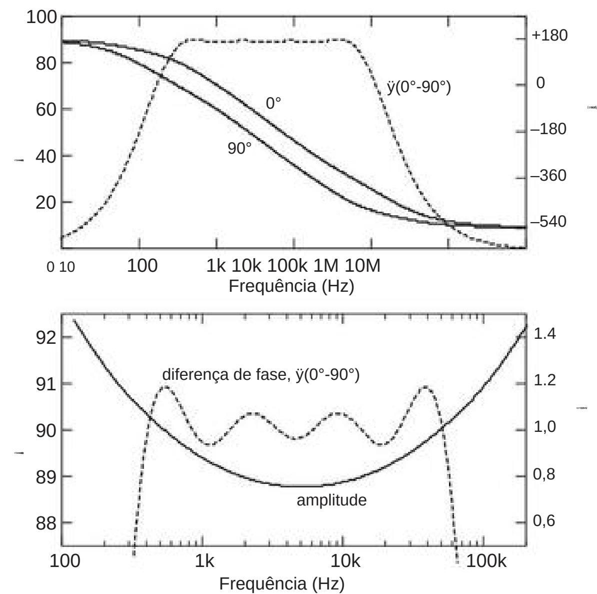


Figura 7.49. Comportamento de fase e amplitude de uma rede de sequência de fase de 8 seções (com R=10k, C=40 nF), conforme modelado no SPICE. O gráfico inferior expande a região de quadratura precisa. Observe que é a diferença de fases (curvas tracejadas) que estão em quadratura.

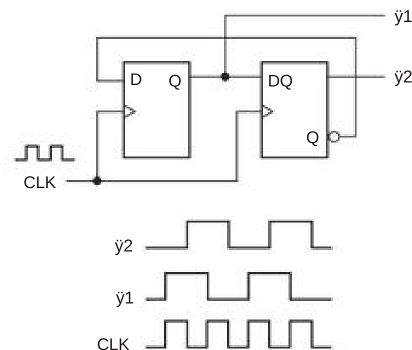


Figura 7.50. Ondas quadradas em quadratura, cortesia do versátil flip-flop tipo D.

assumem a forma de pequenos transformadores enrolados no núcleo, enquanto em frequências mais altas você encontra encarnações na forma de stripline (tiras de folha isoladas de um plano de aterramento subjacente; consulte o Capítulo *1x)* ou guia de onda (tubulação retangular oca). Essas técnicas tendem a ser bastante estreitas, com larguras de banda operacionais típicas de uma oitava (ou seja, proporção de 2:1).

G. Gerando uma onda senoidal de fase arbitrária Uma vez que você tenha um par de quadratura, é fácil fazer uma onda senoidal de fase *arbitrária* . Você simplesmente combina os sinais em fase *(I)* e em quadratura *(Q)* em um combinador resistivo, feito mais facilmente com um potenciômetro entre os sinais *I* e *Q.* Ao girar o pote, você combina o *I* e o *Q* em proporções diferentes, levando-o suavemente da fase 0ÿ a 90ÿ . Se você pensa em termos de fasores, você verá que a fase resultante é completamente independente da frequência; no entanto, a amplitude varia um pouco conforme você ajusta a fase, caindo 3 dB em 45ÿ.

Você pode estender este método simples para 360° simplesmente gerando os sinais invertidos (deslocados em 180°), *I* e com um *Q ,* amplificador inversor de ganho GV=ÿ1.

A geração de rajadas senoidais de fase (e amplitude) predeterminadas é de grande importância em comunicações digitais. É usado em particular no método de *modulação de amplitude em quadratura* (QAM, pronunciado

"quahm"), em que vários bits são codificados em cada "símbolo" QAM. Por exemplo, a maior parte da televisão digital a cabo é codificada como 256-QAM, com cada símbolo (de uma constelação de 256) carregando 8 bits de informação; você pode pensar nos símbolos individuais como pequenas rajadas de vários ciclos senoidais, com uma fase e amplitude particular caracterizando cada símbolo.53 Com o DDS é ainda mais fácil definir a fase de saída (em relação a um pulso de

sincronização ou a um segundo DDS synthe sizer que é sincronizado com o primeiro), porque os chips DDS permitem adicionar um deslocamento especificado pelo usuário à fase de acumulação interna que é usada para gerar a onda senoidal. Por exemplo, o AD9951 tem uma *palavra de deslocamento de fase de 14 bits,* fornecendo um tamanho de etapa configurável por fase de 360ÿ /214 ou 0,02ÿ. Você pode mudar a fase instantaneamente para produzir modulação de fase.

7.1.10 "jitter" do oscilador

Além dos parâmetros primários do oscilador – frequência, amplitude e forma de onda – há *estabilidade:* se um oscilador flutua com o tempo, temperatura ou tensão de alimentação, falamos sobre estabilidade (ou falta dela) e podemos atribuir coeficientes correspondentes. Por exemplo, um oscilador de cristal pode especificar um tempco de 1 ppm/ ÿC. Isso é importante para aplicações como cronometragem, comunicações ou espectroscopia.

Mas não é toda a história. Você poderia, por exemplo, ter um oscilador que mantém uma frequência média precisa de 10,0 MHz, independentemente do tempo e da temperatura, mas que exibe variações no tempo de suas passagens por zero de ciclo para ciclo. (Se quiser, você pode pensar nisso como uma instabilidade em uma escala de tempo curta, em comparação com as escalas de tempo longo de efeitos como desvio com o tempo e a temperatura.54) Essa propriedade indesejável tem vários nomes, dependendo do contexto : se for uma onda senoidal e você a estiver usando em um aplicativo de comunicação, você a chama de *ruído de fase* ou *pureza espectral;* se, em vez disso, for uma onda quadrada ou trem de pulso digital, e você estiver usando para amostragem e reconstrução de forma de onda, ou para links de dados digitais rápidos, você o chama de *jitter.*

Um pouco mais sobre esse negócio de jitter. O jitter de temporização surge sempre que uma transição de saída é criada por um sinal periódico cruzando um limite de decisão, como por exemplo em um oscilador de relaxamento *RC* ou um oscilador de cristal. A Figura 7.51 mostra a situação. Um sinal de taxa de variação finita *S* (volts/segundo) está cruzando um limiar de tensão, e tanto o sinal quanto o limiar de tensão são imperfeitos, cada um com alguma tensão de ruído aditivo vn; vamos chamá-los de vn(sig) e vn(th). Portanto, há uma incerteza de tempo, de modo que o tempo em que o sinal (ruidoso) cruza o limite (ruidoso) pode (e irá) variar de acordo com

$$ÿt = \frac{ÿvn}{\text{taxa de variação}} = \frac{vn(sig) + vn(th)}{S}$$

O jitter é maior com sinais de giro lento, para uma determinada quantidade de sinal ou ruído limite. Uma onda senoidal de frequência *f* tem uma taxa de variação máxima de S=2 fV0, onde V0 é a amplitude ÿ do sinal de pico (embora menor se o limite não estiver no ponto médio da amplitude); a taxa de variação de um pulso ou passo pode ser aproximada por S=Vpasso/tr, onde tr é o tempo de subida (ou, mais geralmente, o tempo de transição).

A estabilidade e o jitter do oscilador são assuntos importantes e falaremos mais sobre eles no Capítulo 13, em conexão com a conversão analógico-digital, a comunicação serial digital e os loops de bloqueio de fase.

7.2 Temporizadores

Os osciladores geram um sinal periódico, caracterizado por sua forma de onda (senoidal, quadrada, pulso), sua frequência e sua amplitude. Intimamente relacionados aos osciladores estão os *temporizadores:* circuitos que geram um pulso atrasado, ou um pulso de uma determinada largura, após um evento de disparo. Aqui você fala sobre *tempos* de atraso e *larguras* de pulso , em vez de *frequência.* As técnicas, no entanto, são bastante semelhantes, consistindo principalmente em formas de onda analógicas no estilo RC (controlando circuitos comparadores-disparadores) ou contadores ou divisores digitais acionado

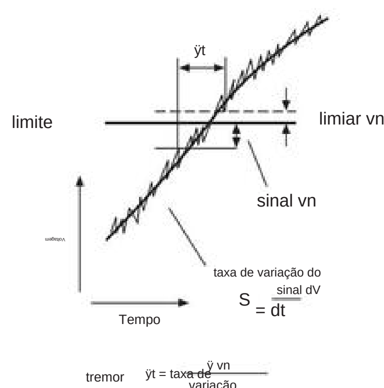


Figura 7.51. Noções básicas de jitter de temporização: um sinal de taxa de variação finita passa por um limite de decisão.

53 A constelação de fases e amplitudes são escolhidas para minimizar o erro, dadas as características do cabo.

54 Essas almas (você sabe quem você é!) que obtêm prazer com os infortúnios de outros osciladores têm medidas de estabilidade mais sofisticadas, principalmente a *variação de Allan,* que é basicamente um gráfico de estabilidade do oscilador versus tempo médio.

Existe uma grande variedade de técnicas, dependendo da escala de tempo envolvida e da precisão necessária. Visitamos a maioria das técnicas de uso comum.

7.2.1 Pulsos acionados por etapas

Às vezes, você precisa gerar um pulso de saída, de alguma duração, a partir de um acionador de entrada. A entrada pode ser um pulso curto, do qual você deseja gerar um pulso de saída mais longo; alternativamente, a entrada pode ser um "step" (geralmente uma transição de nível lógico, mais longa que o pulso de saída desejado), a partir do qual você deseja gerar um pulso curto.

A. Pulso curto do degrau: RC + transistor discreto Um diferenciador *RC* transforma um degrau de tensão em um degrau com um decaimento à direita da constante de tempo *RC* (Figura 7.52A). Você pode usar a saída diretamente ou pode passá-la por uma chave de transistor para gerar algo mais parecido com um pulso retangular. A Figura 7.52B mostra o pequeno MOSFET 2N7000 onipresente usado para gerar um pulso de saída de qualquer polaridade (oscilando entre um trilho positivo e o terra); a largura do pulso é da ordem = *RC,* mas depende da razão entre a tensão de limiar da porta e o tamanho ÿ do degrau de entrada. Na Figura 7.52C, mostramos os circuitos análogos com um transistor de comutação bipolar rápida (um PN2369: ele usa dopagem de ouro para reduzir o tempo de armazenamento de carga base para 13 ns no máximo, em comparação com 200 ns para uma jujuba comum como a 2N390455). Observe que um resistor em série (R1) é necessário para limitar a corrente de base de pico. O comportamento de temporização exato com um BJT é mais complicado do que com um MOSFET, por causa da fixação da tensão de base direta: para o circuito com entrada de borda de subida, a largura do pulso de saída é determinada principalmente por R1C (que define a queda da unidade de base direta atual); para o circuito com entrada de borda descendente, por outro lado, a largura do pulso de saída é determinada principalmente por R2C (que multiplica a recuperação da polarização de base para a polarização direta, assumindo R2 R1), conforme dado pela fórmula mostrada. Para o último circuito, a amplitude do degrau de entrada Vstep não deve ser maior que ÿ6 V para evitar a quebra reversa base-emissor.

Uma ressalva: com exceção do BJT de borda descendente na Figura 7.52C, as larguras de pulso geradas por esses circuitos são um tanto imprevisíveis e não devem ser usadas onde é necessário um tempo preciso. Veremos métodos melhores em breve.

Esta é uma situação em que a simulação SPICE fornece

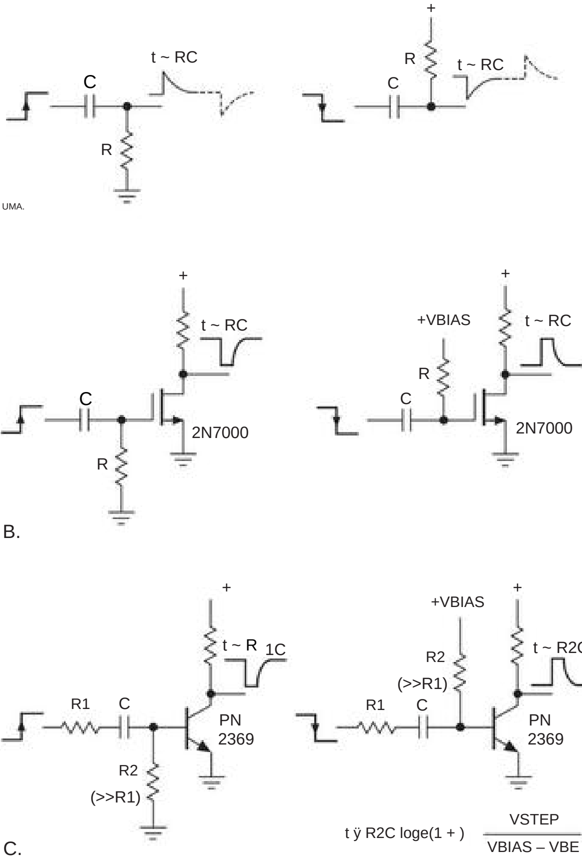


Figura 7.52. Gerando um pulso a partir de um degrau com RC's e transistores. A. Diferenciador *RC* nu . B. *RC* aciona o interruptor MOSFET. C.RC _ aciona o interruptor BJT.

uma ferramenta útil para explorar o comportamento detalhado do circuito. A Figura 7.53 mostra uma comparação de medição de bancada e simulação para o circuito de borda descendente da Figura 7.52C, funcionando a partir de uma fonte de +5 V, quando acionado por um degrau descendente de 5 V com tempo de queda de 5 ns. A boa concordância valida o uso dos modelos e ferramentas de simulação. Observe particularmente a simulação precisa do tempo de atraso (o passo de entrada começou em 20 ns), tensão de saturação do transistor, tensão de base e forma de onda de saída (que, embora não visível na figura impressa, ultrapassa o trilho de +5 V em cerca de 40 mV, devido ao acoplamento capacitivo da tensão de base crescente).

Veremos maneiras mais precisas e previsíveis de gerar pulsos de saída a partir das bordas de entrada. Mas esse método simples é bom para tarefas não críticas, por exemplo, acionar um relé de potência de travamento robusto, conforme mostrado na Figura 7.54. este

[55] Para um pacote de montagem em superfície SOT-23, existe o MMBT2369. O 2N5771 (MMBT5771) e o PN3640 (MMBT3640) são tipos de *pnp* semelhantes com especificações de tempo de armazenamento de 20 ns. Esses transistores dopados com ouro são todos do tipo de baixa voltagem, classificados em 12 a 20 V. A dopagem com ouro leva a baixas corrente de fuga beta e superior; esses transistores são adequados para comutação rápida, mas não muito mais.

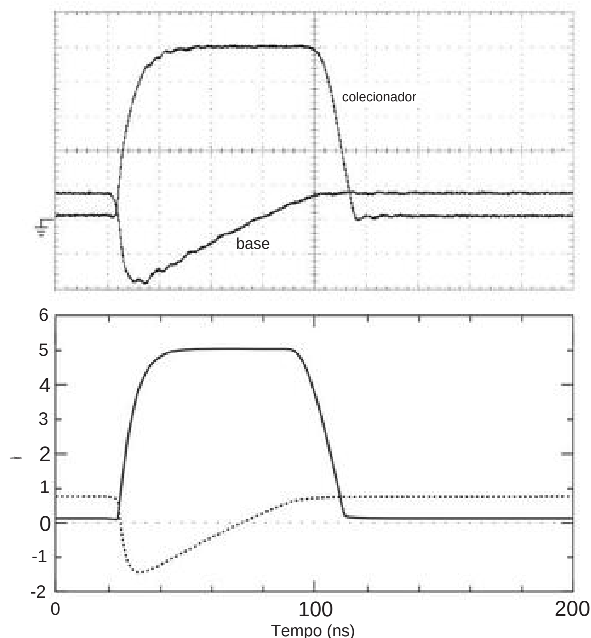


Figura 7.53. Formas de onda simuladas (inferiores) e medidas (superiores) do circuito da direita da Figura 7.52C, com R1=220 ÿ, C1=47 pF, R2=2,2k, RC=470 ÿ e com capacitância de sondagem de escopo para o solo de 8 pF na base e no coletor. O gráfico SPICE e o 'scope trace foram dimensionados de forma idêntica, em 20 ns/div e 1 V/div.

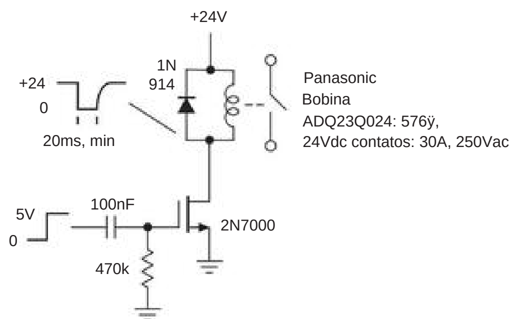


Figura 7.54. Um pulso de 20 ms aciona um relé de potência de travamento. Este é um relé de travamento de "2 bobinas" (para SET e RESET), apenas um deles é mostrado. Esse relé específico custa US$ 23 e inclui contatos PCB de alta corrente e FastOn (lug).

os contatos do relé em particular são classificados em 30 A e 250 Vac; possui um par de bobinas (set, reset), que você aciona aplicando 24 Vdc por no mínimo 20 ms. Testamos o circuito em nosso laboratório – ele fez um barulho impressionante que podia ser ouvido no corredor.

B. Pulso de degrau ou borda

Com a adição de mais alguns transistores você chega, finalmente, a um circuito de saída de pulso que é feliz em disparar em um degrau ou em um pulso curto; isto é, é acionado por *borda* e insensível se a borda de acionamento pertence a um pulso que é mais curto ou mais longo que o comprimento de pulso de saída desejado. Mostramos esse circuito clássico de "one-shot" do BJT anteriormente, no capítulo sobre transistores – veja a Figura 2.12. Você pode conectar essa configuração, se quiser. Mas provavelmente é melhor usar um *multivibrador monoestável integrado:* esses dispositivos cuidam dos detalhes e oferecem opções de acionamento flexíveis. Vamos examiná-los a seguir, depois de dar uma breve olhada no uso de portas lógicas digitais para gerar pulsos curtos.

C. Pulso curto do degrau: portas lógicas Uma técnica intimamente relacionada usa portas lógicas digitais (Capítulo 10) no lugar de transistores discretos. Isso é particularmente útil se você deseja que os sinais de saída conduzam uma lógica adicional, porque os sinais de saída têm as tensões e velocidades lógicas corretas. Na Figura 7.55, um inversor lógico (§10.1.4D) com gatilho Schmitt embutido (§4.3.2A) é usado para criar pulsos de saída com transições abruptas; embora as bordas sejam rápidas (devido ao disparo de Schmitt), o tempo é apenas aproximado, porque os limiares de tensão de Schmitt são vagamente especificados (por exemplo, a amplitude de histerese especificada abrange uma faixa de 3:1).

Na Figura 7.56A, o curto *atraso de propagação* da lógica nos inversores (da ordem de vários nanossegundos), combinado com a lógica das *portas,* substitui os atrasos *RC* para criar a largura de pulso de saída; os três circuitos mostrados respondem a subida, queda ou ambas as bordas, respectivamente. Os circuitos na Figura 7.56B estendem essa ideia de porta para larguras de pulso de saída mais longas, usando um atraso *RC* , aprimorado com um inversor Schmitt, para fornecer a entrada atrasada à porta.

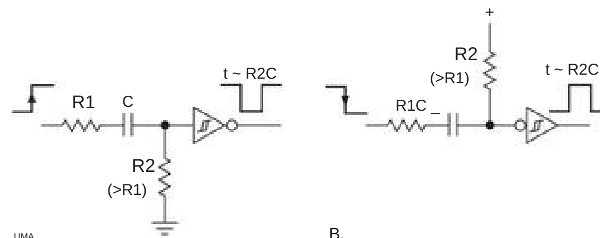


Figura 7.55. Um inversor lógico com entrada Schmitt-trigger cria um pulso de saída limpo. R1 limita a corrente de entrada do portão quando o sinal de entrada retorna ao seu nível inicial, durante o qual a entrada do portão é conduzida abaixo do solo ou acima de V+, respectivamente.

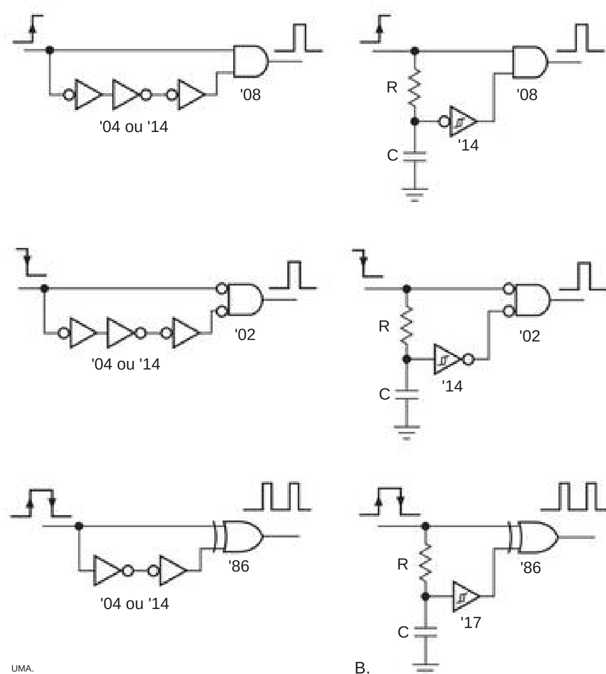


Figura 7.56. Gerando um pulso a partir de um degrau, com portas lógicas. UMA. Pulsos curtos feitos com portas de 2 entradas e inversores em cascata. B. Pulsos mais longos feitos com portas de 2 entradas e atrasos *RC* .

D. Pulso curto da borda: multivibradores monoestáveis

Se estes últimos circuitos lhe agradam, você está com sorte: a indústria de semicondutores criou uma classe de circuitos integrados que combina a lógica digital com um circuito de temporização *RC* , na forma do *multivibrador monoestável* (também conhecido como "one- tiro", ênfase na palavra "um"). Estes são acionados por borda, com temporização definido com boa precisão por um *RC* externo e com saídas de nível lógico limpo. O pulso de saída pode ser curto em comparação com a duração de entrada (como nos circuitos acima); ou pode ser maior que a entrada (como nos circuitos que discutiremos a seguir). Este tópico tem muita complexidade, então adiamos uma discussão completa para §7.2.2.

E. Pulso longo do gatilho: o 555 retorna!

Os circuitos acima criam um pulso de saída mais curto que o de entrada. Tudo bem, se é o que você quer. Mas você pode querer o oposto: um breve pulso de entrada aciona uma saída mais longa - pense no botão zapper de um minuto em um forno de micro-ondas, por exemplo. Os métodos aqui podem ser agrupados, grosso modo, em duas categorias: (a) circuitos de temporização analógicos mediados por RC, e (b) osciladores seguidos por contadores-divisores digitais dedicados, ou pela glória computacional completa de microprocessadores (computers-on -um chip). no primeiro gato

Existem dispositivos como o clássico 555 (que usamos anteriormente para fazer um oscilador de relaxamento *RC* , §7.1.3) e o multivibrador monoestável (um chip gerador de pulso dedicado).

Voltando ao capítulo, fizemos um oscilador com o 555 acionando as entradas TH e TR com a tensão no capacitor (Figuras 7.9–7.14); aqueles em puts inverteram o estado de saída (e o transistor DIScharge), causando o carregamento e descarregamento cíclico do capacitor. Para fazer um *único* pulso, conecte o capacitor apenas à entrada TH e use o terminal TR como uma entrada de disparo (Figura 7.57). Uma entrada negativa inicia o ciclo, desligando o transistor DIS e fazendo com que a saída vá para o nível ALTO; quando a tensão do capacitor atinge 2/3 de V+ o ciclo termina, com a saída voltando para LOW e o pino DIS descarregando o capacitor rapidamente para o terra. É fácil calcular a largura do pulso, ou seja, $t = 1{,}1RC$. Observe que o gatilho de entrada deve ser removido antes do final do pulso, ou seja, deve ser menor que o pulso de saída pretendido. Reveja a Figura 4.41 para ver como fazer um gerador de pulso programável (com controle de "comutação a frio" da largura de pulso) com um 555.

Grosso modo, um CMOS 555 (consulte a Tabela 7.1 na página 430) pode gerar larguras de pulso de cerca de 1 s a ÿ 100 segundos. Na extremidade longa, o limite é definido pela corrente de entrada TH residual , que é menor que 10 nA, portanto valores de *R* tão grandes quanto 10–100 Mÿ podem ser usados. Na extremidade curta, o valor mínimo do resistor é limitado pela corrente DIS máxima (ÿ15 mA com uma fonte de 5 V) e pela velocidade intrínseca do 555. Outra limitação do 555 é a condição de disparo de entrada estranha, ou seja, um negativo pulso contínuo que deve retornar à sua tensão quiescente positiva antes do final da saída. O último problema é abordado de maneira adequada na classe de chips de temporizador conhecidos como multivibradores monoestáveis.

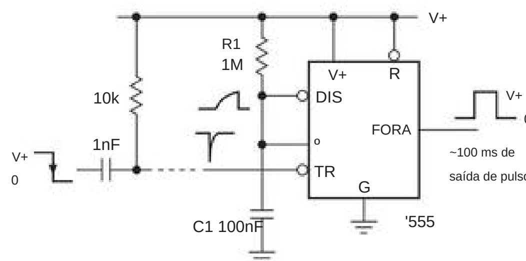


Figura 7.57. O venerável 555 gera um único pulso de saída positivo quando conectado no modo monoestável. O diferencial *RC* de entrada converte um degrau descendente em um pulso de disparo; ele pode ser omitido se um pulso de disparo curto estiver disponível para acionar a entrada TR.

7.2.2 Multivibradores monoestáveis

Dentro das várias famílias de lógica digital (§10.1.2B, §10.2.2), você pode obter *multivibradores monoestáveis* (one shots), que você pode considerar como versões lógicas do 555, conforme usado na Figura 7.57. Eles são acionados por borda (por níveis lógicos padrão) e geram um pulso de saída de nível lógico *Q* (e seu complemento *Q*) cuja largura é determinada por um *R* e C externos. Monoestáveis são muito úteis (alguns diriam úteis *demais !)* pulsos de largura e polaridade selecionáveis. Fazer one-shots com RC's combinados com transistores ou portas discretas (como acabamos de fazer) é complicado e depende, por exemplo, dos detalhes do circuito de entrada de uma porta, já que você acaba com oscilações de tensão além das tensões de alimentação. Em vez de encorajar maus hábitos ilustrando mais desses circuitos, encorajamos você a adotar o one-shot como uma unidade funcional disponível. Em circuitos reais, é melhor usar um one-shot empacotado; você constrói o seu próprio apenas se for absolutamente necessário, por exemplo, se você tiver um portão disponível e não houver espaço para um pacote IC adicional (mesmo assim, talvez você não devesse).

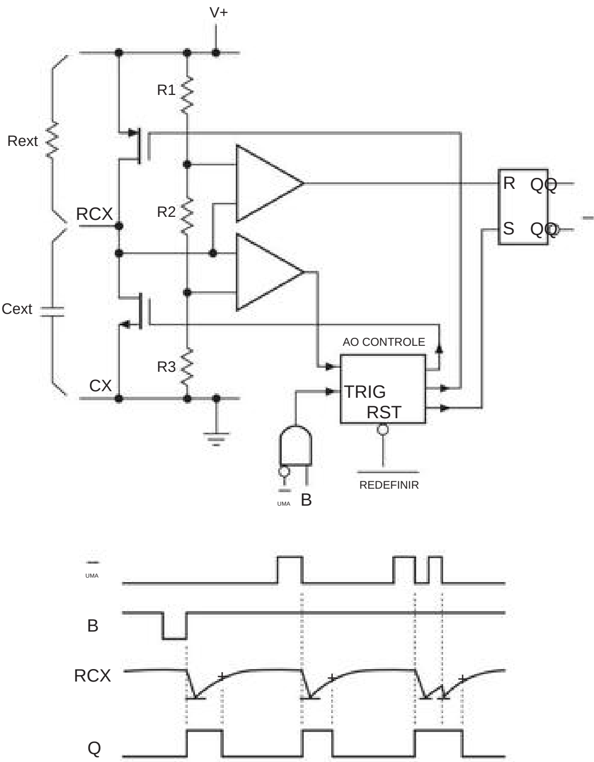


Figura 7.58. Circuito interno e formas de onda para um multivibrador monoestável. As formas de onda mostram capacidade de reativação.

A. O que há dentro

Embora você possa usar monoestáveis sem se preocupar com o que está acontecendo lá dentro, é um lugar interessante para se visitar. A Figura 7.58 mostra o esquema de circuito interno usado na maioria dos monoestáveis. Existem pinos para um *C* e R externos; o último carrega o capacitor na direção de V+, que pode variar de +2 V a +15 V, dependendo da família lógica específica.[56] No estado de repouso, o capacitor está totalmente carregado e o flip-flop de saída é reinicializado, ou seja, *Q* é BAIXO (terra) e *Q* é ALTO (V+).

Observe as formas de onda na figura e suponha, por enquanto, que os três resistores R1–R3 tenham a mesma resistência.[57] Quando a condição de disparo é atendida (mais sobre isso abaixo), por exemplo, trazendo a entrada *B* para o nível ALTO enquanto a entrada *A* está para o nível BAIXO , duas coisas acontecem: (a) a saída *Q* vai para o nível ALTO; e (b) o capacitor é rapidamente descarregado em direção ao terra pelo MOSFET inferior.[58] Quando a voltagem do capacitor cai atinge $\frac{1}{3}$V+, o circuito de controle remove o gate drive do MOSFET inferior, permitindo que o capacitor carregue de volta através do Rext; isso inicia o intervalo de temporização mediado por RC, que termina quando a tensão do capacitor atinge $\frac{2}{3}$V+, momento em que o flip-flop de saída é reinicializado, terminando o pulso de saída trazendo *Q* novamente para BAIXO. É um exercício direto em constantes de tempo *RC* descobrir que isso leva um tempo

$$t = \text{RC}\log_e \frac{V+ ÿVL}{V+ ÿVH}, \qquad (7.1)$$

onde VL e VH são as tensões de limiar inferior e superior.

Exercício 7.6. Derive esta fórmula.

B. Características de disparo

único Entradas Os disparos únicos são acionados por uma borda ascendente ou descendente nas entradas apropriadas. O único requisito do sinal de disparo é que ele tenha uma largura mínima, normalmente de 25 ns a 100 ns; pode ser mais curto ou mais longo que o pulso de saída. Duas entradas são geralmente fornecidas para que um sinal possa ser conectado a uma ou outra, para acionar o disparo único em uma borda ascendente ou em uma borda descendente; alternativamente, ambos in puts podem ser usados, com um par de fontes de disparo separadas. A entrada extra também pode ser usada para inibir o disparo. A Figura 7.59 mostra dois exemplos.

[56] As tensões de alimentação lógica populares são +5 V, +3,3 V e +2,5 V.

[57] Eles geralmente não são, embora não seja importante aqui. Mais sobre isso mais tarde, em §7.2.2C. [58] As correntes de descarga típicas são de 30 a 80 mA. Portanto, um capacitor de temporização de 0,01 F pode levar aproximadamente 600 ns para descarregar de 5 V até o limite inferior de 1,6 V. Esse tempo é dobrado no "fator de especificado" (consulte a discussão posterior).

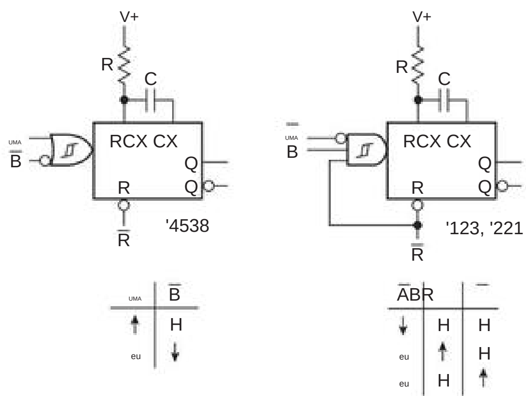


Figura 7.59. Dois one-shots populares e suas tabelas de verdade. As tabelas Monos disparam em transições de entrada e geralmente acomodam qualquer polaridade, com gating interno AND ou OR . A maioria dos monoestáveis inclui entradas de gatilho Schmitt.

Cada linha horizontal das tabelas de verdade representa uma transição de disparo de entrada válida. Por exemplo, o '4538 é um monoestável duplo com portas OR na entrada; se apenas uma entrada for utilizada, a outra deve ser desabilitada, conforme mostrado. O popular '123 é um monoestável duplo com gating de entrada AND ; entradas não usadas devem ser habilitadas. Observe particularmente que o '123 dispara quando o RESET é desabilitado se ambas as entradas de disparo já estiverem ativadas. Esta não é uma propriedade universal de mono estábulos e pode ou não ser desejável em uma determinada aplicação (geralmente não é). O '423 é igual ao '123, mas sem esse "recurso".

Quando monoestáveis são desenhados em um diagrama de circuito, o gating de entrada geralmente é omitido, economizando espaço e criando um pouco de confusão.

Reativação A

maioria dos monoestáveis (por exemplo, 4538, '123 e '423 mencionados anteriormente) iniciará um novo ciclo de temporização se a entrada disparar novamente durante a duração do pulso de saída (como na Figura 7.58). Eles são conhecidos como *monoestáveis* reativados. O pulso de saída será mais longo que o normal se eles forem disparados novamente durante o pulso, terminando finalmente uma largura de pulso após o último disparo. O '221, ao contrário, não pode ser disparado: ele ignora as transições de entrada durante o tempo em que o pulso de saída é ativado.

Capacidade de

reinicialização A maioria dos monoestáveis possui uma entrada de RESET de interferência que substitui todas as outras funções. Uma entrada momentânea no terminal RESET encerra o pulso de saída. A entrada RESET pode ser usada para evitar um pulso durante a energização do sistema lógico; no entanto, consulte o comentário anterior sobre o '123.

Tabela 7.3 Multivibradores Monoestáveis

Modelo	Retrig?	Trig	Famílias
'123a	•	!A & B & !R	AHC(T), HC(T), LS, LV, LVC, VHC
'221	-	!A & B	74C, HC(T), LS, LV, VHC
'423	•	!A & B	HC(T), LS
'4538	•	A ou B	4000, HC(T)

Notas: (a) Ver Tabela 7.4.

Largura de

pulso Larguras de pulso de 40 ns até milissegundos (ou mesmo segundos) são atingíveis com monoestáveis padrão, definidos por uma combinação externa de capacitor e resistor. Um dispositivo como o 555 pode ser usado para gerar pulsos mais longos, mas suas propriedades de entrada às vezes são inconvenientes. Atrasos muito longos são melhor gerados digitalmente (consulte §7.2.4).

A Tabela 7.3 lista os monoestáveis comumente disponíveis. Além desses monoestáveis de família lógica tradicional, certifique-se de olhar para os one-shots LTC6993 "TimerBlox" (consulte a tabela na página 433). Ele tem apenas uma entrada de acionamento, mas quatro variantes permitem que você escolha o acionamento de borda ascendente ou descendente e reacionável ou não. Você define a largura de pulso com um pino de seleção de faixa (através de um divisor de tensão de V+) e outro resistor externo que permite o ajuste contínuo em um intervalo de 16:1 dentro da faixa selecionada. Os oito intervalos divididos digitalmente saltam por fatores sucessivos de 8, portanto, um intervalo total de 221:1. As larguras de pulso de saída variam de s a 34 segundos, com precisão de 1 ÿ tempo de pior caso de alguns por cento.

C. Notas de precaução sobre monoestáveis

Monoestáveis têm alguns problemas que você não vê em outros circuitos digitais. Além disso, existem alguns princípios gerais envolvidos em seu uso. Primeiro, um resumo da patologia monoestável.

Alguns problemas com monoestáveis

Timing One-shots envolve uma combinação de técnicas lineares e digitais. Como os circuitos lineares têm os problemas usuais de variação VGS (ou VBE e beta) com temperatura, etc., one-shots tendem a exibir sensibilidade à temperatura e à tensão de alimentação da largura do pulso de saída. Uma unidade típica como o '4538 mostrará variações de largura de pulso de alguns por cento em uma faixa de temperatura de 0–50ÿC e em uma faixa de tensão de alimentação de ±5%. Além disso, as variações de unidade para unidade fornecem uma precisão de previsão de ±10% para qualquer circuito.

Ao olhar para a sensibilidade à temperatura e tensão, é

importante lembrar que o chip pode exibir efeitos de autoaquecimento e que as variações de tensão de alimentação *durante o pulso* (por exemplo, pequenas falhas na linha V+) podem afetar seriamente a largura do pulso.

Variação de marca Monoestáveis com o mesmo número de peça genérico, mas feitos por fabricantes diferentes, podem ter especificações um pouco diferentes, particularmente envolvendo componentes de temporização. A maneira usual de especificar isso é por um "valor K", onde a largura do pulso de saída (para todos, exceto capacitores de valor pequeno) é dada aproximadamente por tw = *KRC* (se a folha de dados não mencionar K, procure a largura do pulso com R=10k e C=100 nF). E é assim que funciona: quase todos os monoestáveis se enquadram em três grupos de valores K, K = 0,7 (todos os monoestáveis '4538) ou *K* é ÿ0,45 ou ÿ1,0 (a maioria dos outros números de peças monoestáveis).

Os monoestáveis '4538 são chatos! Todos eles têm K = 0,7 (ei, não é uma má razão para escolhê-lo...). Mas há alguma empolgação com os outros números de peça, porque o valor K para um determinado número de peça pode ser 1,0 ou 0,45, dependendo de quem o fabrica. Por exemplo, o 74HC123 está disponível em pelo menos cinco fabricantes.[59] As partes FSC e Toshiba garantem uma largura de pulso de saída de 0,9 a 1,1 ms (com tipo de 1,0 ms) para 10k e 100 nF, mas a parte NXP especifica 0,45 ms (tipo, sem especificação mínima ou máxima). As outras duas marcas escolheram diferentes combinações de *RC* , nas quais especificam apenas valores típicos: ST usa 100 nF/100 kÿ (tipo de 4,4 ms) e TI usa 10 nF/ 10 kÿ (tipo de 45 s). Evidentemente, essas partes não são totalmente intercambiáveis![60] Este cuidado se estende geralmente a dispositivos analógicos e de sinais mistos de todos os tipos (considere-se avisado).

Para ilustrar este ponto, reunimos na Tabela 7.4 uma lista abrangente de todos os estábulos mono estilo '123 disponíveis. Os dados incluem a variável de tempo *K* que você pode usar para prever a largura do pulso de acordo com tw=KRC+tmin.[61] O valor efetivo de *K* varia com a tensão de alimentação, então na Figura 7.60 fizemos gráficos mostrando essa dependência para os monoestáveis listados na Tabela 7.4.

Outro parâmetro que varia com o fabricante, e que geralmente não é especificado nas folhas de dados, é a escolha particular das tensões limite – ou seja, as relações dos resistores internos R1–R3 na Figura 7.58. Isso importa, porém, porque a descarga rápida de um tim de pequeno valor

Tabela 7.4 Sincronização Monoestável "Tipo 123"

Mfg	Número da peça		Vsupply mínimo (V)	Vsupply máximo (V)	Kc	mente (ns)	
Toshiba TC74HC123 - 2 6 1,00 150 1 Renesas / 74LS123† 4,5 5,5 0,37 múltiplo		•				-	-
HD74HC123† - 2 6 1,00 390 2 Fairchild MM74HC123 - 2							
				6 1,00 390 6			
TI	CD74HC123 2	•		6 0,45 230 8 6 0,44 230			
ST	M74HC123 - 2 2			9 6 0,45 105 8 110f 4			
NXP	74HC123	•					
TI	SN74AHC123	•	2 5,5 1,00				
NXP 74AHC123 2 5,5 1,00 / Fairchild 74VHC123 - 2 5,5 1,00 Toshiba		•				45 - 75	
TC74VHC123 - 2 5,5 1,00						4	
						75 5	
TI	SN74LV123 - 2 5,5 1,00 NXP 74LV123 -					110 4	
1,2 5,5 0,43 TI SN74LVC1G123 1,65 5,5 1,00 / Toshiba TC7WH123g - 2 5,5 0,95						70 7 95	
						3	
						75 -	

Notas: (a) os sufixos são omitidos; todos, exceto †, têm entradas de disparo Schmitt e todos disparam em (!A) &B. (b) Limites TTL, por exemplo 74HCT123. (c) largura de pulso = KRC + tmin, especificado em 5V para 10k e 0,1ÿF. (d) para RC=0, derivado do valor 2k e 28pF subtraindo 56ns·K. (e) Do gráfico de K vs tensão de alimentação. (f) 75ns para 'AHCT123. (g) único monoestável em encapsulamento de 8 pinos.

O capacitor de ing (digamos ÿ1000 pF ou menos) ultrapassa o limite inferior (um efeito semelhante atormenta o clássico circuito oscilador dente de serra 555, onde o pino DIS puxa o capacitor de temporização rapidamente em direção ao solo). O resultado é uma largura de pulso aumentada (e não muito estável). Pelo menos um fabricante (TI, em seu SN74HC4538) abordou esse problema colocando o limite inferior próximo ao terra (em cerca de 4,3% de V+ ou +0,2 V ao operar a partir de uma fonte de +5 V), portanto, o overshoot de descarga quase sem efeito – o capacitor é recarregado a partir da mesma voltagem, overshoot ou não.

Pulsos longos Para a geração de pulsos longos, você pode usar resistores de temporização de grande valor (até 10M deve ser seguro, mesmo que a folha de dados mostre valores apenas para 200k, digamos, porque esses são projetos CMOS com baixas correntes de fuga). Mesmo assim, o valor do capacitor pode ser de alguns microfarads ou mais; nesse caso, capacitores eletrolíticos são geralmente necessários.[62] Você deve se preocupar com a corrente de fuga (que é insignificante com os tipos de capacitores menores) e deve incluir um diodo em *R* (Figura 7.61A); o último é

[59] FSC, NXP, ST, TI e Toshiba.

[60] As medições feitas nas amostras das partes FSC e TI, com R=10k e C=100 nF, forneceram larguras de pulso de 1,05 ms e 0,42 ms, respectivamente; estes são consistentes com suas folhas de dados individuais.

[61] Folhas de dados rotineiramente omitem o termo tmin , mas ele deve ser incluído para uma precisão razoável ao projetar larguras de pulso curtas.

[62] Se você insistir em usar um capacitor cerâmico de alta capacitância, sua seleção pode ser limitada a tipos com um dielétrico "alto"ÿ, com coeficientes característicos de alta temperatura e tensão, que podem causar variações de capacitância de 50% ou mais. Consulte *§1x.3*.

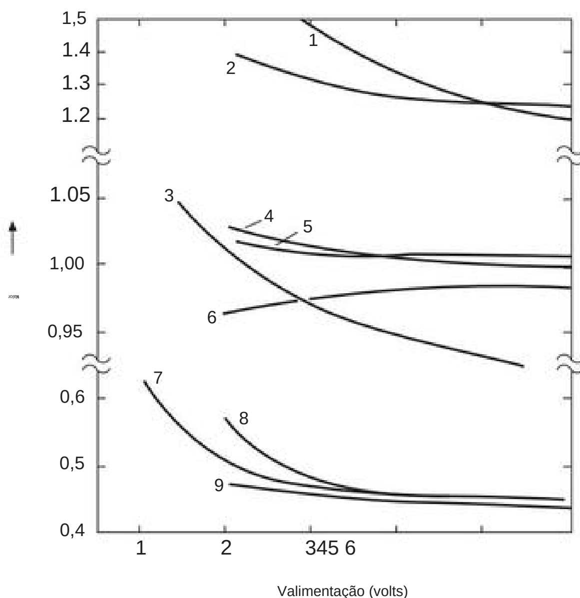


Figura 7.60. Folhas de dados plotam o coeficiente de tempo efetivo *K* versus a tensão de alimentação para os monoestáveis na Tabela 7.4. Observe as mudanças de escala, particularmente o conjunto expandido em torno de K=1,0.

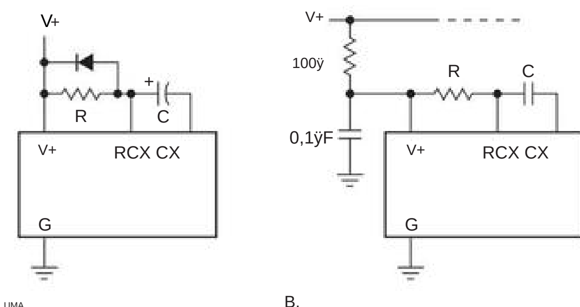


Figura 7.61. Variações de circuitos monoestáveis. A. Um diodo evita a condução reversa no desligamento. B. Uma " alimentação V+ privada" filtrada reduz as instabilidades de ruído de alimentação.

necessário para evitar a condução reversa no terminal *RCX* pelo capacitor de temporização carregado se V+ for desligado abruptamente.

Ciclo de trabalho Com alguns disparos únicos, a largura do pulso é encurtada no ciclo de trabalho alto. Por exemplo, o 74LV123 do NXP, quando alimentado a partir de +3,3 V e usando R=10k eC=100 nF, possui largura de pulso constante de até 95% do ciclo de trabalho, diminuindo cerca de 1,5% próximo a 100% do ciclo de trabalho. O monoestável '221 não reativado é consideravelmente pior a esse respeito, com comportamento errático em ciclos de trabalho altos. Por outro lado, em nossos testes, o Fairchild MM74HC123A manteve o sincronismo perfeito para o ciclo de trabalho de 99,98%, juntamente com um jitter

pulso de saída. (Ele, como o admirável TI SN74HC4538, usa um limite VL bastante baixo , cerca de 10% de V+.)

Outra coisa a se ter em mente é o efeito do tamanho do capacitor no tempo de recuperação de reativação. Por exemplo, a folha de dados 74LVC1G123 da TI tem um gráfico de tempo mínimo de reativação para várias capacitâncias; ele mostra uma espera mínima de 1 s para um limite de tempo de 10 nF, que é 1% da largura de 100 pulsos com um ÿ s ÿ resistor de 10k.

Disparos únicos podem produzir pulsos de saída abaixo do padrão ou instáveis quando acionados por um pulso de entrada muito curto. Há uma largura mínima de pulso de disparo especificada, por exemplo, 140 ns para o 4538 com alimentação de +5 V, 60 ns com alimentação de +15 V (o CMOS de "alta tensão" da série 4000 é mais rápido e tem mais capacidade de unidade de saída quando operado em tensões de alimentação mais altas), 25 ns para o 'HCT423 em sua alimentação especificada de +5 V e 3 ns para o veloz 'LVC123 com alimentação de +3,3 V.

Imunidade a ruído Devido aos circuitos lineares em uma mesa monos, a imunidade a ruído é geralmente mais pobre do que em outros circuitos digitais. One-shots são particularmente suscetíveis ao acoplamento capacitivo próximo ao *R* e *C* externos usados para definir a largura do pulso. Além disso, alguns one-shots são propensos a disparos falsos de falhas na linha V+ ou no solo.

Uma forma de evitar esses problemas é criar uma conta "privada" Alimentação V+ filtrada por RC , conforme Figura 7.61B; alternativamente, você pode alimentar o monoestável a partir de um V+ regulado separadamente, por meio de um pequeno regulador de tensão linear, se tiver disponível um trilho de alimentação de tensão mais alta.

Especificação Esteja ciente de que o desempenho monoestável (previsibilidade da largura de pulso, temperatura e coeficientes de tensão, etc.) pode degradar consideravelmente nos extremos de sua faixa de largura de pulso. As especificações geralmente são fornecidas na faixa de larguras de pulso em que o desempenho é bom, o que pode ser enganoso. Além disso, pode haver muita diferença de fabricante para fabricante no desempenho de monoestáveis do mesmo número de peça. Leia as fichas técnicas com atenção!

Isolamento de saída Finalmente, como acontece com qualquer dispositivo digital contendo flip-flops, as saídas devem ser armazenadas em buffer (por uma porta, um inversor ou talvez um componente de interface como um driver de linha) antes de passar por cabos ou dispositivos externos ao instrumento. Se um dispositivo como um one-shot tentar acionar um cabo diretamente, a capacitância de carga e as reflexões do cabo podem causar operação errática.

Considerações gerais para o uso de monoestáveis

Tenha cuidado, ao usar one-shots, para gerar um trem de pulsos, para que um pulso extra não seja gerado no

"acaba". Ou seja, certifique-se de que os sinais que habilitam as entradas únicas não acionem eles próprios um pulso. Isso é fácil de fazer observando cuidadosamente a tabela de verdade única, se você tiver tempo.

Não abuse de one-shots. É tentador colocá-los em todos os lugares, com pulsos correndo por toda parte. Circuitos com muitos one-shots são a marca do de signer neófito. Além do tipo de problemas que acabamos de mencionar, você tem a complicação adicional de que um circuito cheio de monoestáveis não permite muito ajuste do clock, já que todos os atrasos de tempo são "ajustados" para fazer as coisas acontecerem na ordem certa. Em muitos casos, há uma maneira de realizar o mesmo trabalho sem uma única tentativa, e essa é a preferida.

A Figura 7.62 mostra um exemplo.

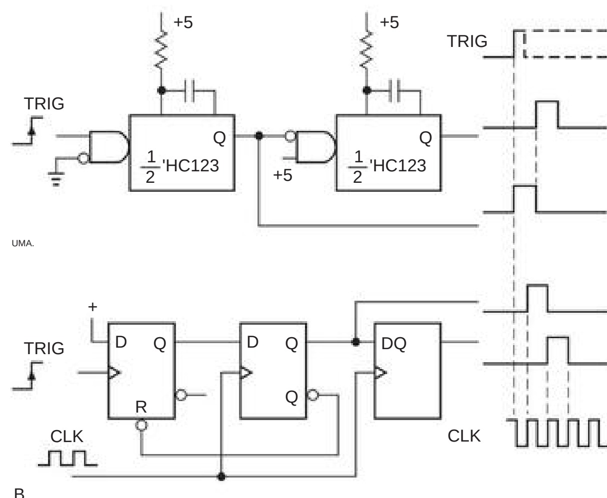


Figura 7.62. Um atraso digital pode substituir os atrasos únicos. Observe que (ao contrário do circuito A, onde o gatilho inicia a saída), em B a entrada do gatilho "arma" o circuito, cuja saída digital é sincronizada com a próxima borda de subida de CLK seguindo o gatilho de entrada.

A ideia é gerar um pulso e, em seguida, um segundo pulso atrasado seguindo a borda ascendente de um sinal de entrada. Eles podem ser usados para configurar e iniciar operações que requerem que alguma operação anterior seja concluída, conforme sinalizado pela borda de subida de entrada. No primeiro circuito, a entrada aciona o primeiro disparo único, que então aciona o segundo disparo único ao final de seu pulso.

O segundo circuito faz o mesmo com os flip-flops tipo *D* , gerando pulsos de saída com largura igual a um ciclo de clock. Este é um circuito síncrono, em oposição ao circuito assíncrono usando monoestáveis em cascata.

O uso de métodos síncronos é geralmente preferível de vários pontos de vista, incluindo imunidade a ruído. Se você quisesse gerar pulsos mais curtos, poderia usar o mesmo tipo de circuito, com o relógio do sistema dividido (através de vários flip-flops de alternância) de um relógio mestre de frequência mais alta. O relógio mestre seria então usado para cronometrar os flip-flops *D* neste circuito. O uso de vários relógios de sistema subdivididos é comum em circuitos síncronos.

Observe que há até um período de clock de jitter no circuito de atraso digital, ao contrário da resposta "instantânea" de monoestáveis em cascata.

§7.2.4 explora ainda mais essa ideia de "temporizadores digitais".

7.2.3 Uma aplicação monoestável: limitando a largura do pulso e o ciclo de trabalho

Aqui está um bom aplicativo monoestável, simples e eficaz, que salvou o dia (e muita dor) em várias ocasiões. É útil sempre que você estiver controlando um dispositivo com pulsos curtos de alta corrente (por exemplo, solenoides ou LEDs) e, principalmente, em situações em que esses pulsos são gerados por software (em um microcontrolador ou FPGA). O perigo, é claro, é que um bug de software ou travamento do microcontrolador pode causar um pulso destrutivamente longo.

Para preparar o cenário com um exemplo específico, os pesquisadores em um de nossos laboratórios estavam fotografando peixe-zebra com um microscópio equipado com um anel iluminador de sessenta LE

O obturador da câmera, operando a 120 quadros/seg, gerou pulsos de LED de 80 s a cada 8 ms. Como o ciclo de trabalho (tON/T) era de ÿ apenas 1%, não havia problema em acionar os LEDs em corrente muito alta (1 A, ou dez vezes sua taxa de corrente contínua de 100 mA) e fazê-lo sem dissipação de calor .

Multar. . . mas uma falha na programação da câmera gerou um pulso longo que destruiu a matriz de LEDs; o custo foi de $ 40. . . e um dia de trabalho.

A solução é um circuito como a Figura 7.63. Ao disparar, o primeiro monoestável gera um pulso T1 que limita a largura máxima do pulso de saída TOUT, desabilitando a porta AND após o tempo T1. O segundo monoestável inibe o retriggering até que tenha expirado o tempo, evitando mais pulsos de acionamento do LED até um tempo total T2 após o último trigger.

Aqui escolhemos os componentes de temporização *RC* para definir ÿ s T1=100 e T2=5 ms. Equipado com este circuito de proteção, o iluminador LED já capturou muitos milhões de retratos de peixe-zebra, com peixes e LED vivendo felizes.

7.2.4 Temporização com contadores digitais

Para trabalhos de cronometragem em que você deseja um longo atraso (minutos a horas ou até mesmo dias) ou em que precisa de precisão real, estabilidade ou previsibilidade, esses métodos de cronometragem analógicos são inadequados. Em vez disso, o que você faz é usar contadores digitais em combinação com um oscilador fixo (talvez de alta

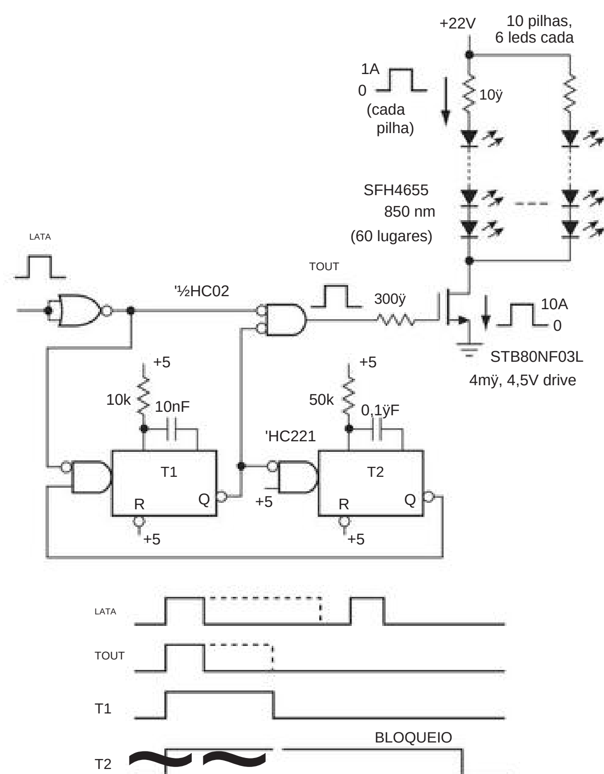


Figura 7.63. Um circuito de proteção simples para dispositivos pulsados de alta corrente: limitando a largura de pulso e o ciclo de trabalho com um par de monoestáveis.

estabilidade). As técnicas digitais são tratadas em detalhes nos Capítulos 10–13; mas eles formam uma parte tão essencial do negócio dos cronômetros que devemos incluí-los aqui.

A. Um exemplo: uma "hora de poder"

Suponha que, para economizar energia da bateria, você deseja que um circuito desligue um instrumento portátil após uma hora. O circuito da Figura 7.64 fará o trabalho. Ele explora o chip contador binário CMOS 4060 (14 estágios em cascata), que inclui um par de inversores internos destinados a fazer um oscilador *RC* (como fizemos em §7.1.2B). Ele pertence à família lógica "4000B high voltage CMOS", permitindo a operação com tensões de alimentação de 3–18 V. Isso é útil aqui, porque podemos executá-lo diretamente da bateria de 9 V (cuja tensão terminal começa a vida em cerca de 9,4 V, e termina em torno de 6 V).

Ao ligar (ou quando o botão START é pressionado) o contador é redefinido para uma contagem de zero (porque a entrada de redefinição "R" é trazida momentaneamente para o nível ALTO), então todos os Q's (as saídas binárias do contador) são BAIXOS. Isso ativa o MOSFET do canal p, fornecendo energia para a carga. Quando o

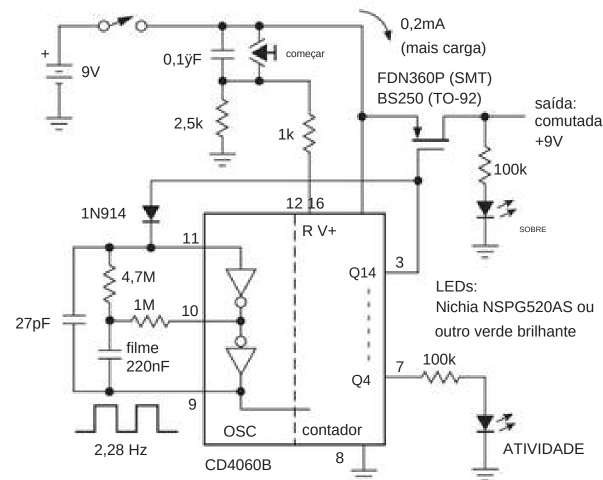


Figura 7.64. "Uma hora de poder." O resistor de ajuste de frequência de 1 Mÿ (nominal) pode consistir em um resistor fixo de 750k em série com um trimmer de 500k.

Quando o contador atinge uma contagem de 213, o bit Q14 vai para o nível ALTO, desligando a energia da carga e também parando o oscilador. Esse é o fim da hora do poder. O 4060 tem corrente quiescente desprezível (A), então a bateria fuga do MOSFET, também é desprezível.

Alguns comentários. (a) Prender o oscilador para encerrar o ciclo, como fizemos aqui, é um truque; mais tipicamente, você usaria um flip-flop cujos dois estados correspondem a ligar e desligar. O popular chip de "temporizador programável" 14541 oferece esses recursos internamente e é uma escolha melhor. (b) O quarto bit do contador (Q4) é usado para sinalizar atividade, para que você saiba que o cronômetro está funcionando. Usamos um LED de alta eficiência, funcionando a 50 A, para minimizar o dreno de corrente. (c) Tarefas como essa são facilmente realizadas com *microcontroladores* programáveis (veja a Figura 7.69 e o Capítulo 15), que são reprogramados de forma flexível e que podem executar outras tarefas ao longo do caminho. Nosso gosto por circuitos como a Figura 7.64 revela, bem, uma certa nostalgia.

Você pode fazer um circuito de hora de energia com um dos elegantes chips "TimerBlox" da LTC (apresentado em §7.1.4B). A escolha óbvia seria o temporizador único LTC6993 (consulte a tabela na página 433), mas essa parte atinge o máximo com uma duração de pulso de 34 segundos. Em vez disso, você pode colocar em serviço o oscilador de baixa frequência LTC6991 (período máximo do oscilador de 9,5 horas!), montado conforme mostrado na Figura 7.65 para que seja mantido no estado de reinicialização após o

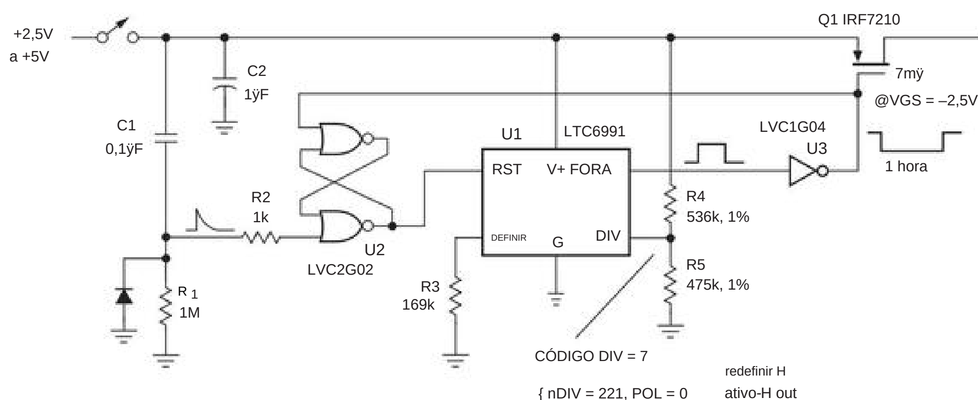


Figura 7.65. Uma hora de energia, estilo TimerBlox.

final de seu primeiro meio ciclo.63 Esse circuito funciona com as baixas tensões para as quais esses chips foram projetados (alimentação única, +2,5 V a +5,5 V), o que exigia uma chave pMOS de baixo limiar para Q1. Uma boa característica desta série de temporizadores é a sua precisão (±1,5% no pior caso): a sua hora de funcionamento terminará dentro de um minuto após a hora marcada.

B. Outro exemplo: "um segundo por hora"

Este desafio de circuito apareceu no grupo de sobre a notícias sci.electronics.design ("sed"): gere um pulso de 1 segundo uma vez por hora, dado um relógio de entrada de 1 Hz; e fazê-lo com um número mínimo de ICs. A Figura 7.66 mostra uma maneira de fazer isso,64 mais uma vez usando um contador binário integrado. Desta vez, usamos o contador de 12 estágios 4040, que não possui um oscilador, mas fornece saídas de todos os estágios. As portas AND (§10.1.4) fornecem uma saída ALTA quando os Qs indicados são todos ALTOS, ou seja, a contagem *n* = 2048+1024+512+8+4+2+1 = 3599; que define o flip-flop de saída (§10.4.1), que gera um ciclo de clock de saída ALTA e também zera o contador.

Como a contagem é redefinida para zero, o ciclo completo é de 3.600 segundos, que, por sorte, é o número de segundos em uma hora.

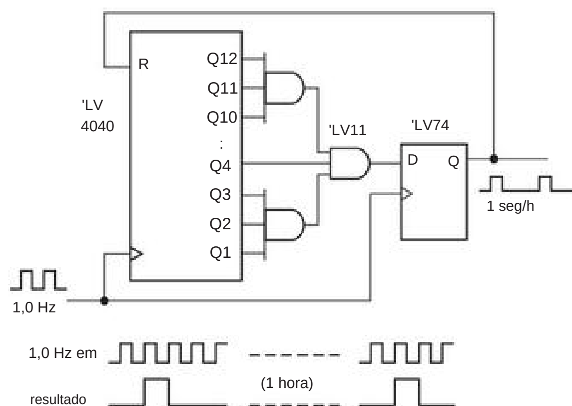


Figura 7.66. Temporizador "um segundo por hora", usando lógica digital.

C. Um terceiro exemplo: controle remoto da câmera

Queríamos usar uma câmera digital Panasonic DMC-LC1 para capturar a luz fraca das imagens das estrelas enquanto elas transitavam por uma série de fotomultiplicadores. A câmera possui uma porta USB para ler e excluir imagens de seu cartão de memória, mas não fornece uma maneira de disparar o obturador. No entanto, ele possui um conector separado para um "disparo do obturador" elétrico, que pode ser ativado com um interruptor ou relé. Portanto, a ideia é usar um relé para tirar uma foto e depois recuperá-la via conexão USB.

Parece fácil – mas há um problema: você não pode tirar uma foto quando a porta USB está ativa. Acontece que você tem que desativar a conexão USB por pelo menos 3 segundos antes de tirar uma foto, então você tem que esperar um ou dois segundos antes de reativá-la para obter a imagem. A Figura 7.67 mostra uma solução para esse problema de temporização, contando novamente com métodos de contagem digital. O circuito é cronometrado por um CMOS 555, rodando a 1 Hz. Ele cronometra um contador decimal '4017, que tem a característica interessante de fornece

63 Um ponto delicado, mas que pode morder: se o pino RST estiver no estado definido quando o chip terminar sua inicialização (aqui ~1,7 ms), então (como declarado casualmente na folha de dados) "o primeiro pulso será ser ignorado." Parece que não é grande coisa - mas esse "primeiro pulso" equivale a um ciclo de tempo completo, em outras palavras, 2 horas. É muito tempo para esperar pela sua hora de poder! É por isso que definimos um reset de jam de inicialização muito mais longo de aproximadamente 100 ms para o flip-flop *SR* U2, garantindo que U1 não verá seu pino RST incorretamente afirmado até que seu pino OUT esteja felizmente em sua hora HOSTIL Estado.

64 Conforme postado lá por John Fields.

saídas individuais para cada um de seus 10 estados (0–9); quando energizado, ele inicia no estado 0 (por causa da reinicialização do *RC)* e progride sequencialmente para cima. Todos os estados 0–4 fazem com que o relé de "energia USB" atue, devido ao arranjo de diodos M2L (Mickey Mouse Logic);65 isso remove a alimentação USB, que é conectada através dos contatos do relé "normalmente fechados". O estado 3 ocorre durante o tempo em que o USB é desativado, acionando o relé e o obturador (contatos "normalmente abertos", aqui). Em seguida, o obturador é desativado e a alimentação USB é restaurada após outro segundo.

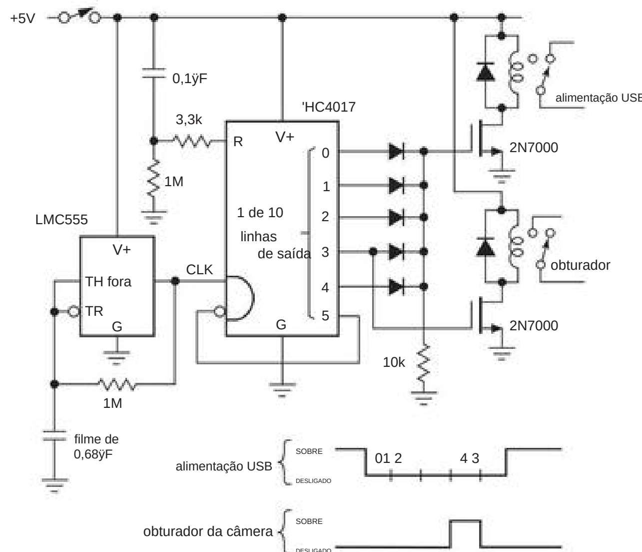


Figura 7.67. Temporizador de controle da câmera. Os relés operam a partir de 5 V (desenhando 40 mA) e podem comutar até 8 A; uma peça adequada é Omron G5C-2114P-US-DC5.

D. Outros chips de temporização digital Há uma classe de chips de contador orientados a temporizadores que são bons para esses tipos de tarefas. Aqui estão alguns que conhecemos e gostamos (e veja também os CIs do contador na Tabela 10.5 na página 742).

ICM7240/42/50/60

Esta série de "Temporizadores/Contadores Fixos e Programáveis" da Maxim inclui um circuito oscilador interno tipo 555, ao qual você conecta um ajuste de frequência externo *R* (para V+) e *C* (para terra). O 7242 de 8 pinos possui um contador módulo-256 fixo, com um par de saídas em fOSC/2 e fOSC/256. As partes 7240/50/60 de 16 pinos permitem que você defina o módulo divisor via pinos de programação: binário (1–255), decimal (1–99) e "tempo real" (1–59), respectivamente. Estes de baixa potência peças (<1 mA) funcionam com tensões de alimentação de 2 V a 16 V, com frequência máxima do oscilador de 1 a 15 MHz (típica) nessa faixa.

MC14536

Este "Temporizador Programável" da ON Semiconductor (anteriormente Motorola) inclui inversores internos para fazer um oscilador *RC* (§7.1.2B), seguido por uma cadeia de contador binário de 24 estágios. Você pode selecionar (através de 4 pinos de entrada) qual dos últimos 16 estágios você deseja como saída; e um mono estável no chip permite que você converta essa saída em um pulso (na faixa de ÿ1–100 s de largura). Você pode ignorar ÿ os primeiros 8 estágios, para atrasos de tempo mais curtos, que podem variar de microssegundos a dias. Esta parte de baixa potência (ÿ1,5 A/kHz, quando acionado por um ÿ oscilador externo) funciona com tensões de alimentação de 3 V a 18 V, com frequência máxima de clock de 1 a 5 MHz (típica) na faixa de 5 a 15 V .

MC14541

Este "Temporizador Programável" da ON Semiconductor é semelhante ao MC14536, mas inclui apenas 16 estágios e limita as opções de taxas de divisão (28, 210, 213 e 216). Em troca, oferece uma redefinição de inicialização interna, uma escolha de polaridade de saída, uma escolha de modos de ciclo único ou ciclo de repetição e corrente operacional um pouco mais baixa. Ele inclui um flip-flop de saída, mas infelizmente não fornece entradas para ajustá-lo ou limpá-lo.

LTC699x "TimerBlox"

Esta série inclui funções de oscilador e temporizador, com programação de frequência (ou atraso) de resistor único e seleção de faixa e modo de divisor de tensão (2 resistores); consulte a tabela na página 433. Eles funcionam com uma única fonte de +2,5 V a +5,5 V, com excelente precisão de tempo (<2%, pior caso, para os osciladores; 3,4% para os temporizadores).

Além dos osciladores e monoestáveis neste família, há o LTC6994-x "Delay Block & De bouncer". A variante -1 atrasa apenas uma borda, enquanto a variante -2 atrasa ambas as bordas (preservando assim a largura de pulso). A faixa de atraso é de 3ÿ s a ÿ1 segundos, selecionável (junto com o modo de polaridade) por meio de um divisor de tensão; um segundo resistor sintoniza o atraso dentro da faixa selecionada, em um intervalo de 16:1. Pulsos de entrada mais curtos do que o atraso não produzem saída, ou ÿ que é útil para debouncing para "qualificação de pulso".

TPL5000/5100

Esses impressionantes cronômetros de nanopotência da Texas Instruments funcionam de 1,8 V a 5,5 V, consomem escassos 40 nA (sim, nanoamps!) 16 a 1024 segundos

65 Na linguagem da lógica digital, esta é uma porta OR de 5 entradas.

Figura 7.68. Implementação do microcontrolador do timer de controle da câmera.

(TPL5000 e 5100, respectivamente). O TPL5100 pode conduzir um MOSFET de potência de canal p, para alternar as cargas de saída.

Microcontroladores

Um microcontrolador é um computador barato e flexível em um chip, destinado a ser "embutido" em praticamente qualquer tipo de dispositivo eletrônico. Teremos muito mais a dizer sobre esses maravilhosos dispositivos no Capítulo 15. Mas não podemos deixar de mostrar, nas Figuras 7.68 e 7.69, soluções análogas baseadas em microcontroladores para o obturador da câmera e exemplos de "horas de energia" cuja implementação em lógica concreta que mostramos nas Figuras 7.67 e 7.64, respectivamente.

Na Figura 7.68, um microcontrolador Atmel "ATtiny24", com oscilador on-chip e funções de timer (e *muito* mais!) seus pinos de saída podem afundar ou fornecer 20 mA, então usamos pares paralelos para lidar com a corrente do relé de 40 mA. Este IC específico custa cerca de um dólar, em pequenas quantidades. Ele, como todos os microcontroladores, está disponível em muitas variantes, com memória adicional, E/S, conversores A/D e assim por diante. São todas pechinchas notáveis.

A versão do microcontrolador da "hora do poder" (Figura 7.69) é um pouco mais complicado, porque os microcontroladores funcionam apenas com tensões de alimentação menores que os +9 V que escolheu para o exemplo anterior na Figura 7.64; normalmente, eles exigem uma tensão de alimentação CC na faixa de +1,8 V a +5 V. A abordagem que adotamos aqui é usar um regulador linear de baixa queda que tenha um modo de desligamento (no qual sua corrente de espera IOFFÿ1 A) , e usar um pino de saída do microcontrolador para habilitar o ÿ regulador durante a operação. O circuito é configurado para consumo de bateria zero (exceto vazamento e IOFF), exceto quando estiver cronometrando.

Uma grande virtude dos microcontroladores programáveis é sua capacidade de fornecer um bom desempenho em qualquer uma das várias tarefas. Nesse circuito, você pode programar o controlador para aceitar outras entradas e produzir outras saídas (por exemplo, sentir temperatura e umidade e exibir valores em um display LCD) e omitir totalmente a comutação da potência de saída.66 Ou, mais simplesmente, como uma variação da humilde tarefa de hora de energia, você poderia ter várias entradas de "modo" que definiriam diferentes tempos, ou padrões de energia, ou o que sempre.

Figura 7.69. Implementação do microcontrolador de "uma hora de energia".

66 Para esse tipo de aplicação, você pode preferir executar todo o circuito em +3 V, por exemplo, de uma célula de lítio ou de um par de células alcalinas.

Revisão do Capítulo 7

Um resumo de A a H do que aprendemos no Capítulo 7.
Este resumo revisa os princípios e fatos básicos do Capítulo 7, mas não abrange os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. Visão geral do oscilador e do temporizador.

Osciladores são circuitos que criam uma forma de onda de saída periódica. A saída pode ser tão simples quanto uma onda quadrada de nível lógico (ou trem de pulsos) para uso como um "relógio" em um sistema digital. Ou pode ser uma fonte altamente precisa, estável e talvez programável de ondas senoidais de baixa distorção (ou de outras formas de onda, por exemplo, uma rampa periódica para uso em um ADC ou um conversor de energia de modo chaveado PWM). O sinal de um oscilador é amplamente caracterizado por sua forma de onda, frequência, amplitude e sintonizabilidade e, em um nível mais profundo de escrutínio, por seu ruído de fase, jitter, supressão de banda lateral, distorção, coeficiente de temperatura de frequência e longo estabilidade a longo prazo.

Os *temporizadores* são circuitos que geram um pulso atrasado, ou um pulso de uma determinada largura, após um evento de disparo. Um temporizador é amplamente caracterizado pela largura do pulso de saída, tempo de atraso e retriggerability e, em um nível mais profundo de escrutínio, pelo jitter de temporização, estabilidade de longo prazo do intervalo de temporização e tempco.

¶B. Osciladores de relaxamento.

Esses osciladores simples exploram um decaimento *RC* (ou uma corrente carregando um capacitor) para gerar uma oscilação sustentada.
O *RC* pode ser enrolado em um amplificador operacional ou comparador, formando o clássico oscilador pedagógico (§7.1.2A).
Mais comum é o uso de inversores lógicos (§7.1.2B), ou um temporizador IC como o onipresente 555 (§7.1.3 e Tabela 7.1) ou seus antepassados contemporâneos (por exemplo, a série LTC6900, §7.1.4). Esses ICs de temporizador ou oscilador fornecem precisão e previsibilidade razoáveis (ÿ1%), em frequências que variam de alguns hertz a um megahertz ou mais. Ao adicionar um contador digital, você pode estender o período para minutos, horas ou quase para sempre; exemplos são o 74HC4060 *(oscilador RC* mais contador binário de 14 estágios; §7.1.4C) e o LTC6991 (oscilador programado por resistor, períodos de 1 ms a 9 horas; §7.1.4B). No extremo oposto da escala de tempo, os ICs lógicos estendem a faixa de frequência do oscilador *RC* para dezenas ou mesmo centenas de megahertz (§7.1.4D).

¶C. Osciladores controlados por tensão.

Às vezes, você deseja sintonização de frequência, por meio de uma tensão de controle de entrada. Isso é um *VCO.* Estes podem ser altamente lineares e estáveis (por exemplo, o conversor V-para-F AD650, ~0,01% não linearidade) ou apenas simples (por exemplo, a série 74LS624-629, precisão e linearidade não especificadas, mas provavelmente boas para talvez ±20%). Os osciladores construídos com ressonadores *(LC,* cristal, SAW, silício) em vez de RC também podem ser ajustados eletricamente; para alguns, a faixa de sintonia é estreita (por exemplo, a faixa de sintonia de frequência de um oscilador de cristal controlado por tensão, ou VCXO, é de ou der ±100 ppm, §7.1.6C), enquanto um oscilador *LC* pode ser sintonizado por varactor em 2 :1 faixa de frequência. Módulos VCO completos estão disponíveis para faixas de frequência de banda de comunicação, por exemplo, os vários módulos da Crystek que juntos abrangem a faixa de cerca de 50 MHz a 5 GHz; os módulos individuais sintonizam cada um em uma faixa modesta, de apenas ±1% a até ±25%.

¶D. Osciladores de onda senoidal.

As formas de onda inerentes dos osciladores de relaxamento são segmentos de carga e descarga exponenciais (se construído com um RC), ou rampas lineares (se o resistor for substituído por uma fonte de corrente); em ambos os casos, essas formas de onda acionam um circuito comparador para inverter o ciclo. Ou seja, as formas de onda "naturais" são ondas quadradas, triangulares ou dente de serra, ou o que pode ser chamado de ondas "barbatanas de tubarão". O que você não consegue são ondas *senoidais* .

Mas as ondas senoidais são essenciais para muitas tarefas; e você *pode* gerá-los, com alguma esperteza, com a frequência definida apenas por R's e C's, análoga ao simples oscilador de relaxamento. O mais famoso é o *oscilador de ponte de Wien* (§7.1.5B), um arranjo de dois R's e dois C's cujos deslocamentos de fase são cancelados em uma frequência f=1/2 *RC,* onde a atenuação é exatamente um fator de 1/3. O circuito oscilador envolve esta rede em torno de um amplificador operacional não inversor com ganho igual a +3. O truque final é sentir a amplitude de saída e mantê-la em um nível predefinido (e não saturado) controlando o ganho. Um par de companheiros chamados Hewlett e Packard fundou um negócio com este como seu primeiro produto; o resto é história.

Você também pode criar ondas senoidais filtrando uma forma de onda não senoidal. Esta é a base do *oscilador de deslocamento de fase RC* (§7.1.5C) e da técnica de filtro de rastreamento digital (§7.1.5A).

Um oscilador que gera um par de sinais senoidais com uma diferença de fase de 90ÿ (ou seja, seno e cosseno) é chamado de oscilador de *quadratura* (§7.1.9); os sinais estão "em quadratura". Isso pode ser feito com técnicas analógicas (em par de integrador, ressonador de capacitor comutado, filtro de sequência de fase, híbrido de quadratura de RF) ou com síntese digital (consulte ¶G abaixo).

¶E. Osciladores baseados em ressonador.

Os osciladores de relaxamento e os osciladores baseados em RC em geral podem fornecer estabilidades não melhores que 1% ou mais. Isso porque sua precisão depende de um decaimento exponencial (no domínio do tempo) ou de uma mudança de fase gradual (no domínio da frequência). Para melhor estabilidade, você precisa explorar um sistema ressonante, cuja frequência física natural pode ser extremamente bem definida. Pode ter um "fator de qualidade" *Q* (que é sua seletividade de frequência *ÿf / f*) de um milhão ou mais.

O circuito ressonante *LC* simples é amplamente utilizado na faixa de frequência de quilohertz a centenas de megahertz (§7.1.5D), com estabilidades da ordem de 10 a 100 ppm e com sintonização por meio de um capacitor ou indutor variável mecânico ou um indutor eletricamente variável. capacitor sintonizável (um varactor). Para frequências mais altas, o circuito sintonizado *LC* pode ser substituído por um ressonador coaxial ou de cavidade.

Melhor estabilidade (mas menos sintonização) é fornecida por ressonadores *eletromecânicos :* cristal de quartzo (§7.1.6), cerâmica (§7.1.6G) e onda acústica de superfície (SAW; §7.1.6H). Estes são baratos e estáveis (ÿ10ppm), e cristais de quartzo e módulos osciladores de cristal estão disponíveis em uma ampla seleção de frequências padrão na faixa de 10 kHz a 100 MHz (e os fabricantes de cristais ficarão felizes em fornecer qualquer frequência que você desejar, como um produto de encomenda especial, a preços bastante razoáveis). Os osciladores de cristal podem ser "puxados" até ±100 ppm com um varactor; algumas vezes são chamados de VCXOs (osciladores de cristal controlados por tensão). Os osciladores do ressonador de cerâmica podem ser puxados em uma faixa mais ampla (±1000 ppm), devido ao seu Q mais baixo; a desvantagem é a estabilidade de frequência mais pobre. Eles são muito caros, mas vêm em apenas um conjunto limitado de frequências padrão.

¶F. Osciladores de alta estabilidade.

Os osciladores de cristal mantidos em temperatura constante são notavelmente estáveis, tão bons quanto 1 parte em 109 para um OCXO (oscilador de cristal controlado por forno) bem projetado; a deriva residual deve-se principalmente a efeitos de "envelhecimento" mecânicos e difusionais. Para uma estabilidade ainda melhor, você precisa de um padrão *atômico* (§7.1.7B), sendo o mais acessível um oscilador de cristal estabilizado por vapor de rubídio. Estes entregam estabilidades de peça 1 em 1010, e seus preços (em torno de $1k, mas você pode conseguir alguns negócios reais no eBay) permitem a inclusão em teste de precisão e equipamentos de comunicação. Existem padrões de frequência mais precisos (e exóticos) – feixe de césio, maser de hidrogênio, fonte atômica, íon resfriado – mas, como dizem, "se você precisa perguntar o preço, não pode pagar".

Felizmente, você pode tirar proveito de seus impostos no trabalho, ou seja, o tempo preciso fornecido pela constelação de satélites GPS. Por cerca de $ 1k (e um lugar para colocar um pouco antena do tamanho de uma maçaneta), você pode ter sua própria referência de 10 MHz, com estabilidade de longo prazo da ordem 10-12.

¶G. Síntese de Frequência.

VCOs são *sintonizáveis,* mas não particularmente estáveis, nem capazes de abranger muitas décadas de frequência; em contraste, um oscilador de cristal é *estável,* mas sintonizável no máximo em partes por milhão. Mas você pode ter as duas coisas: a partir de um oscilador de referência estável em alguma frequência fixa padrão (tipicamente um oscilador de cristal altamente estável de 10,0 MHz), você pode gerar uma frequência de saída de sua escolha, com um dos vários métodos de *síntese de frequência* (§7.1 .8). A mais simples de entender é *a síntese digital direta* (DDS), na qual amplitudes senoidais sucessivas são lidas de uma tabela na taxa apropriada e convertidas em uma tensão de sinal de saída analógica. Chips DDS completos que incluem todo o hardware (contadores, tabela de pesquisa de seno, ADC) estão amplamente disponíveis e são baratos. Você fornece a frequência de referência e conversa com essas coisas com um microcontrolador (Capítulo 15) para definir a frequência de saída, deslocamento de fase e assim por diante. Os chips DDS permitem sintetizar frequências de saída que variam de frações de um hertz até um gigahertz, com *agilidade* de frequência (a capacidade de alterar a frequência com rapidez e precisão).

A síntese de loop fechado de fase (PLL) é outra técnica comum. Em sua forma mais simples, um VCO é controlado por um comparador de fase cujas entradas são a subdivisão r da frequência de referência e a subdivisão n da frequência de saída do VCO. Então fout=(n/r)fref. Existem muitas sutilezas aqui, envolvendo estabilidade de loop, bandas laterais e jitter, resolução, travamento e tempos de giro, e assim por diante.

Veja §13.13 para uma discussão extensa.

¶H. Temporizadores e One-shots.

Você pode fazer pulsadores disparados por borda simples com apenas um *RC,* ou (melhor) com um *RC* assistido por um BJT ou MOSFET (§7.2.1A). Mas você obtém pulsos mais limpos com tempos de borda mais rápidos se usar portas lógicas (§7.2.1C). Para melhor previsibilidade, é melhor usar um IC projetado para uso com temporizador, seja um multivibrador monoestável (um "one-shot"), um temporizador do tipo 555 ou um de uma classe de temporizadores especializados como o LTC6991/3, ICM7240/ 50/60 ou MC14536/41. Os monoestáveis, sendo componentes de sinais mistos (partes lógicas com uma função linear), têm seus "problemas", principalmente sua sensibilidade ao ruído do trilho de alimentação; eles também têm um intervalo de tempo um tanto limitado (normalmente dezenas de nanossegundos a segundos). Eles vêm em tipos não recarregáveis e recarregáveis; os últimos estendem a duração do pulso se outro gatilho chegar durante o pulso. As larguras de pulso são definidas por um

RC externo , com constante multiplicadora *K* de ordem unitária (ÿ=KRC+tmin); consulte a Tabela 7.4 e a Figura 7.60.

Você pode fazer muito mais com chips temporizadores que incorporam um contador digital (por exemplo, o LTC6991 estende o intervalo de temporização para dez horas) ou pode configurar um bi externo. contador nary. Ao pensar em intervalos de tempo estendidos ou, na verdade, em praticamente qualquer tarefa de temporização, não se esqueça do *microcontrolador* versátil (o assunto do Capítulo 15); lá você encontrará um exemplo de cronometragem, na forma de um "monitor de bronzeado" (§15.2).

TÉCNICAS DE BAIXO RUÍDO

CAPÍTULO **8**

Em muitas aplicações, você está lidando com pequenos sinais, para os quais é essencial minimizar os efeitos degradantes do “ruído” do amplificador. O design de baixo ruído é, portanto, uma parte importante da arte da eletrônica. Os detalhes extensos (decorados com mais do que a nossa cota geralmente insignificante de equações!) neste capítulo refletem a riqueza do design de baixo ruído. O mesmo acontece com o seu comprimento - é o capítulo mais longo do livro. Reconhecendo que muitos leitores terão um interesse pouco apaixonado pelos vários assuntos tratados aqui, oferecemos o seguinte guia.

Um guia rápido para este capítulo Os fundamentos do ruído são explicados em §8.1 (“Ruído”), que deve ser lido primeiro. Leitores interessados principalmente em projeto de baixo ruído com *amplificadores operacionais* podem então pular para a discussão, tabelas e gráficos em §8.9 (“Ruído em circuitos de amplificador operacional”). Os interessados em projeto de baixo ruído com transistores discretos (ou interessados em obter uma compreensão mais completa do que está acontecendo “sob o capô” dos amplificadores operacionais) devem ler §8.5 (“Projeto de baixo ruído com transistores bipolares”) e § 8.6 (“Projeto de baixo ruído com JFETs”). Leitores que trabalham com circuitos de fotodiodos e similares devem ler §8.11 (“Ruído em amplificadores de transimpedância”).[1] Para uma discussão sobre *medição de ruído,* vá para §8.12 (“Medições de ruído e fontes de ruído”) e §8.13 (“ Limitação de largura de banda e medição de tensão RMS”).

Um guia ainda mais rápido sobre ruído Este capítulo é longo e está repleto de detalhes matemáticos e informações sobre centenas de transistores e amplificadores operacionais. Mas o ruído não precisa ser complicado. Em um espírito de encapsular a essência do ruído, oferecemos um minuto sem respiração "levar" no final da aula: O ruído aleatório que você se preocupa é caracterizado por sua *densidade* (amplitude de ruído rms em uma banda de frequência de 1 Hz); a densidade de ruído de tensão é chamada e_n e tem unidades como nV/ ÿ Hz. Da mesma forma, o símbolo para *corrente* de ruído é i_n; uma corrente de ruído na entrada de um amplificador flui através da resistência da fonte do sinal, criando sua própria tensão de ruído $e_n = i_n R_s$. Se um a fonte de ruído é uniforme na frequência, é chamada de “ruído branco” e a tensão de ruído rms contida em uma largura de banda *B* é apenas $v_n = e_n \sqrt{B}$. Sabendo disso, você pode ir para as Tabelas 8.3a–8.3c na página 522, que lista e_n e i_n para uma ampla seleção de amplificadores operacionais, para descobrir quanto ruído é adicionado em um estágio de amplificador. Multiplique pelo ganho do amplificador e pronto, você terá o ruído de saída.

Amplificadores não são a única fonte de ruído. Um resistor gera “ruído Johnson”, eq'n 8.4, e as cargas discretas em um fluxo de corrente geram “ruído shot”, eq'n 8.6. Ambos são ruído branco.[2] Por fim (com dez segundos restantes) – para calcular o ruído total em um circuito com várias fontes de ruído independentes, você obtém a soma dos quadrados de cada densidade de ruído, multiplica pela largura de banda e calcula a raiz quadrada. Acabou o tempo. Fim da aula.

8.1 "Ruído"

Em quase todas as áreas de medição, o limite máximo de detecção de sinais fracos é definido pelo ruído – sinais indesejados que obscurecem o sinal desejado. Mesmo que a quantidade medida não seja fraca, a presença de ruído degrada a precisão da medição. Algumas formas de ruído são inevitáveis (por exemplo, flutuações reais na quantidade sendo medida) e podem ser superadas apenas com as técnicas de *média de sinal* e *estreitamento de largura de banda.*

[3] Outras formas de ruído (por exemplo, interferência de radiofrequência e “loops de aterramento”) podem ser reduzidas ou eliminadas por uma variedade de truques, incluindo filtragem e atenção cuidadosa à configuração da fiação e localização das peças. Por fim, existe o ruído que surge no próprio processo de amplificação e pode ser reduzido por meio de técnicas de projeto de amplificadores de baixo ruído. Embora as técnicas de média de sinal

1 E também a discussão relacionada de estabilidade e largura de banda em *§4x.3.*

2 As coisas ficam mais interessantes quando a densidade do ruído varia com a frequência, por exemplo, o notório “ruído oscilante” rosa que aumenta como $e_n \propto 1/\sqrt{f}$ em baixas frequências. Esse aborrecimento fascinante (e irritante) não passa despercebido neste capítulo!

3 Veja §8.14, e também o Capítulo 15 da segunda edição deste livro (1989).

muitas vezes pode ser usado para resgatar um sinal enterrado no ruído, sempre vale a pena começar com um sistema que esteja livre de interferência evitável e que possua o menor ruído de amplificador praticável.

Começamos falando sobre as origens e características dos diferentes tipos de ruído que afligem os circuitos eletrônicos. Em seguida, iniciamos uma discussão sobre o ruído do transistor bipolar (BJT) e do transistor de efeito de campo (FET), incluindo métodos para projeto de baixo ruído com uma determinada fonte de sinal, e apresentamos alguns exemplos de projeto. Após uma breve discussão sobre ruído em amplificadores diferenciais e de realimentação, continuamos com o projeto de baixo ruído com amplificadores operacionais, incluindo amplificadores de transimpedância (corrente para tensão). Seguem-se seções sobre medições de ruído, limitação de largura de banda e detecção de lock-in e, em seguida, uma breve discussão sobre o ruído da fonte de alimentação. Concluímos com uma seção sobre aterramento e blindagem adequados e a eliminação de interferência e pickup.

Como o termo *ruído* pode ser aplicado a qualquer coisa que ofusque um sinal desejado,4 o ruído pode assumir a forma de outro sinal (“interferência”); na maioria das vezes, no entanto, usamos o termo para descrever o ruído “aleatório” de origem física (de dez térmicas). O ruído pode ser caracterizado por seu espectro de frequência, sua distribuição de amplitude e o mecanismo físico responsável por sua geração. Vejamos a seguir os principais ofensores:

Ruído de **Johnson:** Tensão de ruído aleatório criada por flutuações térmicas em um resistor.

Ruído de tiro: flutuações estatísticas aleatórias em um fluxo corrente causada pela natureza discreta da carga elétrica.

Ruído de oscilação: Ruído aleatório adicional, aumentando normalmente como 1/ *f* de potência em baixas frequências, com várias causas.

Ruído de rajada: ruído de baixa frequência normalmente visto como saltos aleatórios entre um par de níveis, causados por defeitos materiais do dispositivo.

8.1.1 Ruído Johnson (Nyquist)

Qualquer resistor antigo sobre a mesa gera uma voltagem de ruído em seus terminais conhecida como ruído de Johnson (ou ruído de Nyquist).5 Ele tem um espectro de frequência plano, significa verificando que existe a mesma potência de ruído em cada hertz de frequência (até certo limite, é claro). O ruído com trum de especificação plana também é chamado de “ruído branco”. A tensão de ruído de circuito aberto real gerada por uma resistência *R* na temperatura *T* é dada por

$$\text{vnoise(rms)} = \text{vn} = (4kT\,RB)^{\frac{1}{2}}\ \text{V(rms)}, \qquad (8.1)$$

onde *k* é a constante de Boltzmann, *T* é a temperatura absoluta em Kelvins (K=ÿC+273,16) e *B* é a largura de banda em hertz. Assim , vnoise(rms) é o que você mediria na saída se acionasse um filtro passa-banda sem ruído perfeito (de largura de banda B) com a tensão gerada por um resistor na temperatura T. À temperatura ambiente (68ÿF = 20ÿC = 293K),

$$4kT = 1{,}62\times10ÿ20\ \text{V2/Hzÿÿ}, 2 = 1{,}27\times10ÿ10\ \text{V/Hz}\ ÿ\ 1{,}4R\times10ÿ12\ \text{V/Hz}\ (4kTR)^{\frac{1}{2}} = ÿ^{\frac{1}{2}}. \qquad (8.2)$$

Por exemplo, um resistor de 10k à temperatura ambiente tem uma tensão rms de circuito aberto de 1,3 V, medida com uma largura de banda de 10 ÿ kHz (por exemplo, colocando-o na entrada de um bom amplificador de áudio e medindo a saída com um voltímetro). A resistência da fonte dessa tensão de ruído é apenas R. Se você conectar os terminais do resistor juntos, obterá uma corrente (de curto-circuito) de

$$\text{inoise(rms)} = \text{vnoise(rms)}/R = \text{vnR}/R = (4kTB/R)^{\frac{1}{2}}. \qquad (8.3)$$

Como veremos em §8.2.1, é conveniente expressar a tensão de ruído (ou corrente) como uma *densidade* en (tensão eficaz por largura de banda de raiz quadrada). O ruído de Johnson, com sua especificação plana (branca), tem densidade de tensão de ruído constante

$$\text{en} = ÿ\ 4kTR\ \text{V/Hz}^{\frac{1}{2}}, \qquad (8.4)$$

a partir do qual a tensão de ruído rms em alguma largura de banda limitada *B* é então simplesmente vn=en *ÿB.* Da mesma forma, a densidade de corrente de ruído de curto-circuito é

$$\text{in} = 4kT/R\ \text{A/Hz}^{\frac{1}{2}}. \qquad (8.5)$$

A Figura 8.1 mostra a relação simples entre a densidade de tensão de ruído de Johnson e a resistência da fonte; também é mostrada a densidade de corrente de ruído de curto-circuito. Um número fácil de lembrar, ao escolher valores de resistor para projetos de amplificadores de baixo ruído, é que um resistor de 1kÿ em temperatura ambiente gera uma densidade de tensão de ruído de circuito aberto de 4 nV/ÿ Hz; escala pela raiz quadrada de resistência para outros valores.6

[4] Como notou Lew Branscomb, “a natureza não 'sabe' que experimento um cientista está tentando fazer. Deus ama o barulho tanto quanto o sinal.” Ver L. Branscomb, “Integrity in Science,” *Am. ciência* **73,** 421–23 (1985).

[5] Experimento e fórmulas de JB Johnson, Letter to *Nature,* **119,** 50 (1927), *Phys. Rev.* **32,** “Agitação térmica de eletricidade em condutores,” 97–109, (1928), teoria subsequente de H. Nyquist, *Phys. Rev.,* "Agitação térmica de carga elétrica em condutores", **32,** 110-113, (1928).

[6] Achamos útil lembrar os valores de *q* e de *4kT* (que mantém

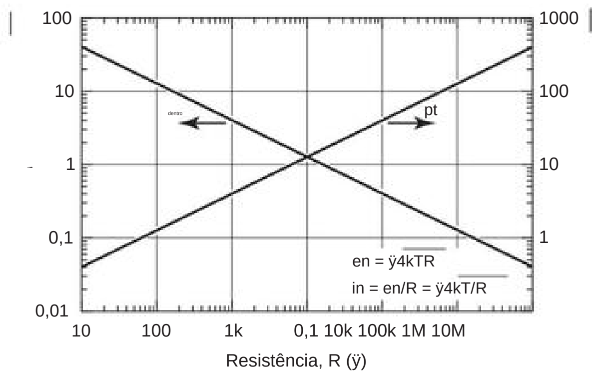


Figura 8.1. Tensão de ruído térmico de circuito aberto e densidades de corrente de ruído térmico de curto-circuito versus resistência a 25ÿC.

Aqui está uma útil minitabela de ruído de Johnson, listando as *densidades* de ruído de tensão e corrente (unidades de V/ ÿ Hz e A/ ÿ Hz) e ruído na faixa de 10 kHz, por sete valores de resistência relacionados à década:

Ruído de Johnson, em T=25ÿC

curto circuito aberto en *ÿB*

R	pt (nV/ ÿ Hz)	B=10 kHz (ÿ V)	dentro (pA/ÿ Hz)	em *ÿB* B=10 kHz (pA)
100 ÿ 1,28		0,128	12.8	1280
1k	4.06	0,406	4.06	406
10k	12.8	1.28	1.28	128
100k 40,6 1M		4,06	0,406	40,6
128 10M 406		12,8	0,128	12,8
100M 1280		40,6	0,041	4,06
		128	0,0128	1,28

A amplitude da tensão de ruído de Johnson em qualquer instante é, em geral, imprevisível, mas obedece a uma distribuição de amplitude Gaussiana (Figura 8.2), onde p(V)dV é a probabilidade de que a tensão instantânea esteja entre *V* e *V*+ *dV* e vn(rms) é a tensão de ruído rms, fornecida anteriormente.7 O significado do ruído de Johnson é que ele estabelece um limite inferior na tensão de ruído

em qualquer detector, fonte de sinal ou amplificador com resistência. A parte resistiva de uma impedância de fonte gera ruído de Johnson, assim como os resistores de polarização e carga de um amplificador. Você verá como tudo funciona atualmente.

É interessante notar que o análogo físico da resistência (qualquer mecanismo de perda de energia em um sistema físico, por exemplo, atrito viscoso atuando sobre pequenas partículas em um líquido) tem associado a ele flutuações na quantidade física associada (neste caso , a velocidade das partículas, manifestada como o movimento browniano caótico). O ruído de Johnson é apenas um caso especial desse fenômeno de flutuação-dissipação.

O ruído de Johnson não deve ser confundido com a tensão de ruído adicional criada pelo efeito das flutuações de resistência quando uma corrente aplicada externamente flui através de um resistor. Este "excesso de ruído" tem um espectro de 1/ *f* (aproximadamente) e é fortemente dependente da construção real do resistor. Falaremos sobre isso mais tarde.

8.1.2 Ruído de tiro

Uma corrente elétrica é o fluxo de cargas elétricas discretas, não um fluxo suave semelhante a um fluido. A finitude do quantum de carga resulta em flutuações estatísticas da corrente. Se as cargas agem independentemente uma da outra, a densidade de ruído da corrente flutuante é dada por

$$i_n = \overline{2qI_{dc}}\ \mathrm{A/Hz}^{\frac{1}{2}}, \qquad (8.6)$$

onde *q* é a carga do elétron (1,60 × 10ÿ19 coulomb).
Esse ruído, como o ruído do resistor Johnson, é branco e gaussiano. Portanto, sua amplitude, tomada em uma largura de banda de medição B, é apenas

$$i_{noise}(rms) = i_nR(rms) = i_n\ ÿ\ \overline{B} = (2qI_{dc}B)^{\frac{1}{2}}\ \mathrm{A(rms)}. \qquad (8.7)$$

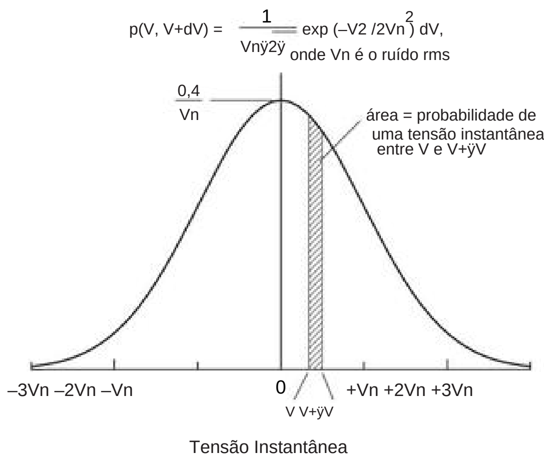


Figura 8.2. O ruído de Johnson obedece a uma distribuição Gaussiana de amplitudes. O fator de normalização 0,4/Vn garante uma área unitária adimensional sob a curva de sino (o "0,4" é na verdade 1/ÿ2 cerca de 0,3989).

aparecendo) juntos, porque em unidades SI eles são 1,6 × 10ÿ19 e 1,6 × 10ÿ20, respectivamente.

7 Veja também a Figura 8.115, que traça as probabilidades (mais de 9 décadas) de que a amplitude instantânea exceda algum múltiplo da amplitude rms.

Por exemplo, uma corrente "estável" de 1 A realmente tem uma flutuação eficaz de 57 nA, medida em uma largura de banda de 10 kHz; ou seja, flutua cerca de 0,000006%. As flutuações relativas são maiores para correntes menores: uma corrente "estável" de 1 A realmente tem uma flutuação de ruído de corrente rms, medida em ÿ uma largura de banda de 10 kHz, de 0,006%, ou seja, ÿ85 dB.

A 1 pA dc, a flutuação da corrente eficaz (mesma largura de banda) é de 57 fA, ou seja, uma variação de 5,7%! Ruído de tiro é "chuva em telhado de zinco".

Aqui está uma lista útil de densidade de corrente de ruído de disparo e corrente de ruído de disparo em uma banda de 10 kHz para correntes decadais abrangendo 12 ordens de magnitude:

Corrente de ruído de tiro
B = 10 kHz

idc	dentro	em ÿB (10 kHz)	em ÿB _ idc
1 fA	18 aA/ÿ Hz	1,8 fA	+5 dB
1 pA	0,57 fA/ÿ Hz	57 fA	ÿ25 dB
1 nA	18 fA/ÿ Hz	1,8 pA	ÿ55 dB
A	0,57 pA/ÿ Hz	57 pA	ÿ85 dB
1 mA	18 pA/ÿ Hz	1,8 nA	ÿ115 dB

Um ponto importante: a fórmula de ruído de tiro fornecida anteriormente assume que os portadores de carga que constituem a corrente agem independentemente. Esse é realmente o caso de cargas que atravessam uma barreira, por exemplo, a corrente em um diodo de junção, onde as cargas se movem por difusão; mas não é verdade para o caso importante de condutores metálicos, onde existem correlações de longo alcance entre os portadores de carga. Assim, a corrente em um circuito resistivo simples tem muito menos ruído do que o previsto pela fórmula do ruído de tiro. Outra exceção importante à fórmula de ruído de disparo é fornecida por nosso circuito de fonte de corrente de transistor padrão (Figura 2.32); discutimos isso mais adiante em §8.3.5.

Exercício 8.1. Um resistor é usado como carga do coletor em um amplificador de baixo ruído; o IC de corrente do coletor é acompanhado por ruído de tiro. Mostre que a tensão do ruído de saída é dominada pelo ruído shot (em vez do ruído de Johnson no resistor), desde que a queda de tensão quiescente no resistor de carga seja maior que *2kT/ q* (50mV, em temperatura ambiente).

8.1.3 Ruído 1/f (ruído oscilante)

O ruído shot e o ruído Johnson são formas irredutíveis de ruído gerado de acordo com princípios físicos. O resistor mais caro e feito com mais cuidado tem exatamente o mesmo ruído de Johnson que o resistor de carbono mais barato com a mesma resistência. Dispositivos reais possuem, além disso, várias fontes de "excesso de ruído". Resistores reais sofrem de flacidez variações na resistência, gerando uma voltagem de ruído adicional (que se soma ao sempre presente ruído de Johnson) proporcional à corrente CC que flui através deles. Este ruído depende de muitos fatores que têm a ver com a construção do resistor em particular, incluindo o material resistivo e especialmente as conexões dos terminais. Aqui está uma lista de excesso de ruído típico para vários tipos de resistores, dados como microvolts rms por volt aplicados ao resistor, medidos em uma década de frequência: (equação 8.13)

Composição de carbono	0,10 ÿ V a 3,0 V ÿ V
filme de carbono	0,05 ÿ a 0,3 V a ÿ V
filme de metal	0,02 ÿ 0,2 V a ÿ V
Fio enrolado	0,01 ÿ 0,2 ÿ V

Esse ruído tem aproximadamente um espectro de potência de 1/f (potência igual por década de frequência) e às vezes é chamado de "ruído rosa". Quando plotado contra tensão ou corrente (em vez de potência), sua *amplitude* cai como 1/ ÿ *f* , conforme mostrado na Figura 8.3. A Figura 8.4 mostra como ele se parece em comparação com uma amostra de ruído branco e do que às vezes é chamado de "ruído vermelho" (espectro de potência 1/f²; veja a Figura 8.93 para ver como ele se parece) é quase sempre um sinal próprio,

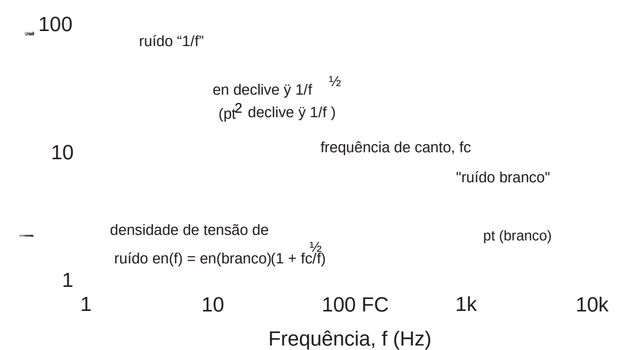


Figura 8.3. Quando plotado em eixos logarítmicos como tensão de ruído versus frequência, o ruído 1/ *f* se inclina para baixo com uma inclinação de 1/2, ou seja, como 1/*f*^½ (é a potência do ruído que vai como 1/ f).

Muitas vezes você vê a notação fc para a frequência de canto na qual o ruído 1/ *f* é o mesmo que um componente de ruído branco subjacente.[8] A densidade de tensão de ruído combinada é

$$e_n(f)=e_n(\text{branco})\sqrt{1+f_c/f}\,, \quad (8.8)$$

a partir da qual pode ser calculada a tensão de ruído integrada rms numa banda que se estende de f1 a f2 ; veja a equação 8.59 na página 565.

8 Você pode estimar fc com a ajuda da eq'n 8.27 na página 491.

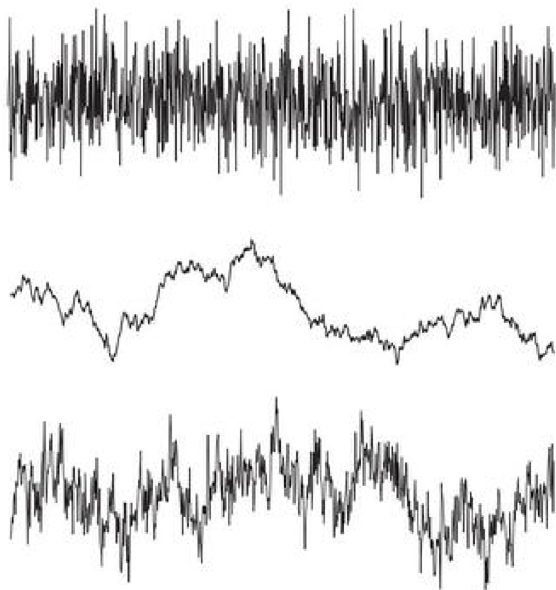


Figura 8.4. Três ruídos: superior, "ruído branco" (potência uniforme por Hz); meio, "ruído vermelho" (potência por Hz proporcional a 1/f 2); tom inferior, "ruído rosa" (ou ruído 1/f, potência por Hz proporcional a *1/ f).*

Outros mecanismos geradores de ruído geralmente produzem ruído 1/f , exemplos sendo ruído de corrente de base em transistores e ruído de corrente de cátodo em tubos de vácuo. Curiosamente, o ruído 1/f está presente na natureza em lugares inesperados, por exemplo, a velocidade das correntes oceânicas, o fluxo de areia em uma ampulheta, o fluxo de tráfego nas vias expressas japonesas e o fluxo anual do Nilo medido nos últimos 2.000 anos.9 Se você traçar o volume de uma peça de música clássica em função do tempo, obterá um espectro de 1/f! Nenhum princípio unificador foi encontrado para todo o ruído 1/f que parece estar girando ao nosso redor, embora fontes particulares possam ser identificadas em cada instância.

8.1.4 Ruído de explosão

Nem todas as fontes de ruído são caracterizadas por uma distribuição gaussiana (ou mesmo *suave)* de amplitudes. O mais notório entre as exceções é o *ruído de explosão* (também chamado de ruído de *pipoca ,* ruído *biestável* ou ruído *de sinal telegráfico aleatório),* visto ocasionalmente em dispositivos semicondutores (particularmente em peças que datam da década de 1970 e anteriores). Consiste em saltos aleatórios entre dois (geralmente) níveis de tensão, ocorrendo em escalas de tempo de dezenas de milissegundos; quando tocada em um alto-falante, soa como o parto de pipoca. A Figura 8.5 mostra uma forma de onda típica, a saída de um amplificador operacional vintage10 741 conectado como um amplificador não inversor com G=100.

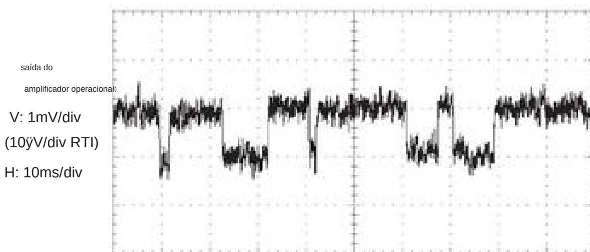


Figura 8.5. Ruído de explosão de um amplificador operacional 741 vintage de 1973, configurado como um amplificador não inversor × 100 com entrada aterrada. A saída foi filtrada em banda para 0,1 Hz–3 kHz, com cortes de 6 dB/oitava.

Visto no domínio da frequência, o efeito do ruído de rajada é uma porção elevada de baixa frequência, sem quaisquer picos espectrais óbvios. Você pode ver isso na Figura 8.6, onde o espectro de ruído de tensão dos espécimes de amplificadores operacionais ruidosos e silenciosos é plotado.11

8.1.5 Ruído limitado em banda

Todos os circuitos operam dentro de uma banda de frequência limitada. Portanto, embora seja bom falar sobre (e calcular com) quantidades *de densidade de ruído ,* o que geralmente importa é a tensão de ruído rms contida em alguma banda de sinal de interesse (chamada *B* na equação 8.1). Em muitos casos, você está lidando com uma fonte de ruído branco (por exemplo, ruído de Johnson ou ruído de tiro). Se isso for passado por um filtro passa-banda perfeitamente preciso (um filtro "parede de tijolos"), a amplitude rms limitada em banda é simplesmente vn(rms)=en *ÿB.* Mas os filtros analógicos de parede de tijolos não são práticos – então o que você quer saber é a largura de banda equivalente de um filtro real, digamos um simples passa-baixo *RC .* Acontece que a largura de banda equivalente da parede de tijolos é dada por

$$B = \frac{ÿ}{} f3dB = 1,57\ f3dB = 2\ \frac{1}{4RC}\ \text{Hz}, \qquad (8.9)$$

9 Uma referência encantadora é WH Press, "Flicker noises in astronomy and other other," *Comm. na Astrophys.* 7, 103-119 (1978). Disponível em http://www.nr.com/whp/ Flicker_Noise_1978.pdf.

10 Os fabricantes de semicondutores trabalharam arduamente para aliviar esse problema (que se acredita ser causado pelo aprisionamento intermitente de portadores de carga em defeitos e interfaces), e o ruído pipoca é em grande parte uma coisa do passado. Testamos dez amostras de 741, de seis fabricantes diferentes, antes de encontrarmos este. Uma segunda amostra do mesmo fabricante e com o mesmo código de data não apresentou indícios de ruído pipoca, conforme visto no par de espectros da Figura 8.6.

11 É possível que um mecanismo relacionado seja responsável por platôs de ruído de forma semelhante vistos em alguns JFETs; veja por exemplo o LSK389 na Figura 8.47.

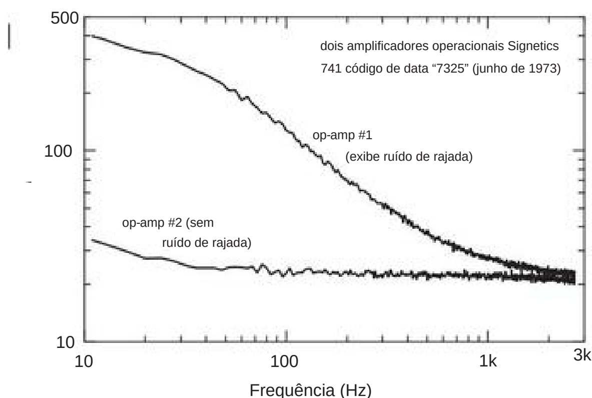


Figura 8.6. Espectro do ruído de rajada produzido pelo mesmo amplificador operacional usado na Figura 8.5, juntamente com o de um segundo amplificador operacional do mesmo lote que não exibiu ruído de rajada. A escala vertical mostra as densidades de ruído RTI (referidas à entrada) rms.

onde f3dB=1/2 *RC.* ÿVocê pode usar filtros de ordem superior, é claro, por exemplo, um filtro passa-baixa Butterworth de 2 polos; sua largura de banda de parede de tijolo equivalente é B = 1,11 f3dB. Para filtros de ordem ainda maior (incluindo passa-banda), consulte as expressões na Tabela 8.4 na página 564. Para sinais de variação lenta (ou dc), você pode, em vez disso, fazer uma média simples (como, por exemplo, com um ADC integrador, consulte § 13.8.3); nesse caso, a largura de banda de ruído equivalente é B=1/2T, onde *T* é a duração da média (uniforme) do sinal de entrada.
Teremos um pouco mais a dizer sobre isso em §8.13.1.

Obviamente, o espectro de ruído pode ser diferente do branco (por exemplo, pode ser um ruído de 1/ *f* ou uma combinação de ruído branco com uma cauda ascendente de 1/ *f* em baixas frequências). Nesse caso, você não pode simplesmente multiplicar a densidade de ruído pela raiz quadrada da largura de banda. Em vez disso, você deve integrar a densidade de ruído (mudança) sobre o passa-banda. Para uma passagem de banda ideal de parede de tijolos, que é apenas v2 n= e2 *n(f)d f* do corte de frequência inferior para superior do filtro. Para um filtro realizável, você deve integrar a densidade de ruído, multiplicada pela resposta espectral do filtro *H(f),* sobre a passagem de banda: v2 n= | en(f)H(f)| *2d f .* Para uma especificação de ruído arbitrária, isso é o que você precisa fazer. Mas a vida é mais simples se você estiver lidando com espectros de ruído clássicos, como ruído de cintilação 1/ *f ,* caso em que as integrais de ruído podem ser expressas analiticamente. Nós os reunimos na Tabela 8.4 na página 564, que inclui resultados para espectros de ruído branco, rosa e vermelho, quando a banda é limitada por parede de tijolos, Butterworth unipolar, bipolar e Butter de polo m vale filtros passa-banda (resposta de f1 a f2). Essas fórmulas tabuladas permitem que você obtenha os resultados para filtros passa-baixa (f1=0) ou passa-alta (f2=ÿ), que são apenas casos especiais do filtro passa-banda mais geral.

Discutimos isso com muitos detalhes mais adiante no capítulo, em §8.13.

8.1.6 Interferência

Como mencionamos anteriormente, um sinal de interferência ou captador disperso constitui uma forma de ruído. Aqui as características de espectro e amplitude dependem do sinal de interferência.
Por exemplo, a captação de linha de força de 60 Hz tem um espectro agudo e uma amplitude relativamente constante, enquanto o ruído de ignição do carro, raios e outras interferências impulsivas são amplos em espectro e pontiagudos em amplitude. Outras fontes de interferência são estações de rádio e televisão (um problema particularmente sério perto de grandes cidades), equipamentos elétricos próximos, motores e elevadores, metrôs, reguladores de comutação e aparelhos de televisão. Os telefones celulares geralmente superam todas as outras fontes de interferência de RF. Mesmo quando não está em uso, o celular transmite periodicamente para informar à torre de celular sua localização, gerando interferência com um ritmo galopante característico.12 O mesmo vale para computadores móveis que utilizam a rede celular para acesso à Internet.

De uma forma ligeiramente diferente, você tem o mesmo tipo de problema gerado por qualquer coisa que coloque um sinal no parâmetro que você está medindo. Por exemplo, um interferômetro óptico é suscetível à vibração e uma medição de RF sensível (por exemplo, ressonância magnética nuclear, NMR ou MRI) pode ser afetada pela RF ambiente. Muitos circuitos, assim como detectores e até cabos, são sensíveis à vibração e ao som; são *microfônicos,* na terminologia do ofício.

Muitas dessas fontes de ruído podem ser controladas por blindagem e filtragem cuidadosas, como discutiremos mais adiante no capítulo. Em outras ocasiões, somos forçados a tomar medidas draconianas, envolvendo enormes mesas de pedra (para isolamento de vibração), salas de temperatura constante, câmaras anecóicas e salas blindadas eletricamente ("gaiola de Faraday").

8.2 Relação sinal-ruído e figura de ruído

Antes de entrar nos detalhes do ruído do amplificador e do projeto de baixo ruído, precisamos definir alguns termos que são freqüentemente usados para descrever o desempenho do amplificador. Estes envolvem proporções de tensões de ruído, medidas no mesmo local do circuito. É convencional referir as tensões de ruído à entrada de um amplificador (embora as medições sejam geralmente feitas na saída), ou seja, descrever o ruído da fonte e o ruído do amplificador em termos de microvolts *na entrada* que

12 Que você pode ouvir em www.covingtoninnovations.com/michael/blog/0506/050622-cellnoise.mp3.

gerar o ruído de saída observado. Isso faz sentido quando você quer pensar no ruído relativo adicionado pelo amplificador a um determinado sinal, independentemente do ganho do amplificador; também é realista, porque a maior parte do ruído do amplificador geralmente vem do estágio de entrada. A menos que indiquemos o contrário, as tensões de ruído são referidas à entrada (RTI).

8.2.1 Densidade de potência de ruído e largura de banda

Nos exemplos anteriores de ruído de Johnson e ruído de tiro, a tensão de ruído que você mede depende tanto da largura de banda de medição *B* (ou seja, quanto ruído você vê depende de quão rápido você olha) e das variáveis *(R* e I) de a própria fonte de ruído. Portanto, é conveniente falar sobre uma "densidade" de tensão de ruído rms em:

$$v_n(\text{rms}) = e_n B^{\frac{1}{2}} = (4kTR)^{\frac{1}{2}} B^{\frac{1}{2}}\ \text{Vrms}, \qquad (8.10)$$

onde vn é a tensão de ruído rms que você mediria em uma largura de banda B. As fontes de ruído branco têm um en que não depende da frequência, enquanto o ruído rosa, por exemplo, tem um en que cai a 3 dB/oitava. Muitas vezes, você verá e2 a densidade média de ruído ao quadrado. Como en sempre se refere a e_n além, rms e e2 sempre se refere ao quadrado médio, você pode simplesmente elevar en para obter e_n^2. Parece simples (e é), mas queremos garantir que você não fique confuso.

Observe que *B* e a raiz quadrada de *B* continuam aparecendo. Assim, por exemplo, para o ruído Johnson de um resistor R,

$$e_{nR}(\text{rms}) = (4kTR)^{\frac{1}{2}}\ \text{V}/\text{Hz}^{\frac{1}{2}},$$
$$e^2_{nR} = 4kTR\ \text{V}^2/\text{Hz},$$
$$v_n(\text{rms}) = v_{nR} B^{\frac{1}{2}} = (4kTRB)^{\frac{1}{2}}\ \text{V},$$
$$v^2_n = v^2_{nR} B = 4kTRB\ \text{V}^2.$$

Nas folhas de dados, você pode ver gráficos de en ou e2 como e_n, com unidades "nanovolts por raiz de Hz" ou "volts ao quadrado por Hz". As quantidades em e em que logo aparecerão funcionam da mesma maneira.

Quando você adiciona dois sinais não correlacionados (dois sinais de ruído ou ruído mais um sinal real), você adiciona sua *potência de ruído;* ou seja, suas amplitudes *ao quadrado* somam:

$$v = (v^2_s + v^2_n)^{\frac{1}{2}},$$

onde v é o sinal rms obtido somando um sinal de amplitude rms vs e um sinal de ruído de amplitude rms vn. As amplitudes rms[13] *não* somam.

[13] Que, enfatizamos, são as quantidades convenientes e familiares encontradas em folhas de dados, etc. Por exemplo, estamos acostumados a pensar em um amplificador de 3 nV/ ÿ Hz como silencioso; é difícil reconhecer um amplificador 0,9×10ÿ17 V2/Hz como a mesma coisa.

8.2.2 Relação sinal-ruído

A relação sinal-ruído (SNR) é simplesmente definida como

$$\text{SNR} = 10\log_{10}(v^2_s/v^2_n) = 20\log_{10}(v_s/v_n)\ \text{dB} \qquad (8{,}11)$$

onde as tensões são valores rms e alguma largura de banda e frequência central são especificadas; ou seja, é a relação, em decibéis, entre a tensão rms do sinal desejado e a tensão rms do ruído que também está presente.[14] O próprio "sinal" pode ser senoidal, ou uma forma de onda modulada portadora de informação, ou mesmo um sinal ruidoso em si. É particularmente importante especificar a largura de banda se o sinal tiver algum tipo de espectro de banda estreita, porque o SNR diminuirá à medida que a largura de banda for aumentada além do sinal: o amplificador continua adicionando potência de ruído, enquanto a potência do sinal permanece constante.

8.2.3 Figura de ruído

Qualquer fonte de sinal real ou dispositivo de medição gera ruído por causa do ruído Johnson em sua resistência de fonte (a parte real de sua complexa impedância de fonte). Pode haver ruído adicional, é claro, de outras causas. A *figura de ruído* (NF) de um amplificador é simplesmente a razão, em decibéis, da saída do amplificador real para a saída de um amplificador "perfeito" (sem ruído) do mesmo ganho, com um resistor de valor Rs conectado em os terminais de entrada do amplificador em cada caso. Ou seja, o ruído Johnson de Rs é o "sinal de entrada":

$$\text{NF} = 10\log_{10}\frac{4kTR_s + v^2_n}{4kTR_s} \qquad (8.12)$$

$$= 10\log_{10}\left(1 + \frac{v^2_n}{4kTR_s}\right)\ \text{dB}, \qquad (8.13)$$

onde v^2_n é a tensão de ruído quadrática média por hertz fornecida pelo amplificador, com um resistor sem ruído (frio) de valor Rs conectado em sua entrada. Esta última restrição é importante, como você verá em breve, porque a tensão de ruído contribuída por um amplificador depende muito da impedância da fonte (Figura 8.7).

A figura de ruído é útil como uma figura de mérito para um amplificador quando você tem uma fonte de sinal de uma determinada impedância de fonte e deseja comparar amplificadores (ou transistores, para os quais o NF é frequentemente especificado). A NF varia com a frequência

[14] A expressão em termos de amplitudes ao quadrado sugere uma relação em termos de *potência,* que é a origem da definição de razão de decibéis. Mas a forma "20log10" é amplamente usada, mesmo quando não há potência real, por exemplo, com uma carga de circuito aberto (ou, mais confusamente, quando o resultado está em desacordo com a relação de potência real, por exemplo, ao expressar a relação de amplitudes criadas por um transformador de sinal).

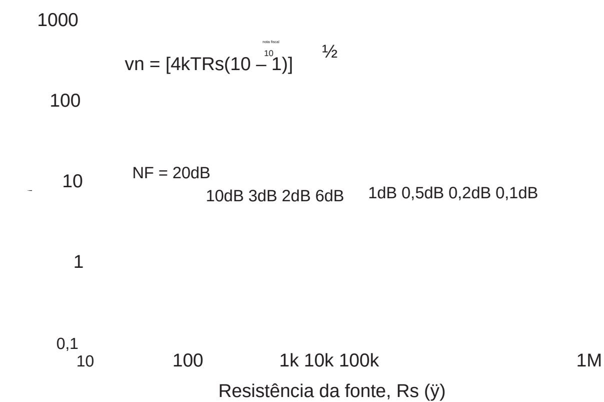


Figura 8.7. Densidade efetiva de tensão de ruído de entrada versus figura de ruído e resistência da fonte.

e impedância da fonte, e muitas vezes é dado como um conjunto de contornos de NF constante versus frequência e Rs (veremos exemplos mais adiante, nas Figuras 8.22 e 8.27). Também pode ser dado como um conjunto de gráficos de NF versus frequência, uma curva para cada corrente de coletor ou um conjunto semelhante de gráficos de NF versus Rs, um para cada corrente de coletor. *Nota:* as expressões anteriores para NF assumem que a impedância de entrada do amplificador é muito maior que a impedância da fonte, ou seja, Zin Rs. No entanto, no caso especial de amplificadores de RF, você geralmente tem Rs = Zin = 50ÿ, com o NF definido de acordo. Para este caso especial de impedâncias casadas, basta remover o fator "4" das equações 8.12 e 8.13.

Grande falácia: não tente melhorar as coisas adicionando um resistor em série com uma fonte de sinal para atingir uma região de NF mínimo. Tudo o que você está fazendo é tornar a fonte mais ruidosa para melhorar a aparência do amplificador! A figura de ruído pode ser muito enganosa por esse motivo. Para aumentar a decepção, a especificação NF (por exemplo, NF = 2 dB) para um transistor ou FET será sempre para a combinação ideal de Rs e IC.
Não diz muito sobre o desempenho real, exceto que o fabricante acha que vale a pena se gabar do valor do ruído.

Em geral, ao avaliar o desempenho de algum amplificador, é menos provável que você fique confuso se ficar com um SNR calculado para aquela tensão e impedância da fonte. Veja como converter de NF para SNR:

$$\mathrm{SNR} = 10\log_{10}\frac{v_s^2}{4kTR_s} \; ÿ\mathrm{NF(dB)(em\ Rs)}\ \mathrm{dB}, \quad (8{,}14)$$

onde vs é a amplitude do sinal rms, Rs é a impedância da fonte e NF é a figura de ruído do amplificador para a impedância da fonte Rs. Veja §§8.3.1 e 8.5.6 para alguns exemplos de cálculo de figuras de ruído.

8.2.4 Temperatura de ruído

Em vez de *figura* de ruído , às vezes você vê temperatura de ruído *usada* para expressar o desempenho de ruído de um amplificador. Ambos os métodos fornecem a mesma informação, ou seja, a contribuição do excesso de ruído do amplificador quando acionado por uma fonte de sinal de impedância Rs; são formas equivalentes de expressar a mesma coisa.

Observe a Figura 8.8 para ver como a temperatura do ruído funciona: primeiro imaginamos o amplificador real (ruidoso) conectado a uma fonte *silenciosa* de impedância Rs (Figura 8.8A). Se você tiver dificuldade em imaginar uma fonte silenciosa, pense em um resistor de valor Rs resfriado ao zero absoluto. Haverá algum ruído na saída, mesmo que a fonte seja silenciosa, porque o amplificador tem ruído. Agora imagine construir a Figura 8.8B, onde magicamente tornamos o amplificador silencioso e levamos a fonte Rs até uma temperatura Tn tal que *a tensão de ruído de saída seja a mesma da Figura 8.8A.* Tn é chamada de temperatura de ruído do amplificador, para a impedância da fonte Rs.

Como observamos anteriormente, a figura do ruído e a temperatura do ruído são simplesmente maneiras diferentes de transmitir a mesma informação. De fato, você pode mostrar que eles estão relacionados pelas seguintes expressões:

$$T_n = T\left(10^{\mathrm{NF(dB)}/10} ÿ 1\right)\ \mathrm{Kelvin}, \quad (8.15)$$

$$\mathrm{NF(dB)} = 10\log_{10}\left(\frac{T_n}{T}+1\right), \quad (8.16)$$

onde *T* é a temperatura ambiente, geralmente tomada como 293ÿK.

De um modo geral, bons amplificadores de baixo ruído têm temperaturas de ruído muito abaixo da temperatura ambiente (ou,

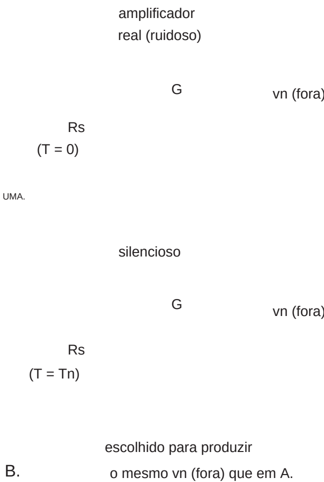


Figura 8.8. Temperatura de ruído.

equivalentemente, eles têm valores de ruído muito inferiores a 3 dB). Mais adiante no capítulo, explicamos como medir a figura de ruído (ou temperatura) de um amplificador. Primeiro, porém, precisamos entender o ruído nos transistores e as técnicas de projeto de baixo ruído. Esperamos que a discussão a seguir esclareça o que muitas vezes é um assunto obscuro.

8.3 Ruído do amplificador do transistor bipolar

O ruído gerado por um amplificador é facilmente descrito por um modelo de ruído simples que é preciso o suficiente para a maioria dos propósitos. Na Figura 8.9, en e in representam o ruído interno do transistor, modelado como uma tensão de ruído en em série com a entrada, combinada com uma corrente de ruído in injetada na entrada. O próprio símbolo do transistor (ou amplificador, em geral) é considerado sem ruído e simplesmente amplifica a tensão de ruído de entrada que vê (causada por seu próprio en, combinado com seu fluxo através da impedância da fonte do sinal de entrada Rs). Ou seja, o amplificador contribui com uma tensão de ruído total ea, referente à entrada, de ea(rms)=[e2 n + *(Rsin)* 2]

$$\tfrac{1}{2}\ \text{V/Hz}\ \tfrac{1}{2}. \qquad (8.17)$$

Os dois termos são simplesmente os valores ao quadrado da tensão de ruído de entrada do amplificador e a tensão de ruído gerada pela corrente de ruído de entrada do amplificador que passa pela resistência da fonte.15 Como os dois termos de ruído geralmente não estão correlacionados, suas amplitudes quadradas se somam para produzir a tensão de ruído efetiva vista pelo amplificador. Para baixas resistências de fonte, a tensão de ruído en domina, enquanto para altas impedâncias de fonte, a corrente de ruído geralmente domina.

Apenas para ter uma ideia de como eles se parecem, veja a Figura 8.10, que mostra um gráfico de en e in versus IC ef *para* o excelente (mas, infelizmente, descontinuado16) *npn* 2SD786 de baixo ruído . Entramos em alguns detalhes agora, descrevendo-os e mostrando como projetar para o mínimo de ruído. Vale a pena notar que o ruído de tensão e o ruído de corrente para um transistor bipolar estão na faixa de nanovolts e picoampères por raiz de hertz (isto é, nV/ ÿ Hz e pA/ ÿ Hz); para FETs, o ruído atual é menor, na faixa de fA/ ÿ Hz.

8.3.1 Ruído de tensão, pt

O ruído de tensão equivalente em série com a base de um transistor bipolar surge do disparo da corrente do coletor

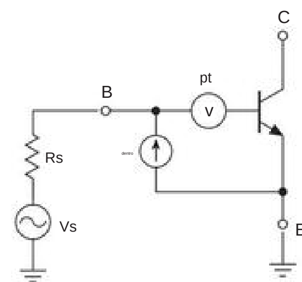


Figura 8.9. Modelo de ruído de um transistor.

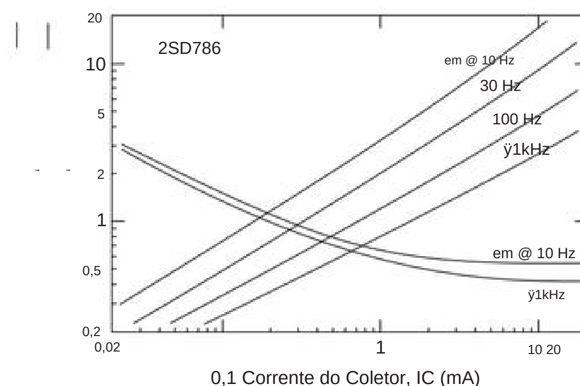


Figura 8.10. Tensão de ruído de entrada rms equivalente (en) e corrente de ruído (in) versus corrente de coletor para um transistor *npn* 2SD786 , adaptado do datasheet.

ruído gerando uma tensão de ruído através da resistência intrínseca do emissor17 re, ruído de Johnson gerado na resis de base e (como tance rbb , através dessa resistência. Adiando por enquanto o termo veremos mais adiante) ruído de tiro de corrente de base de corrente base (que na maioria das vezes não contribui significativamente para o ruído de tensão de um BJT), a densidade de tensão de ruído de entrada fica assim:

$$e_n^2 = 2qI_C r_e^2 + 4kTr_{bb} \qquad (8.18)$$

$$= 4kT \left(\frac{V_T}{2I_C} + r_{bb}\right) \qquad (8.19)$$

$$= 4kT \left(\frac{r_e}{2} + r_{bb}\right) \text{V}^2/\text{Hz}, \qquad (8.20)$$

onde eliminamos re na segunda forma (eq'n 8.19) e IC na terceira forma (eq'n 8.20) lembrando que re=VT/IC=kT/qIC.

[15] Um termo adicional, importante em frequências mais altas ou quando in é pequeno, é a corrente de ruído in gerada por en em combinação com a capacitância de entrada: in=en Cin. Consulte §§8.11.3 e *4x.3.4.*

[16] O 2SD786 foi por muitos anos o padrão ao qual os transistores de baixo ruído aspiravam. Nós o destacamos aqui porque ele é bem caracterizado, com riqueza de informações e excelente desempenho de ruído. Nossa indicação para sua sucessora é a ZTX851 (com complemento ZTX951 *pnp),* caracterizada e utilizada em inúmeros exemplos posteriormente neste capítulo.

[17] Propriamente falando, não há "resistência" re; em vez disso, representa a transcondutância inversa do transistor: re = vb/ic = *1/ gm* (ou a variação de tensão na base correspondente a variações na corrente do coletor). É realmente apenas uma maneira conveniente de falar. Tenha cuidado, porém, ao pensar nisso vagamente como um resistor: é uma resistência "silenciosa"; ou seja, não tem ruído de Johnson.

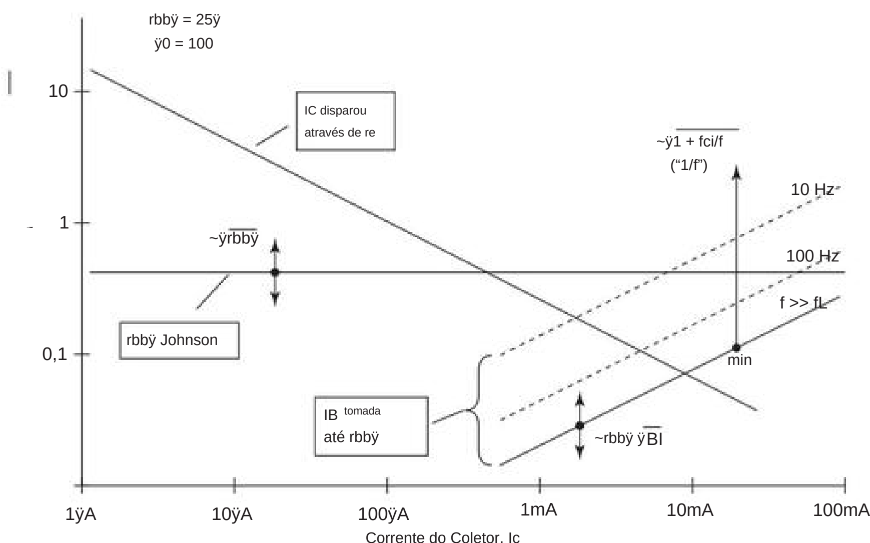


Figura 8.11. Tensão de ruído de entrada em um BJT. Em correntes baixas, o ruído shot no IC através do re domina; caso contrário, o ruído de Johnson em rbb é o termo dominante. No entanto, em baixas frequências e altas correntes, o ruído de disparo da corrente de base através de rbb faz com que en suba novamente. Essas curvas assumem valores típicos de ponto de interrupção de ruído de cintilação (fci ÿ1 kHz) e resistência de base (rbbÿ25ÿ), com setas de dupla face indicando variação com rbb e a seta para cima de "min" indicando aumento de 1/f com diminuição frequência.

A terceira forma é útil porque permite que você pense sobre a tensão de ruído como se surgisse da combinação do ruído de Johnson separado de dois resistores. Para ter uma noção da escala de tensão de ruído do BJT, é útil saber que a resistência de base rbb para BJTs típicos (consulte a Tabela 8.1a na página 501) varia de alguns ohms a algumas centenas de ohms; assim, a contribuição da tensão de ruído do segundo termo está tipicamente na faixa de 0,2 nV/ ÿ Hz a 2 nV/ ÿ Hz (gostamos de lembrar que um resistor de 100 ÿ tem en = 1,28 nV/ ÿ Hz, e que escala conforme a raiz quadrada de R).

Quanto ao primeiro termo na equação 8.20, ele está nos dizendo que a *corrente de ruído de tiro do coletor através de* re *produz a mesma tensão de ruído que o ruído de Johnson de um resistor fictício de valor R* = re/2. Por exemplo, em um BJT rodando em A 1,4 nV/ ÿ Hz (portanto, re=250 ÿ); isso equivale, por exemplo, a ÿ 4kT·125 ÿ; 100 valores de resistor para não comprometer o desempenho de ruído de um amplificador de baixo ruído. Para não deixarmos a impressão errada, apressamo-nos a enfatizar novamente que a resistência intrínseca do emissor re *não* é um resistor "real" – não tem ruído de Johnson; o termo de tensão de ruído que estamos descrevendo surge apenas da tensão de ruído gerada pela corrente de ruído de disparo do coletor que flui através de um

ref.[18]

Ambos os termos de ruído de tensão nas equações 8.18 e 8.20 têm um espectro plano (branco), com uma distribuição Gaussiana de amplitude instantânea. Como re cai inversamente com a corrente do coletor, um BJT's en cai como 1/ *ÿIC* com o aumento da corrente do coletor, atingindo finalmente um mínimo que depende de rbb (Figura 8.11). Por esse motivo, geralmente é melhor operar em correntes de coletor relativamente altas se o objetivo for minimizar a tensão de ruído; o preço que você paga é o aumento da corrente de base e o aumento do aquecimento. Tomando novamente o excelente 2SD786 como exemplo, em frequências acima de 1 kHz ele tem um en de 1,5 nV/ ÿ Hz em IC=100 A e 0,6 nV/ ÿ Hz em IC=1 (Figura 8.10). Este transistor usa geometria especial para atingir um rbb incomumente baixo de 4 ÿ, que é necessário para realizar os valores mais baixos de en.

Claro, se você precisa operar em uma corrente de coletor baixa (onde o efeito de re domina), não é de nenhum benefício particular ter um baixo valor de rbb . Para mostrar esse ponto graficamente, plotamos na Figura 8.12 a corrente en versus coletor prevista e medida para seis transistores *npn* de baixo ruído , usando um modelo simples de um parâmetro baseado apenas em rbb . Porém, selecionar um transistor com baixo rbb realmente importa em correntes mais altas, que é onde você tem que operar se quiser alcançar valores ao sul de 1 nV/ ÿ Hz.[19] Ilustramos esse ponto dramaticamente em §8.5.9, em um estágio de entrada com en<0,1 nV/ ÿ Hz.

A densidade de tensão-ruído em 1 kHz, conforme plotado em

18 Veja §8.3.5 para uma discussão mais aprofundada deste ponto sutil.

19 Diz-se que o rbb efetivo aumenta ligeiramente em correntes baixas. Para de amplo, se o excesso de ruído 2N5089 em 10 A (5,9 nV/ ÿ Hz) for devido a rbb , podemos calcular que rbb aumentou de

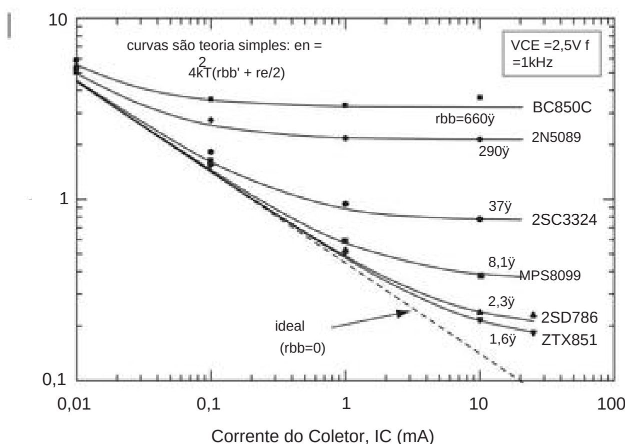


Figura 8.12. Um modelo simples de tensão de ruído BJT (corrente de ruído de tiro através de re, combinado com ruído de Johnson de resistência de base, curvas sólidas) fornece uma boa primeira aproximação para valores de ruído medidos (pontos de dados em quatro correntes), mostrados aqui para seis seleções de baixo ruído BJT. A linha tracejada mostra o teorema

tensão mínima de ruído ical na corrente IC, conforme dado na equação 8.18.

O ruído medido é 10%–20% alto em correntes de coletor abaixo de 100 A. Consulte a Figura 8.17 para o espectro de ruído desses seis BJTs em IC=10 mA.

A Figura 8.12 não conta toda a história, é claro. Se você se preocupa com o ruído em frequências mais baixas, deve se preocupar com um componente do ruído do transistor que depende da frequência, geralmente na forma de uma cauda de ruído oscilante de 1/ *f* crescente (caracterizada por uma frequência de canto de 1/ *f* fc). Para BJTs, o ruído 1/ *f* em seu en vem de um termo de ruído adicional que ignoramos até agora – a tensão de ruído produzida pela corrente de ruído da base ao fluir através do próprio rbb do transistor , ou seja, en=inrbb . Este último termo torna-se um contribuinte significativo para en apenas em baixas frequências e em correntes de coletor relativamente altas. Mas é muito importante por outro motivo: ele flui através da resistência da fonte do sinal de entrada, gerando uma tensão de ruído adicional *vn=inRsig.* Vamos examinar a questão da corrente de ruído de entrada e, em seguida, revisitamos brevemente o transistor e com esse efeito incluído.

8.3.2 Ruído atual em

A corrente de ruído de entrada do transistor gera uma tensão de ruído adicional através da impedância da fonte de sinal de entrada.

290 ÿ a 10 mA a cerca de 900 ÿ a 10 ÿ A (três vezes em 3 décadas), ou aproximadamente como (Ic)ÿ1/6. (Os modelos de ruído do transistor SPICE incluem um parâmetro para este efeito.)

A principal fonte de ruído da corrente de base é a flutuação do ruído de tiro na corrente de base estável,

$$i_n = \sqrt{2qI_B} = \sqrt{2qI_C/\beta_0}\ \text{A/Hz}^{\frac{1}{2}}, \qquad (8.21)$$

que é o ruído gaussiano exibindo um espectro de frequência plana (ou seja, ruído branco); usamos o símbolo 0 aqui para enfatizar que ÿ é o beta *em dc.*

Além disso, há um componente de ruído oscilante que mostra sua cara feia em baixas frequências. Este último exibe a típica dependência de frequência 1/f, com uma frequência de canto que chamaremos de fci; isto é, ele contribui com um termo *2qIB* fci/ *f* para 2 o *I* geral . Ele aumenta um pouco mais rapidamente com IC, devido a um ponto de quebra 1/f crescente. n, tipicamente com fci indo para 1/3 B . Ver Figuras 8.13 e 8.14. Corrente típica *I* B A, para *I* 1/4

frequências de canto de ruído são fciÿ50–300 Hz em 1–10 e ÿ 200 Hz–2 kHz em 1 mA.

Observe que esse simples ruído de tiro de corrente de base *não* é o ruído de tiro de corrente de coletor dividido por beta. Se fosse, seria *ÿ2qIC/* 0 em vez de ÿ2qIC/ 0 (como de fato, pela equação 8.21), uma fator de ÿ0 (primeira ordem, o ruído shot da corrente de base não está correlacionado com o ruído shot do coletor.

No entanto, em altas frequências, isso não é mais verdadeiro, levando a um termo final de ruído de corrente: em frequências que se aproximam do fT do transistor (ou seja, conforme o ganho de corrente se aproxima da unidade), o beta decrescente torna o ruído de disparo da corrente do coletor visível no base.

Juntando esses termos, temos, finalmente,

$$i_n^2 = 2q\frac{I_C}{\beta_0}\left(1+\frac{f_{ci}}{f}\right) + 2qI_C\left(\frac{f}{f_T}\right)^2\ \text{A}^2\text{/Hz}, \qquad (8.22)$$

onde o último termo efetivamente representa um beta dependente de frequência.

Tomando novamente o exemplo do 2SD786 (Figura 8.10), A e acima de 1 kHz é cerca de 0,25 pA/ ÿ Hz em IC=100 0,8 ÿ pA/ ÿ Hz em IC=1 mA. A corrente de ruído aumenta e a tensão de ruído diminui à medida que IC aumenta. Na próxima subseção (§8.3.3), veremos como isso determina a corrente de operação em projetos de baixo ruído. A Figura 8.15 mostra gráficos de entrada versus frequência e corrente para um par de transistores de baixo ruído.

Corrente-ruído vezes impedância de entrada A corrente de ruído de entrada fluindo através da impedância da fonte do sinal de entrada gera uma densidade de tensão-ruído de magnitude vn=inZs, que se combina (como soma de quadrados) com a densidade de tensão-ruído de entrada do transistor.[20] Normalmente, o impedância da fonte é resistiva, caso em que você precisa

[20] Os principais problemas complicadores são aumentos de temperatura e com frequência decrescente (comportamento 1/ *f*).

ÿ ~ 100
f ~ 500Hz @ = 1ÿA ci BI
IB fT ~ 50MHz @ = 1ÿA
~ 1MHz @ = 10ÿA BI

BI = 1mA
BI = 100nA
BI = 10nA
f_{ci} ~ BI¼
n ~ ÿIB
fT /ÿ ÿ
50MHz
10MHz
1MHz

10
1
0,1
0,01
10 Hz 100 Hz 1kHz 10kHz 100kHz 1MHz 10MHz
Frequência (Hz)

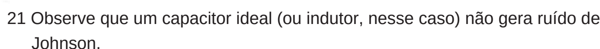
Figura 8.13. Densidade de corrente de ruído de entrada versus frequência em um BJT. Nas frequências médias, é inteiramente um ruído shot de corrente de base, proporcional a ÿIB. Em baixas frequências sobe como 1/ ÿ *f* (é a potência do ruído que vai como *1/ f);* no entanto, o ponto de interrupção 1/f (fci) aumenta com o aumento da corrente, de modo que, em uma determinada frequência baixa abaixo de fci , a corrente de ruído aumenta mais rapidamente do que a raiz quadrada da corrente de base, como mostrado. Em altas frequências, a queda do beta (ÿ 1 ÿ em fT) faz com que a densidade do ruído aumente ÿ *f* . Essas curvas assumem um valor típico do ponto de interrupção do ruído flicker (fci ÿ500 Hz em IB=1 A), com a seta sólida indicando variação de in com a corrente de base e a seta tracejada indicando variação do ponto de interrupção ÿ 1/f com a corrente de base.

adicione seu ruído Johnson também; em outras palavras, a tensão de ruído quadrática referente à entrada total é v2 = e2 2 V2/Hz.

$$+4kTR_s + (e_n R_s) \qquad (8.23)$$

Entretanto, se a impedância da fonte for *reativa,* a contribuição do ruído atual (o último termo da equação) dependerá da frequência. Uma situação comum em que isso é importante é um sinal de entrada acoplado. Se você não está pensando em ruído, normalmente escolheria o valor do capacitor de bloqueio com base na impedância de carga a jusante (impedância de entrada do transistor e resistor de polarização), para definir o rolloff de baixa frequência um pouco abaixo da frequência mais baixa de interesse.
Isso poderia ser uma capacitância bastante pequena (se o amplificador tiver uma alta impedância de entrada, ou se o corte de baixa frequência não for terrivelmente baixo), através da qual a corrente de ruído geraria uma tensão de ruído substancial (e, é claro, aumentando proporcionalmente à reatância do capacitor XC=1/2 *fC,* ou seja, proporcional a 1/ f).21ÿ

Portanto, você precisa inverter o processo: primeiro, escolha o valor do capacitor para manter sua contribuição de tensão de ruído *vn=inXC* pequena o suficiente na frequência de operação mais baixa (e lembre-se de que o ruído da corrente de base geralmente exibe uma cauda de 1/ *f);* em seguida, escolha o valor do resistor de polarização de entrada do transistor para obter a redução de baixa frequência desejada. Fomos mordidos por esse problema, surpreendidos por uma tensão de ruído de 1/ f (1 / *f* em *amplitude,* não em potência) causada pela reatância versus frequência do capacitor de bloqueio. Para corrigir o problema, tivemos que aumentar o valor do capacitor de bloqueio por um fator de 50!



21 Observe que um capacitor ideal (ou indutor, nesse caso) não gera ruído de Johnson.

n ~ ÿ1 + fci /f
f = 10 Hz
f = 100 Hz
f > fci
min
ruído de tiro de corrente base
(com cauda 1/f, para f ci= 1kHz)
10
1
0,1
0,01
1nA 10nA 100nA 1ÿA 10ÿA
IB, IC/ÿ

Figura 8.14. A corrente de ruído de entrada em um BJT é ruído de tiro, dimensionado como a raiz quadrada da corrente de base para frequências acima da frequência de canto 1/ *f* fci. Em frequências mais baixas, a curva é mais íngreme, porque o próprio fci aumenta com o aumento da corrente (consulte a Figura 8.15).

8.3.3 Ruído de tensão BJT, revisitado

Conforme sugerido em §8.3.1, o ruído de *corrente* de entrada do transistor pode se tornar um contribuinte significativo para o ruído de tensão visto em seus terminais de entrada, devido ao ruído de tensão

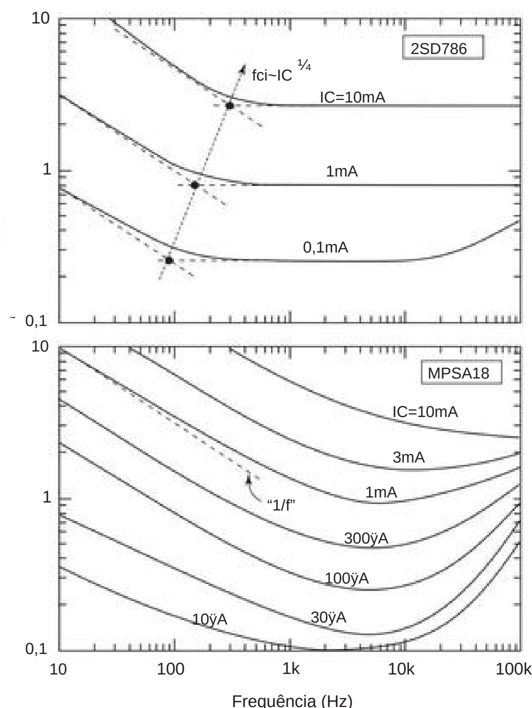


Figura 8.15. Corrente de ruído (entrada) versus frequência para dois transistores *npn* de baixo ruído . A corrente de ruído de baixa frequência exibe um aumento um pouco maior com a corrente de coletor, devido a uma frequência de canto crescente de 1/ *f* .

gerado em seu rbb interno por sua própria corrente de ruído de entrada in. Como in é um ruído shot na corrente de base CC, ele aumenta como a raiz quadrada da corrente de coletor (para beta constante); e, como um BJT é seriamente afetado por uma cauda de baixa frequência de 1/ *f* , sua contribuição para o en geral é vista principalmente (e geralmente *apenas)* em baixas frequências. Um modelo de ruído mais detalhado do transistor bipolar nos permite incorporar esse efeito.

Adicionando este termo de ruído à nossa fórmula original (incompleta) de tensão de ruído BJT, eq'n 8.18, temos

$$e_n^2 \;\mathrm{e}\; +4kTr_{bb} + 2q\, r_{bb}^2 \left(1+\frac{f_{ci}}{f}\right)\frac{I_C}{\beta_0} = 2qI_C r \quad \mathrm{V^2/Hz}, \qquad (8.24)$$

onde, como antes, o primeiro termo pode ser substituído por *2kTre* e, como na equação 8.22, a frequência de canto do ruído de corrente fci aumenta aproximadamente como a quarta raiz de IC.

Para ver como isso funciona, observe a Figura 8.16, onde plotamos separadamente (para três opções de corrente de coletor) o en dos dois primeiros termos (como linhas tracejadas) e o en do terceiro termo (como sólido fino linhas). As linhas sólidas grossas representam o ruído de tensão total, ou seja, incluindo todos os três termos da equação 8.24. Para essas curvas calculadas usamos parâmetros típicos de ruído BJT (fci=1ÿ =200, rbb=50ÿ, kHz a IC=1 mA).

Isso mostra como o termo tensão-ruído *inrbb* compete com os outros dois termos en ruído, dominando em alta corrente de coletor e baixa frequência. Embora o ponto de interrupção da corrente de ruído 1/ *f* fci aumente apenas levemente com IC, sua contribuição atua para criar um ponto de interrupção *de tensão de ruído* que aumenta rapidamente fc. Compare isso com a Figura 8.11, onde o mesmo efeito pode ser visto: lá, no entanto, en é plotado versus corrente de coletor, com uma família de várias frequências pontuais.

Para manter alguma perspectiva aqui, observe que a tensão de ruído adicional é evidente apenas em frequências muito baixas (a Figura 8.16 cai para 0,01 Hz!) e em densidades de corrente relativamente altas. Não é algo para perder o sono.[22] Isso pode ser visto nas curvas de tensão de ruído medidas plotadas na Figura 8.17, onde o efeito (na corrente de coletor substancial de 10 mA) é grave acima de 10 Hz apenas para BC850 com seu rbbÿ750ÿ incomumente alto . De fato, para transistores com rbb atraentemente baixo, a melhoria obtida ao operar em alta corrente de coletor mais do que compensa o aumento em baixas frequências que vem da contribuição do ruído de disparo da corrente de base, como visto na Figura 8.18.

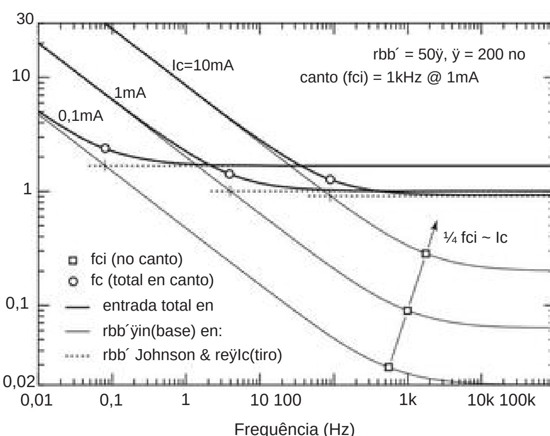


Figura 8.16. BJT densidade de ruído-tensão versus frequência (da eq'n 8.24) para um transistor hipotético com os parâmetros listados, mostrando o efeito do ruído de corrente em baixas frequências e altas correntes de coletor.

[22] Mas se você *está* perdendo o sono por causa de problemas de 1/ *f* em um amplificador de alto IC e baixo ruído, há um truque bonito, ou seja, empilhar um par de transistores para que suas flutuações de ruído 1/ *f* sejam canceladas. Veja Broderson, Chenette e Jaeger, "A superior low-noise amp," 1970 IEEE ISSCC, p 164. A supressão do ruído de baixa frequência por um fator de cinco é possível. A penalidade por usar o truque de dois transistores é um aumento de 3 dB no componente de frequência mais alta (ruído branco) de en.

Figura 8.17. Espectros de tensão-ruído de entrada medidos *(en* versus frequência em IC=10 mA) para os seis BJTs da Figura 8.12.

Figura 8.18. Espectros de tensão de ruído de entrada medidos para um ZTX851 em cinco opções de corrente de coletor. A corrente de ruído base adiciona ruído tensão em baixas frequências e alta corrente, mas você ainda está à frente em correntes de coletor de até 10 mA.

8.3.4 Um exemplo de design simples: alto-falante como microfone

Vamos colocar essa teoria do ruído em prática projetando um amplificador de áudio acoplado simples e barato que funcione com baixa corrente de uma única fonte de +9 V (que pode ser uma bateria ou um adaptador CA de "parede"), com ruído de entrada de apenas alguns nV/ ÿ Hz. Se você quiser ter uma aplicação em mente, pense em um interfone de porta, onde o pequeno alto-falante também serve reciprocamente como um microfone.23

Para entender as especificações de ruído, colocamos algumas pequenas amostras de alto-falante "8 ÿ" em nossa bancada de laboratório, falamos com elas em voz normal e medimos a saída au. tensões de diodo na faixa de 30 a 100 VrmsÿVamos buscar uma relação sinal-ruído de 40 dB ou melhor; que se traduz em uma tensão de ruído de entrada de 0,5 Vrms oÿ menos. E vamos mantê-lo baixo – buscaremos 25 centavos.

O circuito básico A Figura 8.19 mostra o circuito, um estágio de emissor comum acoplado CA (com resistor de emissor desviado) acionando um seguidor de emissor. Não estamos preocupados com a distorção (com oscilações de saída em dezenas de milivolts, a partir dos níveis de entrada de aproximadamente 50 V), mas queremos ÿ bastante ganho de tensão, e contornar o resistor do emissor o elimina como fonte de ruído. Escolhemos provisoriamente correntes operacionais de 100 A, para serem revisadas (como em qualquer projeto de circuito) após uma avaliação inicial do desempenho ÿ do circuito.

Figura 8.19. Baixo ruído e custo ainda menor: um pré-amplificador de áudio simples para executar um alto-falante "para trás".

Cálculo de ruído Escolhemos o '5089 para este exemplo porque está amplamente disponível (meio milhão em estoque na Mouser e na DigiKey, quatro fabricantes diferentes), é caro (US$ 0,026 em qtde 100) e se autopromove como amplificador de baixo ruído aplicações.24 Tem muito ganho de corrente (mínimo 400, 600 típico a 100 A), mas sofre de resistência de base relativamente alta ÿ (rbb 300ÿ).

A partir da eq'n 8.24 é fácil calcular as várias contribuições de densidade de tensão de ruído (en) (e o leitor é encorajado a fazê-lo), referidas à entrada (RTI):

Hz Shot noise de IC por re ÿ2qIC *2,2* nV/ ÿ Hz, 4 nV/ ÿ Johnson
rbb *4kTrbb ÿ4kTRC/ GV* 0,17 nV/ÿ Hz RC Johnson ÿ este
rbb ÿ *2qIB* Shot noise de IB por rbb

23 Para aqueles que suspeitam que "as paredes têm ouvidos", isso pode sugerir possibilidades interessantes de vigilância.

24 Por exemplo, a ON Semiconductor o chama explicitamente de "transistor de baixo ruído"; A Fairchild e a NXP o chamam de "transistor de uso geral", mas o promovem para "aplicações de amplificadores de uso geral, baixo ruído e alto ganho" e "estágios de entrada de baixo ruído em equipamentos de áudio", respectivamente.

Machine Translated by Google

A fonte de ruído dominante é o ruído de Johnson na resistência de base interna de Q1, seguido pelo ruído de tiro do coletor fluindo através da resistência intrínseca do emissor de Q1 re de 250ÿ em sua corrente de coletor de 0,1 mA. Os dois últimos termos são insignificantes em comparação: há muito ruído de Johnson no resistor coletor do Q1, mas devido ao ganho de tensão desse estágio de ~150 é uma contribuição insignificante quando se refere à entrada (RTI). Ainda menor é o ruído de tensão produzido pelo ruído shot de corrente de base que flui através de rbb .

Existem outras possibilidades de ruído, mas elas são extremamente pequenas em comparação: como exemplo, a corrente de ruído de Johnson no divisor de polarização fluindo pela impedância da fonte de 8 ÿ do alto-falante gera uma densidade de tensão de ruído de apenas 0,003 nV/ÿ Hz.

Desempenho A partir dessas *densidades* de tensão de ruído chegamos à tensão de ruído rms total sobre a largura de banda do sinal: vn=en ÿÿf=142 nVrms, onde en é a densidade combinada de tensão de ruído de 2,6 nV/ÿ Hz e *ÿf* é a largura de banda do áudio (para a qual usamos a "largura da banda do telefone" de 3 kHz). Comparado com a entrada de áudio nominal 50, isso equivale a uma relação sinal-ruído de ÿ51 dB – nada mal para o preço! ÿ Vrms

Falando nisso, o custo do componente é uma espécie de parâmetro de "desempenho". Uma rápida pesquisa nos distribuidores habituais (DigiKey, Mouser, Newark, Future) revelou os seguintes preços (componentes SMT – resistores e capacitores de chip, transistores SOT-23):

	quantidade	
Q1, Q2	100 $	quantidade
Cin	0,026 $	1k $
CE	0,032 $	0,023 $
	0,068 $	0,012 $
resistores Cout	0,034 $ 0,012	0,039 $ 0,017 $ 0,004
partes totais	$ 0,246	$ 0,134

Variações Ultrapassamos nossas metas de SNR e custo, então poderíamos deixar por isso mesmo. Mas é sempre bom rever um projeto inicial, procurando melhorar as coisas. Aqui, o orçamento de ruído é dominado pela resistência de base relativamente alta desses transistores de "baixo ruído". Poderíamos melhorar o desempenho de ruído escolhendo um transistor de estágio de entrada com menor rbb – consulte a Tabela 8.1a na página 501 e a Figura 8.12 para ver alguns candidatos. No entanto, uma vez que você reduziu o ruído rbb Johnson, o ruído de tiro do coletor através de re se torna o termo dominante e você é forçado a aumentar a corrente do coletor para colher mais melhorias em vn. [25] De fato, como mostra a Figura 8.12, para baixo em IC=10ÿ A, o '5089 dificilmente é pior (nem mesmo um fator de 2) do que os transistores com o menor rbb .

Olhando de outra forma, poderíamos ficar com o barato e amplamente disponível MMBT5089 e reduzir um pouco a corrente do coletor (digamos, para 50 A), com muito pouco aumento no ruído geral: a densidade aumentaria de 2,6 nV/ÿ Hz para 3,0 nV/ ÿ Hz, o que reduziria o SNR da banda de áudio em apenas 1 dB (de 50,9 dB para 49,8 dB). Certamente vale a pena, se você estiver sem bateria. ÿ nem diante

8.3.5 Ruído de disparo em fontes de corrente e seguidores de emissor

Observamos anteriormente (em §8.1.2) que o ruído shot é suprimido na fonte de corrente BJT clássica (redesenhado na Figura 8.20A). A princípio, você pode pensar que isso é óbvio, porque a corrente do coletor é apenas a corrente do emissor (além de uma pequena contribuição de corrente de base), na qual o ruído de disparo está ausente (como sempre ocorre em condutores metálicos). Mas no coletor você tem exatamente o tipo de barreira na qual o ruído de tiro é inevitável.

OK, você pode dizer, talvez a fonte de corrente *não* exiba ruído de tiro, mas certamente no terminal do emissor você tem uma corrente silenciosa (e, portanto, uma ausência de tensão de ruído) - basta olhar para aquele resistor!

Paradoxalmente, essa intuição está errada. Acontece que a fonte de corrente é "silenciosa", mas a saída do seguidor de emissor *realmente* inclui uma tensão de ruído igual a uma corrente de ruído de tiro (calculada a partir de IC) fluindo através de re, ou seja, apenas o re *ÿ2qIC* que vimos em eq'n 8.24.26 Na verdade, é bastante fácil testar isso. Veja a Figura 8.20C, onde uma fonte de corrente de ~10 A é carregada com um resistor coletor de 1Mÿ. Na ausência de ruído de disparo do coletor, ÿ devemos ver apenas uma densidade de tensão de ruído de Johnson de 181 nV/ ÿ Hz no coletor,27 para ser comparada com uma tensão de ruído 10× maior se a corrente do coletor tiver o ruído de disparo estatutário in=ÿ2qIC. Enquanto isso, no emissor, aquela corrente de ruído shot, fluindo através do re, produziria uma densidade de tensão de ruído de 4,8 nV/ ÿ Hz; na ausência de ruído shot do emissor, o seguidor ficaria quieto (exceto pelas outras fontes de ruído BJT na equação 8.24).

Construímos o circuito C, e. . . (tambores). . . medimos 190 nV/ ÿ Hz no coletor (consistente com Johnson

[25] Para ver até onde você pode ir, visite o "desafio extremo" em §8.5.9.

[26] Ao qual você deve, é claro, adicionar os termos adicionais, ruído de Johnson e ruído de tiro de corrente base em rbb .

[27] Isso é ÿ 2 vezes o ruído Johnson de 128 nV/ ÿ Hz de um resistor de 1 Mÿ. O ÿ 2 surge porque este é um inversor de ganho unitário, então o ruído Johnson de RE contribui com uma tensão de ruído não correlacionada igual.

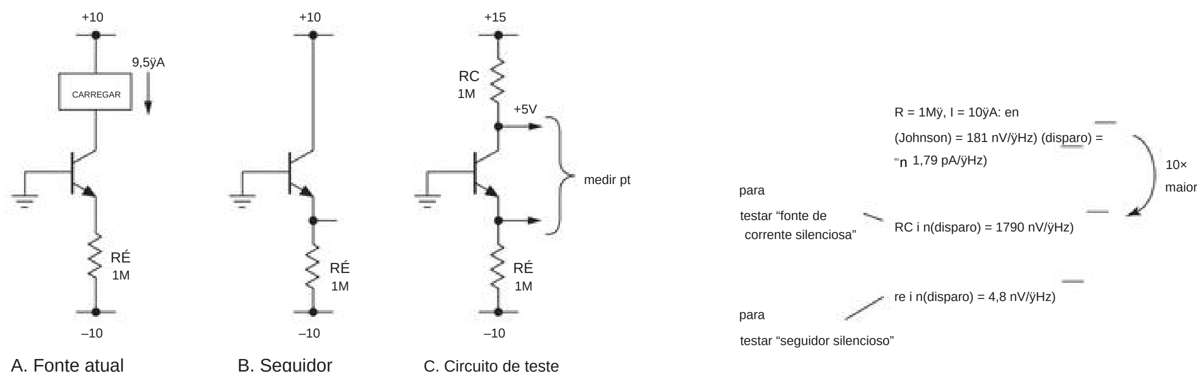


Figura 8.20. O ruído shot é suprimido na fonte de corrente do transistor, A, mas não no seguidor do emissor, B. Isso é facilmente confirmado pela medição da densidade de tensão de ruído no circuito de teste C.

apenas ruído, ou seja, uma fonte de corrente silenciosa); e medimos 4,93 nV/ ÿ Hz no emissor (consistente com o ruído de disparo da corrente do coletor através do re). Evidentemente, o ruído de tiro é suprimido na fonte atual, mas não no seguidor. Interessante! E, para testar a possibilidade de que a corrente do coletor *nunca* exiba ruído de tiro, colocamos um capacitor de bypass entre os terminais da base e do emissor. O ruído volt a idade no coletor saltou para 1679 nV/ ÿ Hz, o que concorda bem com a previsão28 da fórmula de ruído de tiro28 1664 nV/ ÿ Hz. Como podemos entender isso?

Para entender esse quebra-cabeça, é melhor começar com o que *deve* ser verdade e ver aonde isso leva. Veja a Figura 8.21, conforme a desenvolvemos em etapas.

1. Sabemos com certeza que a corrente do emissor é silenciosa, pois é a corrente através de um condutor metálico. E qualquer preocupação que possamos ter de que essa corrente possa se tornar ruidosa por causa das flutuações na *tensão* base-emissor do transistor (isto é, ruído de tensão de entrada) é facilmente corrigida: podemos reduzir qualquer efeito (já insignificante, porque as variações de ruído vn(BE) são reduzidos em microvolts) tanto quanto quisermos, simplesmente aumentando tanto RE quanto a tensão de alimentação negativa proporcionalmente.

2. Em algum lugar dentro do transistor deve haver uma corrente difusora de coletor que está sujeita ao clássico ruído de disparo de fluxo de carga não correlacionado, in=2qIC(dc), e sobre o qual o transistor não tem controle.

3. Mas este é um dispositivo de três terminais com corrente de base desprezível, então sabemos que a corrente que flui para o terminal do coletor é igual à corrente que sai do terminal do emissor (no limite do grande beta); e o último é "quieto".

28 Para este teste a corrente do coletor foi de 8,65 ÿ A, limitado pela ópera ção de baterias, portanto, a previsão ligeiramente menor de ruído de disparo.

4. Portanto, deve ser o caso de a parte controlável da corrente do coletor do BJT estar flutuando de maneira a cancelar as flutuações do ruído de tiro.

Para que seja assim, a tensão de entrada V1 para o modelo de transcondutância BJT deve ser tal que gmV1=IE ÿ in, e assim a porção de tensão de ruído de entrada de V1 é apenas

$$en = ÿin/gm \qquad (8.25)$$

que (lembre- se de re=1/gm) é a forma familiar da equação *8.24* .

Isso pode parecer um argumento circular; mas, em um sentido real, é assim que esse componente da tensão de ruído base-emissor é (e deve ser) criado. Esta linha de raciocínio também explica muito bem a presença de tensão de ruído en no emissor do nosso circuito de teste (e, claro, na saída de um seguidor de emissor, ou na entrada de um amplificador de emissor comum, etc.). E também explica por que ignorar o emissor libera o ruído de disparo total no coletor de nossa fonte de corrente: tal conexão invalida a suposição inicial (#1, acima) porque o capacitor desvia

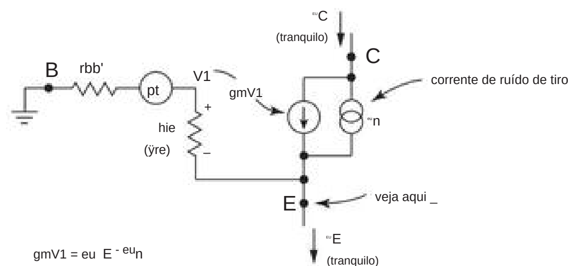


Figura 8.21. Seguidor de fonte de corrente híbrido simplificado " modelo do de três terminais da Figura 8.20C. A tensão de ruído reflete a inevitável corrente interna de ruído de disparo . Se a corrente do emissor estiver silenciosa, o mesmo ocorrerá com a corrente de coletor resultante IC.

inteiramente a corrente do emissor nas frequências do sinal. Na verdade, ele cria um amplificador de emissor aterrado (em vez de uma fonte de corrente ou seguidor), no qual a tensão total de ruído de entrada dada acima (equação 8.25) é amplificada pela transcondutância *gm* para produzir um ruído de saída corrente igual a *gmen.* E esse é exatamente o ruído de tiro total (não suprimido) que responde ao IC de corrente do coletor CC (rebobine para a etapa 2, acima), que é o que medimos em nossa configuração de teste.

Um ponto final (e importante): a supressão do ruído de tiro na fonte de corrente requer um dissipador de corrente do emissor silencioso, satisfeito neste caso por um grande (comparado com o re) resistor pull-down RE (aqui 1M versus 2,5k). Mas esse não é o caso, digamos, de um espelho de corrente não degenerado. Isso levanta a questão quantitativa, quão grande deve ser RE , para ser “grande” nesse sentido?

Isso é fácil de descobrir: no emissor temos uma tensão de ruído en equivalente ao ruído de Johnson de um resistor de valor re/2 e com impedância da fonte igual a re; isto é, uma corrente de ruído equivalente à corrente de ruído de Johnson de um resistor de valor 2re. Isso é diluído pelo resistor pull-down silencioso (ou seja, sem ruído de disparo) RE, de modo que a redução do ruído de corrente no coletor esteja na proporção 2re/RE. Por exemplo, na corrente de coletor de 1 mA temos uma impedância vista no emissor de re=25ÿ, com uma tensão de ruído equivalente a de um resistor de 12,5 ÿ, ou uma corrente de ruído equivalente a de um resistor de 50 ÿ. Portanto, um resistor pull-down de 50 ÿ reduz o ruído em 3 dB e um pull-down de 4,95 kÿ o reduz em 20 dB, etc. Em termos mais gerais, a redução na corrente de ruído do coletor está na relação 50mV/VRE , onde VRE é a tensão CC através do resistor pull-down do emissor RE.

8.4 Encontrando en a partir das especificações de figuras de ruído

Folhas de dados do transistor tradicionalmente forneciam alguns valores tabulados para en e (frequentemente) gráficos em correntes de coletor selecionadas de en e in versus frequência (ou en e in versus corrente de coletor em frequências selecionadas), como vimos para o 2SD786 e o MPSA18 .

Isso foi *então!* Agora você vê tabulações e gráficos de figura de ruído (NF) – veja, por exemplo, os contornos de NF constante plotados contra IC e Rs para o *transistor* bipolar npn29 de baixo ruído 2SC3324 da Toshiba (Figura 8.22).

Há muita informação nesses gráficos, embora eles contem a história apenas em duas frequências (10 Hz e 1 kHz; com certeza seria bom ver um gráfico de parâmetro de ruído termos versus frequência). Vamos ver o quanto podemos espremer dessas duas parcelas.

8.4.1 Etapa 1: NF versus IC

Podemos fazer um gráfico de NF versus corrente de coletor, para cada um de um conjunto de resistências de fonte, simplesmente lendo os valores ao longo de uma linha horizontal na Figura 8.22. É útil usar um programa de planilha com recursos de plotagem, como o Microsoft Excel, ou (se você quiser exibir) um pacote matemático mais sofisticado, como MATLAB® ou Mathematica®. A Figura 8.23 mostra o que você obtém lendo no gráfico de 1 kHz da Figura 8.22 para seis valores de resistência da fonte. Aqui, estimamos os valores de NF para etapas de meia década de IC (portanto, 10 A e assim por diante), A, 30 A, 100, plotados ÿ no Excel e depois ajustados. Valores abaixo de 1 dB não devem ser considerados confiáveis, porque a Figura 8.22 (da qual os dados foram derivados) mostra que nenhum contorno é baixo NF=1 dB.[30] A linha tracejada indica NF=3 dB, onde o ruído contribuído pelo transistor é igual ao ruído John son no resistor da fonte.

Antes de prosseguir, vamos ter uma intuição sobre essas curvas. Para valores baixos de Rs , a fonte tem baixa tensão de ruído Johnson (por exemplo, Rs = 100 ÿ tem en = 1,3 nV/ ÿ Hz), um pouco menor que a entrada do transistor en em pequenas correntes de coletor.[31] É por isso que a figura de ruído melhora com o aumento da corrente do coletor. Por outro lado, para grandes valores de Rs , o ruído de tensão do transistor não é importante em comparação com o ruído de Johnson muito maior do resistor. Mas agora, quando operamos em grandes correntes de coletor, o ruído de *corrente* de entrada do transistor (ruído de tiro de corrente de base: em ÿ *ÿ2qIB)* gera uma tensão de ruído substancial em Rs maiores, de modo que a tensão de ruído no terminal de entrada é muito maior do que o ruído de Johnson sozinho, portanto, uma figura de ruído grande (ruim).

8.4.2 Etapa 2: NF versus Rs

A Figura 8.24 é um gráfico análogo, mas desta vez mostrando NF versus *resistência da fonte* (em vez de IC) para cada um dos

29 O complemento *pnp* é o 2SA1312.

30 A folha de dados lista um valor de 0,2 dB (típico) nos dados tabulados, em 1 kHz, corrente de coletor de 100 A e resistência de fonte de 10 kÿ, um conjunto de condições que o gráfico... Mas a folha de dados também lista um valor de pior caso (máximo) de 3 dB! Você terá que fazer algumas escolhas se precisar de NF = 0,2 dB.

31 Lembre-se de que o último é aproximadamente o ruído shot da corrente do coletor através de re: en ÿ *ÿ2qIC ·(kT/qIC).* Isso é igual ao ruído Johnson de um resistor fictício de valor R=re/2, que é 100 ÿ em IC=125 A. ÿ Então o en do transistor aumenta com a queda da corrente do coletor, como en ÿ 1/ ÿIC.

Machine Translated by Google

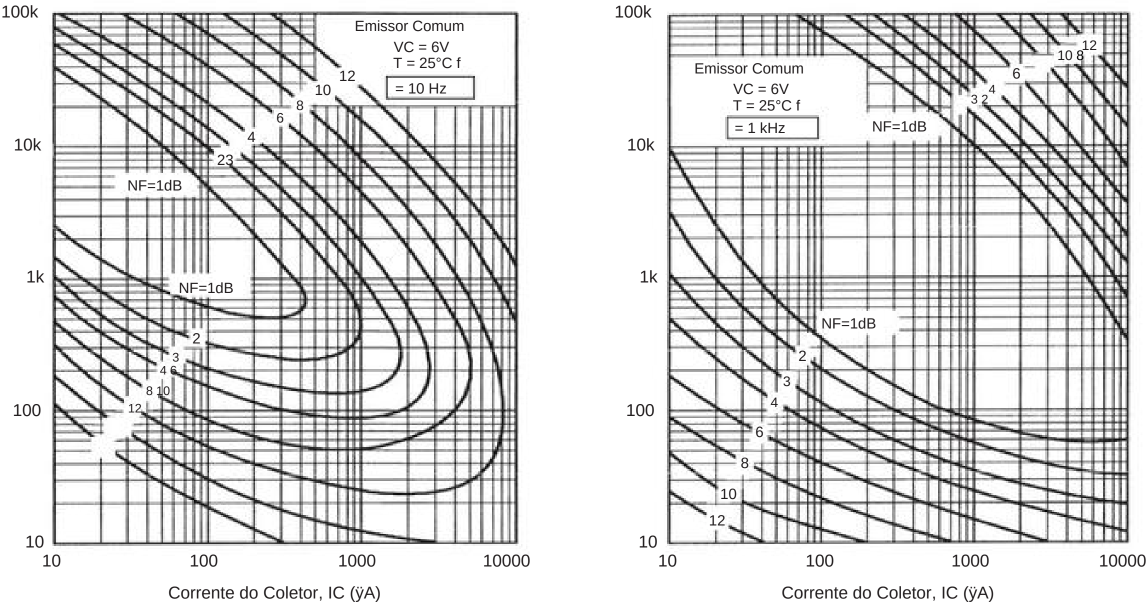


Figura 8.22. A folha de dados da Toshiba para seu transistor *npn* 2SC3324 de baixo ruído não fornece valores ou gráficos para ruído de tensão de entrada en. Em vez disso, você obtém esses gráficos de figura de ruído (NF) versus corrente do coletor e resistência da fonte.

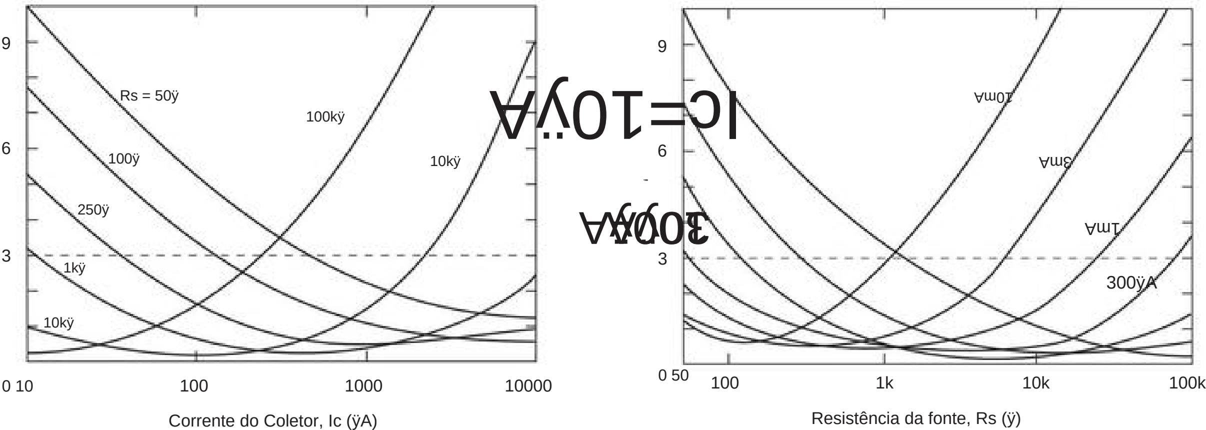


Figura 8.23. Figura de ruído 2SC3324 versus corrente de coletor, dos gráficos de contorno da folha de dados mostrados na Figura 8.22.

Figura 8.24. Figura de ruído 2SC3324 versus resistência da fonte, a partir dos dados da Figura 8.22.

um conjunto de correntes de coletor; é obtido das mesmas curvas de contorno de 1 kHz da Figura 8.22, desta vez lendo os valores ao longo das linhas verticais da constante IC. É um gráfico útil para determinar, aproximadamente, a corrente operacional ótima para um sinal de uma dada impedância de fonte.

8.4.3 Etapa 3: chegando ao en

Os dois gráficos anteriores (NF versus IC, NF versus Rs) são simplesmente reorganizações do ruído de 1 kHz do fabricante gráfico de contorno da figura (Figura 8.22). Não precisávamos calcular nada.

Essa não é a situação com tensão de ruído, en. Aqui precisamos inverter a equação de definição (eq'n 8.13) para figura de ruído para encontrar en:

$$e_n = \sqrt{4kTR_s}\,\sqrt{10^{NF/10}-1}\ . \qquad (8.26)$$

O primeiro termo é a densidade de tensão de ruído Johnson do resistor da fonte de sinal, e o segundo termo é a multiplicação

fator atribuível à contribuição de ruído do transistor, conforme dado por sua figura de ruído. O último inclui contribuições de en e in; então devemos usar os valores NF para pequena resistência da fonte para que a contribuição do transis

tor é desprezível.32 A

Figura 8.25 mostra o que você obtém para en versus corrente de coletor , começando com os valores da figura de ruído correspondentes a Rs = 50 ÿ (da Figura 8.23 ou 8.22). Em comum com a maioria dos dispositivos, este transistor exibe o familiar excesso de "ruído oscilante" abaixo de sua " frequência de canto de ruído 1/f" (consulte §8.1.3 e também §5.10.6).

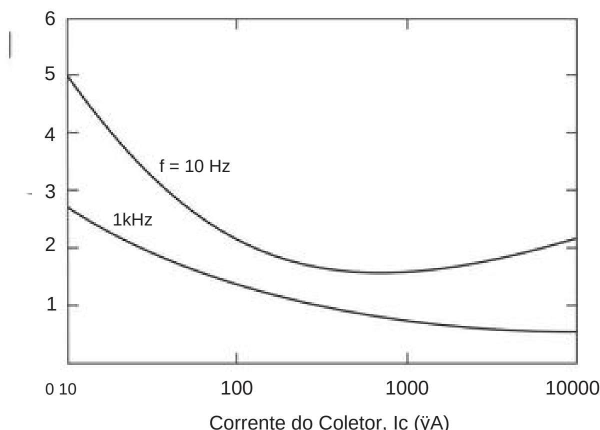


Figura 8.25. 2SC3324 tensão de ruído versus corrente de coletor, derivada dos dados da Figura 8.22.

8.4.4 Etapa 4: o espectro de en

Reclamamos anteriormente sobre a falta de dados de ruído versus frequência – é fornecido apenas para 10 Hz e 1 kHz. Mas podemos preencher os detalhes, na suposição razoável de que a potência do ruído em baixas frequências é aproximadamente igual a 1/f (isto é, enÿ1/ ÿ f) e que os dois pontos de dados abrangem o canto do ruído 1/f. frequência.

Para fazer isso, primeiro encontramos a frequência de canto 1/f fc de os valores en que o abrangem. Para uma boa aproximação,

$$f_c = f_L \frac{e^2_{nL}}{e^2_{nH}} ÿ1 , \qquad (8.27)$$

onde enL é a densidade de ruído em uma frequência fL abaixo da frequência de canto e enH é a densidade de ruído bem acima de fc (consulte a discussão na página 566). Assim que tivermos fc, podemos encontrar en versus frequência:

32 Da mesma forma, poderíamos extrair dos valores NF para resistência de fonte grande, onde a contribuição en do transistor é desprezível.

$$e_n(f) = e_{nH}\sqrt{1+ f_c/ f} . \qquad (8.28)$$

Como a frequência de canto depende da corrente do coletor, lemos enL e enH da Figura 8.25 para cada um dos valores de quatro décadas de IC e, em seguida, traçamos o correspondente en versus *f* . A Figura 8.26 mostra a especificação de tensão de ruído resultante tra.

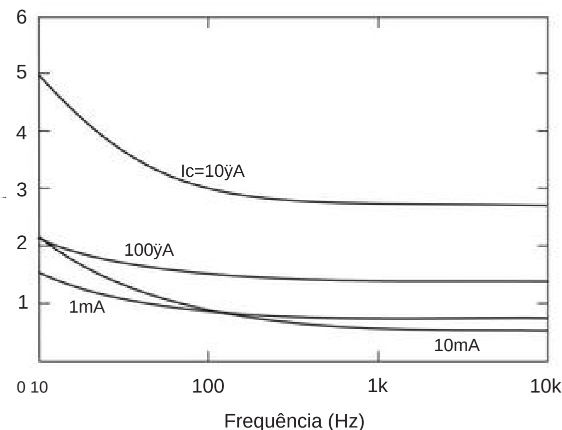


Figura 8.26. 2SC3324 tensão de ruído versus frequência, deduzida das curvas da Figura 8.25.

8.4.5 O espectro de

Por um procedimento semelhante, poderíamos extrair curvas de ruído atual em função da frequência. Acima do canto 1/f veríamos ruído shot de corrente de base (in=ÿ2qIb), com o aumento característico de 1/f em baixas frequências.

Depois de obter gráficos de en e in versus frequência, você terá todas as informações básicas contidas em um gráfico de contorno de figura de ruído. Veja §8.9.1E, e especialmente a Figura 8.58, para ver como você pode usar en e in para prever a densidade de ruído de entrada efetiva total versus resistência da fonte. O gráfico mostrado no canto superior esquerdo dessa figura mostra como encontrar os pontos de interrupção que separam a região endo-dominada (baixo Rs) , a região dominada por ruído de Johnson (meio-Rs) e a região in-dominada (alta -RS) região. Preferimos essa abordagem mais simples e usaremos en e in extensivamente no restante do capítulo.

8.4.6 Quando a corrente de operação não é sua escolha

Saber como varia com a corrente do coletor (ou dreno) ajuda a definir o ponto de operação para desempenho de ruído ideal, como veremos na próxima seção.

Às vezes, porém, a escolha já foi feita, por pessoa ou pessoas desconhecidas. Nesse caso, você vive com o que lhe é dado. A Figura 8.27 mostra um exemplo, com contornos de figura de ruído publicados para o pré-amplificador modelo SR560 da Stanford Research Systems (§8.6.4). Fica claro pela alta resistência ao ruído de entrada (ÿ200 kÿ) que este é um amplificador de entrada JFET e que seu desempenho de ruído está longe de ser ideal com uma fonte de baixa impedância: NF=15 dB para Rs=50 ÿ(!) ; compare isso com a figura de ruído de ~2 dB do 2SC3324 rodando em IC=5 mA.

O que não fazer OK, você diz, vou colocar um resistor de 200k em série com o sinal de entrada e, voila, vou obter uma figura de ruído de 0,05 dB.

Não faça isso! O que você fez foi adicionar muito ruído ao sinal de entrada, para que ele domine o ruído do amplificador. Um amplificador como este é otimizado para fontes de sinal de alto Z e está longe de ser ideal para sistemas de 50 ÿ. O que você *pode* fazer, se insistir em usá-lo com uma fonte de 50 ÿ, é transformar a impedância da fonte para cima por um fator modesto com um transformador de sinal, por exemplo, um North Hills HB0904 (50 ÿ:1200 ÿ, com 1 kHz– 6 MHz bandpass) ou um Mini-Circuits T16-6T-X65 ((50 ÿ:800 ÿ, com 30 kHz– 75 MHz bandpass). =15 dB você obtém com uma fonte simples de 50 ÿ. Para obter mais informações sobre transformadores de sinal, consulte §8.10.

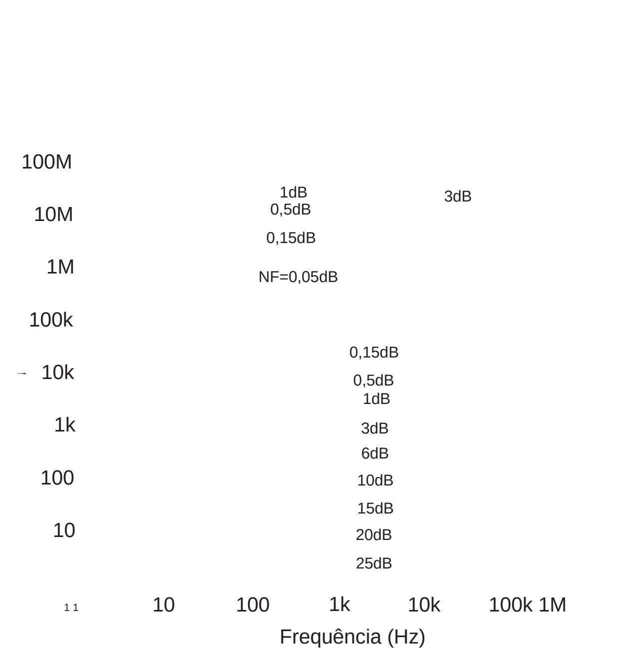


Figura 8.27. Figura de ruído versus frequência e resistência da fonte para o pré-amplificador de baixo ruído SR560. (Cortesia da Stanford Research Systems.)

8.5 Projeto de baixo ruído com transistores bipolares

O fato de que en cai e sobe com o aumento do IC fornece uma maneira simples de otimizar a corrente de operação do transistor para fornecer o menor ruído com uma determinada fonte. Observe o modelo novamente (Figura 8.28). A fonte de sinal sem ruído vs adicionou a ela uma tensão de ruído irredutível do ruído John son de sua resistência de fonte:

$$e^2_{R(\text{fonte})} = 4kTR_s \ (\text{V}^2/\text{Hz}). \quad (8.29)$$

O amplificador adiciona ruído próprio, ou seja,

$$e^2_{n(\text{amplificador})} = e^2_n + (i_n R_s)^2 \ (\text{V}^2/\text{Hz}). \quad (8.30)$$

Assim, a tensão de ruído do amplificador é adicionada ao sinal de entrada e, além disso, sua corrente de ruído gera uma tensão de ruído através da impedância da fonte. Esses dois não estão correlacionados (exceto em frequências muito altas), então você adiciona seus quadrados. A ideia é reduzir a contribuição total de ruído do amplificador tanto quanto possível. Isso é fácil, uma vez que você conheça Rs, porque basta olhar para um gráfico de en e in versus IC na região da frequência do sinal, escolhendo IC para minimizar $e^2_n + (i_n R_s)^2$. Alternativamente, se você tiver sorte e tiver um gráfico de contornos de figuras de ruído versus IC e Rs, poderá localizar rapidamente o valor ideal de IC.

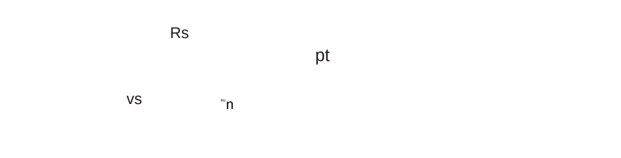


Figura 8.28. Modelo de ruído do amplificador.

8.5.1 Exemplo de figura de ruído

Como exemplo, suponha que temos um pequeno sinal na região de 1 kHz com resistência de fonte de 10k, e desejamos fazer um amplificador de emissor comum de baixo ruído com um 2N5087. A partir dos gráficos da folha de dados de en e in versus corrente de coletor (Figura 8.29), vemos que a soma dos termos de tensão e corrente (com fonte de 10k) é minimizada para uma corrente de coletor de cerca de 20–40 A. Como o ruído de corrente é que o ruído de tensão está aumentando à medida que o IC é reduzido, pode ser uma boa ideia usar um pouco menos de corrente do coletor, especialmente se a operação em uma frequência mais baixa for prevista (*em* aumentos rápidos com frequência decrescente). Podemos estimar a figura de ruído usando in e en a 1 kHz:

$$NF = 10\log_{10}\left[1 + \frac{e^2_n + (i_n R_s)^2}{4kTR_s}\right] \text{dB}. \quad (8.31)$$

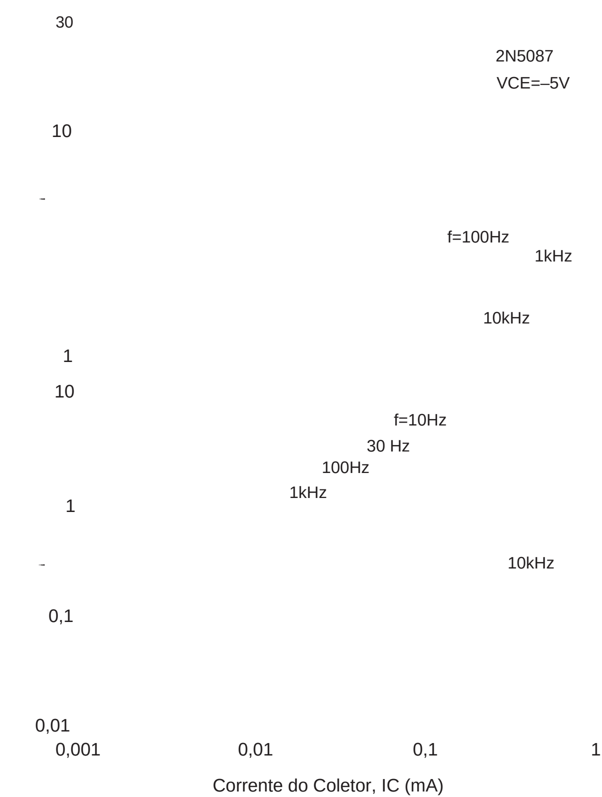


Figura 8.29. Ruído de tensão e corrente versus frequência para o transistor 2N5087 *pnp* .

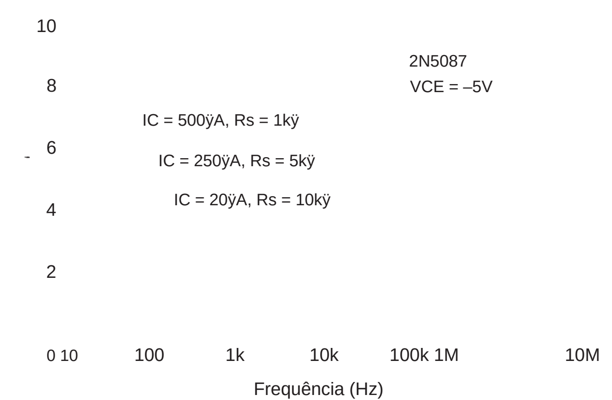


Figura 8.30. Figura de ruído (NF) versus frequência, para três opções de IC e Rs, para o 2N5087.

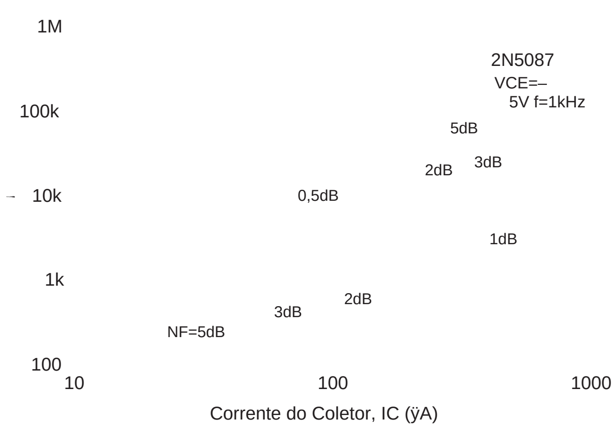


Figura 8.31. Contornos da figura de ruído de banda estreita constante para o transistor 2N5087. (Da folha de dados do ON Semiconductor.)

Leitura da Figura 8.29, em IC=20 e in=0,17ÿpA/ ÿ Hz, e en=3,7 nV/ ÿ Hz 4kTRs=1,65×10ÿ16 V2/Hz para a resistência da fonte de 10k. A figura de ruído calculada é, portanto, 0,42 dB. Isso é consistente com o gráfico do datasheet (Figura 8.30) mostrando NF versus frequência, no qual eles escolheram essa corrente operacional para Rs=10k. Essa escolha de corrente de coletor também é aproximadamente o que você obteria do gráfico na Figura 8.31 de contornos de figura de ruído em 1 kHz, embora a figura de ruído real possa ser estimada apenas aproximadamente a partir desse gráfico como sendo ligeiramente inferior a 0,5 dB.

Exercício 8.2. Encontre o IC ótimo e a figura de ruído correspondente para Rs=100k e f=1 kHz, usando o gráfico da Figura 8.29 de en e in. Verifique sua resposta a partir dos contornos da figura de ruído (Figura 8.31).

Para as outras configurações do amplificador (seguidor, base aterrada) a figura de ruído é essencialmente a mesma, para Rs e IC dados, pois en e in permanecem inalterados. Claro, um estágio com ganho de tensão unitário (um seguidor) pode simplesmente passar o problema para o próximo estágio,33 já que o nível do sinal não foi aumentado a ponto de o projeto de baixo ruído poder ser ignorado nos estágios subsequentes.

8.5.2 Mapeando o ruído do amplificador com en e in

Os cálculos de ruído que acabamos de apresentar, embora simples, fazem com que todo o assunto do projeto de amplificadores pareça um tanto formidável. Se você extraviar um fator da constante de Boltzmann, de repente obtém um amplificador com uma figura de ruído de 10.000 dB! Nesta seção apresentamos uma técnica simplificada de estimativa de ruído de grande utilidade.

O método consiste em primeiro escolher alguma frequência de interesse para obter valores para en e in versus IC nas folhas de dados do transistor. Então, para uma determinada corrente de coletor, você pode plotar as contribuições totais de ruído de en e

33 “Kicking the can down the road”, na linguagem política de nosso tempo.

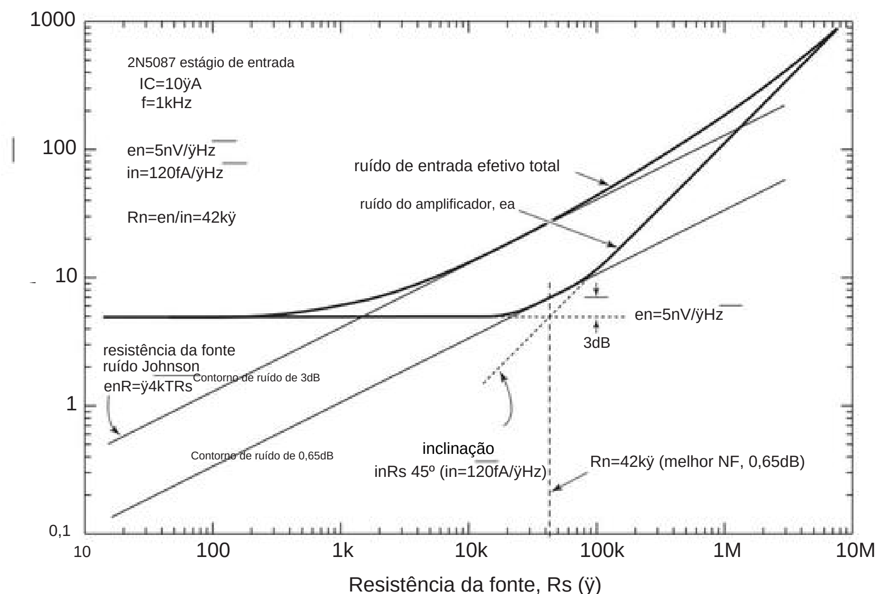


Figura 8.32. Ruído total da tensão de entrada do amplificador (ea) plotado a partir dos parâmetros en e in . A curva de "ruído de entrada efetivo total" inclui o ruído de Johnson de uma fonte de entrada resistiva, ou seja, *Zs=Rs.*

como um gráfico de *ea* versus resistência da fonte Rs. A Figura 8.32 mostra como fica a 1 kHz para um estágio de entrada usando um transistor *pnp* 2N5087 operando a 10 A de corrente de coletor. A ÿ tensão en ruído é constante, e a *tensão inRs* aumenta proporcionalmente a Rs, ou seja, com inclinação de 45ÿ . A curva de ruído do amplificador é desenhada como mostrado, com cuidado para garantir que ela passe por um ponto 3 dB (relação de tensão de 1,4) acima do ponto de cruzamento das contribuições individuais de tensão e ruído de corrente. Também está plotada a tensão de ruído da resistência da fonte, que também é o contorno de 3 dB NF. As outras linhas da figura de ruído constante são simplesmente linhas retas paralelas a esta linha, como você verá nos exemplos a seguir.

A melhor figura de ruído (0,65 dB) nesta corrente e frequência de coletor ocorre para uma resistência de fonte de 42kÿ, e a figura de ruído é facilmente vista como inferior a 3 dB para todas as resistências de fonte entre 2kÿ e 1Mÿ, os pontos nos quais os 3 O contorno dB NF cruza o ruído do amplificador
curva.

O próximo passo é desenhar algumas dessas curvas de ruído no mesmo gráfico, usando diferentes correntes ou frequências de coletor, ou talvez uma seleção de tipos de transistores, para avaliar o desempenho do amplificador. Antes de fazermos isso, vamos mostrar como podemos falar sobre esse mesmo amplificador usando um par diferente de parâmetros de ruído, a resistência de ruído Rn e a figura de ruído *NF(Rn),* ambos os quais aparecem diretamente no gráfico.

Vamos nos divertir um pouco com essa técnica mais tarde (§8.7), depois de aprendermos sobre o ruído nos JFETs, ao arbitrar um tiroteio de baixo ruído no campeonato mundial entre o melhor BJT da classe (2SD786) e um comparativamente excelente JFET (2SK170).

8.5.3 Resistência ao ruído

A menor figura de ruído neste exemplo ocorre para uma resistência de fonte Rs = 42k, que é igual à proporção de en para in. Isso define a resistência ao ruído:

$$R_n = \frac{pt}{em} \quad \text{ohms.} \qquad (8.32)$$

Você pode encontrar a figura de ruído para uma fonte dessa resistência de nossa expressão anterior, eq'n 8.31, para figura de ruído:

$$e2\ NF(\text{em } R_n) = 10\log_{10}\ 1{+}1{,}23{\times}10^{20}\frac{n}{R_n}\ \text{dB} ÿ 0{,}31\ \text{dB}.$$

A resistência ao ruído não é realmente uma resistência real no transistor, ou algo assim. É uma ferramenta para ajudá-lo a encontrar rapidamente o valor da resistência da fonte para ruído mínimo

figura, idealmente para que você possa variar a corrente do coletor para deslocar Rn próximo ao valor da resistência da fonte que você está realmente usando. Rn corresponde ao ponto onde as linhas en e in se cruzam.

A figura de ruído para uma resistência de fonte igual a Rn segue simplesmente da equação anterior.

8.5.4 Mapeamento de ruído comparativo

É fácil comparar os transistores candidatos com esta técnica de gráfico, plotando o ruído total do amplificador para cada uma das possíveis correntes de coletor. Fizemos isso na Figura 8.33, onde comparamos o ruído total do amplificador (que inclui o ruído Johnson da resistência da fonte) versus a resistência da fonte para os transistores npn 2N5962 de alta beta e baixa rbb ZTX851 *npn ,* usando valores medidos de beta e rbb listados na Tabela 8.1a na página 501. Você pode ver que a parte beta alta operada em baixa corrente de coletor é a vencedora clara para altas resistências de fonte, onde seu rbb relativamente alto (480 ÿ) é inofensivo, sendo inundado pelo ruído Johnson do fonte de sinal. Por outro lado, para baixas resistências de fonte (digamos, 1k e abaixo), o rbb admiravelmente baixo do ZTX851 (ÿ1,7ÿ) atinge o ruído mais baixo, especialmente quando operado em uma corrente de coletor relativamente alta para minimizar o termo "re" ruído (lembre- se aquele ruído de tiro de corrente de coletor através *de 1/ gm* produz uma densidade de tensão de ruído en equivalente ao ruído de Johnson de um resistor de valor re/2, eq'n 8.20).

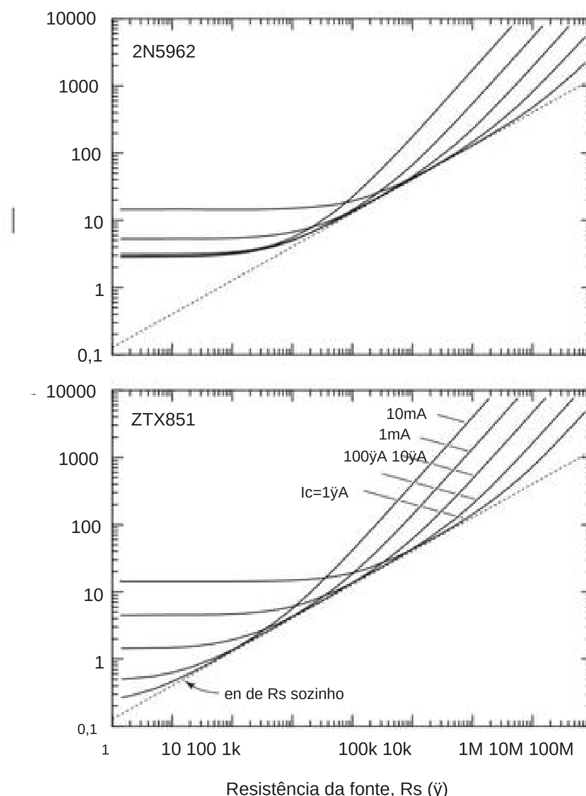


Figura 8.33. Comparando a tensão total de ruído de entrada do amplificador versus a resistência da fonte de dois BJTs de baixo ruído candidatos. as curvas plote os valores de cinco décadas da corrente do coletor. Para baixas resistências de fonte, o baixo rbb do ZTX851 produz baixo ruído em altas correntes de coletor; em contraste, o rbb mais alto do 2N5962 limita a tensão de ruído final, mas seu beta mais alto (portanto, menor ruído de disparo da 2qIC/ ÿ corrente de base) resulta em melhor desempenho com altas resistências de fonte. Essas curvas incluem o ruído Johnson da fonte re sistência.

8.5.5 Projeto de baixo ruído com BJTs: dois exemplos

Vamos colocar essas ideias e equações para funcionar, primeiro olhando para um pré-amplificador de áudio de baixo ruído simples que alcançou popularidade no início da década de 1980 e, em seguida, comparando com um design diferencial clássico que aborda muitas das deficiências do único circuito fechado.

A. O pré-amplificador

Naim A Figura 8.34 mostra o estágio de entrada usado por muitos anos em pré-amplificadores de baixo nível do fabricante britânico Naim Audio. É um projeto de realimentação em série de dois estágios com terminação única e acoplamento CA (Figura 2.92), adaptado para baixa tensão de entrada com ruído. O ganho geral de tensão é GV = 1+Rf/RE (aqui 30 dB), com RE escolhido bastante pequeno para manter sua contribuição de tensão de ruído filho de John abaixo de um nanovolt por hertz raiz (15 ÿ tem en = 0,5 nV/ ÿ Hz). O outro termo de ruído significativo é a contribuição do transistor de rbb , que é especificado de várias maneiras nas folhas de dados como um valor en (em alguma corrente de coletor especificada) ou gráfico, ou como um valor ou gráfico de figura de ruído ou (raramente) como um valor para rbb ou, ou

(o pior de tudo) talvez nenhum desses. Para o "Baixo Ruído" ZTX384C usado neste pré-amplificador, o datasheet é bastante *taciturno,* revelando apenas que NF=4 dB (max) de 30 Hz– 15 kHz para Rs=2k e IC=0,2 mA. Isso não é muito útil, porque corresponde a uma tensão de ruído Johnson muito grande de 6,9 nV/ÿ Hz.

O fato é que esses amplificadores eram bem silenciosos. Uma razão é que as especificações de pior caso de parâmetros difíceis de medir tendem a ser excessivamente pessimistas. Por exemplo, o *npn* contemporâneo de baixo ruído 2SC3324 especifica (para uma condição de teste específica) NF=3 dB (max), mas 0,2 dB (typ). Naim pode ter selecionado peças para baixo ruído. A outra razão é que o circuito de Naim realmente usa cinco transistores em paralelo (cada um com um resistor de lastro de emissor de 15 ÿ) para Q1, o que reduz sua tensão de ruído por um fator

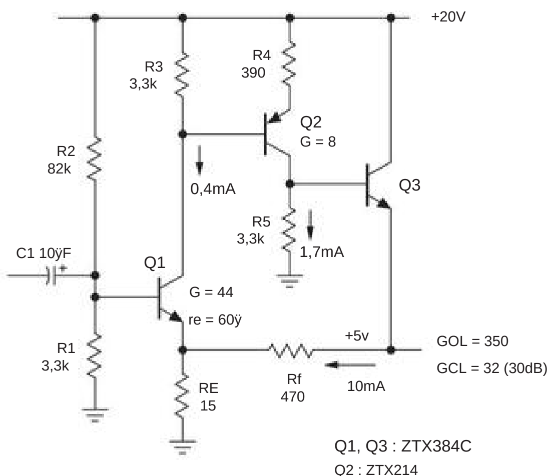


Figura 8.34. Pré-amplificador de áudio de baixo nível, semelhante ao usado no NAIM NA323. Q1 é feito de uma conexão paralela de quatro ou cinco transistores selecionados.

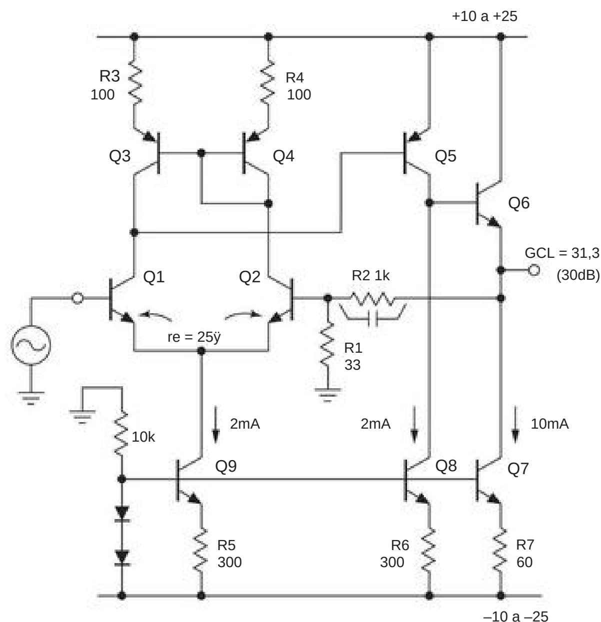


Figura 8.35. Um pré-amplificador de áudio acoplado a CC de baixo ruído com polarização previsível.

de ÿ 5. Resumindo: o ruído deste pré-amplificador era provavelmente na vizinhança de 1 nV/ÿ Hz, como convém a um pré-amplificador projetado para os níveis de sinal baixos característicos dos cartuchos fono de bobina móvel para os quais foi otimizado.

Este circuito é simples; mas há compensações causadas pelo pequeno RE que foi escolhido para baixo ruído. Isso torna o esquema de polarização um tanto problemático, com o divisor de polarização *R1R2* atuando mais como uma fonte de corrente (em comparação com a polarização de tensão clássica, por exemplo, como na Figura 2.35), tornando assim o ponto de operação quiescente bastante dependente do beta de Q1. O baixo valor de RE também resulta em uma baixa impedância de entrada, devido à impedância necessária do divisor de polarização rígido de 3,2 kÿ.[34]

B. Um projeto melhor: pré-amplificador diferencial acoplado a CC Muitas das deficiências do pré-amplificador Naim são bem tratadas no pré-amplificador diferencial acoplado a CC mostrado na Figura 8.35, que mantém o desempenho de baixo ruído desejável do primeiro. É basicamente a configuração clássica de amplificador operacional de 2 estágios (por exemplo, Figuras 4.43 ou 2.91), aqui simplificada com um estágio de saída classe A de terminação única com carga ativa de dissipador de corrente (com a suposição de que o próximo estágio não exigem uma corrente de acionamento substancial).

Este circuito elimina capacitores de bloqueio eletrolítico, tanto na entrada quanto no divisor de realimentação de ajuste de ganho *R1R2;* minimiza a não linearidade do efeito Early no estágio de entrada; e seu uso de cargas ativas (fonte de corrente) tanto melhora sua linearidade geral (por meio de linearidade de estágio único aprimorada, além de maior ganho de loop) e fornece polarização estável e previsível. O preço que você paga em troca é pequeno: aumento da complexidade do circuito e aumento de 3 dB no ruído (devido à contribuição do Q2). Nessas correntes de coletor, o ruído é dominado pelo ruído de Johnson da resistência de base rbb . Assim, como no amplificador Naim, os transistores de entrada podem ser implementados como uma matriz paralela de transistores VBE combinados (mesmo se transistores únicos forem usados, o par deve ser combinado em aproximadamente 10 mV ou mais) ou (melhor) implementado com transistores de tamanho de matriz maiores com rbb .[35]

8.5.6 Minimizando o ruído: BJTs, FETs e transformadores

Amplificadores de transistor bipolar podem fornecer desempenho de ruído muito bom na faixa de impedâncias de fonte de cerca de 200 ÿ a 1 Mÿ , com correntes de coletor ótimas correspondentes geralmente na faixa de vários miliampères até um microampere. (Com impedâncias de fonte baixas, você deseja minimizar en, enquanto com impedâncias de fonte altas

[34] Que domina a impedância vista olhando para a base (REGloop), esta última ÿ cerca de 50 kÿ.

[35] Por exemplo, o barato 2SD2653, especificado para corrente de coletor contínua de 2A, mas com beta alto mesmo em correntes baixas: ÿ500 em IC=1 mA. Consulte §8.5.9B.

você deseja minimizar ; como vimos, isso determina a corrente alta e baixa do coletor, respectivamente).

Se a impedância da fonte for alta, digamos maior que 100k ou mais, o ruído *da corrente* do transistor domina e o melhor dispositivo para amplificação de baixo ruído é um FET. Embora seu ruído de tensão seja geralmente maior que o dos transistores bipolares, a corrente de porta (e seu ruído) pode ser extremamente pequena, tornando-os ideais para amplificadores de alta impedância e baixo ruído. Iremos mergulhar no ruído FET em breve (§8.6), após um divertido interlúdio de "desafio".

Para impedâncias de fonte muito baixas (digamos 50 ÿ), o ruído de tensão do transistor sempre dominará e os números de ruído serão fracos. Uma abordagem nesses casos é usar um transformador de sinal para aumentar o nível do sinal (e a impedância), tratando o sinal no secundário como antes. Os transformadores têm suas desvantagens, é claro: eles são acoplados em corrente alternada; eles operam em apenas algumas décadas de largura de banda (e nunca em CC); aqueles destinados à operação de baixa frequência são volumosos e caros e exibem não linearidades; e são susceptíveis à captação magnética. No entanto, eles podem ser o molho mágico quando você está lidando com um sinal de baixa impedância (digamos, menos de 100 ÿ); ver §8.10.

8.5.7 Um exemplo de projeto: 40¢ "detector de raios" pré-amplificador

Aqui está um desafio de design interessante e uma chance de exercitar um pouco de nossa teoria de ruído. Imagine que queremos fabricar um amplificador de fotodiodo barato que funcione com baixa corrente de uma bateria de 9 V, com ruído de entrada de apenas alguns nV/ÿ Hz e com tempo de resposta de alguns microssegundos. Você pode pensar nisso como um simples "detector de raios", porque o raio é quase o único a fornecer pulsos de luz em escala de microssegundos no ambiente externo.[36] Em uma implementação totalmente refinada, isso pode servir como um dispositivo de alerta precoce útil para instalar em locais onde você gostaria de estar dentro de casa quando o céu está ficando elétrico - campos de golfe, portos, campos de futebol, etc.

[36] Cerca de 90% da atividade dos raios ocorre de nuvem a nuvem, estendendo-se por grandes distâncias e exibindo tempos de subida e descida relativamente longos; seus sinais não se parecem muito com o típico ruído "cultural" de fundo. Os 10% restantes são descargas atmosféricas no solo (o que é importante para nós!), com assinaturas únicas de tempo de subida curto, normalmente menos ÿ está na dura-máter de 5 ções (mesmo para descargas distantes no solo). Isso nos permite criar filtros para distinguir relâmpagos nuvem-solo distantes e fracos de interferências transitórias próximas de outras origens. O circuito descrito aqui é um pré-amplificador simples de baixo ruído adequado para uso com tais filtros e discriminadores.

Aqui exploramos o básico, um ponto de partida para inspirar o amador eletrônico. Acontece que podemos fazer o trabalho com peças padrão, por um custo total de componentes (em quantidades de 1.000 peças) de apenas US$ 0,40. Será um dispositivo "descartável", fabricado aos milhões, com lucros e fama proporcionais (continue sonhando!). Vamos levá-lo em etapas fáceis, como mostrado nas Figuras 8.36A-E (identificadas de forma semelhante nos parágrafos seguintes).

A. Diagrama de blocos Nós polarizamos o fotodiodo PIN para diminuir sua capacitância (portanto, menor ruído e resposta mais rápida) e usamos um capacitor de bloqueio na junção de soma de um estágio de transimpedância para eliminar o nível CC da luz ambiente e da corrente de fuga . O resistor de realimentação Rf define o ganho (G=ÿRf volts/amp).

B. Projeto discreto, primeira iteração Precisamos de realimentação invertida, então começamos com um estágio de emissor aterrado (Q1), com um seguidor de emissor (Q3) para criar uma saída de baixa impedância e fonte de realimentação.

C. Adicionar cascode Este circuito estará funcionando em correntes baixas (0,1 mA ou mais), portanto, impedâncias relativamente altas nas quais o efeito Miller causa uma redução significativa da largura de banda. Então adicionamos um cascode (Q2) no topo do coletor do estágio de ganho.

D. Cascode invertido Uma bateria de 9 V caiu para 6 V no final de sua vida útil, então agora estamos ficando sem espaço livre! Queremos manter bastante faixa dinâmica, então resolvemos esse problema invertendo o cascode, criando um "cascode invertido", no qual as variações de corrente do coletor em Q1 passam pelo transistor *pnp* cascode Q2, enquanto o último continua a prender o Q1 tensão do coletor. O seguidor de saída desempenha um papel duplo aqui, com seu VBE configurando a corrente de coletor do Q2: IC2=VBE3/R3.

E. Seguidor front-end e ruído de corrente de entrada Na corrente de coletor de ~50 A em Q1 que precisaremos para obter largura de ÿ banda suficiente, haveria muito ruído de corrente na entrada. (Lembre-se de que o sinal de entrada é uma *corrente.)* Portanto, adicionamos um seguidor beta alto (Q4) e escolhemos uma corrente de coletor de 1 A como valor de teste inicial.

ÿ

Também escolhemos um grande resistor de realimentação R2 para minimizar seu ruído de corrente visto na entrada, com capacitância shunt Cc para limitar a largura de banda a 100 kHz. A ideia é calcular o ruído de entrada para ver de onde vem a contribuição dominante e, em seguida, iterar o projeto em direção a um ótimo. Preenchemos os valores dos componentes para um projeto inicial.

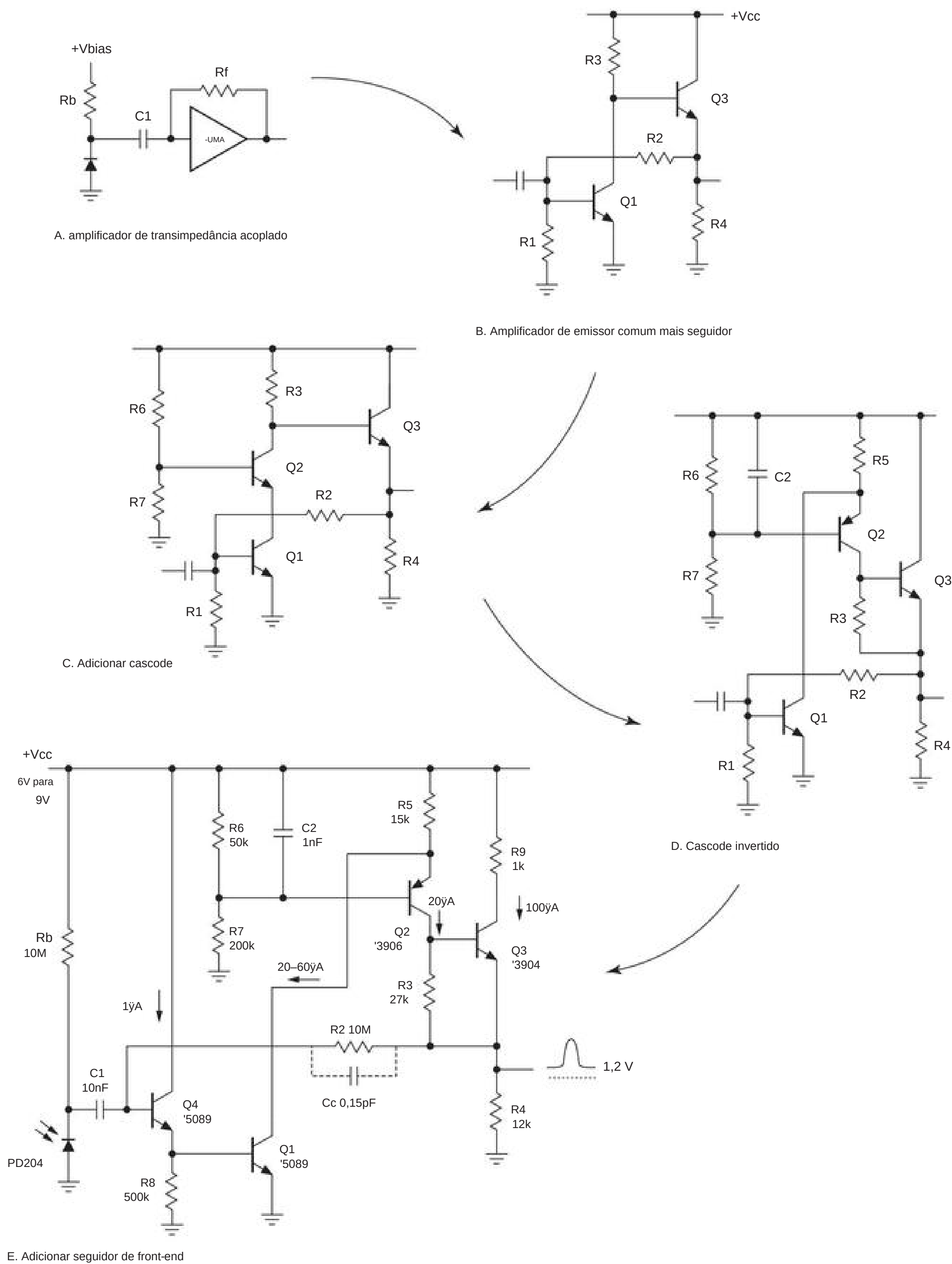


Figura 8.36. Evolução tutorial de um amplificador fotodiodo de baixo ruído e baixa potência construído com componentes discretos de baixo custo. Além de Q1 e do fotodiodo, todas as peças estão disponíveis em pacotes de montagem em superfície (anexe "MMBT" aos números de peça do transistor, por exemplo, MMBT5089).

Calculando o desempenho de ruído Vamos estimar a corrente de ruído na entrada; é isso que compete com o sinal (corrente) do fotodiodo. Há ruído de tiro na corrente de base de Q4 e há corrente de ruído de Johnson do resistor de realimentação R2 e do resistor de polarização do fotodiodo Rb. Além disso, temos que nos preocupar com a *tensão* de ruído na entrada: em combinação com a capacitância de entrada Cin , ela cria uma corrente de ruído de entrada in=en Cin (detalhes em §8.11). A tensão de ruído de entrada são as contribuições combinadas de Q1 e Q4, cada um tendo ruído de Johnson em sua rbb e ruído de disparo do coletor em seu re. Vamos tomar estes por sua vez.

Corrente de ruído Estimando Q4 ÿ350 em sua corrente ÿ uma coleção de 1 tor, descobrimos que sua corrente de base de 3 nA cria um densidade de ruído de tiro em (tiro)=ÿ2qIB=30 fA/ ÿ Hz. O resistor de feedback R2 e o resistor de polarização Rb criam um ruído de Johnson aluguel in(R)= *4kT/ R=57* fA/ ÿ Hz. Estes combinam (raiz quadrada da soma dos quadrados) para criar in(total)=65 fA/ ÿ Hz.

Tensão de ruído O seguidor de emissor Q4, rodando em 1 ÿ A, gera uma tensão de ruído shot através de seu re de en(shot4)=re ÿ2qIC=14,3 nV/ÿ Hz. Sua resistência de base interna de ÿ300ÿ adiciona uma tensão de ruído de Johnson relativamente insignificante en(J4)= 4kTrbb=2,2 nV/ ÿ Hz, para um en4 combinado=14,5 nV/ ÿ Hz.

Amplificador de emissor aterrado Q1, operando em 40 ÿ A nominal e com um rbb de ÿ300ÿ, gera tensões de ruído correspondentes en(shot1)=re ÿ2qIC=2,3 nV/ ÿ Hz e en(J1)= 4kTrbb=2,2 nV/ ÿ Hz , para um en1 combinado = 3,2 nV/ ÿ Hz.

Combinando as tensões de ruído de Q1 e Q4, encontramos[37] en(total)=14,8 nV/ ÿ Hz. Evidentemente , Q4 é o grande barulho na sala aqui; mas vamos continuar com a análise.

Em combinação com a capacitância de entrada de ~10 pF (5 pF para o fotodiodo, 2,5 pF para *Q4'sCcb* e 2,5 pF para capacitância de fiação), essa tensão de ruído cria um Cin = 90 ruído da corrente de entrada (§8.11.3) de in=en ÿ fA/ ÿ Hz efetivo, no uma frequência característica de 100 kHz.

Verificando a estabilidade do feedback Este é um circuito de feedback, com o potencial sempre presente de oscilação. E, em uma configuração de transresistência como essa, a capacitância shunt na entrada se combina com o resistor de realimentação de grande valor para introduzir uma mudança de fase atrasada adicional. Tratamos disso em detalhes em *§§4x.3* e 8.11; o critério de estabilidade é que a largura de banda de ganho unitário do amplificador de malha aberta deve satisfazer

$$f_T(\text{malha aberta}) > \frac{f_{R2Cin}^2}{f_{R2Cf}}, \quad f_{R2Cin} \,.\; f_{R2Cf} \tag{8.33}$$

(Dito de outra forma, a frequência de rolloff de -3 dB da rede de realimentação deve ser menor que a média geométrica de (a) a frequência de ganho unitário de malha aberta do amplificador e (b) a frequência de rolloff de -3 dB do resistor de realimentação em combinação com a capacitância de entrada.)

Portanto, para o circuito da Figura 8.36E, exigimos fT(malha aberta) > 106kHz2/1,6kHz, ou 7 MHz. Estimamos o ganho unitário de malha aberta do amplificador como segue.

(a) O ganho de tensão de baixa frequência é *G=gm1Rload,* onde Rload é a impedância vista no coletor do transistor cascode Q2.

(b) O último é *Rload=R4·gm3R3ÿ1,3Mÿ,* então o ganho de malha aberta de baixa frequência GOL varia de 1000 a 3000 para correntes de coletor Q1 de 20 A a 60 A, (tensão da bateria de 6 V a 9 V) , respectivamente. (c) Este ganho diminui a 6 dB/oitava, começando em uma frequência definida por Rload em combinação com a capacitância vista no coletor de Q2; tomando Ccbÿ2,5 pF para cada um de Q2 e Q3, isso é f3dB=25 kHz. (d) Isso reduz o ganho de malha aberta do amplificador para a unidade em cerca de 25 MHz (para a corrente mínima do coletor de Q1), uma boa margem de estabilidade, considerando nosso requisito de 7 MHz.

O cascode foi essencial para obter essa largura de banda nessas baixas correntes. Sem ele, o estágio de ganho (Q1) veria sua capacitância de carga multiplicada pelo ganho de tensão de 1000, devido ao efeito Miller.[38]

Otimização As contribuições das correntes de ruído do amplificador (65 fA/ ÿ Hz) e da tensão de ruído gerando corrente de ruído através da capacitância de entrada (90 fA/ ÿ Hz) estão no mesmo patamar. O último aumenta proporcionalmente à frequência e domina, ligeiramente, na extremidade de alta frequência do passa-banda; mas quando integrados na banda passante do amplificador, os dois termos de ruído contribuem com ruído integrado comparável, totalizando aproximadamente In=30 pArms (portanto, 0,3 mVrms na saída do amplificador).

A maior parte da corrente de ruído, então, vem dos resistores de polarização e ajuste de ganho de 10M. Estes podem ser aumentados em valor, embora Rb não deva ser tão grande que o fotodiodo sature na luz ambiente noturna. O último problema pode ser contornado detectando a tensão no fotodiodo e usando-o para controlar uma fonte de corrente de polarização silenciosa. Se o ruído do resistor fosse reduzido

[37] Nessas baixas correntes de coletor, encontramos o volt de ruído medido real idades são cerca de 25% maiores do que aquelas previstas pela teoria simples.

[38] Veja também a seção “Análise por Circuitos Equivalentes” no Capítulo *2x* para uma discussão da análise de realimentação clássica em circuitos como este.

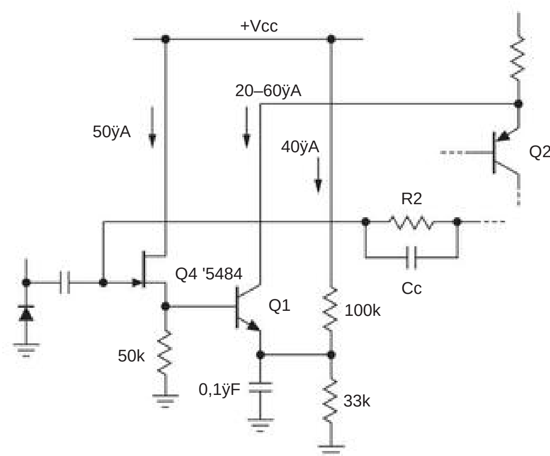


Figura 8.37. Substituir o transistor de entrada BJT da Figura 8.36 por um JFET de baixa capacitância reduz a tensão de ruído de entrada e a corrente de ruído por um fator de 3.

suficiente, a fonte de ruído remanescente dominante seria Q4, cujo ruído de tensão (multiplicado por Cin) é comparável à corrente. Aumentar sua corrente de operação reduz seu ruído de tensão, mas aumenta seu ruído de corrente. Parece que estamos presos.

Mas não, não estamos ! Se substituirmos o seguidor de entrada BJT por um JFET de baixa capacitância (Figura 8.37), podemos obter uma melhoria significativa. O ruído de tensão de um 2N5484 (Cinÿ2,2 pF) rodando a 50 (com base em medições de 100 A) ÿA é de cerca de 5 nV/ÿ Hz seu ruído atual é insignificante; portanto, reduzimos a contribuição do transistor por um fator de 3 (por um custo adicional de 5 a 10 centavos). Claro, isso só faz sentido se as contribuições de ruído Rb e R2 Johnson puderem ser reduzidas em pelo menos um fator de 4. Com essas melhorias, o ruído de entrada integrado total do amplificador torna -se Inÿ10 pArms. Isso é comparável ao ruído de tiro na corrente de fuga do fotodiodo (3 nA, tipo, a -10 V e 25ÿC) – não há sentido em limpar ainda mais o amplificador.

Abordaremos brevemente o assunto de projeto de baixo ruído com JFETs, em §8.6.

8.5.8 Selecionando um transistor bipolar de baixo ruído

É importante selecionar os transistores corretos e as correntes de operação apropriadas para otimizar o desempenho de baixo ruído de um circuito. Esta tarefa tornou-se mais difícil, pois alguns dos melhores favoritos de baixo ruído foram recentemente descontinuados por um fabricante após o outro (a maioria deles veio em pacotes de orifícios passantes, não preferidos para montagem de máquinas). Freqüentemente, isso significa que você não pode simplesmente escolher uma peça usada no bom design de outra pessoa. A tarefa é dificultada também pela falta de informações relevantes em folhas de dados - curvas de tensão de ruído, ou mesmo uma menção de tensão de ruído é a exceção na maioria das folhas de dados BJT contemporâneas. Viemos em seu socorro com as Tabelas 8.1a,b, onde listamos uma variedade de bons transistores candidatos,39 junto com parâmetros de ruído medidos como en, rbb , VA (tensão inicial) e plotagens de beta versus corrente de coletor. Aqui está um guia para a tabela e para a tarefa de selecionar e usar um transistor de baixo ruído.40 A coluna **beta** ou hFE mostra os valores mínimos declarados pelo fabricante. Embora o beta *típico* geralmente seja muito maior, você deve aceitar a realidade de que uma parte beta mínima pode acabar em seu circuito (a menos que você esteja disposto a rastrear as partes recebidas). As especificações beta do fabricante geralmente estão em correntes mais altas do que você usará, e o beta pode ser severamente degradado em correntes mais baixas, consulte a discussão sobre recombinação e gráficos Gummel em *§2x.13.* Para ver quais transistores são suscetíveis a isso, medimos beta versus corrente de coletor, indo de 1 A a 100 mA, ÿcom os resultados mostrados na Figura 8.39 (com rótulos correspondentes na coluna **Beta plot** das Tabelas 8.1a,b). A queda de beta em corrente baixa é resumida na coluna **Linearidade** na tabela, classificando os transistores em uma escala de 1 (grande queda beta em correntes de microamp) a 5 (beta não muda com a corrente). Observe como algumas peças ficam sem vapor em correntes acima de 1mA; estas são peças de matriz pequena operando em alta densidade de corrente. Lembre-se de que nossas medições foram feitas em VCE = 5 V e que o beta de alta corrente de alguns BJTs cai rapidamente em tensões de coletor mais baixas (um efeito de saturação).41 Nossos gráficos medidos vão para 50 mA, mas as folhas de dados de alguns peças com moldes maiores (como o ZTX851) fornecem curvas de beta que chegam a 10 A.

Alguns tipos de BJT são medidos pelo fabricante e

39 Em muitos casos, esses transistores não são promovidos pelo fabricante como "baixo ruído". Fizemos algumas suposições, depois pedimos e testamos amostras de cerca de 100 tipos diferentes.

40 Alguns conselhos sobre como encontrar peças. É útil pesquisar usando a parte interna (numérica) do nome da peça, porque pode haver versões com diferentes prefixos ou sufixos. Você terá mais facilidade em encontrar peças de montagem em superfície do que peças de furo passante – consulte as notas na coluna SOT-23 da Tabela 8.1a. Algumas peças são estocadas apenas em fornecedores especializados, como B&D Enterprises, MCM, Donberg Electronics, En compass e Littlediode. Peças descontinuadas também podem estar disponíveis no eBay, em pequenas quantidades adequadas para a fabricação de instrumentos de laboratório especializados. Alguns grandes distribuidores da Pacific Rim têm bom estoque de peças antigas e vendem em seus sites, por meio do Alibaba ou do eBay. As quatro peças Sanyo perto da parte inferior da mesa foram descontinuadas, mas fabricam outras peças que podem oferecer desempenho semelhante.

41 Não fornecemos medições de beta em tensões mais baixas, mas estamos confiantes de que os vencedores de baixo ruído (o *npn* ZTX851 e o *pnp* ZTX951) se saem muito bem nesse aspecto, tendo sido projetados como transistores de alta corrente com baixa tensão de saturação.

Tabela 8.1a BJTsa de baixo ruído

Nomes & Pacotes

Parâmetros de ruído

VCEO fT Cob Cedo medido "ótimo" o

max type type beta @ IC VA meas @ IC um rbb' IC em Rn (mA) (nV/ÿ) (pA/ÿ)

Papel # (V) (MHz) (pF) min (mA) (V) (nV/ÿ) (mA) (ÿ) (ÿ)

BCX70J m • - - - - - D 45 250 1,7 250 2 4 37 215 3,54 10 760 0,015 5,1 0,14 37k BC850C I • - b • a - - - D 45 250 2,5 420 2 4 37 220 3,32 1 6507r 4,7 4107r 4,7 4107r 4,7 1k BC860C I - • b • a - - - D 45 250 2,5 420 2 3 17 30 3,09 1 590r 0,02 4,5 0,38 12k MPSA18 m•- •

- - - A 45 160 1,7 500 0,1 4 41 - 60d - - - - - D 50 250 3 1000 1 - 6,5d 0,1 -

2SC3624A H • - 2N5962

m • - • m - - - - A,D 45 100 1,5 500 0,1 2 42 60 2,77 10 480 0,02 4,0 0,38 10k MMBT6429 O • - - m,p - - - - D 45 400 1,3 500 0,1 5 39 140 2,27 10 310 0,04 3,2 0,15 21k 2N5089 m•- • m,p,c - - A,D 25 50 1,3 450 1,5 38 200 2,15 10 290 0,04 3,1 0,17 19k 2,088 m - N5p 068 m - - A 30 50 1,3 300 0,1 5 38 180 - - A,D 50 40 2,4 250 0,1 4 15 55 0,81 10 40 0,28 1,2 0,60 2,0k 2N5210 C • - m - - - A,D 50 50 1,3 250 1 5 35 270 1,92 10 230 0,05 0,95 0,25 11k 1,97 10 240 0,05 2,9 0,22 13k MPS8098 m• - - - A 60 150 2,6 100 1 4 27 435 1,79 10 195 0,06 2,6 0,43 m - 0,6 0,48 m m - - 2SC2412 RR • - a • a - - D 50 180 2 180 0,1 5 32 360 1,60 10 165 0,07 2,4 0,35 6,8k 2SA1037 RR • - a • a - - D 50 140 4 180 0,1 --2SC2712 GR T • - 2SA1162-GR T - • 2SC3906K R • - 2SA1514K R - • 2N5401 2N5551s 2N3904 m • - 2N3906 m - • 2SC3324g T • - 2SA1312 T

- 60d -

- - - - D 50 80 2 200 2 5 32 390 1,57 10 150 0,07 2,3 0,34 6,6k - - - - D 50 80 4 200 2 4 10 50 1,40 10 120 anos 0,09 2,0 0,38 5,2 ka • a - - - 1 D 0120 2,5 180 2 5 35 280d - a • a - - - D 120 140 3,2 180 2 4 12 165 1,35 10 110 0,10 1,9 0,42 4,6k • m - - - - A,D 160 150 6 50 1 5 2 - • m - - - - A,D 160 150 2,7 80 1 5 25 - - 105 0,11 1,3 0,65 2,0k • m - a - - A,D 40 300 2,5 70 1 5 31 340 1,35 10 110 0,10 1,9 0,68 2,8k • m - a - - A,D 40 250 3 80 1 1 3 25 0,74 10 32 0,35 1,0 1,18 890 - - D 120 100 3 200 2 5 35 560 0,78 10 35 0,32 1,1 0,71 1,5 k - - D 120 2030 2 1 5 21030 2 1 5 2 1030 2 0,58 10 20 0,56 0,8 0,94 880 - - d 32 200 12 120 100 5 6 110 0,60 10 20 0,56 0,8 1,22 680 - - a, d 40 250 4 80 10 5 31 410 0,94 10 50 0,20 1,1 1,50 1,1k - - a, d 40 5 200 5 450 10 20 2,5 1,7 0,45 0,8 240 370 - - D 12 360 20 270 200 4 37 65 0,54 10 17 0,65 0,8 0,88 860 - - D 12 360 15 270 200 5 19 10 0,52 10 15 0,74 0,94 760 760 - F 20 240 35 120 100 4 5 30d 0,35 10 9,4 1,2 0,6 1,78 320 1,0 80 0,06 1,0 1 0 - F 30 1 5 0 2 0 0 - 1,3 0,85 1,50 2,8 1 0 - a 5 6 170 0,47 10 12 0,9 0,6 1,72 50 370 100 1 4 27 540 0,37 10 8 1,4 0,5 2,11 250 - - d 20 150 16 250 10 1 30 150 0,38 10 8,0 1,4 0,5 1,34 390 - - a 45 150 15 m 100 150 3 26 730 0,39 10 8,5 1,3 0,5 2,05 260 - - A 45 150 - 100 150 5 6 - 0,38 10 7,7 1,4 0,5 2,15 240 - - A,D 20 140 23 200 10 3 36 90 0,41 10 9,3 1,2 0,6 1,38 410 - - A,D 20 1300 21 210 210 0,38 10 7,3 1,5 0,5 1,27 390 - - D 100 150 16 200 100 3 34 480 0,36 10 6,8 1,6 0,48 1,61 300 100 120 11 100 100 2 30 380 0,29 10 4,0 2,8 0,37 1,98 125 - - 0,35 80 25 - 20 - 5 0 4 5 3 7 5 1 8 0 1 0,2 8 1 1 0 7 0 3,0 0,27 25 3,9 2,8 0,36 5,51 65 - • G 200 10 80 45T 100 1 Z 150D 0,26 10 3,1 3,5 0,33 5,02 65 - - • - - - E 200 300 1,9 40 10 5 22 600d 0,24 10 2,3 4,8 0,28 6,20 45 - - b 40 100 13 270 10 4 33 320 0,24 10 2,3 4,8 0,28 2,39 120 - - b 40 100 25 270 10 4 4 140 0,21 10 1.7 6,5 0,24 0,24 2,78 85 - - D 60 130 28 100 10 2 28 4600 0,27 10 - - D 20 160 33 300 100 3 36 100 0,40 10 11 - 580 0,40 10 8,3 0,36 10 3,3 3,4 0,33 3,28 100 - D 60 165 44 100 10 4 7 100 0,21 10 1,46 7,6 0,22 4,93 45 • - E 30 290 40 40 200 500 5 320 0,28 88 2,0 5,2 5 0,28 10 1 5 400 2 40 10 0,25 150 0,40 0,22 10 21,5 3 5,9 0,38 7,43 31 2 23 4 10 0,18 25f 1,67 6,7 0,24 4,61 52 130 45 120 74 3 4 120

2SB1197K-Qb R - •
2N4401 m • - • ma
2N4403 m - • • ma
2SD2653 R • -
2SB1690K R-•
2SB1424 R-• a
ZXTN19020D Z•-
2SD1898 R•- a
2SB1260 R-• a
MPS8599 O - • • m -
MPS8099 O • - • m -
DSS20201Lb D•-
ZTX450Z • -
ZTX550 Z-• •
ZTX618 Z•- •
ZTX718 Z - • ff
ZXTN19100C Z•-
2SD1684b,x S • - E
2SB1243Qb R - •
BD437 m•- -
BU406 O • -
2SC3955v,x S • -
2SD786-Sx R • -
2SB737x R-• •
ZXTN2018F Z • -
ZXTP2027F Z-•
2SC6102b,x S • -
2SC3601v,x S•- -
ZTX851 Z •- - z - - A,F 60 z - - A,F 100 10
ZTX951 Z -•• 60 100 10

Fabricantes: **A** - Analog Devices, **C** - Central, **D** - Diodes, Inc., **H** - Renesas, **I** - Infineon, **In** - Intersil, **L** - Linear Integrated Systems, **m** - muitos, **N** - NSC, **O** - ON Semi, **R** - Rohm, **S** - Sanyo (ON Semi), **Th** - ISSO, **T** - Toshiba, **Z** - Zetex (Diodes, Inc.).

Nomes e pacotes: **a** - disponível, consulte a folha de dados para números de peça, a maioria é pinagem B. **b** - para TO-92, tente BC550 e BC560, ambos pinagem C. **c** - CMPTxxx, **d** - SOT-89, **f** - FMMTxxx, **m** - MMBTxxx, **p** - PMBTxxx ou PMSTxxx, **v** - ATV, **z** - FZTxxx.

Notas: ÿ=ÿHz. (a) listados em ordem decrescente de rbb´. (b) complemento disponível, ver folha de dados. (c) complementos agrupados. (d) da folha de dados. (e) classificação da constância beta sobre a corrente do coletor, classificada em uma escala de 1 a 5 (melhor). (f) menor ruído 1/f e en=0,21nV/ÿHz a Ic=10mA. (g) discutido extensivamente na seção deste capítulo "Encontrando en a partir da figura de ruído". (m) máximo. (o) corrente de coletor Ic na qual a contribuição do ruído re aumenta a tensão de ruído rbb' Johnson irredutível em 50%; os valores correspondentes de en, in e Rn=en/in são listados. (r) Folha de dados ON Semi BC550C tem gráfico rbb'=170ÿ (quedas de 25% de 0,1 para 10mA). (s) 2N5550 é uma versão beta inferior. (t) típico. (u) ver figura. (v) transistor de vídeo, incluído para seu baixo Ccb. (x) descontinuado, incluído para comparação. (y) medido em um 2SA1162-Y. (z) betaÿ25 medido.

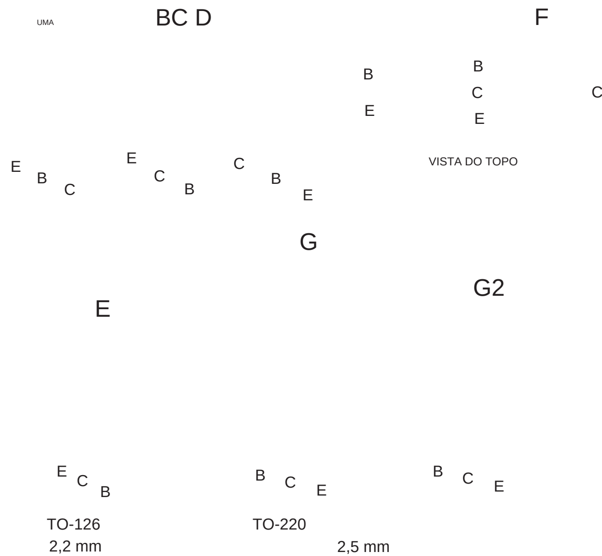


Figura 8.38. Pinagens para os BJTs na Tabela 8.1a.

Tabela 8.1b BJTsa duplo de baixo ruído

parte dupla #	Manufb	Peça única #, etc.	VCEO (V)	Noisex ÿ) (nA) @IC en (nV/	x	Matchm Vos (mV)	hFE (%)
BCM847 I BC850B N 45 37 3,3 1 650 2 10 BCM857 I BC860B P 50 17 3,1 1 590 2 10 N 18							
LS301L	-			- -	-	-	1 5
IT124L	-		N 2	-- -			5 10
CMKT5089M C 2N5089 N 25 38 2.2 10 291 5 10 1 2							
DMMT3904 D 2N3904 N 40 31 -					-	-	
DMMT3906 D 2N3906 P 40 3 -					-	-	1 2
DMMT5551 D 2N5551 N 160 25 -					-	-	1 2
DMMT5401 D 2N5401 P 160 2 -					-	- 12 LM394C	
N obsoleto N 20 40 1,8 0,1 60 0,2 5							
MAT12 A -			N 40	- 0,85 1 28 0,2 5			
HFA3134 In fT=8GHz N 12				- 0,8 1 40 6 8 1,3 1 105 6 8			
HFA3135 In fT=7GHz P 12				- 0,85 1 28 0,2 5			
SSM2212 A -			N 40	-			
SSM2220 A -			P 36	- 0,7 1 25 0,2 6			
AQUELE 300 Th quatro npn N 36				- 0,9 1 30 3 4 0,75 1 25 3 5			
AQUELE 320 Th quatro pnp P 36				- 0,78 10 35 -			
HN3C51F T 2SC3324 N 120				-			-
HN3A51F T 2SA1312 P 120				- 0,28 10 20 -			-

Notas: (ÿ) raiz quadrada Hz. (a) consulte a Tabela 8.2a para BJTs simples. (b) ver notas de rodapé na Tabela 8.2a. (m) máximo. (x) medido.

agrupados em categorias beta. Por exemplo, o BC850 tem graus A, B e C, com betas típicos a 2 mA de 180, 290 e 520, respectivamente. É tentador optar pela peça de maior qualidade em seu projeto, mas muitas vezes você não encontrará disponibilidade nos distribuidores. Os graus beta mais altos também sofrem com desempenho de ruído degradado, classificações VCEO mais baixas e tensões Early mais baixas (isto é, impedâncias de saída mais baixas).[42]

Olhando para o BC850 novamente, você vê que é um transistor de pequena área que você provavelmente usaria em correntes muito mais baixas do que os 2 mA em que seu beta é especificado; então é bom ver na Figura 8.39 que seu beta cai menos de 10% em 1 A, comparado, digamos, com o 2N5962, cujo beta cai 50%. O ÿ popular *npn* 2N3904 se mantém estável, mas o beta de seu irmão *pnp* 2N3906 cai por um fator de 3 ao longo de quatro décadas de uso, uma situação comum com peças *pnp* . No entanto, há muitas boas notícias: os betas do *pnp* BC860 e ZTX718 caem menos de 20% em 1 A e o beta do 2N5087 de baixo ganho é totalmente reduzido para 1 ÿ

ÿ UMA.

Antes de discutir as medidas de ruído mais importantes, vamos olhar para a **tensão inicial,** ou coluna VA .
Olhe para trás para §§2.3.2 e *2x.8* para uma discussão do

[42] Por exemplo, o 2N5089 tem um beta mínimo de 450, em comparação com 300 para o '5088; sua tensão máxima é reduzida para 25 V de 30 V e, mais significativamente, nossas amostras mostraram um pouco (ÿ10%) maior ruído medido. Da mesma forma, a versão D do ZXTN19020 tem um beta de 300 (contra 200 para a versão C), com 10% maior en. Como outro exemplo, medir o grau Q do 2SB1197K (min beta de 120) nos deu uma tensão Early de VA=110 V, enquanto para o grau R (min beta de 180) a tensão Early caiu para 70 V.

Efeito precoce. A tensão inicial VA fornece uma estimativa da condutância de saída do BJT (e impedância de saída): goe=1/ro=IC/(VA +VCE). Também podemos estimar um ganho máximo possível de estágio único (isto é, com RL=ÿ), *Gmax=gm/ goe.* Substituindo gm=IC/VT, obtemos (ignorando VCE em comparação com o VA geralmente muito maior)
Gmáx=VA/ VT.

Embora seja possível superar as desvantagens de uma tensão Early baixa, por exemplo, adicionando um estágio cascode (consulte §§2.4.5B e *3x.4)* ou adicionando degeneração do emissor, frequentemente é conveniente não ter que fazer isso. Para tais aplicações, é melhor restringir suas escolhas a BJTs com VA relativamente alto. Porém, como demonstram as entradas na Tabela 8.1a, o membro *pnp* de um par complementar npn–pnp (eles estão agrupados na tabela) geralmente sofre de tensões iniciais dramaticamente mais baixas; por exemplo, o *pnp* BC860C tem VA=30 V comparado com o valor do *npn* BC850C de 220 V. Isso é lamentável, porque os transistores *pnp* são úteis em espelhos de corrente para amplificadores diferenciais *npn ,* onde sua baixa tensão inicial reduz muito o ganho do estágio. O problema pode ser resolvido de várias maneiras, por exemplo adicionando degeneração do emissor no espelho *pnp ,* como na Figura 8.35, ou usando um espelho de Wilson.

Olhando para a **tensão máxima do coletor** da tabela (VCEO) , vemos muitos BJTs de baixo ruído com classificações

de 120 V ou mais, levando-nos a imaginar por que eles têm uma classificação de tensão tão alta. Poderia ser para atingir uma alta tensão inicial? Talvez, mas tem sido observado que os transistores de "saída de vídeo" de alta tensão geralmente exibem tensão de ruído admiravelmente baixa. Por exemplo, o 2SC3601 da Sanyo tem um en medido muito baixo de 0,22 nV/ ÿ Hz, com um rbb de 1,7 ÿ.[43]

Em geral, os transistores de alta tensão têm betas mais baixos; por exemplo, o MPSA42 de 300 V (nº 20 em nosso gráfico) tem o ganho mais baixo. Um contendor para a parte com o beta mais alto, o IT124 da Linear Integrated Systems (baseado em uma parte antiga da Intersil), sofre de uma classificação VCEO de apenas 2 V (!) em troca de seu ganho superbeta. Felizmente, eles transformaram o design em seu LS301 com classificação de 18 V e ele venceu o concurso beta (curva nº 44) com um surpreendente ÿ ≈3000 em 1 ÿ A.[44]

Uma tarefa importante é escolher a corrente de operação do transistor. É tentador escanear as colunas "Pa râmetros de ruído" da tabela e escolher uma parte perto da parte inferior com um en abaixo de 0,5 nV/ ÿ Hz. Mas atente para o alto ruído de corrente de base que esses transistores criam, quando operados em correntes de coletor relativamente altas necessárias para esses valores baixos. Por exemplo, o vencedor ZTX851 tem uma tração muito at = 0,5 nV/ ÿ Hz a IC = 10 mA. Mas, com sua ÿ corrente de 220 (ver Figura 8.39), sua corrente de base de 45 ÿ A cria uma corrente de ruído de entrada em *(=ÿ2qIC)* de 3,8 pA/ÿ Hz. Isso parece pouco, mas cria um ruído de tensão adicional de 0,19 nV/ ÿ Hz mesmo em uma impedância de fonte baixa de 50 ÿ, adicionando 3 dB à tensão de ruído de entrada do transistor. O problema só piora com impedâncias de fonte mais altas, porque a tensão de ruído *inZs* adicionada cresce linearmente com a impedância da fonte, em comparação com o ruído de Johnson de uma fonte resistiva (que cresce como a raiz quadrada de Rs).[45] Por exemplo, esse ruído de corrente base cria 2,3 nV/ ÿ Hz com uma impedância de fonte de 600 ÿ.

Fizemos as medições de ruído da tabela em correntes altas o suficiente para eliminar o termo IC na equação de ruído BJT *en=[4kT(rbb* +0,5VT/IC)] 2 (consulte a Figura 8.10), porque quarta os expor os valores de rbb . Mas normalmente você vai querer operar em correntes mais baixas. Por exemplo, reduzir a corrente do ZTX851 para 1 mA aumenta a tensão do ruído por um fator de 2,3 (para 0,48 nV/ ÿ Hz), mas a diminuição da corrente de base (para 5 ÿ A) diminui a corrente de ruído por um fator de 3,2, para 1,2 pA/ ÿ Hz. Nesta corrente mais baixa, a contribuição de tensão-ruído *inRs* cai para 0,72 nV/ ÿ Hz para uma impedância de fonte de 600 ÿ, para um ruído total do amplificador de 0,86 nV/ ÿ Hz, consideravelmente menor do que 2,3 nV/ ÿ Hz a 10 mA de corrente de coletor , e bem mais baixo do que o ruído resistivo Johnson de 3,1 nV/ÿ Hz de 600 ÿ. Às vezes, você pode querer operar em uma corrente muito baixa, onde o termo re (=VT/ IC) domina e a contribuição do termo rbb é insignificante.

O ruído medido listado na Tabela 8.1a é baseado em uma pequena amostragem de peças contemporâneas. Como algumas dessas peças não se destinam especificamente a aplicações de baixo ruído, o fabricante não especifica (ou controla) suas propriedades de ruído. É importante ter isso em mente, porque você pode encontrar lotes de peças com ruído degradado. A Figura 8.40 mostra um exemplo: quatro partes de um único lote de transistores de potência de um tipo que tem sido preferido pelos entusiastas de áudio, mas que exibem uma variação decepcionantemente ampla na voltagem do ruído de baixa frequência.

Essas considerações de compensações foram discutidas detalhadamente em §8.5 e são ilustradas na Figura 8.32, onde é mostrado o conceito de resistência de ruído de um transistor Rn=en/in . Olhe novamente para a Figura 8.33, onde comparamos o ruído de tensão do pequeno die high-beta 2N5962 com o do grande die low-rbb ZTX851, em correntes intervalo de 1 ÿ A a 10 mA.[46] O '851 supera o '5962 para impedâncias de fonte inferiores a 1 kÿ quando operado em uma corrente de coletor de 100 A ou mais. Por outro lado, o '5962 supera o '851 para impedâncias ÿ de fonte acima de 100k para quase qualquer valor de corrente de coletor.

A Figura 8.41 compara a tensão de ruído versus a resistência da fonte para seis transistores de baixo ruído exemplares em correntes operacionais de 10 ÿ A e 1 mA. As peças são classificadas aumentando en em corrente de coletor de 1 mA e com baixa resistência da fonte, ou seja, são classificadas aumentando rbb . Embora seja impressionante ver o desempenho de 0,5 nV/ ÿ Hz das partes de menor ruído (como o ZTX851), é preocupante perceber que isso ocorre apenas se o componente resistivo da impedância da fonte estiver abaixo de 10 ÿ. Observe a relação geralmente inversa da classificação em Rs altos em relação aos Rs baixos. Observe também como em uma corrente de coletor de 10 A todos os transistores têm tensões de ruído comparáveis para ÿ resistências de fonte menores que 10k, embora o beta alto

[43] Ele também tem um baixo Cob=2 pF, muito menor do que os outros BJTs low-en listados na parte inferior da Tabela 8.1a, demonstrando que é possível combinar baixa capacitância com baixo rbb .

[44] Encomendamos alguns IT124s, mas eles nos enviaram peças LS301, testadas para passar nas especificações IT124 mais fáceis!

[45] E, é claro, você pode ter uma fonte de sinal de alta impedância que não seja resistiva e, portanto, tenha pouco ou nenhum ruído de Johnson.

[46] Essas curvas foram preparadas com uma planilha, usando como entrada nossos dados medidos de beta e rbb da Tabela 8.1a.

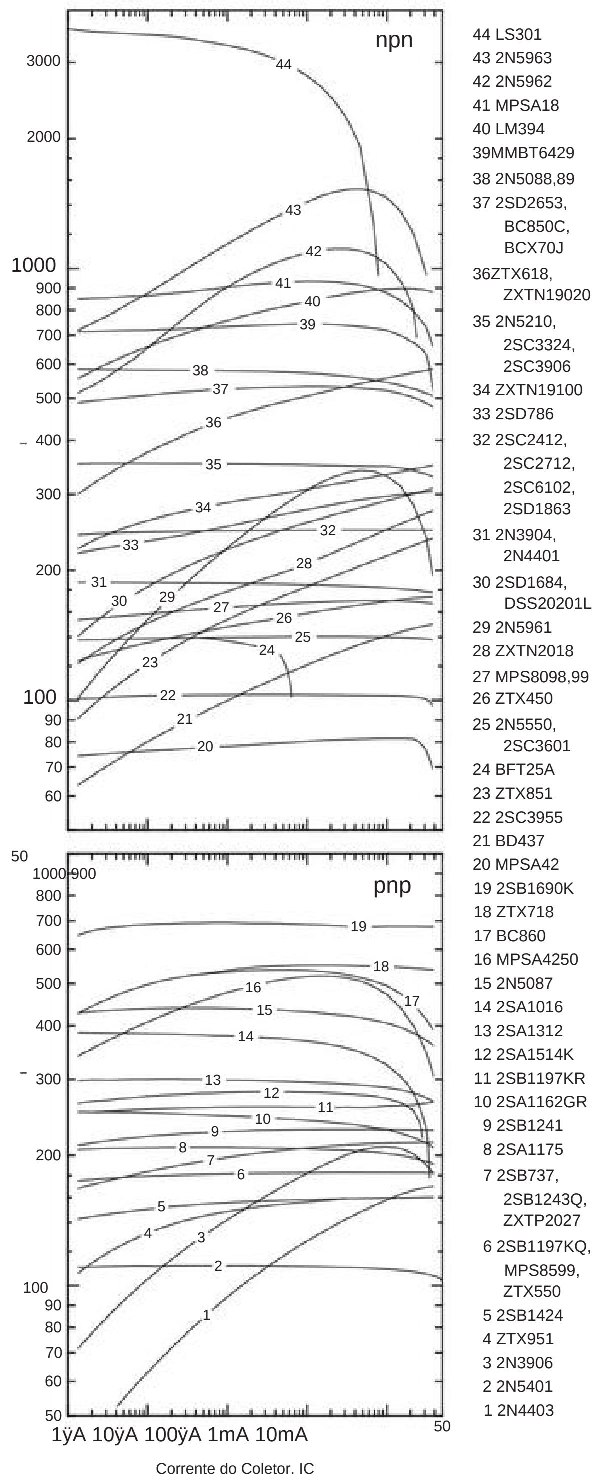


Figura 8.39. Beta medido versus corrente de coletor, em VCE=5V, para os transistores da Tabela 8.1a. Use esses dados com in= *2qIC/* para encontrar ÿ o ruído da corrente de base na corrente de coletor escolhida.

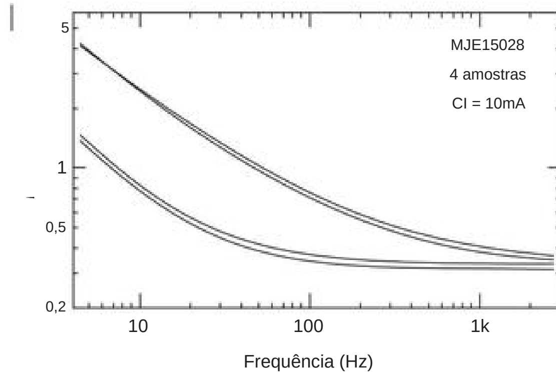


Figura 8.40. Devido à sua resistência de base muito baixa (rbb), a família MJE15028-33 de transistores de potência bipolar 8A tem sido usada por experimentadores de áudio para fazer amplificadores de áudio de baixo ruído. Isso soou bem, para nós. . . mas descobrimos variações >10 dB em seu ruído de baixa frequência (não especificado), mesmo dentro de um único lote de peças.

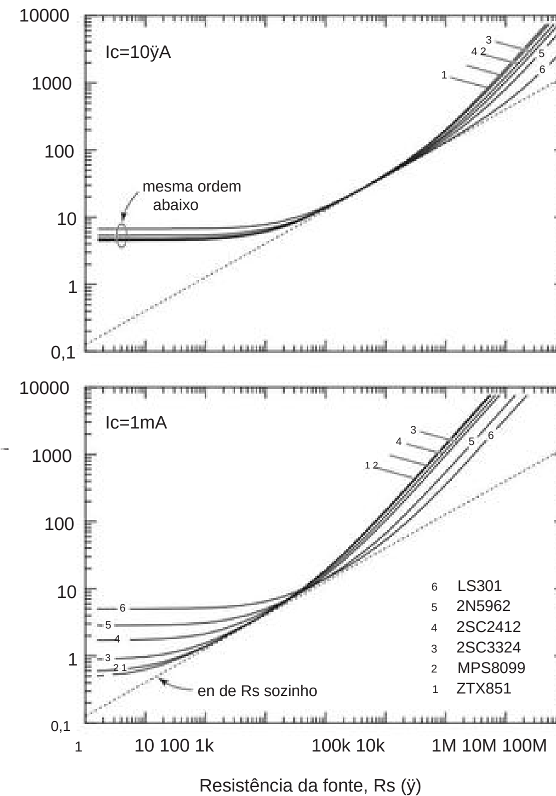


Figura 8.41. Comparando o ruído de entrada total de seis candidatos BJT, plotados como na Figura 8.33. Para baixa resistência da fonte você quer um transistor com baixo rbb, operado em alta corrente; para alta resistência da fonte, você deseja um transistor beta alto, operado em baixa corrente.

partes brilham acima de 1 Mÿ.[47] Esses dados e análises ilustram como o desempenho de baixo ruído pode ser otimizado para uma determinada impedância de fonte, selecionando o transistor correto e executando-o na corrente correta para o trabalho.

As curvas nas Figuras 8.33 e 8.41 incluem o ruído John son de uma fonte resistiva, Rs, e não seriam válidas para fontes reativas de alta impedância, como sensores capacitivos. Nesse caso, os traços en e *inZs* se encontram, semelhante à linha de 0,65 dB na Figura 8.32, sem serem empurrados por uma região Rs intermediária .

Os valores típicos de **capacitância** listados na Tabela 8.1a são das especificações do datasheet, ou às vezes de gráficos, e geralmente em VCE=10 V. A maioria dos valores listados são Cob, embora alguns sejam Ccb. Estes são relacionados por Cob=Ccb+Cce, mas a contribuição Cce é geralmente pequena, de dez bem abaixo de 25%.

As quatro colunas de **parâmetros** de ruído ótimos merecem alguma explicação. Eles experimentam o conceito de reduzir IC até que a contribuição de tensão de ruído de re (ou seja, ruído de tiro de corrente de coletor vezes *1/ gm)* aumente o ruído de tensão geral em 50% sobre sua alta corrente (ou seja, ruído rbb Johnson sozinho) valor. Dito de outra forma, a ideia é diminuir a corrente do coletor para reduzir a *corrente de ruído do transistor,* mas apenas na medida em que aumenta a *tensão* de ruído do transistor em uma quantidade modesta.
Essa corrente de coletor é listada, juntamente com o en e in correspondente (calculado conservadoramente a partir do beta mínimo especificado), e a resistência de ruído do transistor Rn=en/in naquela corrente. Se você aceitar a ideia de não operar o BJT em uma "corrente excessiva" e estiver disposto a comprometer o en para reduzir , esses valores fornecem um limite superior para IC e um limite inferior para en.[48]

Olhando para o quarto inferior da tabela, agora com

[47] Você pode ficar tentado a usar uma parte de baixo rbb de alto ÿ A, porque ganho em 10, seu ruído atual não seria pior do que o de uma parte com rbb mais alto; mas observe as capacitâncias dramaticamente mais altas associadas com baixo rbb , que podem facilmente degradar o desempenho com sinais de entrada de alta impedância.

[48] BJTs com beta alto em correntes baixas tendem a ter valores de rbb ruins (isto é, altos). Reconhecendo que Rn alto e rbb baixo são desejáveis, podemos definir uma figura de mérito FOM = *Rn/ rbb* . Indo de cima para baixo na Tabela 8.1a, os transistores possuem valores de FOM variando de 20 a 70. Os favoritos low-en descontinuados (2SD786 e 2SB737) se destacam com FOM = 51. Outros com FOMs maiores que 50 são os ZTX718 , DSS2020, ZXTN19020, 2SB1690, 2SD2653, 2N5088 e '5089. O MMBT6429 ocupa o primeiro lugar com FOM = 69, e o 2N5089 e o BC850C ocupam o segundo e terceiro lugares. Isso apoiaria a noção de que as partes no topo da tabela são as vencedoras, e não as que estão na parte inferior. Isso reforça o conceito de que você precisa escolher a peça certa para o trabalho.

Nesta perspectiva "ótima", é preocupante ver os baixos valores de Rn , variando de 30 ÿ a 125 ÿ. E grande parte do próximo quartil tem problemas para ficar acima de 400 ÿ. Isso significa que para impedâncias de sinal comumente encontradas acima de 100–400 ÿ, a contribuição do ruído do amplificador quando operado na corrente de coletor "ótima" seria dominada pela contribuição *inZs* (isto é, corrente de ruído de entrada fluindo através da impedância da fonte do sinal). Estaríamos fortemente motivados a descer , encontrando peças com beta mais alto e diminuindo o IC. Nesse sentido, a corrente "ótima" é realmente uma corrente prática máxima. Olhando para fora do canto em que nos pintamos, a alternativa de um JFET silencioso (em vez de um BJT) parece seriamente digna de consideração.

E esse é o assunto que abordamos na próxima seção principal (§8.6), após um breve (mas desafiador) interlúdio.

8.5.9 Um desafio de projeto de baixo ruído extremo: pré-amplificador de microfone de fita sem transformador

Procuramos uma aplicação desafiadora, que exija tensão de ruído de entrada incomumente baixa. Uma aplicação tradicional é um cartucho fonográfico de "bobina móvel", com sua tensão de sinal muito baixa (~1 mV na modulação máxima do groove, portanto, apenas 0,1 V para uma faixa dinâmica de 80 dB). O problema é que é *muito* tradicional! ÿ 49 Uma tecnologia intimamente relacionada é usada no *microfone de fita,* no qual uma tira de folha de metal escandalosamente delicada (normalmente com 2 m de espessura – são apenas 4 comprimentos de onda de luz!) é suspensa na abertura de um ímã poderoso, flutuando como um condutor de volta ÿ p , de fato, pelo som do seu ambiente. Você única, impulsionado pelas sutis vibrações do som. Os microfones de fita foram os primeiros microfones verdadeiramente de alta fidelidade: são os grandes microfones de estúdio desajeitados que você vê em filmes antigos. Essas coisas remontam à década de 1930, com modelos da RCA (o clássico 44B) e da BBC-Marconi (chamado, com eufemismo britânico, de "Tipo A"). Eles são desajeitados porque têm um grande ímã dentro; eles pesam tipicamente de 5 a 10 libras. Eles continuam a ser construídos e usados até hoje,50 preferidos por alguns por seu "som suave", descrito de várias maneiras (na linguagem inimitável do audiófilo) como "íntimo, caloroso e detalhado, mas nunca áspero".

O sinal de saída de um microfone de fita é minúsculo em comparação, mesmo com o tridge phono de bobina móvel de baixo nível: no nível de pressão sonora padrão de 1 Pa, você

[49] Embora os discos de vinil tenham uma base fiel de devotos, que preferem a "suavidade sedosa" e o som "mais quente", dizem ser melhor capturados com a "clareza e transparência de tom" de um cartucho de bobina móvel. 50 Veja, por exemplo, o site ribbonmics.com de Wes Dooley.

obtenha 50–100 ÿ V diretamente da fita. Isso soa como bastante sinal – até você perceber que este nível de referência de um pascal corresponde a +94 dB SPL. Isso é *alto* - uma britadeira a 5 pés! Um microfone sensível precisa descer mais 80 dB ou mais para capturar os sons mais silenciosos em um concerto.51 Nesses níveis, o sinal direto da fita é de apenas 5 a 10 nVrms. Para definir a escala, um amplificador operacional com a menor densidade de ruído de tensão (LT1028, en=0,85 nV/ ÿ Hz) tem uma tensão de ruído de entrada de cerca de 100 nVrms, integrada na banda de áudio de 20 Hz– 20 kHz; isso é 20–25 dB maior do que a saída de áudio de nível silencioso diretamente da fita.

Assim, os microfones de fita invariavelmente incluem um transformador de aumento de áudio, com uma relação de voltas tipicamente de 1:30. Isso aumenta a amplitude do sinal na mesma proporção, de modo que um amplificador de áudio de baixo ruído bem projetado não comprometa o desempenho de baixo nível. Mas os transformadores podem ser problemáticos, tanto em termos de linearidade quanto em manter uma resposta plana na faixa de frequência de 1000:1 de áudio de alta qualidade. Poderíamos eliminar totalmente o transformador projetando um amplificador cuja tensão de ruído de entrada seja pelo menos 20 dB melhor que a de um LT1028, ou seja, com en ÿ 0,1 nV/ ÿ Hz.

A. Um simples teste de pré-amplificador de 70 picovolts por root-hertz Projeto

Para chegar a esse nível de ruído você tem que usar um BJT (ou, como veremos, um monte deles em paralelo). Você paga um preço em termos de corrente de entrada (ou seja, impedância de entrada relativamente baixa); mas somos auxiliados aqui pela impedância da fonte nativa muito baixa da fita, que é inferior a 1 ÿ em toda a banda de áudio. Buscamos um transistor com baixa resistência de base (rbb), que vamos operar em corrente de coletor relativamente alta para reduzir a contribuição do ruído de relé (ruído de tiro do coletor fluindo pelo re); lembre-se de que este último é numericamente igual ao ruído de Johnson criado por um resistor “real” de valor *R* = re/2.

Para definir a escala, observe que nossa tensão de ruído alvo de en = 0,1 nV/ ÿ Hz corresponde à tensão de ruído de Johnson criada por um resistor de 0,6 ÿ! Em outras palavras, precisamos de um transistor cujo rbb seja significativamente menor que isso, e precisamos operá-lo com uma corrente de coletor de pelo menos ÿ50 mA (onde a contribuição do “re” ruído é equivalente à de um resistor de 0,25 ÿ) . E precisamos de uma configuração de circuito que cumpra essa promessa de baixo ruído.

Existem várias opções de configuração de circuito possíveis. Poderíamos tentar algo como o circuito Naim da Figura 8.34 – mas teríamos que reduzir RE a uma fração de ohm, forçando Q3 a conduzir uma carga muito rígida. O mesmo problema afeta o projeto “melhor” da Figura 8.35. Eles têm em comum a necessidade de manter a impedância do sinal de feedback muito baixa.

Duas abordagens que escolhemos são mostradas, de forma simplificada, na Figura 8.42. Ambos os circuitos dispensam o feedback, argumentando que um pré-amplificador de classe A (de ganho moderado, digamos *G* ÿ 100) para sinais de nível de microvolt é inerentemente linear. O amplificador de emissor comum de terminação única é o mais simples e tem uma vantagem de ruído de 3 dB em comparação com uma configuração diferencial. Mas requer um *enorme* capacitor de bloqueio de entrada (150.000 F para ÿ manter a impedância baixa até alguns hertz), o que causa um longo tempo de inicialização; é esteticamente feio também. Nós

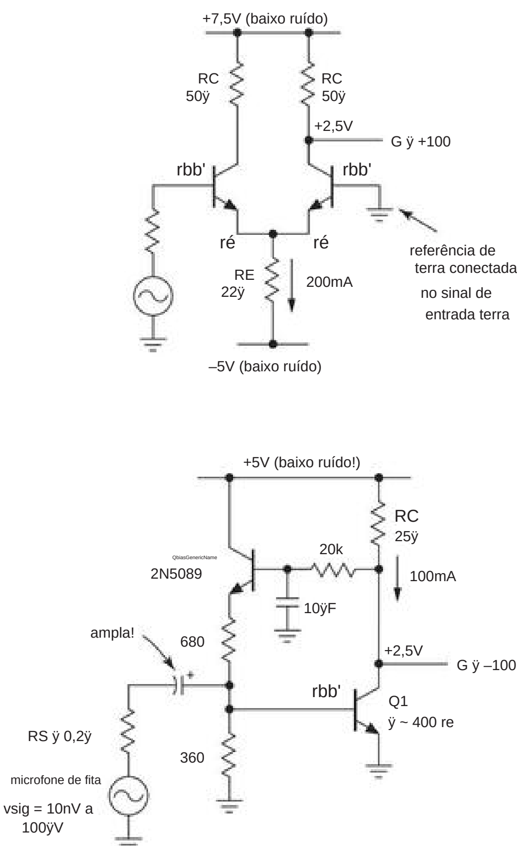


Figura 8.42. Configurações de pré-amplificador de microfone de fita. Comparado com o circuito diferencial acoplado em CC, o circuito de terminação simples é mais silencioso, mas requer um capacitor de bloqueio muito grande na entrada. Em ambos os casos, é necessário usar vários transistores em paralelo para que a resistência de base efetiva rbb esteja na faixa de 0,1 ÿ ou menos. Consulte a Figura 8.45.

51 Um concerto de música *clássica* . Nenhum problema de níveis baixos em uma rocha show.

usou este circuito para caracterizar uma série de BJTs de baixo ruído candidatos (veja a Figura 8.92 e a discussão associada), mas para nossa entrada no desafio do pré-amplificador de microfone de fita, optamos pela configuração de malha aberta diferencial acoplada a CC mostrada . Não há capacitores de entrada gigantes aqui; mas para lidar com a potência de ruído dobrada, tivemos que reduzir rbb e re por um fator de 2 (ou seja, dobramos o número de transistores paralelos usados para cada lado do par de entrada).

B. Escolhendo um BJT de baixo ruído Para um circuito como este é essencial usar um transistor (ou vários em paralelo) que apresente tensão de entrada com ruído muito baixo. Isso requer uma resistência de base rbb na faixa de apenas alguns ohms. Infelizmente, rbb raramente é especificado; e os excelentes transistores de baixo rbb do passado foram amplamente extintos. Um caso em questão é o fino Toyo–Rohm 2SD786, com um rbb típico especificado de 4 ÿ (é *npn;* o complemento 2SB737 *pnp* é melhor ainda, com um rbb típico especificado de 2 ÿ). As amostras reais de cada uma tiveram um desempenho ainda melhor, com valores de rbb medidos em torno de 2,3 ÿ e 1,2 ÿ, respectivamente.

Você não pode mais comprá-los (e não vamos nos desfazer de nenhum de nossos preciosos e minguantes estoques "vitalícios"! Mesmo que você nos implore). E quanto aos BJTs de pequenos sinais de "baixo ruído" que você *pode* obter, como o 2SC3324? A boa notícia é que eles *especificam* seu desempenho de ruído, como vimos em §8.4. A má notícia é que eles não prometem muito ("NF=0,2 dB tip, 3 dB max"); e esses transistores de geometria pequena são geralmente otimizados para operação em baixa corrente, onde a contribuição de ruído de fogo é tão grande que não há necessidade de manter rbb pequeno. Por exemplo, o 2SC3324 atinge sua figura de ruído mínimo em torno de IC = 30 A; nessa corrente , re é 830 ÿ e, portanto, sua contribuição de ruído rbb é insignificante, desde que rbb seja mantido abaixo de, digamos, 200 ÿ. Nossas amostras mediram rbb ÿ 40ÿ – bastante bom o suficiente para a aplicação de baixa corrente pretendida para esses transistores, mas não é útil aqui.

Embarcamos em uma busca por transistores de baixa RBB e descobrimos que a situação não é sombria. É apenas não especificado. Na comunidade de projeto de circuitos, você encontrará menções a boas propriedades de ruído com transistores de grande geometria (isto é, transistores de potência) . Tabela 8.1a na página 501) e descobriu que, de fato, alguns dos transistores de grande geometria ("potência") têm valores rbb abaixo de 10 ÿ e fornecem referência de entrada bastante respeitável quando operados em correntes de 10 mA ou mais (onde a contribuição de re é equivalente ao ruído Johnson de um resistor de 1,25 ÿ). A Figura 8.17 (voltar à página 486) mostra que o ZTX851 (um transistor de 5 A, 60 V, sem nenhum endosso oficial de baixo ruído) funciona no mesmo nível do lendário 2SD786; você pode ver, também, que o maior rbb das peças de geometria menor de "baixo ruído" como o 2N5089 e o 2SC3324 os torna não competitivos nessa arena de alto IC/baixo .

Como observamos anteriormente (§8.3.1), onde mostramos um gráfico (Figura 8.12) de en versus corrente de coletor para seis transistores de baixo ruído candidatos, não há muito benefício em ter um baixo rbb se você estiver operando em baixa corrente (onde o efeito de re domina); mas realmente importa em correntes mais altas, que é onde você tem que operar se quiser atingir valores ao sul de 1 nV/ ÿ Hz.

Para enfatizar este último ponto, mostramos na Figura 8.43 um gráfico dos espectros de ruído de tensão do ZTX851 em uma ampla faixa de correntes de coletor (visto anteriormente na Figura 8.18 e aqui estendido até 4 Hz). A lição aqui é que você precisa usar muita corrente para ficar realmente baixo . Porém, não exagere: como visto na Figura 8.18 anterior, em correntes ainda mais altas, o ruído de baixa frequência aumenta devido a uma contribuição de ruído de oscilação da corrente de base que aumenta rapidamente. Para este transistor, o "ponto ideal" está em uma corrente de coletor de ~5 mA.

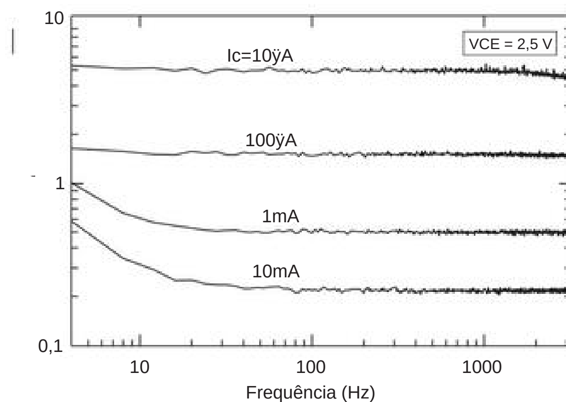


Figura 8.43. Para colher os benefícios de um transistor com baixa resistência de propagação de base rbb desejável (portanto, baixo ruído de Johnson), você deve operar em uma corrente de coletor alta o suficiente para tornar a contribuição de ruído comparativamente pequena, conforme mostrado nestes espectros de ruído medidos de um ZTX851 *npn* transistor.

C. Superando a **meta de 0,1 nV/** ÿ Hz

Entre nossos candidatos, descobrimos que os transistores *pnp* mais silenciosos eram um pouco melhores do que seus primos *npn* . Por exemplo, em IC = 10 mA um típico (média de seis amostras) *pnp* ZTX951 medido en = 0,20 nV/ ÿ Hz, comparado com 0,21 nV/ ÿ Hz para o complemento ZTX851 *npn*

[52] Confira o site do notável Uwe Beis (www.beis.de), que usou o MJE13007 (8 A 400 V); ou os designs de baixo ruído de Ovidiu em www.synaesthesia.ca, com valores de rbb relatados abaixo de 2 ÿ para 2SC3601 e 2SC2547.

(correspondendo a valores de rbb de 1,2 ÿ e 1,5 ÿ, respectivamente). Não sabemos ao certo por que isso ocorre, embora, como vimos anteriormente, as especificações de ruído do lendário *npn* 2SD786 (com complemento *pnp* 2SB737) indiquem a mesma tendência.[53] Usamos a variante do circuito diferencial da Figura 8.42, com uma matriz paralela de transistores para cada par de entrada, seguido por um estágio de amplificador operacional silencioso G=30 (feito com o testado e aprovado LT1128, cuja tensão de ruído de entrada é de 1 nV/ ÿ Hz até 10 Hz). Normalmente, você incluiria um pequeno resistor de "emissor-lastro" em série com cada emissor do arranjo paralelo, escolhido para reduzir aproximadamente 50 mV para equalizar as correntes e evitar o excesso de corrente; a 10 mA por transistor, o que equivaleria a 5 ÿ, adicionando uma quantidade inaceitável de tensão de ruído. Costuma-se dizer que os transistores de um único lote de produção são inerentemente combinados em suas quedas de tensão base-emissor; por curiosidade, medimos o VBE para um lote de 100 cada um dos ZTX851 e ZTX951, com os resultados mostrados no tograma da Figura 8.44. A correspondência é muito boa, o suficiente para que nenhum resistor de lastro do emissor seja necessário.[54] O mesmo *não* é verdade para os JFETs, a propósito; veja o histograma da Figura 3.17 de trezentas partes representativas do canal n, minuciosamente feitas[55] a partir de três lotes de 100 JFETs, na popular série 2N5457–59 de peças do canal n (classificadas por IDSS).

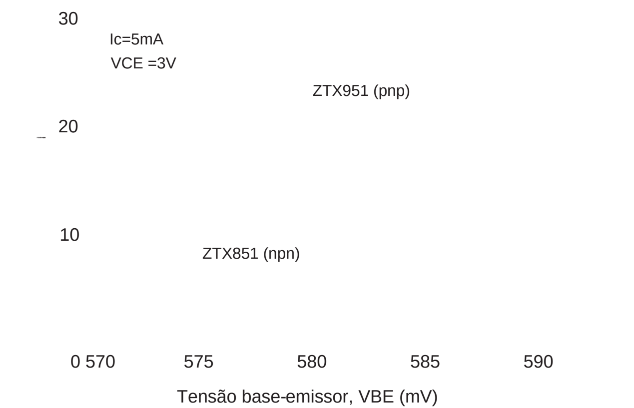


Figura 8.44. Distribuição do VBE medido em um lote de 100 peças *npn* e *pnp* .

Para um circuito como este, com cargas coletoras resistivas e pulldowns do emissor, os trilhos de alimentação dc devem ser silenciosos, porque o ruído nos trilhos parece não atenuado na saída. Aqui usamos o chamado *multiplicador* de capacitância para eliminar o ruído de alimentação; é um subcircuito útil – veja a descrição em §8.15.

Os resultados finais?. . . (tambores). . . aqui estão as tensões de ruído medidas para várias configurações de transistores (com alguns gráficos na Figura 8.45):

Transistor	Quantidade	IC (mA)	en (nV/ ÿ Hz) @1 kHz	en (nV/ ÿ Hz) @100 Hz
ZTX951	2×16	2×100	0,085	0,14
	2×32	2×200	0,070	0,09
BD437	2×24	2×100	0,095	0,17
	2×24	2×200	0,080	0,13
2SC3601E	2×12	2×200	0,093	0,18

Esta é uma tensão de ruído de entrada impressionantemente baixa - você raramente vê valores abaixo de 0,5 nV/ ÿ Hz - mas é justo apontar a natureza incomum desse desafio, com sua impedância de fonte ultrabaixa de menos de um ohm, portanto, tolerante à baixa entrada impedância (e corrente de entrada relativamente alta) de um estágio amplificador de emissor aterrado operando em uma corrente de coletor de 100 mA. Obter correntes de entrada muito mais baixas, no entanto, é mais bem conseguido com JFETs, como veremos a seguir.

D. Medindo o ruído BJT

Como fizemos essas medições de ruído do transistor? Existem instrumentos comerciais sofisticados que você pode comprar para medir parâmetros de ruído (en, in, NF) de transistores discretos (BJT ou FET); estes são geralmente destinados à caracterização de RF e micro-ondas (embora o descontinuado

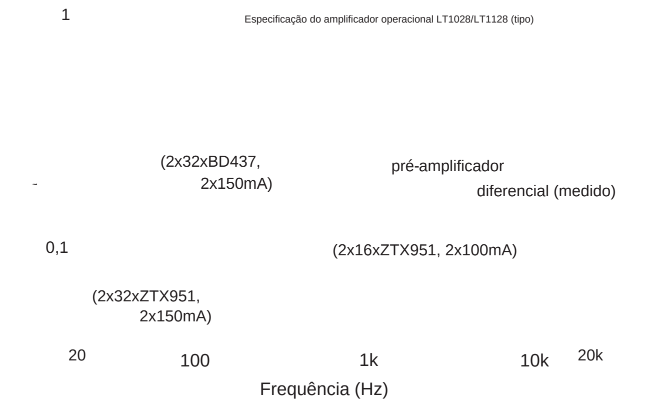


Figura 8.45. Espectros de tensão de ruído medidos para o amplificador da Figura 8.42, com três opções de transistor de entrada e corrente operacional. O pré-amplificador com 64 transistores ZTX951 é o vencedor.

[53] Isso pode estar relacionado ao tamanho maior da matriz necessário para um transistor *pnp* com desempenho semelhante.

[54] Encontramos correspondência igualmente boa para um lote de BD437s (um BJT barato e amplamente disponível para "aplicações lineares e de comutação de potência média").

[55] *Literalmente!* As pontas dos dedos ficaram bem macias, após a formação de chumbo e a inserção de trezentos transistores.

HP/Agilent 4470A mediu en, pol e NF em onze frequências pontuais, duas por década de 10 Hz a 1 MHz). Seguimos um caminho mais modesto, construindo nosso próprio circuito simples. É basicamente o dispositivo em teste (DUT) configurado como um estágio amplificador de emissor aterrado, com corrente de coletor e tensão coletor-emissor ajustáveis, e capacidade para determinar seu ganho de tensão. Conhecendo o último, você mede o espectro de tensão de ruído de saída, primeiro com a entrada contornada (para obter en), depois com um resistor em série na entrada (para entrar). É descrito em detalhes em §8.12.2.

8.6 Projeto de baixo ruído com JFETS

Continuando de onde paramos (em §8.5.6), para altas impedâncias de fonte é o ruído de *corrente* do transistor que domina, favorecendo assim os FETs, geralmente na forma de um JFET. Comparados com os BJTs, os JFETs geralmente apresentam maior ruído de tensão, mas muito menos corrente de porta (e ruído de corrente) e, portanto, são a escolha universal para amplificadores de alta impedância e baixo ruído. Nesse contexto, às vezes é útil pensar na tensão de ruído de Johnson, em combinação com a resistência da fonte do sinal, como um ruído de *corrente* in=vn/Rs (conforme plotado anteriormente na Figura 8.1). Isso permite comparar as contribuições do ruído da fonte com o ruído da corrente do amplificador.

Podemos usar o mesmo modelo de ruído do amplificador para FETs, ou seja, uma fonte de tensão de ruído em série e uma fonte de corrente de ruído paralela. Você pode analisar o desempenho do ruído exatamente com os mesmos métodos usados para transistores bipolares. Por exemplo, veja os gráficos na Figura 8.53 em §8.7 onde referenciamos o "tiroteio bipolar/FET".

8.6.1 Ruído de tensão dos JFETs

Para JFETs, o ruído de tensão en é essencialmente o ruído de Johnson da resistência do canal, dado aproximadamente por

$$e_n^2 = 4kT \frac{2}{3} \frac{1}{gramas} \quad V2/Hz, \qquad (8.34)$$

onde o termo de transcondutância inversa toma o lugar da resistência na fórmula do ruído de Johnson; ou seja, a tensão de ruído é igual ao ruído Johnson produzido por um resistor de valor R=2 tensão de ruído de um BJT, cujo en é equivalente ao ruído Johnson de um resistor de $\frac{1}{3\,grama}$ (análogo à entrada valor R=1 $\frac{1}{2\,grama}$). Você pode ver na Figura 8.46 (tensão de ruído medida versus transcondutância56) que isso define um limite inferior confiável para a tensão de ruído real, que pode ser um pouco maior na prática.

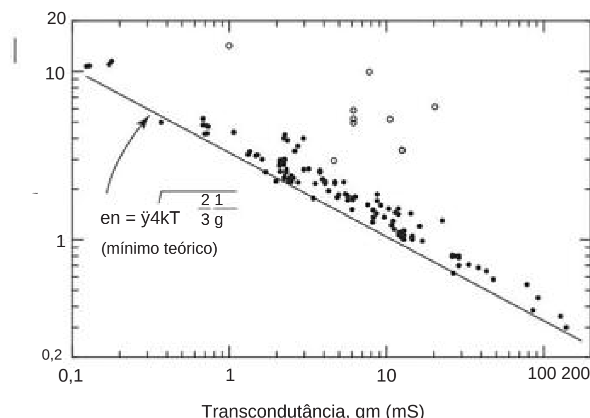


Figura 8.46. Testando a fórmula de ruído JFET: gráfico de dispersão da densidade de tensão de ruído medida (bem acima da frequência de canto 1/ *f)* versus transcondutância medida para uma seleção de 50 diferentes Tipos JFET, operados em várias correntes de dreno. Círculos abertos indicam JFETs cujo ruído não foi achatado no piso de ruído branco na nossa frequência máxima.

Como a transcondutância aumenta com o aumento da corrente de dreno (como ÿID, consulte §3.3.3, Figura 3.54 e Tabela 3.7), geralmente é melhor operar FETs em alta corrente de dreno para menor ruído de tensão. No entanto, como en é o ruído de Johnson, que vai apenas como 1/ *ÿgm,* e que por sua vez vai como ÿID, en é finalmente inversamente proporcional à quarta raiz de ID. Com uma dependência tão leve de en em ID , não vale a pena operar com uma corrente de dreno tão alta que outras propriedades do amplificador sejam degradadas. Em particular, um FET funcionando em alta corrente fica quente, o que (a) diminui *gm,* (b) aumenta o desvio de tensão de deslocamento e CMRR, e (c) aumenta dramaticamente o vazamento de porta; o último efeito pode realmente *aumentar o* ruído de tensão, porque há alguma contribuição para en do ruído de oscilação associado à corrente de fuga do gate.

Existe outra maneira de aumentar o *gm* e, portanto, diminuir o ruído de tensão do JFET: ao colocar em paralelo um par de JFETs, você obtém o dobro do *gm,* mas é claro que isso é o dobro do ID. Mas agora, se você executar a combinação no ID anterior,

56 Mais de 100 medições em cerca de 65 transistores escolhidos entre 50 tipos diferentes e em várias correntes variando de 75, criando ÿ A a 50 mA, muitos valores de teste *gm* diferentes. Seguimos o en declínio com frequência crescente até encontrarmos o piso de ruído branco de alta frequência. Isso rendeu uma ampla gama de condições sob as quais testar a fórmula. Nenhuma parte foi melhor, mas muitas foram 10% a 30% piores. Outros eram muito piores, até ×2. Para alguns, o ruído continuou a diminuir com frequência crescente, por isso não conseguimos encontrar o nível de ruído; estes são indicados com círculos abertos no gráfico. A lição para levar: obtenha *gm* o mais alto possível para baixo en. Lembre-se, colocar em paralelo ou usar JFETs de matriz maior é uma boa maneira de aumentar *gm.* Mas cuidado com alta capacitância e vazamento. E tenha em mente que o ruído de 1/ *f* e platôs de ruído de baixa frequência podem dominar seu projeto. Examine nossos gráficos e os dados para JFETs na Tabela 8.2 na página 516. Para projetos críticos, faça suas próprias medições.

você ainda melhora o *gm* por um fator de ÿ 2 sobre o valor JFET único, sem aumentar a corrente de dreno total; então você diminui en por um fator da quarta raiz de 2, para 84% do valor de JFET único.57 Na prática, você pode simplesmente fazer o paralelo de um número de JFETs correspondentes ou procurar um JFET de geometria grande como o IFN146 (0,7 nV/ ÿ Hz) ou IF3601 (0,3 nV/ ÿ Hz) mencionado anteriormente.58 Porém, há um preço a pagar.

Todas as capacitâncias escalam com o número de JFETs paralelos. Como resultado, o desempenho de alta frequência (incluindo figura de ruído) é degradado. Na prática, você deve parar de colocar transistores adicionais em paralelo quando a capacitância de entrada do circuito corresponder aproximadamente à capacitância da fonte. Se você se preocupa com o desempenho em altas frequências, escolha JFETs com alto *gm* e baixo Crss; você pode considerar as relações *gm/ Crss* e *gm/ Ciss* como figuras de mérito de alta frequência (lembre-se de que *fT=gm/ 2* C, onde *C* é a capacitância de entrada do circuito). Observe que as configurações do circuito também podem desempenhar um papel importante; por exemplo, o circuito cascode pode ser usado para eliminar o efeito Miller (multiplicação de ganho) no Crss.

Na Figura 8.52, plotamos uma extensa coleção de tensão de ruído medida para muitos dos JFETs na Tabela 8.2. Consulte também a Tabela 3.7, com características JFET adicionais (não relacionadas ao ruído), e o gráfico "Measured transconductance" em *§3x.2* para gráficos de transcondutância JFET versus corrente de dreno.

A. Ruído de tensão JFET 1/f

Assim como seus irmãos BJT, a maioria dos JFETs também sofre com o aumento da densidade de tensão de ruído em baixas frequências, como visto nos dados medidos da Figura 8.47. Em alguns casos (como o 2SK170B), o ruído 1/ *f* é bastante moderado e pode ser caracterizado por uma única frequência de canto de ruído fc, semelhante aos BJTs. Nesses casos, o canto do ruído pode ser estimado com a eq'n 8.27 e, uma vez conhecido fc , a densidade do ruído pode ser calculada com a eq'n 8.28. O gráfico mostra a densidade de tensão de ruído de 1 kHz variando de 1 nV/ ÿ Hz para o 2SK170B, para 2,8 nV/ ÿ Hz para o 2N5457 de baixa capacitância, para 11 nV/ ÿ Hz para o pequeno molde PN4117 (para o qual a corrente de dreno é IDSS, aqui 75 ÿ UMA).

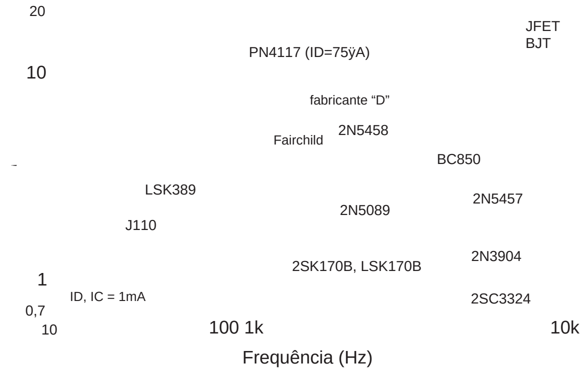


Figura 8.47. Densidade de ruído de tensão medida versus frequência para vários BJTs e JFETs, ilustrando o aumento semelhante a 1/f em baixas frequências. Consulte a Figura 8.52 para obter um conjunto extenso de gráficos de ruído JFET.

Mas alguns JFETs sofrem de uma região elevada de platô de ruído de baixa frequência,59 como a do LSK389. Esta parte tem uma densidade atraente de baixo ruído de 1,8 nV/ ÿ Hz a 1 kHz e acima, mas sobe, em uma curva semelhante a uma cobra, para o dobro desse valor na região de 100 Hz. Esta não é uma desvantagem terrivelmente séria para esta parte excelente, e ainda desfruta de baixos níveis de ruído de banda larga de cerca de 70 nVrms e 180 nVrms para larguras de banda totais de 1 kHz e 10 kHz, respectivamente.

Às vezes, esse efeito pode ficar fora de controle. Por exemplo, compare a versão silenciosa do Fairchild do 2N5486, com en=3 nV/ ÿ Hz, com a amostra ruidosa que medimos do "fabricante D": o último 4,5 nV/ ÿ Hz a 10 kHz sobe abruptamente em frequências mais baixas, indo fora de escala em 700 Hz. Ele sobe para 50 nV/ ÿ Hz a 100 Hz, cerca de 15 vezes o do silencioso Fairchild JFET com o mesmo número de peça. Como resultado, a parte ruidosa tem cerca de 1 V de ruído de banda larga (até 1 kHz). Para uma impressionante da variação de ruído

57 A relação ruído-corrente da 4ª raiz é válida para JFETs operados em sua região de alta densidade de corrente, digamos acima de IDSS/100 (consulte os gráficos de "transcondutância medida" de *gm* versus ID em *§3x.2),* mas em baixas densidades de corrente (onde *gmÿID)* a diminuição do ruído se aproximará de uma relação de raiz quadrada, assim como com os BJTs. Por exemplo, o ruído medido em um IF3601 aumentou em um fator de 2,8 (quase ÿ10) quando a corrente de dreno foi reduzida de 1 mA para 0,1 mA.

58 O paralelo de JFETs reduz a densidade de corrente, empurrando o gráfico *gm* versus ID para seu máximo, onde corresponderia ao de um BJT, consulte a Figura *3x.10,* que mostra o potencial de melhoria de um determinado JFET. Algumas peças (como o IF3601) já estão próximas desse limite, portanto, poucas melhorias adicionais podem ser esperadas.

59 Chamado de ruído de "montanha-russa" por Motchenbacher e Connelly. O mecanismo para o excesso de ruído 1/ *f* foi identificado no início dos anos 1960 como um efeito de massa em vez de efeito de superfície, envolvendo captura aleatória ou emissão de elétrons presos na região de depleção. Veja, por exemplo, PO Lauritzen, "Low-frequency generation noise in Junction Field Effect Transistores," *Solid-State Electron.,* 8, 1, 41–58 (1965), ou CT Sah, "Theory of Low-Frequency Generation ruído em transistores de efeito de campo de porta de junção", *Proc. IEEE,* **52,** 7, 795–814 (1994). No domínio do tempo, esse ruído pode assumir a forma de etapas discretas entre dois ou mais níveis de tensão (ruído de "pipoca" ou "telégrafo") ou variações aleatórias repentinas de tensão (ruído de rajada); veja as Figuras 8.5 e 8.6 para exemplos de ruído pipoca em um amplificador operacional 741 BJT antigo.

em 2N5486s fabricados por vários fabricantes, veja os espectros medidos na Figura 8.51. A parte mais ruidosa desse grupo tem um platô de 210 nV/ÿ Hz, resultando em cerca de 2,5 Vrms de ruído de ÿ tensão integrado de baixa frequência. Em sua defesa, o datasheet do "Amplificador de RF" 2N5486 lista especificações de figura de ruído apenas em 100 MHz e 400 MHz. Observe também que esse excesso de ruído de baixa frequência não afeta a operação em frequências muito mais altas (onde o ruído *"en·Cin"* , discutido em §8.11, mostra sua feia cabeça).

Embora seja comum falar sobre ruído 1/ *f* e uma frequência de canto correspondente fc, a realidade é que muitos JFETs não se adaptam a um modelo tão simples. Em suas folhas de dados, os fabricantes lidam com a questão do excesso de ruído de baixa frequência de várias maneiras. Primeiro, eles podem evitar completamente uma especificação de ruído. Em segundo lugar, eles podem fornecer a especificação de densidade de ruído em frequências relativamente altas - 10 kHz, 100 kHz ou até mais. Em terceiro lugar, eles podem fornecer, em vez disso, uma especificação de tensão de ruído rms em alguma largura de banda especificada. Em quarto lugar, eles podem fornecer uma especificação intencionalmente alta (conservadora), como 115 nV/ ÿ Hzmax, ou talvez uma figura de ruído de 3 dB para Rs = 1Mÿ (cuja fonte de densidade de tensão de ruído é alta de 126 nV/ ÿ Hz). Em quinto lugar, eles podem fornecer uma especificação em , digamos, 100 Hz (onde é útil), mas fornecem apenas um valor *típico* . Finalmente, para partes destinadas à amplificação de alta frequência, eles podem fornecer suas especificações de ruído em frequências de *rádio* - 100 MHz ou superior.

8.6.2 Ruído atual dos JFETs

Em baixas frequências o ruído de corrente é extremamente pequeno, decorrente do ruído de disparo na corrente de fuga do gate (Figura 8.48):60

$$in = 2qIG = (3,2\times10ÿ19IG) \quad ^{1}_{2}\text{A /Hz} \quad ^{1}_{2}. \qquad (8.35)$$

A corrente de ruído aumenta com o aumento da temperatura, à medida que a corrente de fuga da porta aumenta. Fique atento para o vazamento de portão que cresce rapidamente em JFETs de canal n que ocorre para operação em highVDG e/ou ID alto (consulte §3.2.8). Uma dose de realidade: é difícil estimar com precisão o nível de ruído atual em JFETs, porque o vazamento do portão é mal especificado. Muitas vezes você vê especificações de pior caso irrealisticamente altas, por exemplo IG=1 nA (max), enquanto em temperaturas ambientes normais é mais tipicamente abaixo da faixa de 1–10 pA. Com correntes de polarização tão baixas, a densidade de corrente de ruído de entrada é muito pequena, por exemplo, 1,8 fA/ÿ Hz para uma corrente de fuga de porta de 10 pA. Essa corrente de ruído geraria um en apenas 1,8 nV/ ÿ Hz através de uma fonte de sinal

60 Além disso, há um componente de ruído de corrente oscilante (1/f) em alguns FETs.

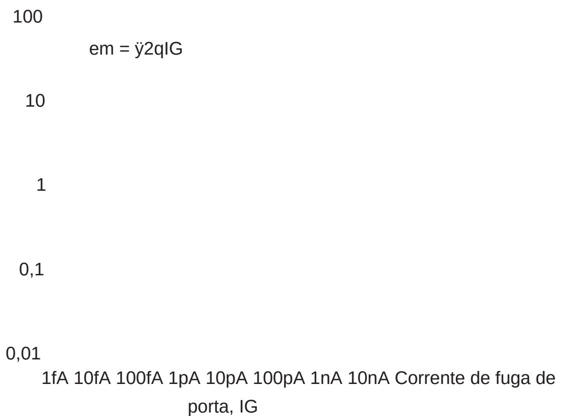


Figura 8.48. Densidade de corrente de ruído de entrada versus corrente de fuga da porta FET.

impedância de 1 Mÿ (que, a propósito, teria uma tensão de ruído de Johnson de 128 nV/ÿ Hz; a resistência da fonte teria que atingir 5 Gÿ antes que a tensão de ruído gerada pela corrente de ruído do JFET correspondesse à impedância de Johnson ruído da fonte).

Em frequências moderadas a altas, há ruído e termos resistivos.

(a) Se houver uma junção de soma (por exemplo, em um amplificador de impedância trans), então a tensão de ruído de entrada en conduzindo a capacitância de entrada Cin gera uma corrente de ruído de in = en Cin; veja §8.11 para detalhes. (b) Em um amplificador de fonte comum sem cascode, há uma parte resistiva efetiva da impedância de entrada (normalmente capacitiva) vista olhando para a porta. Isso vem do efeito da capacitância de realimentação (efeito Miller) quando há um deslocamento de fase na saída causado pela capacitância de carga; ou seja, a parte do sinal de saída que é deslocada 90° acopla-se através da capacitância de realimentação Crss para produzir uma resistência efetiva na entrada, dada por

$$R = \frac{1+ ÿ\ CLRL}{ÿ\ 2gmCrssCLR2} \text{ ohms} \qquad (8.36)$$

Ambos os efeitos aumentam linearmente com frequência acima de um ponto de interrupção e ambos têm frequências de ponto de interrupção semelhantes, normalmente na faixa de 2 a 100 kHz para JFETs de baixo vazamento.

Como exemplo, o JFET de canal n 2N5486 tem uma corrente de ruído de ÿ5 fA/ÿ Hz e uma tensão de ruído en de 2,5 nV/ÿ Hz, tanto em IDSS quanto em 10 kHz. Esses valores são aproximadamente 200 vezes melhores em in e 2 vezes piores em en do que os valores correspondentes para o 2N5087 BJT usados em conexão com os gráficos de figuras de ruído em §8.5.1 (Figura 8.29).

Se assumirmos uma carga de 470 ÿ com 5 pF de capacitância shunt

(rotação de dreno de 68 MHz), a corrente de ruído começa a subir em cerca de 30 kHz e atinge níveis de preocupação para o projetista de RF na região de 10 a 100 MHz.61 Não é incomum ver um transistor cascode adicionado para suprimir o efeito e melhorar o ganho de alta frequência.

Com os FETs, você pode obter um bom desempenho de ruído para impedâncias de entrada na faixa de 10k a 100M. Como vimos (Figura 8.27), e cujos segredos serão revelados a seguir (§8.6.4), o pré-amplificador SRS modelo SR560 possui uma figura de ruído de 1 dB ou melhor para impedâncias de fonte de 5kÿ a 20Mÿ na faixa de frequência de 100 Hz a 10 kHz. Seu desempenho em frequências moderadas corresponde a uma tensão de ruído de 4 nV/ ÿ Hz e uma corrente de ruído de 0,013 pA/ÿ Hz.

8.6.3 Exemplo de projeto: amplificadores "híbridos" JFET de banda larga de baixo ruído

Você pode melhorar o desempenho de ruído de pré-amplificadores JFET comerciais (e amplificadores operacionais) combinando os melhores JFETs discretos com um amplificador operacional em um design "híbrido". Vários bons exemplos de circuitos são mostrados em exemplos progressivos em outros capítulos: (a) um amplificador de banda larga de baixo ruído acoplado a CA (até ÿ20 MHz) com enÿ1 nV/ ÿ Hz na Figura 3.34; (b) um amplificador acoplado em CC análogo com enÿ2 nV/ ÿ Hz na Figura 3.37; e (c) um amplificador diferencial de banda larga de baixo ruído acoplado em CC com enÿ2 nV/ÿ Hz em *§3x.4.*

O leitor é encorajado a passar alguns minutos (ou mesmo meia hora!) revisando esses exemplos, que ilustram técnicas importantes no projeto de amplificadores de baixo ruído com JFETs discretos (e também quando combinados com um segundo estágio de amplificador operacional). Aqui, completamos a progressão desses projetos híbridos com um amplificador de *instrumentação* acoplado a CC (INA; consulte §5.15) de baixo ruído comparável e ampla largura de banda.

O circuito da Figura 8.49 é uma evolução do amplificador híbrido de acoplamento CC de terminação simples da Figura 3.37, dois dos quais aqui formam a entrada do amplificador diferencial do clássico amplificador INA de três amplificadores. O ganho de tensão (diferença de entrada para saída de terminação única) é G=100, definido pela relação 1+2Rf/Rg. O ajuste de ±2% de Rf2 é usado para maximizar a taxa de rejeição de modo comum, um recurso desejável que é responsável por grande parte da fama do INA. Os JFETs precisam de ajuda para atingir baixa tensão de deslocamento *(Q1* especifica 20 mV, pior caso), então adicionamos um equilíbrio de deslocamento no dreno de Q1a,b.

Quanto ao ruído, o LSK389B62 especifica um en típico de 0,9 nV/ ÿ Hz a 1 kHz e ID=2 mA. Em nossa corrente de dreno de 5 mA, podemos esperar um pouco melhor; mas o ruído de cada par diferencial (por exemplo, Q1a,b) é maior por um fator de ÿ 2, com outro fator de ÿ 2 para explicar o ruído combinado dos pares diferenciais superior e inferior. Assim como no amplificador single-ended da Figura 3.37, o ruído do amplificador operacional (enÿ12 nV/ ÿ Hz) é reduzido por um fator do ganho do par JFET (ÿ20) quando referido à entrada. A tensão total de ruído deste amplificador de instrumentação é, portanto, ÿ2 nV/ ÿ Hz. Combinado com sua largura de banda (ÿ20 MHz, para impedância de fonte de sinal ÿ1kÿ), este é um melhor desempenho do que pode ser obtido em amplificadores de instrumentação disponíveis.

Podemos fazer melhor? A maneira mais fácil de reduzir o ruído de tensão JFET é adicionar um segundo par de JFETs em cada entrada, em paralelo com o portão existente e os terminais de drenagem, mas com cada par puxado para baixo com seu próprio dissipador de corrente de 10 mA (e com os resistores de drenagem agora 500 ÿ). Isso reduz o ruído da tensão de entrada em ÿ 2, e não há necessidade de se preocupar com a correspondência VGS entre os pares JFET separados (descubra o porquê). Finalmente, se você quiser minimizar a corrente de entrada, adicione um par de transistores cascode para manter o VDS de Q1 abaixo de 5 V; ver §3.2.8 e Figuras 5.61 e 8.67.

8.6.4 Projetos dos mestres: pré-amplificador de baixo ruído SR560

É sempre instrutivo olhar para as entranhas de um bom produto comercial. A Stanford Research Systems (SRS) possui uma bela linha de instrumentos científicos, entre os quais você encontrará o pré-amplificador de baixo ruído SR560, em produção contínua desde 1989. Ele usa um front-end JFET diferencial para alta impedância de entrada (100 Mÿ25 pF), e tem um bom conjunto de controles de painel que permitem selecionar coisas como o ganho de tensão (calibrado × 1 a × 50.000, em uma sequência 1–2–5 ou não calibrado no mesmo intervalo), resposta de frequência (via switchable seções passa-baixa e passa-alta), acoplamento CA ou CC, inversão de fase e assim por diante. Tem um bom desempenho – densidade de tensão de ruído melhor que 4 nV/ ÿ Hz, resposta plana de ±0,5 dB a 1 MHz, distorção típica de 0,01% e oscilação de saída de 10 Vpp.

Mostramos os contornos especificados da figura de ruído desse filhote na Figura 8.27. Vamos olhar sob o capô para ver como eles fizeram isso. A Figura 8.50 mostra o circuito amplificador frontal, em todos os detalhes (Figura 8.50A) e em formas simplificadas (circuito B, diagrama de blocos C).

61 Fizemos medições de bancada que confirmaram (dentro de um fator de 2) o componente resistivo de entrada previsto pela equação 8.36. Em um amplificador de fonte comum JFET sem cascode, esse efeito pode diminuir bastante o *Q* de um circuito sintonizado por RF.

62 Um substituto disponível para o excelente mas descontinuado 2SK389 da Toshiba.



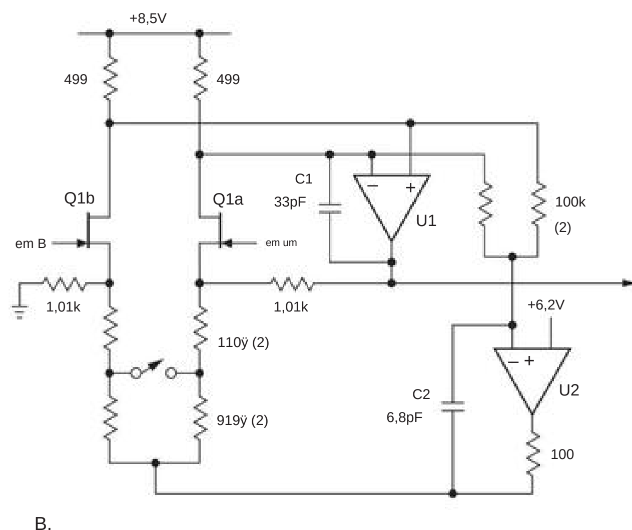
Figura 8.49. Amplificador de instrumentação de banda larga de baixo ruído com entrada JFET híbrida: G=100, enÿ2 nV/ ÿ Hz, BWÿ 20 MHz.

Topologia geral O par JFET de baixo ruído correspondente Q1ab, rodando a 4,6 mA (perto de seu IDSS mínimo garantido, veja abaixo), forma o primeiro estágio totalmente diferencial, em uma configuração híbrida na qual a saída diferencial JFET aciona um amplificador operacional (análogo à Figura 3.37), mas aqui configurado com realimentação para o terminal de origem de Q1a de modo que ambas as portas JFET estejam disponíveis como entradas externas. A configuração geral é, portanto, um "amplificador de realimentação de corrente" diferencial (CFB, consulte *§4x.6),* análogo ao circuito híbrido de extremidade única da Figura 3.34, e configuração de amplificador de instrumentação "C" na Figura 5.88. O ganho de tensão nativa do primeiro estágio é selecionável como ×10 ou ×2; para o último, um resistor em série de 499 ÿ é ligado e, portanto, o ganho líquido unitário é visto na entrada do segundo estágio. O segundo estágio é um amplificador operacional de baixo ruído LT1028 (enÿ1 nV/ ÿ Hz a 10 Hz), G=10, com impedância de fonte de 100ÿ em ambas as entradas para preservar a tensão de baixo ruído. Com o divisor de entrada, o ganho total do segundo estágio é ×2, ×5 ou ×10.

Viés JFET O projetista aprimorou bem o negócio de IDSS incerto , detectando a tensão de dreno média, comparando-a com uma referência de +6,2 V e fechando o loop por meio do integrador U2. Esta é uma maneira confiável de lidar com especificações IDSS soltas , por exemplo, aquelas do NPD5564 dual JFET original (IDSS=5 mA min, 30 mA max). Esse JFET não está mais disponível no fabricante original,63 mas felizmente há um substituto superior (LSK389B), com especificações IDSS agradavelmente mais rígidas (6 mA min, 12 mA max) e, como bônus, menor tensão de ruído (em ID= 2 mA, as densidades típicas de tensão de ruído do NPD5564 a 10 Hz e a 1 kHz são 12 nV/ ÿ Hz e 3,8 nV/ ÿ Hz, respectivamente; os valores correspondentes do LSK389B são 2,5 nV/ ÿ Hz e 0,9 nV/ ÿ Hz).

[63] Atualmente, a InterFET (somente vendas diretas) está oferecendo suas especificações semelhantes IFN5564

C2 6,8pF
+10
100
9mA
165
+6,2
U2
LF411
100k
(2)
1k
–10
C1 33pF
499
499
DESVIO
100k
–10
+10
U1
OP37
75k
100k
Q1b
Q1a
B
100nF
100M
100nF
100M
CMRR
20
1.000k
10
1.000k
110
(2)
×10
×1
909
(2)
+10
75k
100k
100k
LO-GAIN
DESLOCAMENTO
–10
100k
LO-GAIN
CMRR
10
10
Q1a,b: NPD5564 (origem),
LSK389B (melhorado)
U4
DG444
×10
×1
499
C4
150pF
Y10
LT1028
U3
front-end
249
Y5
909
150
Y2
C3 68pF
100
100
GANHO DE 2ª ETAPA
Y = 2, 5 ou 10
UMA.
1º ESTÁGIO GANHO X = 1 ou 10



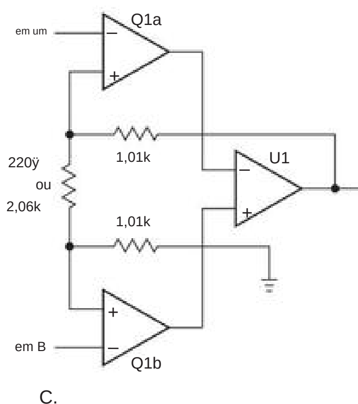


Figura 8.50. Estágios amplificadores front-end do pré-amplificador de baixo ruído SR560 da Stanford Research Systems (A: detalhado; B e C: simplificado). Alguns detalhes da comutação do sinal de entrada foram omitidos.

Machine Translated by Google

Largura de banda No *caminho do sinal,* o amplificador U1 é um amplificador operacional compensado de baixo ruído (enÿ3,5 nV/ ÿ Hz tipo a 10 Hz) banda larga (fTÿ63 MHz), aqui configurado como um integrador com fT=5 MHz (33 pF e 1,0 kÿ). Seu slew s se traduz de 17 V/ na largura de banda nominal de 1 MHz do instrumento. No ÿ em uma saída do primeiro estágio de taxa de 5 Vpp segundo estágio, o capacitor C3 limita a largura de banda para ~2 MHz.

No *caminho de polarização* do primeiro estágio (que é importante para a rejeição de modo comum), o integrador U2 tem uma taxa de variação de saída de 10 V/s (min), de modo que pode seguir uma ÿ entrada de modo comum de 3 Vpp (o máximo nominal do instrumento) na largura de banda nominal total de 1 MHz. A largura de banda de ganho unitário do integrador é de 230 kHz (6,8 pF e 50 kÿ), portanto, um ganho de loop de configuração de polarização de 230 a 1 kHz. Isso coloca uma carga crescente de CMRR em U1 em frequências mais altas, evidente na especificação CMRR do instrumento: > 90 dB a 1 kHz, diminuindo em 6 dB/oitava (ou seja, como *1/ f)* acima de 1 kHz.64 **Tensão de deslocamento** Esses JFETs duplos não estão na mesma liga que os BJTs combinados com precisão e não afirmam estar. O NPD5564 (o melhor grau em sua família) tem uma tensão de deslocamento máxima especificada (isto é, correspondência entre porta e fonte, |*VGS1ÿVGS2*|*)* de 5 mV em ID=2 mA; o LSK389B, embora se destaque no desempenho de ruído, é consideravelmente mais pobre, com uma incompatibilidade máxima de 20 mV (especificado em ID=1 mA). O SR560 lida com esse problema jogando potes nele: há um trimmer OFFSET de 10 voltas no dreno de Q1b , com alcance suficiente (± 0,13 mA) para equilibrar um deslocamento de pior caso e um segundo trimmer de 10 voltas para baixo na fonte cadeia de resistores para equilibrar independentemente o deslocamento quando comutado para baixo ganho. Há um par de aparadores CMRR análogos, de 20 voltas cada. Fizemos a rotina de calibração (completa com alguma iteração dos ajustes não muito ortogonais) e podemos atestar a dificuldade de obter (e manter) deslocamento profundo e nulos CMRR.

Tensão de ruído Para minimizar a tensão de ruído, os JFETs são operados em corrente relativamente alta e os valores do resistor (na fonte, no dreno e no caminho do sinal em geral) são intencionalmente pequenos. Com o orçamento de ruído original de ÿ4 nV/ ÿ Hz era aceitável, por exemplo, usar resistores de 110 ÿ nas fontes JFET. Mas um par em série dessa resistência produz uma densidade de voltagem de ruído Johnson de 2 nV/ÿ Hz, um pouco mais do que gostaríamos quando emparelhado com esses JFETs mais silenciosos. Um projeto otimizado reduziria esses valores talvez por um fator de 2.

Diversos Comutação de sinal de baixo nível (por exemplo, ac/dc/gnd acoplamento de entrada, seleção de ganho ×1/×10 e troca de entrada A/B) é feito com relés eletromecânicos. Não apenas qualquer relé antigo, porém - esses caras usam relés com contatos duplos revestidos de ouro (destinados a baixa resistência estável, mesmo com sinais de baixo nível onde não há limpeza de contato; consulte *§1x.6.1).* E esses relés são do tipo *latching ,* onde um pulso momentâneo muda o estado, eliminando assim as correntes de bobina indutoras de ruído no estado estacionário; isso elimina ainda mais o aquecimento local como fonte de deriva. Neste instrumento, um microcontrolador opera todos os relés e luzes indicadoras, detectando um comando no painel frontal (ou controle digital externo) e aciona os relés conforme necessário para alterar seu estado.

64 O CMRR de alta frequência provavelmente poderia ser melhorado configurando a saída do U1 para controlar um par de transistores dissipadores de corrente polarizando Q1ab.

8.6.5 Selecionando JFETS de baixo ruído

Como mencionamos anteriormente, os transistores bipolares oferecem o melhor desempenho de ruído com baixas impedâncias de fonte, devido ao menor ruído de tensão de entrada. O ruído de tensão, en, é reduzido escolhendo um transistor com baixa resistência de base e operando em alta corrente de coletor (desde que hFE rbb , permaneça alto). Para impedâncias de fonte mais altas, o ruído de corrente pode ser minimizado operando em corrente de coletor mais baixa.

Em altos valores de impedância de fonte, os FETs são as melhores escolhas. Seu ruído de tensão pode ser reduzido operando em correntes de dreno mais altas, onde a transcondutância é mais alta. Os FETs destinados a aplicações de baixo ruído têm valores ÿ altos (consulte §3.1.4), o que geralmente significa alta capacitância de entrada. Por exemplo, o 2SK170 de baixo ruído tem um Ciss típico de 30 pF, enquanto a série PN4117–9 de FETs de baixa corrente tem um Ciss *máximo* de apenas 3 pF.

A Tabela 8.2 na página seguinte apresenta uma seleção de JFET candidatos para circuitos de baixo ruído. Destina-se a ser usado em conjunto com a Tabela 3.7, que possui dados tabulares mais extensos, incluindo medições de amostra única. Consulte também os gráficos de transcondutância *da Figura 3x.10* e os gráficos de ruído da Figura 8.52. As entradas na parte inferior da Tabela 8.2 são JFETs duplos, adequados para estágios diferenciais; mas observe que seu Vos não é impressionante - geralmente muito inferior até mesmo aos amplificadores operacionais mais pobres (o LS840 interdigitado, cujo layout é mostrado na Figura 3.18, é o melhor do lote, com 2 mV típico, 5 mV no pior caso tensão de offset).

Preferimos JFETs com alta transcondutância e baixas tensões de corte de gate, mas, infelizmente, muitos dos antigos favoritos com desempenho superior foram descontinuados. O BF862 da NXP tornou-se uma peça de baixo ruído “go-to”, silenciosa e com capacitância atraentemente baixa. O 2SK170 da Toshiba foi mantido sozinho em estoque por grandes compras de fábrica pela Mouser, e o LSK170 de segunda fonte é

Tabela 8.2 JFETsa de baixo ruído

Número da peça SOT-23	TO-92, etc	VGS (10nA) IDSS máx mín máx mín máx (V) (mA) (mA)	VGS (desligado) (V) (V)	gm @ min max ID (mS) (mS) (mA)	Ron Ciss tip tip (ÿ) (pF)	Tensão de ruído medida, en (nV/ÿHz) f=100Hz f=10kHz, @ID ID=1mA 100ÿA 1mA 5,10mA
MMBF4117	PN4117	N 40 0,03 0,09 -0,6 -1,8 N 40 0,08 0,24 -1 N		0,07 0,21	m -	1,2 S 1,2 12 11nV/ÿ a 0,07mA 11nV/ÿ
MMBF4118	PN4118	40 0,2 0,6 -2	-3	0,08 0,25	m -	U 48 1,2 V 45 a 0,2mA 11,5nV/ÿ a
MMBF4119	PN4119		-6	0,10 0,33	m -	0,3mA
BFT46	-	N 25 0,2 1,5	- -1,2	1 -	m -	3.5 - - - - -
BF511	-	N 20 2,5 7 MMBF5457	-1,5 -	4 -	m -	5 m - 20 - 3.8 -
2N5457 N 25 5 MMBF5458 2N5458 N 25 2 9 MMBF5459 2N5459 N 25 4 16			-0,5 -6 -1	5	m -	4,5 P 2,8f 4,5 4,5 - 2.4 2.2
MMBF5460 2N5460 P 40 1 5 MMBF5461 2N5461 P 40 2 9 MMBF5462 2N5462 P 40 4 16			-7 -2 -8	1 1,5 5,5 2	m -	5 5 - 11 - 3 -
MMBF4392p PN4392 MMBF4393p PN4393o N			0,75 6 1	6 1 4 1,5 4,5	m -	- - - - -
			7,5 -6 -0,3	7,5 3 6 3,5 7,4	m -	- - - - -
			-3 -0,4 -4 -2	8	m -	- - - - -
	-		- -6		m -	2,2 R 3,9 4,7 2,8 2,2 5 4,3 2,5 2,2 2,6
		1			m -	2,8 4,3 2,5 3f 2,2 Q 3n 5 2,2
					m -	- 2,3
					m -	2,5
		N 40 25 75	-2 -5	16t	10 60 12	- - - - -
		40 5 30	-0,5 -3	13t	10 100 12	J 1.8f - 1.8 1.4
PMBF4393	-	N **	* *	****		- 22 14 5.2 3.4
MMBF5103	PF5103	N 40 10 40	-1,2 -2,7 7,5	-	2 30 16mL	2 3,2 1,9 1,5
-	J107	N 25 100 -	-0,5 -4,5	75t	5 8 35 F 1.4	- 1,3 0,75
PMBFJ109	J109	N 25 40 -	-2 -6 -0,5	26t	5 12 15 7,8 2,2 5 18 15 1,6 3,2 1,5 25 50m 6 2	-
MMBFJ110p	J110	N 25 10 -	-4 -1 -5 -0,5	20t	3,3 1,8 5 100m 6 H 1,8 3,2 1,6 1,7 10 50 4 G 18 4,8	0,9
MMBFJ112p	J112	N 35 5 -	-3 -1 -4 13 12	17t	2 9 2,7	- 1,5
MMBFJ113p	J113	N 35 2 -	-6,5 13 -0,2 12	t 12		1,4
MMBFJ309p	J309	N 25 12 30		-		- 1,3
MMBFJ310p	J310	N 25 24 60		-		1,5
BF861A	-	N 25 2 6.5	-1	20m	-	7.5 - - 1,8
BF861B	-	N 25 6 15	-0,5 -1,5 16 25 m -0,3 -1,2 35 45t m		-	7.5 - 9 - 1,5 1.2
BF862b	-	N 20 10 25			-	10 E 1.3 2.2 1.1 0,8
-	2SK147Bd N 40 8 16		-0,3 -1,2 40	-	5 -	75 1,9 2,5 1,3 0,85 75m 1,5 2,4 1,1 0,75
-	IFN147	N 40 5 30	-0,3 -1,2 30 40t m -0,2 -1,5 10 1 -0,2 -2		-	30 B 1,2 2,3 1,3 100 1,8 0,65 1,3 2,3 1,0 0,78
-	2SK170BLc N 40 6 12		10 1 -0,04 -3 750	-	-	
-	LSK170B	N 40 6 12		-	-	-
-	IF3601	N 20 30 -		-	m -	
JFETs duplos p/n único	e p/n duplo Vos					
PMBFJ620k 'J310k -		N 25 24 60	-2 -6,5 13	-	10 50 3	Y 33 barulhento 5.2
LS840g	-	5 N 60 0,5 5	-1 -4,5	2 -	0,2 -	4 - 3.2 - 2,7 -
LS5912		- 15 N 25 7 40	- -	-	5 -	5 - 3.1 - 2.7 -
LSK389B LSK170 20 N 40 6 12 40 5 10 30			-0,15 -2	7 20 -	3 -	25 M 3,2 3,2 1,7 1,3 75 1,3 1,1 0,85 75m
2SK146GRd 2SK147 20 N			- -	- -	- -	C 1,3 1,1 0,85 300 1,8 0,65 1,3 2,3 1,0 0,83 300
IFN146 IFN147 20 N 40		-	-0,3 -1,2 30 40t m 40t -0,3 -3 25 10		-	-
IFN860 2N6550 25 N 20 10		-		-0,04 -3 750	-	
IF3602 IF3601 100 N 20 30		-		-	m -	-

PREFIXOS: IF = interFET, LS = Sistemas Integrados Lineares, PMB = NXP.

NOTAS: ÿ = ÿHz. * = igual à linha acima. (a) classificados por ruído de tensão decrescente e também por número de peça dentro de uma família. (b) parte preferencial. (c) complemento 2SJ74. (d) descontinuado, mostrado para comparação. (e) mV, máx. (f) Parte Fairchild, outras são muito mais barulhentas. (g) LS840 tem uma matriz interdigitada. (k) J310 duplo incomparável. (m) máximo, ou gm@IDSS. (n) RF JFET, alto ruído 1/f de vários fabricantes. (o) também MPF4393 da ON Semi. (p) também PMBF- do NXP, muito barulhento. (t) típico.

Uma seleção de JFETs discretos de baixo ruído atualmente disponíveis. Consulte também a Tabela 3.7, que inclui medições de amostra única de IDSS, VGS(desligado), *gm*, e vai . A coluna "Curva de ruído" refere-se ao ruído medido correspondente plotado na Figura 8.52. Alguns JFET (por exemplo, a série 2N5484–6) para tipos de são destinado a aplicações de RF, e pode exibir baixas frequências de alta densidade de tensão de ruído, em na medida da Figura 8.51 os espectros como visto Veja também § 3x.2 para plotagens de transcondutância medida versus corrente de dreno.

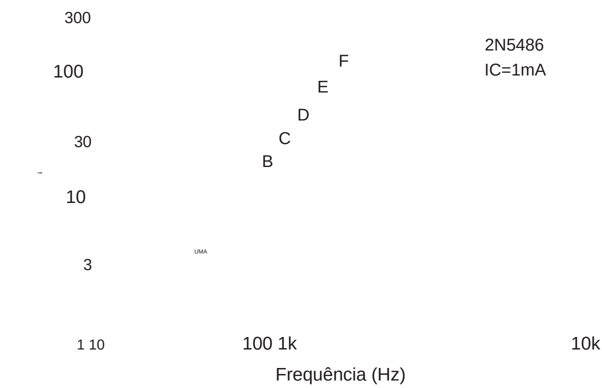


Figura 8.51. Cuidado com parâmetros de ruído não especificados: espectros de ruído de tensão medidos de seis amostras 2N5486 JFET de cinco fabricantes (a Fairchild's produziu a curva "A" vencedora). Adequando-se à sua aplicação pretendida como um "Amplificador de alta frequência", algumas folhas de dados especificam o desempenho de ruído apenas em altas frequências (por exemplo, ÿ100 MHz). A inclinação do ruído 1/ *f* é indicada pela linha tracejada. JFETs "E" e "F" têm ruído de baixa frequência de 2,5 Vrms (para ÿ 1 kHz).

disponível diretamente da Linear Integrated Systems, que também oferece uma versão dupla combinada do venerável '170, o LSK389. Os excelentes IFN146 e IFN147 estão disponíveis diretamente na InterFET. Considere também o Fairchild J107, um switch de baixo custo que pode funcionar como um JFET de baixo ruído; com sorte permanecerá disponível.

Transistores de "baixo ruído" não especificados *Um cuidado importante:* é arriscado confiar em parâmetros de ruído não especificados, por exemplo, a suposição (ausente da especificação do fabricante) de que todos os transistores de um determinado número de peça exibirão tensão de ruído semelhante àquela medida em um lote de amostra. Para ver o que pode acontecer na prática, observe a Figura 8.51, onde plotamos os espectros de tensão de ruído medidos de seis amostras de um JFET de canal n 2N5486. De fato, até mesmo transistores do mesmo fabricante e produção podem apresentar grandes variações, como pode ser visto nos espectros de ruído medidos da Figura 8.40 de quatro transistores de potência retirados de um único lote. A Figura 8.52 mostra comparações das características de ruído de vários JFETs populares e úteis.

Esteja ciente dos pontos fracos do JFET Quando discutimos as muitas considerações na escolha de um transistor bipolar de baixo ruído (§8.5.8), um fator importante foi a resistência de saída do transistor ro (ou, se preferir, sua condutância de saída, vá em). Para um BJT, isso é descrito por sua tensão inicial65 VA, cujos valores medidos estão listados em Tabela 8.1a na página 501. A maioria dos BJTs *npn* têm valores VA razoavelmente altos , o que significa que eles têm uma alta resistência de saída, portanto, normalmente não é uma preocupação séria.

Mas esse não é o caso dos JFETs. Se você tentasse medir uma "tensão inicial" análoga para JFETs, ficaria desapontado com seus valores baixos. O parâmetro comumente usado para descrever a variação da corrente de dreno com a tensão de dreno é a condutância de saída, gos, que varia tanto com a tensão de dreno quanto com a corrente de dreno. Para muitos JFETs, a condutância de saída (idealmente zero) é alta o suficiente para afetar seriamente o ganho do amplificador. Como o valor de gos de um JFET é aproximadamente proporcional à sua transcondutância *(gm),* definimos um parâmetro *Gmax=gm/ gos,* que representa o ganho máximo de tensão de um amplificador de fonte comum com carga de dreno de alta impedância.66 Isso O parâmetro não está listado na Tabela 8.2, mas você pode encontrá-lo na listagem JFET da Tabela 3.7. Você precisa levar isso em consideração quando de

assinar um estágio de amplificador JFET, talvez contornando seu efeito de eliminação de ganho adicionando um cascode; ver *§3x.4.*

Alguns JFETs sofrem também de uma queda severa na transcondutância em tensões de dreno inferiores a 2 V, especialmente em altas correntes de dreno; consulte os gráficos de transcondutância versus tensão de dreno em *§3x.2.* Se você está pensando em fazer algo incomum em um projeto JFET de baixo ruído, seria bom estudar primeiro o material específico do JFET nos Capítulos 3 e *3x.*

8.7 Mapeando o tiroteio bipolar-FET

Vamos nos divertir um pouco com a técnica gráfica de gráficos de ruído que introduzimos em §8.5.2. Um ponto de discórdia perene entre os engenheiros é se FETs ou transistores bipolares são "melhores". Lidamos com esse problema com humildade característica, combinando dois dos melhores contendores e deixando-os dar seus melhores golpes.

No canto bipolar temos o magnífico 2SD786, cujas estatísticas vitais são exibidas na Figura 8.10 e listadas na Tabela 8.1a na página 501. Sua tensão de ruído é de ÿ0,5 nV/ ÿ Hz a 1 mA, com um ruído de 1/ *f* admiravelmente baixo canto bem abaixo de 10 Hz; e seu rbb muito baixo (medimos 2,3 ÿ) nos permite descer para o território de 0,25 nV/ÿ Hz em correntes de coletor mais altas. Ele também tem bastante beta: acima de 200 em correntes até 1 A, o que é útil para obter uma *corrente de baixo ruído.* Tem sido um eterno favorito entre os entusiastas de áÿdio.

A entrada do FET é o JFET de canal n 2SK170, amplamente conhecido por seu impressionante desempenho de baixo ruído, considerado superior ao dos transistores bipolares. é muito baixo

65 Introduzido em §2.3.2 e discutido em detalhes em *§2x.8.*

66 Gostamos de Gmax porque é amplamente independente da corrente de dreno e varia de maneira previsível (linearmente) com a tensão de dreno.

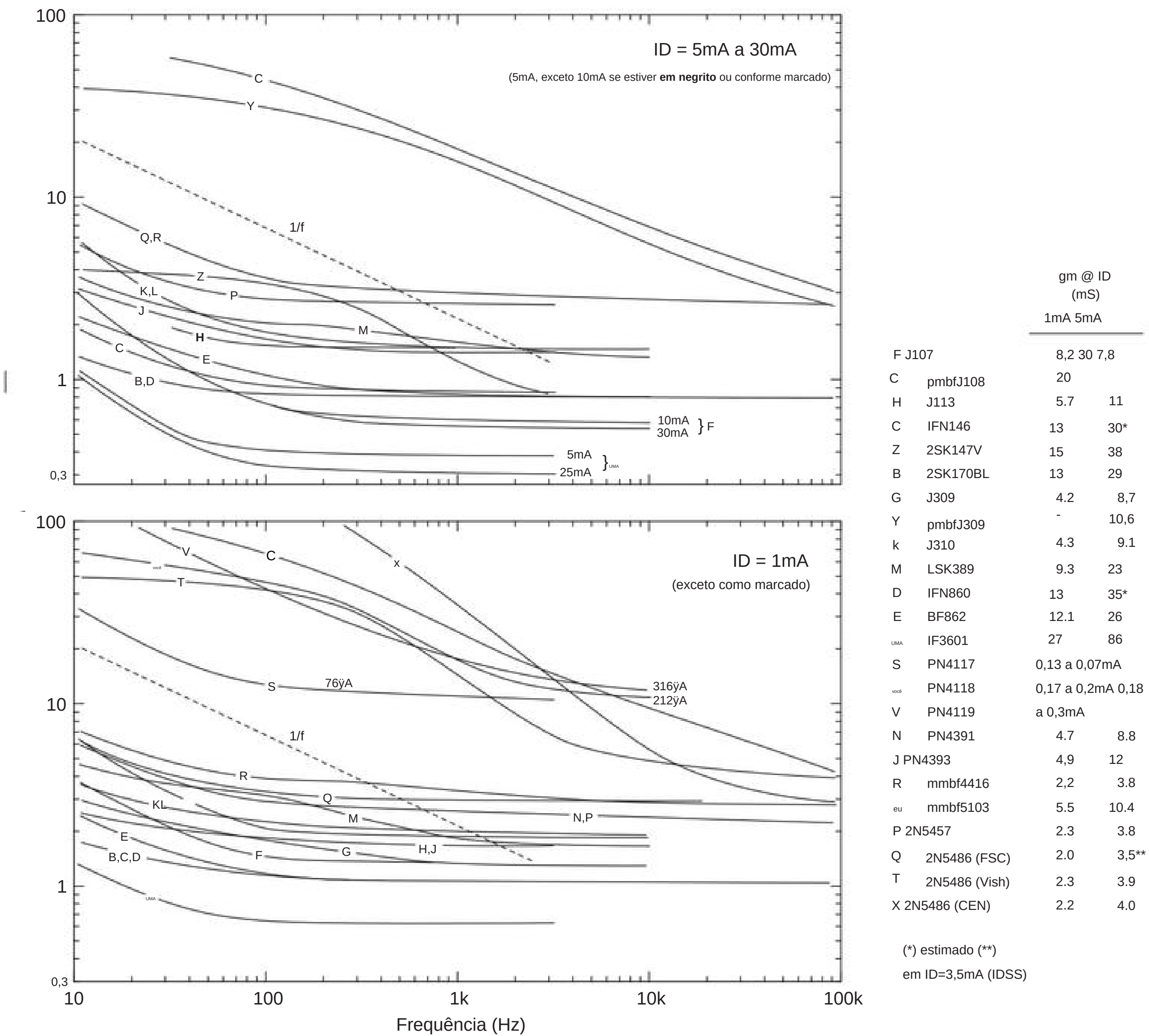


Figura 8.52. Densidade de tensão de ruído medida versus frequência para uma seleção de JFETs listados na Tabela 8.2. Todos os dados obtidos em VDS=5 V.

a tensão de ruído medida pode ser vista na Figura 8.54, e suas estatísticas vitais estão listadas na Tabela 8.2 na página 516. Segundo seu datasheet, foi treinado apenas para correntes de dreno variando de 200 A a 10 mA, mas extrapolamos parâmetros de ruído para 100 A, para que possamos avaliá-lo com correntes variando de 100 A a 10 mA. Temos grandes esperanças para este caça, dado seu ruído de corrente de entrada muito baixo (ÿ1 fA/ ÿ Hz, o ruído de disparo corresponde a sua corrente de fuga de portão de ÿ3 pA). Na Figura 8.53, mapeamos a tensão total de ruído do amplificador contra a resistência da fonte em 1 kHz, assim como fizemos para o 2N5087.67

67 Em nossa edição anterior, os contendores foram o autodescrito LM394 "par de transistor NPN monolítico ultra bem combinado" (en = 1 nV/ ÿ Hz em IC = 1 mA, contra 0,6 nV/ ÿ Hz para o competidor do campeonato 2SD786 desta edição) e o par JFET monolítico n-canal combinado 2N6483 (en=4 nV/ ÿ Hz em IC=100 A, contra 1,7 nV/ ÿ Hz para a entrada 2SK170 desta edição). Os dois eram duais monolíticos combinados. Ambos os competidores da edição anterior estão aposentados há muito tempo, tendo travado o bom combate por várias décadas.

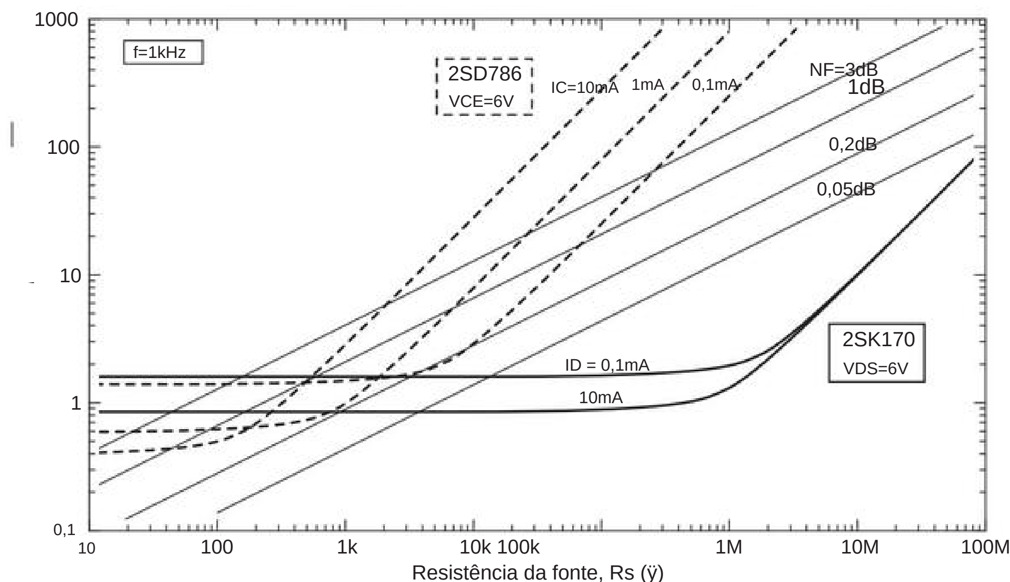


Figura 8.53. Comparação da densidade total de ruído da tensão de entrada do amplificador *(ea)* a 1 kHz, para o transistor bipolar *npn* 2SD786 (linhas tracejadas) e o JFET de canal n 2SK170 (linhas contínuas).

E o vencedor? Bem, é uma decisão dividida. O FET ganhou pontos na menor figura de ruído mínimo, *NF(Rn),* alcançando uma figura de ruído fenomenal de 0,0005 dB (que é uma temperatura de ruído de apenas 33 milikelvin!), e caindo abaixo de 0,2 dB de 1k a 100M de impedância da fonte. Para altas impedâncias de fonte, os FETs permanecem invictos. O transistor bipolar é melhor em impedâncias de fonte baixas, particularmente abaixo de 5 kÿ, e pode atingir uma figura de ruído de 0,2 dB para resistências de fonte Rs de 1–10 kÿ, com uma escolha adequada de corrente de coletor. Embora sua vitória apenas em termos de ruído seja pequena, ela tem outras virtudes importantes, principalmente sua previsibilidade superior de VBE em comparação com um VGS vagamente caracterizado de um JFET .

Tal como no boxe, onde os melhores lutadores de outrora se retiraram dos rigores da competição, devemos recordar aos nossos leitores, com alguma tristeza, que o 2SD786 foi descontinuado pela Toyo–Rohm; e o 2SK170 da Toshiba às vezes está disponível, às vezes não. No entanto, também como no boxe, existem alguns candidatos mais jovens para o melhor transistor de baixo ruído que ainda não tiveram a chance de competir em um campeonato mundial. O substituto LSK170 JFET da Linear Integrated Systems tem um desempenho quase tão bom quanto seu mentor; e o ZTX851 BJT da Zetex, embora não especificado em desempenho de ruído, parece superar até mesmo o campeão 2SD786 (como visto nos espectros de ruído medidos das Figuras 8.12 e 8.17).

E, se a tensão *realmente* de baixo ruído que você deseja, considere o IF3601 da InterFET, com sua tensão de ruído típica de 0,35 nV/ÿ Hz , *mesmo abaixo de 30 Hz!* E este é um *JFET,* com baixa corrente de entrada (típico de 100 pA, portanto baixo , cerca de 6 fA/ÿ Hz) e, portanto, a resistência ao ruído é de cerca de 60k.
Quando usado como amplificador com impedância de fonte igual à sua resistência de ruído (ou seja, Rs=60k), seu desempenho é imbatível – a figura de ruído é de 0,001 dB. InterFET e Linear Integrated Systems JFETs devem ser comprados diretamente do fabricante, mas em nossa experiência eles aceitam pedidos pequenos com prazer.

Antes de sair e comprar um alqueire desses notáveis JFETs, considere as observações dos críticos, que afirmam que é musculoso - tem alta capacitância de entrada e feedback (650 pF e 80 pF, respectivamente), o que limita sua utilidade em altas frequências. Seu parente, o IFN146, é melhor nesse quesito, em detrimento de maior en (75 pF e 15 pF, respectivamente, com en=0,7 nV/ ÿ Hz). Esses mesmos críticos argumentam que um par complementar bipolar como o ZTX851 e o ZTX951, com en tão baixo quanto 0,3 nV/ÿ Hz, pode oferecer desempenho ainda melhor em impedâncias e frequências de fonte moderadas.

8.7.1 E os MOSFETs?

A espécie FET dominante no planeta, por uma proporção demográfica de pelo menos 1012:1, é o MOSFET, do qual o JFET é o irmão pobre (e negligenciado). *Nós* não negligenciamos

JFETs, porém, porque eles são a melhor escolha para design discreto de baixo ruído, particularmente quando baixo ruído em baixas frequências é importante (por exemplo, áudio). Como ficará evidente em §8.9, os JFETs também dominam como estágios de entrada dentro dos amplificadores operacionais, onde tanto a baixa corrente de entrada quanto a baixa tensão de ruído são importantes.

Então, e os MOSFETs para design de baixo ruído? Um problema é que você não pode obter pequenos MOSFETs como partes discretas. E os MOSFETs tendem a ter um ruído de tensão muito maior do que os JFETs, particularmente em baixas frequências onde o ruído 1/f domina – o joelho 1/f pode chegar a 10 kHz a 100 kHz. A Figura 8.54 aborda esse ponto dramaticamente, plotando densidade de tensão de ruído medida versus frequência para uma seleção de MOSFETs, JFETs e BJTs representativos. Os BJTs mais silenciosos são os vencedores (com JFETs de baixo ruído não muito atrás), enquanto nessas frequências de áudio os MOSFETs não estão nem no estádio (e talvez nem mesmo na mesma cidade). Por esse motivo, você normalmente não escolheria um MOSFET para os melhores amplificadores de baixo ruído abaixo de 1 MHz.

MOSFETs *são* usados como amplificadores lineares de baixo ruído, porém, na forma de circuitos integrados destinados a aplicações de radiofrequência. Nessas frequências, seu desempenho de ruído é bom o suficiente e o processo CMOS permite integração conveniente e baixo custo.

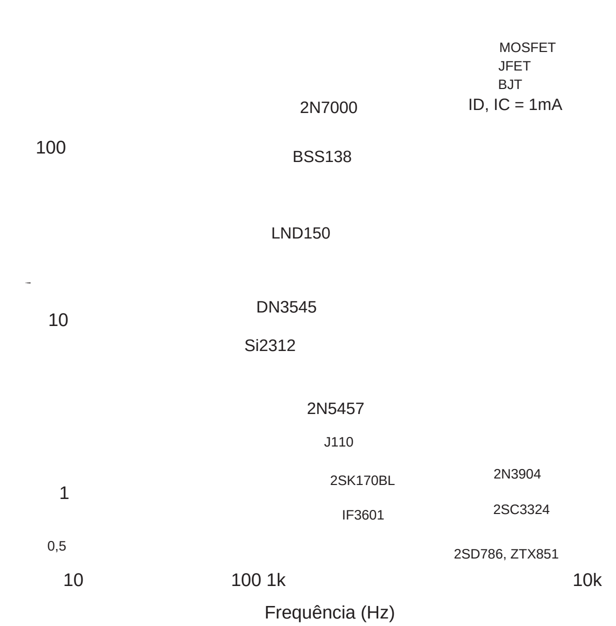


Figura 8.54. Comparação de espectros de tensão de ruído medidos para alguns transistores populares: MOSFETs, JFETs e BJTs. Incluímos dentro de cada espécie tanto uma parte "mais silenciosa" quanto uma barata (<$0,05 em quantidade) e uma popular "jujuba".

Os MOSFETs também são usados em amplificadores operacionais de "desvio zero": sua densidade de tensão de ruído não é impressionante – normalmente na faixa de 25–100 nV/ ÿ Hz – mas eles não exibem aumento de 1/ *f* em baixas frequências, então eles competem como os amplificadores mais silenciosos para aplicações de frequência muito baixa. Isso é visto claramente na Figura 5.54.68

8.8 Ruído em amplificadores diferenciais e de realimentação

Amplificadores de baixo ruído são muitas vezes diferenciais, para obter os benefícios usuais de baixo desvio e boa rejeição de modo comum. Quando você calcula o desempenho de ruído de um amplificador diferencial, há três pontos a serem lembrados: (a) certifique-se de usar as correntes individuais do coletor, não a soma, para obter informações das planilhas de dados; (b) a entrada observada em cada terminal de entrada é a mesma de uma configuração de amplificador de terminação simples; e (c) o en visto em uma entrada, com a outra entrada aterrada, digamos, é 3 dB maior que o caso do transistor único, ou seja, é multiplicado por ÿ 2.

Em amplificadores com realimentação, você deseja obter as fontes de ruído equivalentes dentro e fora do loop de realimentação, para poder usá-las conforme descrito anteriormente ao calcular o desempenho de ruído com uma determinada fonte de sinal. Vamos chamar os termos de ruído trazidos do loop de realimentação de eA e iA, para termos de ruído do *amplificador* . Assim, a contribuição do ruído do amplificador para um sinal com resistência de fonte Rs é

$$e^2 = e_A^2 + (R_s i_A)^2. \qquad (8.37)$$

Vamos considerar as duas configurações de feedback separadamente.

Não inversor Para o amplificador não inversor (Figura 8.55) as fontes de ruído de entrada tornam-se 69

$$i_A^2 = i_n^2 \text{ A}^2 \text{ (rms)}, \qquad (8.38)$$

$$e_A^2 = e_n^2 + 4kTR + (i_n R)^2 \text{ V}^2\text{(rms)}, \qquad (8.39)$$

onde en é a tensão de ruído "ajustada" para a configuração diferencial, ou seja, 3 dB maior do que para um estágio de transistor único. Os termos adicionais de tensão de ruído surgem do ruído de John son e da corrente de ruído do estágio de entrada nos resistores de realimentação. Observe que a tensão e a corrente de ruído efetivas agora não são completamente não correlacionadas; portanto, os cálculos nos quais seus quadrados são adicionados podem estar errados por um fator máximo de 1,4.

[68] Os amplificadores operacionais CMOS autozero de alta tensão OPA188 e OPA2188 estão entre os melhores que você pode encontrar, com um en de 9 nV/ ÿ Hz e um canto de ruído em 0,4 Hz. Não garantimos o ruído *atual* de entrada.

[69] Veja CD Motchenbacher e JA Connelly, *Low-noise Electronic System Design,* Wiley (1993), que mostram a expressão completa para um amplificador diferencial completo.

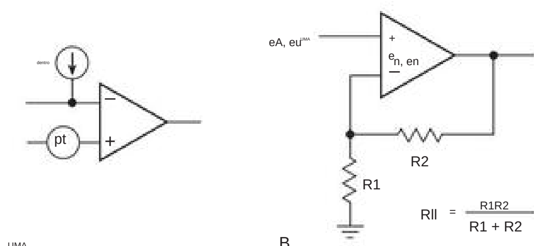


Figura 8.55. A. Modelo de ruído do amplificador operacional. B. Fontes de ruído no amplificador não inversor.

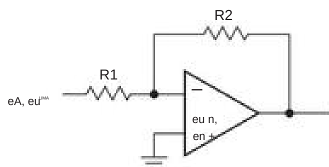


Figura 8.56. Fontes de ruído no amplificador inversor.

Para um seguidor, R2 é zero e as fontes efetivas de ruído são apenas aquelas do amplificador diferencial sozinho. Observe que esses desenhos e fórmulas assumem que a resistência da fonte de sinal é zero (ou pelo menos pequena em comparação com R, para não adicionar ruído de Johnson).70

Inversão Para o amplificador inversor (Figura 8.56) as fontes de ruído de entrada tornam-se

$$e_{uUMA}^2 = e_n^2 + 4kT \frac{1}{R_1} \quad A2(rms), \qquad (8.40)$$

$$e_{UMA}^2 = e_n^2 \left(R1\ 1 + \frac{}{R2} \right)^2 R1 + 4kTR1\ 1 + \frac{}{R2}$$

$$(emR1) \quad 2\ V2(rms). + \qquad (8.41)$$

Para amplificadores diferenciais e amplificadores operacionais comuns, os dois terminais de entrada têm tensões de ruído de entrada e correntes de ruído comparáveis. Isso não é verdade, no entanto, para amplificadores operacionais de realimentação de corrente (CFB) *(§4x.6),* onde a corrente de ruído na entrada inversora é geralmente muito maior do que na entrada não inversora.

Amplificadores operacionais Eles têm puts diferenciais, então eles jogam pelas mesmas regras. Os amplificadores operacionais dominam a maioria dos designs analógicos e por um bom motivo: eles são altamente evoluídos e oferecem excelente desempenho. Existem milhares de opções de amplificadores operacionais, otimizados para vários combi

nações de parâmetros que incluem precisão, velocidade, ruído, consumo de energia e tensão de alimentação. Se você pode resolver um problema de projeto com amplificadores operacionais, provavelmente deveria fazê-lo71. Seguindo o tema deste capítulo, o projeto de baixo ruído com amplificadores operacionais é o assunto da próxima seção.

8.9 Ruído em circuitos amplificadores operacionais

Folhas de dados de amplificadores operacionais especificam o ruído de entrada em termos de en e in, assim como com transistores e FETs. Você verá valores tabulados e, geralmente, gráficos de en e (às vezes) em versus frequência. Ao contrário do design com transistores discretos, no entanto, você não consegue ajustar as correntes operacionais internas e os valores dos componentes - você apenas os usa.

Existem milhares de amplificadores operacionais por aí, com uma boa seleção de peças voltadas para aplicações de baixo ruído. Coletamos cerca de 150 favoritos nas Tabelas 8.3a–8.3c, muitos dos quais a tensão de ruído e a densidade de corrente estão representadas nas Figuras 8.60 e 8.61. Como escolher entre estes?

Há en e in, é claro (e a frequência de canto de baixa frequência 1/ *f* correspondente fc). Mas também há todas as compensações usuais de desempenho: precisão, velocidade, corrente de entrada, dissipação de energia e preço. Por exemplo, em 0,85 nV/ ÿ Hz (e fc=3,5 Hz), o LT1028 está entre os amplificadores operacionais mais baixos disponíveis (curva A no gráfico superior da Figura 8.60). Mas consome 8,5 mA de corrente de alimentação, com ~1,8 mA dedicado apenas ao estágio de entrada. Por todas as razões discutidas em §8.3–§8.6, você não pode igualar esse tipo de tensão de baixo ruído em um amplificador operacional cuja corrente de alimentação total é, digamos, 0,1 mA. E você pode não querer: as entradas BJT do LT1028 têm muita corrente de polarização, com alta densidade de corrente de ruído (ÿ1 pA/ ÿ Hz – curva A novamente, desta vez no gráfico inferior da Figura 8.60).

Dito de outra forma, a *corrente* de alto ruído deste campeão de baixo nível apaga sua vantagem de ruído para um sinal de entrada de impedância de fonte maior que 1 kÿ (sua resistência ao ruído, *Rnÿen/ in).72* Vamos examinar mais de perto em baixo -design de ruído com amplificadores

operacionais. Começamos com um guia para a extensa listagem na Tabela 8.3.

70 Se um resistor em série adicional for adicionado à entrada não inversora (para equilibrar as compensações da corrente de entrada, consulte a Figura 4.55), considere shuntá-lo com um capacitor para silenciar seu ruído de Johnson (por exemplo, C1 na Figura 8.78).

71 Veja desta forma: um amplificador operacional inteiro em um pacote SOT-23 é do mesmo tamanho que um único transistor em um pacote SOT-23 e pode não custar muito mais. A Tabela 8.3 lista mais de 60 amplificadores operacionais que estão disponíveis em pacotes SOT 23, com preços tão baixos quanto $ 0,72 (quantidade 25).

72 Embora estejamos reclamando do LT1028, podemos acrescentar que é um pouco caro, cerca de US$ 6 cada em quantidade modesta.

Tabela 8.3a Op-ampsa de entrada BJT de baixo ruído

Ruído
Entrada
Fornecer
Rn
Balançar
pacote
pt
t tipo max max min 10Hzb 1kHz fc
Vos
Vn(pp)
t
(en/in)
para fornecer?
Custo
IB @25ºC
c
em 1kHzJ
1kHz GBW Cin IN OUT (kÿ) (MHz)
qtd 25
Faixa de QI
Papel #
(V) (mA (mV) (dB) (ÿV) (nV/ÿHz) (Hz) (pA/ÿHz)
p) (nA) (nA)
(pF) + – + –
($US)

alta tensão BJT
LT1495 **1,2,4** 2,2-36 0,001 0,3 1 LT1490A 2,4 - 0,38 90 4 185 10 0,01 b6 20M 0,003 - • • • • - - • • - 4.15 UMA
ÿ 2,5-44 0,04 1 8 LT1077A **1** 2,2-44 0,05 7 9 - 0,5 84 1 50 5,6 0,02 - 3,3M 0,2 4,6 • • • • 415 0,23 - - • • - 3,25 B
ÿ ADA4096 **2** 3-36 0,06 10 15 - 0,04 97 0,5 27 0,7 0,07 - baixo - • - • • - • • - 3,84 -
- 0,3 73 0,7 27 3 0,2 - 135 0,6 7 • • • • - - - • - 3,81 C
ÿ LT6010A 1,2,4 2,7-40 0,14 LT6011A 0 0,11 • 0,04 107 0,4 14 3,6 0,1 34 140 0,35 4 - - • • • - - • - 2.22 D
2,4 2,7-40 0,14 LT6013A 1,2 2,7-40 0 0,3 • 0,06 107 0,4 14 3,6 0,1 34 140 0,33 4 - - • • - - - • - 2,36 -
0,15 OP07C **1** 8-44 2,7 0,1 0,25 • 0,06 115 0,2 9,5 2 0,15 1,8 7 • 0,15 97 0,38 9,8 - 63 1,6 4 - - • • - - - • - 2,36 ••- E
0,7 0,13 ISL28107 1,2 4,5-42 0,21 0,02 0,3 • 0,08 115 - 75 0,6 - - • - 0,62 -•- 2,73 - F
0,34 13 2 0,05 ÿ Ad8622a 2,4 4-36222220 0,30 0,05 ÿ AD8622A 2,4 4-36 0,15 LT1013A 2,4 3-44 - 245 1 - - • - 5,33 • x - -
0,35 1,2 20 0,15 100 0,55 22 1,3 0,02 19 1,5M 0,9 LT1097 **1** 2,4-40 0,35 0 0,25 • 0,05 115 10,5 14 2,5 0,05 - 73 0,56 5,5 - - • • - - 2,08 • • - 2,32 -
0,708 - - - • - • - - • • - 5,11 • • - -
- - • • 5,52 • • - 0,23 -
ÿ LT1012AC **1** 2,4-40 0,37 0,03 0,1 • 0,03 114 0,5 14 2,5 0,05 M 304 0,5 baixo - - - - ÿ 333 0,9 baixo - - - - • • ••- 0,14 -•- -
OP97E 1,2,4 4,5-40 0,40 0 0,1 • 0,03 114 0,5 LM741A 1,2,4 8-44 1,7 30 80 14 2,5 0,04 - • • 3,51 - • • 3,43 -
LM358 **1,2,4** 4-32 0,7 45 250 OP2177 **1,2,4** 5-36 0,40 0,5 2 • 0,08 120 0,4 80 1 8,28 20 0,22 22 127 1,5 70 1,8 40 10 0,12 24 - • - • • - 3,17 - • - G
- 7 333 0,7 8 5 0,2 40 1,3 ÿ OPA2188 **1,2,4** 4,0-40 0,42 - • - • - - 4,25 H
0,2 0,85 12,03 b20 725 1 8,2 19 40 655 - - -
• 0,0211300,22 7 80 0,2 14 40 0,1 2,8 58 0,4 G 4,8 0,85 334 6,2 10,5 14 0,1 13 5 7 18 0,42 8,8 e 20B 1 27 0,1,2 0,5 0,20 0,85 13 1,2 2 9,5 - • • • 1 baixo - - - -
OP-27Ad1 **1** 8-44 OPA227d2 1,2,4 5-36 317 2,5 120 0,09 3 - - - 4 • - J
- - - • • • - - -
10 • 0,07 115 0,085 2,5 6 0,4 - 6.3 10 - - - - - • - 2,50 -
ÿ 10 • 0,08 96 0,3 5 27 0,6 9 8,3 90 4 - - - - • - • • - 4,26 k
0,5 1,5 - 10 - • • • • - 0,85 eu
ÿ - 2,7 7,2 4,2 • • • • • - • • - 3.07 M
ÿ 3 10 40 - 0,03 114 0,08 3 2,7 1 8 3 8 - • - • - - 2.10 N
ÿ 4 0,4 F 7,5 8 12 -- -- • - ••- 1,67 ••- -
LME49710 **1** 5-36 4,8 LM4562 **2** 5-36 7 72 10 - 0,7 110 0,35 2,5 70 1,6 1,6 55 0,7 110 0,4 2,7 75 1,6 B4 1,7 - - 1,97 ••- 2,45 O
5 72 - 55 1 110 0,06 2,8 3,6 1,2 AD8675 1,2 9-36 2,5 0,5 2 • 0,08 - - -•- 1,80 - • - O
ADA4075-2 **2** 9-40 1,8 30 100 ÿ - 114 0,1 2,8 6 0,3 AD8671 1,2,4 8-36 36 3 12 • 0,08 105 2,4 - 9,3 10 - - 2,22 -•- 1,97 • P
0,077 2,8 5 0,3 LT1124 2,4 8-44 2,75 8 30 • 0,1 108 0,07 2,7 2,3 0,3 LT1007g,d4 **1** 4-44 2,7 ÿ ÿ OPA209 1,2,4 4,2-40 7,5 2,5 baixo - - • • • - • - 4,91 ••- 2,48 Q
4,2-40 4,2-40 ADA5 ,4 9-36 2,2 40 90 • 0,13 0,08 15 2,8 2,5 2,2 120 0,58 1,2 21 B 1,2 4,5-36 3,6 60 175 AD8597 1,2 - - Q
- - - R
10 35 • 0,03 117 0,06 2,5 2 7,D 6.3 8 - • - -
1 4,5 • 0,15 120 0,13 2,2 16 0,5 - 4.4 18 4 -- •• - - -•• 2.27 S
12 - - -•• 4.20 -
- 0,05 114 0,08 1,1 10 1,7 b2 0,65 45 8 - - •• - - -•- 12.87 T
ÿ - - ••- 3,71 você
MAX9632 **1** 4,5-40 3,9 30 180 • 0,13 120 0,065 0,94 22 3,8 - 0,25 55 - -- •• - - -•- 5,76 V
250 1500 - 0,08 114 0,05 0,9 30 -- 2,01 0,4 -- 100 400 • 0,13 103 0,05 0,9 14 2,4 10,8 0,04 0,8 3,5 1,2 3,4 0,75 1,2 9-36 8,1 AD797 1,9 36 8,2 - - -•- 5,37 ••- -
0,88 10 2,8 - • • 8,03 •-- 3,73 -
• • **W** - • - 3,98 **X** • • -
LME49990 **1** 10-38 9 ÿ - 0,31 110 - - - 6,48
LT1028Ah **1** 8-44 7,4 25 90 • 0,04 108 0,035 0,85 3,5 1,0 3,A 0,85 75 5 - - - - • • -

baixa tensão BJT
TLV2401 1,2,4 2,7-17 880nA 0,1 0,3 LT6003 1,2,4 - 1,2 63 35 400 30 0,01 30 50M 0,005 3 w • • • 0,5 73 3 325 - 0,01 b5 27M 0,003 - - - • • 2,05 - • • -
ÿ 1,5-18 850nA 0 0,14 TLV2242 **1,2,4** **2,5-16** 0,001 - 6 • • • • 60 35 400 30 0,01 31 50M 0,005 3 • • • • 137 0,35 417 0,35 417 - - 1,60 - • • 2,42 -
0,1 0,5 OP196 1,2,4 3-15 0,045 10 50 0,3 65 0,8 26 - 3 - - -
15 0,19 EL8176 **1** 2,4-6 0,055 0,5 2 • 0,1 90 1,5 28 6 0,16 - - • • • • • - - • - 3,81 - • -
- - • • • • - - • 2,30 **Y** • • 0,74 **Z**
LMV358 **1,2,4** 2,7-6 0,11 65 - LT1783 **1** 2,5-15 15 250 0,23 45 80 r 7 0,8 90 1 39 8 0,21 28 186 20 7,5 0,14 1 - - •-- - - - --• 3,05 **AA** 85
11 150 0,13 - 143 1,3 5 k• •• - - 5,2 7 •••• ••• 1,5 **BB**
TLV2460 1,2,4 2,7-6 0,5 4,4 14 - 2 70 2.2 - - -
LT6220 1,2,4 2,2-13 0,9 LMP7731 15 150 • 0,35 85 0,5 10 30 0,8 - 12,5 60 2 •••• - - -•• 1,75 -
ÿ 1,2 1,8-6 2,2 1,5 30 • 0,5 101 0,08 2,9 1,4 1,1 b3 2,64 22 - • • • • - - - • • 1,98 -
MAX410 1,2,4 4,8-12 2,5 80 150 • 0,25 115 0,2 1,5 90 1,2 LT6230 1,2,4 3-12,6 3,3 5ÿA 10ÿA • 0,5 - 1,25 28 4 -- -- • - ••- 4.06 -
96 0,18 1,1 350 2,4 - 0,46 215 6,5 - - • • - - - • • 2,72 -

Notas: (a) consulte também as tabelas de amplificadores operacionais nos Capítulos 4, 4x e 5. (b) 0,01 Hz ou 0,1 Hz a 10 Hz. (c) calculado. (d) itálicos são tipos JFET de baixa tensão. (d1) OP-37 decomp. (d2) OP228 decomp. (d3) OPA637 decomp. (d4) LT1037 decomp. (d5) OPA657 decomp. (d6) ADA4637 decomp. (d7) MAX4237 decomp. (d8) LMP7717 decomp. (g) LTC sugere LT1677, RRIO. (h) LTC sugere LT6200, 6230. (J) a 1kHz ou 10kHz, exceto 10Hz para tipos de chopper. (k) além do trilho. (p) por amplificador. (q) itálico são jujubas. (s) SC70. (t) típico. (u) as especificações da folha de dados são 10 vezes maiores. (v) Vos vs VCM estável. (w) a 5V acima do trilho. (x) SOIC é uma pinagem não padrão. (y) DIP descontinuado, NRND. **R:** especificações em 5V. **B:** over-the-top, baixo IB para VCM<Vcc–0,7. **C:** OVP para +32V. **D:** Substituição LT1012, c/RRO. **E:** decomp, G>5. **F:** clássico original. **G:** clássico barulhento. **H:** barulhento, barato; Único LM321. **I:** desvio zero, CMOS(!). **J:** OP177 melhorado. **K:** 0,7ppm dist. **L:** áudio clássico. **M:** "RRIO LT1007."

Tabela 8.3b Op-ampsa de entrada FET de baixo ruído

Ruído

Fornecer

IB de entrada

t

@25ºC Vos

TCVos

Vn(pp) em

Balançar

pacote

Custo

c

fornecer? en·Cin 1kHzJ GBW Cin para IN

qtd 25

Parte #d

variou min 10Hz tip 1kHz máx tip p) (pA) (pA) (mV)

OUT (MHz) (pF) + – + –

(V) (mA (ÿV/ºC) (dB) (ÿV) (nV/ÿHz) (Hz) (nV·pF)

($US)

JFET

ÿ OPA129B **1** 10-36 1,2 30fAz 0,1 80 4 17 310 34 32,U 1 AD549KH **1** 10-36 0,6 75fAz 0,1 0,25 2 90 4 35 100 35 1 ISL28110 2 - - - - - • • - 11.28 **CC**

ÿ 1,2 2 9-42 2,6 4 8,6 80 - 1 - - - - • - - - 28h00 -

0,3 1 - 12,5 12 - - - - - - - - 2,34 **DD**

ÿ OPA124PB **1** 10-36 2,5 0,35 1 0,25 1 100 1,6 8 195 24 33,P 1,5 OPA140 1,2,4 3 - - - - • • • - 6,40 **EE**

ÿ 4,5-40 1,8 0,5 10 0,12 0,35 126 0,25 5,1 12 51 H 11 10 - • • • - - • • 3,89 AD8076 **1** 5-24 6,4 0,5 5 600 20 06,37 130 0,53 90 1 8 50 18 1,6 2,2 - - - - - - • - 7,97 2 20 **FF**

3,5 2 120 0,25 6,5 13 52 8 - • • • - - - • • 2,36 2 20 3,5 - 120 0,2 5,1 7 8 - • • • 202 - 2,83 2 20 1,850 ,5-90 1,8 6 5,50 80 2,5 0,5 45 7,5 21 3 11,86 2 20 1,8 3 3 4,5 7x 1100 -

ÿ AD795 **1** 8-36 1,3 OPA141 1,2,4 - **GG**

ÿ 4,5-40 1,8 OPA1641 1,2,4 4,5-40 - 10 **FF**

ÿ 1,8 AD8620A 1,2 10-27 2,5 OPA656d5 41 f1 20 **FF**

ÿ **1** 9-13 14 LF412C **1,2,4** 10-44 3,6 50 - -

ÿ 200 3 3 OPA171 1,2,4 2,7-40 0,48 8 2 -

15 1,8 0,3 104 3 14 170 42 18 3 OPA604 1,2 9-50 5,3 50 - 5 OPA134 1,2,4 5-36 5 100 2 OPA2132 **1 ,2,4** 5-36 **HH**

ZZ

8 80 1.3 11 60 110 16 20 10 - - - - • • • - 2,57 8 80 40 f3 5 - - - - • • • - 1,60 8 80 48 6 **JJ**

ÿ 4 2 86 1.1 - - - - • • • - 3,81 8 **KK**

4 5 50 0,5 2 96 1.1 - 8 -

LME49880 **2** 10-36 14 5 - 10 3 90 1.9 7 250 - - 25 - - - - - - - • - 2,43 **O**

ADA4627Bd6 **1** 9-36 7 5 20 0,2 19 7 - - - - • - • - 11,06 0,7 8 0,5u 5,8 30 9 160 4,1 1,5 - - - - • • • - 3,15 4 20 0,9 5 20 0,28 0,5 106 0,6 4,5 90 32 L 16 **LL**

ÿ LT1793 **1** 9-40 4.2 OPA627Ad3 **1** 3,8 25 34 22 9 - - - - - - • - 9,22 MM 80 0,88 29,85 58 0,357,63 30 56 f2 4,3 14 - - - - • • • - 3,15 15 50 0,15 1,5 104 0,25 -

10-36 7 -

ÿ LT1792 **1** 9-40 4,2 300 800 0,8 7 -

OPA827 **1** 8-40 4,8 -

AD743 **1** 9,6-36 8,1 150 250 1 2 - 4,5 20 - - - - • -

CMOS

ISL28194 **1** 1,8-5,8 330nA 15 80 2 LPV521 **1** 1,6-5,5 470nA 1,5 70 10 265 7 • • • • - - - • 1,69 0,4 75 22 259 7 • • 0,004 – s3 1,66 0,4 102 3 170 0,5 33 29 0,01 4,7 **NN**

10fA 1 1 3 ISL28195 **1** 1,8-5,8 0,001 15 80 2 MAX9911 1,2 - • • • - • • - 2,43 1,5 70 4 150 3 • • • • - - - • 1,57 0,06 - - - - • 0,72 • • • 1,8-6 0,01 20 fA 1 2 13 0 1,2,4 -

LMC6442A **2** 2.2-11 950nA 5fA 4 2,3 60 20 • • • • - - • • 3,29 ISL28158 1,2 2,4-5,8 0,034 5 35 0,3 0,3 75 1,4 64 26 • • • - - - • 1,34 85 -

1,8-6 0,004 1 10 1CL7612 2,3 25 50 18 20 0,4 2,5 • • • - - • • 1,36 0,75 18 • • • • 0,01 - 3,54 - • - - - - • s 0,45 -

5 70 40 400 45 15 70 40 100 500 - - 0,2 - **OO**

ÿ 1 2-16 0,006 0,5 30 5 - c4 0,044 - 25 0,13 **PP**

- 0,2 - -

- - - **QQ**

ÿ AD8603 1,2,4 1,8-6 0,04 0,2 1 0,05 1 LTC6078 2,4 2,7-6 0,055 0,2 -

ÿ 1 0,03 0,2 95 1,0 18 25 126 LMV358 **1,2,4** 2,7-6 0,1 <1nA <1nA 7 0350 705 5 1 150 3 - **RR**

6 - - 1.4 - **Z**

TLV2221 **1** 2,7-12 0,11 1 70 3 19 100 42 - 0,51 6 - • • • - - - • 1,20 -

LMC6001AIN 1 ÿ ÿ 2,4-6 0,35 1 500 0,02 0,6 84 0,9 14 17 53 c2 1,7 7,5 - • • • - - - • • 1,78 -

LMC6482A 2,4 3-16 0,5 5-16 0,45 10fA 25fA 0,35 2,5 83 6 22 270 - - 1.3 - - • • • - • - - 12.19 -

100 1 70 20 37 900 21 17 1,5 3 • • • • - • • - 1,88 LMV751 **1** 2,7-5,5 0,5 85 0,7 6,5 45 4,5 - • • • - - **SS**

- • 1,82 OPA376 1,2,4 2,2-7 0,76 0,2 10 0,03 0,26 76 0,8 7,5 50 91 c1 5,5 11 2,4 2,7 - 6 0,85 2,0 ... -

ÿ 90 1,5 12 500 56 4,7 8 - • • • - - • - 3,06 OPA743 1,2,4 3,5-13 1,1 1 10 7 66 11 30 2400 28 26 7 4 • • • • - - • • 1,58 LM6211 **1** 5-24 1,1 0,5 5 2,5 85 2,5 6 500 39 17 5,5 **TT**

ÿ - • • • • - - - • 2,52 0,15 85 1 17 15 - • • • - - • • 2,05 3 17 2200 21 8 215 - **UU**

ÿ 35 - **Q**

1 - -

ÿ 1 - **VV**

ÿ 8 -

2 - -

ÿ LMP7715d81,2 1,8-6 1,15 0,05 1 1 5,8 110 105 - -

LMV710 **1** 2,5-5,5 1,2 4 - 3 - 50 14 20 1300 119 - 5 17 • • • • • - - - • 1.21 **WW**

ÿ LMP7721 1 1,8-6 1,3 3fA 20fA 0,15 1,5 83 2,3 7 360 OPA320 1,2 1,8-6 1,45 0,2 0,9 0,15 - - 17 - - • • • - - x - 11,89 -

1,5 100 2,8 8,5 640 35 AD8616 **1,2,4** 2,7-6 1,7 0,27 21 TLC - 20 5 • • • • - - • • 2.16 **XX**

ÿ 0,5 1,5 80 2,4 7 1300 49 11 24 7 • • • • - - • • 1,52 9 325 56 S 2,25 8 - • • • - • • - 1,57 1 100 5 4,5 5600 42 V -

1 60 1,0 OPA365 2 75 1.4 50 6 • • • • - - • • 1,75 4 7 9000 46 12 38 6,5 • • • • - • • - 1,67 plano 84 ## 5 -

ÿ 1,2 2,2-5,5 4,6 0,2 10pA 0,2 OPA350 1,2,4 2,5-7 5,2 0,5 10 12 - • • • - - • • 2,92 **XX**

0,5 LMP2021 1,2 2,5-5,8 1,1 25 74 14 100 -

0,005 0,004 105 0,26 11 **AA**

N: industrial clássico. **O:** 0,3ppm dist. **P:** acoplamento cruzado. **Q:** 0,6ppm dist. **R:** substitui OP-27, OP270. **S:** 0,25ppm dist. **T:** precisão. **U:** 1ppm dist. **V:** 0,4ppm dist. **W:** versão em áudio do LT1028. X: 0,1ppm dist. **Y:** bomba de carga. **Z:** LMV321 único; Versões BJT& CMOS (mesmo p/n!). **AA:** acima do trilho para +18V. **BB:** unidade de saída de 80mA. **CC:** menor IB para uma parte HV. **DD:** JFETs inicializados. **EE:** pino de substrato. **FF:** 0,5ppm dist. **GG:** substitui OPA111. **HH:** AoE jujuba. **JJ:** áudio profissional. **KK:** 0,8ppm dist. **LL:** substitui OPA627, 637. **MM:** custa menos que OPA627. **NN:** <1ÿW. **OO:** 7,5ÿW. **PP:** corrente quiescente programável. **QQ:** baixo Vos além dos trilhos. **RR:** Vos degrada perto de V+. **SS:** populares; LMC7101 (único) é semelhante. **TT:** e-trim. **UU:** bomba de carga, 20ppm dist. **VV:** autocalibração de 0,3s ao ligar. **WW:** BiCMOS; LMV711 tem shdn. **XX:** bomba de carga, RRI. **YY:** 2º melhor helicóptero. **ZZ:** CMOS (entre vários, confira OPA170, 172, 192; também OPA2188).

Tabela 8.3c Op-ampsa de alta velocidade e baixo ruído

FOM enCin (“ÿ”=ÿHz)
Ruído (“ÿ”=ÿHz)
IBIAS 25ºC
Fornecer
Balançar para fornecer?
pacote
Custo qtd 25 ($US)
Papel # (V) (mA (pA/ÿ) IQ 1kHz 1 tin min 1kHz fc range p) (ÿA) (dB) (nV/ÿ) (Hz) Cin (pF) 0pF +5pF (pF•nV/ÿ) GBWt (MHz) (V/µs) Iout min (mA) ENTRA E SAI +– +–

HV bipolar VFB

LT1222 1 8-36 8 AD8021 1 0,1 100 3 130 2 2 6,0 21 10 500 250 - 25 - - - - • • - • • - 4,17 7,5 86 2,1 2300 2,1 1 2,1 13 1 490 420 • 60 - - - - - • • - • - 2,42

4,5-26 7 AD829 1 9-36 5 3,3 100 1,7 45 1,5 5 8,5 17 1 750r 150g - 25 - - - - - • • 8,20 - 4,82 1 200 100 - 60 - - - - • - - - • - 5,60 1,5 2,3 10 10 3500 470 - 80

THS4031 1,2 9-33 8,5 THS4021

1,2 9-33 7,8 3 85 1,6 390 1,2 2 3,2 11 1,5 570 2

3

MAX9632 1 4,6-40 3,9 0,03 120 0,94 16 3,8 AD797B 1 10-36 8,2 0,25 114 1 55 30 - 53 - - • • - - • - • - 5,76 2 20 18 23 1 110 20 - 60 - - - - • • - •

0,9 30 ADA4898 1,2 9-36 8,1 LME49990 1 10-38 9 LT1028A 1 HV24 1 - 8,50 - - • - • - 5,37

THS3 36 6,5 THS3091 1 10-33 9,5 THS3001 1 2 9-33 6,2 4V 3,2 E1 V/4B 1 65 55 - 40 - - - -

0,03 110 0,88 10 2,8 8-44 7,4 0,03 1 110 22 • 50 - - - - - - - - • - 4.16 UMA

108 0,85v 3,5v 1 5 4,3 8,5 1 75 15 - 25 - - - - • • - • • - 6,48 B

60 2,5 215 1 - 2,0 10 0,4 1,0 14 1 525 1500 - 425 - - - - - - • - • - 5,24 2 4,0 14 2 330 2000 - 60 - - - - • • - • • - C

1 5,23 62 2,0 800 14 1,2 2,4 12 1 950 7300 - 175 - - - - - - • - • - 5,93 65 1,6 250 13 7,5 12

0,2 20 1 1750 6500 - 85 - - - - - - - - • - 6,93 D

4 2

THS4631 1 10-33 11,5 50pA 95 7 340 20fA 3,9 27 62 1 210 900 - 80 - - - - 5-24 6,4 5 6,6 1650 0,6 2,5 17 50 8 540 640 - 25 - - - - - - - - • - 8,81 - - - - - •

AD8067 1 0,5 4,63 ADA4637 1 10-36 7

1pA 100 6,1 80 1,6fA 8 49 79 5 80 170 • 45 - - - - • - - - - • - 10,12 E

LV bipolar VFB

AD8045 1 3-12,6 15 LT6202 2 83 3 3800 3 83 2,8 940 1,3 3,9 19 1 800 1350 • 55 - - - - - - - - • - 2,59 1,8 5,0 19 1 95 22 - 30 • • • • - - - - - • • 1,90 F

1,2,4 3-12,6 3,5 1 1,1 0,7 57 2,0 4200 2 4,7 1,5 3,0 13 1 200 550 - 50 - - - - - - - - • - 4,39 - 3,20 95 1,1 500 1 6,5 7,2 13 1 100 70 - -

LMH6628 2 5-13 9 LMH6622 2 80 1,6 1000 1,5 30 - - • • - - - - • • 2,73 95 1,1 500 1 6,5 7,2 13 10 1450 320 - 30 - - • • - - - - • • 2,72 1 120

4-13 4,3 LT6230 1,2,4 3-12,6 3,2 1 1,6 10 1 180 85 - 100 - - - - - - - - 50 - 90 -

LT6230-10 1 3-12,6 3,2 5 • • • - - • - • • 1,37 11 92 1,0 50 2,8 11 11,0 16 1 150 120 - 50 - n • • - - • - • • 6,45 11 92 1,0 50 2,8 11 11,0 16 10 230 G

5 500 - 50 - n • • - - • - • -

ISL28190 1,2 2,5-5,5 8,5 10 78 1,0 20 2,1 ADA4897 1,2 2,7-11 3

ADA4895 2 2,7-11 3

LT6200 1,2 3-12,6 16,5 10 75 0,95 4500 2,2 4 3,8 9 1 150 50 • 60 • • • - - - • - • • 2,99 LT6200-10 1 3-12,6 16,5 10 75 0,95 4500 2,2 60 0 3,8 450 • 60 • • • - - - • - • • H

2,99 - 3,69 - - - - • • 3,98 2,7-6 15,5 15 82 0,69 700 2,6 1,7 1,2 4,6 4 3200 530 - 200 - • - - - u • - • - 4,00 2,7-6 15,5 15 82 0,69 700 2,6 1,7 1,2 4,6 10 9000 1600 - 200 - H

AD8099 1 5-12,6 15 LMH6624 98 0,95 2200 5,2 2 1,9 6,7 2x 1200 1350 - 100 - - - - - • • - • - - - u •

1,2 5-13 12 LMH6629 1 LMH6629 6 13 90 0,9 2200 2,3 2 1,8 6,3 10 1900 400 • 100 - - - - - • • 4,00 k

1

LV bipolar CFB

AD8007 1,2 5-12 9 OPA694 1,2 4 56 2,7 1300 2 - - - - • s 3,05 60 1 2,1 600 26 1,8 205 100 - 700 - 1700 - 80 - - - - - - - - - • • 3,38 50 2,0 15 2 1,5 3,0 13 1 880

7-13 5,8 AD8001 1,2 6-12,6 5 5 1200 - 85 - - - - - - - • • • 2,72 55 2,0 3 0,8 1,6 12 2 1200 1400 - 60 - - - - - - • - • • 6,34 50 50 1,9 270 46 2,6 4,9 14 1

MAX4224 1 6-12 6 5 3500 5500 - 175 - - - - - - - - - • • 3.19

2

AD8009 1 5-12.6 14

LMH6702 1 9-13,5 12,5 OPA695 8 47 1,83 4600 18,5 1,6 2,9 12 1 1400 3100 - 50 - - - - - - - - - • • 3,11 56 1,8 2100 18 1,2 2,2 11 1 5600 4300 - 90 - - - - -

1,2,4 5-13 13 OPA691 1,2,3 5-13 5 - • - • • 3,42 2 3,4 12 1050 2100 - 140 - - - -

5,1 AD8000 1,3 4,5-13 13,5 LV 15 52 1,7 750 3,1 - - • - • • 2,41

JFET 5 52 1,6 3100 3,4 3,6 5,8 14 1 1300 4100 - 100 - - - - - - • - • - 3,58

OPA656 1 9-13 14 2pA 80 7 1200 1,3fA 2,8 20 55 1 230 290 • 50 - - - - - - - - • • 5,59 9-13 14 2pA 80 4,8 670 1,3fA 4,5 22 46 7 1600 700 • 50 - - - - - - - - •

OPA657 1 • 10,01 ADA4817 1,2 5-10,6 19 2pA 77 4 7000 2,5fA 1,5 6,0 26 1 410 870 - 70 - • - - - - - - - - 4,93

LV CMOS

LTC6268 1,2 3-5,5 16 3fA 63 5,5 50 - LMP7717 1,2 1,8-6 1,2 50fA 85 6,2 330 10fA 15 93 124 10 88 28 - 36 - • • • - - - - • • 2,18 w 150k 5,5fA 0,45w 1,8w 22 1 500 400 • • • • - • • 7,50 -

OPA380 1,2 2,7 -7 7,5 3pA 100 5,8 600k 10fA 3 17 46 1 90 80 - 75 - • - • - - - - • - 5,39 L OPA365 1,2 2,2-5,5 4,6 0,2pA 100 4,5 8000 4fA 6 27 50 1 35 25 - 50 • • • • -

M

- - - • • 1,75

Notas: (a) listados dentro de cada categoria diminuindo en. (c) calculado. (d) veja gráficos no Capítulo 5. (g) para G=10 ou G=20. (J) a 1kHz ou 10kHz (acima do canto 1/f), exceto 10Hz para amplificadores operacionais com zero automático. (n) dentro de 0,1 V de V–. (p) por amplificador. (r) sem Ccomp. (s) SC70 disponível. (t) típico. (u) um pino define Gmin. (v) o LT1028 tem um pico de ruído desagradável de ~10dB de 200kHz a 600kHz. (w) a 100 kHz. (x) G=1 com ext comp.

Comentários: **A:** distorção de 0,1 ppm. **B:** en mais baixo ; LTC sugere LT6200, LT6230. **C:** Colina favorita. **D:** usar pacote DDA; O favorito de Larkin. **E:** OPA637 para DIP. **F:** pinagem SOIC melhorada. **G:** LT6230-10 decomp. **H:** 1% dist a 50MHz. **K:** 0,03% dist a 10MHz. **L:** auto-zero. **M:** cruzamento zero.

8.9.1 Guia para a Tabela 8.3: escolhendo baixo ruído amplificadores operacionais

A Tabela 8.3 lista uma rica seleção de amplificadores operacionais adequados para aplicações de baixo ruído. Aqui nós fornecemos um guia para as entradas da tabela e conselhos para selecionar amplificadores operacionais. Como os leitores interessados principalmente em projeto de baixo ruído com amplificadores operacionais (em vez de transistores discretos) podem ter pulado as discussões quantitativas anteriores sobre ruído em conexão com BJTs e JFETs, reapresentamos abaixo muitas das ideias básicas, com referências às seções e figuras relevantes. Os leitores cuja rota aqui (para o que pode ser chamado de "a terra prometida dos amplificadores operacionais") os levou através dos detalhes do design discreto ("o vale da complexidade") acharão grande parte dessa discussão uma revisão bem-vinda.

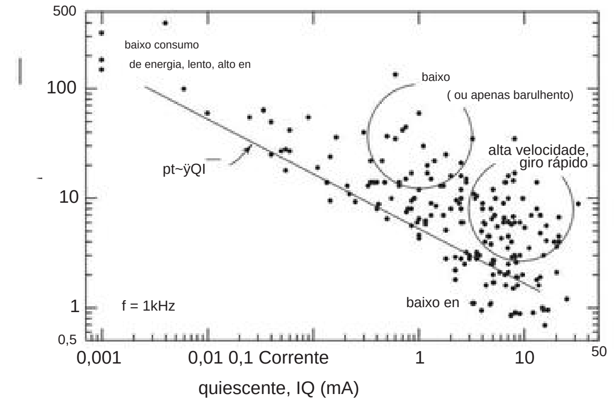


Figura 8.57. Para minimizar a tensão de ruído de entrada, você deve executar os BJTs e os JFETs em correntes quiescentes relativamente altas. Essa tendência se estende a amplificadores operacionais integrados, como visto aqui em um gráfico de dispersão de en versus QI para a maioria dos amplificadores operacionais na Tabela 8.3 e nas Figuras 8.60 e 8.61.

A. Classificação da tabela

Na Tabela 8.3a, listamos os amplificadores operacionais de entrada BJT aumentando a corrente de alimentação IQ, que se correlaciona aproximadamente com a diminuição da tensão de ruído de entrada en. Uma vez que o último cai abaixo de 5 nV/ ÿ Hz, as entradas são ordenadas aproximadamente diminuindo en. Para amplificadores operacionais de entrada JFET (Tabela 8.3b), as entradas são listadas aumentando a corrente de polarização de entrada (até 1 pA) e diminuindo en. Os amplificadores operacionais CMOS são classificados pelo aumento do QI, que se correlaciona aproximadamente com a diminuição do en. A Tabela 8.3c é dedicada a amplificadores operacionais de alta velocidade de todos os tipos, listados dentro de cada categoria diminuindo en.

B. Tensão de alimentação, alta tensão, baixa tensão A tabela apresenta uma boa coleção de amplificadores operacionais de baixo ruído, com vários amplificadores operacionais populares representativos (alguns dos quais podem ser chamados de "ruidosos") para comparação. Os últimos têm outras características atraentes, como baixo custo, alta taxa de variação, baixa corrente de polarização de entrada, baixa capacitância, baixa potência, vários fabricantes e assim por diante. A tabela separa amplificadores operacionais de "alta tensão", capazes de trabalhar com fontes de ±15 V (ou alimentação total de até 36–44 V), de amplificadores operacionais limitados a baixas tensões, como 5–20 V máx.
mãe.

Observe que muitos dos amplificadores operacionais de alta tensão (especialmente os tipos bipolares) também podem funcionar em tensões de alimentação muito baixas, tão baixas quanto 2,2 V a 3 V no total. Assim, por exemplo, um amplificador operacional de "alta tensão" de precisão como o LT1677, que funciona bem com alimentação total de 3 V e que permite que as entradas e saídas mudem para qualquer um dos trilhos,73 também é claramente um excelente amplificador de baixo custo. parte de tensão. Os amplificadores operacionais cujas entradas e saídas podem oscilar para o trilho negativo se qualificam para serem chamados de "single fornecer" amplificadores operacionais, independentemente de você executá-los a partir de uma única fonte positiva ou de fontes duplas.

C. Corrente de alimentação IQ e ruído de tensão Alta corrente de alimentação também é uma consideração importante para tensão de baixo ruído, en. A Tabela 8.3 inclui amplificadores operacionais com QI muito baixo, embora esses amplificadores operacionais tenham ruído muito maior. Por exemplo, o ISL28194 usa apenas 330 nA, mas tem uma alta densidade de ruído de 265 nV/ÿ Hz. Em comparação, o silencioso LT1028 tem 0,85 nV/ ÿ Hz de densidade de ruído, mas requer 7,4 mA, ou aproximadamente 20.000 vezes mais corrente operacional.74

A Figura 8.57 é um gráfico de dispersão de en versus IQ para várias centenas de amplificadores operacionais, mostrando o ruído de tensão e a compensação da corrente de alimentação. Você pode ver como o ruído cai aproximadamente na raiz quadrada da corrente operacional. Qualquer parte que esteja dentro de um fator de dois da melhor parte disponível em uma determinada corrente de alimentação pode ser considerada um amplificador operacional de baixo ruído. A correlação com a corrente de alimentação está longe de ser perfeita. Isso ocorre porque os projetistas de amplificadores operacionais estão equilibrando compensações entre muitos parâmetros de desempenho, por exemplo, alta taxa de variação, baixa corrente de entrada, tamanho pequeno da matriz (para tamanho de pacote pequeno e baixo custo) e assim por diante, às custas de baixa tensão de ruído.

73 A tabela tem colunas rotuladas como "swing to supply" para entradas e saídas para ambos os trilhos de alimentação.

74 Lembre-se de que o ruído de tiro do coletor [ou dreno] através de re [ou *1/ gm]* em BJTs [ou JFETs] pode ser descrito de forma equivalente como ruído resistivo de Johnson criado por um resistor de valor $\frac{1}{2} r_e$ [ou $\frac{2}{3}\frac{1}{g_m}$], de acordo com as equações 8.20 ou 8.34. Como as correntes de coletor [ou dreno] mais altas produzem re [ou gm mais alto], altas correntes de operação são necessárias para diminuir a tensão de ruído do transistor de entrada de um amplificador operacional.

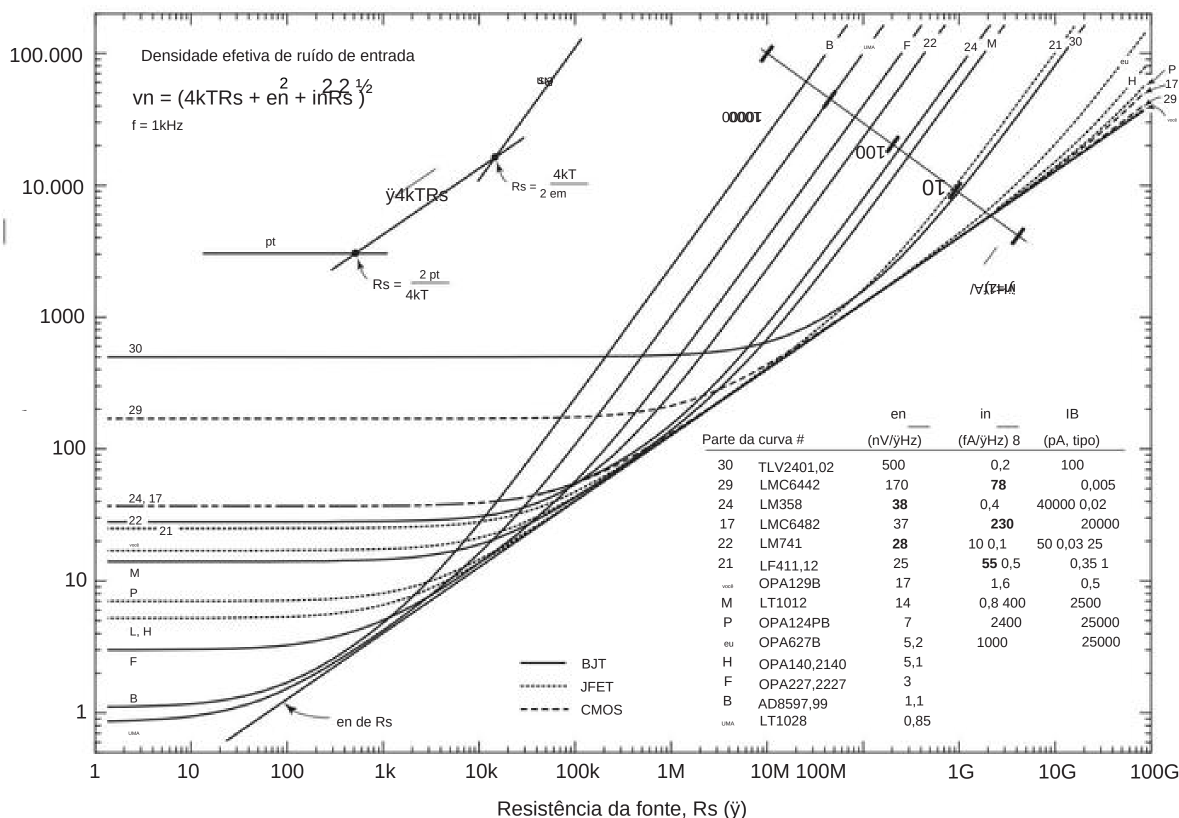


Figura 8.58. Ruído total (resistor de fonte mais amplificador, a 1 kHz) versus resistência de fonte para uma seleção de amplificadores operacionais de baixo ruído (rótulos de letras); incluímos alguns amplificadores operacionais "comuns" (rótulos numéricos) para comparação. Os rótulos das curvas correspondem aos da Tabela 8.3 e das Figuras 8.60 e 8.61. As curvas são geradas a partir dos valores de folha de dados de en e in, exceto para valores medidos (mostrado em negrito) para os parâmetros de ruído do clássico LM741 e LM358 (não especificado) e o LT1012 (valor de folha de dados com erro); o ruído atual do LMC6482 é uma estimativa, pois o valor da folha de dados não pode estar correto.

D. Densidade de ruído de tensão, densidade de ruído de corrente: en, dentro

Assim como com transistores discretos, o desempenho do ruído do amplificador operacional é especificado pelo ruído de *tensão* , en, e ruído de *corrente* , in, e sua variação com a frequência; ver §§8.3.1 e 8.3.2. A Figura 8.58 e sua fórmula incorporada mostram como combinar en e in com o ruído de Johnson da resistência efetiva da fonte do seu circuito, Rs, para encontrar uma densidade de ruído de entrada total efetiva para o seu circuito. Simplificando, existem três fontes de ruído: o ruído da tensão de entrada do amplificador operacional, o ruído atual do amplificador operacional fluindo pela impedância da fonte do sinal e o ruído Johnson na impedância da fonte.

Eles não são correlacionados, portanto, para encontrar a densidade total de tensão de ruído, você adiciona seus quadrados (unidades de V2/Hz) e obtém a raiz quadrada. Quatorze amplificadores operacionais representativos são mostrados como exemplos na Figura 8.58, com os tipos BJT melhores em baixas resistências de fonte e os tipos JFET e CMOS melhores em altas resistências. A Tabela 8.3 tem especificações de folha de dados para en e in em 1 kHz, a partir da qual você pode determinar que tipo de traço uma peça candidata fará em tal plotagem.

E. Gráficos de ruído, en e in

Uma coisa é olhar para resmas de en e in valores em folhas de dados, ou escanear esses valores conforme organizados nas três páginas da Tabela 8.3; mas outra coisa é comparar gráficos de densidade de ruído, que incluem pontos de interrupção 1/ *f* e outras informações exclusivas. As Figuras 8.60 e 8.61 mostram gráficos da planilha de dados e em versus frequência para 60 dos amplificadores operacionais na Tabela 8.3, onde números e letras identificam os traços correspondentes nos gráficos.75 Observe como os gráficos de ruído de tensão variam em um fator de 1000:1 (embora a maioria dos amplificadores operacionais

75 As Figuras 8.110 e 8.111 mostram os espectros de ruído *medidos* para uma seleção desses amplificadores operacionais.

Machine Translated by Google

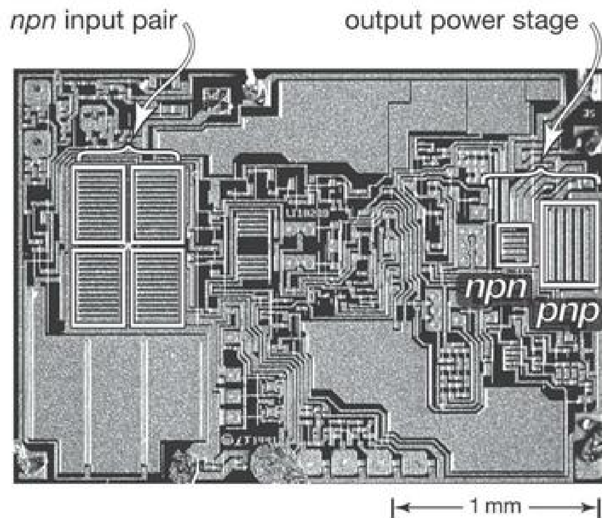


Figura 8.59. O amplificador operacional LT1028, lançado em 1981, continua sendo o vencedor de baixo ruído, apesar das repetidas tentativas de seu título. O estágio de entrada funciona em alta corrente (total de 1,8 mA) para baixo en; e os grandes transistores de entrada mantêm a densidade de corrente baixa, para atingir uma frequência de canto 1/ *f* impressionantemente baixa de 3,5 Hz.

estão na faixa de 1 a 100 nV/ÿ Hz), enquanto os gráficos de ruído atuais variam em um fator de quase 106:1. O último reflete a grande variedade de correntes de polarização de entrada CC, de femtoamps (para algumas partes CMOS) a dezenas de microamps (para peças BJT de alta velocidade), uma proporção de 1010:1. A corrente de *ruído* vai apenas como a raiz quadrada da corrente *CC ,* mas, ei, a raiz quadrada de 1010 ainda é bem grande.

Um op-amp com ruído de tensão muito baixo pt, como o traço A ou 3 para o exemplar LT1028 (cujo retrato apresentamos na Figura 8.59) nos painéis superiores, geralmente corresponde a um alto ruído de corrente, como visto nos painéis inferiores painéis. Este é um problema comum em comparação , que você deve levar em consideração ao selecionar peças da Tabela 8.3 e os gráficos de ruído correspondentes. Como incentivo para aprender sobre projeto de baixo ruído com transistores discretos, observe os traços 1 e 2 da Figura 8.61, a tensão de ruído de um BJT e JFET de primeira classe. Com peças como essas, você pode obter uma voltagem de ruído mais baixa do que com qualquer amplificador operacional, criando um "amp-op híbrido de baixo ruído" no qual um front-end discreto (para en mais baixo) combina com um segundo estágio do amplificador operacional (para fornecem ganho e o estágio de saída). Ilustramos isso nas Figuras 8.66 e 8.67 em §8.9.5. Para uma compreensão completa do design discreto de baixo ruído, consulte §§8.5 e 8.6.

Em geral, os amplificadores operacionais BJT têm baixas frequências de canto de tensão de ruído de 1/ *f ,* normalmente na faixa de 1 a 30 Hz; mas cuidado com suas frequências de canto *de corrente de ruído* geralmente muito mais altas, 30 Hz–1 kHz ou mais. Isso pode seriamente Projetos perfeitos com resistores de realimentação de alto valor ou impedâncias de fonte de sinal altas.

Se você estiver considerando apenas amplificadores operacionais com a menor tensão de ruído (menos que, digamos, 1,1 nV/ ÿ Hz), nenhum outro possui um canto de ruído de 1/ *f* tão baixo quanto o LT1028 e o LT1128, a 3,5 Hz. Essas peças impressionantes também têm uma corrente de ruído mais baixa do que as outras concorrentes. No entanto, esteja avisado de que esses amplificadores operacionais têm um pico de ruído desagradável de 15 dB (mostrado com franqueza admirável na folha de dados) começando em 150 kHz e atingindo o pico em 400 kHz antes de desaparecer acima de 600 kHz. Outros amplificadores operacionais não têm esse problema, mas têm frequências de canto muito mais altas (fc), tão altas quanto 5 kHz para alguns dos amplificadores operacionais de alta velocidade.

F. IB e in para amplificadores operacionais BJT; Cancelamento de polarização IB A Tabela 8.3 tem valores de corrente de polarização de entrada típicos e máximos, ou IB . amplificador operacional CMOS; portanto, esperamos que a especificação do ruído esteja intimamente relacionada à corrente de polarização pela equação ruído-shot in=ÿ2qIB. Mas muitos amplificadores operacionais BJT usam um esquema de cancelamento de polarização de entrada (consulte *§4x.10),* para reduzir bastante a corrente de polarização CC, IB. No entanto, o cancelamento da corrente CC neste esquema não reduz o ruído do amplificador operacional (na verdade, ele normalmente o aumenta em ÿ 2).

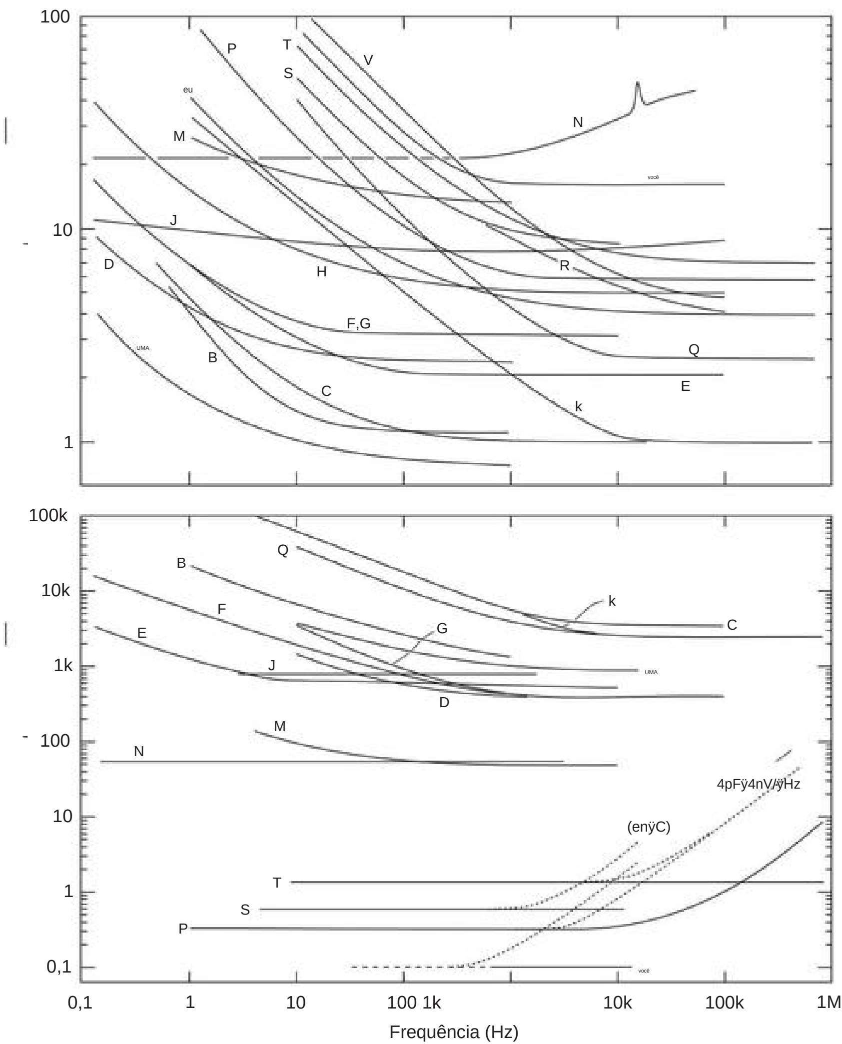
Esses amplificadores operacionais são identificados na coluna "cancelamento de polarização" da Tabela 8.3a e normalmente têm 10× a 40× mais ruído do que você esperaria do ruído de tiro com base na corrente de polarização especificada IB. em um valor Rn mais baixo[77] , Este aumento no ruído não afetará o ruído de corrente mais alto e os valores reduzidos do resistor de feedback como um problema.

Cancelamento de polarização próximo aos trilhos Tenha cuidado ao confiar nas correntes de polarização listadas com amplificadores operacionais de entrada trilho a trilho com cancelamento de polarização, porque a corrente de polarização de entrada aumenta drasticamente à medida que as entradas se aproximam dos trilhos de alimentação (consulte §5.7.2). Folhas de dados mostram isso em forma de gráfico, mas geralmente não revelam esse comportamento indesejável nos dados de desempenho listados.

G. Amplificadores operacionais de feedback de corrente Ao contrário dos amplificadores operacionais de feedback de tensão (VFB), os amplificadores operacionais de feedback de corrente (CFB) (usados em aplicações de banda larga) geralmente têm correntes de polarização CC muito mais altas e ruído de corrente em sua "entrada-" do que em seu correspondente

76 Para amplificadores operacionais BJT (Tabela 8.3a), os valores de IB estão em nanoampères, enquanto que para amplificadores operacionais de entrada JFET (Tabela 8.3b) as unidades são picoampères.

77 Em alguns casos, os fabricantes distorceram o ruído interno ; para aqueles, a tabela fornece um valor medido, indicado em itálico.



	Alta voltagem	p, t QI (mA)	GBWt (MHz)
	bipolar (BJT) a		
J	OPA188z , 2188z	0,4	2
E	OPA209, 2209	2,2	18
F	OPA227, 2227	3,7	8
D	LT1007	2.6	7
M	LT1012	0,4	0,7
UMA	LT1028	7.4	75
G	NE5534A	4	10
Q	AD8021	7	1000
B	AD8597, 99	5	10
	baixa voltagem		
k	AD8099	15	4000
C	ISL28190, 290	8.5	100
	JFET		
	alta tensão		
P	OPA124	2,5	2
você	OPA129	1,2	1
H	OPA140, 2140	1.8	11
eu	OPA627	7	16
	baixa voltagem		
T	OPA656	14	230
R	ADA4817	19	400
	CMOS		
	voltagem média		
S	TLC2272	1.2	2.2
	baixa voltagem		
V	OPA365x	4.6	50
N	AD8628z , 29z	0,8	2.2

(a) todos possuem cancelamento de bias, exceto os tipos G e Q. (p) por canal. (t) típico. (x) cruzamento zero. (z) desvio zero.

Figura 8.60. Ruído de tensão e corrente versus frequência para uma seleção de amplificadores operacionais de "baixo ruído" apresentados nas Tabelas 8.3a–c nas páginas 522–524. Todos são adaptados de diagramas de folha de dados, com exceção de medidos em para amplificadores operacionais G e J. Os rótulos estão em ordem crescente em 10 Hz. Consulte as Figuras 8.110 e 8.111 para espectros de ruído medidos de amplificadores operacionais selecionados.

"+entrada". Para amplificadores operacionais CFB, a Tabela 8.3c fornece o valor de ruído atual para a entrada com a menor corrente e ruído A diferença pode ser tão grande quanto um fator de dez. Como sempre, estude o datasheet, com *atenção!*

H. Resistência ao ruído Rn O parâmetro de resistência ao ruído Rnÿen/in tem sua própria coluna. Este é o valor da resistência da fonte que corresponde à mínima figura de ruído possível do amplificador; veja por exemplo §8.5.1 e Figura 8.31. Mas sua utilidade real é permitir que você veja rapidamente os valores máximos do resistor de feedback que você pode usar: a impedância Rs vista pelo amplificador operacional em suas entradas deve ser 5 × a 30 × menor que a do amplificador operacional

Valor Rn se você deseja garantir que en é a fonte de ruído dominante em seu circuito; veja a Figura 8.58. A ideia aqui é que você não pode fazer nada sobre o valor en com o qual está preso, mas pode diminuir os valores do resistor de feedback para reduzir o efeito da entrada do amplificador operacional . Mas não se esqueça de que você tem para manter a impedância *da fonte do sinal* pequena em comparação com Rn também. (Além disso, além da corrente de *ruído ,* você pode ter que se preocupar com os efeitos da *corrente* de polarização CC que flui através da fonte do sinal, que pode ser um sensor de resistência CC relativamente alta). desista do seu amplificador operacional low-en favorito e selecione um com entrada mais baixa , mesmo que tenha en mais alto.

Não há valores de Rn listados para JFET e CMOS

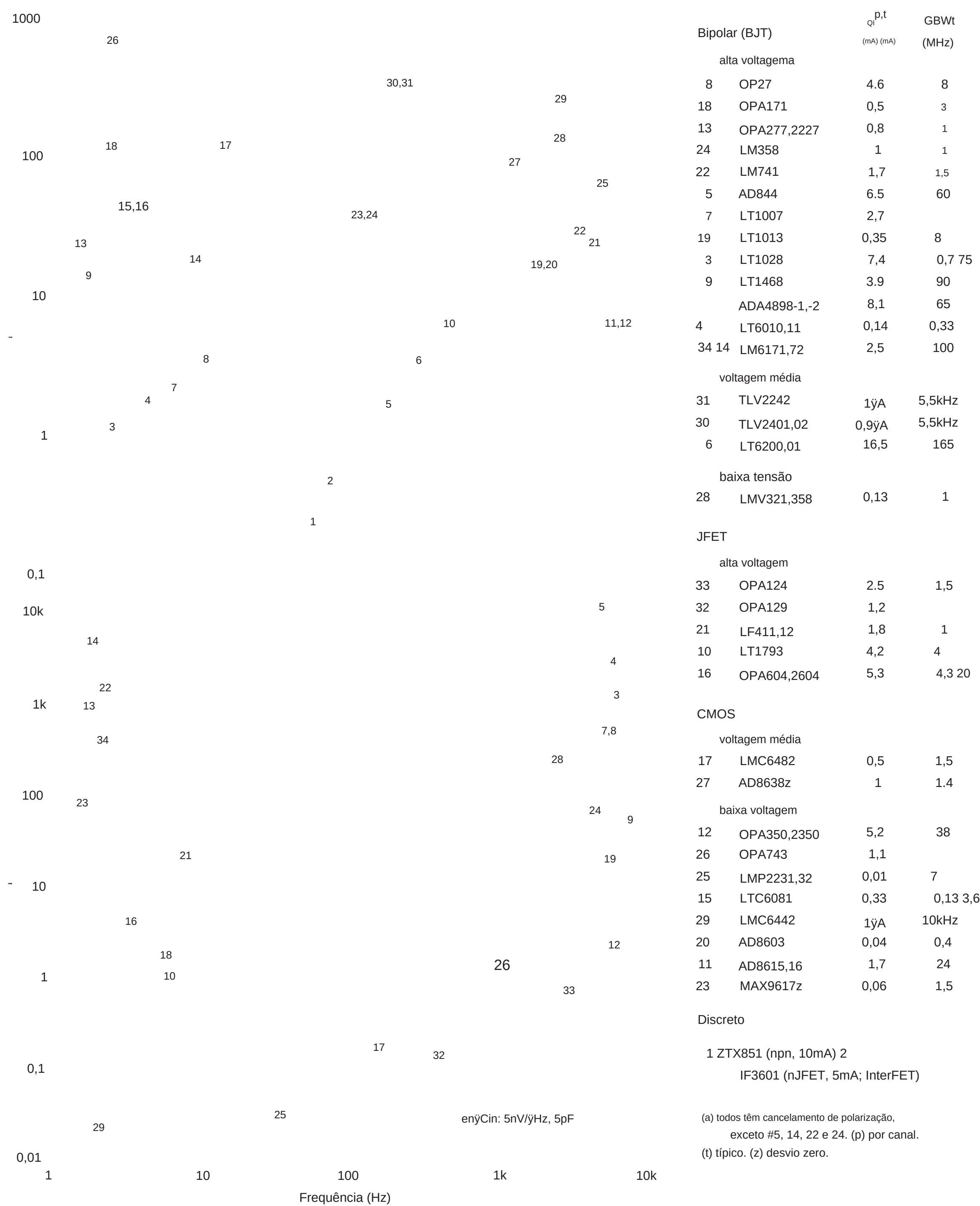


Figura 8.61. Ruído de tensão e corrente versus frequência, para uma seleção de amplificadores operacionais “populares” apresentados na Tabela 8.3 nas páginas 522–524; um JFET e BJT de baixo ruído são incluídos para comparação. Todos são adaptados de gráficos de folha de dados, com exceção do en medido para amplificadores operacionais #22 e #24 e BJT #1, e medido para o amplificador operacional #23. Os rótulos estão em ordem crescente em 10 Hz.

amplificadores operacionais na Tabela 8.3. Isso porque in é essencialmente o ruído de tiro da corrente de polarização de entrada, um parâmetro mal especificado: você vê valores típicos de um picoamp ou menos, mas cobertos com valores máximos mil vezes maiores. E, claro, essas são correntes de fuga, que aumentam exponencialmente com a temperatura. Mas não se preocupe – as correntes de entrada típicas de temperatura ambiente são suficientemente baixas para que os valores de Rn correspondentes sejam geralmente de gi gaohm ou maiores, como visto claramente na Figura 8.58.

I. IB e entrada para amplificadores operacionais JFET e CMOS A corrente de polarização de entrada, IB, tem valores típicos e máximos. Normalmente, o ruído interno de IB é calculado da maneira mais otimista, a partir do valor *típico* de IB. Para amplificadores operacionais BJT, o IB máximo geralmente não é mais do que 2 × a 3 × seu valor típico. Mas a situação é bem diferente para amplificadores operacionais JFET e CMOS, onde as relações IB máximas para típicas são muito maiores, por exemplo, 60× para o TLC4501A ou 800× para o LMC6442A.78 Isso é especialmente verdadeiro para equipamentos de baixo custo peças com especificações IB impressionantemente baixas . *Um cuidado:* cuidado, a corrente de entrada pode ser fortemente afetada pela tensão de modo comum, e a especificação listada é geralmente com Vin no meio da alimentação.

Outro problema: os valores de IB listados na Tabela 8.3 são para 25°C otimistas . Veja §5.10.7 e Figura 5.38 para o efeito drástico de temperaturas elevadas em op-amps JFET e CMOS (causadas tanto pelo ambiente quanto pelo aquecimento interno, bem como pelo auto-aquecimento do op-amp, veja abaixo). Devido a essas incertezas na estimativa da corrente de polarização, você não pode dizer com precisão qual será a corrente de ruído de entrada para amplificadores operacionais JFET ou CMOS. Você pode dizer, no entanto, que (exceto em altas temperaturas) será um pouco menor que a dos amplificadores operacionais de entrada BJT, conforme revelado nos gráficos inferiores das Figuras 8.60 e 8.61.

J. IB e temperatura de junção Como apontamos em §5.7.2 (e com mais detalhes em *§4x.10),* os amplificadores operacionais BJT com cancelamento de corrente de polarização são muito eficazes em altas temperaturas (consulte a Figura 5.6) e sob algumas condições, eles podem oferecer o menor desempenho . Isso é especialmente verdadeiro para amplificadores operacionais de baixa corrente de alimentação, cujas correntes de coletor de estágio de entrada são uma fração de seu já baixo QI. Por exemplo, o LT6010A ainda desfruta de uma corrente de polarização típica abaixo de 50 pA a 100ÿC (veja o gráfico do datasheet), bem abaixo dos 1200 pA sofridos pelo OPA134

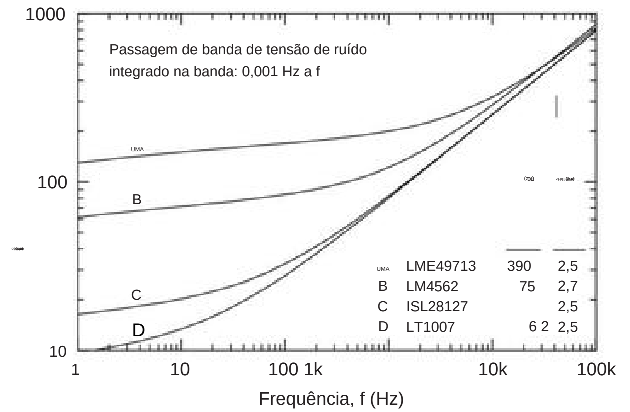


Figura 8.62. Um valor desejavelmente baixo de en na frequência usual de 1 kHz listada nas folhas de dados não conta toda a história. Um amplificador operacional com alta frequência de canto de 1/ *f* fc terá maior tensão integrada de ruído dentro da banda, como visto nesses quatro amplificadores operacionais de valores en de 1 kHz comparáveis. Observe que o efeito se estende muito acima da frequência de canto 1/ *f* .

CMOS op-amp, que parecia superior a 25ÿC. No entanto, mesmo neste caso, a corrente de *ruído* do amplificador operacional JFET quente ainda vence o amplificador operacional BJT quente, por um fator de cerca de 5. Isso ocorre porque a baixa corrente de polarização do BJT é o resultado de um excelente cancelamento de polarização, que é bom quando você se preocupa com a corrente de entrada CC, mas que não reduz a corrente de *ruído* da corrente de polarização não cancelada muito maior.

Ao pensar em temperaturas elevadas, lembre-se de que as temperaturas na caixa e a bordo geralmente são significativamente mais altas do que no ambiente externo, especialmente se houver circuitos de energia envolvidos. Alguns amplificadores operacionais também experimentam autoaquecimento adicional significativo. Por exemplo, nosso amplificador operacional OPA627 JFET favorito dissipa 210 mW quando alimentado com fontes de ±15 V; no pacote SOIC-8, isso faz com que a temperatura da junção suba 34 °C acima do ambiente. Ao contrário de algumas outras peças, o OPA627 e o '637 são testados de forma realista, após um atraso de aquecimento. Isso é parcialmente responsável por seu custo mais alto.

K. Ruído 1/f e frequência de canto 1/f f As Figuras 8.60 e c 8.61 mostram o aumento do ruído em baixas frequências. Isso é chamado de ruído 1/ *f* , discutido em vários contextos de circuito, por exemplo, em §§5.10.6, 8.1.3, 8.3 e 8.13. A Tabela 8.3 inclui frequências de canto de ruído de tensão 1/ *f* fc, calculadas a partir dos parâmetros de ruído da folha de dados por meio da equação 8.60.
Cuidado com os amplificadores operacionais que podem ter baixo en atraente (conforme especificado no 1 kHz usual), mas que sofrem de altas frequências de canto 1/ *f* . Se a largura de banda do seu circuito for menor que ÿ10 fc , você deve considerar seus efeitos.

78 Para amplificadores operacionais com corrente de entrada muito baixa, você frequentemente verá uma especificação de IB máxima excessivamente conservadora (alta) , ditada pelo desejo do fabricante de testes automáticos rápidos e baratos. Somente peças de alto preço são tratadas para testes lentos e caros de baixa corrente.

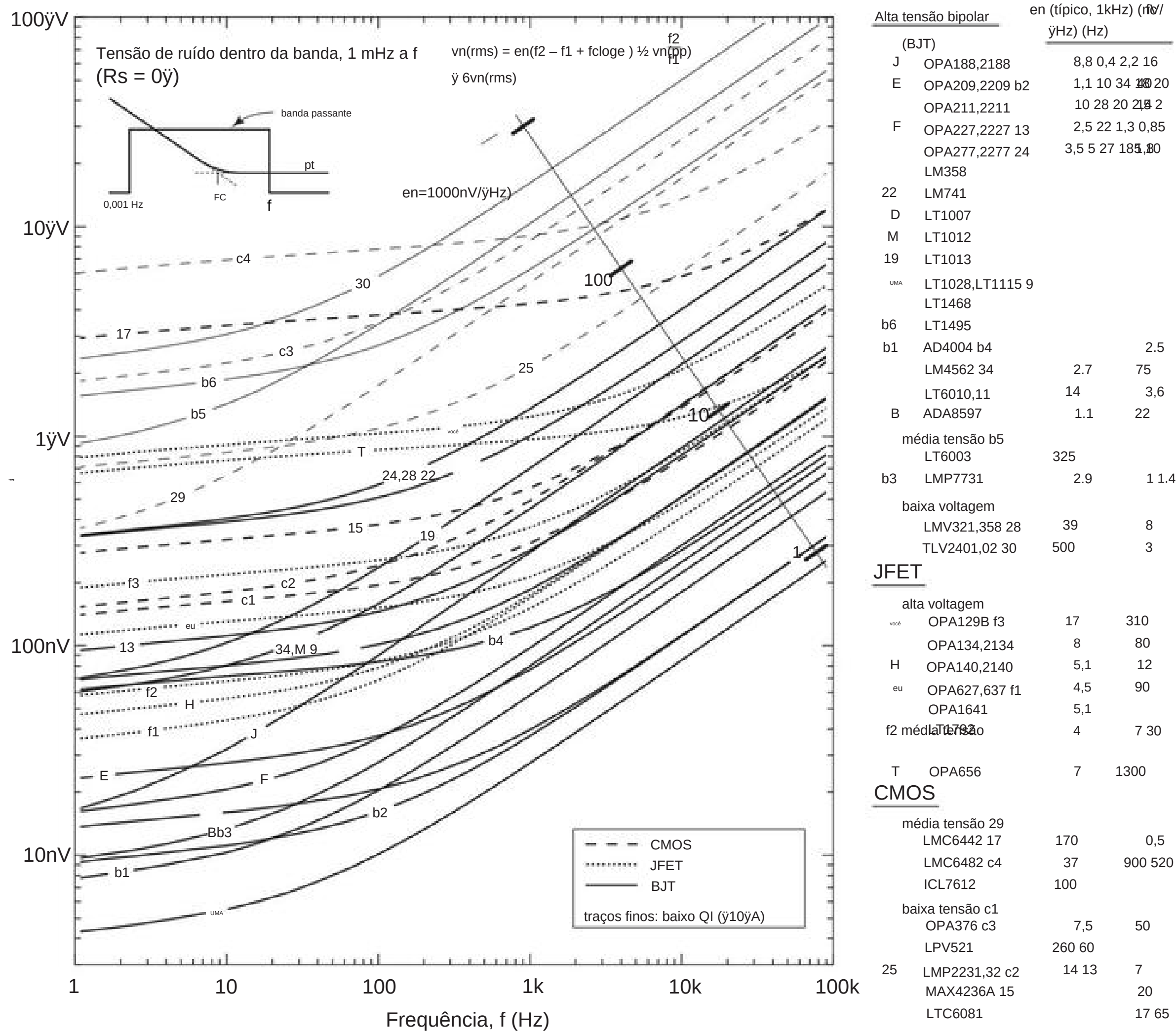


Figura 8.63. Tensão de ruído em banda integrada para uma seleção de amplificadores operacionais populares e de baixo ruído, com base em gráficos de folha de dados e valores tabulados de densidade de tensão de ruído. Os rótulos dos amplificadores operacionais correspondem aos das Figuras 8.60 e 8.61 e às listagens da Tabela 8.3. Veja também a Figura 5.54, que inclui amplificadores operacionais de zero automático e se estende até 0,001 Hz.

L. Ruído, "ruído integrado"

A Figura 8.62 mostra o *ruído integrado* para quatro amplificadores operacionais de baixo ruído, o resultado da adição (isto é, integração) da densidade do ruído (às vezes chamada de "ruído pontual") sobre a largura de banda operacional. Possui unidades de tensão (por exemplo, Vrms), em comparação com a densidade de ruído, que possui unidades de tensão divididas pela raiz quadrada da largura de banda (por exemplo, nV/ ÿ Hz). Às vezes, o ruído integrado é vagamente chamado de "tensão de ruído" ou apenas "ruído". Ruído integrado pode ser escrito como vn, ou Vn, mas nunca en. Na Figura 8.62, os quatro amplificadores operacionais têm especificações comparáveis em *1 kHz,* mas variam amplamente as frequências de canto 1/ *f* fc, variando de 2 a 400 Hz, produzindo efeitos dramáticos.

ruído integrado icamente diferente quando usado totalmente abaixo de 1 kHz. Na verdade, o fantasma do ruído de baixa frequência é visto à espreita até aproximadamente 10 kHz.

A Figura 8.63 plota o ruído integrado para três dúzias de amplificadores operacionais. Em geral, os amplificadores operacionais JFET são piores do que os amplificadores operacionais BJT em baixas frequências, e os amplificadores operacionais CMOS são ainda piores. As parcelas foram calculadas a partir dos valores de en e fc da tabela , conforme a eq'n 8.59. Em altas frequências, onde predomina o ruído branco, os gráficos simplificam para vn=en

Chopper e auto-zero op-amps (não mostrados na figura) não sofrem de ruído 1/ *f* , mas sofrem de ruído de tensão mais alta e ruído de corrente geralmente excessivo.

Ver Tabela 5.6 e Figura 5.54; o último ilustra como os amplificadores operacionais chopper são geralmente mais ruidosos do que os amplificadores operacionais BJT de baixo ruído acima de 1–10 Hz.

Ruído de tensão de pico a pico de 0,1 a 10 Hz A especificação Vn(pp) de ruído de tensão de pico a pico de 0,1 a 10 Hz na Tabela 8.3 é importante quando você está escolhendo amplificadores operacionais para aplicações de baixa frequência que são sensíveis para ruído de 1/ *f* . O fabricante geralmente determina essa especificação a partir de medições de osciloscópio de 10 segundos de uma saída filtrada (consulte §8.13 e Figura 8.64), mas também pode ser estimada a partir da equação 8.59 (que idealiza uma característica passa-banda de parede de tijolo). Vimos fabricantes usando pares *RC* unipolares, bipolares e filtros Butterworth de dois ou três polos. A comparação dos valores da folha de dados para algumas centenas de amplificadores operacionais mostra que a multiplicação por um fator de seis corresponde ao valor Vn(rms) da equação da parede de tijolos com o valor pico-pico filtrado da folha de dados. Usamos essa abordagem para verificar os valores da folha de dados ou para obter valores calculados onde o fabricante não tinha nenhum.

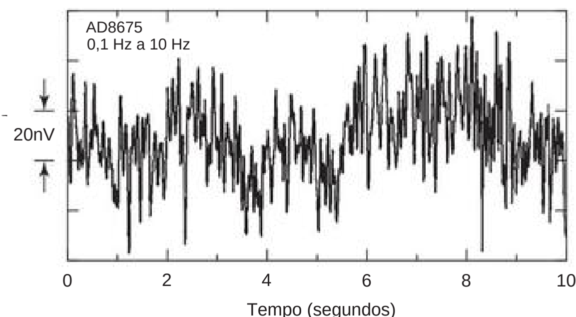


Figura 8.64. Folhas de dados às vezes fornecem instantâneos de tensão de ruído de baixa frequência, como este para o AD8675. O espectro de ruído correspondente é semelhante à curva 8 na Figura 8.61. (Adaptado com permissão de Analog Devices, Inc.)

N. Capacitância de entrada Cin A capacitância de entrada do amplificador operacional é um problema sério quando você está considerando o ruído *en·Cin* em amplificadores de transimpedância (TIAs); ver §8.11. Para alguns sensores de alta impedância, a capacitância de entrada atua como uma carga adicional de alta frequência e fornece uma maneira de o ruído de alta frequência nos trilhos da fonte de alimentação ser acoplado à entrada como corrente de ruído. Alguns amplificadores operacionais fornecem valores de capacitância de modo comum e diferencial; para estes tomamos o valor maior para a tabela (como sempre, sugerimos um estudo cuidadoso da folha de dados antes de embarcar em um projeto).

Muitas vezes, amplificadores operacionais com baixo en usam transistores de entrada de grande área, com capacitância correspondentemente maior, como pode ser visto no gráfico de dispersão en–vs.–Cin da Figura 8.65. Ignorando os amplificadores operacionais BJT e os amplificadores operacionais ruidosos, a tendência mostra uma penalidade de ruído crescente para baixa capacitância de entrada. Mas algumas peças são exceções e as consideramos bastante valiosas. Um excelente amplificador operacional JFET é o LT1793 com um Cin especificado de 1,5 pF; mesmo com seu en relativamente alto de 5,8 nV/ ÿ Hz, ele ainda desfruta da menor figura *en·Cin* de mérito, FOM=9 nV-pF.79

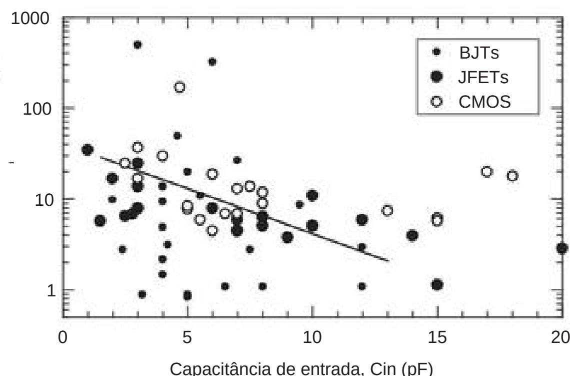


Figura 8.65. Op-amps com ruído de baixa tensão tendem a ter maior capacitância; isso é especialmente verdadeiro para amplificadores operacionais de entrada JFET de baixo ruído, com seus transistores de entrada de grande área.

Freqüentemente, temos um sensor de alta capacitância, ou algum cabo coaxial inserido, etc., portanto, além de um amplificador operacional *en·Cin* FOM (com Cext = 0), criamos ruído de corrente *en·Cin* efetivo adicional do externo capacitância shunt de, digamos, 25 pF. Agora, um valor baixo de en se torna mais importante, e o OPA827, OPA627 e LT1792 são os novos vencedores, com o LT1793 e o OPA365 permanecendo como contendores.

O AD743 com seu en de 2,9 nV/ ÿ Hz *poderia ser* o vencedor geral para Cext>25 pF, mas infelizmente entrou na terra do NRND ("Não recomendado para novos projetos"). Recomendamos que você os pegue se puder encontrá-los! Finalmente, para aplicações de alto Cext , considere projetos discretos (consulte §8.3 e Figura 8.66) que podem superar os melhores amplificadores operacionais de IC.

No entanto, amplificadores operacionais com transistores de entrada de baixa capacitância e geometria pequena sofrem com a necessária capacitância adicional de seus dispositivos de proteção de entrada. Os amplificadores operacionais de capacitância realmente baixa podem ser mais suscetíveis a danos estáticos durante o manuseio. Os transistores bipolares são menos susceptíveis a danos estáticos e tendem a ter uma capacitância muito menor do que os amplificadores operacionais JFET e CMOS de baixo ruído, mas seus altos valores de IB e in geralmente impedem seu uso em

79 Outras peças a serem consideradas são o OPA124, OPA121, AD8067 e OPA656, este último com fT de 230 MHz. Para amplificadores operacionais CMOS, considere o OPA365, com uma especificação de 0,2 pA IB (tipo).

circuitos de alta impedância. Uma exceção seria para amplificadores de impedância trans acima de, digamos, 1–10 MHz, mas para essas aplicações você precisará consultar a tabela de amplificadores operacionais de alta velocidade, Tabela 8.3c; essas partes não são avaliadas aqui.80 Se o Cin de um amplificador operacional bipolar não for declarado, muitas vezes você pode assumir que está na faixa de 2–5 pF.

8.9.2 Taxa de rejeição da fonte de alimentação

Além das fontes de ruído *dentro* do amplificador operacional, qualquer ruído (ou sinais de interferência) nos trilhos da fonte de alimentação será acoplado à saída, atenuado pela taxa de rejeição da fonte de alimentação (PSRR). Os amplificadores operacionais típicos têm um PSRR muito bom em baixas frequências (aproximadamente 1/GOL, portanto, 80–140 dB), mas o PSRR cai como 1/ *f* em frequências mais altas, permitindo um acoplamento substancial de ruído de alimentação. Freqüentemente, o PSRR de alta frequência é particularmente ruim em relação a um ou outro trilho de alimentação devido ao acoplamento pelo capacitor de compensação interno; ver *§4x.7.* Por exemplo, em frequências acima de 10 Hz, o PSRR de trilho positivo do LT1012 é 25 dB pior do que o PSRR de trilho negativo; e o PSRR de trilho negativo do micro power LT6003 cai para menos de 10 dB a 1 kHz! A filtragem *RC* simples para os estágios sensíveis (ou um multiplicador de capacitância, consulte §8.15.1) pode resolver amplamente esse problema. Certifique-se de ler a folha de dados, ou você pode nem saber que *tem* um problema.

8.9.3 Resumo: escolhendo um amplificador operacional de baixo ruído

Em resumo, ao escolher um amplificador operacional para uma aplicação de baixo ruído, comece restringindo sua atenção aos amplificadores operacionais que atendam às suas outras necessidades, como precisão, velocidade, dissipação de energia, tensão de alimentação, oscilação de entrada e saída e o gosto. Em seguida, escolha entre este subconjunto, com base em seus parâmetros de ruído. De um modo geral, *você deseja amplificadores operacionais com entrada baixa* para *impedâncias de sinal altas e amplificadores operacionais com entrada baixa* para impedâncias *de sinal baixas.* Como vimos, a densidade de tensão de ruído quadrática referente à entrada total é apenas

$$v_n^2 = 4kTR_{sig} + e_n^2 + (i_n R_{sig})^2 \quad V^2/Hz, \qquad (8.42)$$

onde o primeiro termo é devido ao ruído de Johnson e o último dois termos são devidos à tensão e corrente do ruído do amplificador operacional.81 Claramente, o ruído de Johnson estabelece um limite inferior para o ruído referido na entrada. Consulte a Figura 8.58 para uma visão gráfica fácil de vn (a 1 kHz) como uma função de Rsig para uma seleção de amplificadores operacionais de baixo ruído da Tabela 8.3;82 eles abrangem uma faixa representativa de en e in, a partir da qual você pode interpolar para amplificadores operacionais não mostrados explicitamente.

Este gráfico ilustra graficamente a compensação entre *tensão* de baixo ruído (onde as partes BJT – linhas sólidas – são rei) e *corrente* de baixo ruído (onde as partes CMOS – linhas tracejadas – são os vencedores). Um bom amplificador operacional JFET de baixo ruído como o OPA140 combina o melhor (quase) dos dois mundos. Mas observe que o ruído de tensão até mesmo de uma parte CMOS simples (e barulhenta) como o LMC6482 é irrelevante quando conduzido por uma resistência de fonte entre 1 Mÿ e 10 Gÿ, onde a contribuição do amplificador operacional para a densidade total de ruído é insignificante .

Consulte as Figuras 8.60 e 8.61 para gráficos de ruído espectral de amplificadores operacionais. Para aplicações de amplificadores de baixa frequência, veja a Figura 8.63, com seus gráficos de ruído rms total (integrado) vn versus largura de banda.

Dois cuidados: (a) Os gráficos de densidade de ruído total (vn versus Rs) da Figura 8.58 caracterizam o desempenho apenas em 1 kHz. Portanto, um amplificador operacional com um canto de ruído alto de 1/ *f* parecerá consideravelmente pior em, digamos, 10 Hz. Tomando o exemplo do LMC6482 (curva #17), seu en em 10 Hz é ÿ170 nV/ ÿ Hz, alinhando-o com a curva #29. (b) Da mesma forma, em *altas* frequências, você se preocupa com a capacitância de entrada (especialmente em combinação com as impedâncias de entrada da escala Gÿ) e com a corrente de ruído gerada pela tensão de ruído do amplificador operacional em combinação com a capacitância de entrada (inC =en Cin). Um amplificador operacional JFET silencioso como o OPA6ÿ27 (por causa de seu JFET de entrada de grande tem quase o triplo da capacitância de entrada área) de seu primo OPA656 um pouco mais barulhento (e mais barato).

8.9.4 Amplificadores de instrumentação de baixo ruído e amplificadores de vídeo

Além dos amplificadores operacionais de baixo ruído, existem alguns *amplificadores de instrumentação* IC de baixo ruído e pré- amplificadores de baixo ruído . Ao contrário dos amplificadores operacionais de uso geral, eles geralmente têm ganho de tensão fixo ou provisão para anexar um resistor de ajuste de ganho externo. Amplificadores de instrumentação, destinados a aplicações diferenciais de precisão, são discutidos extensivamente no Capítulo 5 (§5.13). Aqueles categorizados como “amplificadores de vídeo” geralmente têm larguras de banda de dezenas de megahertz, embora também possam ser usados para aplicações de baixa frequência. Exemplos são o amplificador de instrumentação TI/Burr–Brown INA103 e o amplificador TI/National

[80] A Tabela 8.3c apresenta uma nova figura de mérito *enCin* , útil para projetos TIA.

[81] Além disso, conforme descrito em §8.11.3, na configuração inversora, a *tensão* de ruído de entrada de um amplificador cria uma *corrente* de ruído através da capacitância de entrada, na ordem de ÿn=en Cin.

[82] Para comparação, incluímos nosso JFET LF411 jellybean, o legado LM741 e LM358 e alguns outros amplificadores operacionais populares que não se qualificam como “baixo ruído”; aqueles têm rótulos numéricos.

Amplificadores de vídeo da série LMH6517 ou Linear Technology LTC6400. Esses amplificadores normalmente têm en down no território de 1 nV/ÿ Hz, obtido (às custas de alta *corrente* de ruído de entrada, entrada) executando o transistor de entrada em uma corrente de coletor relativamente alta.

8.9.5 Amplificadores operacionais híbridos de baixo ruído

De volta ao §8.9.1E, sugerimos a possibilidade de um design híbrido de baixo ruído, no qual um front-end diferencial de baixo ruído BJT ou JFET poderia combinar com um amplificador operacional convencional para fornecer desempenho de ruído superior. Os circuitos simplificados nas Figuras 8.66 e 8.67 mostram como isso pode ser feito, com BJTs e JFETs, respectivamente. Esses amplificadores também são uma forma de amplificador composto, um assunto discutido em *§4x.5.*

Figura 8.66. Combinando o melhor dos dois mundos: um amplificador operacional híbrido de banda larga e baixo ruído BJT.

Figura 8.67. Outro op-amp híbrido, desta vez com front-end JFET cascode diferencial.

A. Problemas gerais de design

Faixa de modo comum Em ambos os casos, projetamos o circuito para fornecer uma faixa de sinal de entrada de modo comum substancial (pelo menos ±10 V), pretendendo que isso sirva como um substituto de amplificador operacional de baixo ruído de uso geral. Por esse motivo, as fontes de corrente no emissor (ou terminal de fonte) são polarizadas para conformidade dentro de 2,5 V de seus respectivos trilhos, e os resistores de carga do coletor *(R1* e R2) no projeto BJT são dimensionados para cair apenas 3 V (acomodando assim a oscilação de entrada negativa para pelo menos -12 V). O projeto JFET é igualmente tendenciosa; no entanto, um ou dois volts são perdidos nos transistores de código cas *(Q3* e Q4) e no VGS negativo do estágio de entrada, reduzindo a faixa de entrada de modo comum positivo para aproximadamente +10 V.[83]

Offset trim No circuito BJT usamos um dos transistores disponíveis mais silenciosos que encontramos em nossos testes (o Zetex ZTX951); não está disponível como um par correspondente, por isso fornecemos um ajuste de compensação R3, com uma faixa de ajuste relativamente grande (±6%). Para o circuito JFET, usamos o dual LSK389 “combinado”, mas seu deslocamento de pior caso de 20 mV man data uma faixa de compensação ainda maior, aqui ±17%. Ironicamente, é provável que a incompatibilidade VBE do par BJT discreto seja menor do que a do dual JFET correspondente; pelo menos essa tem sido a nossa experiência; veja, por exemplo, o histograma de VBEs medidos na Figura 8.44.

É importante perceber que um simples circuito offset-trim que desequilibra as resistências de carga, como mostrado aqui, compromete muito a taxa de rejeição em modo comum da entrada diferencial. Além disso, a carga desbalanceada compromete muito a atenuação do ruído na fonte de corrente (que seria de no mínimo ×50 com resistores de 1% de carga). Um método melhor envolve equilibrar as correntes vistas nos resistores de carga do coletor (ou dreno); veja, por exemplo, a Figura 8.80 mais adiante no capítulo.

Ganho mínimo em malha fechada Porque há tensão

83 Se o cascode ficar fora de conformidade, ele simplesmente desaparece, tornando-se um switch de baixo Ron.

ganho nas extremidades frontais do transistor desses amplificadores híbridos (cerca de × 120 para o BJT, × 12 para o JFET), o ganho geral do loop é substancialmente maior do que o do amplificador operacional de segundo estágio sozinho (que por si só é bastante alto , aproximadamente 160 dB em baixas frequências). Para garantir a estabilidade (dado que o OPA277 é estável em ganho unitário), esses amplificadores híbridos devem ser configurados com um ganho de malha fechada de pelo menos ×100 e ×10, respectivamente.[84]

B. Alguns problemas de projeto detalhado

Escolha dos transistores Embora sua tensão de ruído não seja especificada, encontramos excelente desempenho de ruído (e boa consistência) com alguns transistores bipolares da Zetex, principalmente o ZTX851 *(npn)* e o ZTX951 *(pnp).* Os últimos foram ligeiramente melhores, com uma tensão de ruído de entrada medida correspondente a uma resistência de base admiravelmente baixa de rbbÿ1,2ÿ (portanto, por exemplo, um en de 0,17 nV/ÿ Hz a 10 mA de corrente de coletor), em comparação com rbbÿ 1,4ÿ para *npn* ZTX851.[85] Para o circuito JFET escolhemos o LSK389B de baixo ruído da Linear Integrated Systems; ele especifica en=0,9 nV/ ÿ Hz (típico) e 1,9 nV/ ÿ Hz (máximo) a uma corrente de dreno de 2 mA.[86] É um JFET de grande geometria (para baixo ruído), com uma capacitância correspondentemente grande de Ciss = 25 pF. Possui uma transcondutância agradavelmente alta, especificada como 20 mS (min) a uma corrente de dreno de 3 mA.

Corrente de entrada O BJT tem a alta corrente de entrada esperada, é claro, dada a corrente de coletor relativamente alta necessária para manter baixo ; com o especificado =200 (tipo) a corrente de entrada é ÿ 10 A. Esse é o preço que você paga pelo valor mais baixo . Em comparação, a corrente de entrada do circuito JFET está abaixo do território de 1 pA, a julgar pelo gráfico de "corrente de porta em excesso" mostrado para seu predecessor 2SK389 (o LSK389 não fornece gráficos ou especificações análogas) e dado o VDS muito baixo imposto pelo casco.

Tensão geral de ruído Esses são estágios de entrada diferenciais, então você precisa multiplicar os transistores simples por ÿ 2, o que resulta nos valores mostrados nas figuras.

[84] O OPA277 tem uma excelente margem de fase, cerca de 60ÿ, muito além de seu GBW de 1 MHz. Se você precisar de um ganho de malha fechada mais baixo, poderá adicionar uma série R+C nas entradas do amplificador operacional, reduzindo efetivamente a resistência de carga e o ganho de malha aberta em altas frequências.

[85] O *pnp* tem ruído mais baixo do que seu irmão *npn* , mas Tensão inicial muito pior, como mostra a Tabela 8.1a: VA=120 V versus 410 V. Se as tensões iniciais (relativamente baixas) do par *pnp* não corresponderem, o CMRR será degradado. Se isso for um problema, o circuito pode ser reformulado com um par *npn* ou com um cascode adicionado.

[86] Nossas medições caíram bem no meio, em 1,34 nV/ ÿ Hz (1,9 nV/ ÿ Hz no total para o par diferencial).

Para a versão JFET, com seu menor ganho de front-end, há uma pequena contribuição também do ruído de entrada do amplificador operacional (3 nV/ ÿ Hz), mas quando referido à entrada é de apenas 0,3 nV/ ÿ Hz, insignificante no total quando combinado com a maior densidade de tensão de ruído quadrada de front-end.

Observe que esses são amplificadores silenciosos - então você precisa apresentar suas entradas com impedâncias de fonte de sinal baixas para manter seu nível baixo . Para a versão BJT, por exemplo, isso implica um valor de resistor abaixo de 10 ÿ na parte inferior do divisor de realimentação.

Tensão de entrada diferencial Se a sua aplicação puder expor o amplificador operacional híbrido BJT diferencial a mais de ± 5 V, adicione um par de diodos back-to-back de proteção para evitar a quebra do emissor-base e a consequente degradação do transistor. O amplificador operacional híbrido JFET diferencial pode ser exposto com segurança à tensão de entrada diferencial full-rail. Esses estágios de entrada do amplificador operacional estão funcionando com correntes bastante altas, portanto, uma diferença substancial de tensão de entrada, mantida por mais de alguns milissegundos, causará aquecimento desequilibrado e consequente tensão de deslocamento de entrada. É uma boa ideia acoplar termicamente o par de entrada e talvez isolá-los termicamente das correntes de ar também.

8.10 Transformadores de sinal

Conforme mencionado anteriormente em §8.5.6, você está contra a parede ao tentar minimizar o ruído do amplificador com um sinal de impedância de fonte muito baixa Zs, digamos, menos de 100 ÿ. A tensão de ruído de um resistor de 50 ÿ, por exemplo, é de apenas 0,9 nV/ÿ Hz, o que o coloca no limite dos amplificadores operacionais mais silenciosos. E existem transdutores de sinal com resistência consideravelmente mais baixa, por exemplo captadores de bobina magnética. Se você estiver interessado apenas em sinais CA (como seria, para uma bobina magnética), você pode usar um transformador para aumentar o nível do sinal (pela relação de voltas, n:1), simultaneamente aumentando a impedância da fonte vista no amplificador em colocar por essa razão ao quadrado; ou seja, o amplificador vê um sinal de impedância de fonte *n2Zs.*

Transformadores de sinal de alta qualidade estão disponíveis em empresas como Jensen Transformers e Signal Recovery. Por exemplo, um sinal na banda de áudio (digamos de 100 Hz a 10 kHz) com impedância de fonte de 100 ÿ seria uma combinação ruim para um amplificador como o SR560, cuja figura de ruído mais baixa ocorre para sinais de impedância de fonte em torno de 500 kÿ (ver Figura 8.27). O problema é que o ruído de tensão do amplificador é muito maior do que o ruído Johnson da fonte de sinal; a figura de ruído resultante para aquele sinal conectado diretamente ao amplificador seria de 12 dB. Usando um transformador elevador externo como o

Jensen JT-115K-E com sua relação de voltas de 1:10 (impedâncias de 150ÿ:15kÿ), o nível do sinal é aumentado (junto com sua impedância de fonte), substituindo assim a tensão de ruído do amplificador. Nesta impedância de sinal, a figura de ruído do amplificador é de cerca de 0,4 dB; no entanto, a resistência dos enrolamentos do transformador[87] contribui para produzir uma figura de ruído geral de cerca de 1,5 dB.

Há uma tendência de associar transformadores com desempenho medíocre; mas transformadores de sinal bem projetados como este são muito bons: resposta ±0,15 dB na banda de áudio (20 Hz–20 kHz), redução de 3 dB em 2,5 Hz e 90 kHz, distorção menor que 0,1% mesmo em 20 Hz, 88 e, como bônus, rejeição de modo comum de 110 dB a 60 Hz.

O transformador de sinal Modelo 1900 da Signal Recovery (originalmente da Princeton Applied Research) oferece relações de giro de 1:100 e 1:1000. Ele tem menos largura de banda que o JT-115K-E, mas atinge uma figura de ruído mínima de ÿ0,5 dB para resistências de fonte na faixa de 0,8–10 ÿ devido à sua baixa resistência de enrolamento de 0,04 ÿ. Este é um desempenho de ruído um pouco melhor do que o amplificador BJT paralelo de §8.5.9; devido às limitações do transformador, no entanto, ele não funciona em toda a banda de áudio.

Em frequências *de rádio* (por exemplo, começando em torno de 100 kHz) é extremamente fácil fazer bons transformadores, tanto para sinais sintonizados (banda estreita) quanto para sinais de banda larga. Nessas freqüências é possível fazer "transformadores de linha de transmissão" de banda larga de muito bom desempenho. É nas frequências muito baixas (áudio e abaixo) que os transformadores se tornam problemáticos.

Três comentários:

(a) A tensão aumenta proporcionalmente à relação de espiras do transformador, enquanto a impedância aumenta proporcionalmente ao quadrado da relação. Assim, um transformador elevador de tensão 2:1 tem uma impedância de saída quatro vezes a impedância de entrada (isto é obrigatório pela conservação de energia).

(b) Os transformadores não são perfeitos. Eles são suscetíveis à captação magnética e apresentam problemas em baixas frequências (saturação magnética) e em altas frequências (indutância e capacitância do enrolamento), bem como perdas das propriedades magnéticas do núcleo e da resistência do enrolamento. Este último também é uma fonte de ruído do filho de John. No entanto, ao lidar com um sinal de impedância de fonte muito baixa, você pode ter não há escolha, e o acoplamento do transformador pode ser muito benéfico, como demonstra o exemplo anterior. Técnicas exóticas como transformadores resfriados, transformadores supercondutores e SQUIDs (dispositivos supercondutores de interferência quântica) podem fornecer bom desempenho de ruído em níveis de baixa impedância e tensão. Com SQUIDs você pode medir tensões de 10-15 V! (c) Novamente, um aviso: não tente melhorar o desempenho adicionando um resistor em série com uma fonte de baixa impedância. Se você fizer isso, será apenas mais uma vítima da falácia da figura de ruído.

8.10.1 Um amplificador de banda larga de baixo ruído com feedback do transformador

Para não deixar o leitor desanimado quanto aos méritos dos transformadores em aplicações de sinais, apressamo-nos a apontar que alguns desempenhos impressionantes podem ser obtidos com uma engenharia cuidadosa. A Figura 8.68 mostra um bom exemplo: um amplificador de baixo ruído de banda larga com alta impedância de entrada,[89] com um transformador fornecendo feedback sem perdas (portanto, sem ruído) para definir o ganho de tensão por meio da relação de espiras (aqui × 10). O transformador também resolve bem o problema de distribuir feedback idêntico para vários JFETs de entrada paralelos, cada um dos quais é polarizado para a mesma corrente de dreno de 10 mA.

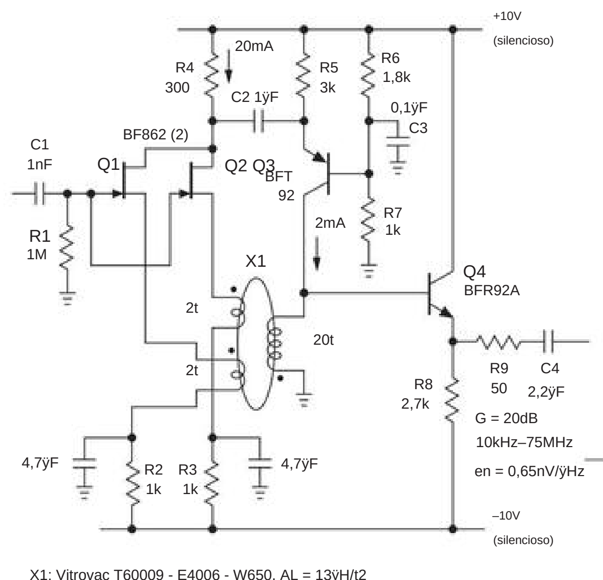


Figura 8.68. A realimentação do transformador para JFETs em paralelo alcança 650 pV/ÿ Hz de tensão de ruído de entrada neste amplificador de banda larga.

[87] Em baixas frequências, isso é simplesmente a resistência CC do fio de cobre; mas em frequências mais altas, a resistência efetiva à geração de ruído aumenta devido ao efeito pelicular; ver Apêndice H (§H.1.4) e *§1x.1.*

[88] As baixas frequências são o calcanhar de Aquiles de um transformador; a 1 kHz, a distorção desse transformador em particular é de apenas 0,001%.

[89] De J. Belleman no CERN; consulte http://jeroen.home.cern.ch/jeroen/tfpu.

O transformador mostrado é um toroide pequeno (6,5 mm OD) enrolado em fita mu, com apenas algumas voltas nos enrolamentos para definir a extremidade superior da banda de operação para 75 MHz. Essa escolha limita o final de baixa frequência a frequências acima de ~10 kHz, mas a faixa de frequência de quase 10.000:1 é impressionante. Os resistores pull-down da fonte R2 e R3 definem a corrente de dreno dos JFETs de entrada do BF862 para 10 mA (seu IDSS mínimo especificado), onde seu ruído de tensão é 0,9 nV/ÿ Hz; o par paralelo melhora isso para 0,65 nV/ÿ Hz. Bipolar *pnp* Q3 forma um cascode invertido, com seu re de 12 ÿ desviando essencialmente todo o sinal de dreno dos transistores de entrada. Ambos Q3 e Q4 são transistores de banda larga (5 GHz); A corrente do coletor de Q3 é escolhida para cancelar a magnetização CC induzida no transformador pelos transistores de entrada para evitar a saturação do núcleo. Os trilhos de alimentação precisam ser silenciosos, melhor alcançados com um multiplicador de capacitância (§8.15.1). Um cuidado: este circuito de feedback tem dois pontos de interrupção de baixa frequência (de C2 e da indutância de magnetização bastante baixa do transformador), levando a uma instabilidade potencial e a uma oscilação do tipo barco a *motor* de baixa frequência . Isso é evitado aqui pela grande capacitância de C2, que coloca seu ponto de interrupção muito abaixo do do transformador.

8.11 Ruído em amplificadores de transimpedância

Amplificadores de transresistência (ou amplificadores de *transimpedância ,* "TIA" ou, às vezes, apenas "amplificadores de corrente") produzem uma saída de tensão em resposta a uma entrada de *corrente .* Seu ganho é, portanto, Vout/Iin, com unidades de ohms, daí seu nome. 8.36); e examinamos os problemas de sua *estabilidade* de feedback em *§4x.3.* Como lembrete, o circuito básico, que vimos antes, é mostrado na Figura 8.69. Assumindo componentes ideais, uma corrente Isig produz uma saída Vout= ÿ IsigRf, então o ganho é simplesmente ÿRf.

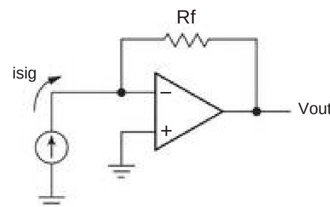


Figura 8.69. Amplificador de transresistência: entrada de corrente, saída de tensão.

Eles são usados extensivamente em circuitos onde a entrada é uma corrente, por exemplo, de um fotodiodo ou fotomultiplicador, detector de partículas carregadas, microscópio de tunelamento ou amplificador patch clamp.

A ênfase neste capítulo é o *ruído,* que pode surgir de diversas formas no TIA. O próprio amplificador terá sua entrada en e in; e o resistor de feedback cria uma tensão de ruído Johnson que equivale a uma entrada corrente de ruído inR= 4kT/Rf (favorecendo assim valores altos de Rf). A capacitância também desempenha um papel importante, não apenas na estabilidade e na largura de banda, mas também na conversão da *tensão* de ruído do amplificador em uma corrente de ruído. Também é provável que haja o que poderíamos chamar de ruído de *sinal: ruído* shot na corrente do sinal, ruído Johnson na resistência da fonte do sinal e outras formas de flutuação do sinal.91 Vamos ver como tudo isso se desenrola.

8.11.1 Resumo do problema de estabilidade

Como vimos em §4.3.1C (e que discutimos em mais detalhes em *§4x.3* no Capítulo 4x), a capacitância à terra na entrada (por exemplo, de um sensor de saída de corrente e seu cabo de conexão), em combinação com a (geralmente grande) resistência de realimentação, produz uma mudança de fase atrasada no caminho de realimentação. Isso é instável quando combinado com a mudança de fase atrasada de 90ÿ (ou mais) do amplificador operacional. Você cura isso colocando um pequeno capacitor Cf no feedback

90 Este é o inverso de um dispositivo como um JFET, onde uma *tensão de* entrada produz uma *corrente de saída.* Lá o ganho é Iout/Vin, com unidades de ÿÿ1 (siemens, anteriormente chamado de mhos), daí o nome amplificadores de *transcondutância .*

91 Ruído na própria fonte de sinal pode, em algumas situações, dominar a contribuição de ruído de um amplificador bem projetado. Detectores ópticos, por exemplo, são caracterizados por uma "potência equivalente a ruído" (NEP), que é a saída de ruído eletrônico expressa em termos de potência de entrada óptica (expressa como densidade de potência de ruído óptico, geralmente na faixa de fW/ ÿ Hz). A NEP surge da corrente escura do detector (um detector perfeito teria zero NEP), uma "corrente de desvio" que pode ser considerada uma forma de vazamento. Você obtém essa corrente quando os fotodiodos são operados com uma tensão de polarização reversa deliberada (o chamado *modo fotocondutivo),* no qual a capacitância é reduzida e a velocidade, linearidade e eficiência de conversão de comprimento de onda longo são aprimoradas. Se você deseja detectar níveis de luz muito baixos e está disposto a sacrificar a velocidade, você deve operar o fotodiodo com polarização zero (o chamado *modo fotovoltaico),* onde o NEP bastante reduzido surge principalmente de uma resistência escura relacionada à "corrente de difusão". , alimentado pela tensão de compensação do amplificador operacional. Para esta finalidade, a folha de dados do fotodiodo geralmente assume um deslocamento de 10 mV (ou seja, polarização do detector), mas você quase sempre pode fazer melhor do que isso. Medimos os níveis de NEP adaptados ao escuro em quatro ou mais graus de magnitude melhor do que o especificado, ao dirigir um amplificador operacional com deslocamento de 100 V em um ambiente de laboratório frio. Levar ÿ em consideração o ruído do detector é uma parte essencial de qualquer projeto de sistema cujo trabalho final seja "converter fótons em volts".

resistor (consulte *§4x.3* para obter detalhes), que, no entanto, reduz seriamente a largura de banda utilizável. Como vimos, você precisa, portanto, usar um amplificador operacional de largura de banda surpreendentemente alta para obter até mesmo uma largura de banda de circuito modesta. Para colocar em números, a largura de banda utilizável fc do circuito é aproximadamente a média geométrica do GBW (ou fT) do amplificador operacional e a frequência de canto fRC=1/2πRfCin, da capacitância de entrada; isso é

$$GBW = f_c^2 / fRCin . \quad (8.43)$$

8.11.2 Ruído de entrada do amplificador

Um estágio de entrada do amplificador de transimpedância, seja discreto ou op-amp, terá algum ruído de tensão e corrente, caracterizado por densidades en e in; estes exibirão, até agora, o aumento usual de 1/ *f* em baixas frequências. E, além da cauda de ruído de baixa frequência, o ruído atual dependerá da corrente de entrada CC (corrente de polarização, para BJTs; corrente de fuga para JFETs ou MOSFETs), porque em frequências médias a corrente de ruído de entrada é simplesmente disparada ruído da corrente DC.

Como en e in afetam o ruído de entrada geral do TIA? Veremos a seguir (§8.11.3) que en gera uma corrente de ruído através da capacitância vista na entrada e, de fato, isso pode facilmente se tornar o termo de ruído dominante, particularmente em frequências mais altas. Antes de se preocupar com esse efeito, observe simplesmente que a entrada en flui através do resistor de realimentação, gerando uma densidade de corrente de ruído in=en/Rf (e se a fonte do sinal tiver uma resistência de fonte finita, substitua Rf por RfRs). Esses termos são geralmente pequenos em comparação com as correntes de ruído de Johnson correspondentes, mas podem crescer para níveis significativos em baixas frequências, onde o comportamento 1/ *f* pode aumentar em fatores de 10 × a 50 × em sua frequência média ("branco ") valor.92 O ruído atual do estágio de entrada não precisa de conversão – ele contribui diretamente para o equivalente do TIA na corrente de ruído de entrada (como raiz quadrada da soma dos quadrados). Os amplificadores operacionais de baixa polarização com entradas FET (bem como JFETs discretos) geralmente têm correntes de ruído de entrada bastante baixas, abaixo do território fA/ÿ Hz. Mas cuidado com o aumento do ruído 1/ *f :* a folha de dados do JFET AD743 low-en, por exemplo, mostra o aumento de seu valor de 7 fAÿ Hz de frequência média para 100 fAÿ Hz a 1 Hz; isso corresponderia ao ruído de tiro de uma polarização dc de 30 nA! (Sua temperatura ambiente típica na corrente de entrada é especificada como 0,15 nA.) Cuidado, também, com o aumento (do aumento da corrente de fuga nos FETs) em temperaturas elevadas: o AD743 especifica apenas a 25ÿC (onde é 7 fAÿ O valor de Hz é consistente com o ruído shot em 0,15 nA dc de entrada de corrente); mas você pode usar o gráfico de corrente de entrada CC versus temperatura para descobrir que in = 40 fAÿ Hz a 80ÿC (onde o gráfico mostra uma corrente de entrada CC de 5 nA) e aumentando ainda mais para 400 fAÿ Hz a 125ÿ C.

A temperatura não é o único contribuinte para a corrente de entrada do JFET; existe o efeito de ionização por impacto (§3.2.8), que pode causar um aumento devastador na corrente de entrada (e no ruído) quando um JFET é operado com tensões dreno-fonte superiores a alguns volts. Com um projeto JFET discreto, você pode evitar isso operando em baixa tensão de dreno (por exemplo, com um cascode); amplificadores operacionais de baixo ruído geralmente são projetados com esse efeito em mente, mas você verá corrente de entrada aumentada (e ruído de corrente) conforme a tensão de entrada se aproxima de um dos trilhos (por exemplo, o trilho positivo para o LT1792 ou ADA4627; o negativo trilho para o AD8610).

8.11.3 O problema do ruído enC

Além das contribuições do estágio de entrada de in (diretamente) e en (fluindo através do feedback e das resistências de entrada), a *capacitância* de entrada (já um incômodo em termos de estabilidade e largura de banda) também cria problemas de ruído interessantes. Por exemplo, a princípio você pode pensar que o ruído de *tensão* do amplificador é pouco importante em um amplificador cuja entrada é uma corrente; como sua realimentação se parece com um seguidor de tensão, pareceria produzir no máximo uma contribuição aditiva de ruído de tensão de saída exatamente igual ao ruído de tensão de entrada en (equivalente a uma contribuição de ruído de corrente de entrada de in = *en/ Rf).* Mas você estaria errado!

Para ver o que acontece, observe a Figura 8.70, onde o

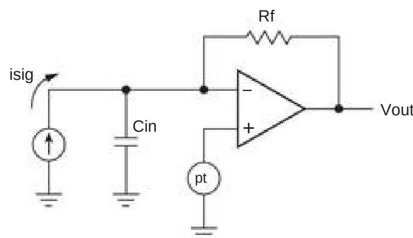


Figura 8.70. A capacitância na entrada faz com que o ruído de tensão do amplificador en crie um ruído de corrente de entrada in=en Cin. Nem este ruído "enC" nem o ruído de corrente de entrada do próprio amplificador são mostrados.

92 Por exemplo, o ruído de tensão do AD743 (o amplificador operacional JFET mais silencioso, com en=2,9 nV/ ÿ Hz a 10 kHz) aumenta para 23 nV/ ÿ Hz a 1 Hz. O LT1792 cresce para 30 nV/ ÿ Hz, o OPA627 para 33 nV/ ÿ Hz e o ADA4627 para 42 nV/ ÿ Hz. E o veloz OPA656 cresce para 75 nV/ ÿ Hz a 10 Hz! Para não ficar atrás, os admiráveis amplificadores operacionais AD8610 e 8620 JFET crescem de 6 nV/ÿ Hz para cerca de 200 nV/ÿ Hz. E quando se trata de amplificadores operacionais CMOS, uau!

a tensão interna de ruído diferencial do amplificador operacional en é modelada como uma tensão em série com o terminal não inversor. O feedback força o terminal inversor (com sua capacitância Cin para o terra) a seguir, criando uma corrente de entrada real in(t)=Cin *dvn(t)/ dt* (onde vn(t) é a tensão de ruído de entrada do amplificador operacional); expresso como uma *densidade de ruído,* obtemos

$$i_n = e_n\, \omega C_{in} = 2\pi e_n C_{in} f. \qquad (8.44)$$

Ou seja, o ruído de tensão do amplificador cria uma corrente de ruído proporcional à capacitância na entrada e que aumenta proporcionalmente à frequência. Referimo-nos a esta corrente de ruído de entrada, produzida pela tensão de ruído interno do amplificador, como " ruído enC ".

8.11.4 Ruído no amplificador de transresistência

Vamos aplicar esse tipo de pensamento para descobrir o desempenho de ruído do amplificador de transresistência que vimos em *§4x.3.* Nós o redesenhamos na Figura 8.71, com a tensão de ruído de entrada do amplificador operacional en, a corrente de ruído de entrada e o capacitor de realimentação shunt Cf mostrados explicitamente. Em uma aplicação típica de fotodiodo de alta velocidade (pequena área), você pode ter Cinÿ10–20 pF (mas mais se conectado através de um cabo blindado), Rf ÿ1–10 Mÿ e, para um amplificador operacional de entrada FET , en ÿ3–10 nV/ÿ Hz e em ÿ1–10 fA/ÿ Hz.

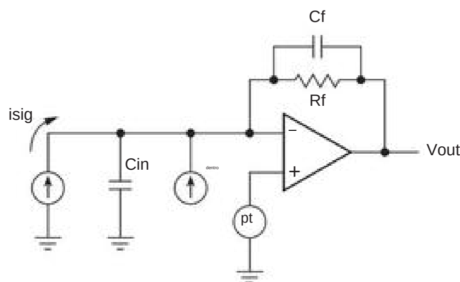


Figura 8.71. Ruído em um amplificador de fotodiodo. Para os cálculos usamos Rf=1 Mÿ. Aqui Cin é a capacitância total vista na entrada (amplificador, fiação e capacitâncias do dispositivo de entrada).

Calcularemos as contribuições de ruído (de en, in e do ruído de Johnson no resistor de realimentação) como ruído de corrente efetivo (versus frequência) *na entrada;* afinal, é aí que entra o sinal de corrente de entrada que nos interessa. Por enquanto, ignoramos o capacitor Cf e usamos valores de circuito típicos de Rf=1 M e Cin(circuito)=10 pF.

[93] Na literatura, você verá descrições como "ganho de ruído atingindo o pico em frequências mais altas" e "uma resposta complexa à tensão de ruído de entrada do amplificador operacional". Mas gostamos de "e-sub-nC": é fácil de dizer e fácil de lembrar.

Como vimos anteriormente, o ruído de Johnson é plano com frequência, com uma tensão de ruído en = ÿ *4kTR* volts por hertz de raiz quadrada; isso se traduz em uma corrente de ruído de curto-circuito de en/ R; ou seja, em = *4kT/ R* amps por hertz de raiz quadrada. Portanto, para um resistor de feedback de 1 Mÿ a 25ÿC,

$$i_n = \left(\frac{4kT}{R_f}\right)^{\frac{1}{2}} = 1{,}28 \times 10^{-10}\, R_f^{-\frac{1}{2}} = 0{,}128\ \text{pA}/\sqrt{\text{Hz}}.$$

Isso é uma a duas ordens de magnitude maior do que o ruído da corrente de entrada do amplificador, que podemos, portanto, ignorar.

A última contribuição é do en do amplificador, que, como comentamos anteriormente, se parece com um ruído de corrente de entrada in=2 *enCin f*. ÿ Ele aumenta proporcionalmente à frequência, tornando-se dominante sobre o ruído do resistor Johnson em alguma frequência de crossover que chamaremos de fX. Ao igualar a corrente de ruído de Johnson com a corrente enC , você pode encontrar[94]

$$f_X = \frac{\sqrt{4kT/R_f}}{2\pi e_n C_{in}}. \qquad (8.45)$$

Ele continuaria a subir para sempre, exceto pelo efeito da capacitância paralela Cf, que faz com que a corrente de ruído diminua a uma frequência fc = 1/2 *RfCf* (causada pelo pólo *RfCf* cancelando o ruído enC crescente de +6 dB/oitava). Se ainda escolhermos Cf de modo que fc seja igual à frequência média geométrica[95]

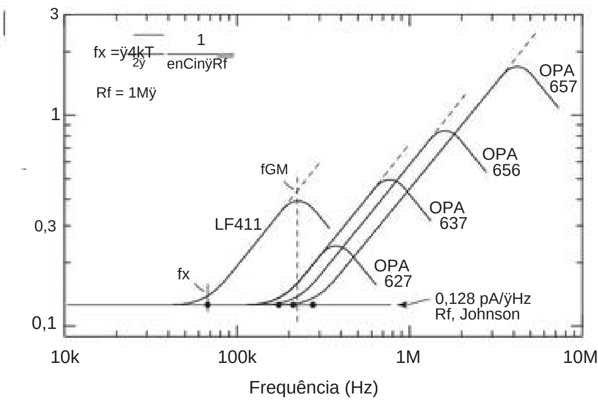
$$f_{GM} = \sqrt{f_{RCin}\, f_T}, \qquad (8.46)$$

produzimos um leve pico em fc, com o par de pólos fazendo com que o ruído enC caia em ÿ6 dB/oitava (isto é, ÿ1/ f) em frequências mais altas, como visto na Figura 8.72.

Na Figura 8.72 plotamos in(entrada) para o amplificador de transresistência da Figura 8.71, com Rf=1M, para as opções de amp op e dados correspondentes mostrados na tabela da figura. O gráfico mostra claramente a redução na corrente de ruído total referente à entrada que você obtém ao escolher um amplificador com baixa capacitância de entrada e baixa tensão de ruído, assumindo, é claro, que você está planejando limitar a largura de banda de saída com um estágio posterior de filtragem passa-baixa .

É interessante notar que, se todas as outras coisas fossem iguais, um amplificador operacional com maior largura de banda do amplificador não reduziria a corrente de ruído referente à entrada; simplesmente aumentaria a largura de banda do amplificador de transresistência. No entanto, como os amplificadores operacionais mais rápidos tendem a ter menos capacitância de entrada, há alguma vantagem de ruído, especialmente quando a capacitância de entrada externa é tão baixa quanto assumimos aqui.

[94] Para Rf=1M, isso se torna fX(Hz)=2×107/enCin, onde en e Cin estão em unidades de nV/ÿ Hz e pF, respectivamente. [95] Consulte o critério de estabilidade em *§4x.3.*



UMA.

FC e fX calculados , com Cexternal = 10pF e Rf=1M

Op-amp	en (nV/ÿHz)	Camp (pF)	Cin(total) (pF)	fT (MHz)	fC (kHz)	fX (kHz)
LF411	25	2	12		4 230	67
OPA627	4.5	15	25		16 320 178 80 715	
OPA637	4.5	15	25		178	
OPA656	7	3,5	13,5 230 1650 212 15,2 1600			
OPA657	4.8	5,2	4100 274			

B.

Figura 8.72. A. Espectro de corrente de ruído referido à entrada para o amplificador de fotodiodo na Figura 8.71. A frequência de crossover fX na qual o ruído "enC" se torna dominante é marcada com um ponto para cada configuração. Para o exemplo LF411, fX e a frequência de rotação fc são marcadas. Em cada caso, assume-se que o capacitor de compensação Cf é escolhido de modo que fc seja igual a fGM=ÿ fRCin fT, obtendo assim a largura de banda máxima do amplificador consistente apenas com picos modestos (taxa de amortecimento =0,7); caso contrário, haverá uma ÿ ruído, como na Figura 8.73. B. Parâmetros de ruído de corrente referidos na entrada para os amplificadores de fotodiodo da Figura 8.71, assumindo uma capacitância de entrada externa de 10 pF.

8.11.5 Um exemplo: amplificador de fotodiodo JFET de banda larga

Continuando por esse caminho, na Figura 8.73 plotamos o ganho de transimpedância, o ganho de ruído e a corrente efetiva de ruído de entrada para um amplificador de transimpedância feito de um OPA656 (fT=230 MHz, en=7 nV/ ÿ Hz), com 1M resistor de realimentação e um valor conservador do capacitor shunt (2 pF: fc=76 kHz) para garantir a estabilidade com capacitâncias de entrada de até 1000 pF.

Observe que há dois "ganhos" aqui: o *ganho de impedância trans* (gráfico superior) é a razão entre a tensão do sinal de saída e a corrente do sinal de entrada, um gráfico que é nominalmente plano até o rolloff em fc, mas com a restrição adicional imposta pelo ganho de loop aberto finito (e decrescente) do amplificador operacional GOL. O *ganho de ruído* (gráfico do meio) é a relação entre a tensão do sinal de saída e a tensão do ruído de entrada, com sua inclinação característica "enC" ascendente proporcional à frequência. Ele nivela em fc, mas (para amplificadores operacionais de modesto ganho de malha aberta96) é ainda mais limitado por GOL.

Finalmente, a corrente de ruído referida à entrada efetiva vista na saída (gráfico inferior) é a soma do ruído enC e do ruído Johnson do resistor de realimentação, moldado pelo rolloff do amplificador. Esses termos de corrente de ruído (como vistos na entrada) são en *C* e 4kT/Rf, respectivamente. Aqui ÿ

[96] Limitações de ganho de malha aberta podem ser encontradas com amplificadores operacionais de banda muito larga (por exemplo, peças como o OPA655/6/7, com valores de GBW na região de GHz), mas tais limitações são raras para amplificadores operacionais de baixa frequência, como o OPA637.

o ruído de Johnson domina em baixas frequências: um resistor de 1 Mÿ gera uma corrente de ruído branco (curto-circuito) de 0,13 pA/ÿ Hz.

Medimos o espectro de ruído de saída deste amplificador com os quatro valores de capacitância de entrada; medimos também o ruído da tensão de entrada do amplificador operacional (en). A Figura 8.74 é uma captura de tela (de um analisador de espectro SRS785), rotulada com as correspondentes entradas referidas em e em escalas.
Os dados medidos estão de acordo com as previsões da Figura 8.73, com exceção de algum excesso de ruído na extremidade de baixa frequência do gráfico de 10 nF.
Mas a Figura 8.73 assumiu um valor constante (ruído branco) de 6 nV/ÿ Hz para en, enquanto o ruído de tensão medido exibe o aumento usual de 1/f em baixas frequências, aproximadamente o triplo de seu valor de alta frequência em 100 Hz.

8.11.6 Ruído versus ganho no amplificador de transimpedância

Na discussão anterior, tomamos casualmente um valor numérico redondo de 1 Mÿ para o resistor de realimentação Rf, sem muita consideração das consequências para ruído e largura de banda. A partir das Figuras 8.72, 8.73 e 8.74, é fácil ver que o piso de ruído de corrente de baixa frequência é definido pelo ruído Johnson de Rf; portanto, valores maiores de Rf pareceriam "melhores".

Não tão rápido! Para uma dada capacitância de entrada, valores maiores de Rf correspondem a uma frequência de rolloff de entrada menor (ÿ = *1/ RfCin),* exigindo uma compensação mais agressiva

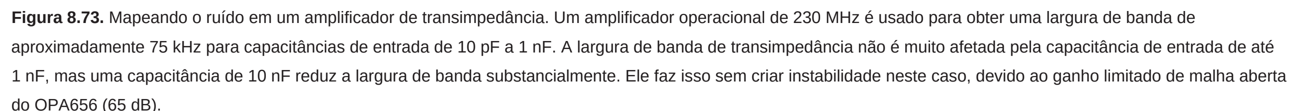


Figura 8.73. Mapeando o ruído em um amplificador de transimpedância. Um amplificador operacional de 230 MHz é usado para obter uma largura de banda de aproximadamente 75 kHz para capacitâncias de entrada de 10 pF a 1 nF. A largura de banda de transimpedância não é muito afetada pela capacitância de entrada de até 1 nF, mas uma capacitância de 10 nF reduz a largura de banda substancialmente. Ele faz isso sem criar instabilidade neste caso, devido ao ganho limitado de malha aberta do OPA656 (65 dB).

(ou seja, menor largura de banda fc). Se o seu ruído é dominado pelo ruído de Johnson em Rf e você não se preocupa com a largura de banda, mas deseja minimizar o ruído de baixa frequência, um Rf maior é bom. Mas em um amplificador de fotodiodo de banda larga em que o ruído enC é dominante e no qual você deseja melhorar a largura de banda, é melhor reduzir o Rf.

Mas, *não muito!* Aqui está o motivo: um objetivo em qualquer projeto de amplificador de transimpedância deve ser garantir que o amplificador adicione ruído insignificante ao ruído de tiro inerente do sinal de entrada. À medida que reduzimos Rf, no entanto, sua corrente de ruído de Johnson $\sqrt{4kT/R_f}$ aumenta, finalmente dominando a corrente de ruído de disparo irredutível $\sqrt{2qI_{in}}$ *do sinal de entrada.* Igualando essas correntes de ruído obtemos a condição $I_{in}R_f=2kT/q=50$ mV. Ou seja, para evitar a adição de ruído do amplificador, o resistor de realimentação não deve ser escolhido tão pequeno que a queda de tensão produzida pela entrada (que pode ser um componente CC do sinal de entrada) seja menor que, digamos, 100 mV.

Essa compensação ruído-largura de banda na escolha da resistência de realimentação é ilustrada na Figura 8.75, onde a redução

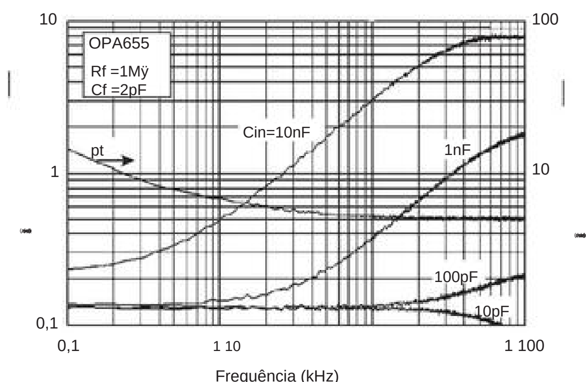


Figura 8.74. Ruído de corrente referido à entrada medido no amplificador da Figura 8.73. Os espectros separados foram aqui sobrepostos, com algumas legendas decorativas úteis.

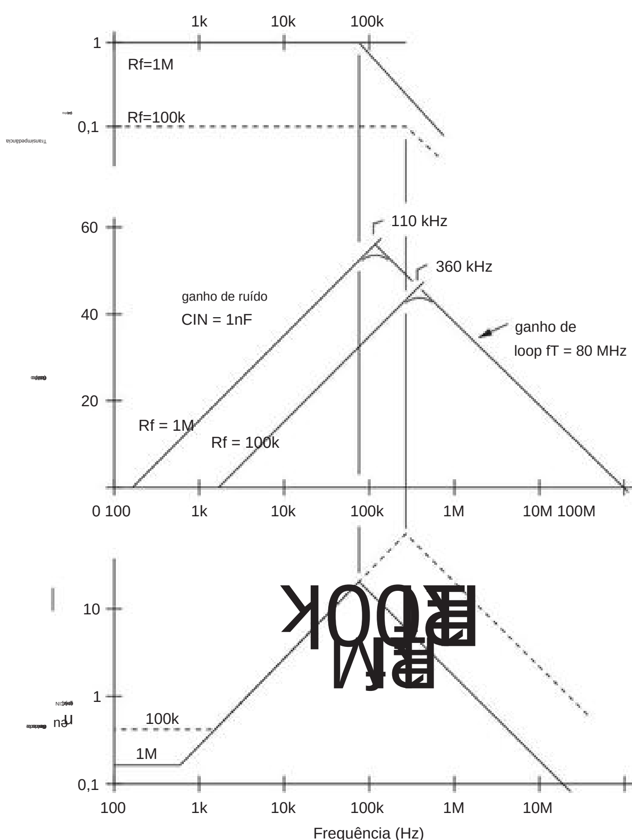


Figura 8.75. Em um amplificador de transimpedância rápida, onde o ruído enC domina sobre o ruído Rf Johnson, você pode aumentar a largura de banda utilizável reduzindo Rf; recuperar o ganho perdido em um amplificador de tensão de segundo estágio.

Rf de 1M para 100k move o rolloff de entrada para cima por um fator de 10, permitindo um aumento na largura de banda do amplificador por um fator de aproximadamente 3 (mais precisamente, ÿ10). O preço que você paga é ganho reduzido de ×10 (facilmente recuperado com um estágio amplificador de tensão downstream) e aumento do piso de ruído de baixa frequência (ainda insignificante em comparação com a contribuição de ruído de alta frequência enC). Claro, o aumento da largura de banda vem com um aumento contínuo no ruído enC , como visto acima de 100 kHz no gráfico inferior da Figura 8.75.

Felizmente, existem alguns truques legais que você pode usar para mitigar esses efeitos de ruído enC de alta frequência. Um método reduz muito a capacitância efetiva na entrada por "inicialização" do lado de retorno da fonte de sinal, por exemplo, fotodiodo (e blindagem do cabo); outro usa um estágio de transistor de base comum (um cascode) para isolar a capacitância do fotodiodo do estágio de transimpedância. Vamos descrevê-los em breve, após uma breve discussão de uma questão importante (e muitas vezes negligenciada): a necessidade de um filtro passa-baixa limitador de largura de banda na saída do estágio de transimpedância.

8.11.7 Limitação da largura de banda de saída no amplificador de transimpedância

Se você estiver projetando um amplificador de transimpedância do mundo real com ruído enC significativo de capacitância na entrada, é importante adicionar uma seção de filtro passa-baixo na saída. Observe novamente os gráficos de ganho de ruído na Figura 8.73. Como Cf foi escolhido para estabilidade com a maior capacitância de entrada antecipada, há uma ampla faixa de ruído em altas frequências, particularmente para valores menores de capacitância de entrada. Esse ruído se estende além da largura de banda do amplificador e pode contribuir com a maior parte do ruído total de saída (lembre-se de que os gráficos de frequência logarítmica tendem a ocultar o fato de que a maior parte da largura de banda está na extremidade alta).

Para ver isso mais claramente, observe a Figura 8.76, um conjunto análogo de gráficos para o amplificador de entrada de corrente da Figura 8.77.[97] Aqui usamos um amplificador operacional JFET de baixo ruído descompensado, com Cf escolhido de modo que o amplificador é estável com capacitâncias de entrada de até 1000 pF. O ganho de ruído e a corrente de ruído de entrada efetiva são plotados, tanto para 1000 pF quanto para 100 pF na entrada. As linhas sólidas mostram a saída do U1 e as linhas tracejadas mostram o sinal após um simples passa-baixo *RC* . Como o amplificador é supercompensado quando Cin=100 pF, há uma região substancial (a área pontilhada) d

[97] Uma versão simplificada do amplificador de fotodiodo exemplar discutido em *§4x.3.*

ruído fora de banda que é eliminado pelo filtro *R1C1* . (O efeito é mínimo quando o amplificador é criticamente compensado, com fc quase igual a fGM, como visto nos gráficos de 1000 pF, porque a redução do ganho de malha aberta do amplificador operacional realiza a mesma coisa.)

Neste circuito nós adicionamos um estágio de ganho de saída ×10, de modo que o ganho geral seja 1 ÿ/A. Isso fornece uma seção adicional de oportunidade filtragem passa-baixa, via C2. Isso pode parecer extremo, mas lembre-se de que uma única seção *RC* tem um rolloff suave, de modo que a largura de banda de ruído branco equivalente se estende muito além de sua frequência característica (1,57 f3dB, para ser exato; consulte §8.13).

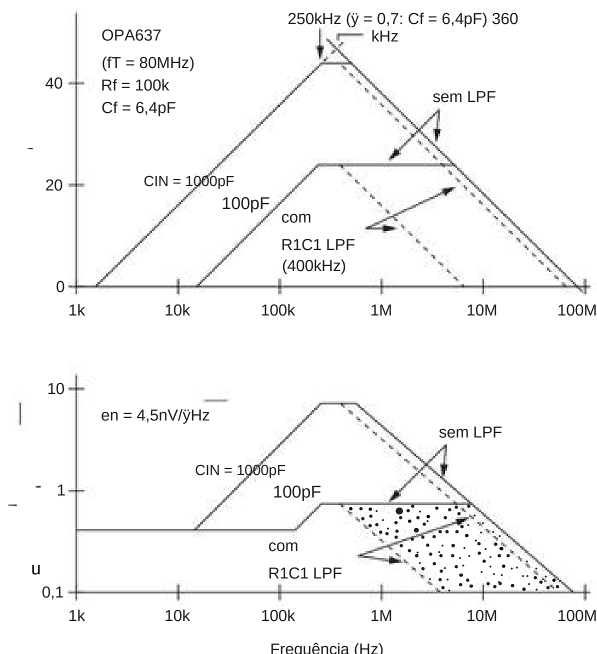


Figura 8.76. Gráficos de ruído para o amplificador de corrente da Figura 8.77. Adicionar um filtro de saída em fc ou ligeiramente acima reduz bastante o ruído de saída.

8.11.8 Amplificadores de transimpedância compostos

Ao escolher um amplificador operacional para uso em um amplificador de impedância trans sensível, você deseja uma corrente de ruído de entrada muito baixa, portanto, um tipo JFET ou CMOS. E se você quiser bastante velocidade, é importante selecionar um amplificador operacional com baixa tensão de ruído de entrada (para minimizar a corrente de ruído *enCin* de alta frequência que ele produz), especialmente se a capacitância de entrada for substancial. Finalmente, porque a corrente de ruído de entrada produzida pelo resistor de feedback de ajuste de ganho Rf diminui

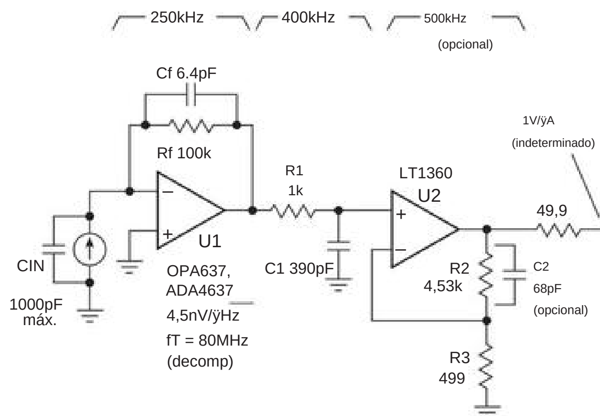


Figura 8.77. Amplificador de entrada de corrente, BW=250 kHz, compensado para estabilidade com capacitâncias de entrada de até 1000 pF. Os filtros passa-baixo (R1C1 e *R2C2)* minimizam o ruído fora da banda, principalmente quando Cin é menor que o máximo.

como 1/ ÿRf, um TIA de baixo ruído requer um feedback de grande valor resistor.

Mas um grande Rf produz uma baixa frequência de rolloff de entrada (fRCin=1/2 RfCin), exatamente quando você precisa de muita largura de banda. Veremos algumas (em §8.11.9) técnicas, como bootstrapping e cascoding, que podem ser usadas em algumas situações para reduzir consideravelmente a capacitância efetiva de entrada em um amplificador de transimpedância.

Mas outra abordagem é simplesmente selecionar um amplificador operacional com largura de banda fT alta o suficiente para produzir a largura de banda TIA necessária (ÿ ÿ fRCin fT), conforme ilustrado em *§4x.3.3.*

Esta é uma abordagem razoável - mas o desempenho que você obtém com os amplificadores operacionais disponíveis geralmente fica aquém. A Tabela 8.3 mostra que a maioria dos amplificadores operacionais rápidos (digamos, fTÿ350 MHz) tem tensão de ruído relativamente alta *(en* de 6 nV/ ÿ Hz ou maior), e amplificadores operacionais silenciosos tendem a ser lentos, como nosso vencedor de baixo ruído , o AD743 (en=2,9 nV/ ÿ Hz e fT=4,5 MHz). Na tabela, você também pode ver que alguns dos amplificadores operacionais mais rápidos são peças de baixa tensão, por exemplo, o OPA657 com fT=1500 MHz, cuja faixa de tensão de alimentação total é restrita a 9–13 V. Isso é importante, porque quanto maior valores de resistor de feedback necessários para ruído reduzido produzem mais ganho, portanto, oscilações de saída maiores (e níveis CC estáticos, quando há um componente CC diferente de zero na corrente de entrada), favorecendo amplificadores operacionais que podem funcionar em ± 15 V.

Então, o que pode ser feito? Uma boa abordagem é separar o desempenho do estágio de entrada daquele do estágio de saída, para otimizar o ruído geral e a capacidade de velocidade. Isso pode ser feito com um "amplificador composto", uma técnica poderosa vista, por exemplo, nas Figuras 5.47 e 13.48, e tratada com algum detalhe em *§4x.3.*

Figura 8.78. Amplificador de transimpedância de banda larga de baixo ruído, explorando a combinação de propriedades desejáveis de um par de amplificadores operacionais configurado como um amplificador composto.

Figura 8.79. Ruído de corrente versus frequência medido para o amplificador da Figura 8.78, com um capacitor de 1000 pF na entrada. A linha tracejada mostra o valor de en (o típico en especificado = 2,9 nV/ÿ Hz do AD743) e a linha pontilhada é 4kT/Rf, a corrente de ruído de Johnson do resistor de realimentação de 10M (após Kretinin & Chung , usado com permissão).

A Figura 8.78 mostra um exemplo,98 um TIA destinado a sinais de corrente de baixo nível sobrecarregados com uma capacitância relativamente alta de 1000 pF. Aqui, um estágio de entrada de baixo ruído AD743 foi acoplado a um estágio de saída AD811 de banda larga × 100, mantendo assim o nível baixo enquanto aumenta o fT do amplificador composto por um fator de 100, para 450 MHz. Embora o estágio de saída tenha uma largura de banda considerável (é um amplificador de realimentação de corrente destinado a aplicações de vídeo), a escassa largura de banda de 4,5 MHz do AD743 (com pólos adicionais em torno dessa frequência e acima, como evidenciado pelo ganho de malha aberta e fase plots) faz com que o amplificador composto exiba uma redução de ÿ12 dB/oitava acima de 5 MHz, atingindo uma mudança de fase de 180ÿ em torno de 20 MHz. Isso parece perigoso, mas tudo bem porque está bem acima da nossa frequência fc (consulte *§4x.3.2)* e está acima da interceptação do ganho de ruído achatado com o ganho de malha aberta (consulte a Figura 8.73). Portanto, a configuração é estável e, de fato, a largura de banda do segundo estágio é mais do que necessária.

O desempenho é bastante bom, com inÿ50 fA/ÿ Hz de 10 Hz a 2 kHz quando acionado com uma capacitância de entrada de 1000 pF e com largura de banda de até 100 kHz. Mas a tensão de ruído de entrada (2,9 nV/ÿ Hz) em combinação com a grande capacitância de entrada causa uma corrente de ruído *enCin* rapidamente crescente , atingindo quase 2.000 fA/ÿ Hz a 100 kHz (Figura 8.79). E o piso de ruído de baixa frequência é dominado pela corrente de ruído de Johnson do resistor de realimentação Rf. Dado que o AD743 é o amplificador operacional JFET mais silencioso disponível, parece que atingimos o limite do desempenho de ruído em um amplificador de transimpedância acionado por um amplificador altamente capacitivo fonte.

A. Amplificador de transimpedância composto híbrido

Poderíamos *fazer* melhor, porém, se pudéssemos encontrar uma maneira de reduzir o já baixo en (o que contribui para o aumento do *enCin* acima de cerca de 10 kHz) enquanto mantemos um grande produto ganho-largura de banda. A técnica que faz o truque aqui é o uso de um estágio de entrada híbrido para explorar o nível muito baixo de um par JFET de área grande como o IF3602 da InterFET (en =0,3 nV/ ÿ Hz, tipo, a 100 Hz). É claro que os JFETs de grande geometria têm muita capacitância (este JFET's Ciss tem incríveis 300 pF), mas isso não é muito sério quando você tem uma fonte de sinal que já está sobrecarregada com 1000 pF de capacitância. E continuaremos com a topologia do amplificador composto, para obter a alta largura de banda do amplificador de malha aberta de que precisamos para obter uma largura de banda TIA razoável com uma entrada altamente capacitiva.

A Figura 8.80 mostra esse projeto. O "op-amp" é um amplificador composto de 3 estágios cujo estágio de entrada Q1ab é um JFET diferencial de fonte comum com carga de dreno de espelho de corrente *Q5Q6,* isolado com um cascode *Q3Q4.* O GBW geral é de 10 GHz, conforme visto no diagrama de Bode da Figura 8.80B; este amplificador operacional composto não é estável (!) quando usado como um amplificador de tensão (pelo menos para ganhos de malha fechada <45 dB), mas quando configurado como um amplificador de transimpedância (Figura 8.80C) com uma capacitância de compensação efetiva de 0,032 pF (definido por R2 no circuito mostrado99) através do 2

98 A. Kretinin e Y. Chung, "Pré-amplificador de corrente de banda larga para medições de condutância com grande capacitância de entrada," arXiv:1204 .2239v1 (2012).

99 Alternativamente, você pode fazer Rf a partir de uma série de quatro ou cinco resistores (espaçados e afastados do terra) para reduzir a capacitância total de suas capacitâncias shunt parasitas individuais de ~0,15 pF.

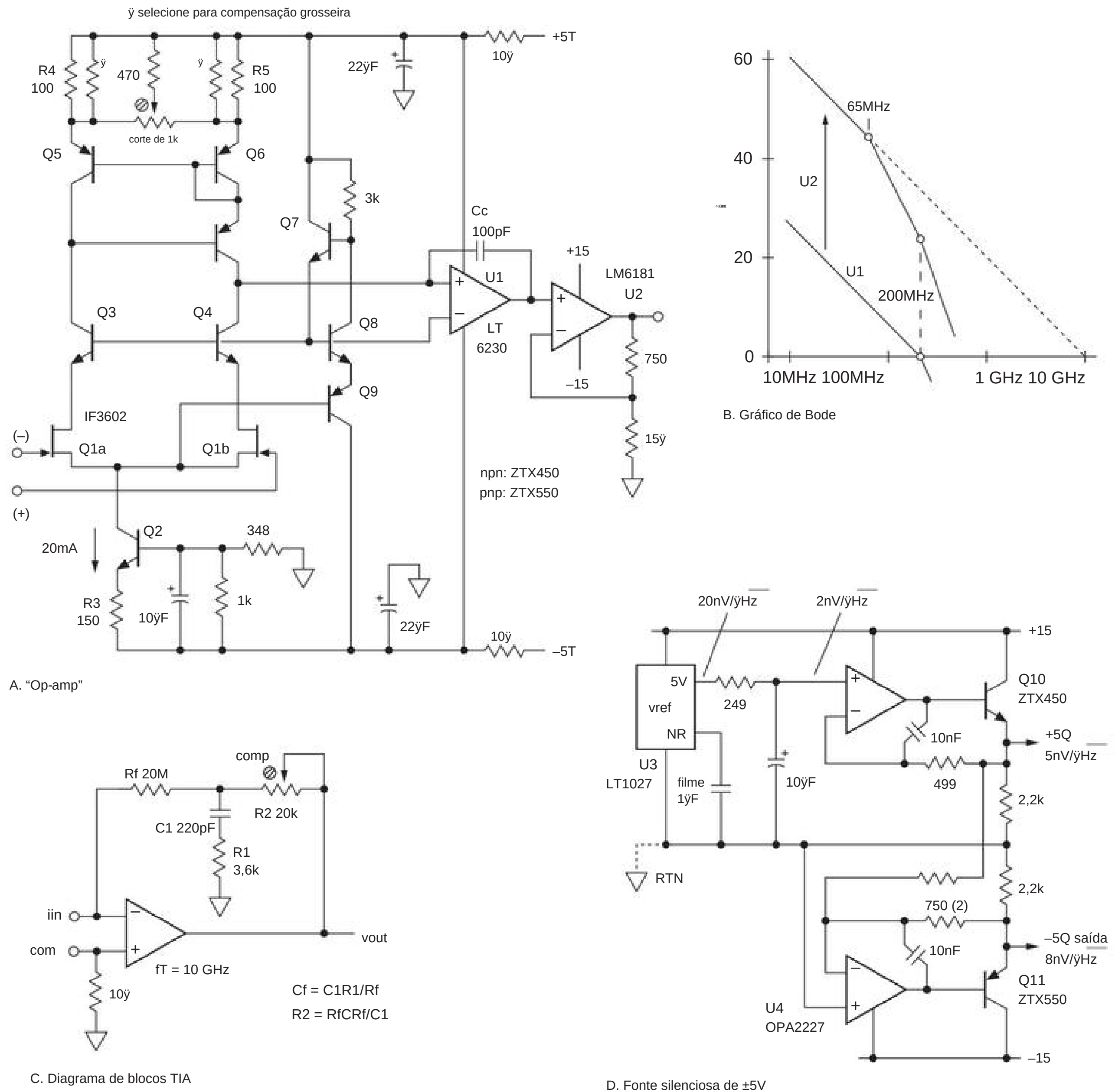


Figura 8.80. Amplificador de transimpedância híbrido, otimizado para ruído mais baixo com entradas capacitivas de ordem ÿ1000 pF pelo uso de JFETs de estágio de entrada de grande área com tensão de ruído extraordinariamente baixa (en=0,35 nV/ ÿ Hz). O amplificador composto (A) aumenta o produto ganho-largura de banda fT para 10 GHz, (B), para manter uma largura de banda TIA geral de ~250 kHz, apesar do grande Rf e Cin (20 Mÿ e 1000 pF). A configuração de transimpedância (C) configura o ganho em 20V/Aÿcom um Cf efetivo de 32 fF (criado pela rede polo-zero C1R1R2, necessária para cancelar a autocapacitância excessiva de Rf (que chamaremos de CRf); ver § 4x.3, definindo um pólo dominante em 200 kHz para garantir a estabilidade. Uma referência de tensão de baixo ruído (D) é usada para criar trilhos de alimentação silenciosos de ±5V.

Machine Translated by Google

resistor de feedback de ajuste de ganho, é estável.[100] O estágio de entrada tem uma densidade de tensão de ruído de enÿ0,6 nV/ÿ Hz. O segundo amplificador operacional (LT6230) é um amplificador operacional de banda larga (200 MHz) de baixo ruído (1,1 nV/ ÿ Hz), alimentado por uma fonte de alimentação de baixo ruído ± 5 V[101] (Figura 8.80D); com o estágio de entrada JFET, o GBW combinado desses dois estágios é $f_T=g_m/2$ Cc, ou cerca de 200 MHz com um Cc de 100 pF. O último estágio tem um ganho de 50 e um fT de 65 MHz, aumentando o GBW do amplificador composto para 10 GHz.

Quando configurado como um amplificador de transimpedância (ou seja, Figuras 8.80A e C), este circuito tem 5 vezes menos tensão de ruído (portanto, 5 vezes menos ruído *enCin)* do que o TIA composto da Figura 8.79. Ele também possui maior largura de banda, graças ao seu fT 20× maior, mesmo com o valor maior do resistor de realimentação (20M, escolhido para reduzir sua corrente Johnson-noise, dado o front-end mais silencioso). Observe a Figura 8.81 para ver essa comparação graficamente.

Alguns detalhes Medimos en=0,35 nV/ ÿ Hz para um IF3602 JFET operando a 10 mA e 0,3 nV/ ÿ Hz a 25 mA; aqui escolhemos a corrente de dreno mais baixa de 10 mA para dissipação mais baixa e ruído 1/ *f* reduzido. Por causa das capacitâncias muito grandes do IF3602 (300 pF para Ciss, 200 pF para Crss) , nós grampeamos os drenos com um cascode, configurando VDS=VBE independentemente de VGS e do nível de modo comum de entrada. Isso reduz ainda mais a dissipação de energia do JFET (para cerca de 6 mW cada) e evita a corrente de porta de "ionização por impacto" excessiva (§3.2.8).

O par IF3602 não é bem combinado (Vos especificado = 100 mV max), o que é especialmente problemático em vista de sua transcondutância muito alta (medimos gm = 130 mS a 10 mA, consulte o gráfico de transcondutâncias JFET medidas em *§3x.2).* Se tentarmos ajustar o offset desbalanceando os resistores de dreno (com um circuito como o da Figura 8.67), descobrimos rapidamente a partir de ÿID/ ID=0,5gmVos/ID que precisamos de um desequilíbrio de corrente de dreno de 39% para anular o pior caso deslocamento de entrada. Ai!

Então seguimos com o esquema mostrado, no qual um espelho de corrente Wilson degenerado e de baixo ruído com resistores ajustados fixos selecionados define as correntes de dreno desbalanceadas necessárias. A contribuição de tensão de ruído do espelho atual com resistores de emissor de 100 ÿ R4 e R5, quando referido aos terminais de entrada JFET, é en= 4kT/R4 · *1/ gm,* ou 0,1 nV/ ÿ Hz, um insignificante 4% contribuição quando as amplitudes quadradas são combinadas.

Finalmente, um comentário sobre o dissipador de corrente do par diferencial Q2: normalmente o ruído do dissipador de corrente do par diferencial não é muito crítico, porque um estágio diferencial razoavelmente bem balanceado cancela o ruído (por exemplo, 30× para um equilíbrio de 3%). Mas aqui enfrentamos um desequilíbrio de corrente possivelmente grave para ajustar a tensão de compensação, então usamos um regulador de tensão de baixo ruído (<10 nV/ ÿ Hz), com maior silenciamento *RC* do pia atual.

Exercício 8.3. Calcule as densidades de ruído das fontes ±5Q na Figura 8.80D. Qual é o ruído rms deles?

B. Amplificadores de transimpedância compostos versus de estágio único Os gráficos de ganho de transimpedância e corrente de ruído de entrada na Figura 8.81 são uma boa maneira de ver o aprimoramento de desempenho obtido com um TIA composto na difícil situação de alta capacitância de entrada. O desempenho aprimorado vem da maior largura de banda do amplificador fT e da capacidade de criar um estágio de entrada silencioso.

Comparando primeiro as configurações de estágio único (ou seja, não composto) A e B, você vê a largura de banda aprimorada obtida com o OPA637 mais rápido, com a compensação de maior ruído. Adicionando um segundo estágio (composto) à configuração mais silenciosa A, você obtém muita largura de banda extra sem aumentar o ruído (configuração C, o circuito da Figura 8.78). O amplificador composto com um estágio de entrada discreta de ruído ainda menor (configuração D, o circuito de

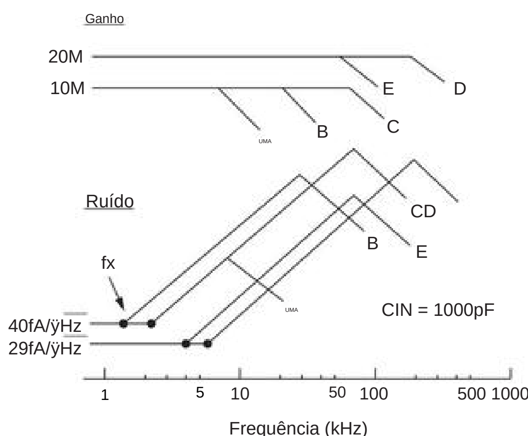


Figura 8.81. Comparando o desempenho de cinco amplificadores de transimpedância quando acionados com um sinal de corrente de 1000 pF de capacitância. A, AD743; B, OPA637; C, compósito AD743 (Figura 8.78); D, compósito IF3602 (Figura 8.80); E, OPA637 com alça de inicialização BF862 (semelhante à Figura 8.82); O resistor de realimentação Rf é de 10 Mÿ para os circuitos A–C e 20 Mÿ para D e E.

[100] Com Cin=1000 pF, fRCinÿ8 Hz e fT=10 GHz, então fGMÿ280 kHz; uma capacitância efetiva de 0,032 pF em Rf torna fc = 200 kHz.

[101] Onde começamos com uma referência LT1027, que usa um zener enterrado para baixo ruído de 1/ *f* , silenciado ainda mais com um capacitor de bypass no pino de redução de ruído. Adicionar um resistor ao terra da entrada inversora do amplificador operacional superior permite que você altere as tensões de alimentação divididas silenciosas, por exemplo, para ± 6 V ou qualquer outra.

Figura 8.80) tem ainda mais largura de banda e pode tolerar o Rf maior necessário para explorar totalmente o en inferior do amplificador. Finalmente, se você tiver o luxo de inicializar a capacitância de entrada (consulte, por exemplo, §8.11.9, Figura 8.82), o Cin bastante reduzido permite reverter para a configuração simples de estágio único OPA637 sem grande sacrifício no desempenho.

Este exemplo ilustra mais uma vez uma lição que aprendemos ao longo de muitas décadas projetando amplificadores de baixo ruído, ou seja, que a complexidade do circuito aumenta rapidamente à medida que melhorias são adicionadas para atingir os limites do desempenho do circuito de baixo ruído.

8.11.9 Reduzindo a capacitância de entrada: bootstrapping amplificador de transimpedância

A capacitância de entrada não tem sido nossa amiga. Como as Figuras 8.73, 8.74 e 8.76 deixam bem claro, a capacitância de entrada é a raiz de todos os males, tanto em termos de ruído quanto de largura de banda. Fotodiodos de grande área são afetados por muita capacitância (até 1000 pF ou mais); e, se o detector estiver no final de um comprimento de cabo blindado, você pode calcular um adicional de ÿ30 pF/ft de cabo (esse valor não é arbitrário; consulte o Apêndice H).

Como sugerimos anteriormente, existem truques pelos quais você pode reduzir bastante a capacitância efetiva. A Figura 8.82 mostra uma solução elegante,102 ou seja, um bootstrap acoplado em CA do lado de retorno do dispositivo de entrada capacitivo (mais cabo blindado, se houver). Neste circuito, o seguidor JFET Q1 aciona o lado baixo do fotodiodo com uma réplica de qualquer sinal na junção somadora; A alta transcondutância de Q1 (ÿ25 mS) garante um ganho próximo à unidade (impedância de saída ÿ40ÿ), portanto, uma redução da capacitância de entrada efetiva do fotodiodo (como visto na junção de soma) em pelo menos um fator de 10.

Mas agora temos que nos preocupar com o ruído introduzido pelo Q1 e circuitos associados. Você pode pensar primeiro na corrente de porta do Q1 e também na capacitância Ciss que ele adiciona à entrada. Para este JFET em particular, as coisas parecem muito boas: ele tem baixa corrente de entrada de porta (ÿ1 pA, contanto que você mantenha VDS < 5 V) e baixa capacitância de realimentação (ÿ2 pF). Mas o ruído do JFET é outra questão, porque seu ruído de tensão en gera uma corrente de ruído enC em combinação com a capacitância do fotodiodo (e cabo) *não inicializada* . Isso está em contraste com o en do amplificador operacional , que agora vê a capacitância inicializada muito mais baixa; ambas as correntes de ruído devem vir através de Rf, gerando ruído de saída.

102 Consulte a folha de dados LTC6244 da Linear Technology e sua nota de design DN399 de Glen Brisebois.

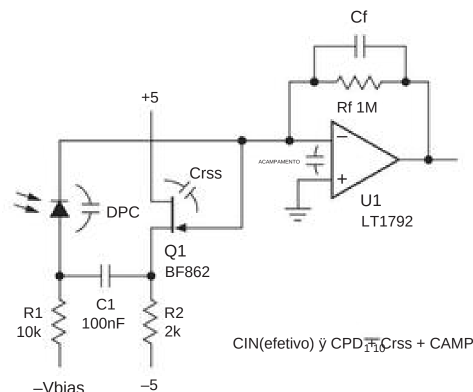


Figura 8.82. O seguidor Q1 inicializa o fotodiodo em frequências de sinal, reduzindo sua capacitância efetiva por um fator de 10 ou mais. O BF862 é especialmente adequado para esta tarefa, com sua baixa capacitância e ruído sub-nV/ ÿ Hz. Isso nos permite usar um amplificador operacional mais barato (com menos largura de banda e en um pouco maior) para U1. Muitas vezes adicionamos um seguidor de emissor (não mostrado para simplificar). Para encontrar a frequência de quebra do ruído *enCin* , use a eq'n 8.45 na página 539, com o valor "reduzido" de Cin; veja o texto.

Por esta razão é essencial escolher um JFET com tensão de ruído muito baixa, idealmente muito menor do que o en do op-amp. O BF862 é uma escolha excelente, com seu impressionante baixo 103 enÿ0,9 nV/ ÿ Hz. Mesmo assim, sua contribuição de ruído é maior do que a do amplificador operacional (o último se beneficia, é claro, da redução bem-sucedida da capacitância efetiva do fotodiodo pelo JFET), porque o LTC1792 é um amplificador operacional silencioso (4,2 nV/ ÿ Hz). -amp para começar. Por exemplo, com um fotodiodo de 1000 pF, os 4,2 nV/ ÿ Hz do amplificador operacional atuam no (reduzido) ÿ100 pF, enquanto os 0,9 nV/ ÿ Hz do JFET atuam nos 1000 pF completos do fotodiodo. Fazendo isso quantitativo, em 100 kHz as contribuições de corrente de ruído são 0,26 pA/ ÿ Hz e 0,57 pA/ ÿ Hz, respectivamente, para uma corrente de ruído combinada de 0,63 pA/ ÿ Hz. Embora o ruído do JFET domine, ainda estamos um pouco melhor do que a configuração sem inicialização, com sua corrente de ruído de 2,6 pA/ ÿ Hz.

Discutimos amplificadores de transimpedância em mais detalhes (particularmente questões de estabilidade) em *§4x.3.* Nele incluímos um projeto para um amplificador de fotodíodo tolerante à capacitância de entrada que explora o bootstrap; o circuito é reproduzido aqui na Figura 8.83. Neste projeto usamos o excelente (e não barato) OPA637 (GBW=80 MHz,

103 Baratos também, cerca de US$ 0,50 em qtd 25. E, de acordo com Phil Hobbs, eles podem ser colocados em paralelo sem lastro de fonte (especialmente quando retirados do mesmo carretel), porque "eles vão do corte ao IDSS em cerca de 400 mV. Os JFETs em execução perto do IDSS também têm um tempco baixo. Eu uso barcos cheios deles - eles são bons remédios.

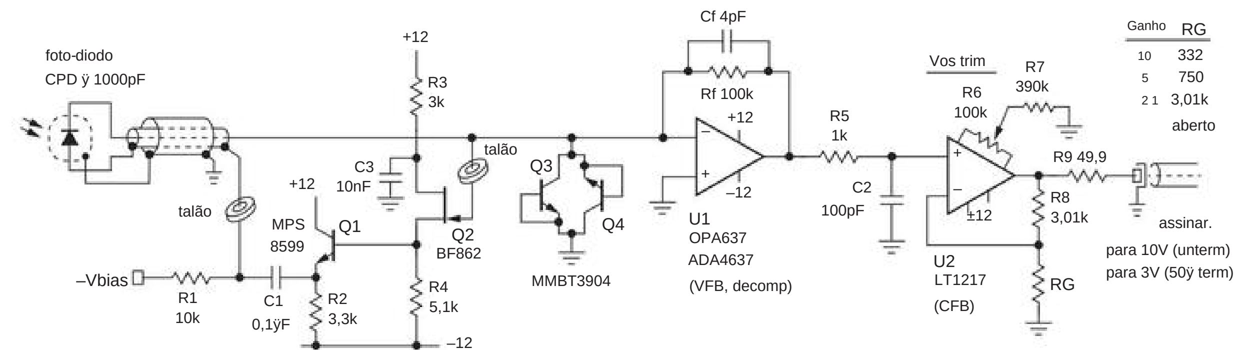


Figura 8.83. Um amplificador de fotodiodo completo, adequado para capacitâncias de entrada de até 1000 pF. A inicialização de entrada reduz bastante o fotodiodo efetivo e a capacitância do cabo, para maior velocidade e ruído reduzido.

en=4,5 nV/ ÿ Hz). Na Figura 8.84 plotamos o ruído e a largura de banda, sob a estimativa conservadora de uma redução de dez vezes na capacitância de entrada. O bootstrap melhora a largura de banda, reduz o ruído e deixa o ganho de simpedância de trânsito inalterado.104 Nada mal!

Exercício 8.4. Projete um TIA com um amplificador operacional OPA637 e um seguidor de bootstrap BF862 JFET, para sinais de entrada com Cin=1 nF. Use Rf=20Mÿ e assuma que o BF862 tem uma tensão de ruído de 0,85 nV/ ÿ Hz e um ganho de tensão (ao acionar o terminal bootstrap) de GV=0,95. Avalie o ruído do seu circuito e o desempenho do ganho, que não deve ser diferente da curva E na Figura 8.81.

8.11.10 Isolando a capacitância de entrada: codificando em casco a amplificador de transimpedância

O bootstrapping reduz a capacitância de entrada efetiva (normalmente em uma ordem de magnitude), permitindo ruído reduzido e maior largura de banda de um sensor capacitivo de saída de corrente, como um fotodiodo. Mas podemos fazer ainda melhor: é possível isolar totalmente a capacitância de entrada, interpondo um estágio de base comum (cascode) entre o sinal de entrada e o amplificador de transimpedância.

Existem alguns solavancos ao longo do caminho, então vamos levá-lo em etapas. Aprendemos sobre isso com Philip Hobbs, cujos artigos105 constituem uma boa leitura para os interessados em seguir essas técnicas.

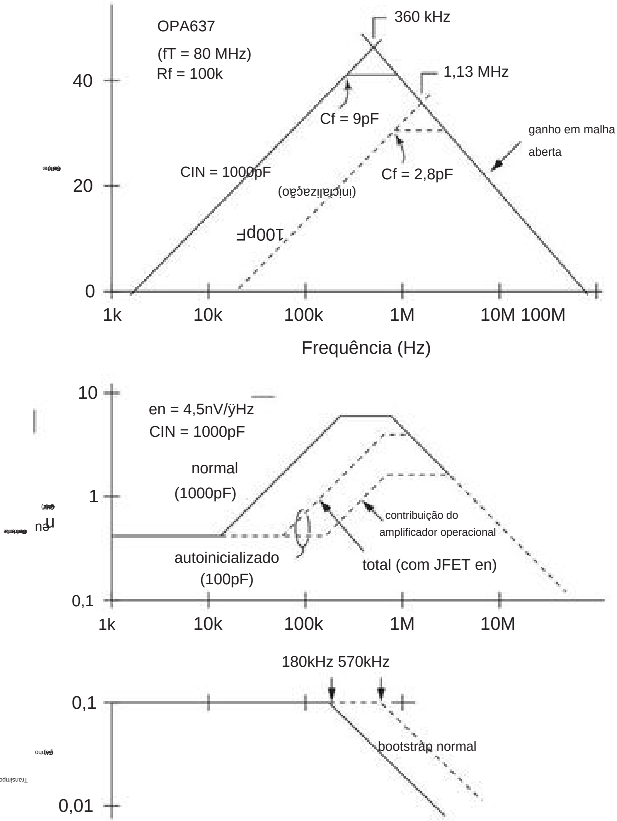


Figura 8.84. Ruído, largura de banda e ganho para o amplificador de fotodiodo autoinicializado. A capacitância efetiva reduzida melhora tanto o ruído (via *enC reduzido)* quanto a largura de banda (via capacitância de realimentação estabilizadora menor Cf).

A. Criando um cascode de isolamento de capacitância Etapa 1: cascode imparcial A Figura 8.86A mostra a ideia central, na qual a fonte de sinal de dissipação de corrente aciona o emissor de base aterrada

104 Aqui, o LT1792 custa US$ 4,85 contra US$ 18 para o OPA637 ou US$ 12 para o similar ADA4637, e o BF862 custa apenas US$ 0,67. Freqüentemente, você pode fazer ainda melhor, com amplificadores operacionais assistidos por bootstrap de desempenho adequado abaixo do território de US $ 2.

105 Para uma boa tarefa de primeira leitura, tente seu “Photodiode front ends – the REAL story,” *Op. Fóton. News,* **12,** 42–45 (abril de 2001).

Figura 8.85. Produto ganho de largura de banda, *fT* , versus corrente de coletor para transistores bipolares selecionados, conforme mostrado nas folhas de dados dos fabricantes. Alguns transistores de banda larga são claros na parte superior.

transistor *npn* Q1 (geralmente chamado de "common-base am plifier"). Assumindo um transistor beta razoável, a maior parte dessa corrente aparece no coletor - mas apenas com a pequena capacitância de saída do coletor de Q1, normalmente apenas alguns pi cofarads.

Uma pequena falha aqui é que a entrada fica a uma queda de diodo abaixo do solo. Mas há cobras mais sérias à espreita no Jardim do Éden. Queremos um bom desempenho em correntes de sinal muito baixas, digamos frações de um microamp. Lá embaixo, temos que nos preocupar com a queda do transistor beta. Pior ainda, a impedância de entrada vista no emissor está aumentando inversamente com a corrente de ÿ ktÿ (de em 1 A é 25 *re=25ÿ/ IC[mA]).* Portanto, a corrente do sinal é desviada para o solo pela capacitância de entrada em uma frequência na qual a reatância de Cin = 25k ou menos; ou seja, a entrada diminui em f3dB = 1/2 reCin, por exemplo, com Cin=100 pF. Um sinal de 106 de 6,4 kHz para 1ÿ

Figura 8.86. Isolando a capacitância de entrada com um estágio de entrada de base comum (cascode). A. O transistor Q1 passa o sinal de corrente para o amplificador de transimpedância, que vê apenas o pequeno coletor para a capacitância de base Ccb. B. Adicionar polarização DC reduz o re, aumentando muito a largura de banda.

106 Você também precisa se preocupar com a queda de fT do transistor em correntes baixas; o beta reduzido desvia a corrente do emissor para a base em altas frequências. Para discussão e medições, consulte a seção "BJT Bandwidth and fT" no Capítulo *2x* e consulte a Figura 8.85. Neste último você pode ver que o 2N5089 tem um fT (extrapolado) para baixo em torno de 2 MHz a 10 ÿ A, a partir do qual você pode estimar que cerca de 10% da corrente do emissor é desviada em 200 kHz.

Etapa 2: cascode

tendencioso Podemos diminuir o re (e também preservar um beta razoável) polarizando Q1, conforme mostrado na Figura 8.86B. Com alimentação de ±15 V, podemos escolher RC=RE=60 kÿ para definir IC em 250 A de corrente quiescente; assim re=100 ÿ. Isso eleva o rolloff do *reCin* para respeitáveis 1,6 MHz.

Mas agora criamos três novos problemas. Primeiro, esta corrente de coletor quiescente substancial significa que RC tem que ser escolhido de forma crítica para que o ponto de operação do coletor de Q1 (quando desconectado do terra virtual) esteja no terra; caso contrário, o estágio de transimpedância (se configurado para alto ganho, digamos ÿ1 V/ÿA, ou seja, RF=1 Mÿ) ficará em grande segundo lugar, neste circuito, as correntes de ruído de RC, RE e Rf são todas combinadas na junção de soma; e os valores de resistor RC e RE mais baixos necessários geram correntes de ruído Johnson correspondentemente maiores na entrada de impedância trans (lembre-se de que um resistor de valor *R* gera uma corrente de ruído Johnson de curto-circuito de in = 4kT/R). Em terceiro lugar, a corrente de operação mais alta de Q1 significa uma corrente de base mais alta e, portanto, ruído de tiro mais alto (in,base = *ÿ2qIB),* que é outra contribuição de corrente de ruído na entrada de transimpedância.107 Então, aqui está a situação até

agora: com o circuito da Figura 8.86B, alcançamos melhor largura de banda com uma determinada capacitância de entrada, em comparação com os projetos anteriores de impedância de trans, mas ao custo de (a) deslocamento CC, (b) um nó de entrada que é uma queda de diodo abaixo do solo e (c) uma troca ruído-velocidade na escolha da corrente quiescente de Q1.

Algo mais pode ser feito? Leia. . .

Etapa 3: cascode com viés de bootstrap Sim!

Combine o truque de bootstrap de redução de capacitância com o cascode tendencioso. A Figura 8.87 mostra como, desta vez como um projeto detalhado mostrando as especificidades dos valores e tipos de componentes.

Para trazer isso para o mundo real, escolhemos um fotodiodo UV de fosfeto de gálio que usamos no laboratório; sua capacitância medida em 5 V de polarização reversa é 460 pF (não é especificada no datasheet). O lado baixo do fotodiodo é inicializado pelo seguidor JFET Q2 (como na Figura 8.82 anterior), reduzindo sua capacitância efetiva dez vezes, para ~50 pF.

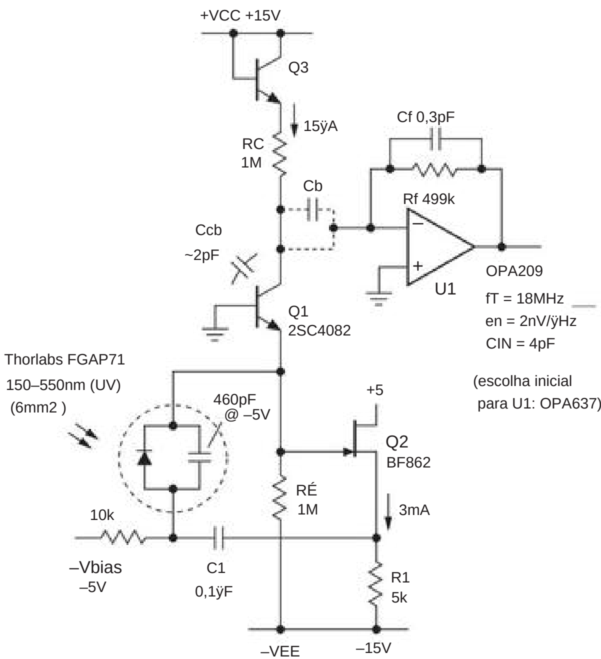


Figura 8.87. Bootstrapping do amplificador de transimpedância codificada em cascata para obter desempenho de baixo ruído de banda larga (1 MHz) com um fotodiodo de alta capacitância. O capacitor de bloqueio opcional Cb pode ser usado para eliminar o deslocamento CC em aplicações acopladas a CA.

O próximo passo é escolher a corrente de operação para o transistor de código cas Q1, de modo que seu re seja pequeno o suficiente para que a entrada *reCin* rolloff108 não comprometa a largura de banda fc definida pelo estágio de transimpedância U1. Calculamos fGM (eq'n 8.46) como de costume (consulte *§4x.3):* a capacitância na entrada de U1 é a soma da capacitância do coletor de Q1 (2 pF) e a própria capacitância de entrada de U1 (15 pF para nossa escolha inicial de um OPA637, cujo baixo ruído e ampla largura de banda o tornam uma escolha favorita como estágio de entrada para amplificadores de fotodiodo); o total de 17 pF coloca o rolloff de entrada de U1 fRfCin de 18,7 kHz, dada nossa escolha109 de ganho de transimpedância (0, O fT descompensado do OPA637 de 80 MHz nos dá um fGM=ÿ fRfCin fT=1,22 MHz; escolhemos um valor de capacitor de feedback Cf para definir a largura de banda crítica fc como 0,7 MHz (conservativo = 1,2, para garantir a estabilidade), de transimpedância fb de 1 MHz. Isso é 0,46 pF, dos quais o próprio resistor fornece ~0,1 pF. Você pode usar um par de traços de PCB, um potenciômetro ajustável com Cf=0,5pF (consulte a Figura *4x.18)* ou um “truque” (algumas torções de um par de fios isolados) para adicionar os 0,36 pF restantes.

107 Há um ponto sutil aqui: uma corrente como IE que é gerada por uma queda de tensão em um condutor metálico não exibe corrente de ruído de disparo (os portadores de carga não agem independentemente; consulte §8.1.2). Mas a corrente de base *tem* o ruído de tiro “cheio” dado pela fórmula. Essa corrente de ruído se manifesta no coletor, porque IC=IE(sem ruído) ÿIB(ruidosa).

108 Em correntes suficientemente altas, o transistor fT é dado por ÿ reCin.

109 fT = 1/2 Obtido por meio de um processo análogo de relação velocidade-ruído, cujos detalhes pouparemos ao leitor.

B. Iteração: melhor escolha de amplificador operacional Algo está errado aqui: o OPA637 é um excelente amplificador operacional (com um preço compatível!), mas usa JFETs de grande área para atingir seu admirável baixo en, resultando em uma alta capacitância de entrada de 15 pF. Isso não é uma preocupação quando você tem, digamos, um sinal de entrada acompanhado de muita capacitância (por exemplo, um fotodíodo e algum cabo blindado). Mas aqui está em um nó de baixa capacitância (coletor do Q1) onde domina o rolloff, forçando o alto requisito de fT .

Vamos refazer o cálculo, assumindo que usamos um amplificador operacional com capacitância menor, digamosCin=4 pF. Agora fRfCin=53 kHz, e para um fb=0,7 MHz com =1 (ÿ fc=0,7 MHz) precisaremos de um amplificador operacional com fTÿ9 MHz. Nosso esforço é recompensado, pois agora há muitas possibilidades. Podemos escolher o OPA209 da Tabela 8.3, com seu fT de 18 MHz e baixo custo de $ 2.27.110 Isso nos dá fGM=0,98 MHz, então podemos definir fb=fGM=1 MHz, e com =1 (ambém fc=0,7 MHz e Cf=3 pF. ÿ portanto, temos

Sabendo que o estágio de transimpedância tem uma largura de banda utilizável de 1 MHz, em seguida, definimos a corrente quiescente do transistor cascode Q1 alta o suficiente para que o rolloff de re, combinado com a capacitância efetiva do fotodíodo de 50 pF (bootstrapped), esteja um pouco mais alto. frequência. Aqui, um IC de 15 A nos dá um re (a impedância que o sinal vê ÿ no emissor) de 1,7 kÿ , portanto, uma frequência de rolloff de entrada de 1,9 MHz. O Cin reduzido produzido pelo bootstrap nos permite executar Q1 nessa corrente baixa, com o benefício de que a corrente de ruído Johnson contribuída pelos resistores de coletor e emissor de 1 Mÿ de Q1 não é maior que Rf. O ruído de disparo da corrente base é reduzido de forma semelhante; aqui ele contribui com uma corrente de ruído referenciada à entrada de 0,1 pA/ÿ Hz (a ser comparada com a contribuição combinada de 0,26 pA/ÿ Hz de RC, RE e Rf).

Alguns detalhes:111

(a) O seguidor de bootstrap Q2 deve conduzir o lado inferior do fotodiodo com uma impedância de saída muito menor que a impedância de entrada de Q1 (ou seja, re, aqui 1,7 kÿ); isso é satisfeito aqui, onde a alta transcondutância de Q2 garante uma baixa impedância de saída de *Zo = 1/ gm* ÿ 112 40ÿ.

(b) Escolhemos primeiro um 2N5089 para o transistor cascode Q1, por causa de seu alto beta em baixas correntes (ÿ min=400 IC=100 A) e baixa capacitância de saída (2 pF), ambos os ÿ quais promovem baixo ruído. Mas então consultamos a Figura 8.85 e percebemos que ele tinha muito pouco GBW: fT é apenas 2 MHz em 15 A. Então, olhamos a seguir para um MMBT918 (2N918), com sua saudável fT=13 ÿ MHz em 1 mA. Mas isso seria cerca de *f* / fT, cerca de 8% em 15 fc e, portanto, um ÿ contribuinte insignificante para a redução de 3 dB de circuito de 1 MHz. Mas seu beta é anêmico, menos de 40 em 15 A. Então, finalmente, decidimos pelo 2SC4082 mostrado na figura: ele tem fT=20 MHz em 10 A e uma curva beta agradavelmente plana com A (e =90 em 100 ÿ provavelmente não muito menor em 15 A).

ÿ

ÿ ÿ

ÿ

(c) Há uma contribuição adicional da tensão de ruído, na forma da tensão de ruído de entrada do transistor (en= 4kT[rbb+0,5re]) gerando uma corrente de ruído "enC" através da capacitância efetiva de entrada do fotodiodo. Esses parâmetros não parecem desfavoráveis para o 2SC4082.113

C. Um truque final: "Cascode Regulado" (RGC)

A Figura 8.88 mostra uma configuração de circuito que alcançou popularidade considerável no mundo da fotônica, onde você lida com taxas de dados de gigabits por segundo. Os transistores Q1 e Q2 formam um loop de realimentação local estreito, com a base do transistor cascode Q1 "regulada" por Q2. *(Q1* e Q2 podem ser substituídos por MOSFETs, conforme indicado.) O cascode regulado melhora o cascode simples da Figura 8.86 de duas maneiras importantes. (a) A impedância de entrada do circuito (no emissor de Q1) é reduzida por um fator de ganho de tensão de Q2, aumentando bastante a largura de banda limitada por RinCin; e (b) a tensão de ruído de entrada é definida por Q2, em vez de Q1, de modo que o último pode funcionar em correntes baixas desejáveis sem a penalidade de ruído usual.

Para expandir isso um pouco, lembre-se de que a capacitância de entrada no amplificador de transimpedância mais simples (Figura 8.70) é um eliminador de largura de banda (via RfCin) e um intensificador de ruído

110 O OPA209 pode até ser *bom demais* para o trabalho, com seu en de 2,2 nV/ ÿ Hz. Exigimos apenas que o en do amplificador operacional seja significativamente menor que o de Q1 multiplicado pela razão da capacitância de entrada reduzida (bootstrapped) para a capacitância no nó de entrada do amplificador operacional (aqui isso funciona para 7,5 nV/ ÿ Hz) , e também que seja significativamente menor que o en de Q2 multiplicado pela razão entre a capacitância de entrada total e a capacitância no nó de entrada do amplificador operacional (que geralmente resulta em um valor ainda maior de en máximo). Em outras palavras, poderíamos ter escolhido um amplificador operacional não destinado a aplicações de baixo ruído das tabelas do Capítulo 4x.

111 Para uma ótima leitura, consulte o livro de Phil Hobbs, *Building Electro-Optical Sys tems, Making It All Work,* 2ª ed., Wiley (2009); uma bela coleção de truques para projetar amplificadores de fotodiodo cascode, incluindo indutores de pico em série e bobinas T para estender a largura de banda, células de ruído e muito mais.

112 Geralmente adicionamos um seguidor de emissor funcionando a alguns miliampères para fortalecer ainda mais o sinal de guarda, especialmente se ele estiver dirigindo a blindagem externa de uma linha coaxial onde é suscetível à captação de estações de rádio AM, etc.; veja a Figura *4x.19.*

113 O 2SC4082 tem *rbbCc=6* ps, o que (com Cob=0,9 pF) implica um *rbb* menor que 10 ÿ.

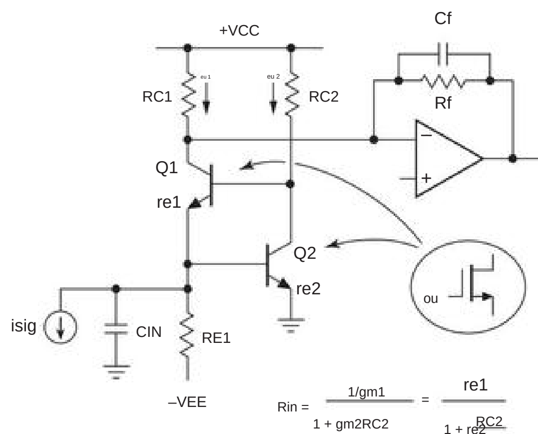


Figura 8.88. Um estágio de entrada de "cascode regulado" para o amplificador de transimpedância U1 permite que o cascode de isolamento de capacitância Q1 opere em baixa corrente sem uma penalidade correspondente. Ele também reduz a impedância vista na entrada capacitiva (por um fator de GV2), para maior largura de banda.

(via *enC).* Lutamos com isso e com os problemas de estabilidade que ele apresenta, primeiro adicionando compensação de feedback suficiente para garantir a estabilidade e, em seguida, aumentando a velocidade do amplificador operacional para recuperar alguma largura de banda. Em seguida, brincamos com as configurações do circuito para resolver diretamente o problema da capacitância de entrada: primeiro, inicializamos o lado baixo do fotodetector para *reduzir* a capacitância de entrada efetiva; então adicionamos um estágio de entrada cascode para *isolar* a capacitância de entrada, mas isso aumentou a impedância de entrada do circuito (sacrificando a largura de banda); portanto, polarizamos o cascode para reduzir Rin; e, finalmente, inicializamos o cascode tendencioso.

Tudo bem o suficiente. Mas o resultado foi um estágio de entrada que precisou operar com uma corrente de coletor significativa, gerando um deslocamento CC difícil de domar que limita seriamente a quantidade de ganho no estágio de transimpedância. Esta não é uma boa situação, especialmente se você quiser detectar pequenas correntes de entrada.

O cascode regulado aborda elegantemente esses problemas, permitindo que o estágio do cascode (Q1) seja executado em baixa corrente (para que o circuito funcione bem com correntes de pequeno sinal), enquanto contorna as penalidades de largura de banda e ruído (diminuindo Rin e permitindo que Q2 substitua o ruído de tensão de Q1). Para minimizar o ruído *da corrente* de entrada , você deve operar Q1 com baixa corrente de coletor, mas certifique-se de não reduzir a largura de banda excessivamente;114 consulte a discussão na seção “Largura de banda BJT e fT” do Capítulo *2x.* uma variedade

[114] A preocupação, é claro, é que Q1 terá fT ruim em baixa corrente de coletor. Mas esses projetistas sabem como fazer transistores de micro-ondas impressionantemente bons em seus CIs.

Essa configuração, de forma integrada, é utilizada na maioria dos receptores de fibra ótica contemporâneos.115

8.11.11 Amplificadores de transimpedância com realimentação capacitiva

Existe uma maneira de eliminar completamente a contribuição do ruído de Johnson do resistor de feedback de ajuste de ganho Rf, ou seja, eliminar o próprio resistor. A realimentação é então fornecida apenas pelo capacitor Cf , formando um integrador.
O sinal de saída deve ser diferenciado para recuperar uma saída proporcional à corrente do sinal de entrada; e é claro que tanto o integrador quanto o diferenciador devem ser redefinidos (interrompendo sua operação) com frequência suficiente para evitar a saturação.
Para preservar o baixo ruído do estágio de entrada, o ruído de tensão do amplificador operacional diferenciador deve ser significativamente menor que o do amplificador operacional de entrada (integrante).

Embora o feedback de capacitância possa parecer uma abordagem incomum, de fato, para TIAs comuns operando em frequências modestamente altas com resistores de feedback de alto valor (digamos, 100 Mÿ e acima), a autocapacitância do resistor conceitualmente transforma o amplificador em um integrador, com o resistor desempenhando algo semelhante a um papel de reinicialização. Uma vez que se comece a pensar nesse sentido, a ideia de aumentar deliberadamente a capacitância de realimentação para ÿ1 pF não é mais tão assustadora. Veja *§4x.8* para um exemplo de circuito e discussão.

Esta técnica é frequentemente usada em amplificadores “patch-clamp”116 e outros detectores de corrente de baixo nível, por exemplo, germânio resfriado ou detectores de raios X de silício (chamados IGX e Si(Li) respectivamente), nos quais o integrador é reinicializado por um pulso óptico de um LED (evitando assim os efeitos do envelhecimento do interruptor).

Uma aplicação mais comum de tal amplificador de transimpedância integrador é para a leitura de um detector de imagem, onde a quantidade de interesse é a carga total entregue durante a breve leitura, em vez de sua forma de onda de corrente versus tempo. Para esta aplicação, você precisa saber apenas a *mudança* na tensão de saída do integrador causada

[115] Ver, por exemplo, E. Sackinger e W. Guggenbühl, “A high-swing, high-impedance MOS cascode circuit,” *IEEE J. Solid-State Circuits* **25,** 1 (1990); SM Park, “amplificador de impedância CMOS de código casco regulado de 1,25 Gb/s para aplicativos gigabit ethernet”, *IEEE J. Circuitos de estado sólido* **39,** 1 (2004); ou Z. Lu et al., “Técnicas de design de banda larga para amplificadores de transimpedância,” *IEEE Trans. Circuitos Sis.* **54,** 3 (2007).

[116] Por exemplo, afirma-se que o amplificador patch-clamp Axon 200B atinge uma corrente de ruído de entrada aberta de apenas 0,2 fA/ÿ Hz a 150 Hz quando operado no modo de feedback de capacitância e resfriado termicamente; isso é equivalente ao ruído de disparo de 0,1 pA de corrente de fuga.

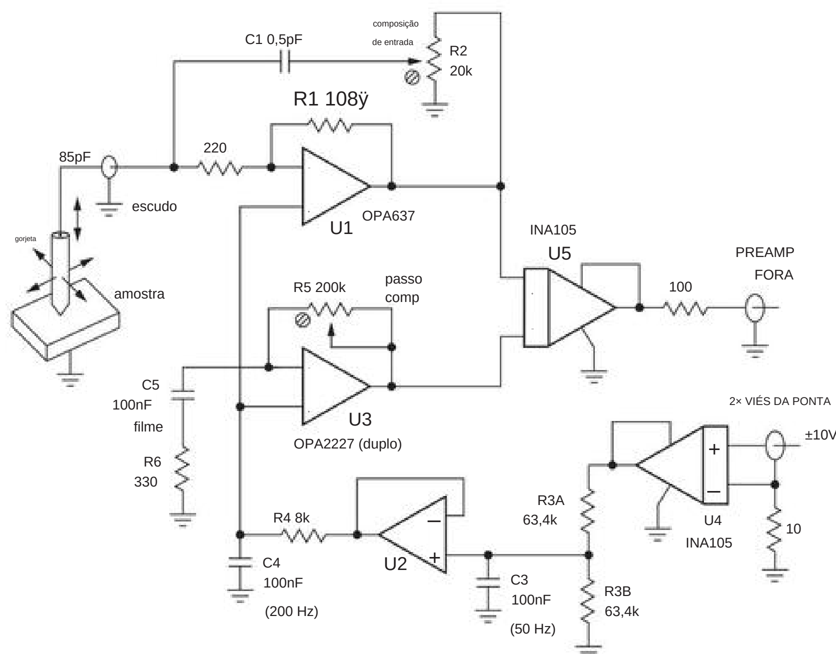


Figura 8.89. Um pré-amplificador de transimpedância de baixo ruído para um microscópio de tunelamento de varredura (STM), onde os sinais de corrente de ponta estão na faixa de nanoamp. A tensão ponta-amostra é definida pela entrada "tip-bias"; a resposta de frequência vai para ~10 kHz e o ganho é de 0,1 V/nA. O Trimmer R2 ajusta a capacitância de feedback efetiva, para compensar os 100 pF (ou mais) de capacitância vistos na linha de entrada blindada que emerge da câmara de vácuo criogênica.

pela entrega de carga. Essa técnica é conhecida como "amostragem dupla correlacionada" e remonta à década de 1950; veja a nota de rodapé na página 571.

8.11.12 Pré-amplificador de microscópio de tunelamento de varredura

A microscopia de tunelamento de varredura (STM), datada do trabalho de Binnig e Rohrer no início dos anos 1980,117 permite a visualização da topografia da superfície (e outras propriedades) de uma amostra em nível atômico. A Figura 8.89 mostra uma ponta metálica afiada pairando sobre uma amostra em uma câmara de vácuo, conectada a um pré-amplificador de medição de corrente. Quando a ponta está próxima da superfície (ÿ1 nm, cerca de dez diâmetros de átomos) e polarizada para ~1 V, uma corrente de ordem 1 nA flui por meio de "tunelamento" mecânico quântico através da barreira de potencial. A corrente é muito sensível ao espaçamento ponta-amostra, variando exponencialmente de tal forma que a corrente normalmente aumenta em uma ordem de magnitude quando o espaçamento é reduzido em 0,1 nm.118

Para formar uma imagem topográfica, a ponta é mantida em uma voltagem fixa e varrida através da amostra, com seu espaçamento controlado por um atuador piezo de modo que a corrente medida da ponta seja mantida constante. A tensão de acionamento piezo é então uma medida de variações na altura da superfície, com uma resolução vertical melhor do que um diâmetro atômico. Se a ponta da ponta for suficientemente pequena (não mais do que alguns átomos de largura), a resolução horizontal também é de escala atômica.
A Figura 8.90 mostra um exemplo, uma imagem STM de uma superfície de silício.

O pré-amplificador STM é um amplificador de transimpedância, geralmente montado em um flange na câmara de vácuo, onde recebe o sinal de corrente do túnel da ponta através de um comprimento de linha blindada. Isso adiciona capacitância de entrada, normalmente na faixa de 50–200 pF. Como o pré-amplificador está dentro do loop servo de espaçamento de pontas, ele precisa de muita largura de banda, digamos 20 kHz, para permitir uma varredura rápida, exigindo, portanto, compensação de loop cuidadosa (consulte *§4x.3).* O pré-amplificador também precisa aplicar a tensão de polarização de ponta.

Na Figura 8.89, o estágio de transimpedância U1 é um OPA637, um amplificador operacional JFET de 80 MHz (descompensado) com 16 pF de capacitância de entrada e ruído de tensão de entrada de 4,5 nV/ÿ Hz (consulte Tabela 8.2 na página 516). Isso é bastante

[117] Veja, por exemplo, o artigo "Scanning tunneling microscopy," *Hel vetica Physica Acta* **55,** 726–735 (1982).

[118] Veja, por exemplo, JA Golovchenko, "O microscópio de tunelamento: um novo olhar para o mundo atômico," *Science* **232,** 48–53 (1986).

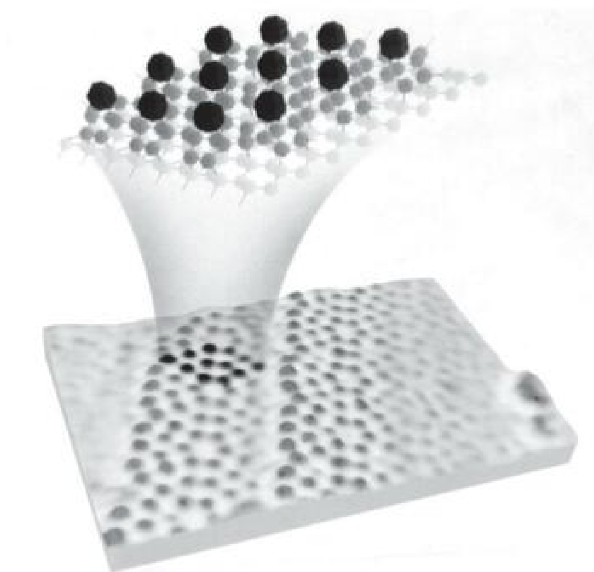


Figura 8.90. Estrutura de uma região quadrada de 10 × 10 nm de uma superfície de cristal de silício, fotografada em nível atômico por um STM. O modelo gráfico (expandido acima) elucida a estrutura da superfície observada (conhecida como reconstrução, porque os átomos da superfície adotam um arranjo diferente em relação ao volume; aqui vários planos atômicos são vistos, em uma característica reconstrução "7×7"). Esta primeira imagem de uma etapa atômica é adaptada da ilustração da capa que acompanha o artigo referenciado na nota de rodapé 118 na página 553.

(Cortesia J. Golovchenko)

capacitância de entrada, mas aqui é insignificante em comparação com a capacitância do cabo e, em troca, obtemos um amplificador de banda larga silencioso com baixa corrente de entrada. A polarização da ponta é definida pela tensão CC na entrada não inversora de U1; a saída do amplificador operacional é compensada pela tensão de polarização, que removemos com o amplificador de diferença U5 (consulte §5.14 e Tabela 5.7).119

Exercício 8.5. Calcule a largura de banda do pré-amplificador para C1=0,1 pF com Cin=100 pF e também calcule a capacitância de entrada máxima permitida. Mostre seus critérios de estabilidade. Faça um gráfico da densidade espectral efetiva total de entrada-ruído-corrente, com curvas para vários valores de Cin, incluindo o valor máximo (não se esqueça do ruído Johnson de R1). Calcule as frequências de ponto de interrupção fx correspondentes.

Este exercício demonstra que o ruído *enCin* é um problema sério limitação na velocidade geral e no desempenho. Observe que não é apenas o en do amplificador operacional que importa aqui - ele é combinado com o ruído na tensão de polarização aplicada à entrada não inversora do U1. Para manter a tensão de polarização silenciosa, usamos um amplificador de diferença U4 para isolar o ruído do caminho de terra em seu DAC controlado por computador e adicionamos um par de filtros passa-baixa *RC* no caminho de polarização através de U2; o filtro na saída de U2 é necessário porque, caso contrário, o ruído de tensão de U2 faria uma contribuição significativa para o de U1, como o próximo exercício demonstra. Op-amp U3 armazena a tensão de polarização na impedância de entrada de 25k de U5.

Exercício 8.6. Calcule e desenhe um gráfico do ruído espectral permitido para U2 e para o sinal DAC de tensão de polarização do computador (entrada para U4), assumindo que a tensão de ruído da polarização final aplicada à entrada não inversora de U1 não é mais do que 30% daquela contribuição do próprio U1 .

Se a varredura da ponta do STM for interrompida momentaneamente, a tensão de polarização pode ser alterada em uma rampa ou uma série de etapas, criando uma varredura I-V que pode ser usada para determinar informações adicionais sobre o átomo imediatamente sob a ponta. Uma abordagem é parar repetidamente e fazer varreduras I–V . Desta forma, o STM pode fornecer não apenas um mapa de elevação da superfície, mas também um mapa de composição elementar. Mas alterar a tensão de polarização da ponta causa um pulso de corrente *i=Cin* dV/dt que é visto e amplificado pelo TIA op-amp U1. Uma boa maneira de lidar com esse efeito é adicionar R5 e C5 de forma que *R5C5=R1Cin.* Isso cria um pulso de fechamento na entrada inversora de U5, permitindo que uma corrente de tunelamento precisa seja medida antes que a tensão seja completamente estabilizada. Isso acelera bastante o I–V completo

Varredura.

Esse tipo de circuito é útil em outras aplicações de entrada de corrente, como amplificadores patch-clamp em neurofisiologia. É basicamente uma forma de unidade de medida de fonte (SMU), um dispositivo útil que usamos para fazer as medições de transcondutância JFET em *§3x.2* e os gráficos BJT beta na Figura 8.39.

8.11.13 Dispositivo de teste para compensação e calibração

Para ajustar a compensação de entrada *(R2* nas Figuras 8.80, 8.89 e *4x.17)* , você precisa de uma fonte limpa de ondas quadradas em escala nanoampère fornecendo uma corrente calibrada no conector de entrada; com o cabo de entrada no lugar, você adicionaria apenas R2 para obter a melhor resposta ao degrau. Você pode imaginar uma onda quadrada de 1 V em série com um resistor de 1 Gÿ. O problema é que a capacitância shunt parasita do resistor de ~0,1 pF causa picos de corrente de entrada em cada transição de

119 Um amplificador de diferença de ganho mais alto pode ser usado para U5 (por exemplo, um INA106 com G=10), desde que as correntes de tunelamento não sejam mais do que alguns nanoamperes. Pré-amplificadores STM são frequentemente operados em níveis de corrente muito baixos, com R1=109 ÿ. As conexões do nó de junção de soma (ambos os lados do resistor de 220 ÿ, juntamente com a entrada inversora do amplificador operacional) são frequentemente colocadas em separadores de Teflon para evitar vazamento de PCB correntes.

a onda quadrada; leva apenas 0,01 V/s de giro de entrada para produzir pulsos de corrente de 1 nA.

A Figura 8.91 mostra duas soluções para esse problema. No circuito A, uma série de entrada ajustável *RC* (passa-baixa, ou "pólo") compensa a capacitância parasitária Cp (passa-alto , ou "zero") do resistor de escalonamento de corrente R2. Para este modelo simples de capacitância parasita, o cancelamento requer $R_1C_1=R_2C_p$. O conector de entrada isolado opcional suprime picos de corrente de caminho de terra entre o gerador de sinal e o pré-amplificador e osciloscópio. O circuito B adota uma abordagem diferente, usando um pequeno capacitor em série (na junção de soma na saída) como um diferenciador; $i=C_2dV_{in}/dt$ prevê uma onda quadrada de saída de ±1 nA para uma onda triangular de entrada de 0,5 Vpp a 1 kHz. Este circuito é o mais simples, mas seu desempenho depende sensivelmente da qualidade da onda triangular em seus pontos de virada; obtivemos bons resultados com os geradores de funções sintetizadas Agilent 33120A (e modelos posteriores). Sua milhagem pode variar.

8.11.14 Uma observação final

Lembramos ao leitor que nos referimos vagamente aos amplificadores de impedância trans como "amplificadores de fotodiodo"; isto é, é claro, apenas um aplicativo (embora importante) Entre muitos.

Nosso tratamento neste capítulo trata principalmente do ruído em amplificadores de transimpedância, assumindo familiaridade com o básico. Certifique-se de visitar *§4x.3* para uma introdução aos amplificadores de transimpedância, um tratamento de estabilidade e largura de banda e uma coleção saudável de truques importantes e úteis.

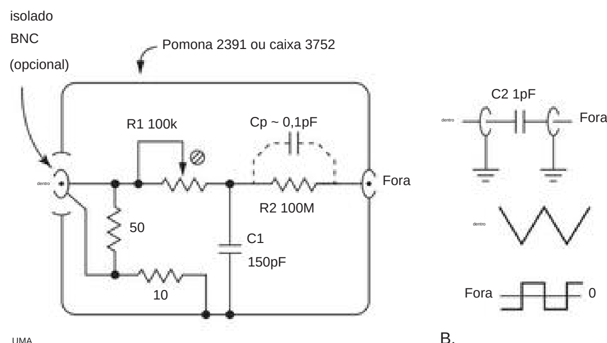


Figura 8.91. Dispositivo de teste para produzir uma entrada de onda quadrada nanoamp para compensar e calibrar um amplificador de transimpedância. A. *R1C1* ajustável (um "pólo") cancela o pico causado pela capacitância shunt de R2 (um "zero"), de modo que uma onda quadrada de 0,1 V cria uma onda quadrada de saída de 1 nA limpa em uma junção de soma. B. O diferenciador capacitivo converte uma onda de tensão triangular de 500 mV (pico a pico) de 1 kHz em uma onda de corrente quadrada de ±1 nA na junção de soma de saída.

8.12 Medições de ruído e fontes de ruído

É um processo relativamente direto determinar a tensão e a corrente de ruído equivalentes de um amplificador e, a partir delas, a figura de ruído e a relação sinal-ruído para qualquer fonte de sinal. Isso é tudo que você precisa saber sobre o desempenho de ruído de um amplificador. Basicamente, o processo consiste em colocar sinais de ruído conhecidos na entrada e, em seguida, medir as amplitudes do sinal de ruído de saída dentro de uma determinada largura de banda. Em alguns casos (por exemplo, um dispositivo de impedância de entrada compatível, como um amplificador de radiofrequência), um oscilador de amplitude controlável e conhecida com precisão é substituído como fonte de sinal de entrada.

Mais tarde, discutiremos as técnicas necessárias para fazer a medição da tensão de saída e a limitação da largura de banda. Por enquanto, vamos supor que você possa fazer medições rms do sinal de saída com uma largura de banda de medição de sua escolha.

8.12.1 Medição sem fonte de ruído

Para um estágio de amplificador feito de um FET ou transistor e destinado ao uso em frequências baixas a moderadas, a impedância de entrada provavelmente será muito alta. Você quer saber en e dentro para que possa prever o SNR com uma fonte de sinal de impedância de fonte arbitrária e nível de sinal, como discutimos anteriormente. O procedimento é simples.

Primeiro, determine o ganho de tensão do amplificador GV por medição real com um sinal na faixa de frequência de interesse. A amplitude deve ser grande o suficiente para anular o ruído do amplificador, mas não tão grande que cause saturação do amplificador.

Em segundo lugar, curto-circuite a entrada e meça a tensão de saída de ruído rms, es. A partir disso, você obtém a tensão de ruído de entrada por hertz raiz de

$$pt = \frac{e_s}{G_V B^{\frac{1}{2}}} \quad \text{V/Hz}^{\frac{1}{2}} \tag{8.47}$$

onde *B* é a largura de banda da medição (consulte §8.13).

Em terceiro lugar, coloque um resistor *R* na entrada e meça a nova tensão de saída de ruído rms, er. O valor do resistor deve ser grande o suficiente para adicionar quantidades significativas de ruído de corrente, mas não tão grande que a impedância de entrada do amplificador comece a dominar. (Se isso for impraticável, você pode deixar a entrada aberta e usar a impedância de entrada do amplificador como R.) A saída que você mede é apenas

$$e_r^2 = [e_n^2 + 4kTR + (i_nR)^2]BG_V^2 \text{ V,} \tag{8.48}$$

a partir do qual você pode determinar em ser

$$e_n = \frac{1}{R}\left(\frac{e_r^2}{BG_V^2} - (e_n^2 + 4kTR)\right)^{1/2}. \quad (8.49)$$

Com alguma sorte, apenas o primeiro termo na raiz quadrada importará (ou seja, se o ruído de corrente dominar tanto o ruído de tensão do amplificador quanto o ruído de Johnson do resistor de fonte).

Agora você pode determinar o SNR para um sinal Vs de impedância de fonte Rs, ou seja,

$$SNR(dB) = 10\log_{10}\frac{V_s^2}{v_n^2}$$

$$= 10\log_{10}\frac{V_s^2}{[e_n^2 + 4kTR_s + (i_nR_s)^2]B}, \quad (8.50)$$

onde o numerador é a tensão do sinal (presume-se que esteja dentro da largura de banda B) e os termos no denominador são a tensão de ruído do amplificador, a corrente de ruído do amplificador aplicada a Rs e Ruído Johnson em Rs. Observe que aumentar a largura de banda do amplificador além do necessário para passar o sinal Vs apenas diminui o SNR final. No entanto, se Vs for de banda larga (por exemplo, um sinal de ruído em si), o SNR final é independente da largura de banda do amplificador. Em muitos casos, o ruído será dominado por um dos termos da equação anterior.

8.12.2 Um exemplo: circuito de teste de ruído de transistor

Para os dados de ruído medidos na Tabela 8.1a usamos o circuito da Figura 8.92. É basicamente uma elaboração do amplificador simples de emissor aterrado de terminação única da Figura 8.42, com provisão para calibração de ganho e soquetes e pontos de teste para substituição de componentes. A configuração de terminação única requer um grande capacitor de bloqueio de entrada. O seguidor Q2 polariza o dispositivo em teste (DUT) para o ponto de tensão quiescente nominal por meio de R8, com a escolha de RC configurando a corrente quiescente. O resistor opcional RB permite a medição de ambos e in. As constantes de tempo *RC* excepcionalmente longas (multiplicador de capacitância, estágio de bloqueio de entrada, e saída) são necessárias para suprimir o excesso de ruído de baixa frequência; o circuito leva muitos segundos para resolver.

Este circuito poderia ser melhorado de várias maneiras (mas não foi, devido ao esgotamento do operador).[120]

[120] Alguns detalhes, para os curiosos: o circuito define tanto o IC quanto o VCE para o DUT por meio de um loop de realimentação do coletor para a base. O filtro passa-baixa *R5C3* atenua a realimentação negativa que reduziria indevidamente o ganho do emissor comum do transistor. O trabalho do capacitor de grande valor C2 é aterrar a base em todas as frequências de sinal (tão baixas quanto 4 Hz para nossas medições) para que possamos medir rbb (de seu ruído de Johnson), e também a tensão de ruído criada em rbb pela cauda 1/ *f* de baixa frequência do ruído de corrente de base. Mas o capacitor C2, em combinação com o potenciômetro de ajuste de polarização R8, adiciona uma segunda mudança de fase atrasada (um segundo polo) dentro do loop de realimentação, criando uma instabilidade de polarização de baixa frequência; confusamente, isso imita o ruído 1/ *f* no DUT na extremidade inferior do espectro. Poderíamos resolver isso introduzindo um zero de compensação (por exemplo, um pequeno resistor em série com C3), mas estávamos relutantes em alterar ainda mais o circuito. O pólo dominante é *R8C2,* e para medições de ruído de baixa frequência no território sub-nV/ √Hz, nos encontramos aumentando C2, para 0,15 F e até 0,35 F (!), e esperando que as modestas instabilidades se acalmassem. Isso derrotou nosso objetivo original, que era evitar os grandes capacitores de desvio do emissor normalmente usados com outras configurações de polarização sem feedback – mas, seja como for, conseguimos obter dados de ruído confiáveis para os gráficos e tabelas. O leitor é bem-vindo para experimentar mais.

8.12.3 Medição com uma fonte de ruído

A técnica anterior de medir o desempenho de ruído de um amplificador tem a vantagem de não precisar de uma fonte de ruído precisa e ajustável, mas requer um voltímetro e filtro precisos e assume que você conhece o ganho versus frequência do amplificador, com a resistência real da fonte aplicada. Um método alternativo de medição de ruído envolve a aplicação de sinais de ruído de banda larga de amplitude conhecida à entrada do amplificador e a observação do aumento relativo da tensão de ruído de saída.

Embora essa técnica exija uma fonte de ruído calibrada com precisão, ela não faz suposições sobre as propriedades do amplificador, pois mede as propriedades do ruído exatamente no ponto de interesse, na entrada.

Novamente, é relativamente simples fazer as medições necessárias no local. Você conecta o gerador de ruído à entrada do amplificador, certificando-se de que a impedância da fonte Rg seja igual à impedância da fonte do sinal que você planeja usar com o amplificador. Você primeiro nota a tensão de ruído rms de saída do amplificador, com a fonte de ruído atenuada para sinal de saída zero. Em seguida, você aumenta a amplitude rms Vg da fonte de ruído até que a saída do amplificador suba 3 dB (um fator de 1,414 na tensão rms de saída). A tensão de ruído de entrada do amplificador na largura de banda de medição, para esta impedância de fonte, é igual a este valor de sinal agregado. O amplificador, portanto, tem uma figura de ruído

$$NF(dB) = 10\log_{10}\frac{V_g^2}{4kTR_g}. \quad (8.51)$$

A partir disso, você pode descobrir o SNR para um sinal de qualquer amplitude com essa mesma impedância de fonte, usando a eq'n 8.14:

$$SNR(dB) = 10\log_{10}\frac{V_s^2}{4kTR_s} - NF(R_s). \quad (8.52)$$

Existem boas fontes de ruído calibradas disponíveis, a maioria

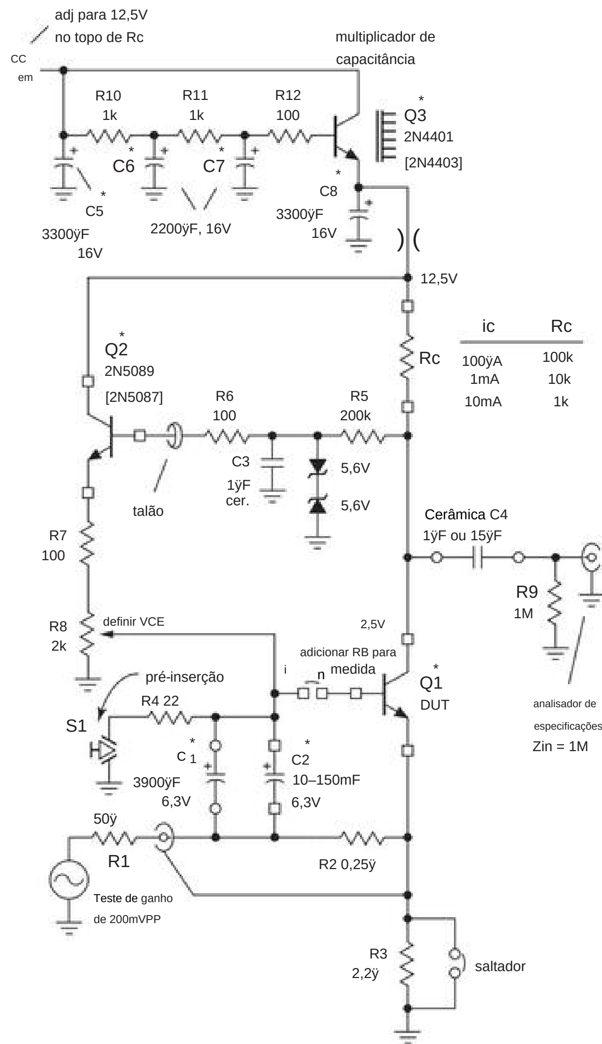


Figura 8.92. Circuito de teste de ruído do transistor. Q3 e componentes associados formam um multiplicador de capacitância eliminador de ruído. As polaridades mostradas são para um dispositivo *npn* em teste (DUT); para *pnp* inverta a polaridade dos componentes marcados com asteriscos. O sinal de entrada de calibração de ganho é substituído por um plugue de curto-circuito de 0 ÿ durante a medição de ruído.

dos quais fornecem meios de atenuação para níveis precisos na faixa de microvolts. Nota: mais uma vez, as fórmulas anteriores assumem Rin Rs. Se, por outro lado, a medição da figura de ruído for feita com uma fonte de sinal *compatível* , ou seja, se Rs = Zin, então omita os fatores "4" nas expressões anteriores.

Observe que esta técnica não informa diretamente , apenas a combinação apropriada para uma fonte de impedância igual à impedância de condução que você usou no medição. Claro, fazendo várias dessas medições com diferentes impedâncias de fonte de ruído, você pode inferir os valores de en e in.

Uma boa variação dessa técnica é usar o ruído John son do resistor como a "fonte de ruído". Esta é uma técnica favorita usada por projetistas de amplificadores de radiofrequência de ruído muito baixo (nos quais, incidentalmente, a impedância da fonte de sinal é geralmente de 50 ÿ e corresponde à impedância de entrada do amplificador). Geralmente é feito da seguinte maneira: um dewar de nitrogênio líquido mantém uma "terminação" de 50 ÿ (um nome chique para um resistor bem projetado que tem indutância ou capacitância desprezível) na temperatura de ebulição do nitrogênio, 77ÿK; uma segunda terminação de 50 ÿ é mantida à temperatura ambiente. A entrada do amplificador é conectada alternadamente aos dois resistores (geralmente com um relé coaxial de alta qualidade) e a potência do ruído de saída (em alguma frequência central, com alguma largura de banda de medição) é medida com um medidor de potência d Chame os resultados das duas medições de PC e PH, a potência de ruído de saída correspondente aos resistores de fonte fria e quente, respectivamente. É então fácil mostrar que a temperatura de ruído do amplificador, na frequência da medição, é apenas

$$\mathrm{Tn} = \frac{\mathrm{TH}\ \text{ÿ}Y\ \mathrm{TC}}{Y\ \text{ÿ}1} \quad \text{Kelvin,} \qquad (8.53)$$

onde $Y = PH/PC$, a razão das potências do ruído. A figura de ruído é então dada pela eq'n 8.16, ou seja,

$$\mathrm{NF(dB)} = 10\log_{10} \quad \frac{\mathrm{Tn}}{290} + 1 \qquad (8.54)$$

Exercício 8.7. Derive a expressão anterior para temperamento de ruído *(Tn +* comece notando que PH = *(Tn* + TC), onde é uma constante que logo TH) e PC = agora. *Dica:* ÿ desaparecerá. ÿ

Observe então que a contribuição do ruído do amplificador, declarada como uma temperatura de ruído, se *soma* à temperatura de ruído do resistor da fonte. Pegue a partir daí.

Exercício 8.8. A temperatura de ruído do amplificador (ou figura de ruído) depende do valor da impedância da fonte de sinal, Rs. Mostre que um amplificador caracterizado por en e in (como na Figura 8.28) tem temperatura mínima de ruído para uma impedância de fonte Rs = *en/ in.* Então mostre que a temperatura do ruído, para aquele valor de Rs, é dada por Tn = enin/2k.

Se você não quer se preocupar com nitrogênio líquido e está interessado apenas em amplificadores de frequência relativamente baixa, você pode explorar o curioso fato de que a voltagem de ruído de entrada de um BJT (em baixas correntes, onde os efeitos rbb são insignificantes) é igual ao Ruído de Johnson de um resistor real de valor re/2. Por exemplo, se você aterrar a base, conectar o coletor a +5 V e reduzir o emissor de 10k a -5V, verá no emissor um sinal de ruído com impedância de fonte de 50 ÿ e temperatura de ruído de 150K. Adicionar um bloqueio

capacitor, e alterne esta fonte de ruído com um resistor real de 50 ÿ (use um relé coaxial, não uma chave CMOS!), e você terá um calibrador de ruído de duas temperaturas simples (e muito barato).121

A. Amplificadores com impedância de entrada casada

Esta última técnica é ideal para medições de ruído de amplificadores projetados para impedância de fonte de sinal casada. Os exemplos mais comuns são amplificadores ou receptores de radiofrequência, geralmente destinados a serem acionados com uma impedância de fonte de sinal de 50 ÿ, e que possuem uma impedância de entrada de 50 ÿ. Consulte o Apêndice H para obter uma explicação desse afastamento de nosso critério usual de que uma fonte de sinal deve ter uma impedância de fonte pequena em comparação com a carga que ela aciona. Nesta situação, en e in são irrelevantes como quantidades separadas; o que importa é a figura de ruído geral (com fonte correspondente) ou alguma especificação de SNR com uma fonte de sinal compatível de amplitude especificada.

Às vezes, o desempenho do ruído é explicitamente declarado em termos da amplitude do sinal de entrada de *banda estreita* necessária para obter uma determinada SNR de saída. Um receptor típico de radiofrequência pode especificar um SNR de 10 dB com um sinal de ÿ entrada rms de 0,25 V e largura de banda do receptor de 2 kHz. Neste caso, o procedimento consiste em medir a saída do receptor rms com a entrada acionada por uma fonte de onda senoidal casada inicialmente atenuada a zero, em seguida, aumentar o sinal de entrada (onda senoidal) até que a saída rms suba 10 dB, em ambos os casos com a largura de banda do receptor definido para 2 kHz. É importante usar um medidor que leia tensões rms verdadeiras para uma medição onde o ruído e o sinal são combinados (mais sobre isso mais tarde). Observe que as medições de ruído de radiofrequência geralmente envolvem sinais de saída que estão na faixa de audiofrequência.

8.12.4 Fontes de ruído e sinal

Ruído de banda larga pode ser gerado a partir dos efeitos que discutimos anteriormente, ou seja, ruído de Johnson e ruído de tiro. O ruído de tiro em um diodo de vácuo é uma fonte clássica de ruído de banda larga que é especialmente útil porque a voltagem do ruído pode ser prevista com exatidão; o ruído do diodo zener também é amplamente utilizado em fontes de ruído, assim como os tubos de descarga de gás. Eles se estendem de CC a frequências muito altas, tornando-os úteis em medições de audiofrequência e radiofrequência. Veja a Figura 13.121 para ver um exemplo de um gerador de ruído "verdadeiro aleatório".

Fontes de sinal versáteis estão disponíveis com amplitude de saída controlada com precisão (até a faixa de microvolts e abaixo) em frequências de uma fração de hertz a muitos gigahertz, programáveis via GPIB, USB ou LAN. Um exemplo é o gerador de sinal sintetizado modelo E8257D da Agilent, com frequências de saída de 0,25 MHz a 20 GHz, amplitudes calibradas de 40 nV a 1 V rms, modos de modulação e varredura de frequência, belo display digital e interface de barramento e acessórios bacanas que estendem a faixa de frequência para 500 GHz. Isso é um pouco mais do que você normalmente precisa para fazer o trabalho. E em +45 dB$ provavelmente custa um pouco mais do que você está interessado em pagar. Por um décimo do preço (e um centésimo da largura de banda), você pode obter um dos "Geradores de funções arbitrárias" da Tektronix, por exemplo, o AFG3102C de 2 canais (cerca de US$ 6 mil), que fornece uma saída de ruído gaussiano além das formas de onda padrão (senoidal, quadrado, pulso, triângulo, etc.) e formas de onda arbitrárias (programadas). E se você deseja apenas uma forma de onda de *ruído ,* pode obter fontes de ruído de banda larga como o Noisecom NC346 (10 MHz–18 GHz).

Algumas fontes de ruído versáteis podem gerar tanto ruído rosa quanto ruído branco. O ruído rosa tem potência de ruído igual por *oitava,* em vez de potência igual por hertz. Sua densidade de potência (potência por hertz) cai para 3 dB/oitava (embora para o ouvido soe mais como um ruído aleatório espectral plano do que como um ruído branco). É amplamente utilizado como fonte de sinal para sistemas de áudio; em uma aplicação típica, você equalizaria um sistema de alto-falantes, acionado por uma fonte de ruído rosa, fazendo medições com um analisador de espectro portátil em tempo real (por exemplo, as ferramentas de software acústico Smaart®). Como a atenuação de um filtro *RC* cai para 6 dB/oitava, é necessário um filtro mais complicado para gerar um espectro rosa a partir de uma entrada de ruído branco. Leia a próxima subseção para ver como isso é feito.

A. Fonte de ruído pseudo -aleatória

Podemos criar uma fonte de ruído interessante usando técnicas digitais, em particular conectando registradores de deslocamento longos com sua entrada derivada de uma adição módulo-2 de vários dos últimos bits (consulte §§11.3.1 e 13.14). A saída resultante é uma sequência pseudoaleatória de 1s e 0s que, após a filtragem passa-baixa, gera um sinal analógico de espectro branco até o ponto de interrupção do filtro passa-baixa, que deve estar bem abaixo da frequência na qual o registrador é deslocado. Essas coisas podem funcionar em frequências muito altas, gerando ruído de até muitos megahertz ou mais. O "ruído" tem a propriedade interessante de se repetir exatamente após um intervalo de tempo que depende do comprimento do registrador (um registrador de comprimento máximo de n bits passa por *2n* ÿ 1 estados antes de repetir). Sem muita dificuldade, esse tempo pode ser muito longo (anos ou milênios), embora na maioria das vezes um período de um segundo seja longo o suficiente. Por exemplo, um arquivo de 50 bits

121 Aprendemos esse truque com Phil Hobbs, que sugere o uso de um diodo como um MBD301 (que não sofre injeção de alto nível a 500 ÿ A) em vez de um BJT.

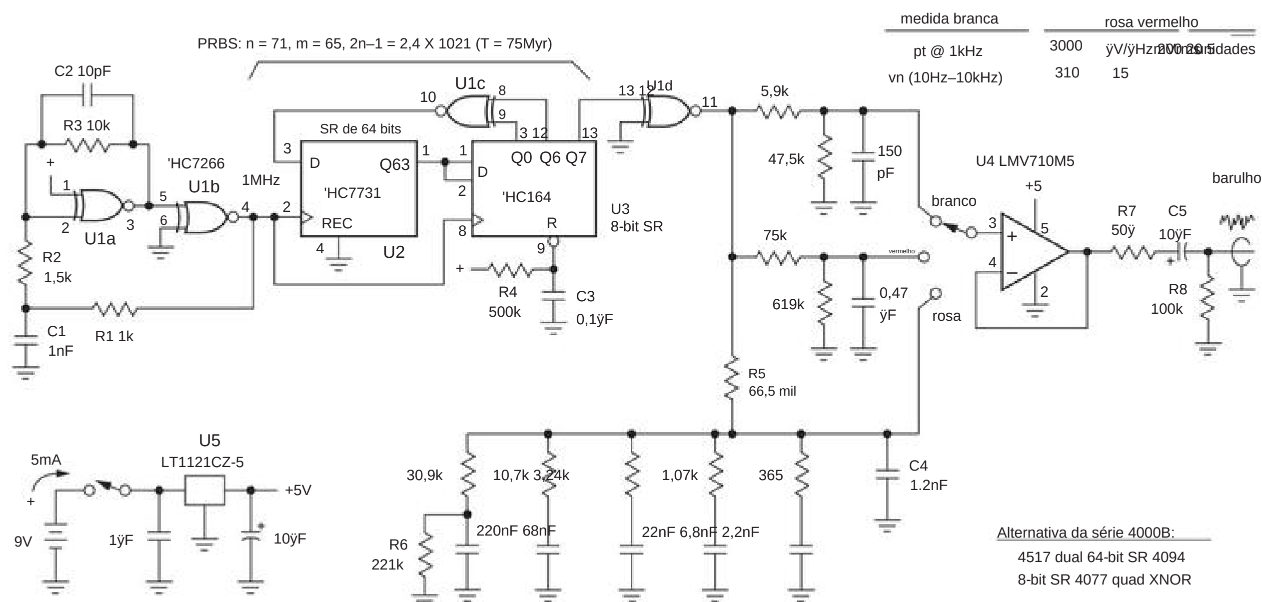


Figura 8.93. Fonte de ruído pseudoaleatório fornecendo três cores de ruído analógico de 10 Hz a 100 kHz, com valores medidos de densidade de ruído de saída (a 1 kHz) e tensão de ruído limitada em banda (Butterworth de 4 pólos, 10 Hz–10 kHz).

registrador deslocado em 10 MHz gerará ruído branco de até 1 MHz ou mais, com um tempo de repetição de 3,6 anos.

O circuito mostrado na Figura 8.93 usa um registrador de deslocamento de comprimento máximo de 71 bits, com clock de 1 MHz, para gerar uma forma de onda digital pseudo-aleatória que é espectralmente plana (±0,07 dB) até 100 kHz. A sequência de bits pseudoaleatórios é ridiculamente longa – com um clock de 1 MHz, ela se repete em cerca de 75 milhões de anos. Criar ruído branco ou vermelho é fácil: a seleção "branca" simplesmente filtra a forma de onda bruta de 2 níveis através de um passa-baixo *RC* a 200 kHz, acima da banda de interesse, para suprimir as bordas de clock (banda larga). A seleção "vermelho" insere, em vez disso, um filtro passa-baixo em 5 Hz, abaixo da banda de interesse, de modo que a saída caia nos habituais 6 dB/oitava.

O ruído rosa é mais complicado; você precisa de um filtro que reduza a amplitude do ruído branco por um fator de 1/ÿ 2 (em vez de 1/2) para cada duplicação da frequência. O método analógico usual é usar um conjunto paralelo de seções *RC* em série (como na Figura 8.93), com a frequência característica de cada seção sucessiva aumentando em uma razão fixa (aqui × 10, ou seja, uma década) com uma impedância que diminui pela raiz quadrada da mesma razão (aqui ÿ10). Mesmo com um espaçamento de década tão generoso, você se sai notavelmente bem, como visto nos resultados do SPICE da Figura 8.94, onde o desvio do comportamento ideal de ÿ3 dB/oitava é de apenas ±0,25 dB sobre os 5-faixa de frequência de década de 10 Hz a 1 MHz.[122]

As simulações são divertidas, mas a "borracha cai na estrada" quando você realmente constrói algo e mede seu desempenho. Fizemos isso, e a Figura 8.95 mostra os espectros medidos do circuito da Figura 8.93, que, dentro da espessura das linhas (onduladas), funciona como anunciado.

Algumas notas sobre o circuito

Não podemos resistir a alguns comentários sobre o projeto do circuito. Como sempre, há várias opções em cada etapa: um bom projeto equilibra questões de desempenho, custo, complexidade, disponibilidade de componentes, potência, confiabilidade e (ousamos dizer?) *elegância.* Por exemplo, o sinal de clock de ~1 MHz pode ser fornecido a partir de um módulo oscilador de cristal de US$ 2; mas para esta aplicação ele não precisa ser preciso ou estável, então escolhemos usar duas seções não utilizadas do quad XNOR para fazer um simples oscilador de relaxamento *RC* . (Não vimos essa implementação específica usada em outro lugar, mas é completamente direta: é a topologia da Figura 7.5, com U1a configurado como um buffer Schmitt não inversor, seguido pelo inversor U1b . A histerese é definida por *R2R3,* para 0,65 V, com pequeno capacitor de aceleração C2. A frequência é definida por R1C1.)

122 Um pouco de franqueza aqui: para obter esse desempenho, fizemos alguns ajustes finos para chegar à escolha do circuito de valores de resistor de 1%.

Machine Translated by Google

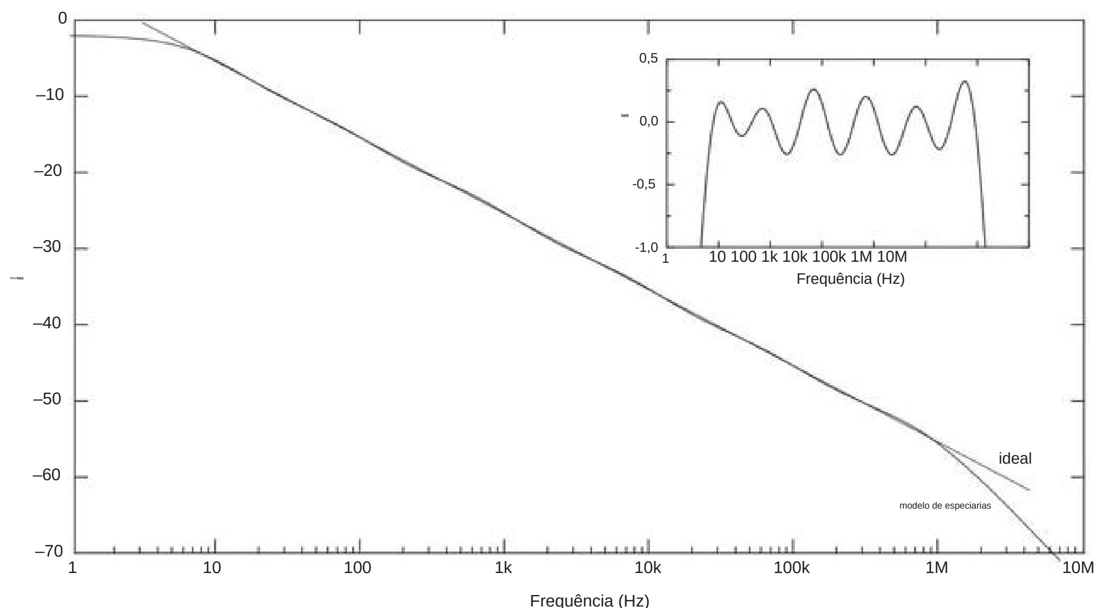


Figura 8.94. Simulação no SPICE do filtro de ruído rosa *(R5* e componentes abaixo) na Figura 8.93.

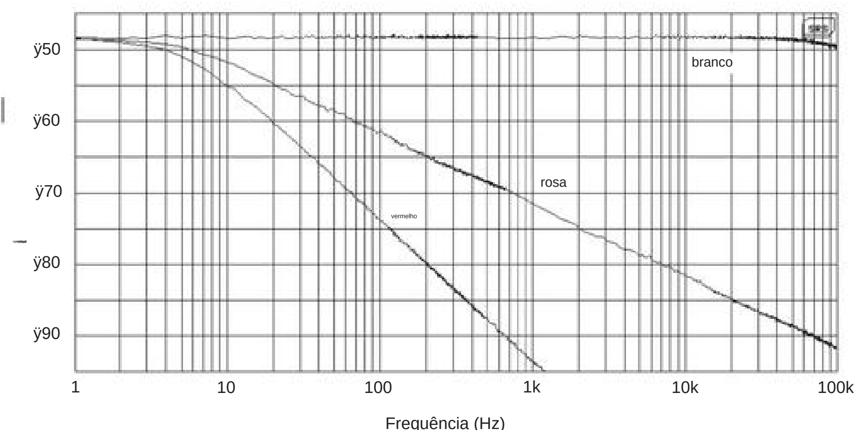


Figura 8.95. Espectros medidos do circuito da Figura 8.93. Cada espectro plotado é feito de dois espectros FFT de 800 pontos para abranger toda a faixa de frequência de 100.000:1. A tensão de ruído total medida vn e as densidades de ruído en estão listadas na Figura 8.93.

Escolhemos a família lógica 74HC porque as peças estão prontamente disponíveis, fáceis de prototipar (through-hole DIP), bastante rápidas e de baixa potência.123 Existem funções lógicas padrão para o que precisávamos, então escolhemos esse caminho (em vez do que as alternativas: um cPLD, FPGA ou microcontrolador).

Os registradores de deslocamento disponíveis eram muito pequenos (8 estágios) ou escandalosamente grandes (o 'HC7731 que usamos tem 256 estágios, como quatro bancos separados de registradores de deslocamento de 64 estágios). Escolhemos o último, usando apenas um banco e acrescentando um registrador de deslocamento paralelo de 8 estágios 'HC164 para que pudéssemos obter os taps necessários (aqui m=65 e n=71; consulte a Tabela 13.14). Observe o uso de NOR exclusivo (em vez de OU exclusivo), para evitar o estado preso de todos os zeros e, assim, garantir a inicialização.

O buffer de saída é um bom BiCMOS rail-to-rail input/

123 Em vez disso, poderíamos ter usado as peças CMOS 4000B de “alta tensão” listadas no diagrama, funcionando diretamente com a bateria de 9 V. Mas haveria compensações. (a) Gostaríamos de limitar a saída a uma amplitude estável, exigindo alguns componentes extras; e (b) estaríamos cronometrando em uma frequência desconfortavelmente próxima do limite superior especificado com bateria fraca, impossibilitando qualquer flexibilidade para ir para um clock mais rápido, digamos 10 MHz.

amplificador operacional de saída, com GBW de 5 MHz, baixa corrente de entrada (4 pA, típico), bastante capacidade de unidade de saída (±20 mA) e consumo de energia modesto (1,2 mA); é ruidoso (20 nV/ ÿ Hz, com alta frequência de canto 1/ *f),* mas isso dificilmente importa quando você está amplificando o ruído de qualquer maneira. O resistor em série R7 garante estabilidade em cargas capacitivas e (se você se importa) fornece terminação de fonte em cabo de 50 ÿ.

Para o regulador de 5 V (U5) , inicialmente buscamos algo da série legada LP2950 ou LM2931 de reguladores lineares de baixa queda. Mas o LP2950 é intolerante à polaridade de entrada invertida (uma façanha bastante fácil de realizar ao substituir uma bateria de 9 V); e ambos os reguladores são um pouco exigentes quando se trata do capacitor de saída. Em particular, eles exigem uma quantidade mínima de resistência equivalente em série (ESR),124 o que é preocupante – como se espera lidar com os capacitores de bypass de cerâmica de baixo ESR que sujam o resto do circuito? Felizmente, existem bons LDOs que não sobrecarregam o projetista com tais preocupações: o LT1121-5 que escolhemos é estável com ca pacitores de saída de zero ESR e é tolerante à entrada reversa (até -30 V); ele também possui a proteção usual contra sobrecorrente e sobretemperatura.

Há uma discussão mais extensa sobre ruído pseudoaleatório, juntamente com outro projeto de fonte de ruído pseudoaleatório (Figura 13.119), em §13.14.

8.13 Limitação de largura de banda e tensão rms medição

8.13.1 Limitando a largura de banda

Todas as medições sobre as quais falamos assumem que você está olhando para a saída de ruído apenas em uma banda de frequência limitada. Em alguns casos o amplificador pode prever isso, facilitando seu trabalho. Caso contrário, você deve pendurar algum tipo de filtro na saída do amplificador antes de medir a tensão de ruído de saída.

Filtro RC A coisa mais fácil de usar é um filtro passa-baixa (ou passa-faixa) *RC* simples, com ponto(s) de 3 dB definido(s) aproximadamente

124 Da folha de dados do LP2950: "Os capacitores de cerâmica cujo valor é maior que 1000 pF não devem ser conectados diretamente da saída do LP2951 ao terra. Os capacitores de cerâmica normalmente têm valores de ESR na faixa de 5 a 10 mÿ, um valor abaixo do limite inferior para operação estável (consulte a curva Faixa de ESR do Capacitor de Saída). A razão para o limite inferior de ESR é que a compensação de loop da peça depende do ESR do capacitor de saída para fornecer o zero que fornece avanço de fase adicionado. O ESR dos capacitores cerâmicos é tão baixo que esse avanço de fase não ocorre, reduzindo significativamente a margem de fase. Um capacitor de saída de cerâmica pode ser usado se uma resistência em série for adicionada (valor recomendado de resistência de cerca de 0,1 ÿ a 2 ÿ)."

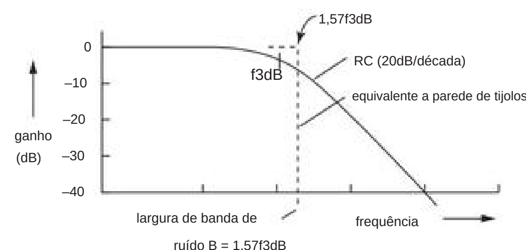


Figura 8.96. Largura de banda de ruído de parede de tijolo equivalente para filtro passa-baixa *RC* .

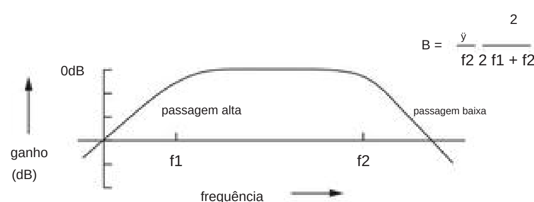


Figura 8.97. Largura de banda de ruído de tijolo equivalente para filtro de passagem de banda *RC* . Para o caso f1=f2 o ganho da banda média é de -6 dB.

a largura de banda que você deseja. Para medições de ruído precisas, você precisa conhecer a "largura de banda de ruído equivalente" (ENBW), ou seja, a largura de um filtro "parede de tijolos" perfeito que deixa passar a mesma tensão de ruído (Figura 8.96). Essa largura de banda de ruído é o que deve ser usado para *B* em todas as fórmulas anteriores. Não é muito difícil fazer a matemática, e você descobre, para um filtro passa-baixa *RC ,*

$$B = ÿ f3dB = 1,57 f3dB. 2 \qquad (8,55)$$

Para um par de seções *RC* passa-baixo em cascata (em buffer para que não carreguem umas às outras), a fórmula mágica se torna *B* = 1,22 f3dB. Para os filtros Butterworth lowpass discutidos em §§6.2.6 e 6.3.2, a largura de banda de ruído é

$$B = 1,57 f3dB = \frac{1}{4RC} \quad (1 polo),$$
$$B = 1,11 f3dB ÿ \frac{1}{5,6RC} \quad (2 polos),$$
$$B = 1,05 f3dB ÿ \frac{1}{6RC} \quad (3 polos),$$
$$B = 1,025 f3dB ÿ \frac{1}{6,1RC} \quad (4 polos).$$

Se você quiser fazer medições de banda limitada em alguma frequência central, você pode usar um par de filtros *RC* (Figura 8.97), caso em que a largura de banda de ruído é indicada. Você pode querer usar filtros Butterworth de ordem superior para obter características de passagem de banda mais precisas. Nesse caso, você precisará saber as larguras de banda de ruído equivalentes correspondentes; não entre em pânico – eles estão listados na Tabela 8.4 na página 564.

Filtro RLC Outra maneira de fazer um filtro passa-banda para medições de ruído é usar um circuito *RLC* . Isto é

melhor do que um par de filtros *RC* passa-alto e passa-baixo em cascata se você quiser sua medição em um passa-banda estreito em comparação com a frequência central (ou seja, Q alto).

A Figura 8.98 mostra circuitos *RLC* paralelos e em série e suas larguras de banda de ruído exatas. Em ambos os casos, a freqüência ressonante frequência dada por f0 = 1/2 circuito ÿ LC. Você pode organizar a de filtro passa-banda como uma carga paralela de coletor *RLC* (ou dreno), caso em que você usa a expressão conforme fornecida. Alternativamente (lembre-se da Figura 1.107), você pode interpor o filtro conforme mostrado na Figura 8.99; para fins de largura de banda de ruído, o circuito é exatamente equivalente ao *RLC paralelo,* com *R = R1R2.*

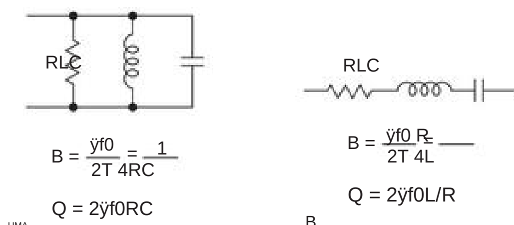


Figura 8.98. Largura de banda de ruído de tijolo equivalente para filtro de passagem de banda *RLC* . Para o circuito paralelo (A) o sinal da fonte é uma corrente e a saída é a tensão nos terminais; para a configuração em série (B), a entrada é uma tensão aplicada ao longo do circuito e a saída é a corrente resultante.

Média Como mencionamos em §8.1.5, outra maneira de realizar a filtragem passa-baixa de um sinal lento (uma tensão CC, digamos, na presença de ruído branco aditivo) é simplesmente fazer a média em algum intervalo de tempo T; esta é a mesma operação de média que é feita por um ADC integrador (por exemplo, em um voltímetro digital, consulte §13.8.3). Nesse caso, a largura de banda de ruído equivalente125 é B=1/2T. Assim, por exemplo, uma duração média de 1 segundo admite uma largura de faixa de ruído de 0,5 Hz. Este é um "filtro" passa-baixo simples – mas menos nítido do que um *RC* de seção única (o último cai em 6 dB/oitava, em comparação com 3 dB/oitava para a média de tempo).

125 É importante distinguir a operação de um tempo médio *T* ao medir um sinal estático, como acabamos de descrever, do uso de uma "janela" de tempo (novamente de duração T) para limitar a medição no intervalo de um sinal ac. No último caso, o uso de uma *janela retangular* impõe uma largura de banda de resolução B=1/T (isto é, o dobro da medição CC). No processamento de sinal digital, o negócio de ganhar desempenha um papel importante; veja, por exemplo, Harris, FJ, "On the use of windows for harmonic analysis with the discreta Fourier transform," *Proc. IEEE* **66** 51–83 (1978). Veremos esse mesmo tema, em conexão com *a média do sinal síncrono,* em §8.14, onde a detecção síncrona (ou "lock-in") de sinais durante algum tempo de duração *T* produz a mesma redução de largura de banda: B=1/T.

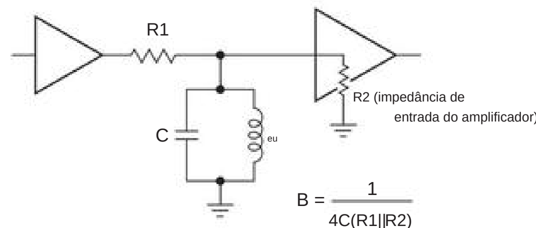


Figura 8.99. Filtro passa -banda *RLC* interestágio .

Filtro digital O processamento de sinal digital (DSP) é uma maneira eficaz de implementar funções de filtro extremamente bem definidas, com suas características facilmente modificadas pela alteração dos coeficientes numéricos armazenados. Consulte §6.3.7 para obter mais detalhes.

Translação de frequência Imagine que você queira fazer medições da "tensão de ruído pontual" em alguma largura de banda estreita (digamos, 10 Hz) centrada em alguma aleta de frequência relativamente alta, onde a última pode estar em dezenas ou centenas de quilohertz, ou talvez mesmo um megahertz ou mais. Ou seja, a razão Q=fin/ÿf é muito grande, digamos maior que mil. Um filtro passa-banda de alto Q é muito difícil de implementar! Mas há uma boa maneira de fazer a medição sem heroísmo de filtro.

O truque é mudar (traduzir) a banda de frequência de interesse para uma frequência muito mais baixa, onde é fácil fazer um filtro de banda estreita. A técnica é chamada *de heterodyning* e é uma técnica básica na maioria dos sistemas de comunicação por radiofrequência. É mais fácil entender se você pensar inicialmente em uma única frequência de entrada. A Figura 8.100 mostra o esquema básico, no qual uma tensão do sinal de entrada (na frequência fin) é multiplicada por uma tensão senoidal (na frequência fLO) de um *oscilador local* ("LO"), criando um par de sinais senoidais nas frequências fin ± fLO .126 O multiplicador é chamado de *misturador* e sua saída é filtrada para eliminar um dos produtos da mistura. Os misturadores podem estar na forma de um circuito ativo (um "multiplicador de 4 quadrantes") ou, para uso em frequências mais altas, um arranjo passivo de diodo acoplado a transformador chamado de *misturador balanceado.*

Em uma aplicação de comunicação, pode haver vários estágios de translação de frequência, passando por vários estágios de frequência intermediária ("IF") onde ocorre a amplificação e a filtragem.127 Para uma simples medição de ruído

126 Da identidade cosx cos y=1 e 2 cos(x+y)+ 1 2 *cos(xÿy),* com x=2 ÿ barbatana y=2 fLO. ÿ

127 Por exemplo, em um rádio FM, o LO é definido 10,7 MHz abaixo da estação desejada, com o sinal IF de 10,7 MHz amplificado e demodulado. A radiofrequência e as técnicas de comunicação são discutidas com mais detalhes no Capítulo 13 da segunda edição deste livro.

Machine Translated by Google

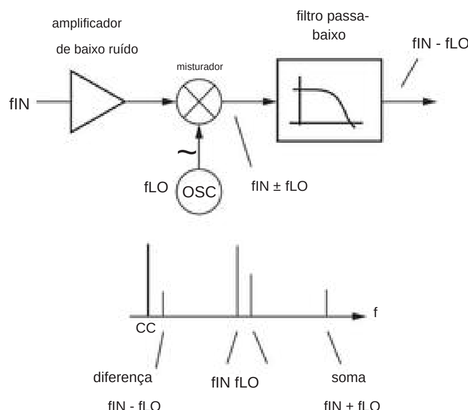


Figura 8.100. Deslocamento de frequência heterodino: o misturador produz frequências de soma e diferença; apenas o último sobrevive ao filtro passa-baixo.

aplicação, pode ser adequado misturar diretamente na "banda base", sintonizando o LO na frequência na qual a tensão do ruído local deve ser medida. Este é o mesmo processo usado na *detecção síncrona,* descrito posteriormente em §§8.14 e 13.13.6D. Os amplificadores comerciais síncronos (lock-in) permitem que você faça medições de tensão de ruído pontual de banda estreita em qualquer frequência em sua faixa, estendendo-se de 100 kHz (para amplificadores lock-in típicos) até 200 MHz (por exemplo, para o SR844) .

8.13.2 Calculando o ruído integrado

Vamos começar com o simples filtro limitador de banda passa-baixa *RC* de seção única. De sua largura de banda de parede de tijolo equivalente (eq'n 8.55), a saída de *tensão de ruído* integrada da filtragem de uma entrada de ruído branco de *densidade* de ruído en é encontrada tomando a raiz quadrada de

$$v_n^2 = e_n^2 B = e_n^2 \frac{ÿ}{2} f_{3dB} \; V^2(rms) \qquad (8.56)$$

e analogamente para *corrente de ruído.*

As coisas ficam mais complicadas se a densidade do ruído en depender da frequência, como acontece, por exemplo, com o ruído 1/f ("rosa"). Nesse caso, você deve integrar, em frequência, a densidade de ruído ao quadrado e2 *n(f)* vezes a característica de passagem de banda de potência espectral do filtro. E é comum usar um filtro *passa* -banda , com limites de frequência inferior e superior (chame-os de f1 e f2). Então, um filtro passa-banda ideal de "parede de tijolos" (ou deveria ser "quadra de squash"?!) tem resposta unitária entre f1 e f2 e uma largura de banda de ruído de *B* = f2 ÿ f1.

Paredes de tijolos são difíceis de implementar na tecnologia analógica, e um expediente simples, como sugerido anteriormente, é simplesmente para usar um par de RC's em cascata, com frequências de 3 dB de f1 e f2. Com um pouco de refinamento matemático, você pode demonstrar proficiência realizando os integrais apropriados, calculando assim a tensão de ruído de saída para "stan ou mesmo 1/f 2). Um atalho são ruídos explorar o brilho do impressionante programas Mathematica ou Wolfram. Um *colega128* fez isso para nós, e a Tabela 8.4 na próxima página resume os resultados, para essas três cores de ruído , e para quatro estilos de filtros passa-banda (parede de tijolos, *RC* simples (pólo único; isto é, um par de seções *RC* em cascata), Butterworth de 2 polos e Butterworth de m polo.

As expressões listadas fornecem a tensão de ruído quadrática integrada v2 para determinados limites de frequência inferior e superior de -3 dB f1 e f2 (Figura 8.101); a tensão de ruído rms é obtida pela raiz quadrada: Vn(rms)= v2 Para ruído rosa (1/f em potência) e ruído vermelho (1/f em potência) a densidade de ruído en é uma função da frequência; para essas expressões, usamos o fator de multiplicação geral a densidade de ruído na extremidade da banda alta, ou seja, e2 n(f2) (chame isso de e2 na tabela), que é a densidade de ruído ao quadrado em *f=f2,* em unidades de V2/Hz.

Observe que você pode definir f1=0, nas expressões para ruído branco, para obter a tensão de ruído dc para f2 (limitada por passa-baixa). Se você fizer isso, obterá as expressões mostradas na página 561. Isso não funciona para ruído rosa ou vermelho, porém, porque a integral diverge na frequência zero, transmitida nessas expressões pelo embaraço de um denominador zero no argumento do log (rosa) ou, pior, no próprio resultado (vermelho). É por isso que o ruído 1/ *f* é normalmente medido com uma largura de banda limitada de 0,1 Hz a 10 Hz, etc.; veja as Figuras 8.102 e 8.103.

A *corrente* de ruído é tratada da mesma forma: substitua cada onde a densidade de corrente de ruído in no lugar de en, para encontrar a corrente de ruído integrada In(rms).

A. O limite superior é mais importante

Para calcular a tensão de ruído integrada em alguma passagem de banda, você precisa integrar a densidade de potência de ruído *(e2* n) em relação à frequência, levando em consideração a resposta de banda passante do filtro (chame isso de *H(f)* ÿ Vout /Vin, e não se preocupe com a fase); isso é,

$$v_n^2 = \int_{f_1}^{f_2} e_n^2 \, H^2(f) df \; V^2(rms); \qquad (8.57)$$

e então você tira a raiz quadrada: $V_n(rms) = \sqrt{v_n^2}$.

Então, olhando para gráficos log-log de bandas passantes de filtro como

128 Jason Gallicchio, de novo!

Tabela 8.4 Ruído Integralsa

Tipo de filtro	Forma Espectral do Ruído		
	branco	rosa	vermelho
parede de tijolos			
1 pólo (RC)			
2 polos Butterworth			
m-pole Butterworth			

Notas: (a) Valores da tensão média quadrática do ruído, tipo de , em uma banda de frequência de a , como passa-banda limitada pelo filtro indicado. A densidade de tensão de ruído é o valor de em .

aqueles na Figura 8.101, você pode pensar a princípio que é necessário um filtro passa-faixa com reduções simétricas e nítidas nas extremidades baixa e alta. Mas – surpresa – a integral v2 pesa o limite superior desproporcionalmente, como você pode ver na Figura 8.102, onde plotamos o valor e2 nH2(f) para ruído branco (en=1) em uma passagem de banda de 100:1, em *linear* escalas de frequência e amplitude (porque é isso que integrais fazem para viver). A integral é a área sob a curva, acumulando preguiçosamente lotes de espectro indesejado para uma única seção *RC* na extremidade superior, mas adquirindo alguma disciplina com ordens superiores; por outro lado, a ordem do filtro na extremidade inferior quase não importa. E esse comportamento geral persiste, mesmo com uma banda passante 10:1 mais estreita (Figura 8.103).

Tomamos o caso simples de ruído branco, com sua densidade espectral uniforme. Mas a situação não muda muito mesmo quando a densidade do ruído aumenta em baixas frequências (por exemplo, ruído rosa, com e2 ÿ 1/ f): a combinação de uma resposta H2 ÿ *f* 2, integrada em um pequeno intervalo de frequência, elimina a densidade de ruído que aumenta modestamente.

8.13.3 Op-amp "ruído de baixa frequência" com filtro assimétrico

Como "os agudos são mais importantes", as especificações *de tensão de ruído de baixa frequência* (0,1 a 10 Hz) relatadas em muitas planilhas de dados de amplificadores operacionais são medidas com um filtro assimétrico, geralmente um passa-alta de seção única a 0,1 Hz em cascata com um Passa baixa de 2 seções (ou às vezes de ordem superior) a 10 Hz.

Aqui estão as larguras de banda de ruído equivalentes para o arquivo passa-banda medidores que são passa-alta de primeira ordem *(RC)* em f1 e passa-baixa Butterworth de segunda ordem em f2; como antes, para ruído rosa ou vermelho, o fator de multiplicação é a densidade de ruído no limite superior de frequência f2, ou seja, *"en2"ÿen(f2):* ÿ 2 f

$$v_n^2 = e_n^2\,4\; ÿ\; \frac{f_1^2 f_2^3\; ÿ2 f_1 f_2^4 + ÿ\,2 f_2^5}{f^4 + f_2^4} \quad \text{(branco)},$$

$$v_n^2 = e_{n2}^2\; ÿ\; \frac{f\,f_1^2 f_2^3 + 4 f_2^{15}\log_e(f_2/f_1)}{4(f^4 + f_2^4)} \quad \text{(rosa)}, \qquad (8.58)$$

$$v_n^2 = e_{n2}^2\,4\; ÿ\; \frac{ÿ\,2 f_1^3 f_2^{13}ÿÿ\,2 f_1 f_2^5 + 2 f_2^6}{f_1^5 + f_1 f_2^4} \quad \text{(vermelho)}.$$

Folhas de dados de amplificadores operacionais geralmente especificam uma largura de banda de 0,1 Hz a 10 Hz para sua tensão de ruído de baixa frequência listada; na maioria das vezes, é definido com um filtro assimétrico. Mas, curiosamente, eles tendem a listar um valor pico a pico (em vez de rms), obtido de uma captura de escopo de 10 segundos (semelhante ao traço inferior na Figura 8.4). É comum estimar a tensão de ruído rms com esta regra prática: vn(rms)ÿvn(pp)/6.

A. Tensão de ruído de baixa frequência do amplificador operacional Os amplificadores operacionais (com exceção dos amplificadores operacionais de auto-zeragem) exibem a, até agora, característica familiar de densidade de ruído: plana em frequências mais altas (chame-a de enH), mas aumentando aproximadamente como en ÿ 1/ ÿ *f* (ruído rosa) para frequências abaixo do canto de ruído 1/f (chame essa frequência de fc). Se você conhece fc e enH, pode usar as expressões na Tabela 8.4 para estimar a tensão de ruído integrada em qualquer amplitude de passa -faixa f1 a f2.

Existem três possibilidades. (a) O passa-banda é inteiramente

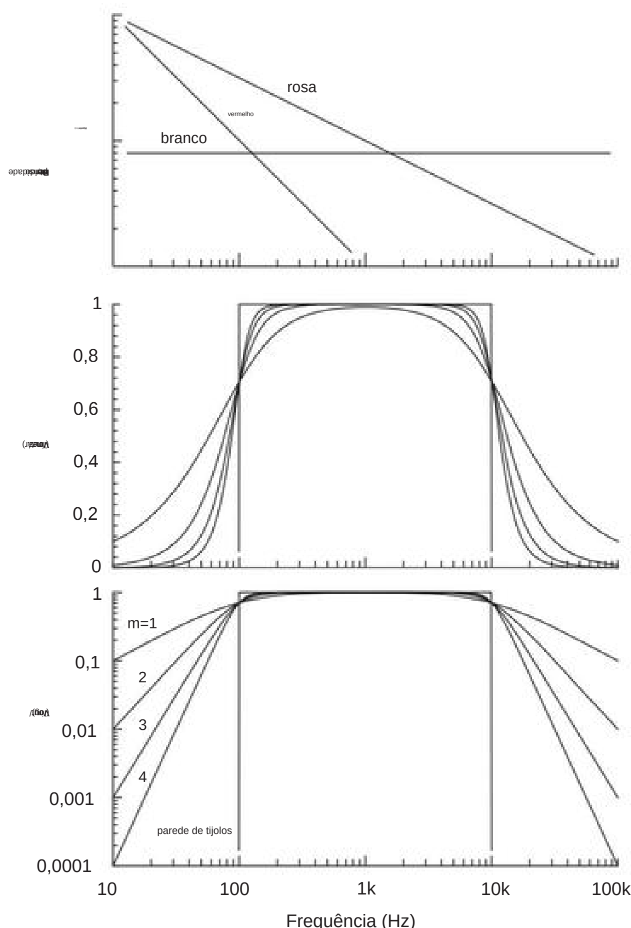


Figura 8.101. Formas espectrais dos três ruídos clássicos e filtros passa-banda usados para avaliar a tensão ou corrente de ruído integrado.

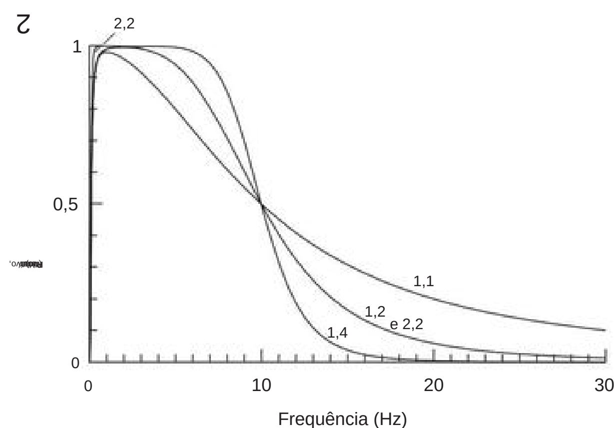


Figura 8.102. Espectro de potência do ruído branco filtrado, para filtros passa-banda Butterworth de 0,1 a 10 Hz das ordens indicadas (nas extremidades "baixa, alta"; assim, um filtro passa-banda "1,2" consiste em um *RC* passa-alta de primeira ordem em f1 em cascata com um passe baixo Butterworth de segunda ordem em f2).

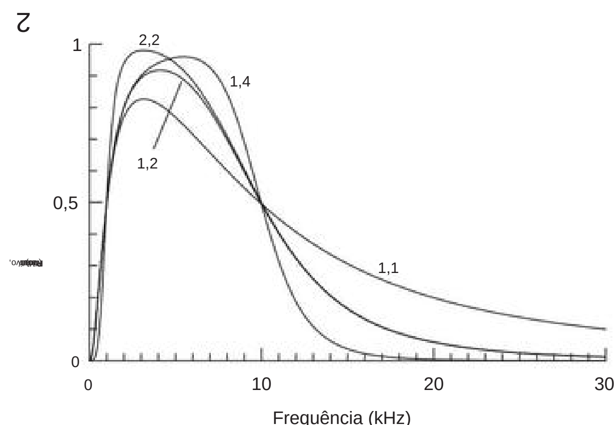


Figura 8.103. Espectro de potência do ruído branco filtrado, para filtros passa-banda Butterworth de 1 kHz a 10 kHz nas ordens indicadas (extremidades "baixo, alto").

na região do ruído branco, ou seja, f1 > fc; (b) o passa-banda está inteiramente na região do ruído rosa, ou seja, f2 < fc; ou (c) o passa-banda ultrapassa a frequência de canto 1/f . Para os dois primeiros casos, use a expressão correspondente da Tabela 8.4 correspondente à característica do filtro em uso. Para o caso (c), apenas calcule os v^2_n contribuir tions branco e rosa separados sobre toda a banda passante (f1 a f2) e faça sua soma.

No caso idealizado de um filtro passa-banda de parede de tijolos, esse processo fornece uma tensão de ruído integrada de

$$v^2_n = e^2_{nH} \left[f_2 - f_1 + f_c \log_e \frac{f_2}{f_1} \right] \quad \mathrm{V^2(rms)}. \qquad (8.59)$$

Isso é o que fizemos para criar as curvas de ruído integradas na Figura 5.54 (em §5.11.1), com base nas densidades de ruído da folha de dados plotadas na Figura 5.37 (em §5.10.6) e na Figura 8.63 (a partir dos dados plotados nas Figuras 8.60 e 8.61).[129] A Figura 8.104 mostra um exemplo, usando a planilha em curva do AD8671 (canto 1/f em 5 Hz) para encontrar a tensão de ruído integrado vn como uma função do corte superior frequência off (é necessário escolher um limite de baixa frequência diferente de zero f1 para evitar divergência).

[129] Um programa de planilha fornece uma maneira prática de fazer tais cálculos e plotar os resultados.

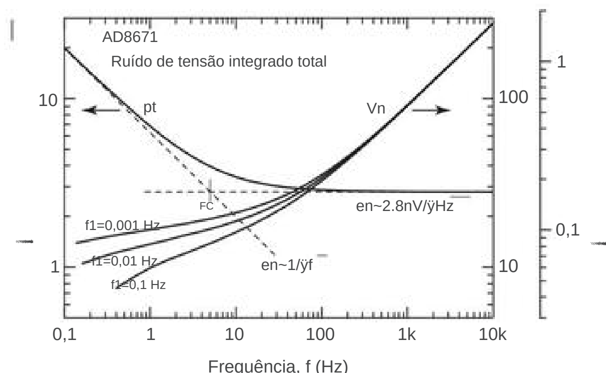


Figura 8.104. A densidade de ruído de tensão deste amplificador operacional en tem sua frequência de canto 1/f fc em 5 Hz. A integração da potência do ruído (*ÿe2* n) de uma frequência baixa f1 até uma frequência de corte f2=f fornece a tensão de ruído integrado ao quadrado v2 n, de onde resultam essas curvas de vn. Se f1 fosse definido como zero, a integral vn divergiria.

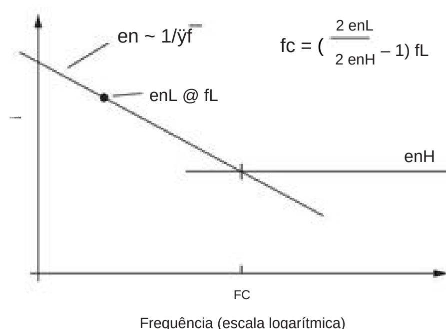


Figura 8.105. Para a densidade de ruído do manual (1/f em baixas frequências, plana em altas frequências), você pode obter a frequência de canto dos valores en em dois pontos.

8.13.4 Encontrando a frequência de canto 1/f

Se você estiver olhando para um gráfico de densidade de ruído versus frequência, pode tentar "observar" a frequência de canto 1/f fc. Mas é bom poder encontrar fc a partir de um par de valores tabulados quando não há nenhum gráfico disponível (geralmente en é especificado em 10 Hz e em 1 kHz nos dados tabulados de uma folha de dados); e, de qualquer forma, algumas pessoas ficam impressionadas com uma ou duas equações em um livro barato como este. Você pode descobrir, guiado pela Figura 8.105; o resultado é

$$e2\ fc = \frac{nL\ ÿe2_{nH}}{e^2_{nH}} fL = \frac{e^2_{nL}}{e^2_{nH}}\ ÿ1\ fL\ \text{Hz}, \qquad (8{,}60)$$

onde enL é a densidade de ruído em alguma frequência fL que está abaixo da frequência de canto e enH é a densidade de ruído bem acima de fc.

A. Tensão de ruído ao longo das décadas

Uma fonte de ruído branco (ou seja, en constante), filtrada para uma largura de banda *B* (por exemplo, com uma passagem de banda de parede de tijolos f2ÿf1=B), tem tensão de ruído integrada vn=en *ÿB.* Assim, olhando para décadas sucessivas de passa-banda (0,1–1 Hz, 1–10 Hz, 10–100 Hz, etc.), esperamos ver a tensão do ruído aumentando por fatores de ÿ10; e é por isso que, claro, "o topo de gama é mais importante". A situação para o ruído rosa é diferente: a dependência 1/f de e2 compensa as larguras de banda crescentes, gerando uma tensão de ruído constante, como você pode verificar observando a expressão para ruído rosa filtrado por parede de tijolos na página 564. Essas dependências são bem ilustrados nos gráficos de ruído integrado da Figura 5.54 e das Figuras 8.62 e 8.63, onde a característica 1/f de baixa frequência dos amplificadores operacionais convencionais faz com que sua tensão de ruído integrado diminua na extremidade de baixa frequência; por outro lado, os amplificadores operacionais auto-zero exibem en constante em baixas frequências, de modo que sua tensão de ruído integrada continua a diminuir em 10 dB/década à medida que a largura de banda é reduzida.

As medições de bancada confirmam esse comportamento? Olhar nos traços do escopo na Figura 8.106, que são formas de onda de disparo único de corrente de ruído de entrada limitada em banda em um amplificador operacional LT1012 BJT. A amplitude da corrente de ruído diminui cerca de 10 dB da década superior para a próxima década, mas parece se estabilizar e depois *aumentar* novamente na década mais baixa. Isso sugere uma densidade de ruído atual que aumenta mais rápido que 1/ÿ *f* do ruído rosa; e, de fato, o espectro de ruído atual medido do LT1012, mostrado na Figura 8.111, é "mais íngreme que rosa". Em contraste, um amplificador operacional cujo ruído de baixa frequência está em conformidade com um espectro de ruído rosa ideal exibiria uma amplitude de ruído aproximadamente constante por década de largura de banda, uma vez bem abaixo da frequência de canto 1/f.

B. Para sempre 1/f ?

Você costuma ouvir falar sobre a potência do ruído de baixa frequência em conformidade com a " lei 1/f", como se houvesse algum requisito legal envolvido. A princípio, você pode pensar que isso não pode ser verdade, porque (você diz para si mesmo) um espectro de potência 1/f não pode continuar para sempre, pois implicaria uma amplitude de ruído ilimitada. Se você esperasse o tempo suficiente, a tensão de deslocamento de entrada (ou corrente de entrada, neste caso) seria ilimitada. Na verdade, a mitologia popular de uma catástrofe de ruído de baixa frequência (da qual seu pensamento teria sido vítima) não tem mérito: mesmo que a *densidade* de potência de ruído continue como 1/ *f* até a frequência zero, sua potência de ruído total (ou seja, a *integral* da densidade de potência do ruído) diverge apenas logaritmicamente, dado que *f* ÿ1d *f* = loge *f* . Para colocar alguns números, a potência total do ruído em um espectro 1/ *f* puro entre 1 microhertz e

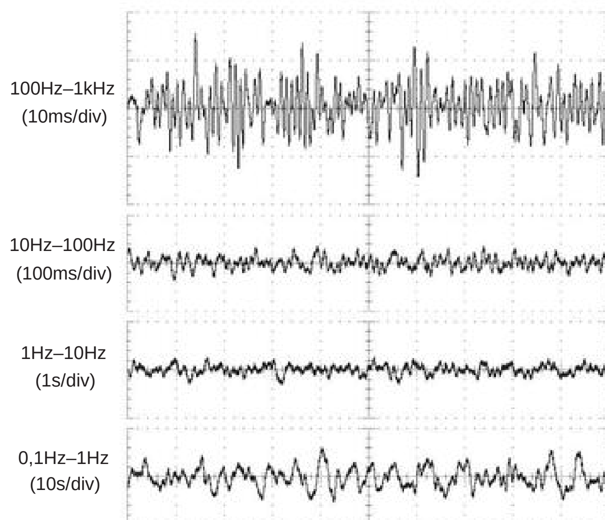


Figura 8.106. Corrente de ruído do LT1012 versus tempo, para passagens de banda de décadas sucessivas. Vertical: 5 pA/div. Horizontal: dimensionado para passagem de banda, conforme indicado.

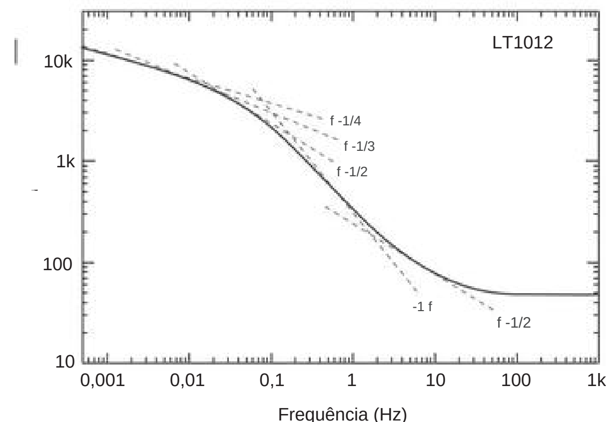


Figura 8.107. Espectro de corrente de ruído LT1012 medido, estendendo-se até 500 microhertz. Várias pistas são mostradas, para sua diversão.

10 Hz é apenas 3,5 vezes maior do que entre 0,1 Hz e 10 Hz; descendo mais seis décadas (para 10ÿ12 Hz), a proporção correspondente cresce apenas para 6,5. Dito de outra forma, a potência de ruído total de 1/ *f* , indo até uma frequência que é o recíproco de 32.000 anos (quando os neandertais ainda vagavam pelo planeta e não havia amplificadores operacionais), é apenas seis vezes maior do que o da folha de dados usual 0,1–10 Hz “ruído de baixa frequência”. Tanto para catástrofes.

Para descobrir se o ruído de baixa frequência de amplificadores operacionais reais continua em conformidade com um espectro de 1/ *f* , medimos o espectro de ruído atual de um amplificador operacional LT1012 até 0,5 milihertz,130 com o resultado da Fig . urna 8.107. Como observamos acima, este amplificador operacional é incomum porque sua densidade de ruído atual aumenta mais rápido do que o usual 1/ ÿ *f* (ruído rosa) por uma década em torno de 1 Hz; mas, mesmo assim, ele volta ao ruído rosa canônico e, finalmente, chega a algo mais próximo do “branco pálido” (f ÿ1/4) ou

Você poderia concluir que isso demonstra a natureza não física do comportamento 1/ *f* até zero. Mas há outra explicação possível, ou seja, que este amplificador operacional é afetado por algum ruído de rajada leve. Isso seria consistente com a inclinação “mais rápido que rosa” em torno de 1 Hz (lembre-se do espectro de ruído de explosão na Figura 8.6) e também levaria você a atribuir incorretamente um “mais lento que rosa” inclinação na extremidade de baixa frequência do espectro na Figura 8.107.

Se esta última explicação estiver correta, as medições em frequências ainda mais baixas (até 0,00001 Hz, digamos) confirmariam uma inclinação contínua de 1/ *f* (rosa). Mas leva um dia inteiro para atingir ÿ10 µHz, e é por isso que dados confiáveis em encontrar. Um ponto de dados interessante é fornecido pela medição de Daire da “Distribuição de Ruído Espectral” de um instrumento de medição de fonte Keithley 6430 de alta sensibilidade (resolução de 0,05 fA),131 que exibe um caractere 1/ *f* até um microhertz (correspondente a uma escala de tempo de várias semanas). Com isso em mente, é bem possível que o achatamento de baixa frequência visto na Figura 8.107 seja de fato um artefato de um platô de ruído de explosão. Ou talvez não – não há exigência legal de que o ruído de frequência extremamente baixa deva obedecer a um espectro de 1/ *f* (ruído rosa).

8.13.5 Medindo a tensão de ruído

Existe uma classe de instrumentos de teste, chamados analisadores de *espectro* ou *analisadores de sinal dinâmico,* que medem e exibem o espectro de frequência de um sinal de entrada. Um estilo é otimizado para uso de áudio e baixa frequência, geralmente até aproximadamente 100 kHz, com cálculos espectrais feitos com uma transformada discreta de Fourier; exemplos são o Stanford Research Systems SR780/5 e o Agilent U8903A. Na outra ponta, você encontra analisadores de espectro de RF e micro-ondas cujos limites de frequência superiores variam de ÿ3 GHz

130 Calculamos a média de 100 espectros de potência, acumulando uma série temporal de 2.000 segundos para cada um: não é um experimento rápido!

131 Adam Daire, “Contando elétrons: como medir correntes na faixa de amperes”, Keithley Instruments, Inc., setembro de 2005. Disponível em pdf em www.keithley.com.

para mais de 50 GHz; estes usam um oscilador de varredura interno e um esquema de mixer (frequentemente aumentado com um back-end digital de transformada de Fourier) para mapear o espectro seqüencialmente. Uma configuração popular acomoda a faixa de frequência de 9 kHz a 3 GHz, geralmente com um "gerador de rastreamento" interno que permite varrer as respostas de filtros ou amplificadores; exemplos são o Agilent E4403 e o Rohde & Schwarz FSL3.

Esses instrumentos são bastante flexíveis, com uma ampla gama de configurações de ganho de entrada, intervalos de frequência, escala de exibição e assim por diante. Os instrumentos de baixa frequência têm impedância de entrada de 1 Mÿ, conveniente para medições de circuito (por exemplo, amplificador operacional ou espectros de ruído de referência de tensão), enquanto os analisadores de RF apresentam impedância de entrada padrão de 50 ÿ (ou 75 ÿ, para aplicações de vídeo). Para medir um espectro de ruído de um amplificador operacional, por exemplo, basta usar o circuito da Figura 8.108, com Rs=0; você obterá um espectro como a curva inferior na Figura 8.109. Os espectros de ruído de tensão para alguns amplificadores operacionais assim medidos são mostrados na Figura 8.110.

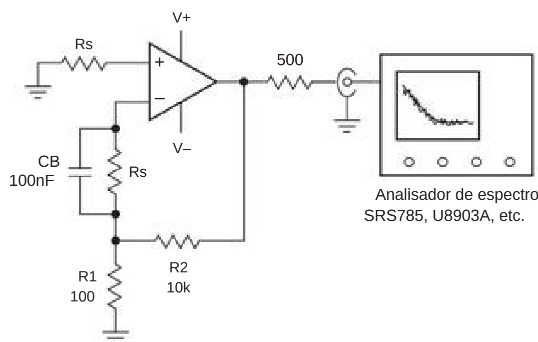


Figura 8.108. Medindo a tensão de ruído do amplificador operacional e a especificação atual. Para en, defina Rs=0; para in, escolha Rs substancialmente maior que a resistência de ruído do amplificador (Rn=en/in). Use uma caixa blindada com passagens CC filtradas.

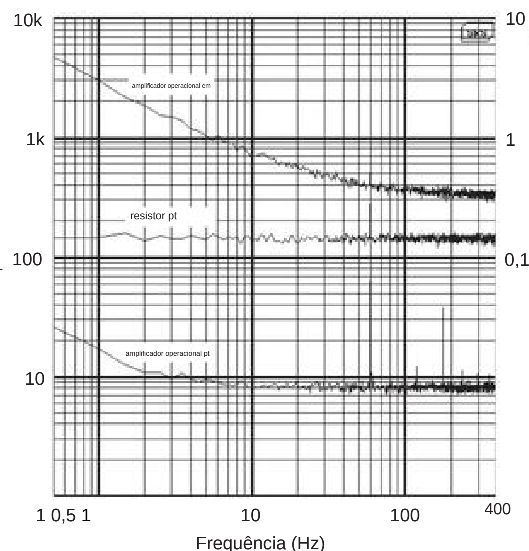


Figura 8.109. Espectros de ruído de tensão e corrente de um amplificador operacional OPA277, medidos com o circuito da Figura 8.108. O ruído Johnson do resistor Rs de 1 Mÿ usado para as medições in define um "piso de ruído", visto aqui bem abaixo do amplificador operacional medido in.

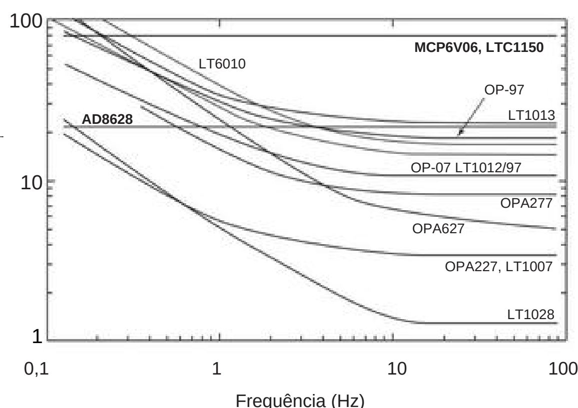


Figura 8.110. Espectros medidos de tensão-ruído-densidade de uma seleção de amplificadores operacionais. As partes em **negrito** são amplificadores de zero automático, que contornam o demônio do "ruído oscilante" 1/f por correção de deslocamento repetitivo; o itálico OPA627 é um amplificador operacional de entrada JFET. Veja também as Figuras 8.60 e 8.61.

A maneira mais precisa de fazer medições de tensão de ruído de saída integrada é usar um voltímetro true rms. Eles operam medindo o aquecimento produzido pela forma de onda do sinal (adequadamente amplificado) ou usando um circuito quadrado analógico seguido de cálculo da média. Se você usar um medidor true rms, certifique-se de que ele tenha resposta nas frequências que você está medindo; alguns deles vão até apenas alguns kilohertz.
Os medidores true rms também especificam um "fator de pico", a relação entre a tensão de pico e o rms que eles podem manipular sem grande perda de precisão. Para ruído gaussiano, um fator de crista de 3 a 5 é adequado.

Em vez disso, você pode usar um voltímetro CA do tipo média simples, se um medidor True RMS não estiver disponível. Nesse caso, os valores lidos na balança devem ser corrigidos. Acontece que todos os medidores de média (VOMs, DMMs, etc.) já têm suas escalas ajustadas, então o que você lê não é realmente a *média,* mas sim a tensão rms *assumindo um sinal senoidal.* Por exemplo, se você medir a tensão da linha de energia nos Estados Unidos, seu medidor lerá algo próximo a 117 V. Tudo bem, mas se o sinal que você está lendo for um ruído gaussiano, será necessário aplicar uma correção adicional. A regra é a seguinte: para obter a tensão rms do ruído gaussiano,

multiplique o valor “rms” que você leu em um voltímetro CA médio por 1,13 (ou adicione 1 dB). Aviso: isso funciona bem se o sinal que você está medindo for ruído puro (por exemplo, a saída de um amplificador com um resistor ou fonte de ruído como entrada), mas não dará resultados precisos se o sinal consistir em uma onda senoidal adicionada a ruído.

Um terceiro método, não exatamente mundialmente famoso por sua precisão, consiste em observar a forma de onda do ruído em um osciloscópio: a tensão rms é 1/6 a 1/8 do valor pico a pico (dependendo de sua leitura subjetiva do amplitude pp). Não é muito preciso, mas pelo menos não há problema em obter largura de banda de medição suficiente.

8.13.6 Medindo a corrente de ruído

Uma maneira fácil de medir a corrente de ruído de entrada em um amplificador operacional é usar o circuito da Figura 8.108, com um grande resistor de entrada Rs. Seu valor deve ser grande o suficiente para que a tensão de ruído gerada através dele pela corrente de ruído de entrada do amplificador operacional seja pelo menos comparável (e preferencialmente muito maior do que) à tensão de ruído do amplificador operacional: *inRs* en. Outra maneira de colocar isso é dizer que Rs Rn, a resistência ao ruído do amplificador operacional.

Ainda não terminamos. Também é necessário que *inRs domine* a densidade de tensão de ruído de Johnson do resistor: *inRs ÿ4kTRs.* Ou seja, Rs parece uma fonte de ruído atual de in = 4kT/Rs, então você deve escolher um valor grande o suficiente para que o ruído atual de entrada do amplificador operacional domine. Achamos mais fácil lembrar a voltagem do ruído Johnson e os valores atuais para uma resistência de número redondo e, em seguida, dimensioná-lo de acordo com a raiz quadrada de R. Portanto, observe: o ruído Johnson de um resistor de 1 Mÿ é en = 127 nV / ÿ Hz (circuito aberto), escalonado como *ÿR;* e in=127 fA/ÿ Hz (curto-circuito), escalando como 1/ *ÿR.*

A Figura 8.111 mostra os espectros de ruído de corrente de entrada para uma seleção de amplificadores operacionais (a maioria dos quais com entradas BJT com cancelamento de corrente de polarização), medido com o circuito da Figura 8.108 com Rs = 100 Mÿ (para o qual a tensão de ruído Johnson do resistor é equivalente a uma densidade de ruído de corrente de 12,7 fA/ÿ Hz) e foi medida com um amplificador operacional de entrada JFET OPA627 (cujas contribuições de ruído de tensão e corrente são insignificantes em comparação). As duas partes auto-zero (estabilizadas por chopper) exibem um espectro de ruído plano de baixa frequência, em contraste com a densidade de potência de ruído crescente “rosa” 1/f dos amplificadores operacionais convencionais.

Mas os zeros automáticos geralmente têm picos espectrais desagradáveis em frequências mais altas, causados pela comutação de clock na entrada (aqueles para o AD8628A estão em torno de 15 kHz, fora da extremidade direita do gráfico; mas a Figura 5.52 os mostra um pouco, para o MCP6V06).

Tabela 8.5 Medições de Ruído Auto-zero

	Tensão de Ruído				Ruído atual		
	espectro nV ( ) ÿHz	pt mede nV ( ) ÿHz	meas pico ampl (ÿV)	(kHz)	inspecione ÿHz	meas fA (A ( ) ÿHz	meas pico ampl (pA)
AD8551	42 46		5	5.2	2	21	20
AD8572 51		55	uma	uma	2	16	uma
AD8628 22		22	8	15	5 53 100		
LMP2021 11		18	8 25 350 120 400				
LTC1049 100 90 150 2.0					2	100 200	
LTC1050 90 70 80 3,8					1,8 130 8000 1,8 70		
LTC1150 90 92			2	0,6	15000s		
MAX4239 30 28 20				18	-	24	b
MAX9617 42		42	20 60 100 74				50
MCP6V06 82 80 40 8,9					0,6 38 800		
OPA335 55		52	5	11	20	12	50
OPA734 135 120			5	18	40 27 8000s		
OPA2188 8.8		8.5	-	-	7 750 0,6		-
TLC4501Ac 70/12e 60/11e 1/2/5f -					0,6g - 0,45g		-
MAX4236Ad 23/14e 24/16e 1/3/8f -					-		

Notas: (a) amplo espectro, leve aumento em 2,2kHz e harmônicos. (b) ruído de saída dominado por Vn, incapaz de medir In separadamente. (c) auto-zero na inicialização, sem correções depois disso. (d) amplificador operacional CMOS convencional de precisão, para comparação. (e) a 10Hz/1kHz. (f) sem feições espectrais; amplitudes de pico para larguras de banda de 1kHz/10kHz/100kHz. (g) a 1 Hz. (s) forma de onda pontiaguda, o valor listado é a amplitude de pico. (t) típico.

Um cuidado: os valores da folha de dados para o ruído da corrente de entrada às vezes estão seriamente errados, evidentemente porque o fabricante não o mediu, acreditando que foi previsto com precisão por um cálculo de ruído de disparo baseado na corrente de entrada CC. Ficamos curiosos e medimos o ruído de entrada de uma dúzia de amplificadores operacionais com zero automático, com os resultados na Tabela 8.5 na página atual. E que interessante!

Os valores do datasheet para ruído de *tensão* estavam corretos; mas para algumas das partes, os valores de ruído de *corrente* especificados eram muito otimistas, às vezes até um fator de cinquenta. Curiosamente, algumas folhas de dados até admitem o que fizeram; por exemplo, a entrada para cada uma das três partes do LTC é acompanhada por uma nota de rodapé dizendo “O ruído atual é calculado a partir da fórmula in=ÿ2qIB, onde q=1,6·10ÿ19 coulombs”. Este mesmo erro aflige alguns amplificadores operacionais de entrada BJT, em particular aqueles com cancelamento de polarização de entrada, onde o ruído de corrente (incorreto) na planilha de dados evidentemente foi calculado a partir do ruído de tiro correspondente à corrente de entrada *líquida* (ou seja, cancelada), em vez do que da corrente de entrada não cancelada muito maior. Consulte *§§4x.10* e 5.10.8 para obter detalhes.

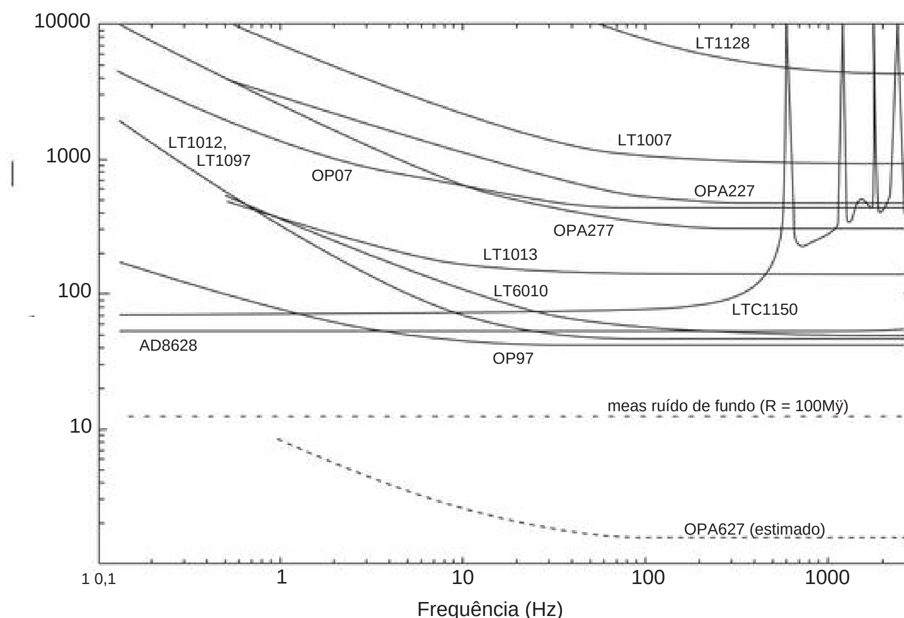


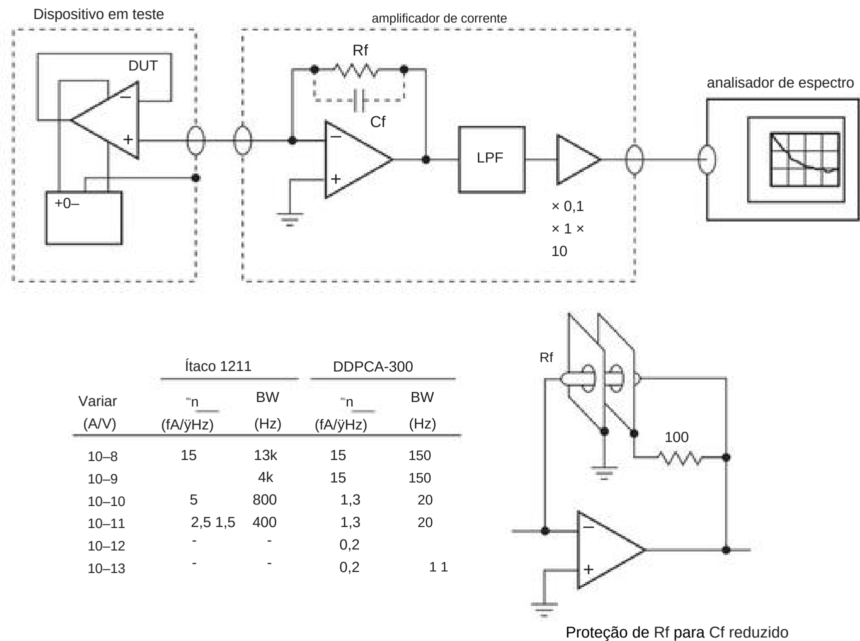
Figura 8.111. Espectros de densidade de ruído de corrente medidos para a maioria dos amplificadores operacionais da Figura 8.110. As partes em **negrito** são amplificadores auto-zero, que contornam o demônio do "ruído oscilante" 1/f por correção repetitiva de deslocamento, mas exibem ruído de relógio induzido por comutação em frequências mais altas (veja o gráfico expandido na Figura 5.52). Veja também as Figuras 8.60 e 8.61.

A. Algumas limitações: largura de banda, estabilidade, offset dc Este esquema de medição simples - deixar o dispositivo em teste amplificar seu próprio ruído de corrente de entrada, como uma tensão desenvolvida através de um grande resistor de entrada - tem algumas desvantagens, que limitam seriamente a capacidade para medir correntes de ruído na faixa baixa de fA/ÿ Hz. Como acabamos de discutir, você deve usar valores suficientemente grandes de Rs para superar o en do amplificador e o ruído de Johnson do resistor. Para uma corrente de ruído de 1 fA/ÿ Hz, por exemplo, isso requer Rs de pelo menos 10 Gÿ (o equivalente em contribuição é 1,3 fA/ÿ Hz). Mas agora você tem que se preocupar com a tensão dc produzida pela corrente de polarização de entrada: uma corrente de 10 pA, por exemplo, causa 100 mV de entrada dc, portanto saturação na saída após G=100. Você também precisa se preocupar com a instabilidade, porque não é necessária muita capacitância de realimentação do pino de saída para a entrada não inversora para transformar o amplificador em um oscilador. Isso pode ser domado por um pequeno capacitor de derivação para o terra, mas a capacitância adicionada reduz a (já pequena) largura de banda: com nosso Rs = 10 Gÿ, por exemplo, apenas 1 pF de capacitância de entrada limita a largura de banda de medição a 16 Hz! E em nossas medições, precisávamos de capacitância shunt adicional para evitar oscilações de baixa frequência em nosso gabarito de teste (sequente).

B. Largura de banda aprimorada com um amplificador de corrente A lição aqui é que não é fácil fazer medições de ruído de corrente de entrada de baixo nível em bons amplificadores. Você pode fazer melhor, porém, usando um amplificador de corrente *externo* cuidadosamente projetado (que apresenta uma entrada de baixa impedância, ou seja, um terra virtual) conectado diretamente à entrada não inversora do dispositivo em teste, como na Figura 8.112. Por exemplo, o "pré-amplificador de corrente" DL Instruments132 Modelo 1211 tem um ruído de corrente de entrada especificado de 1,5 fA/ÿ Hz (cor respondendo a um resistor de realimentação de 10 Gÿ à sua junção de soma de entrada) e uma largura de banda de 400 Hz; é uma configuração de "eletrômetro" (feedback negativo CC para uma junção de soma de entrada), portanto, mantém sua entrada dentro de 0,2 mV de terra na corrente de entrada em escala total. Alguns outros fornecedores de amplificadores de corrente de baixo ruído e instrumentos de medição de corrente são componentes de laser (por exemplo, seu modelo DDPCA-300, com ganhos selecionáveis de 104 V/A até 1013 V/A e com ruído tão baixo quanto 0,2 fA/ÿ Hz nas faixas mais sensíveis) e Keithley (por exemplo, seu Modelo 428, com ganhos selecionáveis de 103 V/A até 1011 V/A).

132 Anteriormente a divisão de instrumentação da Ithaco, Inc.

Machine Translated by Google



Variar (A/V)	Ítaco 1211 n (fA/ÿHz)	Ítaco 1211 BW (Hz)	DDPCA-300 n (fA/ÿHz)	DDPCA-300 BW (Hz)
10–8	15	13k	15	150
10–9		4k	15	150
10–10	5	800	1,3	20
10–11	2,5 1,5	400	1,3	20
10–12	-	-	0,2	
10–13	-	-	0,2	1 1

Figura 8.112. Medindo o ruído de corrente do amplificador operacional com um amplificador de corrente externo sensível.

8.13.7 Outra maneira: faça seu próprio instrumento fA/ÿ Hz

Amplificadores de corrente de alto desempenho comerciais podem custar caro – você está falando de números como 30–40 dB$. É bom ter um instrumento de bancada de uso geral à mão, é claro. Mas se tudo o que você deseja é medir o ruído de corrente de entrada do amplificador operacional de baixo nível e deseja fazer um gabarito de teste para fins especiais, pode conectar algo como o circuito da Figura 8.113. Com os valores mostrados, você pode medir correntes de ruído até 0,1 fA/ÿ Hz (ou menos, com um Rs maior), com um custo de componente de apenas alguns dólares.

Este circuito tem uma abordagem incomum e merece um pouco de discussão. Nossa primeira ideia foi eliminar completamente o resistor de feedback produtor de ruído: lembre-se de que um resistor de valor *R* tem uma densidade de tensão de ruído Johnson en = ÿ *4kTR,* portanto, uma densidade de corrente de ruído equivalente in = 4kT/R; assim, por exemplo, para manter essa contribuição menor que 1 fA/ÿ Hz, é necessário um Rf maior que 16.000 Mÿ (com consequentes problemas de largura de banda, offset e estabilidade). Portanto, aqui usamos um *capacitor de realimentação!133* Isso cria um integrador, aqui implementado como um amplificador composto em qual o dispositivo em teste (DUT) (configurado a seguir) aciona um estágio de amplificador operacional inversor cuja largura de banda de ganho unitário é limitada (por Ccomp, em combinação com R1) a ~16 kHz. Não precisamos de mais largura de banda e essa supercompensação garante a estabilidade.

Ignorando por um momento a corrente de fuga de entrada CC do DUT, este integrador converte o ruído da corrente de entrada em ruído de tensão de saída de acordo com *vn=in/* ÿ *Cf*. Assim, por exemplo, um plano (branco) no espectro produz um vn cuja amplitude espectral cai como 1/f , ou, de forma equivalente, sua densidade de potência de ruído cai como *1/f* 2 (ruído vermelho). Claro, há ruído de tensão do amplificador operacional em, que é adicionado a vn (na forma usual de raiz quadrada da soma dos quadrados do ruído não correlacionado); escolhendo um valor menor para Cf , podemos reduzir o efeito dos en's, porque valores menores de Cf produzem um "ganho" maior de corrente para tensão. (Outra maneira de colocar isso é que o ruído de corrente efetivo produzido pela tensão de ruído de entrada en é in=en Cf. Equivalentemente, o ruído de corrente *=in/ en* ÿ *Cf*, as medições se estendem apenas até uma frequência

ÿ

133 Isso não é tão maluco quanto parece. Na verdade, é o método de escolha ("cor related double-sampling") usado em certas aplicações de baixo ruído, por exemplo, amplificadores de leitura de fotodiodo ou CCD imager, onde o ruído térmico produzido por um resistor de realimentação convencional não é aceitável. (Um engenheiro diria que um capacitor não tem ruído de John son; um físico diria que um capacitor pode ter o valor de *kT* de energia térmica em média, mas, sendo desacoplado do banho térmico, essa energia não flutua.) Essa técnica pode ter sido originado por Garwin, que o usou na década de 1950 para instrumentação de física de alta energia e, em seguida, em 1969 para leitura de detector de imagem (onde Garwin instruiu "ler duas vezes para cancelar kT").

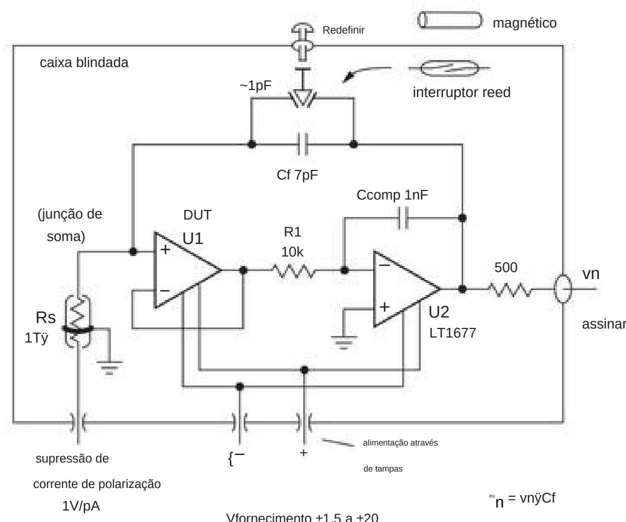


Figura 8.113. Medindo até 0,1 fA/ÿ Hz, com larguras de banda de até ÿ1 kHz, usando um integrador composto . O resistor de supressão Rs (fabricado pela Welwyn) tem uma banda de guarda metálica integral, usada para interceptar correntes de fuga do lado de fora de seu envelope de vidro (ei, este é um resistor realmente de alto valor: 1 Tÿ é um milhão de megohms!); o valor de 7 pF para Cf inclui a fiação e as capacitâncias do interruptor. O botão de reinicialização apresentou desafios educacionais (ver texto).

acima do qual o ruído de tensão do amplificador domina). V) e saída rail-to-rail.

A Figura 8.114 mostra uma captura de tela do espectro de ruído de tensão do circuito da Figura 8.113, quando um amplificador operacional de zero automático LTC1049 é conectado ao DUT

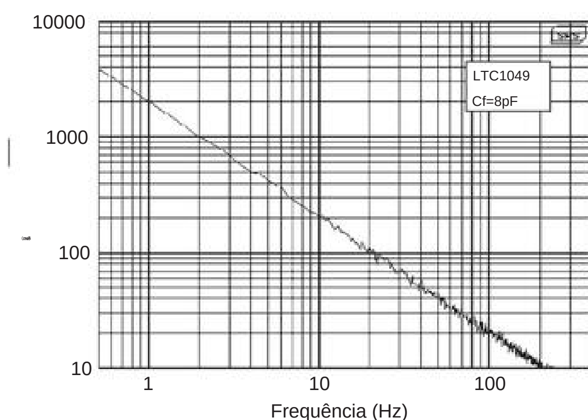


Figura 8.114. Densidade de ruído de tensão medida vn do circuito da Figura 8.113, para um amplificador operacional de zero automático LTC1049. O espectro de amplitude 1/f da saída do integrador (vn) corresponde a um espectro plano de ruído de corrente de entrada nesta faixa de frequências, com um valor em = 100 fA/ÿ Hz.

soquete. Ele está exatamente em conformidade com 1/f , avaliando in=100 fA/ÿ Hz nessa faixa de frequência, concordando com a medição que fizemos usando o circuito da Figura 8.108 (e relatado na Tabela 8.5 na página 569). Não há indício de nivelamento na extremidade de alta frequência, consistente com uma largura de banda de medição prevista de aproximadamente 10 kHz para entrada e saída deste amplificador operacional.

Tendo calibrado a técnica (e tendo confirmado a calibração medindo também o auto-zero op-amp AD8628), nós o usamos para medir os casos difíceis – os op-amps convencionais listados na Tabela 8.5, com valores de ruído de corrente abaixo de o território de ÿ1 fA/ÿ Hz – com os resultados listados. Para essas medições, a largura de banda se estende apenas a ÿ1 kHz, acima da qual o ruído de tensão do amplificador operacional em combinação com as capacitâncias de entrada para o solo (tanto dentro do amplificador operacional quanto externamente como fiação, etc.), cria um " enC" ruído de corrente de entrada pt ÿ equivalente (mais precisamente, Cin) que domina o pequeno ruído de corrente próprio amplificador.

Também medimos um LMC6081, que deve ter um ruído de corrente ainda menor, dada a sua corrente típica de entrada Ib especificada de 10 fA; para este amplificador operacional, o vn medido corresponde a um in de 0,15 fA/ÿ Hz. Isso parece muito bom – mas o ruído atual esperado, calculado como ruído IB shot, deve ser um pouco menor, cerca de 0,06 fA/ÿ Hz. Então agora temos que confessar que a pureza sem resistor desta técnica de medição foi comprometida pela

Resistor de "supressão de corrente" Rs, necessário para cancelar a corrente de entrada CC. Usamos um valor muito grande (1 Tÿ, ou seja, 106 megaohms!) para reduzir a corrente de ruído adicionada, que aqui equivale a in= 4kT/Rs=0,13 fA/ÿ Hz. Portanto, para este amplificador operacional, o que realmente medimos é o ruído introduzido pelo resistor de supressão de polarização! Poderíamos fazer melhor, digamos com um resistor de 100 Tÿ (você pode obter essas coisas, por exemplo, a série 3810 da Welwyn), que diminuiria o ruído adicionado por um fator de dez. Poderíamos fazer melhor, isto é, se você realmente acreditar que pode manter todas as outras resistências de isolamento (umidade, impressões digitais, etc.) tão altas; uma tarefa difícil.134

A. Uma complicação divertida: o botão de reinicialização

Aqui está uma pequena história sobre a realidade e alguma confusão considerável no caminho para a iluminação final. Diretamente "fora da caixa" este circuito funcionou quase perfeitamente. Mas houve uma complicação curiosa: quando o botão RESET do integrador foi pressionado, a saída foi obedientemente para zero; mas quando a chave foi liberada, a saída deu um grande salto – normalmente para um valor na faixa de +1,5 V a +2 V. O que poderia causar *isso?* Muito provavelmente, algum tipo de carga eletrostática causada pelo movimento das peças de plástico, em uma série de interruptores de botão de que gostamos bastante (série Panasonic EVQ2130x–EVQ2150x, que são compactas, baratas, agradavelmente táteis e quase gratuitas de um contato ruidoso "bounce").

Refletimos sobre isso e decidimos substituir por um *reed switch* operado magneticamente - um pequeno invólucro de vidro tubular lacrado contendo um par de contatos, com um fio saindo de cada extremidade, e que é acionado pela aproximação de um pequeno ímã permanente (esses coisas são amplamente usadas, mais familiarmente para interruptores de portas e janelas em sistemas de alarme domésticos). O reed switch tem boas propriedades: quando desligado , sua capacitância é de aproximadamente 0,3 pF e sua resistência é maior que 1012 ÿ. E, com o interruptor dentro da caixa blindada de alumínio e o ímã fora, não haveria oportunidade de acúmulo de carga estática. Melhor ainda, sem bobina acionada por CC (como em um relé convencional ou reed reed) não haveria acoplamento magnético ou elétrico ao circuito sensível.

Isso funcionou consideravelmente melhor. Mas ainda não é o esperado: imagine nossa surpresa quando a saída deu um salto de -50 mV quando a chave foi aberta. O que pode estar causando *isso?* A princípio, imaginamos que poderia ser devido a um rearranjo de fluxo quando os contatos (magnéticos) se abriram, injetando um pulso de carga igual à mudança no fluxo que foi conectado pela fiação do circuito. Fácil de verificar: basta aproximar a chave do amplificador operacional, reduzindo bastante a área fechada do circuito. Fizemos isso e, de forma encorajadora, o salto de saída mudou de sinal (agora um salto positivo, aproximadamente da mesma magnitude). OK, pensamos, mova o interruptor até a metade de onde estava e o efeito deve ir para zero. Não: ainda +50 mV.

Isso foi muito estranho! Em uma inspiração, achamos que poderíamos ter invertido as pontas quando fizemos a primeira mudança, então viramos o interruptor e - aha! – o sinal invertido do salto (de volta a ÿ50 mV).

Assim, o reed switch parecia ter uma assimetria e uma memória própria, de modo que injetava alguma carga (não muito: *Q=CfÿV=0,35* pC) quando aberto. O que pode estar causando isso? Conversamos com alguns colegas sábios, que sugeriram que pensássemos na diferença de "função de trabalho" entre os dois contatos na chave (que pode ser plausivelmente escolhido de metais diferentes, para evitar a aderência da solda a frio) e que murmuraram termos como " Níveis de Fermi", "diferença de potencial de contato" e a técnica da "sonda Kelvin" para medir o último.

OK, então tentamos um reed switch de design diferente, e também um de um fabricante diferente (para o Hamlin MDRR-4 original, substituímos primeiro um Hamlin MDSR-10, depois um Coto RI-01BAA), ambos exibindo o mesmo efeito curioso, porém com amplitudes diferentes (15 mV e 100 mV, respectivamente).

Hora de pedir ajuda! A folha de dados da Hamlin proclama hospitaleiramente "Para detalhes sobre especificações elétricas, entre em contato com a Hamlin". Então nós fizemos. Aprendemos que os pares de contatos são idênticos, na verdade eles fazem um zilhão deles, todos iguais, e pegam dois quaisquer para cada chave. Lá se vai toda aquela teoria do nível de Fermi!

Finalmente descobrimos.135 O vidro é um ótimo isolante, e é fácil depositar carga no invólucro de vidro do interruptor reed apenas ao manipulá-lo (removê-lo de seu saco plástico, etc.). Existe um nome chique para isso: é chamado de *efeito triboelétrico.* Um nome mais simples é eletricidade estática. O vidro é um dos materiais clássicos, e em cursos sobre

[134] De fato! Testamos essa proposição respirando pesadamente na caixa e, em seguida, medindo novamente a supressão de viés por meio de Rs: ela aumentou 20 vezes, devido ao caminho de vazamento externo evidentemente criado pela condensação da umidade, retornando ao seu valor seco um minuto depois. É por isso que esses resistores de "alto valor com vedação de vidro" da Welwyn são equipados com um anel de proteção condutivo, que pode ser conectado ao terra (conforme mostrado) para desviar essas correntes de fuga externas: a parte da caixa entre o anel de proteção e a junção de soma não tem queda de tensão através dela (mais precisamente, uma tensão igual à tensão de compensação do amplificador operacional, um milivolt ou menos); portanto, nenhuma corrente de fuga flui. Confirmamos isso com um bis do teste de respiração.

135 Não é curioso que seja sempre a *última* conjectura que se revela correta?

eletricidade você vê demonstrações de bastões de vidro sendo esfregados com pelo de gato.[136] Com alguma carga presa no vidro, o campo elétrico que ele produzia fazia com que os eletrodos do interruptor reed adquirissem uma pequena quantidade de carga oposta quando separados.

Aqui está o que fizemos para confirmar esta conjectura: pegamos uma polegada de pano de metal trançado,[137] aterramos uma das extremidades com um clipe de chumbo, enrolamos em torno do reed switch e deslizamos várias vezes ao longo do comprimento, para fornecer uma oportunidade para qualquer estática carregue na superfície de vidro para fazer uma caminhada. E assim foi: após um tratamento, o degrau da tensão de saída foi reduzido a insignificantes ~2 mV.

A moral: medições sensíveis (aqui estamos falando de femtoamps e picofarads) podem revelar efeitos tão pequenos que você nunca pensou sobre eles. Eles podem atrapalhar seriamente o seu trabalho. . . mas há um prazer redentor em descobri-los por si mesmo. E então eliminá-los.

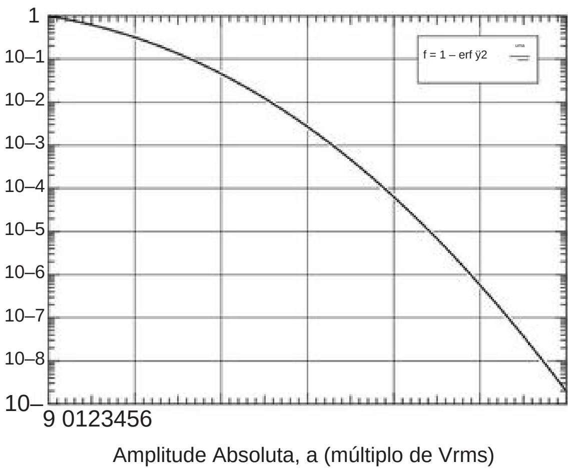


Figura 8.115. Ocorrência relativa de amplitudes em ruído gaussiano. Potencialmente útil para estimar taxas de disparo falso, "fator de pico" necessário em medições rms e similares.

8.13.8 Pot-pourri de ruído

Aqui está uma coleção de fatos interessantes e possivelmente úteis.

1. O tempo médio necessário em um dispositivo indicador para reduzir as flutuações de um sinal de ruído retificado a um nível desejado para uma determinada largura de banda de ruído é

$$ÿ \; ÿ \; \frac{1600}{B ÿ^2} \text{ segundos,} \qquad (8.61)$$

onde ÿ é a constante de tempo necessária da indicação dispositivo para produzir flutuações de desvio padrão percentual ÿ na saída de um detector linear cuja entrada é ruído de largura de banda B.

2. Para ruído branco limitado em banda, o número esperado de máximos por segundo é

$$N = \sqrt{\frac{3(f_2^5 ÿ f_1^5)}{5(f_2^3 ÿ f_1^3)}}, \qquad (8.62)$$

onde f1 e f2 são os limites inferior e superior da banda. Para f1 = 0, *N* = 0,77 f2; para ruído de banda estreita *(f1* ÿ f2), *N* ÿ *(f1* + f2)/2. 3. Razões rms-média (ou seja, magnitude média):

Ruído gaussiano: rms/médio = $\sqrt{ÿ/2}$ = 1,25 = 1,96 dB,
onda senoidal: rms/médio = ÿ /2 $\sqrt{2}$ = 1,11 = 0,91 dB,
onda quadrada: rms/médio = 1 = 0 dB.

4. Ocorrência relativa de amplitudes em ruído gaussiano. A Figura 8.115 plota a fração de tempo que um determinado nível de amplitude é excedido por uma forma de onda de ruído gaussiano de amplitude rms unitária.
5. A taxa de cruzamento de limiar positivo do ruído branco gaussiano filtrado por passa-baixa de amplitude rms unitária é BW TCR = exp
ÿ3 onde Vth é a tensão de limiar positiva e BW é a
largura de banda passa-baixa da parede de tijolos.[138] 6. Desvio padrão do ruído resultante da quantização
ÿV2 th/2 cruzamentos/segundo, (8.63)

erro é

$$ÿ_n = \frac{\text{LSB}}{\sqrt{12}} ÿ 0{,}3 \text{ LSB.} \qquad (8.64)$$

8.14 Melhoria sinal-ruído pelo estreitamento da largura de banda

Por sorte, os sinais que você geralmente deseja medir estão ocultos no ruído (onde o “ruído” pode incluir outros sinais próximos em frequência, ou seja, interferência), frequentemente na medida em que você nem consegue vê-los em um

[136] Ou é um gato sendo esfregado com lã de vidro?

[137] Enrolado em um pouco de espuma, esse material útil é usado para fazer juntas de proteção condutivas flexíveis. Confira os materiais de vedação autoadesivos de “espuma sobreposta” da Laird Technologies, por exemplo, o 4046 retangular ou o 4283 em forma de D.

[138] A taxa de cruzamento através de um par de limiares simétricos (isto é, a taxa de cruzamentos de *magnitude* maior que Vth) é o dobro da obtida pela fórmula. Agradecemos a Phil Hobbs por este fato, encontrado junto com muitos outros em seu excelente livro referenciado na página 551.

osciloscópio. Mesmo quando o ruído externo não é um problema, as estatísticas do próprio sinal podem dificultar a detecção, como, por exemplo, na contagem de desintegrações nucleares de uma fonte fraca, com apenas algumas contagens detectadas por minuto. Finalmente, mesmo quando o sinal é detectável, você pode querer melhorar a intensidade do sinal detectado para fazer uma medição mais precisa. Em todos esses casos, alguns truques são necessários para melhorar a relação sinal-ruído.
Todos eles equivalem a um estreitamento da largura de banda de detecção para preservar o sinal desejado enquanto reduzem a quantidade total de ruído (banda larga) aceito.

A primeira coisa que você pode tentar ao pensar em reduzir a largura de banda de uma medição é pendurar um filtro passa-baixa simples na saída, para tirar a média do ruído. Há casos em que essa terapia funcionará, mas na maioria das vezes fará muito pouco bem, por alguns motivos. Primeiro, o próprio sinal pode conter algumas frequências altas ou pode estar centrado em alguma frequência alta. Em segundo lugar, mesmo que o sinal esteja de fato variando lentamente ou estático, você invariavelmente tem que lidar com a realidade de que a densidade da potência do ruído geralmente tem um caráter de 1/ *f ;* Os sistemas eletrônicos e físicos são inquietos, por assim dizer.

Na prática, existem algumas técnicas básicas de estreitamento da largura de banda que estão em uso generalizado. Eles recebem nomes como média de sinal, média transitória, integração de vagão, escalonamento multicanal, análise de altura de pulso, detecção de lock-in e detecção sensível à fase. Todos esses métodos assumem que você tem um sinal 139 repetitivo; isso não é um problema real, pois quase sempre há uma maneira de forçar o sinal a ser periódico, supondo que ainda não seja. Aqui discutimos uma importante dessas técnicas, conhecida como detecção "lock-in" ou "síncrona".

8.14.1 Detecção de bloqueio

Este é um método de considerável sutileza. Consiste em duas etapas. (1) Algum parâmetro do sinal da fonte é *modulado;* por exemplo, um LED pode ser acionado com uma onda quadrada em uma frequência fixa. (2) O sinal detectado (e ruidoso) é *demodulado,* por exemplo, multiplicando-o por um sinal de referência de amplitude fixa na mesma frequência de modulação. A modulação move a especificação do sinal da fonte até a frequência de modulação, acima dos fundos ruidosos 1/f de baixa frequência e longe de outras fontes de ruído (como flutuações da luz ambiente no caso do LED exemplo). A etapa de demodulação cria uma saída CC proporcional ao sinal, que pode ser filtrada em passa-baixa (um filtro *RC* simples pode ser adequado) para estreitar a largura de banda detectada.

Para entender o método, é necessário fazer um pequeno desvio no detector de fase, um assunto que abordamos primeiro em §13.13.2.

A. Detectores de fase

Em §13.13.2 descrevemos detectores de fase que produzem uma tensão de saída proporcional à diferença de fase entre dois sinais digitais (nível lógico). Para fins de detecção de travamento, você precisa conhecer os detectores de fase *linear ,* porque quase sempre está lidando com níveis de tensão analógicos.

O circuito mais simples140 é mostrado na Figura 8.116. Um sinal analógico passa por um amplificador linear cujo ganho é revertido por um sinal de "referência" de onda quadrada que controla uma chave FET (consulte a Tabela 3.3 ou 13.7 para candidatos). O sinal de saída passa por um filtro passa-baixa, *RC.* Isso é tudo. Vamos ver o que você pode fazer com isso.

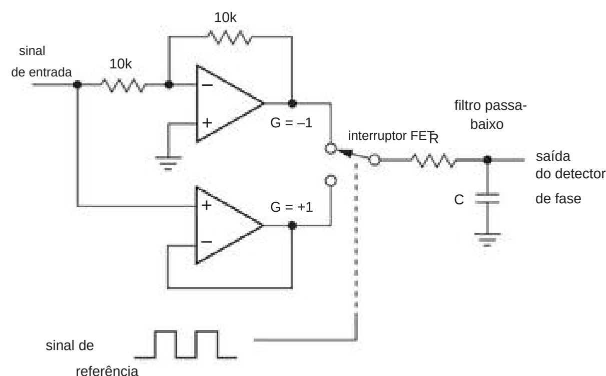


Figura 8.116. Detector de fase para sinais de entrada lineares. Mais simplesmente, você pode implementar isso com um amplificador operacional duplo e um interruptor CMOS IC. Este esquema é usado no monolítico AD630.

Saída do detector de fase

Para analisar a operação do detector de fase, vamos supor que aplicamos um sinal

$$Es \cos(ÿ \ t + ÿ)$$

a tal detector de fase, cujo sinal de referência é uma onda quadrada com transições nos zeros de sen t, ou seja, em ÿ

[139] Ou, mais geralmente, uma variação de sinal *conhecida* à qual o sinal medido pode ser correlacionado.

[140] Mas menos do que ideal: a modulação de onda quadrada causa resposta em harmônicos ímpares. O uso de um multiplicador analógico como o AD633 ou AD734, acionado por uma referência de onda senoidal, elimina essa deficiência.

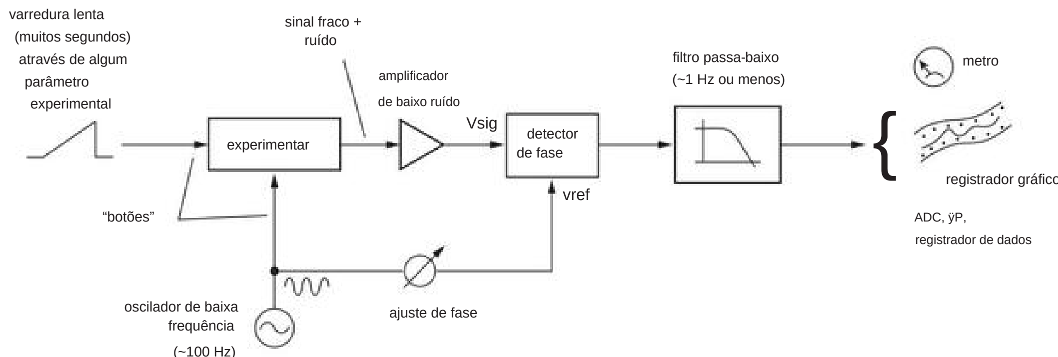


Figura 8.117. Detecção de amplificador lock-in.

t = 0, etc. ÿ ÿ 2 ÿ ÿ ÿ Vamos supor ainda que calculamos a média da saída, Vout, passando-a por um filtro passa-baixa cuja constante de tempo é muito maior que um período:

ÿ = *RC T* = 2 ÿ / ÿ .

Então a saída do filtro passa-baixa é

Es cos(ÿ *t* + ÿ)| 0 ÿ / ÿ ÿ Es cos(ÿ *t* + ÿ)|2 ÿ ÿ ÿ ÿ/ / ,

onde os colchetes representam médias e o sinal de menos vem da reversão do ganho em meio-ciclos alternados de Vref. Como exercício, você pode mostrar que

Vout = *ÿ(2Es/)sin* ÿ ÿ .

Exercício 8.9. Realize as médias indicadas por integração explícita para obter o resultado anterior para ganho unitário.

Nosso resultado mostra que a saída média, *para um sinal de entrada da mesma frequência do sinal de referência,* é proporcional à amplitude de Es e senoidal na fase relativa.

Precisamos de mais um resultado antes de prosseguir: qual é a tensão de saída para um sinal de entrada cuja frequência é próxima (mas não igual) ao sinal de referência? Isso é fácil, porque nas equações anteriores a quantidade agora varia ÿ lentamente, na diferença de frequência:

cos(ÿ +ÿ ÿ *)t* = cos(ÿ *t* + ÿ) com ÿ = tÿ ÿ ,

dando um sinal de saída que é uma senóide lenta:

Vout = *(2Es/ÿ)sin(tÿ* ÿ),

que passará pelo filtro passa-baixa relativamente incólume se ÿ < 1/ ÿ ÿ =1/RC e será fortemente atenuado se ÿ > 1/ ÿ ÿ .

B. O método lock-in

Agora, o chamado amplificador lock-in (ou sensível à fase) deve fazer sentido. Primeiro você torna um sinal fraco periódico, como discutimos, digamos em uma frequência próxima a 100 Hz. O sinal fraco, contaminado por ruído, é amplificado e a fase detectada em relação ao sinal modulante. Veja a Figura 8.117. Em muitos casos, você desejará medir o sinal fraco à medida que alguma condição experimental for variada - você terá um experimento com dois "botões", um para modulação rápida para detecção de fase e outro para uma varredura lenta através do características interessantes do sinal (em RMN, por exemplo, a modulação rápida pode ser uma pequena modulação de 100 Hz do campo magnético, e a modulação lenta pode ser uma varredura de frequência de 10 minutos de duração através da ressonância). O deslocador de fase é ajustado para fornecer sinal de saída máximo e o filtro passa-baixa é definido para uma constante de tempo longa o suficiente para fornecer uma boa relação sinal-ruído. O rolloff do filtro passa-baixo define a largura de banda, portanto, um rolloff de 1 Hz, por exemplo, oferece sensibilidade a sinais espúrios e ruídos apenas dentro de 1 Hz do sinal desejado. A largura de banda também determina o quão rápido você pode ajustar a "modulação lenta", porque agora você não deve varrer nenhum recurso do sinal mais rápido do que o filtro pode responder; as pessoas usam constantes de tempo de frações de segundo até dezenas de segu

Observe que a detecção de lock-in equivale a um estreitamento da *largura de banda,* com a largura de banda definida pelo filtro passa-baixa pós-detecção. Outra forma de reduzir a largura de banda de detecção é com a técnica de *média de sinal,* na qual os resultados de medições repetitivas (por exemplo, varreduras de frequência) são acumulados; esta é uma opção comum em instrumentos como analisadores de espectro. Em ambos os casos, o efeito da modulação é centralizar o sinal na modulação rápi

141 Antigamente, a modulação lenta era feita com um motor de relógio reduzido girando um botão real em alguma coisa.

frequência, em vez de DC, a fim de evitar o ruído 1/ *f* (ruído oscilante, desvios e similares).

C. Dois métodos de "modulação rápida"

Existem várias maneiras de fazer a modulação rápida: a forma de onda da modulação pode ser uma onda senoidal muito pequena ou uma onda quadrada muito grande em comparação com as características do sinal procurado (formato de linha versus campo magnético, por exemplo, em NMR) , conforme esboçado na Figura 8.118. No primeiro caso, o sinal de saída do detector sensível à fase é proporcional à *inclinação* da forma da linha (ou seja, sua derivada), enquanto no segundo caso é proporcional à própria forma da linha (desde que não haja outras linhas no outro ponto final da forma de onda de modulação). Esta é a razão pela qual todas aquelas linhas de ressonância NMR simples aparecem como curvas de dispersão (Figura 8.119).

Para modulação de onda quadrada de grande deslocamento, há um método inteligente para suprimir o feedthrough da modulação, nos casos em que isso é um problema. A Figura 8.120 mostra a forma de onda da modulação. Os deslocamentos acima e abaixo do valor central matam o sinal, causando uma modulação on-off do sinal *duas vezes* a fundamental da forma de onda modulante. Este é um método para uso apenas em casos especiais; não se deixe levar pela beleza de tudo!

A modulação de onda quadrada de grande amplitude é a favorita entre aqueles que lidam com astronomia infravermelha, onde os espelhos secundários do telescópio são balançados para alternar a imagem para frente e para trás em uma fonte infravermelha. Também é popular na radioastronomia, onde é chamado de interruptor Dicke.

Os amplificadores lock-in comerciais possuem uma fonte moduladora de frequência variável e um filtro de rastreamento, um

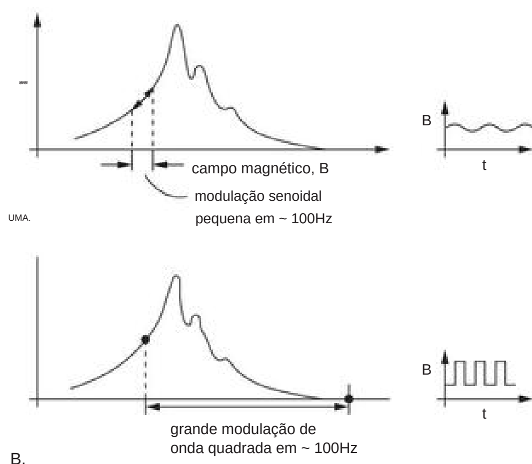


Figura 8.118. Métodos de modulação lock-in. A. Sinoide pequeno. B. Grande onda quadrada.

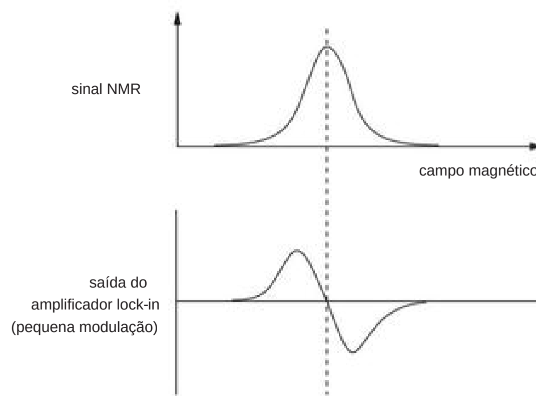


Figura 8.119. Diferenciação de forma de linha resultante da detecção de lock-in.

filtro de pós-detecção de constante de tempo selecionável, um bom amplificador de faixa dinâmica ampla e de baixo ruído (você não usaria detecção de travamento se não estivesse tendo problemas de ruído) e um bom detector de fase linear. Eles também permitem que você use uma fonte externa de modulação. A mudança de fase é ajustável, para que você possa maximizar o sinal detectado. Todo o item vem embalado em um belo gabinete, com um medidor ou display digital mostrando o sinal de saída. Normalmente, essas coisas custam alguns milhares de dólares. A Stanford Research Systems tem uma boa seleção de amplificadores lock-in, incluindo vários que usam métodos de processamento de sinal digital para maior linearidade e faixa dinâmica. Neles, o sinal de entrada amplificado é digitalizado com precisão (para 20 bits), o "oscilador" é uma tabela de pesquisa computada de senos e cossenos (quadratura) e o "mixer" é um multiplicador numérico. Normalmente, os amplificadores lock-in têm largura de banda de sinal bastante limitada, normalmente 100 kHz.

Mas, usando a técnica "heteródina" de radiofrequência (tradução da banda de frequência de entrada por meio de mixagem linear com um "oscilador local"), o método lock-in pode ser estendido para altas frequências de rádio. Por exemplo, o SR844 vai para 200 MHz; ele usa um híbrido de técnicas analógicas (filtragem de entrada e downconversion) e processamento de sinal digital (digitalização de banda base e detecção síncrona).

Para ilustrar o poder da detecção de aprisionamento, montamos uma pequena demonstração para nossos alunos. Usamos um lock in para modular um pequeno led do tipo usado para painel

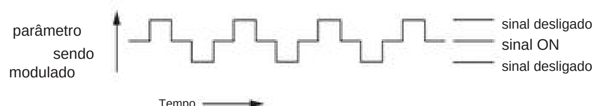


Figura 8.120. Esquema de modulação para suprimir o feedthrough de modulação.

indicadores, com uma taxa de modulação de um kilohertz ou mais. A corrente é muito baixa e você dificilmente pode ver o LED brilhando na luz ambiente normal. A dois metros de distância, um fototransistor olha na direção geral do LED, com sua saída alimentada ao lock-in. Com as luzes da sala apagadas, há um sinal minúsculo do fototransistor na frequência modulante (misturado com bastante ruído), e o lock-in o detecta facilmente, usando uma constante de tempo de alguns segundos. Em seguida, acendemos as luzes da sala, ponto em que o sinal do fototransistor se torna apenas uma enorme forma de onda confusa, saltando em amplitude em 50 dB ou mais. A situação parece desesperadora no osciloscópio, mas o lock-in apenas fica lá, imperturbável, detectando calmamente o mesmo sinal de LED no mesmo nível. Você pode verificar se está realmente funcionando colocando sua mão entre o LED e o detector. É impressionante.

No outro extremo do espectro de custo, a detecção síncrona é usada para realizar a mesma rejeição da luz ambiente em alguns componentes baratos de detecção de feixe de luz, por exemplo, o S6809/46 e o S6986 da Hama matsu. Esses ICs vêm em uma caixa de plástico transparente (vários estilos de pacote disponíveis) contendo um fotodiodo integrado, pré-amplificador e detector síncrono com saída de nível lógico; também está incluído o oscilador interno e o driver de saída para a fonte de luz LED externa. Eles custam cerca de US $ 6 em pequenas quantidades.

8.15 Ruído da fonte de alimentação

Os circuitos amplificadores que não possuem um alto grau de rejeição da fonte de alimentação são suscetíveis a ruídos (e sinais) nas fontes de alimentação CC. Se os trilhos CC forem barulhentos, a saída também será, então você deve mantê-los quietos. O problema não é tão ruim quanto poderia ser, porque o ruído de alimentação parece não amplificado na saída, com o ganho de sinal do amplificador de, digamos, ganho de sinal de 100 ×. Ainda assim, as fontes de alimentação CC raramente são silenciosas, mesmo no nível de 100 nV/ ÿ Hz (100 vezes um alvo de ruído de entrada razoável de, digamos, 1 nV/ ÿ Hz). É por isso que os trilhos CC em muitos dos circuitos deste capítulo são marcados como "silenciosos".

Quão ruidosas são as fontes de alimentação de bancada CC típicas? Você verá especificações como "0,2 mVrms, 2 mVpp", que soa suficientemente respeitável até você perceber que os níveis de sinal em um circuito sensível podem ser muito menores. Por exemplo, o nível de ruído de saída na banda de áudio de 20 kHz do pré-amplificador Vrms 8.42 é apenas 1, o ruído especificado (Vout=1 V em (ÿ) ÿ 46 dB acima do piso de ruído de saída.

Especificações são uma coisa, desempenho real é outra. Para obter uma medida da cena de ruído da fonte de alimentação, queremos dizer garantimos duas dúzias de fontes CC da coleção de nosso laboratório, com os espectros resultantes da Figura 8.123.[142] A dispersão no desempenho do ruído é impressionante – o excelente desempenho (nº 4) acabou sendo uma "fonte de energia de precisão" com meio século de idade (compramos em 1967), com um compartimento forno para a referência zener e amplificador de erro (discreto). Em comparação, uma fonte de bancada contemporânea com leitura digital elegante como a nº 12 é quase 100 vezes (40 dB) mais ruidosa. Para não ficar para trás, os verdadeiros gritadores acabam sendo um simples carregador de celular com modo de comutação (#22) e uma verruga de parede não regulamentada (#23) cujas divagações de saída de rastreamento de linha de força dominam o espectro de baixa frequência. Na outra extremidade, nada supera uma bateria de chumbo-ácido (nº 3, bem no nível de ruído de medição) para obter o máximo em fontes CC inerentemente silenciosas.[143]

O que explica essas grandes diferenças? Os suprimentos de comutação são inerentemente ruidosos, é claro. Mas mesmo entre as fontes lineares há uma dispersão de 100× (40 dB) na tensão de ruído. Uma fonte CC regulada silenciosa deve ter bastante ganho de loop, implementada com amplificadores de baixo ruído. E é extremamente importante selecionar uma referência de tensão de baixo ruído (especialmente em baixas frequências, onde não pode ser silenciado com filtros); veja a discussão e gráficos em §9.10.

8.15.1 Multiplicador de capacitância

Um bom truque para limpar uma alimentação ruidosa é um circuito "multiplicador de capacitância" (Figura 8.121). Introduzimos isso em §8.5.9, onde exploramos as propriedades de um BJT em estágio de colocação com enÿ0,07 nV/ ÿ Hz. Aqui, escolhemos *R* pequeno o suficiente para que haja no máximo uma queda de volt na corrente de carga máxima e, em seguida, escolha *C* para uma constante de tempo *RC* longa o suficiente para atenuar adequadamente a parte do espectro de ruído com a qual você se preocupa. Para nosso amplificador de microfone de fita, elaboramos um pouco sobre isso, com um filtro *RC* de 2 estágios de constante de tempo de ~2 s; é mostrado na parte superior do circuito de medição de ruído BJT da Figura 8.92. Ali aumentamos o *RC* até que o espectro de ruído de saída caísse para o piso de ruído do analisador.

Observe que o multiplicador de capacitância compromete a regulação da saída CC – não há realimentação de seu pino de saída. No entanto, esta técnica é especialmente eficaz quando

[142] Esses suprimentos foram testados "como estão", sem nenhum esforço para confirmar sua operação dentro das especificações originais. O leitor é advertido a não confiar nesses dados ao tomar decisões de compra.

[143] A bateria estava sendo carregada lentamente na mesma corrente que sua carga para a curva #3. Se a bateria estiver sendo descarregada (sem reabastecimento) pela carga, a leve "inclinação" da tensão para baixo aparece como um excesso de baixa frequência, visto aqui na curva nº 2.

adicionado a montante do elemento de passagem de regulação (isto é, após o retificador e o capacitor de armazenamento). Aplicamos esta modificação simples a fontes de alimentação comerciais e instrumentos científicos com grande sucesso. É uma maneira muito mais fácil de obter uma ondulação de saída 100 vezes menor do que a alternativa de aumentar o ganho e a largura de banda da malha de controle. Se você fizer isso, certifique-se de que haja queda suficiente em Q1 para lidar com a amplitude total da ondulação - neste local, a ondulação CA de 120 Hz (ou 100 Hz) na corrente de carga total pode chegar a alguns volts. Você pode adicionar um resistor da base ao terra para aumentar a queda CC em Q1; ou você pode usar um MOSFET, cujo maior VGS operacional pode fornecer headroom adequado.

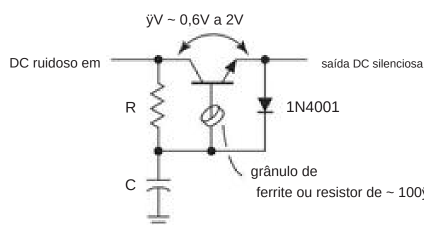


Figura 8.121. Um “multiplicador de capacitância” para filtrar CC de entrada consiste em um seguidor de emissor polarizado com uma réplica suavizada (filtrada por passa-baixo) da entrada ruidosa. Um grânulo ou pequeno resistor impede a oscilação.

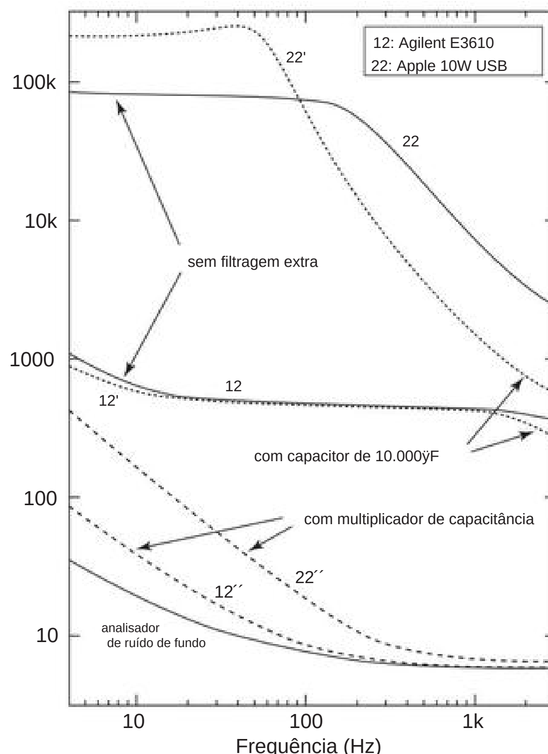


Figura 8.122. Um multiplicador de capacitância é altamente eficaz na eliminação do ruído da fonte de alimentação, conforme mostrado nestes espectros de ruído medidos de duas das fontes cujos espectros estão incluídos na Figura 8.123 (com os mesmos números de etiqueta). Curvas sólidas, fonte de alimentação sozinha; curvas pontilhadas, (rótulo de linha simples), com capacitor de 10.000 F adicionado nos ÿ terminais de saída CC; curvas tracejadas (rótulo duplo), com multiplicador de capacitância mostrado na Figura 8.92.

A Figura 8.122 mostra o efeito do multiplicador de capacitância da Figura 8.92, medido com duas das fontes de alimentação que aparecem na multidão da Figura 8.123. Para cada fonte medimos (a) o espectro diretamente dos terminais de saída (curvas sólidas), (b) o espectro a jusante do multiplicador de capacitância (curvas tracejadas) e, para comparação, (c) o espectro com 10.000 F através dos terminais da fonte de alimentação (curvas pontilhadas). Em todos os ÿ casos, a saída foi medida carregada com 100 ÿ. O multiplicador de capacitância é extremamente eficaz na eliminação do ruído da fonte de alimentação,[144] e é um uso muito melhor de 10.000 F do que a abordagem de força bruta de colocar a mesma capacitância diretamente nos terminais CC. ÿ

8.16 Interferência, blindagem e aterramento

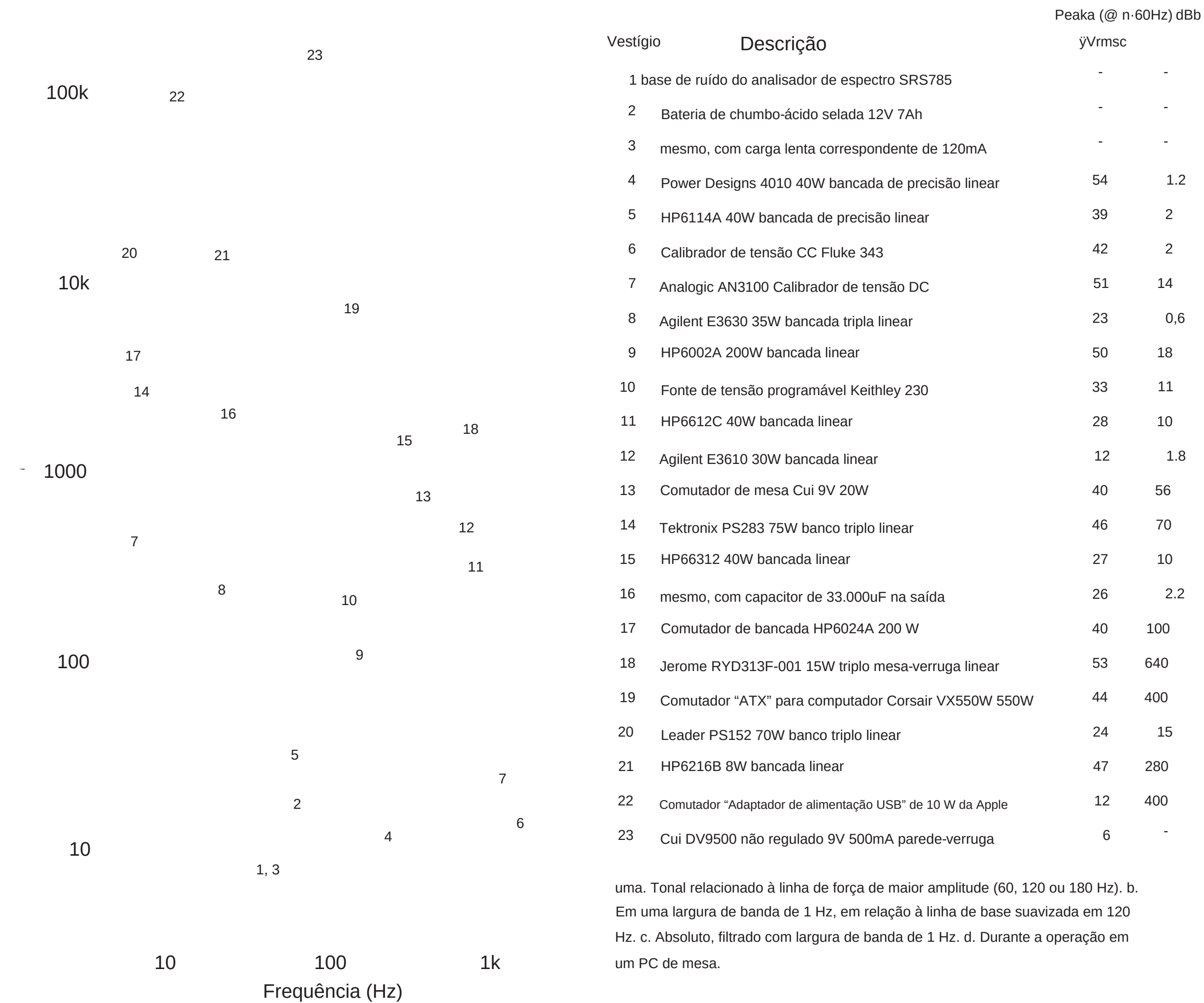
O “ruído” na forma de sinais de interferência, captação de 60 Hz e acoplamento de sinal por meio de fontes de alimentação e caminhos de aterramento podem se tornar de importância prática muito maior do que as fontes de ruído intrínseco que acabamos de discutir. Esses sinais de interferência podem ser reduzidos a um nível insignificante (ao contrário do ruído térmico) com projeto de circuito adequado, layout, e construção. Em casos difíceis, a cura pode envolver uma combinação de filtragem das linhas de entrada e saída, layout e aterramento cuidadosos e extensa proteção eletrostática e magnética. Nestas subseções oferecemos algumas sugestões que podem ajudar a iluminar esta área escura da arte eletrônica.[145]

8.16.1 Sinais interferentes

Sinais interferentes podem entrar em um instrumento eletrônico através das entradas da linha de força ou através das linhas de entrada e saída de sinal. Além disso, os sinais podem ser capacitivamente

[144] Exceto em frequências muito baixas, onde não há substituto para uma fonte de alimentação com referência de tensão estável.

[145] Para conselhos mais abrangentes, consulte os clássicos populares: R. Morrison, *Grounding and Shielding: Circuits and Interference,* Wiley–IEEE Press (2007) e H. Ott, *Noise Reduction Techniques in Electronic Systems,* Wiley–Interscience (1988).



Vestígio	Descrição	Peaka (@ n·60Hz) dBb	ÿVrmsc
1	base de ruído do analisador de espectro SRS785	-	-
2	Bateria de chumbo-ácido selada 12V 7Ah	-	-
3	mesmo, com carga lenta correspondente de 120mA	-	-
4	Power Designs 4010 40W bancada de precisão linear	54	1.2
5	HP6114A 40W bancada de precisão linear	39	2
6	Calibrador de tensão CC Fluke 343	42	2
7	Analogic AN3100 Calibrador de tensão DC	51	14
8	Agilent E3630 35W bancada tripla linear	23	0,6
9	HP6002A 200W bancada linear	50	18
10	Fonte de tensão programável Keithley 230	33	11
11	HP6612C 40W bancada linear	28	10
12	Agilent E3610 30W bancada linear	12	1.8
13	Comutador de mesa Cui 9V 20W	40	56
14	Tektronix PS283 75W banco triplo linear	46	70
15	HP66312 40W bancada linear	27	10
16	mesmo, com capacitor de 33.000uF na saída	26	2.2
17	Comutador de bancada HP6024A 200 W	40	100
18	Jerome RYD313F-001 15W triplo mesa-verruga linear	53	640
19	Comutador "ATX" para computador Corsair VX550W 550W	44	400
20	Leader PS152 70W banco triplo linear	24	15
21	HP6216B 8W bancada linear	47	280
22	Comutador "Adaptador de alimentação USB" de 10 W da Apple	12	400
23	Cui DV9500 não regulado 9V 500mA parede-verruga	6	-

uma. Tonal relacionado à linha de força de maior amplitude (60, 120 ou 180 Hz). b. Em uma largura de banda de 1 Hz, em relação à linha de base suavizada em 120 Hz. c. Absoluto, filtrado com largura de banda de 1 Hz. d. Durante a operação em um PC de mesa.

Figura 8.123. Todas as fontes de alimentação CC não são criadas iguais! Espectros de tensão de ruído medidos de muitas variedades de suprimentos encontrados em nosso laboratório. As linhas tracejadas são trocas de suprimentos; o resto são lineares. Uma carga de 100 ÿ foi usada na maioria dos casos. Os picos espectrais ("tonais") na frequência da linha de força e harmônicos foram editados para maior clareza; eles variam de 5 dB a mais de 50 dB acima da linha de base suavizada, conforme listado. Uma tensão de saída flutuante produz uma cauda ascendente de baixa frequência.

acoplado (acoplamento eletrostático) em fios no circuito (o efeito é mais grave para pontos de alta impedância dentro do circuito), acoplado magneticamente a circuitos fechados no circuito (independente do nível de impedância) ou acoplado eletromagneticamente a fios agindo como pequenas antenas para radiação eletromagnética. Qualquer um deles pode se tornar um mecanismo de acoplamento de sinais de uma parte de um circuito para outra. Finalmente, as correntes de sinal de uma parte do circuito podem se acoplar a outras partes por meio de quedas de tensão nas linhas de aterramento ou nas linhas de alimentação.

A. Eliminando a interferência

Numerosos truques eficazes foram desenvolvidos para lidar com a maioria desses problemas de interferência que ocorrem comumente. Tenha em mente o fato de que todas essas técnicas visam reduzir o sinal ou sinais interferentes a um nível aceitável; eles raramente os eliminam completamente. Conseqüentemente, muitas vezes vale a pena aumentar os níveis de sinal, apenas para melhorar a relação sinal-para-interferência. Além disso, é importante perceber que alguns ambientes são muito piores do que outros; um instrumento que funciona perfeitamente na bancada pode executar

miseravelmente no local. Alguns ambientes que devem ser evitados são aqueles (a) perto de uma estação de rádio ou televisão (interferência de RF), (b) perto de um metrô (interferência impulsiva e lixo elétrico), (c) perto de linhas de alta tensão (interferência de rádio, fritar sons), (d) perto de motores e elevadores (picos de linha de energia), (e) em um prédio com dimmers de lâmpadas triac e controladores de aquecedores (picos de linha de energia), (f) perto de equipamentos com grandes transformadores (captação magnética) e (g) perto de soldadores de arco (captação inacreditável de todos os tipos). Aqui está uma reunião de conselhos, técnicas e magia negra.

B. Sinais acoplados através de entradas, saídas e linha de força A melhor aposta para o ruído da linha de força é usar uma combinação de filtros de linha de RF e supressores de transientes na linha de energia CA. Você pode atingir 60 dB ou melhor atenuação de interferência acima de algumas centenas de quilohertz dessa maneira, bem como a eliminação efetiva de picos prejudiciais.

As entradas e saídas são mais difíceis, devido aos níveis de impedância e à necessidade de acoplar os sinais desejados que podem estar na faixa de frequência de interferência. Em dispositivos como amplificadores de áudio, você pode usar filtros passa-baixo nas entradas *e saídas* (muita interferência de estações de rádio próximas entra pelos fios dos alto-falantes, agindo como antenas).
Em outras situações, muitas vezes são necessárias linhas blindadas. Sinais de baixo nível, particularmente em níveis de alta impedância, devem sempre ser blindados. O mesmo deve acontecer com o gabinete de instrumentos.

C. Acoplamento capacitivo Os sinais dentro de um instrumento podem circular facilmente por meio do acoplamento eletrostático: algum ponto dentro do instrumento tem um sinal de 10 volts pulando; uma entrada de alto Z próxima também faz alguns saltos simpáticos. As melhores coisas a fazer são reduzir a capacitância entre os pontos problemáticos (afastá-los), adicionar blindagem (um invólucro de metal completo, ou mesmo uma blindagem de metal bem unida, elimina totalmente essa forma de acoplamento), mover os fios para perto de um plano de terra (que “engole” os campos eletrostáticos de franja, reduzindo enormemente o acoplamento) e reduza os níveis de impedância em pontos suscetíveis, se possível. As saídas do amplificador operacional não captam interferência facilmente, enquanto as entradas sim. Mais sobre isso mais tarde.

D. Acoplamento magnético
Infelizmente, campos magnéticos de baixa frequência não são significativamente reduzidos por invólucros de metal. Um microfone dinâmico, gravador de áudio, amplificador de baixo nível ou outro circuito sensível colocado próximo a um instrumento com um grande transformador de potência exibirá quantidades surpreendentes de captação de 60 Hz. A melhor terapia aqui é evitar grandes áreas fechadas dentro dos caminhos do circuito e tentar manter o circuito de se fechar em um loop. Pares trançados de fios são bastante eficazes na redução da captação magnética, porque a área fechada é pequena e os sinais induzidos em torções sucessivas se cancelam.

Ao lidar com sinais de nível muito baixo ou dispositivos particularmente suscetíveis à captação magnética (cabeças de fita, em dutos, resistores de fio enrolado), pode ser desejável usar blindagem magnética. “Mu-metal shielding” está disponível em peças pré-formadas e chapas flexíveis. Se o campo magnético ambiente for grande, é melhor usar uma blindagem de alta permeabilidade (alta mu) no interior, cercada por uma blindagem externa de baixa permeabilidade (que pode ser de ferro comum ou material de blindagem de baixa mu), para evitar a saturação magnética na blindagem interna. Obviamente, mover a fonte ofensiva do campo magnético costuma ser uma solução mais simples. Pode ser necessário exilar grandes transformadores de energia para o interior, por assim dizer. Indutores blindados (por exemplo, núcleos de pote) são configurados de forma que o material magnético (geralmente ferrite) forneça um caminho magnético fechado. Os transformadores toroidais têm campos de franja menores do que os tipos de quadro padrão, e uma única volta reversa (ou organizando o padrão de enrolamento para retornar ao ponto de partida) cancela a área efetiva de uma volta do enrolamento do toróide.

E. Placas de circuito e cabos Tanto o acoplamento capacitivo quanto o magnético ocorrem, também, entre traços em placas de circuito ou entre pares de linhas em cabos e fitas. Às vezes, o acoplamento magnético é chamado de acoplamento *indutivo ,* para diferenciá-lo do acoplamento capacitivo. Esse negócio de “crosstalk” é um assunto rico, tratado em detalhes em referências como o *Handbook of Black Magic de Johnson e Graham.*
[146] Talvez de forma não intuitiva, verifica-se que as magnitudes da diafonia indutiva e capacitiva são geralmente comparáveis, mas elas se comportam de maneira diferente quando vistas nas duas extremidades de um par de linhas próximas umas das outras: a diafonia direta é proporcional à taxa de variação do sinal, mas os componentes capacitivos e indutivos são de sinais opostos e tendem a se cancelar. Para diafonia reversa, o sinal acoplado parece um pulso de topo plano (de largura igual ao tempo de viagem de ida e volta), com reforço de componentes capacitivos e indutivos. Se a impedância de condução não corresponder à impedância característica da linha (consulte o Apêndice H), esse sinal de “diafonia de ponta próxima” (também conhecido como *NEXT)* será refletido e avançará, contribuindo para (e frequentemente dominando) a “fala de linha distante”. diafonia” (ou *FEXT).*

[146] HW Johnson e M. Graham, *High-Speed Digital Design – A Hand book of Black Magic,* Prentice-Hall (1993). Veja também a continuação, *High-Speed Signal Propagation – Advanced Black Magic,* Prentice Hall (2003).

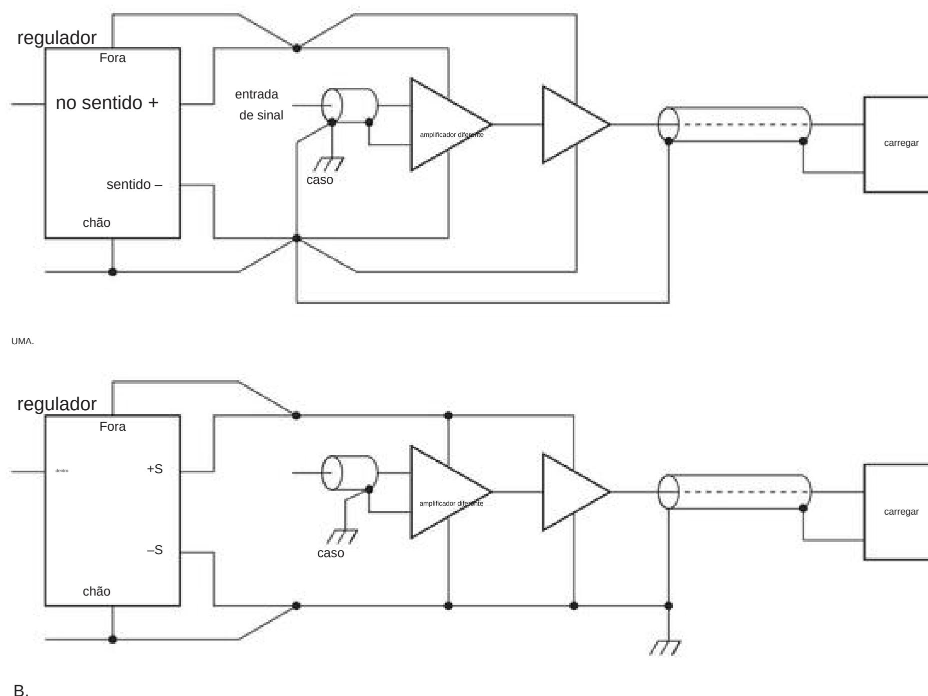


Figura 8.124. Caminhos de aterramento para sinais de baixo nível. R. Certo. B. Errado.

Consulte também discussão adicional no Capítulo 12 (§12.9, "Sinais digitais e fios longos").

F. Acoplamento de radiofrequência A captação de RF pode ser particularmente insidiosa, porque partes aparentemente inocentes do circuito podem atuar como circuitos ressonantes, exibindo uma enorme seção transversal efetiva para captação. Além da blindagem geral, é melhor manter os condutores curtos e evitar loops que possam ressoar. Contas de ferrite podem ajudar, se o problema envolver frequências muito altas. Fazer boas ações às vezes pode criar confusão. Por exemplo, você pode querer usar vários capacitores de cerâmica para melhorar o desvio da fonte de alimentação; mas em combinação com a indutância dos trilhos de alimentação de conexão, eles podem formar um adorável circuito par asítico sintonizado em algum lugar na região de HF a VHF (dezenas a centenas de megahertz), empurrado por circuitos ativos para toque e até oscilação.147

8.16.2 Aterramento do sinal

Cabos de aterramento e blindagens podem causar muitos problemas, e há muitos mal-entendidos sobre esse assunto. o problema

147 Uma solução é incluir alguns capacitores eletrolíticos de alumínio – sua resistência em série com perdas amortece a ressonância.

O problema, em poucas palavras, é que correntes que você esqueceu e que estão fluindo por uma linha de terra podem gerar um sinal visto por outra parte do circuito que compartilha o mesmo terra. A técnica de uma "meca" de aterramento (um ponto comum no circuito ao qual todas as conexões de aterramento estão ligadas) é frequentemente vista, mas é uma muleta; com um pouco de compreensão do problema, você pode lidar com a maioria das situações de maneira inteligente.

A. Erros comuns de aterramento A Figura 8.124 mostra uma situação comum. Aqui, um amplificador de baixo nível e um driver de alta corrente estão no mesmo instrumento. O primeiro circuito é feito corretamente: ambos os amplificadores ligam-se às tensões de alimentação no regulador (à direita nos fios de detecção), de modo que as quedas de *IR* ao longo dos fios para o estágio de potência não aparecem nas tensões de alimentação do amplificador de baixo nível. Além disso, a corrente de carga que retorna ao terra não aparece na entrada de baixo nível; nenhuma corrente flui do lado do terra da entrada do amplificador de baixo nível para a meca do circuito (que pode ser a conexão com o gabinete perto do conector de entrada BNC).

No segundo circuito, há dois erros. As flutuações da tensão de alimentação causadas pelas correntes de carga no estágio de alto nível são impressas nas tensões de alimentação de baixo nível. A menos que o estágio de entrada tenha uma rejeição de alimentação muito boa, isso pode levar a oscilações. Pior ainda, a corrente de carga

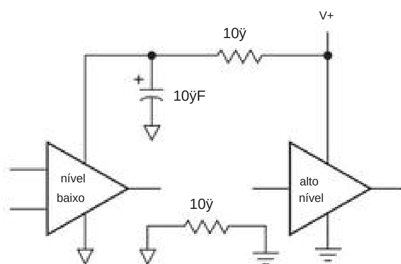


Figura 8.125. Desacoplamento do trilho CC que alimenta os estágios de baixo nível.

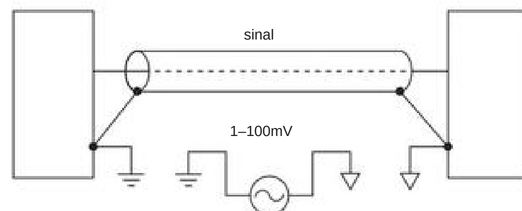


Figura 8.126. Ao conectar sinais entre instrumentos, você pode ver diferenças de 100 mV (ou mais) (na frequência da linha de força) entre seus aterramentos locais, mesmo quando eles estão em ponte, conforme mostrado.

retornar à alimentação faz com que o caso "terra" flutue em relação ao terra da fonte de alimentação. O estágio de entrada está vinculado a esse solo flutuante, uma péssima ideia. A ideia geral é olhar para onde as grandes correntes de sinal estão fluindo e certificar-se de que suas quedas de *IR* não acabem na entrada. Em alguns casos pode ser uma boa ideia desacoplar as tensões de alimentação para os estágios de baixo nível com uma pequena rede *RC* (Figura 8.125). Em casos difíceis de acoplamento de alimentação, pode valer a pena colocar um regulador zener ou de 3 terminais na alimentação do estágio de baixo nível para desacoplamento adicional.

8.16.3 Aterramento entre instrumentos

A ideia de um ponto de aterramento controlado dentro de um instrumento é boa, mas o que você faz quando um sinal precisa ir de um instrumento para outro, cada um com sua própria ideia de "terra"? Seguem algumas sugestões (e veja também o tratamento extensivo da transmissão de sinais *digitais* em §12.9).

A. Sinais de alto nível Se os sinais forem vários volts, ou grandes oscilações lógicas, apenas junte as coisas e esqueça (Figura 8.126). A fonte de voltagem mostrada entre os dois aterramentos representa as variações nos aterramentos locais que você encontrará em diferentes tomadas de linha de energia na mesma sala ou (pior) em diferentes salas ou prédios. Ele consiste em cerca de 60 Hz de tensão, harmônicos da frequência da linha, alguns sinais de radiofrequência (a linha de força é uma boa antena) e diversos picos e outros tipos de lixo. Se seus sinais forem grandes o suficiente, você pode viver com isso.

B. Pequenos sinais e fios longos Para pequenos sinais esta situação é intolerável, e você terá que fazer algum esforço para remediar a situação. A Figura 8.127 mostra algumas ideias. No primeiro circuito, um cabo blindado coaxial é amarrado ao invólucro e ao aterramento do circuito no lado acionador, mas é mantido isolado do invólucro na extremidade receptora (use um conector BNC isolado Bendix 4890-1 ou Amphenol 31-010). Um amplificador diferencial é usado para armazenar o sinal de entrada, ignorando assim a pequena quantidade de "sinal de terra" que aparece na blindagem.

Um pequeno resistor e um capacitor de desvio para o terra são uma boa ideia para limitar a oscilação do solo e evitar danos ao estágio de entrada. O circuito receptor alternativo na Figura 8.127A mostra o uso de uma conexão de entrada "pseudodiferencial" para um estágio amplificador de terminação única (que pode, por exemplo, ser uma conexão padrão de amplificador operacional não inversora, conforme indicado). O resistor de 10 ÿ entre o comum do amplificador e o terra do circuito é grande o suficiente para permitir que o terra de referência da fonte de sinal estabeleça o potencial naquele ponto, porque é muito maior que a impedância do terra da fonte.

Qualquer ruído presente naquele nó, é claro, também aparece na saída. No entanto, isso se torna sem importância se o estágio tiver um ganho de tensão suficientemente alto, GV, porque a relação sinal-terra desejada é reduzida em GV.

Assim, embora este circuito não seja verdadeiramente diferencial (com CMRR infinito), ele funciona bem o suficiente (com CMRR efetivo = GV). Este truque de detecção de solo pseudo-diferencial pode ser usado também para sinais de baixo nível *dentro de* um instrumento, quando o ruído do solo é um problema.

No segundo circuito (Figura 8.127B), é usado um par trançado blindado, com a blindagem conectada à caixa em ambas as extremidades. Como nenhum sinal passa pela blindagem, isso é menos prejudicial. Um amplificador diferencial é usado como antes na extremidade receptora. Se sinais lógicos estiverem sendo transmitidos, é uma boa ideia enviar um sinal diferencial (o sinal e sua forma invertida), conforme indicado. Amplificadores diferenciais comuns podem ser usados como estágios de entrada ou, se a interferência de terra for severa, "amplificadores isolados" especiais estão disponíveis em fabricantes como Analog Devices, Inc. e TI/Burr–Brown. Os últimos permitem quilovolts de sinais de modo comum. Assim como os módulos optoisoladores (§12.7), uma solução prática para sinais digitais em algumas situações.

Em frequências de rádio, o acoplamento do transformador oferece uma maneira conveniente de remover o sinal de modo comum no



Figura 8.127. Conexões de aterramento para sinais de baixo nível através de cabos blindados.

extremidade receptora; isso também facilita a geração de um sinal de bipolaridade diferencial no lado acionador. Os transformadores também são populares em aplicações de áudio, embora tendam a ser volumosos e levar a alguma degradação do sinal, conforme descrito em §8.10.

Para trechos de cabos muito longos (medidos em milhas), é útil evitar que grandes correntes de aterramento fluam na blindagem em frequências de rádio. A Figura 8.128 sugere um método. Como antes, um amplificador diferencial olha para o par trançado, ignorando a tensão na blindagem. Ao amarrar a blindagem ao invólucro por meio de um pequeno indutor, a tensão CC é mantida pequena, evitando grandes correntes de radiofrequência. Este circuito também mostra circuitos de proteção para evitar excursões de modo comum além de ±10 V.

A Figura 8.129 mostra um bom esquema para economizar fios em um cabo multifios no qual o pickup em modo comum deve ser eliminado. Como todos os sinais sofrem o mesmo pickup de modo comum, um único fio ligado ao terra no final de envio serve para cancelar os sinais de modo comum em cada uma das *n* linhas de sinal. Apenas tampe seu sinal (em relação ao terra na extremidade receptora) e use-o como entrada de comparação para cada um dos *n* amplificadores diferenciais olhando para as outras linhas de sinal.

Os esquemas anteriores funcionam bem para eliminar a interferência de modo comum em frequências baixas a moderadas, mas podem ser ineficazes contra interferência de radiofrequência, devido à fraca rejeição de modo comum no amplificador diferencial receptor.

Uma possibilidade aqui é enrolar todo o cabo em torno de um toróide de ferrite (Figura 8.130). Isso aumenta a indutância em série de todo o cabo, aumentando a impedância para os sinais de modo comum de alta frequência e facilitando o desvio deles na extremidade oposta com um par de pequenos capacitores de desvio para o terra. O circuito equivalente mostra por que isso funciona sem atenuar o sinal diferencial: você tem uma indutância em série inserida em ambas as linhas de sinal

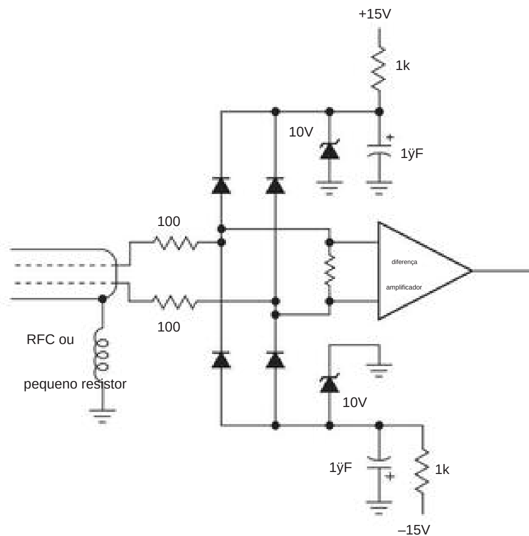


Figura 8.128. Circuitos de proteção de entrada para uso com linhas muito longas.

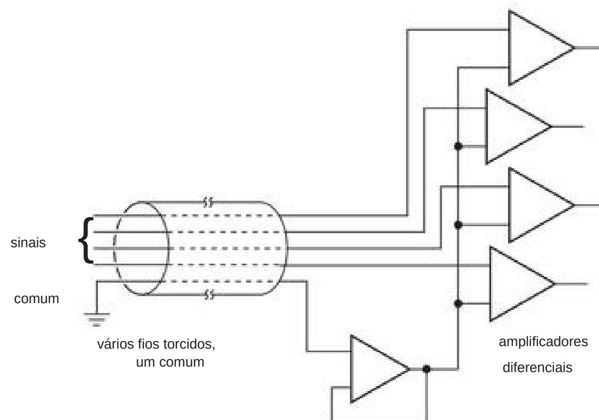
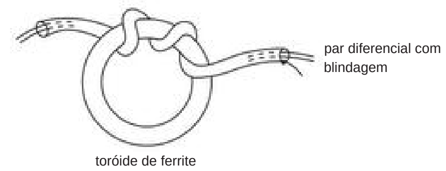


Figura 8.129. Rejeição de interferência de modo comum com cabos multifios longos.

e a blindagem, mas eles formam um transformador fortemente acoplado de relação de espiras unitárias, de modo que o sinal diferencial não é afetado. Isso pode ser considerado como um "transformador de linha de transmissão 1:1" (consulte §13.10 na segunda edição deste livro).

C. Fontes de sinais flutuantes O mesmo tipo de desacordo sobre a tensão de "terra" em locais separados entra de forma ainda mais séria em entradas de baixo nível, apenas porque os sinais são muito pequenos. Um exemplo é um cabeçote de fita magnética ou outro transdutor de sinal que requer uma linha de sinal blindada. Se você aterrar a blindagem em ambas as extremidades, as diferenças no potencial de aterramento aparecerão como sinal na entrada do amplificador. Ao melhor



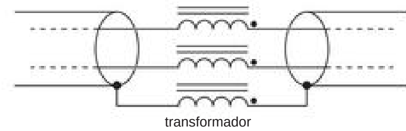


Figura 8.130. Enrole um cabo coaxial ou de vários fios em torno de um núcleo de ferrite para supressão de modo comum de alta frequência.

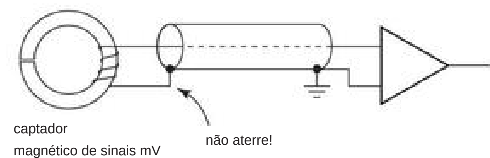


Figura 8.131. Prevenir correntes de fuga à terra: ligue a blindagem à terra apenas na extremidade receptora.

abordagem é levantar a blindagem do chão *no transdutor* (Figura 8.131).

D. Amplificadores de isolamento Outra solução para problemas sérios de contenção de aterramento é o uso de um "amplificador de isolamento". Amplificadores de isolação (iso amps) são dispositivos comerciais destinados a acoplar um sinal analógico (com largura de banda reduzida para CC) de um circuito com uma referência de aterramento para outro circuito com um aterramento completamente diferente (Figura 8.132). Na verdade, em algumas situações bizarras, os "motivos" podem diferir em muitos

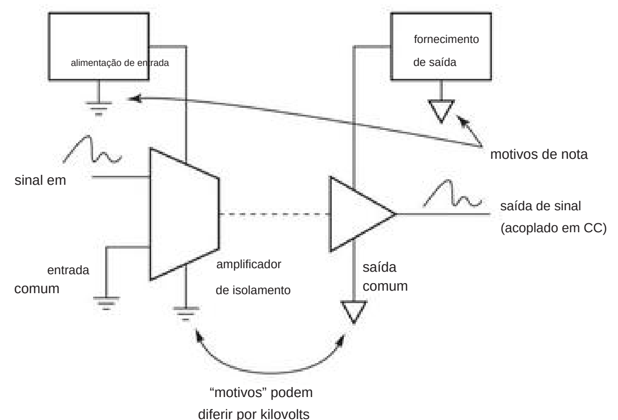


Figura 8.132. Conceito de amplificador de isolamento.

quilovolts! Amplificadores de isolamento são obrigatórios para eletrônicos médicos nos quais os eletrodos são aplicados a seres humanos, a fim de isolar completamente essas conexões de quaisquer circuitos de instrumentos alimentados diretamente pelas linhas de força. Os amplificadores de isolamento atualmente disponíveis usam um dos três métodos.

1. Isolamento do transformador de um sinal portador de alta frequência, que é modulado em frequência ou modulado em largura de pulso com o sinal de largura de banda relativamente baixa (cc a 10 kHz ou mais) a ser isolado (Figura 8.133). Este método é usado em amplificadores de isolação da Analog Devices, Inc. Os iso-amps isolados por transformadores têm a conveniente característica de exigir alimentação CC apenas em um lado; todos eles incluem um conversor dc-para-dc acoplado a transformador no pacote. Os isoamps acoplados a transformadores podem isolar até 1,5 kV e ter larguras de banda típicas de 5 kHz, embora algumas unidades (por exemplo, o AD215) cheguem a 120 kHz. O último tem 0,015% de não linearidade máxima e custa cerca de US$ 80 em quantidades individuais.
2. Transmissão de sinal opticamente acoplada através de um LED na extremidade de envio e fotodiodo na extremidade de recepção. Esta técnica é tipificada pela série ACPL-C79 da Av. atrás. Esses dispositivos usam um esquema de modulação e demodulação delta-sigma e atingem uma largura de banda de CC a 200 kHz. Essa série é barata (cerca de US$ 5 em quantidade modesta), com não linearidade máxima de 0,06%. Uma alternativa interessante, que não envolve sinal de clock ou frequência portadora, é acoplar um LED na extremidade de envio a um fotodiodo na extremidade de recepção. Para obter uma boa linearidade, você usa a realimentação de um segundo fotodiodo correspondente no lado da transmissão que recebe luz do mesmo LED, cancelando assim as não linearidades tanto no LED quanto no fotodiodo (Figura 8.134; consulte também a Figura 12.90 no Capítulo 12). Algumas técnicas adicionais de isolamento opcional analógico são discutidas em §12.7.4, e acopladores digitais isolados relacionados em §12.7.2.

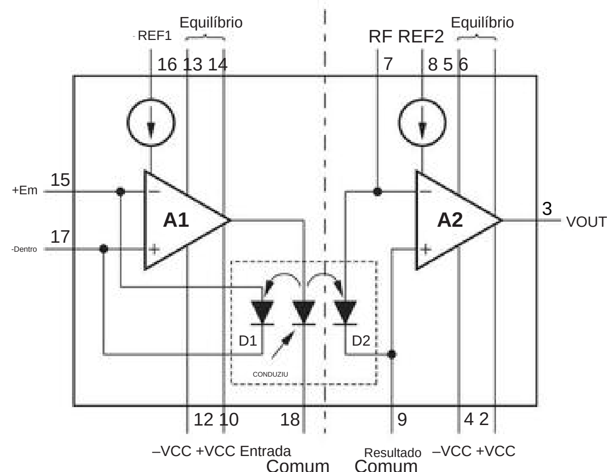


Figura 8.134. O acoplamento óptico não modulado elimina o ruído de clock, com feedback de um detector correspondente para obter linearidade razoável. (Adaptado da folha de dados ISO100, cortesia da Texas Instruments.)

3. Isolamento acoplado capacitivamente de um sinal de portadora de alta frequência, que é modulado com o sinal a ser isolado (Figura 8.135). Essa técnica é tipificada pela ISO122 e ISO124 da TI/Burr–Brown (Figura 8.136). Não há realimentação, como no isolamento do transformador, mas para a maioria dos modelos você precisa de fontes de alimentação em ambas as extremidades. Isso geralmente não é um problema, pois é provável que você tenha componentes eletrônicos em ambas as extremidades, gerando e usando o sinal. Caso contrário, você pode obter um conversor CC-CC isolado para usar com o iso-amp. O ISO124 isola a 1,5 kV, com não linearidade máxima de 0,01% e

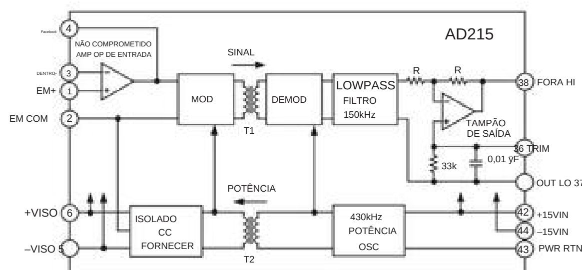


Figura 8.133. Amplificador de isolamento acoplado a transformador AD215. (Adaptado da ficha técnica do AD215, cortesia da Analog Devices, Inc.)

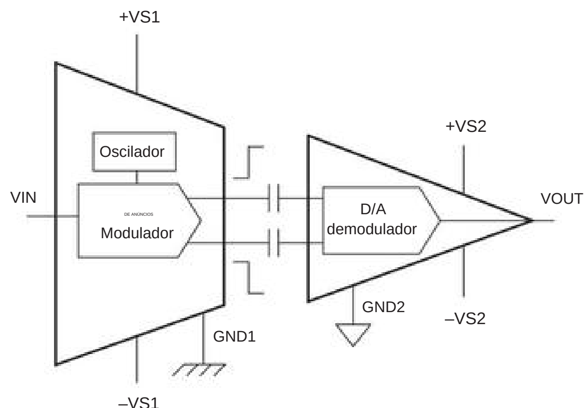


Figura 8.135. Amplificador de isolamento acoplado capacitivamente. (Adaptado do Burr–Brown Application Bulletin AB-047, cortesia da Texas Instruments.)

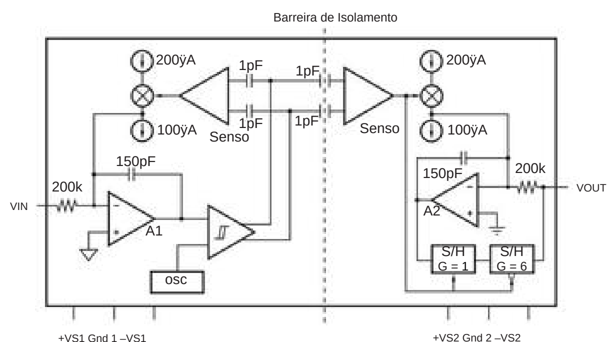


Figura 8.136. Amplificador de isolação acoplado capacitivamente ISO124. (Adaptado da folha de dados ISO124, cortesia da Texas Instruments.)

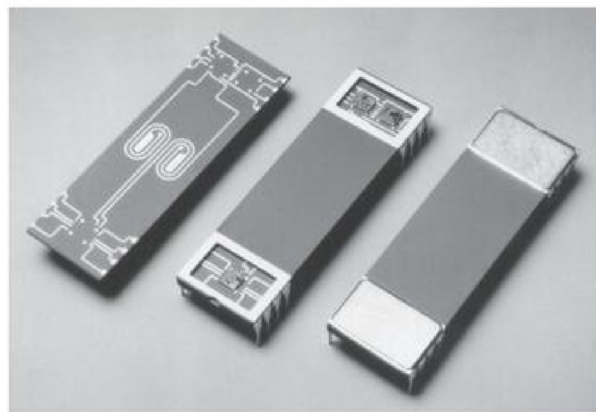


Figura 8.137. Amplificador de isolação Burr–Brown (TI) ISO106, cortesia da Texas Instruments.

largura de banda de 50 kHz; custa $ 18 em quantidades de peça única. A Figura 8.137 mostra bem as entranhas de um desses dispositivos acoplados capacitivamente.

Esses amplificadores de isolamento são todos destinados a sinais *analógicos* . Os mesmos tipos de problemas de aterramento podem surgir na eletrônica digital, onde a solução é simples e eficaz: isoladores acoplados opticamente ("optoisoladores") estão disponíveis, com bastante largura de banda (10 MHz ou mais), isolação de vários quilovolts e baixo custo (um dólar ou dois). Eles são discutidos extensivamente no Capítulo 12.

Um cuidado: amplificadores de isolação podem introduzir ruídos próprios, principalmente aqueles que usam alguma forma de modulação de sinal (que é a maioria deles!). Para o último, você tem um resíduo da frequência de clock modulante; e todos os amplificadores de isolamento (com clock ou não) introduzem ruído de banda larga do tipo usual. Uma solução para o ruído do relógio é adicionar um filtro passa-baixa analógico na saída do lado receptor. Para obter mais detalhes, consulte o documento de aplicação útil "Fontes de ruído em aplicações que utilizam amplificador isolado capacitivo acoplado" (Boletim de aplicação SBOA028, disponível no site da Texas Instruments, www.ti.com).

E. Proteção de sinal

Uma questão intimamente relacionada é a *proteção de sinal,* uma técnica elegante para reduzir os efeitos da capacitância de entrada e idade do vazamento para pequenos sinais em altos níveis de impedância. Você pode estar lidando com sinais de um microeletrodo ou um transdutor capacitivo, com impedâncias de fonte de centenas de megohms. Apenas alguns picofarads de capacitância de entrada podem formar um filtro passa-baixa, com rolloffs começando em alguns hertz! Além disso, os efeitos da resistência de isolamento nos cabos de conexão podem degradar facilmente o desempenho de um amplificador de corrente de entrada ultrabaixo (correntes de polarização menores que

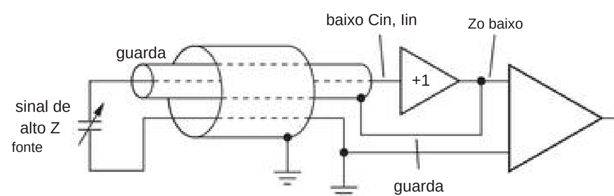


Figura 8.138. Usando uma proteção para aumentar a impedância de entrada.

um picoamp) por ordens de grandeza. A solução para ambos os problemas é um *eletrodo de proteção* (Figura 8.138).148

Um seguidor inicializa a blindagem interna, eliminando efetivamente a corrente de fuga e a atenuação capacitiva, mantendo a diferença de tensão zero entre o sinal e seus arredores. Uma blindagem externa aterrada é uma boa ideia, para manter a interferência fora do eletrodo de proteção; o seguidor não tem problemas para conduzir essa capacitância e vazamento, é claro, devido à sua baixa impedância de saída.

Você não deve usar esses truques mais do que o necessário; seria uma boa ideia colocar o seguidor o mais próximo possível da fonte do sinal, protegendo apenas o trecho curto do cabo que os conecta. O cabo blindado comum pode então transportar o sinal de saída de baixa impedância para o amplificador remoto.149

F. Acoplamento às saídas

Normalmente, a impedância de saída de um amplificador operacional é baixa o suficiente para que você não precise se preocupar com o acoplamento de sinal capacitivo. No caso de alta frequência ou comutação rápida

148 Vimos isso anteriormente, em §8.11.9. 149 Discutido em mais detalhes, em conexão com microeletrodos de alta impedância, em §15.08 da segunda edição deste livro.

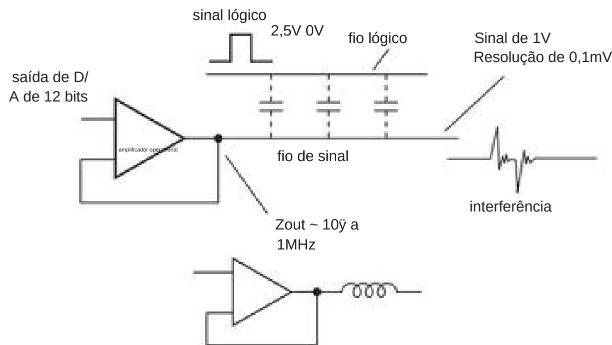


Figura 8.139. Interferência de acoplamento cruzado digital com sinais lineares.

interferência, no entanto, você só tem motivo para alarme, especialmente se o sinal de saída desejado envolver algum grau de precisão. Considere o exemplo da Figura 8.139. Um sinal de precisão é armazenado em buffer por um amplificador operacional e passa por uma região contendo sinais lógicos digitais saltando com taxas de variação de 0,5 V/ns. A impedância de saída de loop fechado do amplificador operacional aumenta com a frequência, normalmente atingindo valores de 10 a 100 ÿ ou mais a 1 MHz (consulte §5.8.3). Qual é o tamanho da capacitância de acoplamento permitida, para manter a interferência de acoplamento menor que a resolução do sinal analógico de 0,1 mV? A resposta surpreendente é um máximo de 0,02 pF.

Existem algumas soluções. A melhor coisa é manter suas pequenas formas de onda analógicas fora do alcance dos sinais de comutação rápida. Um capacitor de desvio moderado na saída do amplificador operacional (talvez com um pequeno resistor em série, para manter a estabilidade do amplificador operacional) ajudará, embora degrade a taxa de variação. Você pode pensar na ação desse capacitor como a redução da frequência dos feixes de carga acoplados ao ponto em que o feedback do amplificador operacional pode engoli-los. Algumas centenas de picofarads para o terra fortalecerão adequadamente o sinal analógico em altas frequências (pense nisso como um divisor de tensão capacitivo). Outra possibilidade é usar um buffer de baixa impedância, como o LT1010, ou um amplificador operacional de potência, como o LM675. Não negligencie a oportunidade de usar blindagem, pares trançados e proximidade aos planos de aterramento para reduzir o acoplamento.

Exercícios Adicionais para o Capítulo 8

Exercício 8.10. Prove que SNR = 10log10(v2 s */4kTRs)ÿ* NF(dB) (em Rs).

Exercício 8.11. um 10 ÿ A onda senoidal V (rms) a 100 Hz está em série com um resistor de 1M à temperatura ambiente. Qual é a SNR do sinal resultante (a) em uma banda de 10 Hz centrada em 100 Hz e (b) em uma banda de 1 MHz indo de CC para 1 MHz?

Exercício 8.12. Um amplificador transistorizado usando um 2N5087 é operado com uma corrente de coletor de 100 A e é acionado por uma fonte de sinal de ÿ impedância de 2.000 ÿ. (a) Encontre a figura de ruído em 100 Hz, 1 kHz e 10 kHz. (b) Encontre o SNR (em cada uma das frequências listadas) para um sinal de entrada de 50 nV (rms) e uma largura de banda do amplificador de 10 Hz.

Exercício 8.13. As medições são feitas em um amplificador comercial (com Zin = 1M) para determinar seu ruído de entrada equivalente en e in a 1 kHz. A saída do amplificador passa por um filtro de largura de banda de 100 Hz: um sinal de entrada de 10 V resulta em uma saída de 0,1 V.ÿNesse nível, a contribuição do ruído do amplificador é insignificante. Com a entrada em curto, a saída de ruído é de 0,4 mV rms. Com a entrada aberta, a saída de ruído sobe para 50 mV rms. (a) Encontre en e in para este amplificador em 1 kHz. (b) Encontre a figura de ruído desse amplificador a 1 kHz para resistências de fonte de 100 ÿ, 10k e 100k.

Exercício 8.14. As medições de ruído são feitas em um amplificador usando uma fonte de ruído calibrada cuja impedância de saída é de 50 ÿ. A saída do gerador deve ser aumentada para 2 nV/ ÿ Hz para dobrar a potência de ruído de saída do amplificador. Qual é a figura de ruído do amplificador para uma impedância de fonte de 50 ÿ?

Exercício 8.15. Seu chefe lhe diz que está trabalhando em um instrumento de mudança de pressão supersensível que usa um sensor de pressão do tipo diafragma com uma ponte de medidor de tensão de 350 ÿ. Ela diz que há uma largura de banda de medição de 10 Hz, seja de um filtro ou de um ADC integrado, e pede que você selecione um amplificador operacional para o estágio de entrada. Primeiro, considere os amplificadores auto-zero (consulte §5.11 Tabela 5.6 e Figura 5.54). (a) Um amplificador operacional bipolar é melhor que um amplificador operacional JFET? Dica, não se esqueça . (b) A ponte tem uma saída padrão de escala total de 2 mV/V e seu chefe está planejando uma tensão de excitação de 2,5 V. Qual será o piso de ruído do seu sistema como uma fração da escala completa? (c) Você deveria sugerir a seu chefe que ele considerasse executar o ADC mais rapidamente e calcular a média dos resultados? (d) Um colega engenheiro (que sofre as indignidades do mesmo chefe) sugere que um sensor de pressão de medidor de tensão de silício pode ser melhor, porque eles têm saída mais alta, 2,5 mV/V. Você encontra sensores com Rs=1,4 kÿ a 3 kÿ. Escolha um bom amplificador operacional para este caso e calcule o desempenho do sistema.

Exercício 8.16. Estágio de entrada do osciloscópio digital *(este é um problema difícil!).* Sua tarefa é projetar um estágio de entrada para um "aplicativo de osciloscópio" de baixo custo a ser alimentado por uma única fonte de +3,3 V da bateria de íons de lítio do dispositivo móvel. A arquitetura do osciloscópio pede a atenuação de seus sinais de ponta de prova para 1 mV por divisão por meio de uma chave de alcance, amplificando e digitalizando esse sinal, com uma meta de ruído pico a pico de não mais que 5% de uma divisão. A tela mostra dez divisões verticais e você precisa ser capaz de deslocá-la verticalmente em ± 5× acima da faixa, além de haver um orçamento de 40 mV para "compensação de software". (a) Qual é a faixa total de entrada e qual é sua meta de nível de ruído de entrada rms? (b) Se um ADC de 14 bits for usado, qual é a resolução LSB?

Um ADC de 14 bits ADS7946 foi selecionado; consome 0,5 mA de +3,3 V ao converter a 100 kSPS e atende às metas de custo em

$ 6 em qtde 1k. (c) Qual é uma faixa de tensão de entrada ADC razoável e quanto ganho você precisará fornecer?

O ADC é capaz de 2 Msps, para uma largura de banda de 1 MHz, mas há planos para usar um ADC mais rápido em uma revisão posterior; portanto, sua largura de banda de especificação de design é de 10 MHz. (d) Qual é a sua especificação meta de densidade de ruído tral?

Os osciloscópios padrão são acoplados em CC, têm uma impedância de entrada de 1 Mÿ15 pF e não exibem deslocamentos CC visíveis com a impedância da fonte. (e) Crie um design que atenda a todas as suas especificações. O baixo consumo de energia é uma grande vantagem.

Revisão do Capítulo 8

Um resumo de A a Q do que aprendemos no Capítulo 8.
Este resumo revisa os princípios e fatos básicos do Capítulo 8, mas não abrange os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. Noções básicas de ruído.

Consulte §8.1. O ruído aleatório que lhe interessa é caracterizado pela sua *densidade* (amplitude de ruído rms numa banda de frequência de 1 Hz), §8.2.1. A densidade *de tensão de* ruído é chamada en e tem unidades como nV/ÿ Hz. Da mesma forma, o símbolo para densidade de *corrente* de ruído é in, com unidades como fA/ÿ Hz. Uma corrente de ruído na entrada de um amplificador flui através da resistência da fonte do sinal, criando sua própria densidade de tensão de ruído en=inRs. Em fontes de ruído dependentes combinam-se como a raiz quadrada da soma de seus quadrados: en(total)= e2 n1+e2 n2 +···. Se uma fonte de ruído é uniforme na frequência, é chamada de "ruído branco" e a tensão de ruído rms (em contraste com a *densidade de tensão de ruído)* contida em uma largura de banda *B* é apenas vn=en *ÿB.*

Sabendo disso, você pode ir para a Tabela 8.3a–c na página 522, que lista en e in para uma ampla seleção de amplificadores operacionais, para descobrir quanto ruído é adicionado em um estágio de amplificador de amplificador operacional. Compare isso com o nível de ruído do sinal de entrada; ou multiplique pelo ganho de tensão do amplificador e, voila, você terá a densidade de tensão de ruído de saída.

¶B. Espectros de Ruído.

Qualquer que seja a fonte, a densidade do ruído pode variar com a frequência, consulte §8.1. Ruído branco *(en* constante sobrefrequência, até algum corte) é comum, por exemplo, o ruído Johnson de um resistor (¶E, abaixo) ou as flutuações de ruído de tiro de uma corrente estável (¶F, abaixo). Também predominante é o "ruído 1/ *f* ", algumas vezes chamado de ruído oscilante ou ruído rosa; é caracterizado por um espectro de *potência 1/ f* (potência igual por oitava, ou por década), portanto, uma densidade de ruído de tensão en(f) proporcional a 1/ ÿ *f* .

A maioria dos circuitos eletrônicos (e muitos outros fenômenos físicos) exibe ruído 1/ *f* , geralmente caracterizado pela " frequência de canto 1/ *f* " na qual o componente de ruído 1/ *f* é igual ao componente de ruído branco. Finalmente, o termo *ruído vermelho* refere-se a uma densidade de ruído en proporcional a 1/ *f* (portanto, um espectro de potência de 1/f); veja por exemplo a Figura 8.95. A tensão de ruído é obtida integrando en(f)² de banda f1 a f2 (que se estende de f1 a f2) sobre frequência, então *en(f)2 df* . tirando a raiz quadrada: vn= v2 Para um espectro branco, isso se reduz ao simples vn=en *ÿB.*

n , onde v2 n= f2 f1

O ruído real do circuito não precisa estar de acordo com esses espectros idealizados, que, no entanto, são úteis para caracterizar o ruído de dispositivos reais em regiões de frequência escolhidas; Vejo por exemplo, Figura 8.107. Na vida real, os espectros podem mostrar uma "prateleira" de ruído (por exemplo, curva Z na Figura 8.52) ou um pico de ruído (por exemplo, Figuras 5.52 ou 8.72).

¶C. Distribuição de amplitude de ruído.

Independentemente de seu espectro, pode-se caracterizar a distribuição de amplitude do ruído; ou seja, a distribuição das amplitudes instantâneas amostradas no tempo. A maioria das fontes de ruído obedece a uma distribuição Gaussiana (Figura 8.2), um fato que é menos preocupante do que as propriedades importantes do espectro e amplitude do ruído. Uma notável exceção é o ruído de *explosão* (também chamado de ruído de *pipoca ,* ruído *biestável* ou ruído de *telégrafo),* que salta aleatoriamente entre vários níveis de voltagem (Figura 8.5). O ruído de explosão foi proeminente nas primeiras décadas da tecnologia de semicondutores, mas foi amplamente banido em produtos contemporâneos. Suspeita-se que alguns remanescentes de baixo nível permaneçam, como evidenciado, por exemplo, em uma comparação do espectro de ruído de rajada medido da Figura 8.6 com o espectro de ruído JFET medido da Figura 8.51.

¶D. Fontes de Ruído.

As fontes dominantes de ruído em circuitos eletrônicos (detalhadas nos parágrafos ¶E–H abaixo) são:

Ruído Johnson. As flutuações térmicas geram uma tensão de ruído em um resistor.
Ruído de Tiro. A natureza discreta da carga elétrica cria flutuações em uma corrente "estável".
Excesso de Ruído. Vários fenômenos de semicondutores contribuem com ruído adicional (geralmente ÿ1/ *f* em densidade de potência) em baixas frequências.
Ruído do Amplificador. Transistores (tanto BJTs quanto FETs) adicionam ruído, rastreável às fontes acima (por exemplo, ruído de Johnson da resistência de base rbb , ruído de disparo da corrente do coletor e termos de excesso de ruído).

¶E. Ruído Johnson.

As flutuações térmicas causam uma tensão de ruído autogerada nos terminais de um resistor descarregado; este é o *ruído de John son,* de densidade de tensão de ruído (branco) en=ÿ4kBT R, onde kB é a constante de Boltzmann. Não se preocupe em lembrar o último; apenas lembre-se do valor de en para uma resistência de número redondo (nós gostamos de 1,28 nV/ÿ Hz para R=100ÿ, ou 4 nV/ÿ Hz para R=1kÿ) e dimensione pela raiz quadrada de R.

Se curto-circuitado, um resistor gera uma corrente de ruído Johnson in=en/ R; ou seja, in= *4kBT/ R.* Veja o gráfico na Figura 8.1 e a minitabela em §8.1.1.

O ruído de Johnson é um fenômeno físico fundamental e não depende da construção particular do

resistor (ou resistência). No entanto, quando uma corrente constante flui através de uma resistência, você pode obter alguma corrente de ruído adicional (que você pode pensar como devido a flutuações de resistência), geralmente com algo próximo a um espectro de potência de 1/ *f* . Este *excesso de ruído* varia com a construção do resistor, sendo pior em um tipo de "composição de carbono" granular, mas insignificante em um resistor de fio enrolado.

¶F. Ruído de Tiro.

A finitude do quantum de carga (carga do elétron) causa flutuações estatísticas mesmo em uma corrente constante.

Se as cargas agem independentemente, a densidade de corrente do ruído (branco) é *in=ÿ2qIdc,* onde *q* é a carga do elétron (1,6×10ÿ19 coulombs). Assim como no ruído de Johnson, é útil simplesmente lembrar o valor de in para uma corrente CC de número redondo (por exemplo, 18 pA/ÿ Hz para Idc=1 mA) e dimensionar pela raiz quadrada da corrente.150 Veja o mini- tabela em §8.1.2.

Importante: a fórmula shot-noise assume que os portadores de carga agem de forma independente; o ruído de corrente é bastante reduzido se houver correlações de longo alcance, como por exemplo em um condutor metálico.

¶G. Ruído BJT.

Consulte §8.3. Os termos primários de ruído de um BJT são uma tensão de ruído de entrada em série com a base, combinada com uma corrente de ruído de entrada injetada na base (Figura 8.9). O ruído referenciado à entrada do amplificador (ou seja, ignorando o ruído Johnson da fonte de sinal Rs) é então ea(rms)=[e2 *n+(Rsin)2]*

1 2. À medida que você aumenta a corrente do coletor, diminui e aumenta , então há uma troca de corrente operacional. A relação en/in tem unidades de resistência; é chamada de *resistência ao ruído* e é uma quantidade útil no projeto de circuitos; veja ¶ I abaixo. A Tabela 8.1a lista os valores medidos de en para muitos candidatos a BJT de baixo ruído.

Ruído de tensão, en. No modelo mais simples, o termo de tensão de ruído surge de duas fontes: a corrente de ruído de disparo do coletor fluindo através da resistência do emissor do transistor re, e o ruído de Johnson na resistência de base interna do transistor rbb . Combinando esses termos de ruído independentes (eq'n 8.20), obtemos a tensão de ruído quadrática total referida à entrada, e2 *n=2qICr2 e+4kTrbb=4kT(re/ 2+rbb).* Dito de outra forma, a tensão de ruído de entrada é igual ao ruído Johnson combinado da resistência de base do transistor

(rbb) e uma resistência fictícia igual à metade de sua

150 Como a corrente de ruído de disparo e a corrente de ruído de Johnson vão como 1/ *ÿR,* é fácil derivar este fato útil: se a queda de CC em um resistor for maior que 50 mV, o ruído de disparo domina o ruído de Johnson do próprio resistor.

resistência intrínseca do emissor (re/2). O último é inversamente proporcional à corrente do coletor, de modo que a tensão de ruído de um BJT diminui com o aumento do IC, limitado em última instância por sua resistência de base interna; veja por exemplo a Figura 8.12. Assim, para minimizar o ruído de *tensão* do BJT , escolha uma parte com baixo rbb e opere com uma corrente de coletor relativamente alta. Um modelo mais refinado inclui os efeitos da corrente de base

ruído shot, importante em baixas frequências e altas correntes de coletor; veja a Figura 8.11 e a equação 8.24.

Ruído de corrente, in. O termo de corrente de ruído primário é o ruído shot na corrente de base CC, in=ÿ2qIB (eq'n 8.21). Tomando este termo sozinho, você minimiza o ruído de *corrente* BJT operando em baixa corrente de coletor. Um modelo mais refinado inclui um termo de corrente de ruído crescente ÿ 1/ ÿ *f* em baixas frequências, e um termo de corrente de ruído crescente ÿ *f* em altas frequências causado pela queda de beta; veja a equação 8.22 e a Figura 8.13.

¶H. Ruído JFET.

Consulte §8.6. A escolha de baixo ruído para sinais de alta impedância de fonte são os FETs, devido ao seu baixo ruído de corrente de entrada; Os JFETs são mais silenciosos que os MOSFETs e, ao contrário dos últimos, estão disponíveis como partes discretas de pequenos sinais (consulte a Tabela 8.2).

Ruído de tensão, en. O termo de tensão de ruído dominante é o ruído de Johnson na resistência do canal (eq'n 8.34), e2 *nÿ4kT( ).* Dito de outra forma, a tensão de ruído é 2 3 1 grama

equivalente ao ruído de Johnson em um resistor de valor R=2 veja 3 1 gm ; a Figura 8.46. Para minimizar o ruído de tensão JFET, escolha um JFET de alta transcondutância e opere-o com uma corrente de dreno relativamente alta (observe, entretanto, que en cai lentamente, apenas como a quarta raiz de ID). Assim como os BJTs, os JFETs exibem uma cauda de ruído ascendente semelhante a 1/f em baixas frequências (Figura 8.52), com enorme variação entre tipos e fabricantes.

Ruído de corrente, in. Em baixas frequências o ruído de corrente é baixo, apenas ruído shot da corrente do gate (vazamento): in=ÿ2qIG, veja a Figura 8.48. Para enquadrar isso em números, uma corrente de fuga de porta típica de 10 pA tem uma densidade de corrente de ruído de apenas 1,8 fA/ÿ Hz, gerando apenas 1,8 nV/ÿ Hz de tensão de ruído através de uma resistência de fonte de 1Mÿ. Isso é baixo na extremidade inferior do ruído do transistor

tensão, e é completamente diminuído pelos 128 nV/ÿ Hz do ruído Johnson produzido pela própria resistência da fonte.

Em frequências crescentes, existem algumas fontes adicionais de corrente de ruído de entrada. Por exemplo, em um amplificador de transimpedância, a entrada da porta é uma junção de soma, na qual o ruído de *tensão* do FET gera uma corrente de ruído através

a capacitância de entrada, de magnitude in=en (abaixo) ÿ Cin, ver ¶N e §8.11.

¶EU. Figura de ruído, temperatura de ruído e resistência a ruído.

Consulte §8.2. Figura de ruído (NF) é uma medida popular de ruído do amplificador adicionado. É a razão (em dB) do ruído de saída do amplificador para a saída de um amplificador sem ruído com o mesmo ganho, cada um conduzido com uma resistência de fonte Rs: NF=10log10(1+v2 n */4kTRs),* onde v2 é a média tensão de ruído ao quadrado por amplificador quando n contribuída pelo um resistor sem ruído (frio) de valor Rs conectado à sua entrada (consulte a equação 8.13 e a Figura 8.7). Outra forma (e equivalente) de quantificar o excesso de ruído contribuído por um amplificador quando acionado por um sinal de resistência da fonte Rs é indicar sua *temperatura* de ruído (Tn, ver Figura 8.8 e eq'n 8.16).

A figura de ruído de um amplificador (e sua temperatura de ruído) é mínima quando acionada por um sinal de resistência de fonte igual à sua resistência de ruído, ou seja, quando *Rs=Rn=en/ in.* Folhas de dados de transistores às vezes fornecem contornos de NF versus corrente operacional e resistência da fonte em uma determinada frequência (por exemplo, Figura 8.22); para amplificadores onde você não tem controle sobre a corrente de operação, você encontrará contornos de NF versus frequência e resistência da fonte (por exemplo, Figura 8.27). *Cuidado:* não cometa o erro de adicionar um resistor em série a um sinal de baixa resistência da fonte para melhorar a figura de ruído (§8.4.6). Em vez disso, escolha um amplificador que forneça a figura de ruído necessária com a resistência da fonte de entrada; em algumas situações (por exemplo, resistência de fonte muito baixa), você pode usar um transformador de sinal para fazer uma perda menor corresponder à resistência de fonte ideal do amplificador.

¶ J. Fontes de Ruído e Medições.

Consulte §8.12. Em frequências baixas a moderadas, você pode determinar as propriedades de ruído de um amplificador de transistor de ganho de tensão conhecido fazendo duas medições de sua tensão de ruído de saída rms em uma largura de banda conhecida, primeiro com entrada em curto (para obter en) e depois com uma entrada apropriadamente resistor escolhido em sua entrada (para entrar); ver §8.12.1. Como você está medindo a tensão de ruído integrado, precisa saber a largura de banda de ruído equivalente; ver §8.13. Uma técnica mais geral, aplicável a amplificadores que requerem impedância de fonte compatível (por exemplo, amplificadores de RF de 50 ÿ) e insensíveis à largura de banda de medição real, é conduzir a entrada com uma fonte de ruído calibrada enquanto observa a saída de ruído rms; ver §8.12.3. Para frequências de até algumas dezenas de megahertz, você pode criar sua própria fonte de ruído "pseudo-aleatória" com um registrador de deslocamento de feedback (§8.12.4A) ou pode usar uma fonte de ruído padrão (uma função gen aerador ou diodo de ruído; consulte §8.12.4) para frequências bem acima da faixa de gigahertz. O próprio ruído do resistor Johnson é a fonte de ruído para o método "carga quente/carga fria", útil para amplificadores de micro-ondas de baixo ruído; ver eq'n 8.53 em §8.12.3.

¶K. Design de baixo ruído com amplificadores operacionais.

Consulte §8.9. Assim como os BJTs e FETs, os amplificadores operacionais exibem ruído de tensão referenciado à entrada e ruído de corrente , cujas magnitudes são características de seu tipo de transistor de estágio de entrada. A diferença, do ponto de vista do projetista de circuitos, é que você não tem controle sobre a corrente de operação do palco. Em vez disso, você escolhe o tipo de amplificador operacional: entrada FET para entrada mais baixa (para sinais de alta impedância de fonte), entrada BJT para entrada mais baixa (para sinais de baixa impedância de fonte). Entre os tipos de entrada FET, as partes CMOS exibem en inferior , mas consideravelmente superior , em comparação com os tipos JFET; o último, portanto, combina o melhor (quase) dos dois mundos, consulte §8.9 a extensa Tabela 8.3 na página 522ff e os gráficos de ruído nas Figuras 8.60, 8.61 e 8.63. Uma ferramenta gráfica útil é o gráfico de *densidade efetiva de ruído* (vn) versus resistência da fonte, no qual as contribuições de ruído do amplificador operacional (en, *inRs)* são combinadas e plotadas junto com o ruído Johnson da fonte, o último estabelecendo um limite inferior de ruído; ou seja, v2 *n=4kTRs+e2 n+(inRs)2,* veja a Figura 8.58. O ruído do amplificador operacional (com exceção dos amplificadores operacionais auto-zero) exibe uma cauda de baixa frequência ascendente típica de 1/ *f ,* caracterizada por uma *frequência de canto,* fc. Os amplificadores operacionais de zero automático não têm cauda de 1/ *f ,* mas têm ruído de banda larga consideravelmente mais alto (tanto em quanto em entrada), junto com picos de ruído espectral e artefatos de corte. Certifique-se de avaliar todas as fontes de ruído em um projeto de amplificador operacional: uma má escolha dos valores dos componentes pode comprometer o desempenho do ruído (por exemplo, ruído Johnson de resistores de alto valor).

Ao escolher um amplificador operacional para uma aplicação de baixo ruído, comece restringindo sua atenção aos amplificadores operacionais que atendam às suas outras necessidades, como precisão, velocidade, dissipação de energia, tensão de alimentação, oscilação de entrada e saída e similares. Em seguida, escolha entre este subconjunto, com base em seu pa de ruído rametros.

¶EU. Projeto de baixo ruído com BJTs.

Consulte §8.5. Comparado com amplificadores operacionais, o projeto de circuito com transistores discretos oferece mais controle sobre os parâmetros de ruído, mas o preço que você paga é o trabalho adicional associado aos detalhes de polarização e similares. Um bom compromisso é uma abordagem *híbrida ,* com um front-end discreto anexado a um amplificador operacional, consulte §8.9.5. Assim como nos amplificadores operacionais, um gráfico do ruído total de entrada versus resistência da fonte é uma ferramenta gráfica útil, consulte a Figura 8.32 em §8.5.2 e a Figura 8.41. A flexibilidade que você

obter do controle da corrente operacional é bem ilustrado na Figura 8.33, onde as curvas se deslocam para baixo com o aumento da corrente do coletor (menor en, maior in). A Tabela 8.1a na página 501 lista a planilha de dados e os parâmetros de ruído medidos para uma ampla seleção de BJTs de baixo ruído; veja também curvas medidas de ganho de corrente na Figura 8.39.

¶M. Design de baixo ruído com FETs.

Consulte §8.6. Você não pode superar os FETs para obter o menor ruído de corrente de entrada e, para circuitos de amplificadores *discretos* (ou front-ends híbridos), você está limitado a JFETs. Em termos de parâmetros do dispositivo, os JFETs com geometria grande têm en mais baixo e *gm mais alto,* mas a geometria grande significa maior capacitância e corrente de fuga (portanto, maior in), consulte a Tabela 8.2 na página 516.

Se a entrada do JFET for uma junção de soma, o produto da tensão de ruído e da capacitância de entrada cria uma corrente de ruído ascendente in=en Cin (¶H, ¶N). Tal como acontece com os BJTs, aumentar a corrente de operação reduz a tensão de ruído de um JFET, embora não drasticamente (enÿI $_D^{ÿ0.25}$). Cuidado com alguns problemas comuns lems com muitos JFETs: especificações IDSS e VGS (th) soltas (uma faixa de 5:1 é típica), baixa transcondutância, baixa saída resistência, aumento acentuado da corrente de porta (portanto in) em altas temperaturas e em tensões de dreno elevadas (consulte §3.2.8) e baixo desempenho de ruído de baixa frequência (consulte a Figura 8.52).

¶N. Ruído em Amplificadores de Transimpedância.

Consulte §8.11. Amplificadores de transimpedância (TIA) convertem uma corrente de entrada em uma tensão de saída, com realimentação de corrente através de um resistor Rf para a junção somadora de entrada, conforme introduzido em §4.3.1 e elaborado em *§4x.3.* As fontes de ruído são a entrada do amplificador em e en, e o ruído de Johnson em Rf. Tomando-os na ordem inversa, o resistor de realimentação gera uma *corrente* de ruído Johnson de in= 4kT/Rf; o ruído de tensão do amplificador en gera através da capacitância na entrada uma corrente de ruído de magnitude en Cin, e através do resistor de realimentação uma corrente de ruído de magnitude *en/ Rf;* a estes deve ser adicionado o próprio ruído de entrada do amplificador . A escolha de Rf é um compromisso: os termos de ruído são minimizados pela escolha de uma alta resistência, mas, por causa dos requisitos de estabilidade de realimentação, a largura de banda é prejudicada; consulte §§8.11.1, 8.11.4–8.11.6 e *4x.3.*

Essas restrições concorrentes podem ser mitigadas com configurações mais complexas, usadas individualmente ou em combinação: um TIA composto (2 estágios) (§8.11.8); ou o uso de um primeiro estágio discreto (ou seja, um híbrido, §8.11.8A); ou capacitância reduzida pelo uso de bootstrapping (§8.11.9) ou uma conexão cascode (§8.11.10). A contribuição de ruído do resistor de realimentação pode ser totalmente eliminada substituindo-o por um *capacitor* (§8.11.11), formando um integrador; diferenciar a saída então recupera uma saída proporcional à corrente de entrada.

A realimentação do capacitor é usada em detectores de baixo nível e na técnica conhecida como *amostragem dupla correlacionada.*

¶O. Amplificadores Lock-in.

Consulte §8.14. Para a detecção de sinais de variação lenta, é desejável minimizar o ruído adicional estreitando a largura de banda de medição; e devido ao típico ruído crescente de 1/ *f* em baixas frequências, a amplificação de sinais deve ocorrer em frequências acima da frequência de canto de 1/ *f .*

Na elegante técnica de *detecção lock-in,* o sinal de variação lenta é modulado (normalmente em algumas centenas de hertz), amplificado, depois demodulado com um detector de fase e, finalmente, filtrado em passa-baixa com uma largura de banda apropriada ao sinal original; veja a Figura 8.117.

¶P. Ruído na fonte de alimentação.

Consulte §8.15. Todas as fontes de alimentação não são criadas iguais, conforme ilustrado de forma impressionante pelos espectros medidos da Figura 8.123. Ao projetar uma fonte CC, certifique-se de usar uma referência de tensão silenciosa e siga as boas práticas de projeto de baixo ruído. Fontes de alimentação comutadas são inerentemente ruidosas, mas a atenção aos caminhos de corrente e o uso de filtros podem reduzir os níveis de ruído conduzido e irradiado. Com fontes de alimentação de qualquer projeto, a adição de um *multiplicador de capacitância* externo pode reduzir o ruído em 40 dB ou mais (Figura 8.122). Veja também o tratamento extensivo da regulação de potência CC no Capítulo 9.

¶Q. Blindagem e Aterramento.

Consulte §8.16. Parafraseando um clichê,[151] "O sinal de um homem é o barulho de outro homem." No mundo real, sinais acoplados involuntariamente podem facilmente sobrepujar as formas sutis de ruído que dominam este capítulo. As técnicas de mitigação incluem fiação e traçado (para minimizar o acoplamento capacitivo e indutivo), níveis elevados de sinal, atenção cuidadosa ao aterramento (dentro e entre instrumentos), blindagem, filtragem, linhas balanceadas, indutores de modo comum, proteção, sinal transformadores e amplificadores de isolação.

151 "O lixo de um homem é o tesouro de outro homem", talvez derivado do poema épico *De Rerum Natura de Lucrécio, do século I aC,* onde ele escreve "Ut quod ali cibus est aliis fuat acre venenum" (O que é comida para um, é para outros veneno amargo).

REGULAÇÃO DE TENSÃO E CONVERSÃO DE ENERGIA

CAPÍTULO 9

O controle e a conversão de energia – engenharia de energia – é um subcampo rico e empolgante da engenharia elétrica e do projeto eletrônico. Abrange aplicações que vão desde alta tensão (kilovolts e superior) e alta corrente (quiloampères e superior) transmissão DC, transporte e pulsação, até a baixa potência fixa e portátil (operada por bateria) e microenergia (colheita de energia). Talvez seja de maior interesse para nós no contexto do projeto de circuitos; inclui a produção das tensões e correntes necessárias no projeto de circuitos eletrônicos.

Quase todos os circuitos eletrônicos, desde transistores simples e circuitos de amplificadores operacionais até elaborados sistemas digitais e microprocessadores, requerem uma ou mais fontes de tensão contínua estável. As fontes de alimentação não reguladas transformador-ponte-capacitor simples que discutimos no Capítulo 1 geralmente não são adequadas porque suas tensões de saída mudam com a corrente de carga e a tensão da linha e porque têm quantidades significativas de ondulação da linha de força (120 Hz ou 100 Hz).
Felizmente, é fácil construir fontes de alimentação altamente estáveis, usando realimentação negativa para comparar a tensão de saída CC com uma referência de tensão estável. Esses suprimentos regulados são de uso universal e podem ser simplesmente construídos com chips reguladores de tensão de circuito integrado, exigindo apenas uma fonte de entrada CC não regulada (de uma combinação transformador-retificador-capacitor,1 uma bateria ou alguma outra fonte de entrada CC) e alguns outros componentes.

Neste capítulo, veremos como construir reguladores de tensão usando circuitos integrados para fins especiais. As mesmas técnicas de circuito podem ser usadas para fazer reguladores com componentes discretos (transistores, resistores, etc.), mas devido à disponibilidade de chips reguladores baratos de alto desempenho, geralmente não há vantagem em usar componentes discretos em novos projetos. Os reguladores de tensão nos levam ao domínio da dissipação de alta potência, portanto, falaremos sobre dissipação de calor e técnicas como "limitação de dobra" para limitar as temperaturas de operação do transistor e evitar danos ao circuito. Essas técnicas podem ser usadas para todos os tipos de circuitos de potência, incluindo amplificadores de potência. Com o conhecimento dos reguladores que teremos nesse ponto, poderemos voltar e discutir o projeto da oferta não regulamentada com algum detalhe. Neste capítulo, também veremos referências de tensão e CIs de referência de tensão, dispositivos com muitos usos fora do projeto da fonte de alimentação (por exemplo, na conversão analógico-digital).

Começamos com o regulador *linear ,* no qual a realimentação controla a condução em um "transistor de passagem" de queda de tensão em série para manter constante a tensão de saída. Posteriormente, trataremos do importante tópico dos reguladores *chaveados ,* nos quais um ou mais transistores são chaveados rapidamente para transferir energia, por meio de um indutor (ou capacitor) para a carga, novamente com realimentação reguladora de tensão. Resumindo, os reguladores lineares são mais simples e geram uma saída CC mais "limpa" (ou seja, sem ruído); os switchers (apelido de reguladores e conversores de comutação) são mais compactos e eficientes (Figura 9.1), mas mais barulhentos e geralmente mais complexos.

Seria errado deixar a impressão de que os reguladores de tensão são usados exclusivamente em fontes CC alimentadas por CA.
Além de seu uso na criação de tensões CC estáveis da linha de alimentação CA, os reguladores de tensão também são amplamente usados para produzir tensões CC adicionais a partir de uma tensão *CC regulada* existente dentro de um circuito: é comum ver, por exemplo, um regulador que aceita um entrada de +5 V existente e gera uma saída de +2,5 V ou +3,3 V; isso é feito facilmente com um regulador linear, no qual o feedback controla a queda de tensão para manter a tensão de saída constante (e reduzida).
Talvez mais surpreendente, você pode usar um regulador de comutação para converter uma determinada entrada CC em uma tensão de saída *maior ,* em uma tensão de saída de polaridade oposta ou em uma corrente constante (por exemplo, para acionar uma série de LEDs). Essas aplicações são particularmente relevantes para dispositivos alimentados por bateria. O *conversor de potência* de termo mais geral é freqüentemente usado em tais aplicações, que incluem também a criação de uma saída CA a partir de uma entrada CC.

[1] Às vezes, o transformador pode ser omitido; isso é mais comumente feito em fontes de alimentação comutadas (SMPSs), consulte §9.6 .

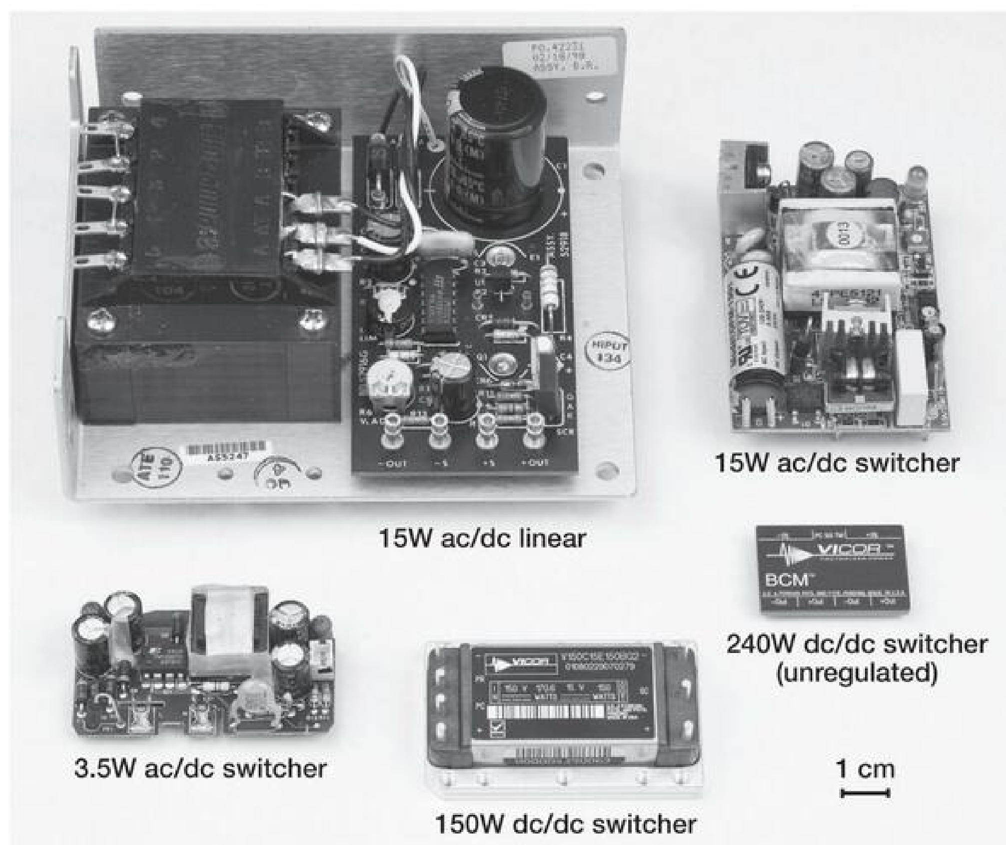


Figura 9.1. As fontes de alimentação de comutação ("switchers") são menores e mais eficientes do que as tradicionais fontes de alimentação reguladas linearmente, mas a operação de comutação gera algum ruído elétrico inevitável.

9.1 Tutorial: do zener ao regulador linear passa-série

Para começar, vamos ver os circuitos da Figura 9.2. Lembre-se de que um diodo zener é uma espécie de regulador de tensão: ele consome uma corrente desprezível até que a tensão através dele se aproxime de sua tensão zener VZ, ponto em que a corrente aumenta abruptamente (olhe novamente a Figura 1.15 para um lembrete). Portanto, um zener (ou IC de *referência* do tipo zener de 2 terminais , consulte §9.10.2) polarizado através de um resistor de uma tensão CC maior que VZ, como na Figura 9.2A, terá aproximadamente VZ através dele, com a corrente definida por o resistor:[2] Izener = *(V*+ ÿVZ)/R. Você pode conectar uma carga a essa tensão de saída relativamente estável; então, desde que a carga consuma menos que Izener (como acabamos de calcular), haverá alguma corrente Zener restante e a tensão de saída mudará pouco.

O simples resistor mais Zener é ocasionalmente útil como está, mas tem inúmeras desvantagens: (a) você não pode alterar facilmente (ou mesmo escolher com precisão) a tensão de saída; (b) a tensão zener (que também é a tensão de saída) varia um pouco com a corrente zener; então ela mudará com variações em V+ e com variações na corrente de carga;[3] (c) você tem que definir a corrente zener (por escolha de R) grande o suficiente para que ainda haja alguma corrente zener na carga máxima; isso significa que a fonte V+ dc está operando em corrente máxima o tempo todo, gerando tanto calor quanto a carga máxima prevista; (d) para acomodar grandes correntes de carga[4] você precisaria de um zener de alta potência; estes são difíceis de encontrar e raramente usados, precisamente porque existem maneiras muito melhores de fazer um regulador, como veremos.

Exercício 9.1. Tente isso, para ter uma noção dos problemas com

[2] Com a curva *I* versus *V* exata do zener em mãos, você pode determinar a tensão e a corrente com exatidão, usando o método das *linhas de carga;* consulte o Apêndice F e §3.2.6B.

[3] Estas são chamadas de variações de *linha* e de *carga* , respectivamente.

[4] Ou, mais precisamente, grandes *variações* na corrente de carga e/ou na tensão de entrada V+ cc.

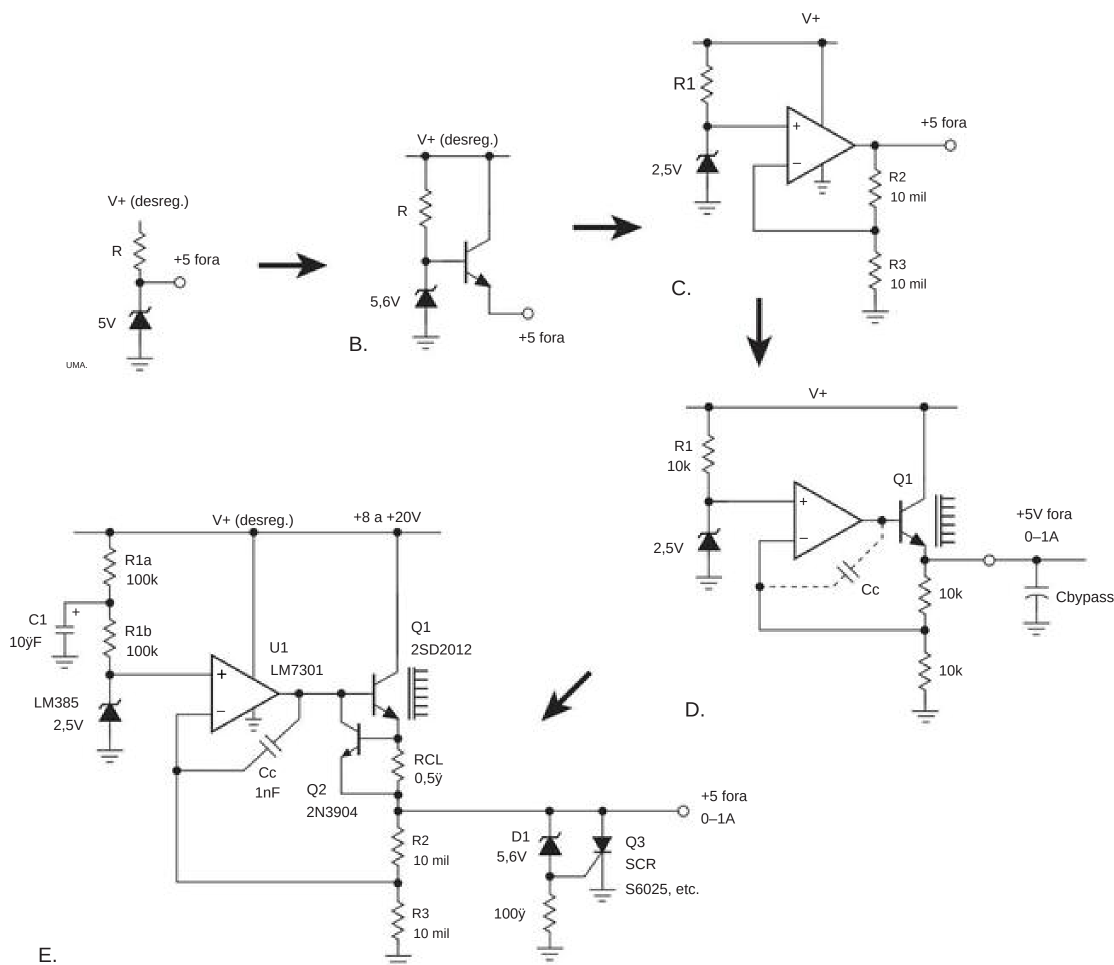


Figura 9.2. Evoluindo o regulador de tensão linear de passagem em série (componente discreto).

este circuito regulador simples: imagine que queremos uma saída estável de +5 V CC, para alimentar uma carga que pode consumir de zero a 1 A. Construímos uma fonte CC não regulada (usando um transformador, ponte de diodo e capacitor) que coloca aproximadamente +12 V quando descarregado, caindo para +9 V com carga de 1 A. Essas tensões são "nominais" e podem variar ±10%. (a) Qual é o valor correto do resistor, R, para o circuito da Figura 9.2A, de modo que a corrente zener mínima, nas condições de "pior caso", seja 50 mA? (b) Qual é a dissipação de potência no pior caso (máximo) em *R* e no zener?

Contrastando com esta abordagem – com sua exigência de um zener de 10 W na tensão de saída desejada e quase 10 W de dissipação de potência em cada componente, mesmo com carga zero – veremos que é uma tarefa rotineira fazer uma potência regulada alimentação, com tensão de saída regulável, sem necessidade de um power zener e com eficiência de 75% ou mais na maior parte da faixa de corrente de carga.

9.1.1 Adicionando comentários

Poderíamos melhorar um pouco a situação colocando um seguidor de emissor em um zener (Figura 9.2B); que permite operar com corrente zener mais baixa e baixa dissipação quiescente quando descarregado. Mas a regulação de saída ainda é ruim (porque VBE varia com a corrente de saída), e o circuito ainda não permite o ajuste da tensão de saída.

A solução é usar um zener (ou outro dispositivo de referência de tensão; consulte §9.10.2) como uma referência de tensão de baixa corrente, com a qual comparamos a saída. Vamos levá-lo em alguns passos fáceis.

A. Zener mais "amplificador"

Primeiro, resolvemos o problema de *ajustabilidade* seguindo a referência zener com um amplificador CC simples (Figura 9.2C).

Agora a corrente zener pode ser pequena, apenas o suficiente para garantir uma referência estável. Para zeners típicos, isso pode ser de alguns miliampères, enquanto para uma referência de tensão de IC, 0,1–1 mA geralmente será suficiente. Este circuito permite ajustar a tensão de saída: Vout = VZ(1 + *R2/ R3).* Mas observe que você está limitado a ter Vout ÿ VZ; observe também que a tensão de saída vem de um amplificador operacional, portanto, pode atingir no máximo V +, com uma corrente de saída limitada pelo Iout (max) do amplificador operacional, normalmente 20 mA. Vamos superar esses dois limites.

B. Adicionar transistor de passagem externo

Mais corrente de saída é fácil - basta adicionar um seguidor *npn ,* para aumentar a corrente de saída por um fator de ÿ - Você pode ter tentado apenas pendurar o seguidor na saída do amplificador operacional, mas isso seria um erro: a tensão de saída cairia em uma queda de VBE , aproximadamente 0,6 V. Você poderia, é claro, ajustar a relação R2/R3 para compensar. Mas a queda de VBE é imprecisa, variando tanto com a temperatura quanto com a corrente de carga e, portanto, a tensão de saída variaria de acordo.

A melhor maneira é fechar o loop de realimentação em torno do transistor de passagem, como na Figura 9.2D; dessa forma, o amplificador de erro vê a tensão de saída real, mantendo-a estável por meio do ganho de loop do circuito. A inclusão do seguidor do emissor de saída aumenta o Iout (max) do amplificador operacional em beta de Q1, dando-nos uma corrente de saída disponível de um ampère ou mais. (Poderíamos usar um Darlington, em vez disso, para mais corrente; outra possibilidade é um MOSFET de canal n.) Q1 estará dissipando 5–10 W na corrente de saída máxima, então você precisará de um dissipador de calor (mais sobre isso em §9.4 .1). E, como veremos a seguir, você também precisará adicionar um capacitor de compensação CC para garantir a estabilidade.

C. Algumas adições importantes

Nosso circuito regulador de tensão está quase completo, mas carece de alguns recursos essenciais, relacionados à estabilidade do loop e proteção contra sobrecorrente.

Estabilidade do circuito de realimentação

Fontes de alimentação reguladas são usadas para alimentar circuitos eletrônicos, geralmente enfeitados com muitos capacitores de desvio entre os trilhos CC e o terra. (Esses capacitores de desvio, é claro, são necessários para manter uma impedância agradavelmente baixa em todas as frequências de sinal.) Assim, a fonte CC vê uma grande carga capacitiva, que, quando combinada com a resistência de saída finita do transistor de passagem (e detecção de sobrecorrente resistor, se presente), causa uma mudança de fase atrasada e possível oscilação. Mostramos a capacitância de carga na Figure 9.2D como Cbypass, uma parte do qual pode ser incluída explicitamente (como um capacitor real) na própria fonte de alimentação.

A solução aqui, como com os circuitos de amplificadores operacionais com os quais nos preocupamos anteriormente (§4.9), é incluir alguma forma de *compensação de frequência.* Isso é feito de maneira mais simples (como ocorre nos amplificadores operacionais) com um capacitor de realimentação Miller CC em torno do estágio de ganho de inversão, conforme mostrado. Os valores típicos são 100–1000 pF, geralmente encontrados experimentalmente ("cortar e tentar") aumentando CC até que a saída mostre uma resposta bem amortecida a uma mudança de degrau na carga (e então dobrando isso, para fornecer uma boa margem de estabilidade). Os reguladores de IC que veremos mais tarde incluirão compensação interna ou fornecerão valores sugeridos para componentes de compensação.

Proteção contra sobrecorrente

O circuito desenhado na Figura 9.2D não lida bem com uma condição de carga de curto-circuito.5 Com a saída em curto com o terra, a realimentação atuará para forçar a corrente de saída máxima do amplificador operacional na base do transistor de passagem; de modo que IB de 20–40 mA será multiplicado pelo beta de Q1 (que pode variar de 50 a 250, digamos), para produzir uma corrente de saída de 1 A a 10 A. Supondo que a entrada V+ não regulada possa fornecê-la, tal corrente causará aquecimento excessivo no transistor de passagem, bem como formas interessantes de danos à carga malcomportada.

A solução é incluir alguma forma de proteção contra sobrecorrente, mais simplesmente o clássico circuito limitador de corrente que consiste em Q2 e RCL na Figura 9.2E. Aqui RCL é um *resistor* de baixo valor , escolhido para cair aproximadamente 0,6 V (uma queda de diodo VBE) em uma corrente um pouco maior que a corrente nominal máxima; por exemplo, podemos escolher RCL = 5ÿ em uma alimentação de 100 mA. A queda no RCL é aplicada no emissor-base do Q2, ligando-o na corrente de saída máxima desejada; A condução de Q2 rouba a corrente base de Q1, impedindo um aumento adicional da corrente de saída.

Observe que o transistor de detecção de limite de corrente Q2 não lida com alta tensão, alta corrente ou alta potência; ele vê no máximo duas quedas de diodo do coletor para o emissor, a corrente de saída máxima do amplificador operacional e o produto desses dois, respectivamente. Durante uma condição de carga de sobrecorrente, então, normalmente teria que lidar com VCE ÿ 1,5 V em IC ÿ 40 mA ou 60 mW; isso é amendoim para qualquer transistor de sinal pequeno de uso geral.

Posteriormente, veremos variações desse simples tema de proteção contra sobrecorrente, incluindo métodos que limitam a um

5 Os engenheiros gostam de se referir a várias situações ruins como essa sob a rubrica geral de *condições de falha.*

limite de corrente ajustável e estável, e a técnica conhecida como limitação de *corrente* de retorno (§9.13.3).

Viés de Zener; pé de cabra de sobretensão Mostramos duas rugas adicionais na Figura 9.2E. Primeiro, dividimos o resistor de polarização zener R1 e contornamos o ponto médio para filtrar a corrente de ondulação. Ao escolher o com o ŷp tempo (período de R1a,R3)C1) o zener verá agora corrente de separação polarização livre de ondulação. (Você não se preocuparia com isso se a fonte CC V+ já estivesse livre de ondulação, por exemplo, uma fonte CC regulada de tensão mais alta.) Alternativamente, você poderia usar uma fonte de corrente para polarizar o zener.

Em segundo lugar, mostramos um circuito de proteção de "pé de cabra de sobretensão" que consiste em D1, Q3 e o resistor de 100 ÿ. Sua função é encurtar a saída se alguma falha no circuito fizer com que a tensão de saída exceda cerca de 6,2 V (isso pode acontecer com bastante facilidade, por exemplo, se o transistor de passagem Q1 falhar por ter um curto coletor-emissor, ou se um humilde com componente como o resistor R2 fica em circuito aberto.). Q3 é um SCR (retificador controlado por silício), um dispositivo que normalmente não é condutor, mas que entra em saturação quando a junção porta-cátodo é polarizada diretamente. Uma vez ligado, ele não desligará novamente até que a corrente do ânodo seja removida externamente. Neste caso, a corrente da porta flui quando a saída excede a tensão zener de D1 mais uma queda de diodo. Quando isso acontecer, o regulador entrará em uma condição de limitação de corrente, com a saída mantida próxima ao terra pelo SCR. Se a falha que produz a saída anormalmente alta também desabilitar o circuito de limitação de corrente (por exemplo, um curto-circuito coletor-emissor em Q1), o pé de cabra afundará uma corrente muito grande. Por esta razão é uma boa idéia incluir um fusível em algum lugar da fonte de alimentação, conforme mostrado por exemplo na Figura 9.48. Trataremos dos circuitos de sobretensão com mais detalhes em §§9.13.1 e *9x.7.*

Exercício 9.2. Explique como um circuito aberto em R2 faz com que a saída suba. Que tensão, aproximadamente, apareceria então na saída?

9.2 Circuitos reguladores lineares básicos com o clássico 723

No tutorial anterior, desenvolvemos a forma básica do *regulador de passagem em série linear:* referência de tensão, transistor de passagem, amplificador de erro e provisões para estabilidade de loop e proteção contra sobretensão-sobrecorrente. Na prática, você raramente precisa montar esses componentes do zero – eles estão disponíveis como circuitos integrados completos. Uma ampla classe de reguladores lineares IC pode ser considerada como *kits* flexíveis – contém todas as peças, mas é preciso ligar alguns componentes externos (inclusive o transistor de passagem) para que funcionem; um exemplo é o clássico regulador 723.

A outra classe de CIs reguladores são completos, com transistor de passagem embutido e proteção contra sobrecarga, e requerem no máximo uma ou duas partes externas; um exemplo é o clássico regulador 78L05 "3-terminal" – seus três terminais são rotulados *de entrada, saída* e *terra* (e é tão fácil de usar!).

9.2.1 O regulador 723

O regÿulador de tensão A723 é um clássico. Projetado por Bob Widlar e introduzido pela primeira vez em 1967, é um regulador flexível e fácil de usar com excelente desempenho . trabalham com os mesmos princípios. Seu diagrama de blocos é mostrado na Figura 9.3. Como você pode ver, é realmente um *kit* de fonte de alimentação , contendo uma referência de tensão com compensação de temperatura (7,15 V±5%), amplificador diferencial, transistor de passagem em série e circuito de proteção limitador de corrente. Do jeito que vem, o 723 não regula nada. Você tem que ligar um circuito externo para fazer o que você quer.

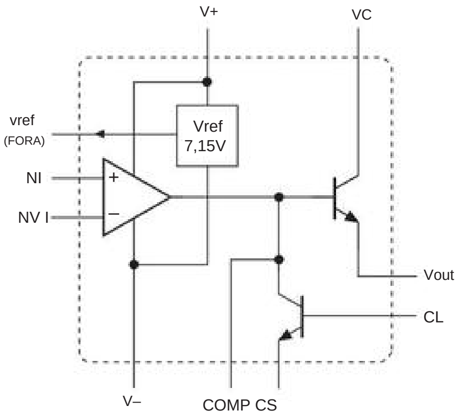


Figura 9.3. O clássico ÿ Regulador de tensão A723.

O transistor de passagem *npn* interno do 723 é limitado a

6 Com base no sucesso do 723, outros fabricantes introduziram versões "melhoradas", como o LAS1000, LAS1100, SG3532 e MC1469. No entanto, enquanto o 723 vive, as versões aprimoradas se foram! O 723 é "bom o suficiente", *muito* barato (cerca de $ 0,15 em quantidade) e é popular em muitas fontes de alimentação lineares comerciais, onde o limite de corrente facilmente ajustado é especialmente útil. Ele também tem menos ruído do que a maioria das substituições modernas. E gostamos dela pelo seu valor pedagógico.

150 mA, e pode dissipar cerca de 0,5 W no máximo. Ao contrário dos reguladores mais novos, o 723 não incorpora circuito interno de desligamento para proteção contra corrente de carga excessiva ou dissipação de chip.

A. Exemplo do regulador 723: Vout>Vref
A Figura 9.4 mostra como fazer um regulador de tensão positiva com o 723 para tensões de saída maiores que a tensão de referência; é a mesma topologia de circuito da Figura 9.2E do tutorial. Todos os componentes, exceto os três resistores e os dois capacitores, estão contidos no 723. Com este circuito pode ser feita uma alimentação regulada com tensão de saída variando de Vref até a tensão máxima de saída permitida (37 V). Obviamente, a tensão de entrada deve permanecer alguns volts mais positiva do que a saída o tempo todo, incluindo os efeitos da ondulação na alimentação não regulada. A "tensão de queda" (a quantidade pela qual a tensão de entrada deve exceder a tensão de saída regulada) é especificada como 3 volts (mínimo) para o 723. Isso é um pouco grande para os padrões contemporâneos, onde a tensão de queda é tipicamente 2 V , e muito menos para reguladores de *baixo abandono* (LDO), como veremos em §9.3.6. Observe também que a tensão de referência relativamente alta do 723 significa que você não pode usá-lo em uma fonte de alimentação cuja entrada CC não regulada seja menor que +9,5 V, seu V+ mínimo especificado; esta falha é corrigida em uma grande variedade de reguladores que usam uma *referência de bandgap* de tensão mais baixa (1,25 V ou 2,5 V). E enquanto reclamamos, notamos que a referência não é exatamente excelente em sua precisão inicial – a propagação de produção inVref é de 6,8 a 7,5 volts – o que significa que você deve fornecer o ajuste de tensão de saída, tornando R1 ou R2 ajustáveis; logo veremos reguladores com excelente precisão inicial, para os quais não há necessidade de trim.

Geralmente é uma boa ideia colocar um capacitor de alguns microfarads na saída, conforme mostrado. Isso mantém a impedância de saída baixa mesmo em altas frequências, onde o feedback se torna menos eficaz. É melhor usar o valor do capacitor de saída recomendado na folha de especificações, para garantir a estabilidade contra oscilações. Em geral, é uma boa ideia desviar os cabos da fonte de alimentação para o aterramento livremente em todo o circuito, usando uma combinação de tipos de cerâmica (0,01–0,1 F) e tipos eletrolíticosÿou de tântalo (1– F).7 10
ÿ

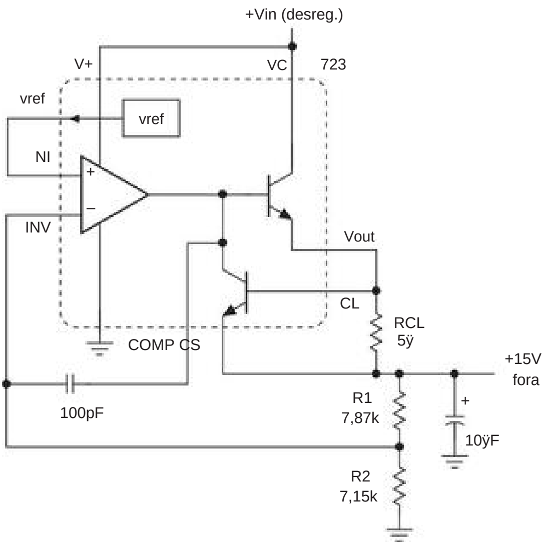


Figura 9.4. Regulador 723: configuração para *Vout>Vref,* com limite de corrente de 100 mA.

B. Exemplo do regulador 723: Vout<Vref Para tensões de saída menores que Vref, basta colocar o divisor de tensão na referência (Figura 9.5). Agora, a tensão total de saída é comparada com uma fração da referência.
Os valores mostrados são para uma saída de +5 V. Com esta configuração de circuito, tensões de saída de +2 V a Vref podem ser produzidas. A saída não pode ser ajustada para zero volts porque o amplificador diferencial não funcionará com entrada baixa de 2 volts, conforme especificado na folha de dados. Observe novamente que a tensão de entrada não regulada nunca deve cair abaixo de +9,5 V, tensão necessária para alimentar a referência.

Para este exemplo, adicionamos um transistor de passagem externo, em uma configuração Darlington com o pequeno transistor de passagem interno do 723, para ir além do limite de corrente de 150 mA deste último. Um transistor externo também é necessário por causa da dissipação de energia: o 723 é classificado em 1 watt a 25ÿC (menos em temperaturas ambientes mais altas; o 723 deve ser "reduzido" em 8,3 mW/ ÿC acima de 25ÿC em para manter a temperatura da junção dentro de limites seguros). Assim, por exemplo, um regulador de 5 volts com entrada de +15 V não pode fornecer mais do que cerca de 80 mA para a carga. Aqui o transistor de potência externa Q1 irá dissipar 14 W para Vin=12 V e corrente de carga máxima (2 A); que requer um *dissipador de calor,* na maioria das vezes uma placa de metal com aletas projetada para transportar o calor (alternativamente, o transistor pode ser montado em uma parede do chassi de metal que abriga a fonte de alimentação). Lidaremos com problemas térmicos como esses mais adiante ne

7 Os capacitores cerâmicos fornecem baixa impedância em altas frequências, enquanto os eletrolíticos maiores fornecem armazenamento de energia e também amortecimento de oscilações (através de sua resistência em série equivalente interna, ou ESR).

8 E para obter uma tabela de transistores de potência bipolares, consulte a Tabela 2.2 na página 106.

potenciômetro foi usado para que a saída possa ser ajustada com precisão para +5 V; sua faixa de ajuste deve ser suficiente para permitir as tolerâncias do resistor, bem como a dispersão máxima especificada em Vref (este é um exemplo de projeto de pior caso) e, neste caso, permite um ajuste de cerca de ± 1 volt da saída nominal Voltagem. Observe o resistor limitador de corrente de alta potência e baixa resistência necessário para uma fonte de 2 A.

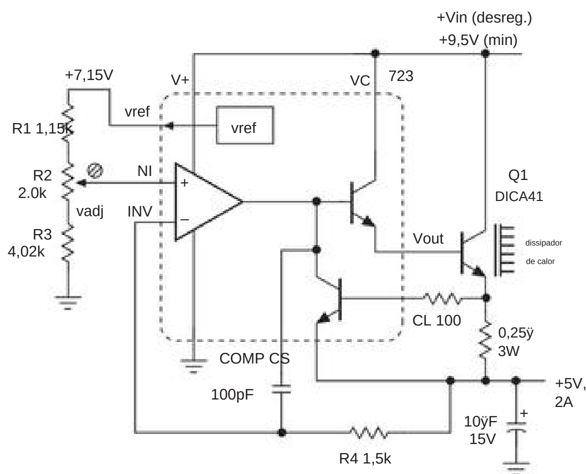


Figura 9.5. Regulador 723: configuração para Vout <Vref, com limite de corrente de 2 A.

Uma terceira variação deste circuito é necessária se você quiser um regulador que seja continuamente ajustável através de uma faixa de tensões de saída em torno de Vref. Nesses casos, basta comparar uma fração dividida da saída com uma fração de Vref escolhida para ser menor que a tensão mínima de saída desejada.

Exercício 9.3. Projete um regulador para fornecer até 50 mA de corrente de carga em uma faixa de tensão de saída de +5 V a +10 V usando um 723. *Dica:* compare uma fração da tensão de saída com 0,5Vref.

C. Tensão de queda do transistor de passagem

Um problema com este circuito é a alta dissipação de potência no transistor de passagem (pelo menos 10 W em corrente de carga total). Isso é inevitável se o chip regulador for alimentado pela entrada não regulada, pois ele precisa de alguns volts de "headroom" para operar (especificado pela queda de tensão). Com o uso de uma fonte separada de baixa corrente para o 723 (por exemplo, +12 V), a entrada não regulada mínima para o transistor de passagem externo pode ser tão pequena quanto 1,5 V ou mais acima da tensão de saída regulada (ou seja, dois VBE's).9

9.2.2 Em defesa do sitiado 723

Para não deixarmos a impressão errada, apressamo-nos a observar que os rumores sobre a morte do antigo regulador 723 são muito exagerados.10 Temos usado dezenas de fontes de alimentação reguladas linearmente fabricadas pela Power One por mais de três décadas sem uma única falha . Todos eles usam o humilde chip regulador 723, assim como outros OEMs ("fabricantes de equipamentos originais"). Aqui estão algumas razões para não ignorar este design notável do lendário Bob Widlar:

- custo muito baixo, $ 0,17 (em quantidade
- 1000) muitos, muitos fabricantes • limite de corrente totalmente configurável, incluindo foldback • bom para pedagogia (é por isso que está aqui!) • a dissipação de energia não está no IC de controle • referência de tensão silenciosa, mais pode adicionar filtro • funciona com transistores de passagem *npn* ou *pnp* • facilmente configurado para saídas negativas

9.3 Reguladores lineares totalmente integrados

O circuito regulador geral da Figura 9.5 tem dez componentes, mas apenas três terminais (IN, OUT e GROUND), sugerindo assim a possibilidade de uma solução integrada, com resistores de ajuste de tensão no chip e com componentes integrados para limitação de corrente e compensação de loop – um regulador *de 3 terminais* . O 723 está se aproximando da safra de meio século (embora ainda esteja forte!), durante o qual a indústria de semicondutores não dormiu: CIs reguladores lineares contemporâneos geralmente integram todas as funções do regulador no chip, incluindo proteção térmica e de sobrecorrente, compensação de loop , transistor de passagem de alta corrente e divisor de tensão predefinido para tensões de saída comumente usadas.

A maioria desses reguladores também vem em versões ajustáveis, para as quais você fornece apenas o par de resistores de ajuste de tensão. E, com um ou dois terminais adicionais, você pode obter uma entrada de controle de "desligamento" e uma saída de status de "energia boa". Finalmente, uma grande e crescente população de reguladores de baixa queda atende a aplicações de baixa tensão, de importância crescente em dispositivos eletrônicos portáteis e de baixa potência. Vejamos as escolhas preferidas para o design contemporâneo.

9 Um truque que você pode usar para reduzir o headroom mínimo para um único VBE é substituir Q1 por um transistor de passagem *pnp* (vincule seu emissor a Vin e conduza sua base do pino Vc do 723), formando um par Sziklai ao invés de um Darlington (ver §2.4.2A e Figura 2.77). No entanto, se a entrada vier de uma fonte CC não regulada, você sempre terá que permitir pelo menos alguns volts de headroom, porque o projeto de pior caso determina a operação adequada mesmo na entrada de linha de 105 Vac. 10 Parafraseando a famosa observação de Mark Twain, ao abrir o jornal e ler seu obituário.

9.3.1 Taxonomia de CIs reguladores lineares

Como um guia para as seções seguintes, organizamos o universo de reguladores de tensão lineares integrados em algumas categorias distintas, aqui simplesmente listadas em forma de esboço. Para cada categoria, listamos exemplos típicos de números de peça de dispositivos que gostamos e usamos com frequência. Continue lendo para obter explicações sobre quando e como usá-los, uma descrição de seus recursos distintos e alguns cuidados importantes.

3 terminais fixos

pos: 78xx
neg: 79xx

Posição **ajustável de 3**

terminais : LM317
neg: LM337

3 termos "baixa queda" (ajustável e fixo) pos:

LM1117, LT1083-85

Adj fixo de 3 termos e adj de 4 termos "verdadeiro LDO"

pos: LT1764A/LT1963 (BJT); TPS744xx (CMOS) negativo:
LT1175, LM2991 (BJT); TPS7A3xxx (CMOS)

referência atual de 3 termos

pos: LT3080

9.3.2 Reguladores fixos de três terminais

O regulador de 3 terminais original (e geralmente bom o suficiente) é a série 78xx (Figura 9.6), originado por Fairchild no início dos anos 1970.11 Ele é ajustado de fábrica para fornecer uma saída fixa, na qual a tensão é especificada pelo último dois dígitos do número da peça e pode ser qualquer um dos seguintes: 05, 06, 08, 09, 10, 12, 15, 18 ou 24. Esses reguladores podem fornecer até 1 A de corrente de saída e vêm em pacotes de potência (TO-220, DPAK, D2PAK) que você conecta a um dissipador de calor ou a uma área de cobre da placa de circuito. Se você não precisa de muita corrente, use a série 78Lxx/LM340Lxx, que vêm em pequenos encapsulamentos de transistores, montados em superfície ou TO-92 (passagem). Para tensão de saída negativa, use a série 79xx/79Lxx (ou LM320/320L).

As Figuras 9.6 e 9.7 mostram, de forma simplificada, o que há dentro desses reguladores baratos (US$ 0,30).

A Figura 9.8 mostra como é fácil fazer um regulador de +5 V, por exemplo, com um desses CIs. Aqui também adicionamos um regulador negativo 7905 para criar uma saída regulada de -5 V a partir de uma entrada CC não regulada mais negativa.
Os capacitores de bypass nas saídas garantem a estabilidade; elas

11 A série LM340 da National é essencialmente a mesma.

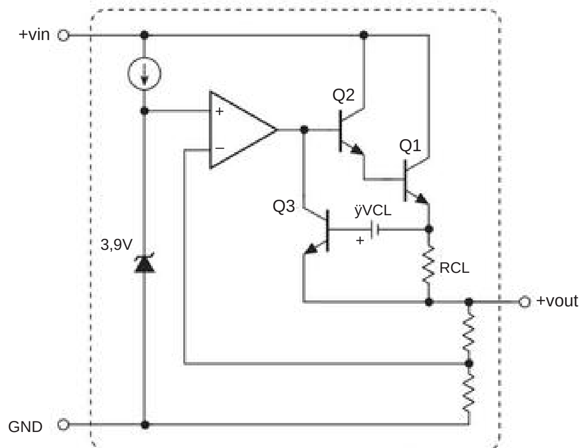


Figura 9.6. Regulador de tensão positiva de 3 terminais fixo 78xx simplificado. Todos os componentes são internos, portanto, apenas um par de capacitores de bypass é necessário (como na Figura 9.8). RCL, o resistor de detecção de corrente, é de 0,2 ÿ e desenvolve um pouco menos que uma queda de diodo na corrente total; sua queda é complementada por uma polarização interna ÿVCL, para ativar o transistor limitador de corrente Q3.

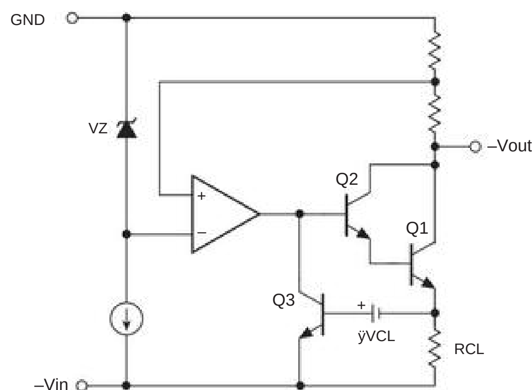


Figura 9.7. Regulador de tensão negativa de 3 terminais fixo 79xx.

também melhoram a resposta transitória e mantêm uma baixa impedância de saída em altas frequências (onde o ganho de loop do regulador é baixo).12 Os capacitores de bypass de entrada também são necessário

12 A folha de dados de um regulador sempre especificará a capacitância mínima necessária. Pode entrar em muito mais detalhes, nos casos em que a estabilidade é uma questão importante, por exemplo, com reguladores de baixa desistência (ver discussão posterior). Observe os valores de capacitância maiores no circuito regulador negativo: eles são necessários para garantir a estabilidade, porque a saída do regulador 7905 vem do coletor de um estágio de saída do amplificador de emissor comum (cujo ganho depende da impedância da carga), e não do emissor estágio de saída do seguidor do regulador positivo 7805 (cujo ganho é próximo da unidade); o capacitor de desvio maior mata o ganho do loop em alta frequência, evitando a oscilação.

para estabilidade; os valores apresentados são os mínimos sugeridos nas fichas técnicas. No entanto, se a alimentação de entrada ou a carga de saída for desviada próximo ao regulador, os capacitores correspondentes podem ser omitidos.

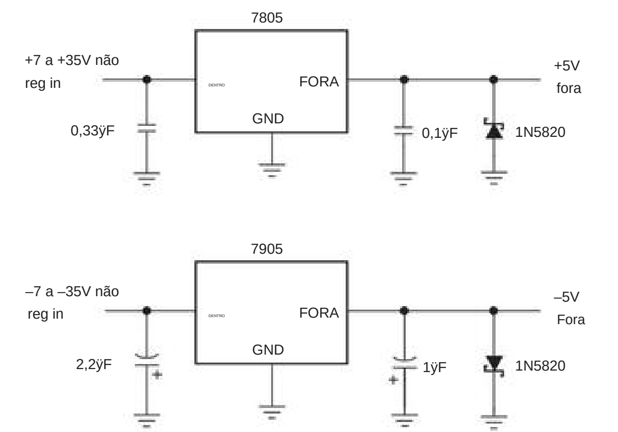


Figura 9.8. ±5 V CC regulado de um par de reguladores 7805/7905.

Este exemplo de regulador inclui um par de diodos Schottky (low-forward-drop) de proteção reversa, sempre uma boa ideia quando você tem suprimentos de ambas as polaridades alimentando um circuito. Sem os diodos, uma das fontes pode trazer a outra para tensão de saída reversa, via carga; essa polaridade de alimentação invertida pode causar falha na carga (de transistores ou CIs que estão sujeitos à tensão de alimentação reversa) ou no regulador (que pode até entrar em condição de latchup). Muitas vezes você vê os diodos omitidos; não adquira este hábito preguiçoso!

Esses reguladores possuem circuito integrado para evitar danos em caso de superaquecimento ou corrente de carga excessiva; o chip simplesmente desliga, em vez de explodir.
Além disso, os circuitos integrados impedem a operação fora da área operacional segura do transistor (consulte §9.4.2) reduzindo a corrente de saída disponível para grandes diferenciais de tensão de entrada-saída. Esses reguladores são baratos e fáceis de usar e tornam prático projetar um sistema com muitas placas de circuito impresso (PCBs) nas quais a CC não regulada é trazida para cada placa e a regulação é feita localmente em cada placa de circuito. A Tabela 9.1 lista as características de uma seleção representativa de reguladores fixos de 3 terminais.

Os reguladores fixos de três terminais vêm em algumas variantes altamente úteis. Existem versões de baixa potência e micropotência (por exemplo, o LM2936 e LM2950, com corrente quiescente na faixa de microamperes), e existem os reguladores LDO muito populares, que mantêm a regulação com apenas alguns décimos de entrada de volt – diferencial de saída (por exemplo, LT1764A, TPS755xx e micropower LM2936, com tipo tensões de queda ical ÿ0,25 V). Discutiremos LDOs depois de dar uma olhada no muito útil regulador *ajustável* de 3 terminais .

Tabela 9.1 Reguladores Fixos Estilo 7800a

Parte #c	Vin máximo (V)	d Vout nome (V)	Tol (±%)	QI type qty 25 (mA)	fora máximo (A)	Custo ($US)
78L05	35	5	5	3	0,1	0,29
78L15 35 15 4 0,1 0,31 7805 35 5 4b 5e 1,0 3 0,47 7824 40 24 4b 5						
					1,0	0,49
79L05 –35 –5 5 2					0,1	0,30
79L15 –35 –15 4 2 7905 –35 –5 4b					0,1	0,30
3 7924 –40 –24 4b 4					1,0	0,47
					1,0	0,56

Notas: (a) geralmente chamadas de séries '7800 e '7900, por exemplo, "série LM7800". Série L disponível nos pacotes TO-92, SO-8 e SOT-89; série regular disponível em TO-220, DPAK, D2PAK e TO-3. Alguns usam ref zener enterrado, alguns usam bandgap. (b) Tipos de sufixo A são ±2% tol. (c) prefixos: uA, LM, MC, KA, NCP, L, NJM, etc. (d) Série L: 2,6 a 24V, regular: 5 a 24V. (e) alguns mais baixos, 3,3mA a 4mA

9.3.3 Reguladores ajustáveis de três terminais

Às vezes, você deseja uma tensão regulada fora do padrão (digamos, +9 V, para emular uma bateria) e não pode usar um regulador fixo do tipo 78xx. Ou talvez você queira uma tensão padrão, mas definida com mais precisão do que a precisão de ± 3% típica dos reguladores fixos. Até agora você está estragado pela simplicidade dos reguladores fixos de 3 terminais e, portanto, você não pode imaginar usar um circuito regulador do tipo 723, com todos os seus componentes externos necessários. O que fazer? Obtenha um "regulador ajustável de 3 terminais"!

Esses CIs convenientes são tipificados pelo clássico LM317 originalmente da National (Figura 9.9). Este regulador não possui terminal de aterramento; em vez disso, ele ajusta Vout para manter uma constante de 1,25 V (referência interna de "bandgap", §9.10.2) do terminal de saída para o terminal de "ajuste". A Figura 9.10 mostra a maneira mais fácil de usá-lo. O regulador coloca 1,25 V em R1, então 10 mA flui através dele. O terminal de ajuste consome muito pouca corrente (50–100 A), então a tensão de saída é apÿenas

$$V_{out} = 1{,}25(1+R2/R1) \text{ volts.}$$

Neste caso, a tensão de saída é +3,3 V, com uma precisão não compensada de ÿ3% (da referência interna de ±2% de 1,25 V e dos resistores de 1%). Se você deseja uma regulagem precisa,

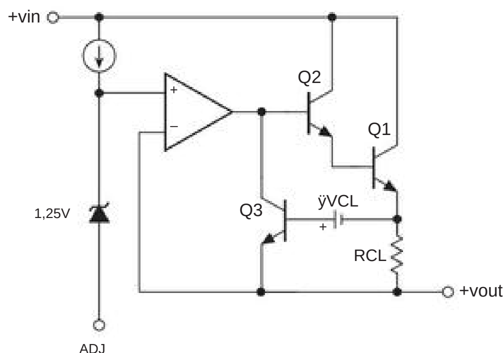


Figura 9.9. Regulador de tensão positiva ajustável de três terminais LM317.

substitua o resistor inferior por um trimmer de 25 ÿ em série com um resistor fixo de 191 ÿ, para reduzir a faixa de ajuste do trimmer para ±6%. Se você quiser uma ampla faixa de ajuste, você pode substituir o resistor inferior por um trimmer de 2,5k, para uma faixa de saída de +1,25 V a +20 V. Qualquer que seja a tensão de saída, a entrada deve ser pelo menos 2 V maior (a tensão de queda).

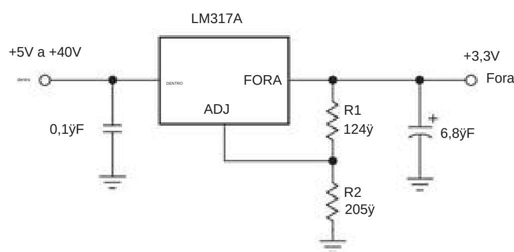


Figura 9.10. Circuito regulador positivo de +3,3 V.

Ao usar este tipo de regulador, escolha os valores do divisor resistivo pequenos o suficiente para permitir uma mudança de 5 ÿA do pino de ajuste com a temperatura: muitos projetistas usam 124 ÿ para o resistor superior, como fizemos, para que o divisor sozinho afunde a corrente de carga mínima especificada do chip de 10 mA. Observe também que a corrente proveniente do pino de ajuste pode ser tão grande quanto 100 A (a especificação do pior caso). O ÿ capacitor de saída, embora não seja necessário para a estabilidade, melhora muito a resposta transitória. É uma boa ideia usar pelo menos 1 F.
ÿ F, e idealmente algo mais como 6.8 O LM317 ÿ está disponível em muitos estilos de encapsulamento, incluindo o encapsulamento de potência de plástico (TO-220), o encapsulamento de montagem em superfície (DPAK e D2PAK) e muitos encapsulamentos de transistores pequenos (ambos até -furo TO-92 e meia dúzia de pequenos estilos de montagem em superfície). Nos pacotes de potência pode fornecer até 1,5 amperes, com dissipação de calor adequada; a variante de baixa potência (317L) é classificada para 100 mA, novamente limitada por dissipação de energia. A popular variante LM1117, também disponível em vários fabricantes, melhora a queda de tensão do clássico 317 (1,2 V versus 2,5 V), mas você paga um preço (literalmente): no pacote TO-220 custa cerca de US$ 0,75 versus o $ 0,20 do 317; ele também tem uma faixa de tensão mais limitada (consulte a Tabela 9.2) e, em comum com muitos reguladores de baixa queda, requer um capacitor de saída maior (mínimo de 10 F).
ÿ

Exercício 9.4. Projete um regulador de +5 V com o 317. Forneça uma faixa de ajuste de tensão de ±20% com um potenciômetro aparador.

Reguladores ajustáveis de três terminais estão disponíveis com classificações de corrente mais altas, por exemplo, o LM350 (3A), o LM338 (5A) e o LM396 (10A), e também com classificações de tensão mais altas, por exemplo, o LM317H (60V) e o TL783 (125V). Listamos suas propriedades na Tabela 9.2 na página 605. Leia as folhas de dados cuidadosamente antes de usar essas peças, observando os requisitos do capacitor de passagem e sugestões de diodo de segurança. Observe também que as correntes de saída máximas geralmente se aplicam a valores mais baixos de *Vin-Vout* e podem cair para apenas 20% de seus valores máximos conforme *Vin-Vout* se aproxima de Vin(max); a corrente de saída máxima também cai com o aumento da temperatura.13 Uma alternativa para altas correntes de carga é adicionar um transistor externo (§9.13.4), embora um regulador de comutação de alta corrente (§9.6) geralmente seja uma escolha melhor. Os reguladores da família LM317 são reguladores lineares "convencionais" (em oposição aos de baixo abandono); tensões de queda típicas são ÿ2 V.

Tal como acontece com os reguladores fixos de 3 terminais, você pode obter versões com dropout mais baixo (por exemplo, o popular LM1117, com dropout máximo de 1,3 V em 0,8 A, ou a série LT1083-85 mais pesada, com dropout comparável em correntes de até 7,5 A), e você pode obter versões micropower (por exemplo, o LP2951, a variante ajustável do 5V fixo LP2950; ambos têm IQ=75 A); veja a Figura 9.11. Você também pode obter ÿ versões *negativas*, embora haja menos variedade: o LM337 (Figura 9.12) é o primo negativo do LM317 (1,5 A), e o LM333 é um LM350 negativo (3 A). Há mais discussão à frente em §§9.3.6 e 9.3.9; veja particularmente a Figura 9.24.

[13] Conforme discutido posteriormente em §9.4.1, a temperatura de junção *TJ=Pdiss(RÿJC+RÿCS+RÿSA)+TA,* onde Rÿ são as resistências térmicas da junção ao invólucro, invólucro ao dissipador de calor e dissipador de calor ao ambiente. Em situações com bom dissipador de calor, você pode optar por usar um regulador de corrente nominal mais alta e estilo de embalagem maior (por exemplo, o LM338K em sua embalagem de lata de metal TO-3) para aproveitar a resistência térmica muito menor RÿJC (1ÿ C/W versus 4ÿC/W para o LM317T em seu pacote TO-220). As partes maiores também oferecem restrições de área de operação segura (SOA) mais relaxadas, por exemplo, em VinÿVout=20 V, o LM338 permite 3,5 A de corrente de saída, contra 1,4 A para o LM3

Anatomia de um 317

O clássico LM317, projetado por volta de 1970 pela lendária equipe de Widlar e Dobkin[14], resistiu por mais de quatro décadas. De fato, o 317 genérico (junto com o LM337 complementar) tornou-se a peça ideal para reguladores lineares de capacidade de corrente modesta (até ÿ1 A) em situações em que você tem alguns volts de espaço livre. E gerou uma série de imitadores e semelhantes, abrangendo uma variedade de voltagens, correntes e estilos de embalagem, com algumas variantes de queda de tensão mais baixa; consulte a Tabela 9.2.

Seu design exibe uma bela elegância, por exemplo, combinando as funções de amplificador de erro e referência de bandgap de temperatura zero. Foi também um dos primeiros reguladores a incluir sobrecarga térmica e proteção de área segura. A Figura 9.13 é um circuito simplificado de suas entranhas essenciais, com as designações das partes seguindo o diagrama esquemático da folha de dados da National Semiconductor (TI).

O par de transistores Q17 e Q19 forma a referência de tensão de banda proibida, operando em correntes iguais do espelho *Q16Q18* . Como Q19 tem área de emissor 10× maior (ou 10 emissores), ele opera a 1/10 da densidade de corrente de Q17, portanto, um VBE menor em (kT/q)loge10, cerca de 60 mV *(§2x.3.2).* Isso define sua corrente (via R15) como IQ19=ÿVBE/ R15=25 A e, portanto, a corrente total do par Q15 Q16 (e que a é 50 ÿ corrente tem uma dependência linear da temperatura absoluta (porque a queda em R15 é ÿTabs) – é "PTAT" (proporcional à temperatura absoluta).

Agora, para a clássica compensação de temperatura de "referência de bandgap": o tempco positivo da corrente é explorado para cancelar o tempco negativo de Q17 de VBE, que é nomi finalmente cerca de 600 mV e vai como 1/Tabs, ou ÿ2,1 mV/ ÿC (§2.3.2). O cancelamento ocorre quando R14 é escolhido para reduzir 600 mV comparáveis aos 50 A nominais, portanto, um ÿ tempco de +2,1 mV/ ÿC – voila: tempco zero a uma tensão de referência de ~1,2 V (a energia extrapolada do bandgap do silício).

A referência de bandgap também é o amplificador de erro: o coletor do Q17 vê uma carga de alta impedância (fonte de corrente), armazenada em buffer por três estágios do seguidor de emissor (no esquema completo há cinco) para o pino de saída; portanto, mesmo com sua transcondutância relativamente baixa (gmÿ1/R14) , há bastante ganho de loop no amplificador de erro (cuja entrada é o pino ADJ , compensado por Vref, relativo a Vout).

O resistor R26 detecta a corrente de saída, para limitação de corrente via Q21. Um viés que depende de *Vin-Vout* é adicionado (o símbolo da bateria), para proteção da área de operação segura. Componentes adicionais adicionam desligamento por superaquecimento histerético (Q21 é emparelhado com um *pnp* para fazer uma trava).

Uma observação final: a dupla Widlar-Dobkin também criou os CIs de transistor protegido LM395 e LP395; estes incluem a limitação de corrente e térmica do 317, mas sem a referência de bandgap. Eles o chamam, modestamente, de "transistor de potência ultraconfiável". A base do transistor '395 é a base do transistor *pnp* Q15 na Figura 9.13.

Isso produz uma tensão de base para emissor de aproximadamente 800 mV, com uma corrente de base pull-up de 3 A. É uma ótima ideia, ÿ mas um LM395T custa cerca de US$ 2,50, enquanto um LM317T custa cerca de US$ 0,50. Portanto, usamos o '317 como nosso "transistor de potência bastante confiável", com sua tensão de base para emissor de -1,2 V e corrente de base pullup de 50 A, como por exemplo nas Figuras 9.16 e 9.18. ÿ

9.3.4 Regulador estilo 317: dicas de aplicação

Os reguladores ajustáveis de 3 terminais estilo LM317 são incrivelmente fáceis de usar, e existem alguns truques interessantes que você pode usar para fazê-los fazer mais do que simplesmente criar uma tensão de saída CC fixa. Há também alguns cuidados básicos a serem lembrados. Na Figura 9.14 esboçamos algumas ideias úteis de circuitos.

A seguir, um tour rápido (chaveado para as partes da figura), levando-as em ordem.

R: O regulador requer uma corrente de carga mínima, porque a corrente de operação para os circuitos internos retorna através da carga. Portanto, se você deseja que ele funcione sem carga externa zero, você deve escolher o resistor de realimentação superior R1 pequeno o suficiente, ou seja, de modo que Vref/R1ÿIout(min) para o valor de pior caso (máximo) de Iout(min). Para Vref=1,25 V e Iout(min)=10 mA do LM317 clássico, R1 não deve ser maior que 125 ÿ.[16] Claro, você poderia usar um valor maior de R1 e adicionar um resistor de carga para

[14] Ver Robert Widlar, "New developments in voltage reguladors", JSSC, SC-6, pp 2–9, 1971, e a patente dos EUA 3.617.859: "Electrical regulador equipment including a zero temperature coeficiente de referência de circuito de referência", depositado em 23 de março de 1970, emitido 2 de novembro de 1971.

[15] A tolerância típica nos valores do resistor no processo de silício planar (o que é bom para *proporções de resistores,* mas não para valores absolutos) é × 0,5 a ×2, então o nominal 50 ÿ Uma corrente proveniente do pino ADJ pode atuar gama de aliados de 25 ÿ A a 100 ÿ UMA.

[16] Em contradição com os muitos exemplos de circuitos da folha de dados do LM117/317,

Machine Translated by Google

Tabela 9.2. Reguladores de tensão ajustável de 3 terminais (“estilo LM317”)a

Papel #	Pacotesz (TO-92, SOIC, TO-220, TO-3P, DPAK, SOT-223)	Vin máximo (V) / v fora máximo (A) / h VDO máximo (V) / fora minb (ÿF)	Cout m(mA)	vref (V) ± (%) / Tipo Iadj (ÿA) / Tipo de facada temporária (%)	rejeição de ondulação Tipo 120Hz (dB) / Regulamento Carregamento de linha (%) (%)	Tipo de custo qtd tipo 25 ($US)	Comentários
Positivo							
LM317L	••- ---	40 0,1 2,5t 5 20 0,8 1,2	0,1	1,25 4 50 0,5 1,25 1 52	80g 0,15 0,1 73	0,34	TO-92 lo-power '317
LM1117n	- •-••	5 20 1,0 1,2 5 20 1,0	10	0,5 1,25 1 52 0,5 1,25 1	0,035 0,2 73 0,04	0,88	baixo VDO '317, corrente
NCP1117	- - - -••	1,2 5 40 1,5p 2,5t 10	10	60 0,5 1,25 4 50 0,6	0,2 75 0,035 0,2 80g	0,40	mais alta popular '1117
LMS8117A	- - - - d •		10		0,01 0,1	0,92	corrente mais alta '1117
LM317k	--••••		0,1			0,15	orig, barato, queda
LT1086CP	- - • • - -	30 1,5 1,5 10 35 3 2,5t	22u	1,25 1 55 0,5	75 0,02 0,1	2.67	baixa popular
LM350T	- - - • • - -	10		1,25 4 50 0,6	65 0,1 0,1	0,49	3A monolítico
LT1085CT	- - •-•-	30 3 1,5 10	1	1,25 1 55 0,5	75 0,02 0,1	4,50	3A dropout baixo
LT1084CP	- - - • • - -	30 5 1,5 10 40 5 2,5 t 5	22u 22u	1,25 1 55 0,5 1,24 4 45	75 0,02 0,1 80 0,1	5,34	5A dropout baixo
LM338T	- - - • • - -	30 7,5 1,5 10		0,6 1,25 1 55 0,5	0,1 75 0,02 0,1	1,62	5A monolítico
LT1083CP	- - - •--		1 22u			9,80	7,5A dropout baixo
Positivo, de alta tensão							
LM317HV	--•• - -	60 1,5 2,0t 12 100 0,05	0,1	1,25 4 50 0,6 1,20 5 10	80g 0,01 0,1 60	2,17	alta tensão '317
LR12	•• -•-	12 0,5 125 0,7 10 15 450	0,1	1,27 5 83 0,3 1,20 5 10 1	0,003 1,4 76 0,02	1,39	supertex
TL783C	--•-•-	0,01 12 0,5	1 1		0,15 60 0,003 1,4	1,62	TI, MOSFET
LR8	•-- -••			1		0,72	supertex
Negativo							
LM337L	••- ---	40 0,1 5 40 1,5p 2,0t 10	1	1,25 4 50 0,65 80g 0,02 0,3 77g 0,02 0,3		0,65	baixo consumo de energia (neg 317L)
LM337	--••••		1 1,25 3 65 0,6			0,28	negativo 317

Notas: (a) todos têm Vout na faixa de Vref a Vin(max)–Vref. (b) corrente mínima para operar o CI. (c) ÿVout (%) para ÿTJ = 100°C. (d) D2PAK. (e) para 10% a 50% Imáx. (f) em 5V. (g) com tampa de bypass Vadj . (h) tensão máxima de queda em Imax. (k) NJM317F do JRC tem aba isolada. (n) também com prefixos como TLV, LD e REF. (p) para pacotes TO-220 e D-PAK. (u) 10ÿF min se baixo ESR tântalo; também requer bypass de entrada de 10ÿF. (v) máxima Iout em baixo Vin–Vout, por exemplo, ÿV<10V; veja o texto. (z) a caixa ou guia de metal (para TO-220, TO-3, D-PAK) é conectada a Vout para reguladores positivos e a Vin para reguladores negativos. Cuidado com pinagens diferentes: positivo versus negativo e variantes como LR8 e LR12.

compensar a diferença; mas então você incorre em alguma incerteza adicional da tensão de saída, devido à corrente do pino de ajuste de aproximadamente ÿ50 A; ver **E** abaixo.

B: O circuito regulador estilo 317 padrão (como na Figura 9.10) pode ajustar apenas até Vref. Mas você pode enganar um 317 para descer a zero, retornando a perna inferior do divisor de saída (R2) para uma referência negativa. Certifique-se de afundar corrente suficiente para polarizar essa referência em condução, conforme mostrado.

C: Você pode usar uma chave MOSFET (ou uma chave log RON baixa) para desviar resistores fixos adicionais através do resistor inferior de ajuste de tensão, permitindo a seleção da tensão de saída sob controle de nível lógico.

onde o valor de R1 é 240 ÿ. Este erro de projeto provavelmente se originou com exemplos de circuitos ilustrativos para o LM117 com especificações mais rígidas na mesma folha de dados, cujo pior caso Iout(min) é 5 mA (metade do LM317). Já se passaram 40 anos e ninguém na fábrica parece ter notado!

D: Alternativamente, você pode programar a tensão de saída aplicando uma tensão CC através do pino ADJ ; a tensão de saída será Vref maior. A tensão de programação pode ser gerada por um potenciômetro, conforme mostrado, ou por um DAC. Se programado como no fragmento de circuito mostrado, você precisará garantir que a carga externa satisfaça a especificação mínima de corrente de carga (5 ou 10 mA para a maioria dos dispositivos; consulte a Tabela 9.2). Você também precisa levar em consideração o efeito da corrente de polarização do pino ADJ através da impedância maior do que o normal, neste exemplo aumentando para mais de 1 kÿ na posição intermediária do potenciômetro; ver E, a seguir.

E: O pino ADJ fornece ~50 ÿA (veja a caixa intitulada “Anatomia de um 317”), o que faz com que a tensão de saída se torne

$$V_{OUT} = V_{ADJ}\left(1+\frac{R2}{R1}\right) + I_{ADJ}R2, \qquad (9.1)$$

onde o último termo de “erro” é causado pela corrente do pino ADJ . Para o pior caso IADJ=100 A e nominal R1=125ÿ

Machine Translated by Google

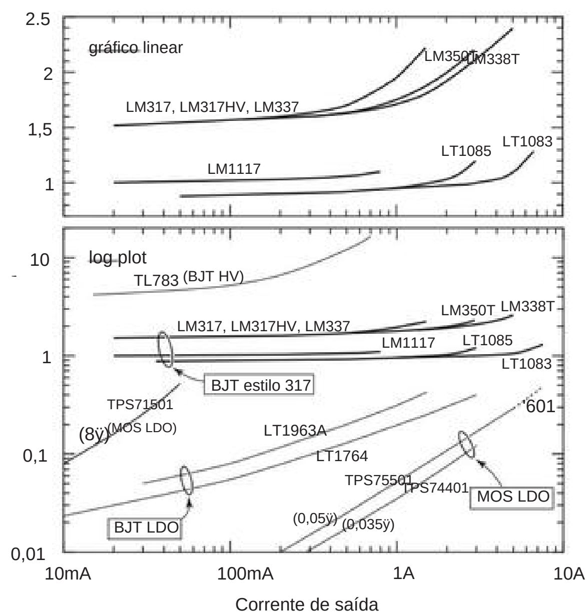


Figura 9.11. Tensão de queda típica *(VIN-VOUT)* versus corrente de carga para reguladores de três terminais estilo 317 (curvas em negrito). Reguladores representativos de baixa queda e alta tensão são incluídos para comparação. Veja também a Figura 9.24.

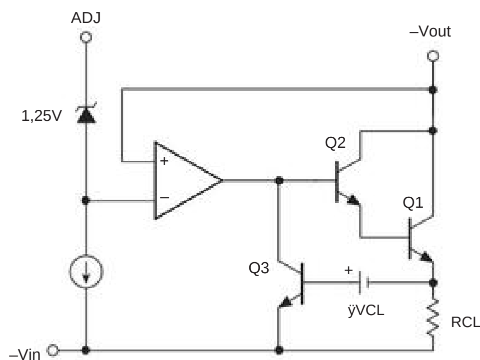


Figura 9.12. Regulador de tensão negativa ajustável de três terminais LM337. O estágio de saída do emissor comum requer pelo menos 1 F de desvio na entrada e na saída para garantir a estabilidade.

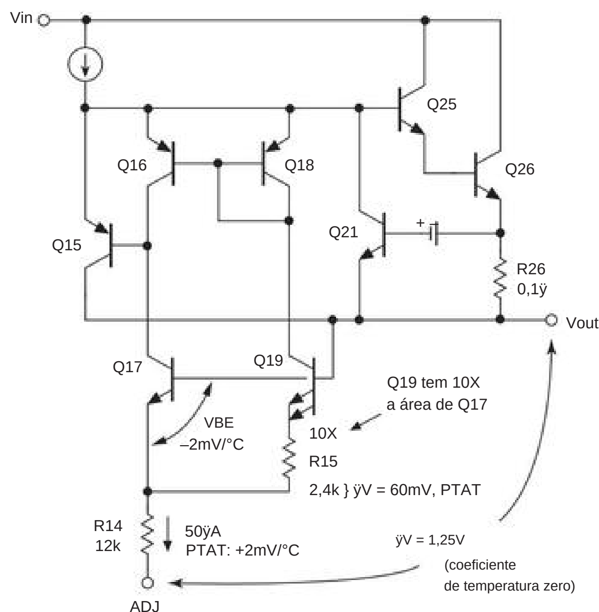


Figura 9.13. Circuito simplificado do regulador linear estilo 317, ilustrando sua referência interna de bandgap com compensação de temperatura; veja o quadro "Anatomia de um 317".

isso equivale a um aumento de 1% na tensão de saída, acima e além da incerteza Vref inicial (geralmente 1% ou 4%; consulte a Tabela 9.2).17 O erro induzido pela corrente aumenta linearmente com a impedância do divisor, conforme indicado no gráfico (que como assume uma tolerância Vref de 4%, uma corrente de pino ADJ de pior caso de 100 Aÿ, e sem correção para a corrente de ajuste, ou seja, ignorando o último termo da eq'n 9.1).

F: Um regulador linear pode ser danificado por condições de falha nas quais os capacitores de bypass descarregam repentinamente através do circuito do regulador, causando correntes de pico destrutivas. O diodo D2 evita que o capacitor de desvio de saída descarregue através do regulador se a entrada estiver em curto; nunca é demais incluir tal diodo, e é definitivamente indicado para tensões de saída mais altas. Da mesma forma, adicione o diodo D1 se um capacitor opcional de redução de ruído C1 for usado, para proteger contra curtos de entrada ou saída.

G e **H:** Você pode estender o tempo de aumento da tensão de saída18 ignorando o terminal ADJ com um valor alto

[17] Se você se importa, você pode calcular seus valores de resistor de eq'n 9.1, usando o valor *típico* da folha de dados para IADJ; que reduz o erro de pior caso em um fator normalmente de dois (a proporção do máximo para o IADJ típico).

[18] Por que você faria isso? Talvez esta pequena história, de nosso laboratório de pesquisa, forneça alguma motivação: construímos uma fonte de ±15 kV, usando um par de conversores Spellman MP15 dc–dc HV (entrada de +24 V, saídas máximas de +15 kV e ÿ15 kV, 10 W), alimentado por uma fonte de comutação comercial de +24 Vcc com alimentação CA. Montamos os conectores de saída HV (tipo SHV; consulte a Figura 1.125) a uma distância segura de 2. Imagine nossa surpresa, então, quando o ligamos e uma enorme faísca saltou entre os conectores; deve ter sido de pelo menos 50 kV! Apavorante. E *preocupante* - essa coisa (e sua carga) pode sobreviver a repetidas inicializações? Nossa primeira tentativa de cura foi garantir que a tensão de controle de 0–10 V do MP15 fosse ajustada para zero volts na inicialização. Sem alegria. Por fim, adicionamos um regulador de três terminais LT1085 com rampa controlada à entrada de +24 V e, voila, sem raios.

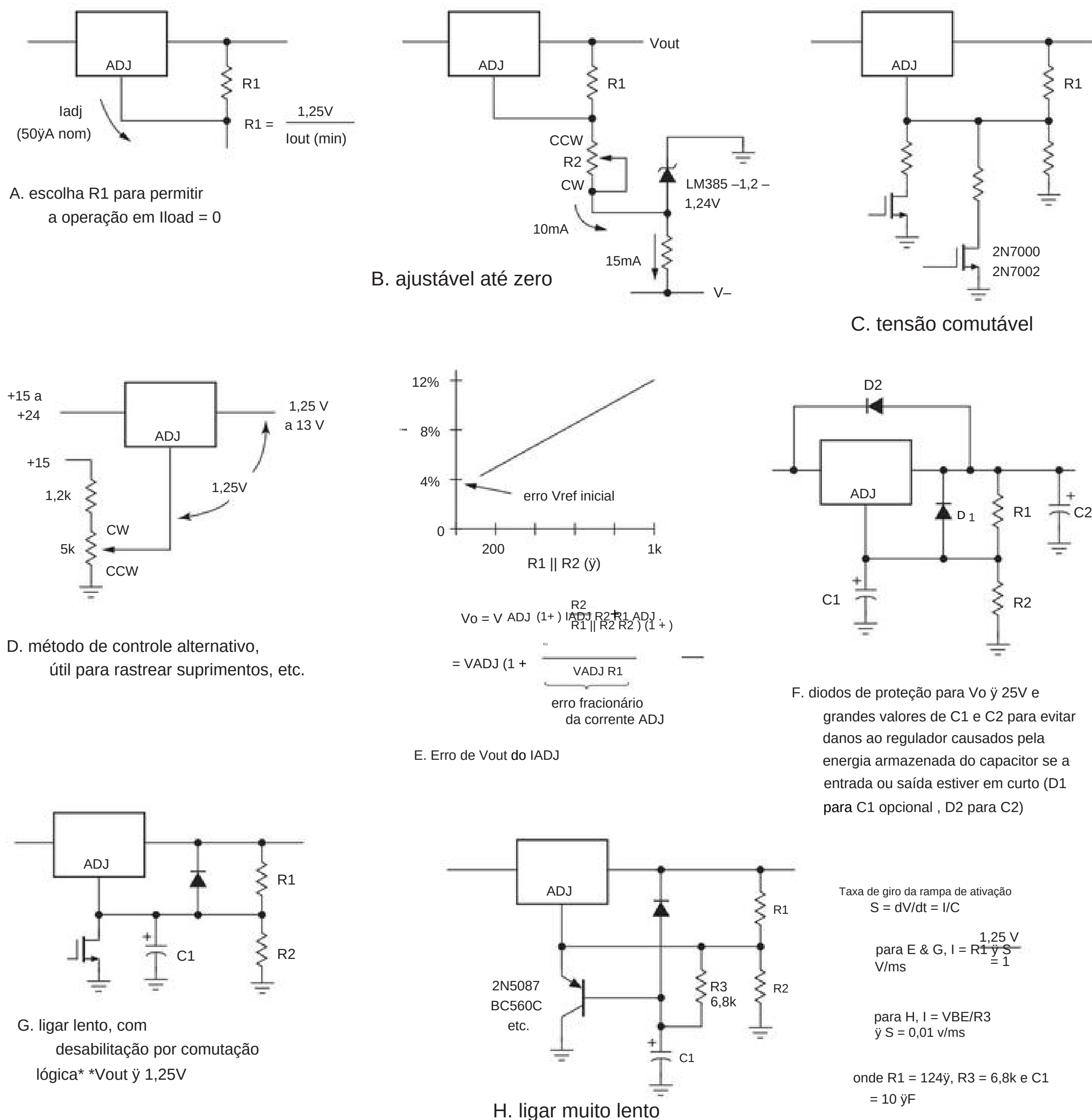


Figura 9.14. Dicas de aplicação para o regulador ajustável de três terminais tipo LM317, descrito em §9.3.4.

capacitor (certifique-se de adicionar o diodo de proteção; veja **F** acima). Em ambos os circuitos, o capacitor acelera com uma corrente constante, conforme indicado. Como R1 é pequeno, o valor do capacitor pode se tornar desconfortavelmente grande (por exemplo, ÿ 100ÿF, para uma rampa de 10 ms/V com R1=125ÿ), então você pode querer adicionar um seguidor, como em H. Observe que esses circuitos não aumentam da tensão de saída zero – em **G** salta para Vref (1,25 V) antes da rampa, e em **H** salta inicialmente para Vref+VBE (cerca de 1,8 V). Pela mesma razão, a chave "desativar" em **G** reduz a saída apenas para Vref.

Exercício 9.5. Desenhe um circuito (com valores de componentes), seguindo o esquema da Figura 9.14C, para alimentar um ventilador de resfriamento de 12 V (nominal) dc dentro de um instrumento: quando pouco resfriamento é necessário, o circuito deve fornecer +6 V (no qual o ventilador funciona , mas silenciosamente), mas quando

mais resfriamento é necessário um sinal de nível lógico (chame-o de HOT) que é fornecido ao seu circuito irá para ALTO (ou seja, para +5 V) para ligar um MOSFET (como na figura), ponto em que seu circuito deve aumentar a tensão do ventilador para +12 V.

9.3.5 Regulador estilo 317: exemplos de circuitos

Antes de passar para o assunto de reguladores de baixa queda, vamos dar uma olhada em alguns exemplos úteis do mundo real que são facilmente manuseados com reguladores ajustáveis de 3 terminais estilo 317: uma bancada ajustável de rastreamento duplo de 0 a ±25 V alimentação, um controle proporcional de velocidade do ventilador e duas maneiras de criar uma alimentação CC de alta tensão ajustável.

A. Alimentação de bancada dual-tracking de laboratório
É bom ter uma alimentação dual ajustável na bancada, por exemplo, com saídas combinadas (“rastreamento duplo”) que vão de 0 a ±25 V em correntes de até 0,5 A. Você pode comprá-las por algumas centenas de dólares ou mais; mas você pode fazer um facilmente com um par de reguladores ajustáveis de 3 terminais.
A Figura 9.15 mostra como, começando com as entradas CC não reguladas. O regulador positivo é um LM317 em um pacote TO-220 (sufixo T), com um dissipador de calor de tamanho apropriado (RÿJCÿ2ÿC/W; consulte §9.4). Para reduzir a capacidade de ajuste para zero volts, usamos o truque da Figura 9.14B (divisor de sentido de saída retorna para -1,25 V). Para a saída negativa de rastreamento, negamos com precisão a tensão no pino ADJ do U1 para programar o regulador negativo LM337.

Alguns detalhes: adicionamos um capacitor de supressão de ruído C1 a U1 (junto com um diodo de proteção) e usamos um amplificador operacional de precisão e baixo ruído para gerar a tensão de controle invertida (portanto, nenhum capacitor é necessário no pino ADJ de U2). Os resistores R1 e R6 fornecem a corrente de carga mínima de 10 mA dos reguladores, mas observe que o amplificador operacional A2 deve ser capaz de fornecer 10 mA e, da mesma forma, R5 deve dissipar corrente suficiente para alimentar o amplificador operacional, reduzir os 10 mA através de R2, e polarizar o zener Z1. Os diodos Schottky D1 e D2 protegem contra polaridade reversa, por exemplo, de uma ponte de carga em ambos os trilhos. Finalmente, se houver alguma maneira pela qual as entradas CC possam ser abruptamente encurtadas para o terra, os diodos devem ser conectados entre os terminais de entrada e saída de cada regulador (como na Figura 9.14F), para protegê-los da corrente de falha que flui de volta do regulador. capacitores de desvio de saída (incluindo o que você tem no circuito externo alimentado); um par de retificadores 1N4004 ficaria bem aqui.

Exercício 9.6. A referência Zener Z1 (na verdade, é um regulador de derivação de baixa corrente) tem uma faixa de corrente especificada de 50 ÿA a 20 mA. Mostre que este circuito respeita esses limites, calculando a corrente zener tanto na tensão de entrada negativa máxima quanto na mínima (ou seja, em -38 V e em -28 V). Suponha que a corrente de alimentação do amplificador operacional duplo esteja na faixa de 3 mA a 5,7 mA.

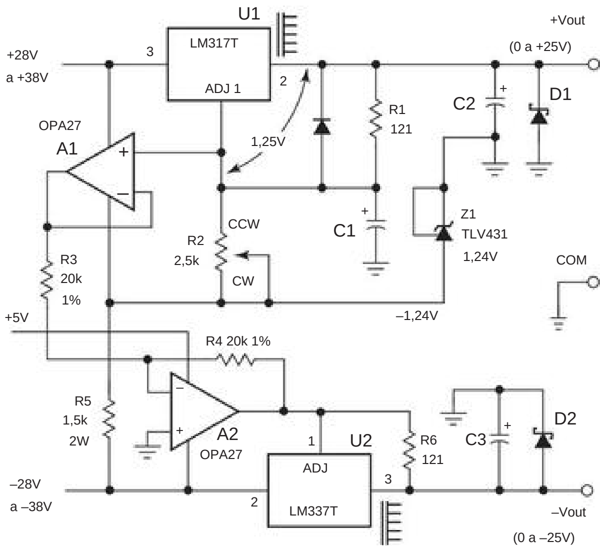


Figura 9.15. Alimentação de bancada de rastreamento duplo de laboratório, 0 a ±25 V, implementada com reguladores lineares de três terminais estilo 317.

B. Controle proporcional do ventilador O controle on-off (ou alto-baixo) do ventilador, como no Exercício 9.5, é simples; mas você pode fazer melhor do que o controle "bang-bang" adaptando a tensão de acionamento do ventilador (portanto, a velocidade do ventilador) para manter o dissipador de calor em um determinado ponto de ajuste de temperatura elevada. A Figura 9.16 mostra como usar um LM317T como um driver de energia, explorando sua proteção interna (sobretemperatura, sobrecorrente) e seu esquema simples de controle de pinos ADJ. Aqui usamos o sempre popular amplificador operacional LM358 como um integrador do sinal de erro de uma ponte, uma perna da qual é um

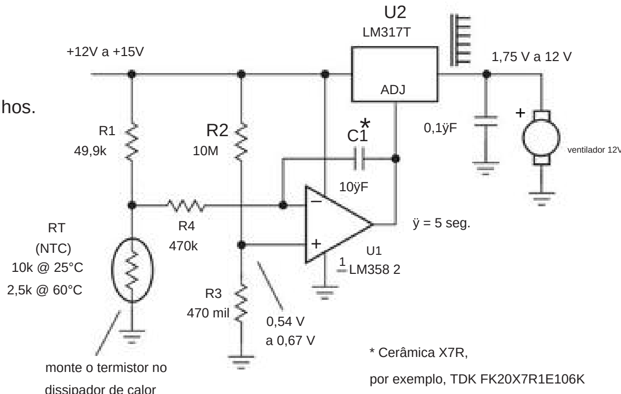


Figura 9.16. Controlando a velocidade do ventilador com feedback analógico de um sensor termistor, com ponto de ajuste de 60ÿC . O controle totalmente analógico elimina o ruído de comutação e a operação de velocidade variável minimiza o ruído acústico.

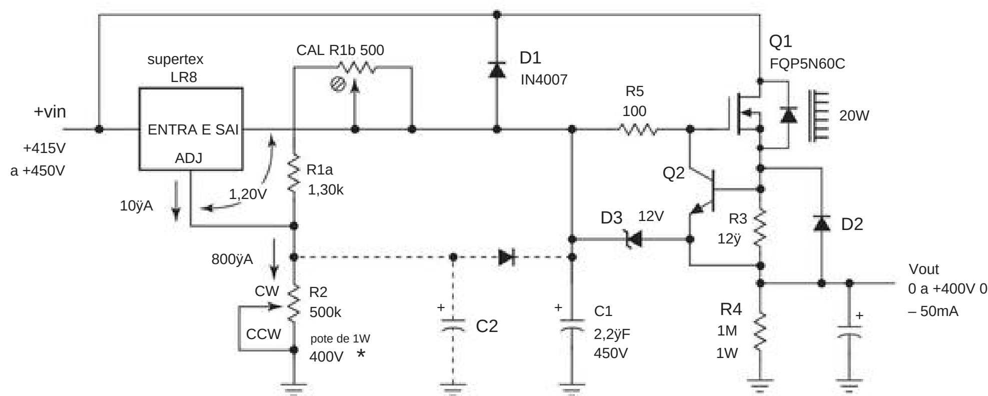


Figura 9.17. Fonte I ajustável de alta tensão, 0 a 400 V, implementada com um LR8 de baixa corrente mais seguidor MOSFET externo. * Consulte o texto para a classificação de tensão de R2.

termistor de coeficiente de temperatura (NTC). As entradas são balanceadas no ponto de ajuste de 60°C , acima do qual a saída do integrador e, portanto, a tensão do ventilador, é acionada positivamente. A constante de tempo do integrador *R4C1* deve ser escolhida um pouco mais longa do que a constante de tempo térmica da(s) fonte(s) de calor para o sensor do termistor, para minimizar a "caça" do loop de feedback.

Escolhemos o LM358 por seu baixo custo (apenas $ 0,10 em quantidade unitária), operação de fonte única (entrada e saída para o trilho negativo) e tolerância robusta para fornecer tensões bem acima de +15 V. Mas seus 50 nA são os piores. caso a corrente de deslocamento de entrada nos obrigou a usar um capacitor de integração bastante grande. Idealmente, alguém gostaria de um amplificador operacional de suprimento único barato com entradas FET ou com compensação de polarização. Felizmente, existe o incomum OPA171 de alimentação única, cuja corrente de deslocamento é reduzida em dezenas de picoamps, mesmo em temperaturas elevadas, e que opera em toda a faixa de tensão de alimentação de 3 V a 36 V; custa cerca de um dólar (mas você sai na frente, com o capacitor de ÿ0,47 F mais barato e resistor de 10 Mÿ R4).

C. Fonte de alta tensão I: regulador linear A Figura 9.17 mostra um circuito simples que estende a corrente de saída do regulador de 3 terminais de alta tensão LR8 da Supertex. Esta parte opera a 450 V, mas é limitada a 10 mA de corrente de saída e ainda limitada pela dissipação de energia (ÿ2 W no pacote de energia D-PAK, dependendo do padrão de folha da placa de circuito; consulte a Figura 9.45) quando operada quase em seu diferencial de tensão nominal total.

A corrente de carga mínima do regulador é especificada como 0,5 mA, portanto, operamos com um pouco menos de 1 mA, com sua saída acionando um seguidor MOSFET de alta tensão. O feedback é local para o LR8, então o seguidor introduz um deslocamento (ligeiramente dependente da carga) que pode ser aproximadamately aparado para zero por R1b. Q2 fornece limitação de corrente e os diodos D1–D3 protegem contra as muitas lesões que são possíveis em uma fonte de alta tensão. Adicione o capacitor C2 (junto com um diodo de proteção) para redução de ruído. O potenciômetro de configuração de saída R2 dissipa 320 mW na tensão máxima de saída, então é aconselhável usar uma peça classificada em 1 W ou mais. Certifique-se de verificar as especificações do pote para uma classificação de *tensão* também; para esta aplicação, você pode usar um Bourns 95C1C-D24-A23 ou um Honeywell 53C3500K.

D. Fonte de alta tensão II: conversor de comutação dc-dc

Outra abordagem para gerar CC de alta tensão regulada é usar um módulo conversor CC-CC de comutação. Eles vêm com uma grande variedade de tensões de saída (até dezenas de quilovolts) e com polaridade de saída selecionável. Você pode obter uma ampla variedade deles com circuitos reguladores integrados, destinados a serem alimentados por uma entrada CC de baixa tensão (+5 V ou +15 V, etc.) e com a tensão de saída programada por meio de uma variável resistor ou por uma entrada de programação CC de baixa tensão. Eles são úteis para gerar a polarização para um tubo fotomultiplicador, detector de fotodiodo de avalanche, multiplicador de placa de canal ou outros dispositivos que precisam de uma polarização estável de alta tensão e baixa corrente.

Uma abordagem menos dispendiosa é usar um módulo conversor DC-DC básico que não tenha regulação interna; para estes, a tensão de saída escala com a tensão de entrada – às vezes eles são chamados de conversores CC-CC “proporcionais”. As unidades típicas recebem uma entrada de 0–12 V CC, com faixas de saída que variam de 100 V a até 25 kV, com potências nominais de uma fração de watt a 10 watts ou mais. A Figura 9.18 mostra como fazer isso, usando um dos módulos conversores proporcionais de 3 W da EMCO. A tensão de saída é controlada por R3, com a extremidade inferior da faixa de tensão definida por

a saída mínima de 1,25 V do LM317. A modificação do limite de corrente opcional protege o conversor quando a saída está sobrecarregada.[19] O custo total dos componentes do circuito externo aqui soma menos de US$ 0,75 em quantidade unitária – você não pode superar isso, barato!

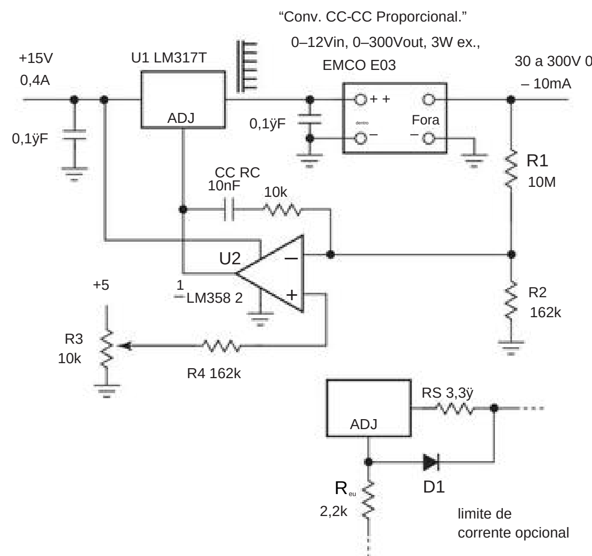


Figura 9.18. Fonte ajustável de alta tensão II, implementada com um módulo conversor DC–DC proporcional alimentado por um LM317 com controle de realimentação para o pino ADJ .

9.3.6 Reguladores de queda inferior

Existem aplicações em que a queda de tensão de aproximadamente 2 V (ou seja, diferencial mínimo de tensão de entrada-saída) desses reguladores é uma limitação séria. Por exemplo, em um circuito lógico digital, você pode precisar criar uma fonte de +3,3 V a partir de um +5 V existente; ou (pior), uma alimentação de +2,5 V de um barramento de alimentação de +3,3 V existente. Outra aplicação pode ser um dispositivo portátil que precise de +5 V e funcione com uma bateria alcalina de 9 V; o último começa a vida em cerca de 9,4 V, diminuindo no final da vida para 6 V ou 5,4 V (dependendo se você assinar 1,0 V/célula ou 0,9 V/célula como a definição de uma bateria totalmente descarregada). Para essas situações, você precisa de um regulador que possa operar com um pequeno diferencial de entrada-saída, idealmente abaixo de alguns décimos de volt.

Uma solução é abandonar totalmente os reguladores lineares e usar um regulador de comutação (§9.6), que lida de maneira diferente com o diferencial de tensão. Switchers (apelido para comutação, ou modo de comutação, reguladores) são populares em tais aplicações; mas eles têm seus próprios problemas (particularmente em termos de comutação de ruído e transientes), e você pode preferir a calma plácida e a simplicidade de um regulador linear.

Observe novamente os reguladores lineares convencionais nas Figuras 9.6 e 9.9; a queda de ÿ2 V é causada pelas duas quedas VBE em cascata do seguidor de saída Darlington, mais outra VBE através do resistor limitador de corrente. A solução (inspirada pela substituição complementar de Sziklai por um Darlington convencional; ver §2.4.2A) é usar uma topologia de estágio de saída diferente e um esquema de limite de corrente diferente.

A Figura 9.19 mostra uma solução parcial. Este projeto retém um seguidor de saída *npn* , mas substitui um transistor de driver *pnp ;* o último pode rodar perto da saturação, eliminando uma das quedas de VBE . Além disso, o resistor de detecção de limite de corrente foi realocado no coletor ("detecção de corrente de lado alto"), onde não contribui para a queda de tensão (desde que sua queda seja menor que um VBE no limite de corrente, o que é fácil de gerenciar se um comparador for usado para detectar a corrente máxima, conforme mostrado). Com essa topologia de circuito, os reguladores LT1083-85 (classificados em 7,5 A, 5 A e 3 A, respectivamente) atingem uma queda típica de 1 V em sua corrente máxima.

Usamos esta série de reguladores em muitos projetos, com bom sucesso. Eletricamente, eles imitam o clássico regulador ajustável de três terminais LM317, com 1,25 V interno referenciado ao pino de saída. No entanto, como acontece com a maioria dos projetos de baixo abandono, esses reguladores são exigentes quanto ao desvio: a folha de dados recomenda 1ÿ0 F pelo menos na entrada e 10 F (tântalo) ou 50 F (alumínio eletrolítico) na saída. Se o pino ADJ ÿ for ignorado para redução de ruído (Figura 9.13), a folha de dados recomenda triplicar o valor do capacitor de desvio de saída.

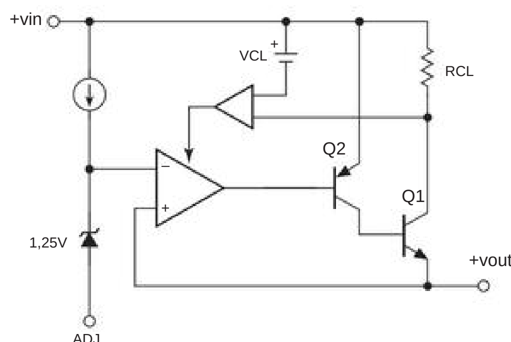


Figura 9.19. Reguladores positivos de três terminais da série LT1083-85 com queda de tensão reduzida.

[19] Administramos um teste de tortura a um conversor desprotegido e medimos uma corrente de entrada de 1,2 A.

9.3.7 Reguladores verdadeiros de baixa queda

A queda de tensão pode ser reduzida ainda mais, substituindo o estágio de saída *npn* (seguidor) por um estágio *pnp* (emissor comum) (Figura 9.20A). Isso elimina a queda de VBE , a queda de tensão agora sendo definida pela saturação do transistor. Para manter a tensão de queda o mais baixa possível, o circuito de limite de corrente elimina o resistor de detecção em série, usando, em vez disso, uma amostra de corrente de saída fracionária, derivada de um segundo coletor em Q1. Isso é menos preciso, mas "bom o suficiente", visto que sua função é apenas limitar correntes destrutivas: a folha de dados do 3 A LT1764A, por exemplo, especifica um limite de corrente de 3,1 A (mínimo) e 4 A (típico). .20 Muitos reguladores de baixa tensão contemporâneos usam

MOS FETs, em vez de transistores bipolares. O circuito LDO análogo é mostrado na Figura 9.20B. Como o LDO bipolar, essas partes tendem a ser bastante exigentes quanto ao desvio. Por exemplo, os reguladores TPS775xx estabelecem requisitos tanto para a capacitância quanto para a ESR do bypass de saída: a capacitância deve ser de pelo menos 10 F (com uma ESR não inferior a 50 mÿ *e* não superior a 1,5 ÿ), com o anúncio da folha de ÿ dados mostrando adicionalmente regiões de estabilidade e instabilidade em gráficos que representam combinações de Cbypass, ESR e Iout.

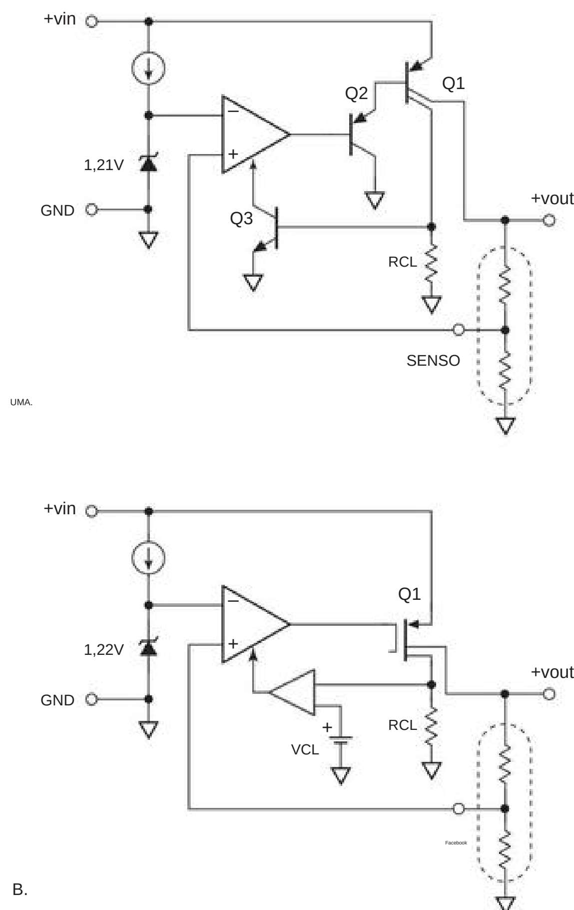


Figura 9.20. A. Reguladores LDO positivos LT1764 (bipolar) e B. TPS75xxx (CMOS).

9.3.8 Regulador de 3 terminais de referência de corrente

Todos os reguladores que vimos até agora usam uma referência de tensão interna (geralmente uma referência de "bandgap" de 1,25 V), contra a qual uma fração do divisor de tensão da saída é comparada. O resultado é que você não pode ter uma tensão de saída menor que essa referência. Na maioria dos casos, isso define um limite inferior de Vout=1,25 V (embora alguns possam cair para 0,8 V ou mesmo 0,6 V; consulte a Tabela 9.3 na página 614).

Às vezes você quer uma tensão mais baixa! Ou você pode querer ter uma faixa de ajuste que vá até zero volts. Tradicionalmente, isso exigia um suprimento negativo auxiliar, como, por exemplo, no "suprimento de bancada de laboratório" da edição anterior do livro (sua Figura 6.16).

Uma boa solução é o regulador estilo LT3080, originado pela Linear Technology (Figura 9.21). É um regulador positivo ajustável de 3 terminais (com um quarto pino, em alguns estilos de embalagem) no qual o pino ADJ (chamado SET) fornece uma corrente precisa *(ISET=10* ÿA ±2%) e o amplificador de erro SET. A força a saída a seguir o pino Então, se você conectar um resistor *R* do SET ao terra, a tensão de saída será simplesmente Vout = ISETR. A faixa de tensão de saída vai até zero: quando R=0, Vout=0,21

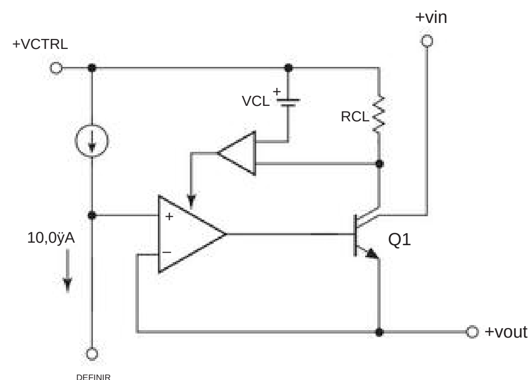


Figura 9.21. LT3080 Regulador de tensão positiva ajustável "3 terminais" com referência de corrente de precisão.

[20] A série CMOS TPS755xx de reguladores 5 A LDO tem uma especificação de limite de corrente reveladora de 5,5 A (mínimo), 10 A (típico) e 14 A (máximo).

[21] Com uma pequena *pegadinha:* a corrente de carga mínima é de aproximadamente 1 mA. Então, para Por exemplo, a tensão de saída em uma carga de 100 ÿ não ficará abaixo de 0,1 V. Para chegar a 0 V, você precisa transferir uma pequena corrente para uma fonte negativa.

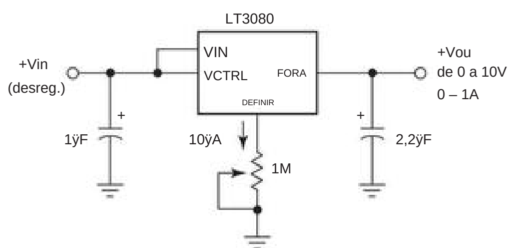


Figura 9.22. Regulador positivo, ajustável até 0 V.

A Figura 9.22 mostra a conexão básica, aqui usada para fazer uma alimentação ajustável de 0–10 V. A arquitetura da série 3080 facilita a adição de um limite de corrente ajustável, ajustável até zero, conforme mostrado na Figura 9.23. O regulador upstream U1 é por si só uma fonte de corrente de 0–1 A; os reguladores em cascata juntos agem como uma fonte de tensão limitada por corrente (ou uma fonte de corrente limitada por tensão, dependendo da carga).

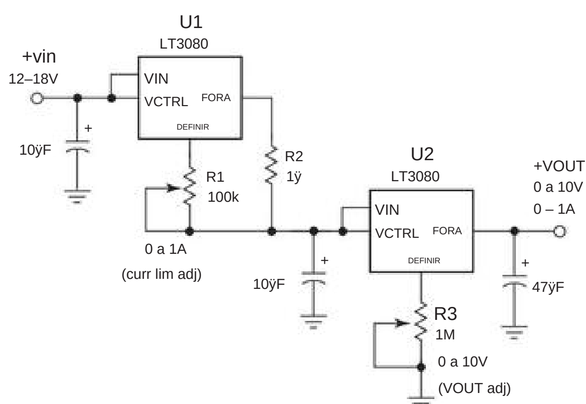


Figura 9.23. "Fornecimento de bancada" ajustável com controles independentes de tensão e limite de corrente.

O regulador estilo 3080 inclui um pino VCTRL nos pacotes com mais de três pinos (por exemplo, TO-220-5), que permite executar o circuito de controle interno a partir de uma tensão de entrada mais alta. Quando operado dessa forma, o LT3080 é um verdadeiro regulador de tensão de baixa queda, com uma queda de tensão típica de 0,1 V a uma corrente de carga de 250 mA. Sua saída de baixa impedância (seguidor de emissor) requer apenas desvio deÿ saída de 2,2 F, sem exigência mínima de ESR.

9.3.9 Tensões de queda comparadas

Para resumir o negócio da queda de tensão nesses vários projetos de reguladores, plotamos na Figura 9.24 as tensões de queda de um regulador representativo de cada tipo. As curvas são tiradas de especificações de abandono "típicas" em as folhas de dados, todas a 40ÿC, e são dimensionadas para a corrente máxima nominal de cada dispositivo. Três categorias são claramente vistas: reguladores convencionais com transistor de passagem Darlington *npn* (três curvas superiores); reguladores de baixa queda com driver *pnp* e seguidor de saída *npn* (curva intermediária); e verdadeiros reguladores de baixa queda com estágio de saída *pnp* ou pMOS (quatro curvas inferiores). Observe particularmente o comportamento resistivo dos reguladores CMOS (duas curvas inferiores), onde a queda de tensão é linear na corrente de saída e vai para zero em baixa corrente.

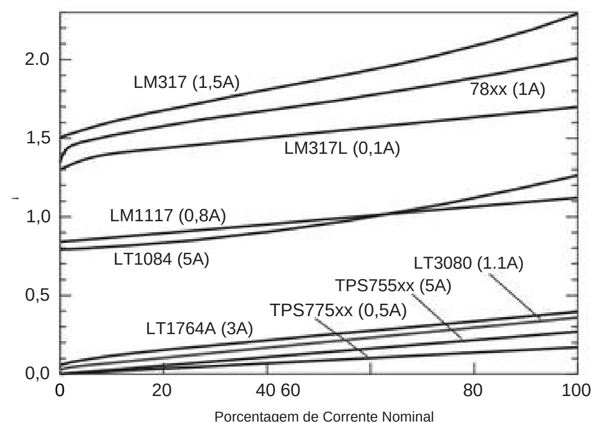


Figura 9.24. Tensão de queda do regulador linear versus corrente de saída. O par inferior de curvas (prefixo TPS) são CMOS; todos os outros são bipolares. Veja também a Figura 9.11.

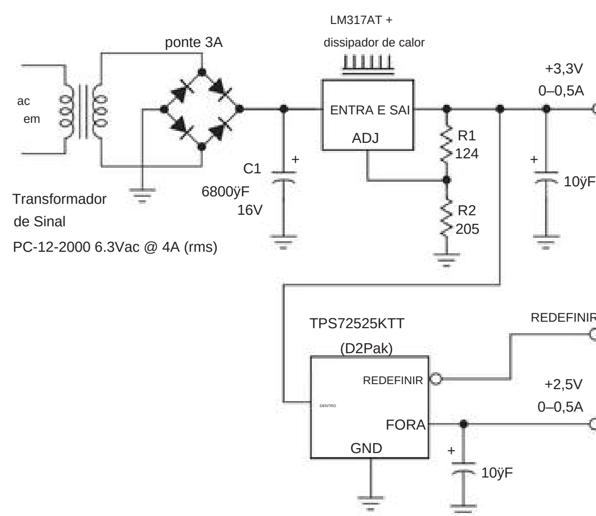


Figura 9.25. Alimentação regulada dupla de baixa tensão.

9.3.10 Exemplo de circuito regulador de dupla tensão

Como ilustração, imagine que temos um pequeno circuito digital que requer fontes reguladas de +3,3 V e +2,5 V, cada uma capaz de fornecer até 500 mA. A Figura 9.25 mostra como fazer isso com um pequeno transformador montado em PCB acionando uma ponte retificadora não regulada, seguida por um par de reguladores lineares. O projeto é direto: (a) começamos escolhendo um transformador para fornecer cerca de +8 Vdc (não regulado) da boa seleção do Signal Transformer; uma unidade com 6,3 Vrms está correta (sua amplitude de pico CA de 6,3ÿ 2 ÿ 9 V é reduzida por duas quedas de diodo); (b) escolhemos uma classificação de corrente de transformador conservadora de 4 Arms, para permitir o aquecimento extra causado pelos pulsos de corrente relativamente curtos em um circuito retificador de ponte ("pequeno ângulo de condução", consulte §1.6.5); (c) o capacitor de armazenamento C1 foi então escolhido (usando *I = C dV/ dt)* para permitir ondulação de ÿ1 Vpp na corrente de carga máxima, com uma tensão nominal adequada para permitir a combinação de pior caso de alta tensão de linha e zero carga de saída; (d) para a saída de +3,3 V usamos um regulador ajustável de 3 terminais (LM317A, em um pacote de potência TO-220), montado em um pequeno dissipador de calor (10ÿC/W, adequado para a potência máxima de ÿ5 W dissipação; consulte §9.4; (e) finalmente, para a saída de +2,5 V, usamos um regulador de tensão fixa CMOS de baixa queda (os dois últimos dígitos do número da peça designam +2,5 V), obtendo sua entrada do +3,3 regulado v.

Vários comentários. (a) Não mostramos detalhes da entrada da linha CA, incluindo fusível, chave e filtro de ruído; (b) os valores dos capacitores de bypass mostrados são conservadores (maiores que o mínimo especificado), a fim de melhorar a resposta transitória e fornecer estabilidade robusta; (c) o regulador TPS72525 inclui um circuito "supervisor" interno que fornece uma saída RESET que vai para nível BAIXO quando o regulador sai da regulação, geralmente usado para alertar um microprocessador para salvar seu estado e desligar.

9.3.11 Escolhas do regulador linear

Fixo ou ajustável? 3 terminais ou 4 terminais? Baixa evasão ou convencional? Como você decide qual tipo de regulador linear integrado usar? Aqui estão algumas orientações.

- Se você não precisa de dropout baixo, fique com um regulador convencional, fixo de 3 terminais (estilo 78xx/79xx, Tabela 9.1) ou ajustável de 3 terminais (estilo 317/337, Tabela 9.2): eles são menos caros e são estáveis com capacitores de bypass de pequeno valor. – fixo: não necessita de resistores externos; mas tensão limitada

  escolhas, e sem capacidade de corte.
  – ajustável: configurável e ajustável, e menos tipos para estoque; mas requer um par de resistores externos.
- Se você precisar de ajuste para zero volts, use um regulador de referência de corrente (estilo LT3080). • Se você precisar de dropout baixo (VDO ÿ 1 V), você tem muitas opções de LDO (Tabela 9.3): – Para tensões de entrada ÿ 10 V, use tipos bipolares:

  * Estilo LT1083-85, LM1117, LM350, LM338 (fixo ou adj) para queda de ÿ 1 V; * Estilo LT1764A (fixo ou adj) para ÿ 0,3 V (mas consulte

  §9.3.12); –
  Para tensões de entrada ÿ 10 V, existem muitos MOSFET LDOs (fixos ou adj). • Se
você precisar de alta eficiência, alta densidade de potência, aumento de tensão ou inversão de tensão, use um regulador/conversor de comutação (§9.6).

Para aplicações de alta corrente e baixa tensão, considere o uso de um regulador que tenha pinos de entrada de elemento de passagem e controle separados, como o mostrado na Figura 9.21. Estes são indicados na coluna "boost, bias pin" da Tabela 9.3.

9.3.12 Idiossincrasias do regulador linear

Esses reguladores integrados são genuinamente fáceis de usar e, com seus circuitos de proteção térmica e de sobrecorrente integrados, não há muito com o que se preocupar. Os projetistas de circuitos devem, no entanto, estar cientes das seguintes idiossincrasias.

A. Variações de pinagem

Nossos alunos sucumbem, com frequência angustiante, a esta pegadinha: reguladores de polaridade complementares, como nossos favoritos LM317 (positivo) e LM337 (negativo) ajustáveis de 3 terminais, geralmente têm *pinagens diferentes* (Figura 9.26). No caso dos reguladores fixos 78xx/79xx, por exemplo, isso cria um verdadeiro problema: a aba de montagem é aterrada para o regulador positivo 78xx (para que você possa aparafusá-lo no chassi ou soldá-lo ao plano de aterramento da placa de circuito), mas para o regulador negativo 79xx, a aba é conectada eletricamente à tensão de entrada – faça o aterramento e você terá sérios problemas![22]

	1	2	3	TAB
LM317	ADJ	FORA	DENTRO	FORA
LM337	ADJ	DENTRO	FORA	DENTRO
78xx	DENTRO	GND	FORA	GND
79xx	GND	DENTRO	FORA	DENTRO

Figura 9.26. Nunca assuma que os reguladores negativos têm a mesma pinagem que seus gêmeos positivos. Na verdade, não assuma nada sem consultar o datasheet.

[22] Isso ocorre porque o substrato do IC (normalmente na tensão mais negativa) é soldado a uma estrutura de montagem de metal, que é o melhor caminho para a remoção de calor.

Tabela 9.3 Pacotes de reguladores lineares de baixo dropouta

QI
Vin
Acc'y type line Cout ESR Pricen Vnb @Vout
mínimo máximo Vout fora 25C Iout=0 tip max min min,max qty 25 (%) (mA) (ÿVrms) (V) (ppm/V)
Parte # n (V) (V) (UMA) (ÿF) (ÿ) ($US)

estilo LM317
LT3080A 5 5 - 8 3 - - 8 • - - - • - x - • - 1,2-36 LT1086 33 - - - - -- •5 - - • - ÿ - - - 3,5-25 0-35 1,1 1h 40 todos os 50 2,2 0,0,5 2,71 10h - 1000 22f2 ? 2,67
1,25-25 1,5 1h 40 todos 10 10c 0,20,5,5,48,93 h 150e2 5 300 22f2 0,-
LT3083AA 5 5 - 16 - - - 12 • - - - • - x - • - 1,2-23 0-22 3
LT1083, 84, 85 3 3 - - - - - - • - - - • - - - - - 2,7-25g 1,25-25 3,5,7,5
LT1580 5,7 - - - - - - - • 1 - - • - - • • - 3-5,5 - - • - - • • - 3,3-6 1,25-6 1 1 - - 1000 22 0,1 - 300 22 0,1
LT1581 7 - - - - - - - • 1 1,25-5 7 10 1 1 0,6 0,7 6 10h -
Alta Tensão (ÿ10V)
TPS709xx - - - - - 5 - - - 11 • - - • • - - - 2,5-30 1,5-6,5 • - - 2-45o 0,6-45 92 0,6 250 2,2 0,05 1 3,0013 - 650 2,0,3 0,15 0,02 1 0,003 0,- 1,16
LT3008 - - - - - 8 - 6 • 6 • - - - 0,3 2,66
TLV704xx - - - - -5-- -3 - - - - ÿ - - - 2,5-24 3-5 - 500 1 0,- 0,81
LT3014BB - - - - - 5 - 8 • - • - - - • - - 3-80o 1,22-60 • 3 • - - - • - - 3,5-20 3-20 - - - 4-26o - 3 q - - - 3,0-5 1,6 0,007 115 1,22 125 0,47 0,3 1,5 0,012 - - 125 1,5 0,? 2.14
LT1521 - - - 8 3 - - - TPS769, 70xx - - - - -5-- •9•-------ÿ v -5 •2,7-10 - TPS789,90xx 0,05 2 0,015 500 todos 1000 22 0,3,6 2,08
LM2936 - 3 - 8 3 - 3 - 1,03
1.2-5.5 0.05, 0.1 3tt 0.017 190e3 all 400 4.7 0.2,5 0.77 1.5-3.0 0.1, 0.05 3tt 0.017 56f,e3 3
1000 4.7 0.2,5 0.56 3tt 0.017 56f,e1 all 1000 4.7 0.2,5 4tt 0.02 - 500 10 0,- 1,3 0,02 20f todos
TPS788xx - - - - -5-- -2 • •s- ÿ - - - 2,7-13,5 2,5,3,3 • 1 • - - - xv - • 3,5-16,5 1,3-16 0,15 600 1 0,3 - 1500 22c 0,1,3 1,5 0,025 - 0,03 20f todos 50 3,3 0,3 0,? 1.09
ADP667 - - 8 8 - - - - 0,25 0,034 95 3 240 0,47 0,- 2,98
LT1761 - - - - - 5 - - • 9 • v2 - - - - - 1,8-20 1,22-20 0,1 2,13
LM9076 -5 -8 ---- -2q - - - -- r 3,5-50o 3,3-5 y 0,15 1,31
LT1763 - - - 8 - - - 12 • 6 • • - - • - - 1,8-20 1,22-20 0,5 1 2,30
ADP3331 - - - - - 6 - - • - • - - - x • - • 2,6-12 1,5-11,75 0,2 1.25
- ÿ v - p 2,7-10 0,09 190e3 todos 300 2,2 0,1,20 06,90 TPS , 61xx - - - - -5-- -5 • - - - ÿ - - - 3,5-16 3-5 0,05, 0,1 0,15 2 0,29 340e3 todos 300 todos 1000 7,0,3,7,5 1,60 TPS765, 66xx -z9-8z - - ÿ8 • - -
3,0-5,0 0,5 **0,37 LP2951AC** - - 8 8 - - - 8 • 2 • v2 - - x • - • 1,5-30 0,5 **0,29** LP2981AC - - - - -5-- -9 • - - - ÿ - - - 2,1-16 LP2985A - - - - 5 -- -9 6 -3-10 1,5-8,5 **LP2950AC1** 33 - -8 - **3** 3 63 2 - - x - -2 3,1-30
0,1 0,5 0,075 430 todos os 35 2,2 0,5 0,2 m 100f
1.4-29 0,1 todos os 40 2,2 0,75 0,095 160e3 todos os 140
2,5-5 0,1 3,3c 0,01,8 0,84 1 0,065 30f 5 0,4 500
1,8-10 0,15 todos 140 2,2 0,005-0,5 0,82 5 1500 47
v - - 3,3-26o 3,0-24 anos - - - 0,1 0,03,0,4 **0,65** 5 800 10 0,1 0,65
LM2930 3 3 - - - - - - 5,3-26o 5,0 8,0 0,5d 0,1 160e3 todos 140 4,7c 0,1,10 2,32 0,15 6 4 140
1,19-33 anos - - - 6-26o 5,8,10,12 0,15 4 1,0 700 10 300 10 0,0,4 0,62 1,2-10 0,25 5 1400 10 0,1,1,3 LP2986A 2,5-16 0 - 1 - 8 - 1 0 2 - 5 - 5 0 - 2,6-15 1,5 3,15 1,25 25 61,5 1 300 2,2 0,0,0,2 0,1 43-5
TPS7A4901 - - - 8 - - - - • - • • • - xv - - 3-36 260nV all 120 2,2 0,15 1 0,5 0,12 0,08 300mV all 500 2,2 14c 0,7 0,5 0,4 0,85 1005 2,2 0,01,500
TL750Lxx 338y 8 - - 3 - - 4 - - - - 2,2 0,1-1,0,5 1,1,50 2,0,055 70 3,3 1000 1c 0,100 0,90 0,5 2,0 11,300 1,2 650 3,3c 0,0 2,2 13 0,9 0,09 45 0 - 1,34 0,9 0,08 47f 0,- 2,13 0,4 15 0,0,2 3,22 3 0,34 89 1,2 2000 10 0,1,4 2,25 3,25 3,20 5 2520 10 10 10 10 10 10 10 10. 0,3 0,76
TPS72xx - - -8 - - -- •5 • - - - ÿ • - p 3-10 todos 140 10c 0,0,4 2tt 0,18 300
REG101, 102 - - -85y 5 - - • 6 • d - - x - - REG103, 04 -5 -8y 5 - - - • 5 • d - - x - - • -
2.1-15 REG113 - - - 8 - 5 - - - 5 - 1,8-10 ADP3303 - - - 8 - - - - - 5 • • - - x - - • 3,2-12 2,7-5,0 • 13y -
• d - - MIC5205, 07 - - - - - 5 - - - - - 2,5-16 1,24-15 MIC5219 - 8 • 8 - 6 - 11 • d 2,5-16 MIC5205 MIC5219 - 8 • 7 q8 - 6 • 11 • d -
2,5-12 1,24-12

LP38691, 93 - 3a --4a - -6 •4 z - - - ÿ q - - 2,7-10 1,8-5
LT3021 - - - 8 - - - 16 • 3 • - - - • - - 0,9-10 0,2-9,5 0,5
ADP3334 - - - 8 - - - 8 • - • - - - x • - - 2,6-11 1,5-10 0,5 todos 200 1 todos
ADP3335, 6D - - - 8 - - - 8 • 5 • v2 - - x - - - 2.6-12 ADP7102, 04 - - - 8 - - - 8 • 7 • - • • • • • - • 3.3-20 1,5-10 0,5 400t 1 3,3 150 1
1.22- 20 0,3, 0,5 0,8
TPS73xx - - 88 - - -- •5 • - - -x •- r 2,5-10 - - - 7-26o LP3878 --- 8P - - -8 •- • • - - ÿ • - - 2,5-16 1.2-9.8 0,5
LM2937 3 3 - - 3 - - - - 5 - - - - TPS775xx -78xx - 5-15 0,5
- -8 - - -- •6 • - - - ÿ v - r,p 2.7-10 TPS767, 68xx - - -8 - - -- •8 • - - - ÿ v - r,p 2.7- 10 - - - 1,0-5,5 0,8 1 0,18 18f 1.44
7-26o LM2940 3 3 16 - - - - 8 - 6 - - - - TPS73801 - - - - 5 - - - • - • - - - - • v - - 2,2-20 • - - 1,8-20 1,2-5,5 0,5, 0,75 2tt 0,085 53e1 todos os 100t 10 0,05,1,5 2,44 2tt 0,085 55e1 todos os 100t
1,2-5,5 1,0 10 0,05,1,5 2,77
5-15 1,0 3 10 150 1,0 5 2000 22 0,1,1 1,71 230 10 0,0,3 2,34
1,2-20 1,0 1,5 45 1,2 0,5 40 0,4 1,0 600 10 0,3 2,77 150 0,4 61 todos 140 10 0,3 3,12
LT1965 55 - 8 - - -8 • 4 • - - - 1,2-19 1,1 1,5 35 1,0 40 1,0 40 0,4 todos 240 10 0,0,2 3,3,57 todos 600 10 0,005,3 40,40 0,97
UCC381 - - - 8 - - - - • 2 • - v • • • - - 3-9 • 4 • - - - - • • - - 2.2-20 1,2-8 1,0 1,5 - -
TPS7A45xx - 5 - - 5 - - - 1,2-20 • 1,5 1
LT1963AE 5 5 - 8 3 - - - • 4 • - - - - - 1,9-20 1,21-20 • - - 2,7-20 1,5 1,5
LT1764A 33 - 16P - - - - • 4 • - - - 1,2-20 1,2-8 3 1,5
UCC383 3,5 5 - - - - - - • 2 • - v • • v - - 3-9 3 1,5 - -

Pacotes

QI

Vin mín-máx (V) | Vout (V) | fora (UMA) | tipo de acesso 25C Iout=0 tip (ÿF) (ÿ) | Linha Vin Vout ESR Pricen @Vout max min min,max qty 25 (%) (mA) (ÿVrms) (V) (ppm/V) ($US)

Parte # n

Baixa Tensão (ÿ8V)

ADP121 - - - - - 5 - 4 ADP150 - - - - - 5 - • 8 • - - • xv - - 2,3-5,5 1,2-3,3 0,15 1 0,01 52 2,5 300 0,7 0,1 0,87u

4 ADP130F - - - - -5-- -5 • - - • x - • - - 8 • - - • x - - - 2,2-5,5 1,8-3,3 0,15 1 0,01 9 2,5 500 1 0,1 0,80

1,2-3,6 0,8-2,5 0,35 1 0,025 61 1,5 2,5 1000 1 todos 0,1 0,85

LTC1844 - - - - - 5 - - • 5 - • - - • - - - 1,6-6,5 1,25-6 MAX8510 -- ----- 5,8 • 10 • d - 0,15 0,035 65f 0,04 11f 2000 1 10t 1c 0,0,3 1,45k 0,0,3

- x - - - 2-6 1,45-6 0,8-5 0,8-5 2,5 -5 2,5-3,5 0,12 45 2,5 500 0,7 0,1 1 0,045 45 2,5 500 0,7 0,1 1,14 1,38 0,85 0,045 todos

ADP122,23 - - - - - 5 - 6 • 10 • - - • xv - - 2,3-5,5 • 8 • - - • xz - - 2,3-5,5 0,3 0,88k todos 1500 1c 0,09 30f todos 500 1c 0,0,3 0,39k 21f 2,5 0,89 1000 todos 1200 1c

ADP124,25 - - - 8 - - - 8 - 8 • • - - - - - 2,5-6,5 - 12 • • - - ÿ - - - 2,7-6 0,5 0,01,1 1,15 0,33

MAX8867-68 - - - - - 5 - - 0,15

MIC5255 - - - - - 5 - - 0,15 1

TPS731xx - - - - -5-- •9 • d - - • v - - 1,7-5,5 1.2-5 0,15 0,5 0,4 - 1.08

TPS791,2,3xx ----- 5,6 -- •5y •-• ÿ v - - 2,7-5,5 1,2-5,2 0,1, 0,2 2tt 0,17 16f 2,5tt 0,07 10f 1,8 1000 1 0,1 2tt 0,17 33f, e1 todos 500 2,2c 0,01,1 0,65 - 3000

NCP700B - - - - - 5 - 6 - 4 • • - - x - - - 2,6-5,5 1,8-3,3 TPS730xx ----- 5,6 -- •7 • • - • ÿ - - - 2,7-5,5 1,2 -5,5 0,2 2,2c 0,0,3 0,98 21f 2,5 100t 0 1,41 todos 1200 1c 0,01,1

1,8-3,3 0,2 1,88 18f,e1 todos 140 10c 0,0,2 1,26 30t 3 , 7c 3,83 33c 10,83, 7c

MIC5249 - - - 8 - - - - - 6 • • - - x - - • 2,7-6 TPS732, 36xx - - - - 5 5 0,3 1 0,085 - 0,4 10,2 1,64 0,01,1 2,44 150 1,8 100t 10

- 8 • 8 • d - - • v - - 2,2-5,5 1,2-5,5 0,25, 0,4 0,5 TPS79,2-55xx -0,25 - 0,5 - 3tt 0,17 33f - ÿ v - - 2,7-5,5 0,01,4 2,25 todos 400t 1 2,30 -

LP3879 --- 8P - - -8 -2 • • - - ÿ • - - 2,5-6 LP3961, 64 55 - - 3- -- •4 • - - - ÿ z - z 2,5-7 1,0-1,2 0,8 1 0,2

TPS725xx -5 -85 - -- •4 • - - • ÿ v - r 1,8-6 1,2-5,5 TPS726xx - 5 - - 5- -8 -5 • - - • ÿ - - p 1,8-6 1,2-5,5 0,8 1,5 3 150 todos

1,2-2,5 TPS737xxG - - - - 5 - - 8 • 3 • d - - • v - - 2,2-5,5 1,2-5,5 TPS796xx - 5 - - 5- -8 •7 • d - • ÿ v - - 2,7-5,5 1,0 2tt 0,075 - 2tt 0,075 - 1 0,4 - 1500 0c - 1500 -

1,2-5,5 1,0 68 2,5 100 1 2tt 0,27 41f,e10c -

1,0 todos 1200 1

1,0

LP3891, 92 55 - 8P - - - - - 3 • - - - x - • - 1,3-5,5 1,2-1,8 0,8, 1,5 1,5 ADP3338, 39 - - - - 3 - - - - 7 - - - - x - - - 2,7-8 1, 1,5 0,8 0,11 4

95 LP3871 - 76 55 - - 5- -- -4 • - - - ÿ z - z 2,5-7 1,22-5,5 0,83 1,5 LP38853, 2,3 58P 8P - - - - - 3 • • - • x 1,5 - 5 1,3-5,5 1,2-1,8 0,-

5 150 2,5 40t 10c 0,1,4 2,23 150 todos 100t 4,7c

4 0,01,4 4,23 1,77

• - • • • • • - 3,0-5,5 0,8-1,8 0,8,1,5,3 1,5 10 150 0,7 400 10 0,- 150 2,5 35t 10c 0,1,5 3,86 LP3855 55 - - 5- -- •- • - - - ÿ • - -

0,01,0,5 4,69 1,2-5,5 2 0,03 24f todos 3000 10c 0 ,- 1,8-6 10 150 todos 1000t 10c 3 0,- 5 41c 3 0,- 5 41c 2. 0,2,5 4,40 4 40e1 1,5 1,5 3 2,5 500 0 2 0,24 58 1,22 5,5 35 0,26 0,25 85e3 1,60 10c 47c todos 1000 1 1000

TPS786xx -5 - - 5- -- •5 • d- • ÿ v - - 2,7-6 • • • - - - - • 0,7-5 1,5 0,2,10 6,27 2tt 0,275 - - 600 22c 0,3,5 **1,14**

XRP6272 -5- 8P - - - - • 1 2 1.19

LP38855 - 59 5 5 - - - - - - • - z - z • • - • - 3,0-5,5 0,8-1,2 - 4 • - - - ÿ z - z 2,5-7 • - • • ÿ 1,5, 3 1

LP3853, 56 5 5 - - - - - - v • - 0,9-5,5 0,8-3,6 TPS755 -59xx 55 - - - - - -- •4 • - - ÿ v - 1,5-5 3 3 1,5

TPS744xx - 7 - - - - - 25 • - d,z 2,8-6 **TLE4275** 55 - 14P ---- • 4 • - - - v - • 6-42 1tt

Negative LDOs MAX664 - - 8 8 - - - -

1.2-5 5

• 1 • - - - x • - - 2-16 1.3-16 0,05 5tt 0,006 - 2,78 1,5 0,03 30f - Todos os 3000 1 0,3 2,85 1,5 0,055 3500 0

LT1964 - - - - - 5 - 8 • 1 • - - 2,8-20 1,22-20 x - - 2,5-6,5 1,25-5,5 • 1 1,2-10 • - • - 3,25 1,18-33 • 3 • x • 0,2 18f 60 2,2C 0, - 3,89 1 0,085 todos 4 7000 2,5 1000 1,5 60 0,16 3,78 0,0E3 10E2 1,59 1,20 2,5

TPS7A3001 --- 8P - - - - - - 4-20 3,8-18 • 2 • - - - xd - - 3,2-15 1,25-15 0,2 200E2 5 200 4,7 1,5 0,- 4,82 16f 1.2 60 100 0 - 1,5 0,21 4,95 2,57 5 200 3 400 1 0,025,10 1,88 250

MAX1735 - - - - - 5 - - 0,2 5 2000 10 0,025,10 1,88 1 Todos os 800 10 0,5 4,81 4,81 1,4 100 2 0,1,2 4,40

TPS723xx - - - - - 5 - - • d - - xd - - 2,7-10 0,2 0,13 60

LT1175 5 5 8 8 3 - - - 0,5

UCC384 - - - 8 - - - - 0,5

TPS7A3301 7 - - - - - - 20 • - • • • - x - - - 3-35 • - • - - - x • - - 3-25 - 4 - - - - x - - - 6-25 • 6 • - - - 1,2-33 1 1

LM2991 5 5 - - - - - - • - - - - - x - - - 4-30 3-24 1

LM2990 3 3 16 - - - - - 5-15 1,5

LT3015 5 5 - 12 - - - 8 • - - 1,8-30 1,22-29 2,5-25 3 1,1 60 2,5

LT1185 5 5 - - - - - - -

Notas: (a) Os reguladores "Low Dropout" (LDO) normalmente caem <100mV, exceto nas correntes mais altas; classificado aproximadamente por QI ascendente e capacidade de saída , com algum agrupamento familiar; as versões ADJ de algumas peças têm menos precisão do que as versões fixas (que podem ser cortadas a laser). (b) 10Hz-100kHz, sem limite de redução de ruído, salvo indicação em contrário. (c) capacitores de entrada e outros também são necessários. (d) apenas versões de tensão fixa. (e1) 100Hz-100kHz ou 200Hz-100kHz. (e2) 10Hz-10kHz. (e3) 300Hz-50kHz. (e4) 10Hz-1MHz. (f) com tampa da NR. (f2) se o pino ADJ for ignorado, capacitores de saída maiores são necessários, consulte a folha de dados. (g) diferencial de entrada-saída. (h) corrente de carga mínima. (k) quantidade 1k ou mais. (m) mín ou máx. (n) **negrito e itálico** indica uma "jujuba" barata. (nV) nV/ÿHz, com tampa de filtro de 10nF. (o) "load-dump": suporta transientes de tensão de entrada (ou entradas contínuas) até 60V (ou 40V para algumas partes), e não passa o pico para a saída; frequentemente associado a peças "automotivas". (p) poder bom. (q) apenas alguns pacotes. (r) saída de reinicialização atrasada para ÿC. (recomendado). (s) controle de rotação. (t) típico. (ti) algumas das peças da TI possuem uma EEPROM interna, permitindo uma rápida programação personalizada de tensão de fábrica. (tt) acima da faixa de temperatura operacional. (u) unidade qtd. (v) versão ajustável apenas. (v2) tampa do filtro através do resistor de realimentação. (w) ADJ e filtro disponível em pacote de 8 pinos. (x) tensão de entrada invertida com excesso de fluxo de corrente pode danificar a peça, um diodo Schottky é recomendado; embora não marcadas com "ÿ", essas partes podem ter uma função de diodo reverso. (y) verifique a folha de dados. (z) escolher entre duas versões. **ÿ** = conduções do diodo traseiro de entrada-saída, limite de corrente; além disso, a alimentação reversa não é permitida, consulte a nota x. = protegido contra entrada de polaridade reversa.

Comentários: **A:** corrente programada; queda de controle V máx. 1,6 V; Carga mínima de 1mA. **B:** 100V para versão -HV. **C:** Sufixo -C para tolerância mais frouxa e tempco, etc. **D:** ADP7104 sugeriu alternativa. **E:** veja também TL1963A da TI, US$ 2,65. **F:** entradas de controle e transistor de passagem. **G:** bomba de carga interna.

B. Polaridade e desvio Como mencionamos anteriormente, as versões negativas dos reguladores positivos comuns têm uma topologia de saída diferente (um estágio de emissor comum *npn)* e requerem capacitores de desvio maiores para evitar oscilações. Sempre "siga o livro" (a folha de dados, isto é) – não assuma que você sabe mais. Além disso, tenha cuidado para conectar os capacitores de bypass com a polaridade correta (veja a seguir).

C. Proteção contra inversão de polaridade Um cuidado adicional com fontes duplas (reguladas ou não): quase todos os circuitos eletrônicos serão danificados extensivamente se as tensões de alimentação forem invertidas. A única maneira de isso acontecer com uma única fonte é se você conectar os fios ao contrário; às vezes você vê um retificador de alta corrente conectado ao circuito na direção reversa para proteger contra esse erro. Com circuitos que usam várias tensões de alimentação (uma alimentação dividida, por exemplo), podem ocorrer danos extensos se houver uma falha de componente que cause curto-circuito entre as duas alimentações; uma situação comum é um curto-circuito coletor-emissor em um transistor de um par push-pull operando entre as fontes. Nesse caso, os dois suprimentos ficam amarrados e um dos reguladores vencerá. A tensão de alimentação oposta é então invertida em polaridade e o circuito começa a soltar fumaça. Mesmo na ausência de uma condição de falha como essa, cargas assimétricas podem causar uma inversão de polaridade quando a energia é desligada. Por essas razões, é aconselhável conectar um retificador de potência (de preferência Schottky) na direção inversa de cada saída regulada para o terra, conforme desenhamos na Figura 9.8.

Alguns ICs reguladores são projetados para bloquear qualquer fluxo de corrente se a tensão de entrada for menor que a saída; eles são marcados com um símbolo de ponto (•) na coluna "bloco reverso" na Tabela 9.3. Outros ICs reguladores vão além e também bloqueiam o fluxo de corrente para polaridade de *entrada* invertida ; estes são marcados com um símbolo quadrado ().

D. Corrente do pino terra
Uma idiossincrasia particular dos reguladores bipolares de baixa queda com estágios de saída *pnp* (Figura 9.20) é o aumento acentuado na corrente do pino terra quando o regulador está próximo da queda. Nesse ponto, o estágio de saída está próximo da saturação, com beta bastante reduzido e, portanto, requer uma corrente de base de afundamento substancial. Isso é particularmente perceptível quando o regulador está levemente carregado ou descarregado, quando, de outra forma, teria apenas um pequeno pino de aterramento ou corrente quiescente. Como exemplo, o LT1764A-3.3 bipolar (3,3 V LDO fixo), conduzindo uma carga de 100 mA, tem uma corrente de pino de aterramento normal de cerca de 5 mA, subindo para aproximadamente 50 mA no dropout. A corrente quiescente sem carga mostra ser semelhante comportamento, aumentando para ÿ30 mA de seu normal ÿ1 mA.[23] Os fabricantes raramente anunciam esse "recurso" na primeira página de suas folhas de dados, mas você pode encontrá-lo dentro, se olhar. É de particular importância em dispositivos operados por bateria. *Um cuidado:* as correntes quiescentes do pino terra listadas na coluna IQ da Tabela 9.3 são para uma carga leve e com a tensão de entrada acima do dropout.

E. Tensão de entrada máxima A Tabela 9.3 lista a tensão de entrada máxima especificada para mais de cem reguladores lineares LDO. Os reguladores CMOS são boas opções para projetos de baixa tensão e vêm em uma variedade impressionante de tensões fixas (e, é claro, versões ajustáveis): por exemplo, a série TPS7xxxx da Texas Instruments inclui uma dúzia de tipos, cada um dos quais vem em uma escolha de saídas de 1,2, 1,5, 1,8, 2,5, 3,0, 3,3 ou 5,0 volts. Mas tenha cuidado, porque muitos desses reguladores CMOS têm uma tensão de entrada máxima especificada de apenas +5,5 V.[24] Alguns reguladores CMOS, no entanto, aceitam entrada de até +10 V; para tensão de entrada mais alta, você deve usar reguladores bipolares, por exemplo, o LT1764A ou LT3012, com faixas de tensão de entrada de +2,7–20 V e

23 A corrente de terra adicional induzida pela carga normalmente seria Iload/ ÿ conduzindo a base do transistor de passagem *pnp ,* mas durante o dropout, o loop de realimentação sempre zeloso fornece uma unidade de base apropriada para a classificação máxima de corrente de carga do LDO. Alguns projetos limitam cuidadosamente essa corrente de acionamento, enquanto outros detectam a condição de saturação e limitam a corrente de acordo. Você deve prestar muita atenção a esse comportamento de LDOs candidatos ao projetar dispositivos operados por bateria, se quiser maximizar o tempo operacional restante depois que a tensão da bateria cair abaixo dos critérios de entrada do LDO. Alternativamente, você pode querer selecionar um LDO que use um transistor de passagem MOSFET de canal p e não exiba corrente de aterramento aumentada em cargas altas ou durante queda. Por exemplo, um regulador de 5 V como o LT3008-5 funciona a 3 ÿA, mas isso sobe para 30 ÿA se a bateria cair abaixo de 5 V. Porém, um TLV70450 (com transistor de passagem pMOS interno) não sofre nenhum aumento, continuando a consumir 3 ÿA nas mesmas condições.

24 CIs reguladores contemporâneos, com suas características em escala nanométrica são mais suscetíveis a transientes de sobretensão e similares, em comparação com peças legadas robustas com seus transistores bipolares relativamente grandes.

Vimos experiências dolorosas, por exemplo, quando uma pequena PCB cuidadosamente projetada e testada, cheia até a borda com peças minúsculas, sofre falhas inexplicáveis no campo ou nos locais de teste do cliente. Às vezes, isso ocorre devido a transientes de entrada fornecidos pelo usuário não controlados (e indiscutivelmente impróprios). Adicionar um supressor de tensão transiente (consulte o Capítulo *9x)* na entrada é uma precaução sábia para CIs reguladores alimentados por uma fonte CC fora do cartão. ICs de baixa tensão (como aqueles com classificações máximas absolutas de 6 V ou 7 V) são melhor alimentados por um 5 V regulado no cartão, etc., em vez de fontes externas de energia. (Uma exceção pode ser feita para uma célula de íons de lítio de 3,7 V.) Tenha muito cuidado!

4–80 V, respectivamente. Consulte §9.13.2 para uma maneira interessante de estender a faixa de tensão de entrada até +1 kV!

F. Estabilidade

LDO Vale a pena repetir que os reguladores de baixo abandono podem ser bastante exigentes quanto ao desvio (consulte os comentários em §9.3.7) e que existem grandes diferenças entre os diferentes tipos. Por exemplo, o LDO Selection Guide da Texas Instruments inclui uma coluna Cout , cujas entradas variam de "No Cap" a "100 F tântalo". Os sintomas ÿ de instabilidade podem se manifestar como. Este último sintoma confundiu um de nossos alunos, que substituiu um LP2950 (5 V LDO fixo) várias vezes antes de o verdadeiro culpado ser identificado: ele usou um capacitor de desvio de cerâmica F, que é menor que o mínimo de 1 F especificado de 0,1 *§1x.3)* ÿ e também baixa, uma resistência em série equivalente (ESR) da folha de dados; oscilação e *sobretensão de saída* descrita na seção Dicas de aplicação ÿ ou 25 Um sintoma mais sério de um circuito com um LM2940 LDO (+5 V, 1 A) que foi desviado em erro com 0,22 F (em vez de 22 F); sua oscilação interna fez com que a saída CC medida fosse para 7,5 V!

ÿ

ÿ

A Tabela 9.3 tem duas colunas para auxiliar na seleção de uma peça, Cout (min) e ESR (min,max). Mas esses números devem ser considerados um guia aproximado e não capturam tudo o que você precisa saber para garantir a operação adequada. Você encontrará mais orientações (por exemplo, contornos de operação estável versus capacitância, ESR e corrente de carga; veja, por exemplo, a Figura 9.27) na seção de gráficos e aplicações da folha de dados – estude-a cuidadosamente!

G. Resposta transitória

Como os reguladores de tensão devem ser estáveis em qualquer carga capacitiva (a soma de toda a capacitância de desvio a jusante, geralmente muitos ÿ F), sua largura de banda de "compensação" de malha é limitada (a mesma do amplificador operacional), com banda de loop típica larguras na faixa de dezenas a centenas de kilohertz. Então você confia no(s) capacitor(es) de saída para manter baixa impedância

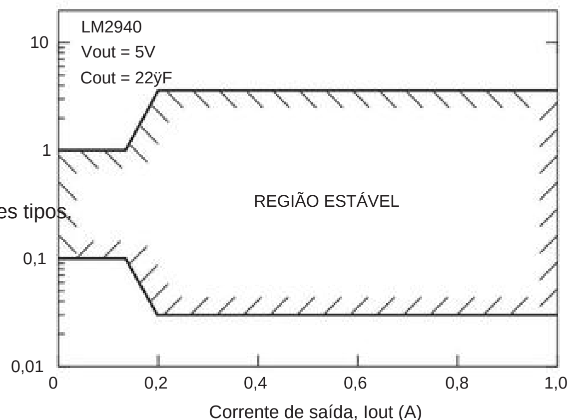


Figura 9.27. Os reguladores lineares de baixa queda podem definir requisitos bastante complicados para o ESR do capacitor de saída, como visto para o LM2940; muitas vezes você tem que obedecer limites mínimos e máximos – cuidado!

em frequências mais altas. Ou, para dizer de outra forma, o(s) capacitor(es) de saída são responsáveis por manter a tensão de saída constante no curto prazo, em resposta a uma mudança de degrau na corrente de carga, até que o regulador responda no longo prazo. É particularmente importante incluir capacitores de baixa ESR (e indutância série equivalente, ESL) na mistura quando se tem cargas de baixa tensão com mudanças abruptas de corrente, como, por exemplo, com microprocessadores (que podem gerar passos de muitos amperes).

Montamos um regulador LDO de 1 V 6 A, usando o chip de controle Micrel MIC5191, e medimos a resposta de saída quando fizemos passos de carga abruptos entre 2 A e 4 A e entre 1 A e 5 A. resposta consciente com duas configurações de protótipo: (a) em um protoboard soldável, usando principalmente componentes through-hole; e (b) em uma placa de circuito impresso cuidadosamente disposta[26] , usando principalmente componentes de montagem em superfície e com bastante capacitância adicional tanto na entrada quanto na saída.[27] As Figuras 9.28–9.31 mostram as respostas de degrau medidas. O uso de muitos capacitores de tecnologia de montagem em superfície (SMT) de baixa indutância e baixa resistência (e baixa indutância)

[25] Nestas palavras: "Os capacitores de cerâmica cujo valor é maior que 1000 pF não devem ser conectados diretamente da saída do LP2951 ao terra. Os capacitores de cerâmica normalmente têm valores de ESR na faixa de 5 a 10 mÿ, um valor abaixo do limite inferior para operação estável (consulte a curva Faixa de ESR do capacitor de saída). A razão para o limite inferior do ESR é que a compensação de loop da parte depende do ESR do capacitor de saída para fornecer o zero que fornece o avanço de fase adicionado. A ESR dos capacitores cerâmicos é tão baixa que este avanço de fase não ocorre, reduzindo significativamente a margem de fase. Um capacitor de saída de cerâmica pode ser usado se uma resistência em série for adicionada (valor recomendado de resistência de cerca de 0,1 ÿ a 2 ÿ).

[26] Habilmente feito por nosso aluno Curtis Mead.

[27] Especificamente, para a configuração do orifício, usamos ÿ F radial um tântalo 10 e dois 0,1 ÿ Capacitores de derivação de cerâmica F na entrada e 47 ÿ um SMT de cerâmica F (X5R) mais outro tântalo radial de 10 ÿ F na saída. Para a configuração de montagem em superfície, usamos um capacitor de polímero de alumínio 560 ÿ F radial, um capacitor de polímero de tântalo 100 F SMT e dois capacitores SMT de cerâmica de 22 ÿ F (X5R, 0805) na entrada e saída, além de mais dois capacitores de cerâmica de 10 F (X5R, 0805) Capacitores ÿ SMT na saída.

ÿ

power e ground foils produzem uma melhoria impressionante: a queda transiente de saída de pico cai por um fator de 10 (de ÿ40 mV para ÿ4 mV para a amplitude de passo maior) e a saída se recupera em uma fração de um milivolt (comparado com uma queda de ~6 mV para a maior amplitude de passo).

Um tipo diferente de problema de resposta a transientes diz respeito aos transientes de tensão de entrada e à quantidade de picos de passagem para a saída regulada. Isso é diferente da coluna "Regulação, linha" na Tabela 9.3, que lista a rejeição CC (ou baixa frequência) de variações de entrada. Os pacitores ca de entrada são um tanto úteis na redução dos efeitos transitórios de entrada, mas os capacitores de saída maiores, especialmente com ESR baixo, são uma defesa melhor. Um caso especial é o chamado "despejo de carga" automotivo, um pico de entrada rápido causado, por exemplo, pela desconexão acidental da bateria do carro (devido a uma conexão frouxa, corrosão ou erro humano) durante o carregamento por o alternador. Isso pode fazer com que o barramento de alimentação normal de 13,8 V atinja amplitudes de 50 V ou mais, causando um pico na saída de um regulador. Pior ainda, pode destruir o CI excedendo sua tensão de entrada máxima especificada (a coluna "Vin max" da Tabela 9.3). As peças especificamente projetadas para lidar com descargas de carga são marcadas com uma nota "o" na entrada Vin correspondente .

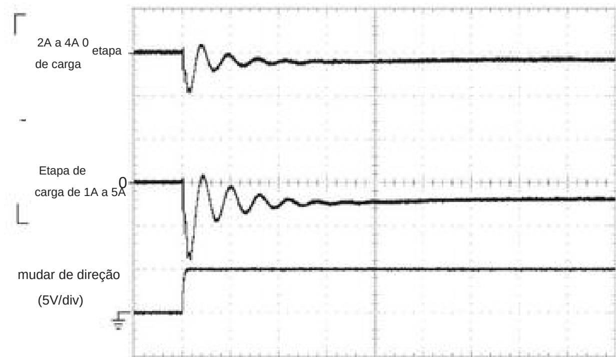


Figura 9.28. Resposta da tensão de saída a um aumento degrau na corrente de carga: regulador LDO de 1 V 6 A, com placa de ensaio principalmente com componentes de passagem. Horizontal: 4 ÿ s/div.

H. Ruído

Os reguladores lineares variam consideravelmente no nível de ruído de saída (ou seja, espectro de flutuações de tensão de saída). Em muitas situações, isso pode não ser importante, por exemplo, em um sistema digital, onde o próprio circuito é inerentemente ruidoso.[28] Mas para eletrônica analógica de baixo nível ou precisão, onde ruído é importante, existem reguladores com especificações de ruído superiores, por exemplo o LT1764/1963 (40 ÿ Vrms,

[28] Em tais sistemas, o ruído adicional de um regulador de comutação (§9.6) é geralmente irrelevante e, portanto, os conversores de comutação são quase universalmente usados para alimentar circuitos digitais. Eles são particularmente adequados, devido devido ao seu pequeno tamanho e alta eficiência, especialmente para as baixas tensões de alimentação CC (ÿ1,0–3,3 V) usadas na lógica digital.

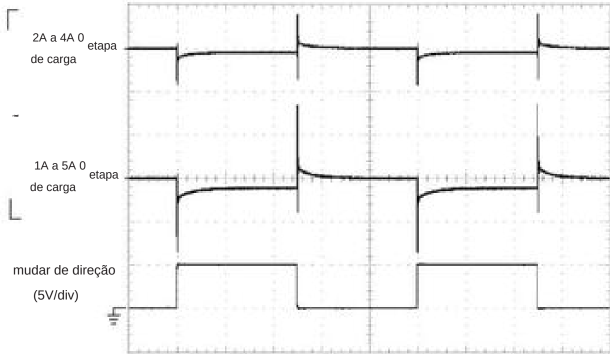


Figura 9.29. Igual à Figura 9.28, com o osciloscópio desacelerado para 400 ÿ s/div para mostrar o ciclo de carga total.

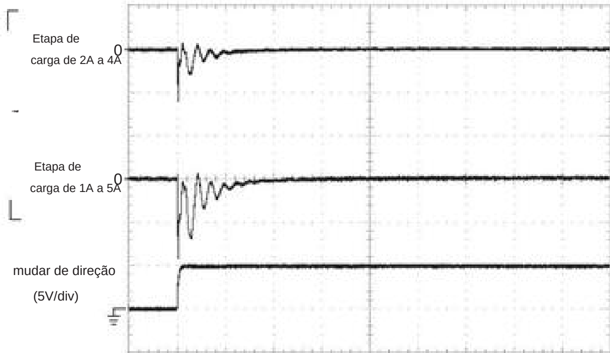


Figura 9.30. Igual à Figura 9.28, mas construído em uma placa de circuito impresso usando capacitores de montagem em superfície. Observe a escala vertical expandida.

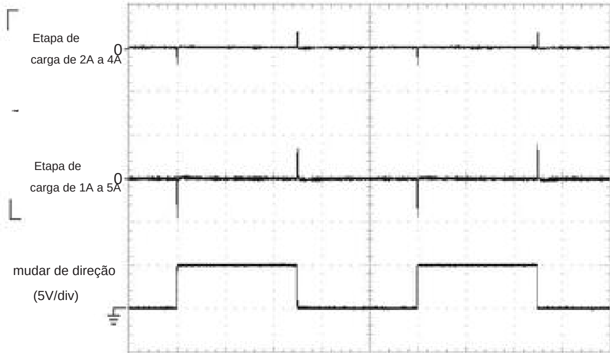


Figura 9.31. Igual à Figura 9.30, com o escopo reduzido para s/div para mostrar o ÿ ciclo de carga completo. 400

10 Hz–100 kHz) ou o ADP7102/04 (15 Vrms). ÿ Além disso, alguns reguladores fornecem acesso à referência de tensão interna, de modo que um capacitor de filtro externo pode ser adicionado para suprimir tudo, exceto a extremidade de baixa frequência do espectro de ruído, por exemplo, o regulador negativo ÿ LT1964 (30 Vrms com 10 nF capacitor); ver §9.3.13.

Como os fabricantes especificam as características de ruído de maneira diferente (largura de banda, rms versus pico a pico, etc.), pode ser difícil comparar as peças candidatas. Fizemos uma tentativa nas colunas *Vn@Vout* da Tabela 9.3, mas certifique-se de consultar as notas de rodapé (e depois as folhas de dados).

I. Proteção de desligamento

Alguns tipos de reguladores podem ser danificados se observarem uma grande capacitância em sua saída e a tensão de entrada for trazida abruptamente a zero (por exemplo, por um pé de cabra ou um curto-circuito acidental). Nessa situação, a capacitância de saída carregada pode gerar uma corrente destrutiva de volta ao terminal de saída do regulador. A Figura 9.32 mostra como evitar tais danos, neste caso com o popular LM317. Embora muitos engenheiros não se preocupem com essa sutileza, ela é a marca de um projetista de circuitos cuidadoso. Um risco semelhante existe quando um capacitor de bypass externo é usado para filtrar o ruído de tensão da referência do regulador; ver §9.3.13.29

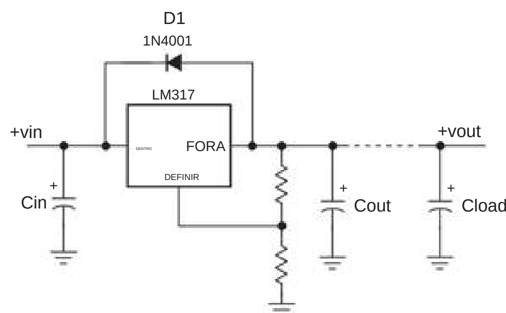


Figura 9.32. O diodo D1 protege o regulador se a entrada for aterrada repentinamente.

9.3.13 Filtragem de ruído e ondulação

O ruído de saída de um regulador linear é causado pelo ruído na referência, multiplicado pela relação *Vout/ Vref,* combinado com o ruído no amplificador de erro e com o ruído e ondulação no terminal de entrada que não é completamente suprimida pelo feedback.30 Alguns reguladores permitem adicionar um capacitor externo para filtragem passa-baixa da referência de tensão interna e, portanto, da saída CC. A Figura 9.33 mostra vários exemplos. Na Figura 9.33A, o pino ADJ do regulador ajustável de 3 terminais estilo LM317 é desviado para o terra; isso proporciona uma melhoria significativa do ruído, evitando a multiplicação da tensão de ruído de referência pelo fator 1 + R2/R1 (a relação entre a tensão de saída e a tensão de referência de 1,25 V). Também melhora a taxa de rejeição de ondulação de entrada, de 65 dB para 80 dB (típico), de acordo com o datasheet. Observe o diodo de proteção adicional D2, necessário se o ruído pelo capacitor de passagem C1 for maior que ÿ10 F. A filtragem de ruído nas Figuras 9.33B e C é mais eficaz, porque filtra diretamente a tensão de referência. Na Figura 9.33B, o pino SET do LT3080, fornecendo uma corrente estável de 10 A, é convertido na tensão de saída por RSET, filtrado por *C1;* a saída do regulador é uma réplica de ganho unitário dessa tensão filtrada. Com C1 = 0,1 F, o ruído de referência é reduzido para o do amplificador de erro, ÿ produzindo um ruído de saída de aproximadamente 40 Vrms (10 Hz–100 kHz).

ÿ

ÿ

Observe que o capacitor de filtragem de ruído retarda a inicialização do regulador: um capacitor de 0,1 F em um circuito de saída de 10 V ÿ (RSET=1 M) tem uma constante de tempo de inicialização RSETC1 de 100 ms.

Finalmente, a Figura 9.33C mostra um regulador CMOS de baixa queda com um pino de redução de ruído (NR) dedicado , para filtrar diretamente a tensão de referência apresentada ao amplificador de erro. Com o capacitor recomendado de 0,1 F, a tensão de ruído ÿ de saída é aproximadamente 40 Vrms (100 Hz–100 kHz). Os reguladores com ÿ esse recurso são marcados na coluna "Filter pin" da Tabela 9.3.

Pré -filtragem Uma maneira eficaz de reduzir drasticamente a ondulação de saída na frequência da linha de força (e seus harmônicos) é pré-filtrar a *entrada* CC do regulador. Isso também é altamente eficaz na atenuação do ruído de banda larga que pode estar presente na entrada CC; e é mais fácil do que a alternativa de aumentar o ganho e a largura de banda do loop do regulador. Discutimos isso com algum detalhe em §8.15.1 ("Multiplicador de capacitância"), onde mostramos os efeitos medidos da pré-filtragem versus a abordagem de força bruta de acumular muita capacitância de saída (Figura 8.122).

Veja uma discussão mais aprofundada sobre ruído em §9.10, em conexão com referências de tensão.

29 Muitos ICs reguladores LDO incluem um diodo interno suficientemente resistente para lidar com a energia de descarga reversa em capacitores de carga modestos ÿ (por exemplo, ÿ10 F). Estes são marcados com um símbolo de triângulo () na coluna "bloco reverso" na Tabela 9.3. Outras partes não descarregam o capacitor de saída se a tensão de entrada for inferior à saída; esses ICs são marcados com um ponto (•) ou um quadrado (ÿ).

30 A Tabela 9.3 inclui uma coluna "Regulação de linha", mas observe que isso ocorre em CC e baixas frequências onde o ganho do loop é alto; não é necessariamente indicativo de rejeição de ruído de alimentação de alta frequência.

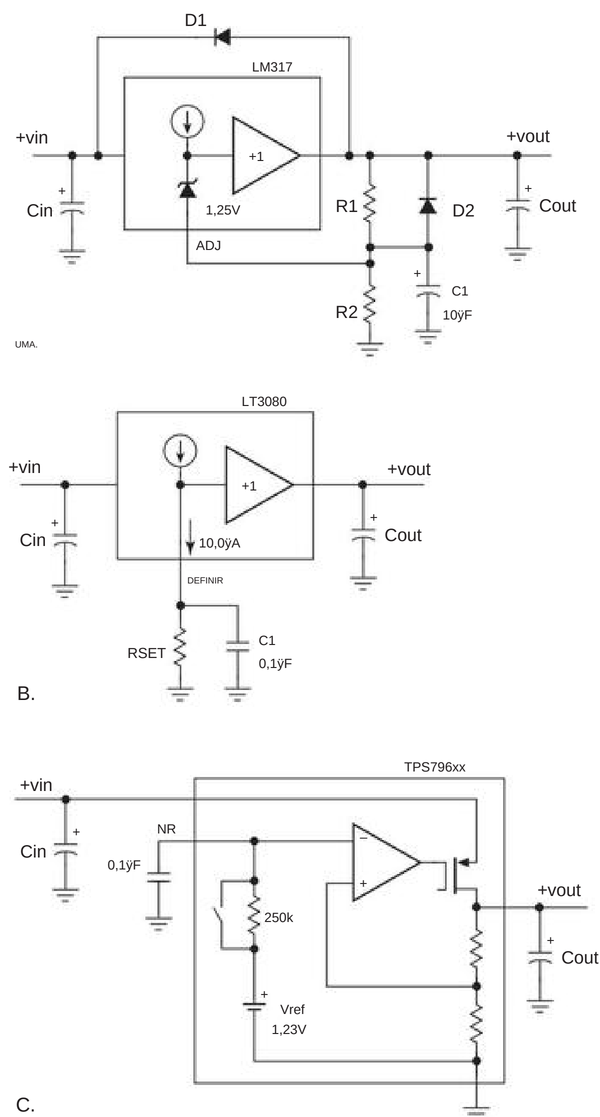


Figura 9.33. Reduzindo o ruído da tensão de saída (e melhorando a regulação da linha transitória) em reguladores lineares.

9.3.14 Fontes atuais

A. Reguladores de três terminais como fontes de corrente

Um regulador linear de 3 terminais pode ser usado para fazer uma fonte de corrente simples, colocando um resistor na tensão de saída regulada (portanto, corrente constante IR = Vreg/R) e flutuando todo coisa em cima de uma carga devolvida ao solo (Figura 9.34A). A fonte de corrente é imperfeita, no entanto, porque a corrente de operação do regulador Ireg (que sai do pino de aterramento) é combinada com a corrente do resistor bem controlada para produzir uma saída total corrente Iout = Vreg/R + Ireg. É uma fonte de corrente razoável, porém, para correntes de saída muito maiores do que a corrente de operação do regulador.

Originalmente, este circuito foi implementado com um 7805, que tem uma corrente operacional de aproximadamente 3 mA e adicionalmente tem a desvantagem de desperdiçar 5 V bastante grandes (a parte de menor tensão na série 78xx) para definir o

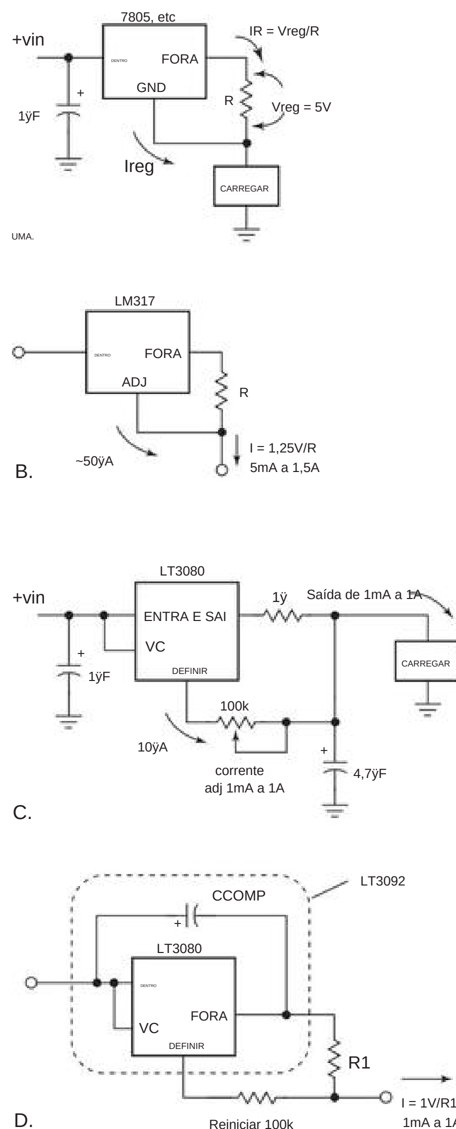


Figura 9.34. Reguladores de três terminais usados como fontes de corrente. Os capacitores de bypass e compensação podem ser eliminados nos circuitos C e D se o LT3080 for substituído por sua variante LT3092 compensada internamente (cuja corrente de saída é limitada a um máximo de 200 mA).

corrente de saída. Felizmente, com reguladores como o LM317, esse circuito (Figura 9.34B) fica mais atrativo: apenas 1,25 V é usado para ajustar a corrente; e a corrente de operação do regulador (ÿ5 mA) emerge do pino de *saída* e, portanto, é contabilizada com precisão na configuração Iout =Vref/R. O único termo de erro é a corrente do pino ADJ de aproximadamente ÿ que é 50 A, adicionada à corrente através de R: Iout = Vref/R + IADJ. Como a corrente de saída mínima de 5 mA é 100 vezes maior, isso é um pequeno erro mesmo na corrente de saída mínima, e menor ainda em correntes até o máximo do regulador de 1,5 A. Para este circuito, então, a faixa de corrente de saída é de 5 mA–1,5 A. Requer uma queda de tensão mínima de 1,25 V mais a tensão de queda do regulador, ou cerca de 3 V; a tensão máxima *entre os dois terminais* é limitada a 40 V ou (em correntes mais altas) à temperatura máxima de junção de 125ÿC (conforme determinado pela dissipação de energia e dissipação de calor), o que for menor.[31] Com o admirável LT3080- regulador de estilo

você pode fazer melhor ainda, porque sua referência de corrente de pino SET de 10 A permite ÿ que você defina a tensão no resistor ÿ de configuração de corrente para ser muito menor que 1,25 V de um regulador de referência de tensão estilo 317. Sua corrente operacional também é menor (<1 mA), e a corrente do pino SET (que é adicionada à corrente de saída) é estável e precisa de 10,0 A. A Figura 9.34C mostra como fazer uma fonte de corrente (1 terminal) à terra com um LT3080, e ÿ a Figura 9.34D mostra como fazer uma fonte de corrente "flutuante" de 2 terminais, análoga ao circuito de fonte de corrente LM317. Como no último, a queda de tensão é limitada a um máximo de 40 V (menos em correntes mais altas) na extremidade alta; sua queda mais baixa e baixa tensão de referência derivada de SET permitem a operação com queda de até ~1,5 V.

A série LT3092 é uma boa variante do LT3080, projetada especificamente para uso como uma fonte de corrente de 2 terminais. Utiliza a mesma corrente de referência de 10 A e opera ÿ de 1,2 V a 40 V de queda; sua compensação interna é configurada para não exigir *nenhum* bypass externo ou capacitores de compensação. Com base no gráfico da folha de dados da impedância de saída do LT3092, a capacitância paralela efetiva do dispositivo é de aproximadamente 100 pF a 1 mA, 800 pF a 10 mA e 6 nF a 100 mA.

A Figura 9.35 mostra, em escala bastante expandida, as correntes de saída medidas de um LT3092 e um LM317, configurados como fontes de corrente de 10 mA. Em nossas medições, o último faz um trabalho melhor em manter o curso constante aluguel (versus tensão através dele), mas o LT3092 entra em ação com uma tensão mais baixa.

Observe que as fontes de corrente nas Figuras 9.34B e D são dispositivos de 2 terminais. Assim, a carga pode ser conectada em ambos os lados. Por exemplo, você poderia usar tal circuito para *drenar* a corrente de uma carga retornada ao solo, conectando a carga entre o solo e a entrada e conectando a "saída" a uma tensão negativa (claro, você sempre pode usar o negativo-polaridade 337, em configuração análoga à da Figura 9.34A.).

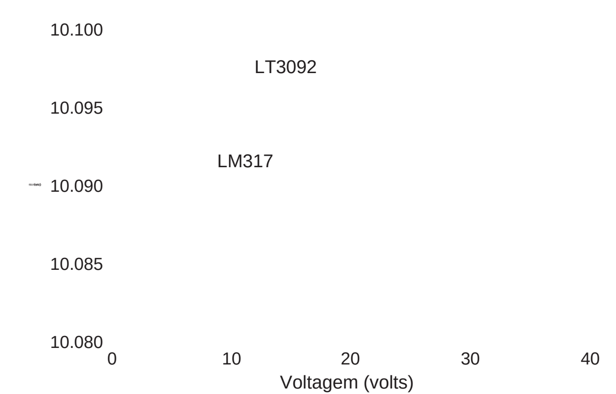


Figura 9.35. Corrente medida versus queda de tensão para as fontes de corrente das Figuras 9.34B e D, configuradas como fontes de corrente de 2 terminais de 10 mA. Para o LM317, R1=124 ÿ; para o LT3092, R1=20 ÿ e RSET=20k.

B. Correntes mais baixas As fontes de corrente derivadas do regulador acima são mais adequadas para correntes de saída substanciais. Para correntes mais baixas ou para tensões mais altas, existem algumas boas alternativas.

LM334

Vale a pena conhecer o LM334 (originado pela National Semiconductor), otimizado para uso como fonte de corrente de 2 terminais de baixa potência (Figura 9.36A). Ele vem em pequenos pacotes IC (SOIC) e TO-92 (transistor) e custa cerca de US$ 1 em pequenas quantidades. Você pode usá-lo até 1 A porque a corrente ADJ é uma pequena fração da corrente total, e opera em uma faixa ÿ de tensão de 1 a 40 V. No entanto, tem uma peculiaridade: a corrente de saída depende da temperatura – na verdade, é precisamente proporcional à temperatura absoluta (PTAT). Portanto, embora não seja a fonte de corrente mais estável do mundo, você pode usá-la como um sensor de temperatura! À temperatura ambiente (20ÿC, ~293K) seu tempco é de cerca de +0,34%/ÿC.[32]

[31] Embora não tenhamos passado por isso, fomos informados de possíveis problemas com fontes de corrente baseadas no LM317, como longos tempos de ativação, retenção de tensão e baixa conformidade de tensão acima de alguns kilohertz. É sempre aconselhável testar totalmente o desempenho do circuito (especialmente, uh, circuitos *criativos*).

[32] Veja também a discussão em *§2x.3.*

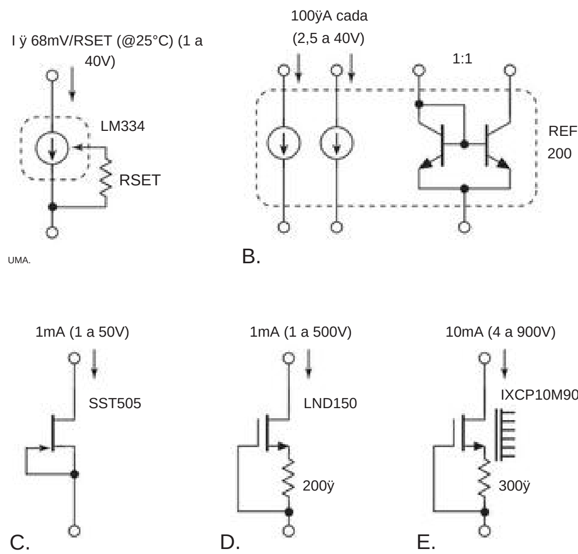


Figura 9.36. Alternativas de fonte de corrente de 2 terminais.

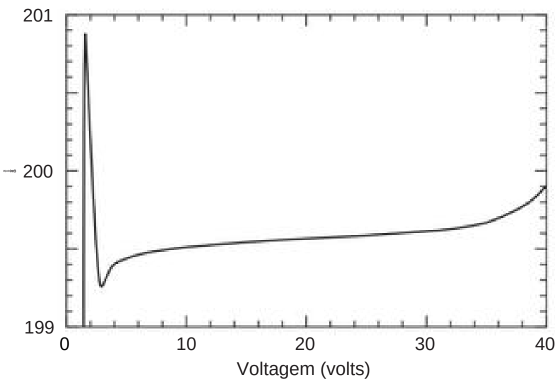


Figura 9.37. Corrente medida versus tensão para a fonte de corrente de dois terminais REF200 (conexão paralela do 100 ÿ Um par).

REF200

O REF200 é outro CI de fonte de corrente que vale a pena conhecer (Figura 9.36B). Ele tem um par de fontes de corrente de 2 terminais ÿ flutuantes de alta qualidade de 100 A (±0,5%) (impedância de saída >200 Mÿ em uma faixa de tensão de 3,5 V a 30 V). Ele vem em pacotes duplos em linha (DIP) e pacotes SOIC e custa cerca de US$ 4 em pequenas quantidades. Ao contrário do LM334, as fontes de corrente do REF200 têm temperatura estável (±25ppm/ÿC, típico). Ele também possui um espelho de corrente de relação de unidade no chip, para que você possa fazer uma fonte de corrente de 2 terminais com correntes fixas de 50 A, 100 A, 200 A, 300 A ou ÿ 400 A. A folha de dados afirma que "aplicações para o REF200 são ilimitadas", embora sejamos ÿ céticos. A Figura 9.37 mostra I versus tensão para a conexão paralela do par de 100 A.

ÿ

Fontes de corrente de componentes discretos

Ao pensar em fontes de corrente, não se esqueça dos dispositivos de 2 terminais como

(a) o humilde "diodo regulador de corrente" JFET (§3.2.2), que faz uma fonte de corrente simples de 2 terminais (Figura 9.36C) que opera bem até 100 V (traçamos a corrente medida versus a tensão na Figura 9.38); (b) um JFET discreto (ver Tabelas 3.1, 3.7 e 8.2), configurado de forma semelhante a uma fonte de corrente de 2 terminais; (c) o uso análogo de um MOSFET de modo de depleção (ver Tabela 3.6 na página 210) como o Supertex LND150 (Figura 9.36D), discutido nesta página (§9.3.14C); (d) a série de 2 terminais "Constant Current Regulator e LED Driver" da ON Semiconductor. Eles são baratos (US$ 0,10 a US$ 0,20 em quantidade de 100) e são oferecidos com correntes selecionadas (por exemplo, NSI50010YT1G: 10 mA, 50 V; NSIC2020BT3G: 20 mA, 120 V) e em versões ajustáveis (por exemplo, NSI45020JZ: 20–40 mA , 45 V). As folhas de dados não dizem muito sobre o que há dentro dessas coisas, mas os FETs em modo de depleção são os prováveis culpados.

Configurações de fonte de corrente do amplificador operacional

Se a aplicação não requer uma fonte de corrente flutuante, considere também

(d) a fonte de corrente BJT simples (§2.2.6), desenhada esquematicamente na Figura 9.39A; (e) a fonte de corrente BJT assistida por amplificador operacional (§4.2.5), Figura 9.39B; (f) a fonte de corrente Howland (§4.2.5B), Figura 9.39C.

Nestas três últimas figuras, a tensão de polarização que programa a corrente é desenhada como uma bateria flutuante; em uma implementação de circuito, seria uma tensão relativa ao terra ou a um trilho de alimentação, derivada de uma referência de tensão.

C. Fonte de corrente discreta de alta tensão

Como mencionado acima no parágrafo sobre fontes de corrente de componentes discretos, um MOSFET de modo de depleção com polarização de fonte simples (Figuras 9.36D e E) forma uma fonte de corrente de 2 terminais muito boa. Essas peças vêm em pacotes convenientes (TO-92, SMT, TO-220, D2PAK), com tensões nominais de 1,7 kV; exemplos familiares são o LND150 e o DN3545 da Supertex e os IXCP10M45S e IXCP10M90S da IXYS – consulte a Tabela 3.6 na página 210. Devido à incerteza em ID versus VGS, esse tipo de fonte de corrente não é particularmente preciso ou

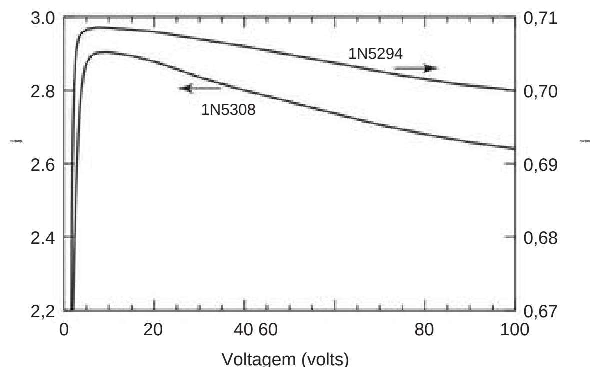


Figura 9.38. Corrente medida versus tensão para dois membros da série 1N5283 "diodo regulador de corrente" (um JFET, na verdade).

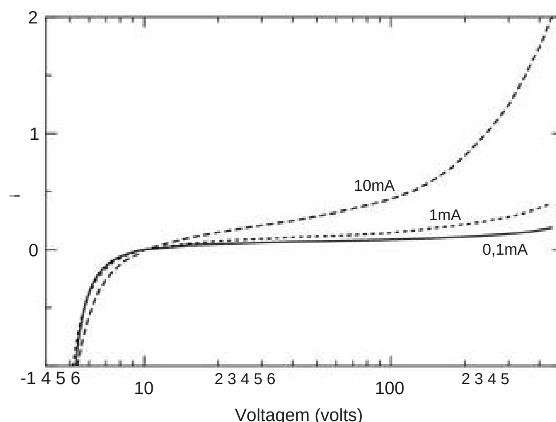


Figura 9.40. Corrente medida versus tensão para um MOSFET de potência de modo de depleção IXCP10M45S, conectado como uma fonte de corrente auto-polarizada de 2 terminais (como na Figura 9.36E).

previsível. Mas é adequado para aplicações não críticas, como a substituição de um resistor pull-up, e tem a vantagem de operar em tensões bastante altas (500 V e 450 V para as peças Supertex; 450 V e 900 V para o IXYS). As folhas de dados IXYS chamam seu produto de "regulador de corrente comutável". As Figuras 9.40 e 9.41 mostram alguns dados medidos para este circuito simples. A linha MOSFET de modo de depleção IXYS atualmente chega a 1700 V (IXTH2N170). Consulte *§3x.6* para uma discussão sobre versões de tensão ainda mais alta (para 3 kV ou mais).

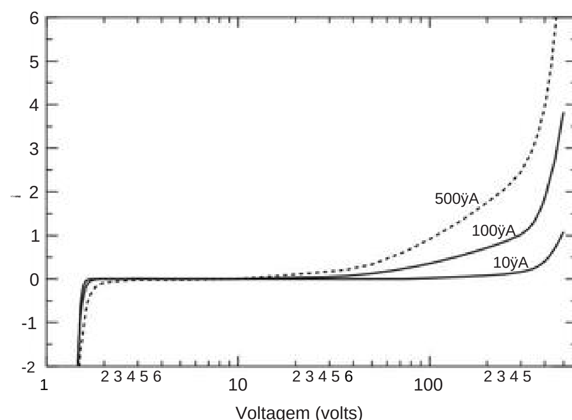


Figura 9.41. Corrente medida para o menor MOSFET de modo de depleção LND150, uma peça útil para aplicações de baixa corrente (compare com a Figura 9.40).

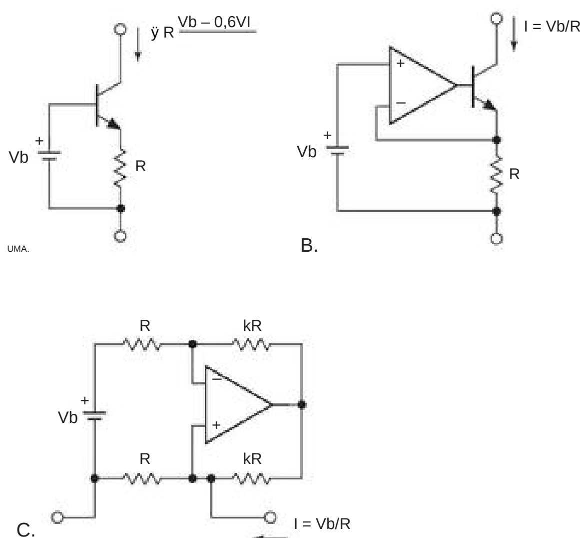


Figura 9.39. Fontes de corrente BJT e op-amp, desenhadas de forma abreviada com uma bateria de polarização flutuante. Para obter detalhes, consulte as discussões relevantes nos Capítulos 2 (BJTs) e 4 (op-amps).

9.4 Projeto de calor e energia

Até agora temos contornado a questão do *gerenciamento térmico* – o negócio de lidar com o calor gerado por transistores (e outros semicondutores de potência) em que a dissipação de energia (queda de tensão vezes a corrente) é maior que alguns décimos de um watt. A solução consiste em alguma combinação de resfriamento passivo (conduzindo o calor para um dissipador de calor ou para a caixa de metal de um instrumento) e resfriamento ativo (ar forçado ou líquido bombeado).

Esse problema não é exclusivo dos reguladores de tensão, é claro – afeta amplificadores de potência lineares, circuitos de comutação de energia e outros componentes geradores de calor, como resistores de potência, retificadores e CIs digitais de alta velocidade. Processadores de computador temporários, por exemplo, dissipa

muitas dezenas de watts e podem ser reconhecidos por seus dissipadores de calor e ventiladores com aletas anexados.

Os reguladores de tensão linear nos levam ao tópico “eletrônica de potência”, porque são intrinsecamente ineficientes: a corrente de plena carga flui através do transistor de passagem, com uma queda de tensão pelo menos adequada para evitar o dropout. No caso de uma entrada CC não regulada, como na Figura 9.25, isso significa uma queda de pelo menos alguns volts; portanto, com um amplificador de corrente de saída, você obtém pelo menos alguns watts. . . e você tem um problema. Nas seções a seguir, veremos como resolvê-lo.

9.4.1 Transistores de potência e dissipadores de calor

Todos os dispositivos de potência são embalados em caixas que permitem o contato entre uma superfície metálica e um dissipador de calor externo. Na extremidade de baixa potência do espectro (até um watt), o dispositivo pode ser resfriado por condução através de seus condutores, soldados a uma placa de circuito; o próximo passo são os pacotes de energia de montagem em superfície com uma guia maior (e com nomes como SOT-223, TO-252, TO-263, DPAK e D2PAK) ou pacotes mais avançados como o “DirectFET” (consulte a Figura 9.46). Para dissipação de energia superior a cerca de 5 watts, os pacotes (com nomes como TO-3, TO-220 e TO 247) terão orifícios de montagem para fixação a um dissipador de calor substancial; e semicondutores de alta potência vêm em módulos (como o “miniBLOC” ou “Powertap” – veja a Figura 9.47) destinados à montagem fora da PCB. Com dissipação de calor adequada, os últimos tipos podem dissipar até 100 watts ou mais. Com exceção dos pacotes de energia “isolados”, a superfície metálica do dispositivo é conectada eletricamente a um terminal (por exemplo, para transistores de potência bipolares, a caixa é conectada ao coletor e para MOSFETs de energia ao dreno).

O objetivo do dissipador de calor é manter a junção do transistor (ou a junção de algum outro dispositivo) abaixo de uma temperatura operacional máxima especificada. Para transistores de silício em invólucros de metal, a temperatura máxima da junção é geralmente 200ÿC, enquanto que para transistores em invólucros de plástico é geralmente de 150ÿC . você calcula a temperatura da junção, permitindo os efeitos da condutividade térmica

[33] Veja as Tabelas 2.2 e 3.4 para uma seleção de transistores de potência, incluindo sua dissipação de potência máxima assumindo uma temperatura de caixa (irrealista) de 25ÿC. Como veremos, isso é informação suficiente para permitir que você retire a resistência térmica RÿJC, a partir da qual você pode descobrir valores realistas de dissipação de potência máxima e, portanto, dissipação de calor apropriada.

no transistor, dissipador de calor, etc., e a temperatura ambiente máxima na qual se espera que o circuito opere. Você então escolhe um dissipador de calor grande o suficiente para manter a temperatura da junção bem abaixo do máximo especificado pelo fabricante. É aconselhável ser conservador no design do dissipador de calor, porque a vida útil do transistor diminui rapidamente em temperaturas operacionais próximas ou acima do máximo. A Figura 9.42 mostra uma amostra representativa de dissipadores de calor que reunimos nas gavetas de suprimentos de nosso laboratório.

Algumas pessoas são descuidadas com o design térmico e começam a se preocupar apenas se o componente chiar ao tocá-lo com o dedo molhado. Mas é muito melhor fazer certo inicialmente! Leia. . .

A. Resistência térmica Para realizar os cálculos do dissipador de calor, você usa *a resis térmica tance*, definida como a potência transferida (em ÿC/W) dividida pela potência ... Para transferência de calor inteiramente por condução de calor, a resistência térmica é uma constante, independente da temperatura, que depende apenas das propriedades mecânicas da junta. Para uma sucessão de juntas térmicas em “série”, a resistência térmica total é a soma das resistências térmicas das juntas individuais. Assim, para um transistor montado em um dissipador de calor, a resistência térmica total da junção do transistor para o mundo externo (ambiente) é a soma da resistência térmica da junção para o invólucro *R* ÿ JC, a resistência térmica da caixa ao dissipador de calor *R* ÿ CS, e a resistência térmica do dissipador de calor para o ambiente *R.* ÿ SA. junção é, portanto,

$$T_J = T_A + (R_{\theta JC} + R_{\theta CS} + R_{\theta SA})P, \quad (9.2)$$

onde *P* é a potência sendo dissipada.

Vamos dar um exemplo. O circuito de fonte de alimentação da Figura 9.25, com entrada cc não regulada de 8 V e carga total (1 A) tem uma dissipação máxima do regulador LM317AT de 4,7 W (queda de 4,7 V, 1 A). Vamos supor que a fonte de alimentação deva operar em temperaturas ambiente de até 50ÿC, o que é razoável para equipamentos eletrônicos embalados juntos em locais próximos. E vamos tentar manter a temperatura da junção abaixo de 100ÿC, bem abaixo do máximo especificado de 125ÿC.

A diferença de temperatura permitida da junção para o ambiente é, portanto , 50ÿC, portanto, a resistência térmica total da junção para o ambiente não deve ser superior a *R* ÿ JA = *(TJ* ÿTA)/P = 10,6ÿC/W. A resistência térmica especificada da junção ao invólucro, *R* ÿ JC é 4ÿC/W, e o pacote do transistor de potência TO-220 montado com uma almofada condutora de calor tem uma resistência térmica do invólucro ao dissipador de calor de cerca de 0,5ÿC/W. Portanto, gastamos *R* 4,5ÿC/W de resistência térmica, deixando *R* ÿ SA = 6,1ÿC/W para o dissipador de calor. Uma varredura rápida do sempre útil DigiKey

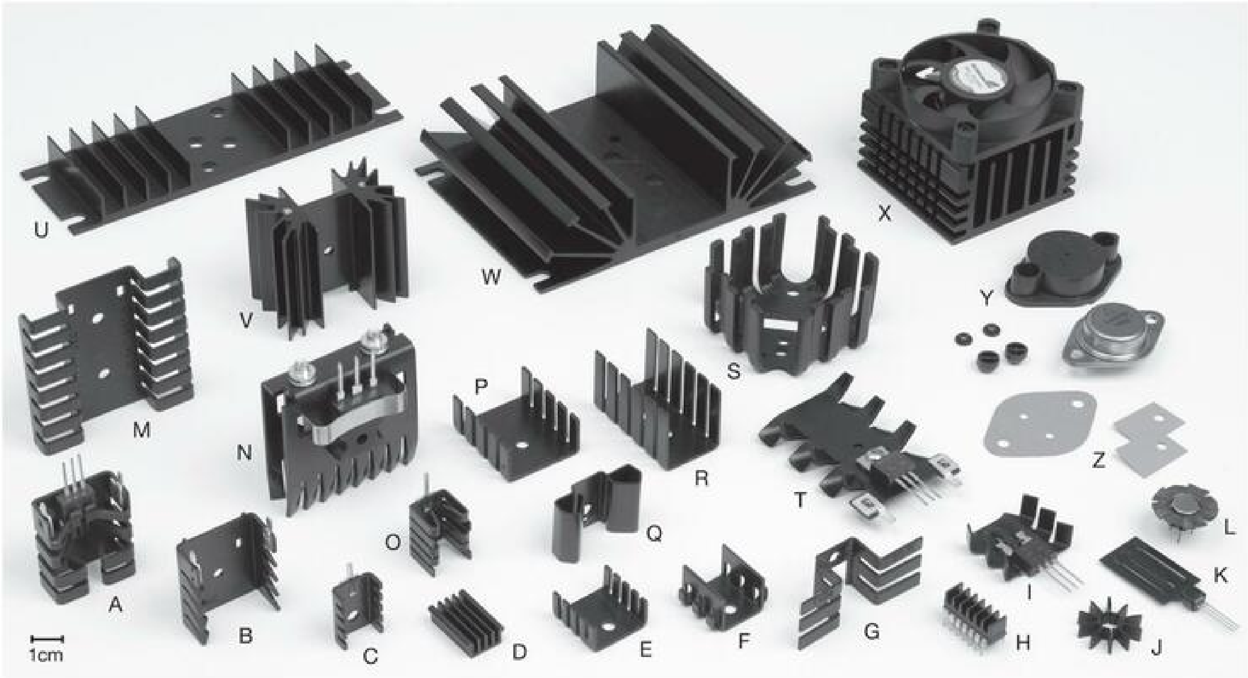


Figura 9.42. Os dissipadores de calor vêm em uma diversidade impressionante, desde pequenas aletas de encaixe (I–L), até tipos de montagem de PCB de tamanho médio (A–C, N, O, T), até grandes unidades aparafusadas (U, W) , para tipo de ar forçado usado com microprocessadores (X). A resistência térmica correspondente da pia ao ambiente, RÿSA, varia de cerca de 50ÿC/W até cerca de 1,5ÿC/W. Uma capa isolante TO-3 é mostrada em (Y), juntamente com arruelas de ressalto e bujões; almofadas isolantes térmicas sem graxa são mostradas em (Z). Adicionamos rótulos alfabéticos para que os leitores possam identificar objetos de interesse ao conversar nas mídias sociais.

o catálogo encontra muitos candidatos, por exemplo, o dissipador de calor aletado Wakefield 647-15ABP "montagem vertical em placa", com o requisito $R_{ÿSA}$ = 6,1ÿC/W em ar parado ("convecção natural") e custo cerca de US $ 2, com 2.000 peças em estoque. Com uma "convecção forçada" de 400 LFM (pés lineares por minuto), poderíamos usar o modelo menor (e mais barato, cerca de US$ 0,35) 270-AB; A DigiKey tem 4000 em estoque hoje.

Aqui está um "teste de chiar" para verificar o dissipador de calor adequado: toque no transistor de potência com um dedo úmido – se chiar, é porque está muito quente! (Tenha cuidado ao usar este teste de "regra do dedo" para explorar em torno de altas tensões.)
Os métodos mais geralmente aprovados para verificar as temperaturas dos componentes são (a) um termopar de contato ou sonda de termistor (estes geralmente vêm como equipamento padrão com multímetros digitais portáteis ou de bancada); (b) ceras calibradas especiais que derretem em temperaturas designadas (por exemplo, os kits de lápis de cera Tempilstik® da Tempil, Inc.); e (c) em sondas de temperatura frared sem contato,34 por exemplo o Fluke 80T-IR, que gera 1 mV/ÿC ou 1 mV/ÿF (comutável), opera de -18ÿC a +260ÿC, tem precisão de 3% da leitura (ou ±3ÿC, se maior) e se conecta a qualquer DMM portátil ou de bancada.

B. Comentários sobre dissipadores de calor

1. Onde a dissipação de energia muito alta (várias centenas de watts, digamos) está envolvida, o resfriamento por ar forçado é geralmente necessário. Grandes dissipadores de calor projetados para serem usados com um soprador estão disponíveis com resistências térmicas (dissipador para ambiente) tão pequenas quanto 0,05ÿC a 0,2ÿC por watt.
2. Em casos de alta condutividade térmica (baixa resistência térmica, R_{SA}), você pode achar que o limite final para a dissipação de energia é, de fato, a própria resistência térmica interna do transistor, combinada com sua ligação ao dissipador de calor (ou seja, R_{JC} + R_{CS}). Esse problema foi exacerbado nos últimos anos pela evolução de tamanhos de chips semicondutores menores ("encolhíveis"). A única soluções

[34] Os termômetros de ouvido infravermelhos usam esse método para medir a temperatura central do corpo por meio de emissão infravermelha do tímpano, evidentemente com precisão suficiente para fins clínicos; por exemplo, o Braun ThermoScan faz uma medição em um segundo, com uma precisão considerada significativamente melhor do que 1ÿC.

aqui é espalhar o calor entre vários transistores de potência (em paralelo ou em série). Ao colocar transistores de potência em paralelo, você deve ter cuidado para garantir que eles compartilhem a corrente igualmente – consulte §2.4.4 e Figura 3.117.

Da mesma forma, ao conectar transistores em série, certifique-se de que suas quedas de tensão no estado desligado sejam distribuídas uniformemente.

3. A Figura 9.43, adaptada da literatura sobre dissipadores de calor da Wakefield Engineering, fornece uma estimativa aproximada do volume físico do dissipador de calor necessário para atingir uma determinada resistência térmica. Observe que as curvas são dadas para ar parado (convecção natural) e para dois valores de fluxo de ar forçado. Não interprete essas curvas literalmente – apenas coletamos dados de meia dúzia de dissipadores de calor representativos e, em seguida, desenhamos linhas de tendência através deles; eles provavelmente são bons em um fator de dois, mas não confie nisso (ou, pelo menos, não reclame conosco mais tarde!).

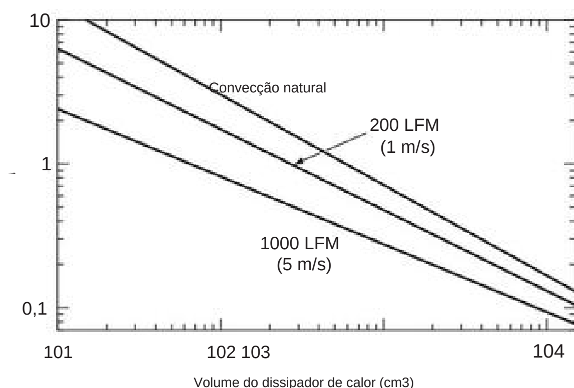


Figura 9.43. Guia aproximado do tamanho do dissipador de calor necessário para uma determinada resistência térmica do dissipador ao ambiente *(R* SA).

4. Quando o transistor precisar ser isolado do dissipador de calor, como geralmente é necessário (especialmente se vários transistores forem montados no mesmo dissipador), uma arruela isolante fina é usada entre o transistor e o dissipador, e buchas isolantes são usadas em torno dos parafusos de montagem . As arruelas estão disponíveis em recortes padrão em formato de transistor feitos de mica, alumínio anodizado (isolado), berílio lia (BeO) ou filmes de polímero como Kapton®. Usado com graxa condutora de calor, adiciona de 0,14ÿC/W (berílio) a cerca de 0,5ÿC/W.

Uma alternativa atraente para a clássica arruela de mica com graxa é fornecida por isoladores à base de silicone sem graxa que são carregados com uma dispersão de um composto termicamente condutor, geralmente nitreto de boro ou óxido de alumínio ("Z" na Figura 9.42). Eles são limpos, secos e fáceis de usar; você não consegue material viscoso branco em todas as suas mãos, seu dispositivo eletrônico e suas roupas. Você economiza muito tempo. Os tipos de isolamento elétrico têm resistências térmicas de cerca de 1–4ÿC/W para uma pegada de pacote TO-220, comparável aos valores com o método bagunçado; as variedades não isolantes ("substituição de graxa") se saem melhor – abaixo de 0,1–0,5ÿC/W para um pacote TO-220. A Bergquist chama sua linha de produtos de "Sil Pad", a Chomerics chama de "Cho-Therm" e a Thermalloy chama de "Thermasil". Temos usado esses isoladores e gostamos deles.

5. Pequenos dissipadores de calor estão disponíveis que simplesmente encaixam nos pequenos pacotes de transistores (como o padrão TO-92 e TO-220, "I–L" na Figura 9.42). Em situações de dissipação de potência relativamente baixa (um watt ou dois), isso geralmente é suficiente, evitando o incômodo de montar o transistor remotamente em um dissipador de calor com seus condutores trazidos de volta ao circuito. Além disso, existem vários pequenos dissipadores de calor destinados ao uso com os pacotes de energia de plástico (muitos reguladores, bem como transistores de energia, vêm neste pacote) que são montados diretamente em um PCB embaixo do pacote. São muito úteis em situações de dissipação de poucos watts; uma unidade típica é ilustrada na Figura 2.3. Se você tiver espaço vertical sobre a placa de circuito impresso, é preferível usar um dissipador de calor vertical montado na placa de circuito impresso (como A–C, N, O ou T na Figura 9.42), porque esses tipos ocupam menos área na o PCB.

6. Transistores de potência montados em superfície (como SOT-223, DPAK e D2PAK) transportam seu calor para a camada de alumínio de uma placa de circuito impresso por meio da aba soldada; aqui estamos falando de alguns watts, não de cem. Você pode ver esses pacotes nas Figuras 2.3 e 9.44. A Figura 9.45 plota valores aproximados de resistência térmica versus área da folha; estes devem ser considerados apenas um guia aproximado, porque a eficácia real do dissipador de calor depende de outros fatores, como a proximidade de outros componentes produtores de calor, empilhamento da placa e (para convecção natural) a orientação da placa.

7. Às vezes pode ser conveniente montar transistores de potência diretamente no chassi ou caixa do instrumento. Nesses casos, é aconselhável usar um design conservador (mantê-lo resfriado), especialmente porque um gabinete quente sujeitará os outros componentes do circuito a altas temperaturas e, assim, encurtará sua vida útil.

8. Se um transistor for montado em um dissipador de calor sem isolamento hardware, o dissipador de calor deve ser isolado do chassi. O uso de arruelas isolantes (por exemplo, Wakefield modelo 103) é recomendado (a menos, é claro, que a caixa do transistor esteja aterrada). Quando o transistor é isolado do dissipador, o dissipador de calor pode ser conectado diretamente ao chassi. Mas se o transistor for acessível de fora do instrumento (por exemplo, se o dissipador de calor estiver

Machine Translated by Google



Figura 9.44. Os transistores de potência vêm em embalagens de montagem em superfície soldáveis à mão que podem dissipar até vários watts, através de sua guia de montagem e condutores, quando soldados a alguns centímetros quadrados de área de folha em um PCB (consulte a Figura 9.45). Os três principais pacotes (SOT-223, DPAK, D2PAK) são bons para ÿ3 W quando montados em 6 cm2 de área de folha de PCB; os pacotes menores na linha abaixo podem dissipar ~0,5 W quando montados de forma semelhante. A título de comparação, as partes retangulares no canto inferior direito são resistores de chip, diminuindo do tamanho 2512 para o tamanho 0201 (0603 métrico).

montado externamente na parede traseira da caixa), é uma boa idéia usar uma tampa isolante sobre o transistor (por exemplo, Thermalloy 8903N, "Y" na Figura 9.42) para evitar que alguém acidentalmente entre em contato com ele ou cause um curto-circuito à terra.

9. A resistência térmica do dissipador de calor ao ambiente é usu especificamente especificado para a pia montada com as aletas na vertical e com fluxo de ar desobstruído. Se a pia estiver montada de forma diferente ou se o fluxo de ar estiver obstruído, a eficiência

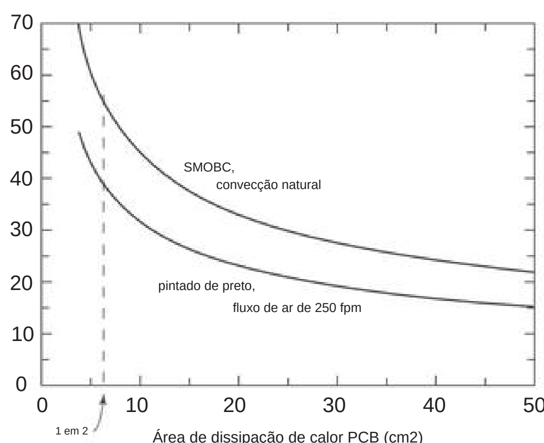


Figura 9.45. Resistência térmica aproximada de padrões de folha de circuito impresso isolados. Uma camada de máscara de solda (SMOBC significa máscara de solda sobre cobre nu) reduz a eficácia, principalmente quando comparada com ar forçado sobre cobre exposto.

será reduzido (maior resistência térmica35); geralmente isso é melhor montá-lo na parte traseira do instrumento com as aletas verticais.

10. Na segunda edição deste livro há informações adicionais: consulte o Capítulo 6 (Figura 6.6, página 315) sobre dissipadores de calor e o Capítulo 12 (Tabela 12.2 e Figura 12.17, página 858) sobre ventiladores de resfriamento.

Exercício 9.7. Um LM317T (caixa TO-220), com uma resistência térmica da junção à caixa de RÿJC=4ÿC/W, é equipado com um dissipador de calor aparafusado Aavid Thermalloy 507222, cuja resistência térmica é especificada como RÿSAÿ18ÿ C/W no ar parado. A almofada térmica (Bergquist SP400-0,007) especifica uma resistência térmica de RÿCSÿ5ÿC/W. A temperatura máxima permitida na junção é de 125°C. Quanta energia você pode dissipar com esta combinação a 25 °C de temperatura ambiente? Quanto deve diminuir a dissipação por grau de aumento na temperatura ambiente?

9.4.2 Área operacional segura

O ponto de dissipação de calor é manter as temperaturas de junção dentro dos limites especificados, dada alguma temperatura ambiente e alguma dissipação de potência máxima, como acabamos de descrever.
Claro, você também deve ficar dentro da voltagem especificada e nominais de corrente do transistor de potência. Isso é exibido graficamente como um gráfico de área de operação segura (SOA) CC, nos eixos de tensão e corrente do transistor, em alguma temperatura de caixa especificada (geralmente um TC irrealista = 25ÿC).
Para MOSFETs, este gráfico (em tensão logarítmica e eixos de corrente) é limitado simplesmente por linhas retas que representam tensão máxima, corrente máxima e dissipação de potência máxima (no TC especificado, conforme definido por *R* e JC TJ(max)) – consulte , por exemplo, Figura 3.95. ÿ

Há duas emendas a esta imagem básica.

A. Segundo colapso A má notícia:
no caso de *transistores bipolares ,* o SOA é ainda mais limitado por um fenômeno conhecido como *segundo colapso,* um importante mecanismo de falha que você deve ter em mente ao projetar eletrônica de potência com transistores bipolares. Isso é discutido em §3.6.4C, onde o efeito pode ser visto nos gráficos SOA na Figura 3.95 como uma redução adicional da corrente de coletor permitida em altas tensões.

Como os transistores de potência MOSFET são em grande parte imunes a uma segunda quebra, eles são frequentemente preferidos em relação aos BJTs para transistores de passagem do regulador de potência (as exceções são alguns tipos mais novos de geometria pequena, consulte a nota do aplicativo IR IN-1155).

35 Como um guia aproximado, você pode esperar um aumento de aproximadamente 20% ÿ SA por em *R* "aletas horizontais", 45% para "aletas para cima" e 70% para "aletas para baixo".

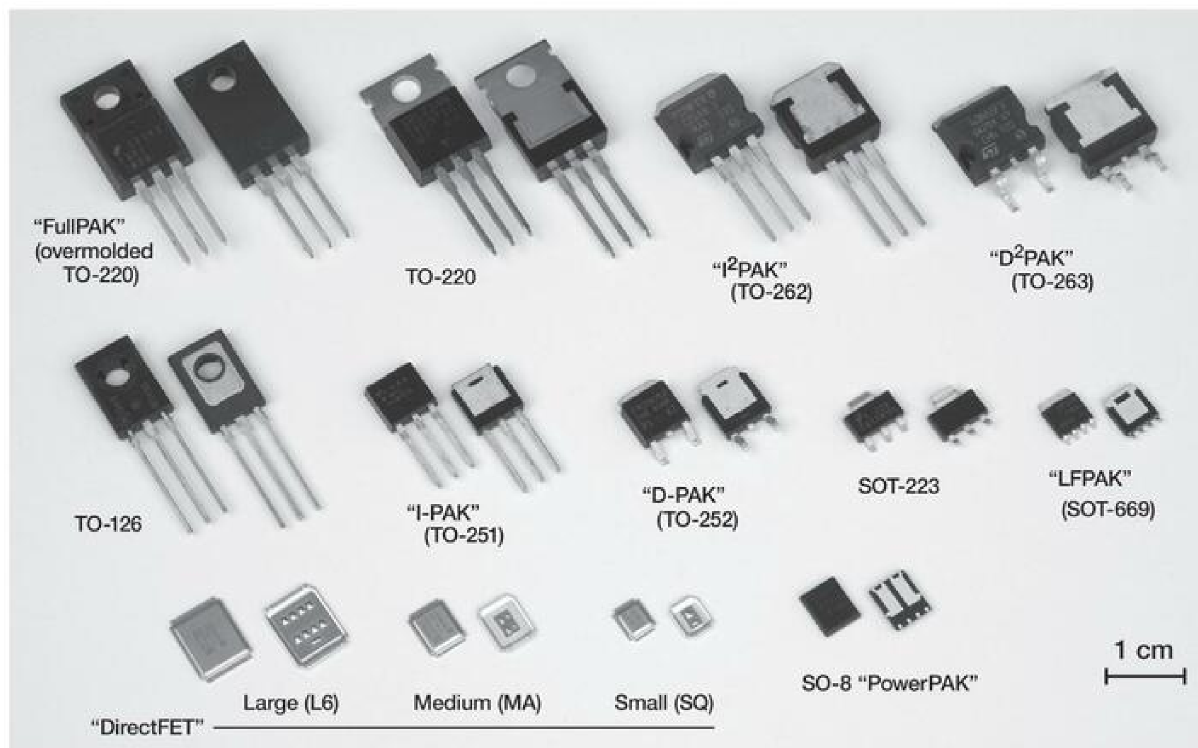


Figura 9.46. Uma seleção estendida de conjuntos de potência, mostrada aqui e na Figura 9.47. Os pacotes sem chumbo na linha inferior requerem técnicas de solda de "refluxo" (troque seu ferro de solda e fio de solda por um forno e dispensador de pasta de solda!).

B. Resistência térmica transitória A boa notícia: para pulsos de curta duração, você pode exceder o limite de dissipação de energia CC, às vezes por um grande fator. Isso ocorre porque a própria massa do semicondutor pode absorver um curto pulso de energia aquecendo localmente ("capacidade de calor" ou "calor específico"), limitando o aumento de temperatura mesmo se a dissipação de energia instantânea for maior do que poderia ser sustentada continuamente . Isso pode ser visto no gráfico SOA (Figura 3.95), onde a dissipação de potência permitida, para pulsos de 100 s, é cerca de 20 vezes maior que o valor CC: surpreendentes 3.000 W versus 150 W.

Isso às vezes é caracterizado em folhas de dados como uma *resistência térmica transitória* – um gráfico de *R* versus duração do pulso. A capacidade de dissipar picos de potência muito altos durante pulsos curtos se estende a outros dispositivos eletrônicos, por exemplo, diodos, SCRs e supressores de tensão transiente. Consulte §3.6.4C e a discussão no Capítulo *9x.*

9.5 De linha CA para alimentação não regulamentada

Uma fonte de alimentação regulada que funciona com energia de linha CA começa[36] gerando CC "não regulada", um assunto que introduzimos em §1.6.2 em conexão com retificadores e cálculos de ondulação. Para os reguladores de tensão linear que vimos até agora, a fonte CC não regulada usa um transformador, ambos

[36] Bem, realmente começa na usina! Talvez valha a pena saber, no entanto, a situação no plugue da parede: nos EUA, a tomada padrão de 3 pinos fornece seus 120 Vrms CA através das lâminas "linha" e "neutra" (o neutro é o slot um pouco mais largo; está ligado no canto superior esquerdo, se a saída estiver orientada para parecer um rosto), com o aterramento redondo de segurança retornado a uma boa conexão de aterramento na entrada de serviço. A energia entra na casa como três fios de um transformador de polo de 240 V com derivação central, com a derivação central (neutro) ligada ao aterramento na entrada de serviço. Qualquer tomada de 120 V fornece neutro (fio branco) e uma fase "viva" (preto); as tomadas em uma determinada sala podem ser alimentadas por uma ou por outras fases. Uma tomada de aparelho de 240 V traz ambas as fases vivas, junto com o aterramento de segurança, para um soquete de estilo diferente (isso é diferente das tomadas européias de 220 ou 240 V, que fornecem linha, neutro e aterramento de segurança). A fiação na parede consiste em um cabo oval isolado de plástico estilo "Romex" com condutores de cobre sólido: AWG14 para um circuito residencial de 15 A e AWG12 para um circuito de

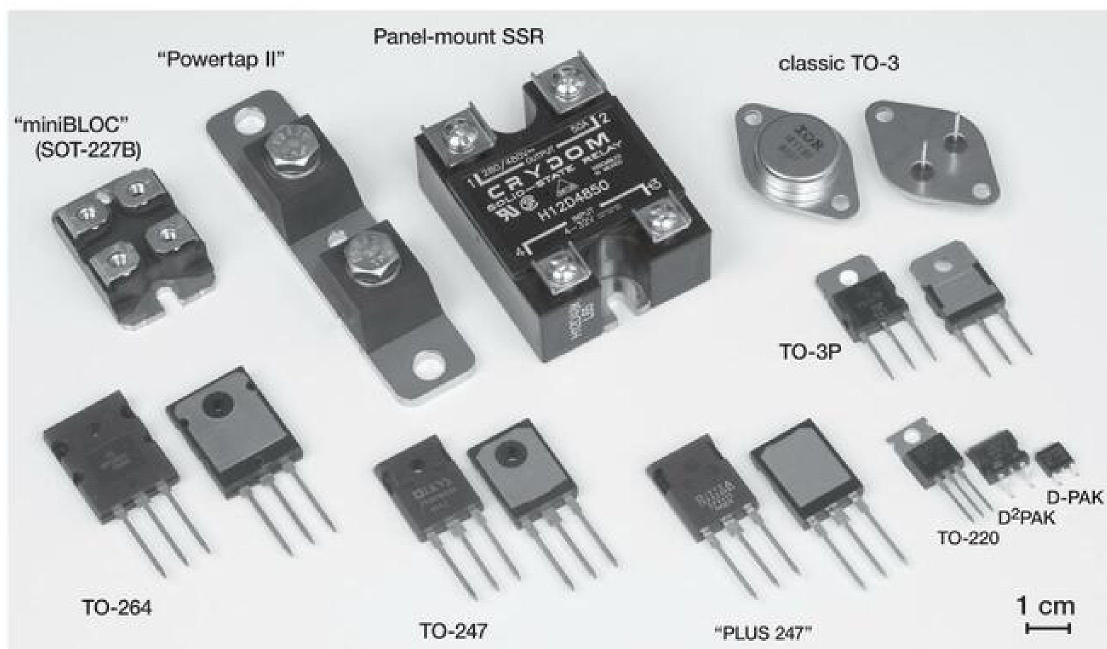


Figura 9.47. Os primos maiores dos pacotes de potência na Figura 9.46, com três espécimes deste último mostrados para comparação. Subimos de dezenas a centenas de watts com eles quando montados em um dissipador de calor apropriado.

para converter a tensão da linha de entrada (120 Vrms na América do Norte e alguns outros países, 220 ou 240 Vrms em qualquer outro lugar) para uma tensão (geralmente) mais baixa próxima da saída regulada e também para isolar a saída de qualquer conexão direta com os potenciais de linha perigosos ("isolamento galvânico"); veja a Figura 9.48. Talvez surpreendentemente, as fontes de alimentação chaveadas que veremos em breve omitem o transformador, gerando CC derivada da linha no potencial da linha de força (ÿ160 Vcc ou ~320 Vcc), que alimenta o circuito de chaveamento diretamente. Em vez disso, o isolamento galvânico essencial37 é alcançado com um transformador acionado pelo sinal de comutação de alta frequência.38 Fontes CC não reguladas

isoladas por transformador também são úteis para aplicações nas quais a estabilidade e a pureza da CC regulada são desnecessárias, por exemplo, áudio de alta potência amplificadores. Vamos examinar esse assunto com mais detalhes, começando com o circuito mostrado na Figura 9.49. Esta é uma fonte dividida de ±50 volts (nominal) não regulada, capaz de corrente de saída de 2 A, para um amplificador de áudio linear de 100 watts. vamos percorra-o da esquerda para a direita, apontando algumas das coisas que você deve ter em mente ao fazer esse tipo de design.

[37] Há ocasiões em que o isolamento não é necessário; consulte o Capítulo *9x* para uma discussão sobre algumas fontes de alimentação off-line de baixa potência (incluindo uma técnica de redução que usa um capacitor em vez de um transformador ou indutor).

[38] A vantagem desse arranjo peculiar é que o transformador, operando em alta frequência (20 kHz–1 MHz), é muito menor e mais leve.

9.5.1 componentes da linha ac

A. Conexão de três fios Sempre use um cabo de linha de três fios com aterramento (verde ou verde/amarelo) conectado à caixa do instrumento. Instrumentos com invólucros não aterrados podem se tornar dispositivos letais no caso de falha de isolamento do transformador ou conexão acidental de um lado da linha de força ao invólucro.
Com um caso aterrado, tal falha simplesmente queima um fusível. Muitas vezes você vê instrumentos com o cabo de linha conectado ao chassi (permanentemente) usando um "alívio de tensão" de plástico feito pela Heyco ou Richco. Uma maneira melhor é usar um conector IEC (International Electrotechnical Commission) macho de três pinos montado no chassi, para combinar com os populares cabos de linha que têm a fêmea IEC de três pinos moldada na extremidade. Dessa forma, o cabo de linha é convenientemente removível. Melhor ainda, você pode obter um "módulo de entrada de energia" combinado, contendo conector IEC, porta-fusível, filtro de linha e chave, como usamos aqui. Observe que a fiação CA usa uma convenção de cores não intuitiva: preto = "quente" (ou "linha"), branco = neutro e verde = terra (ou "terra protetor").39

39 Cabos IEC usam marrom = linha, azul = neutro e verde/amarelo = terra.

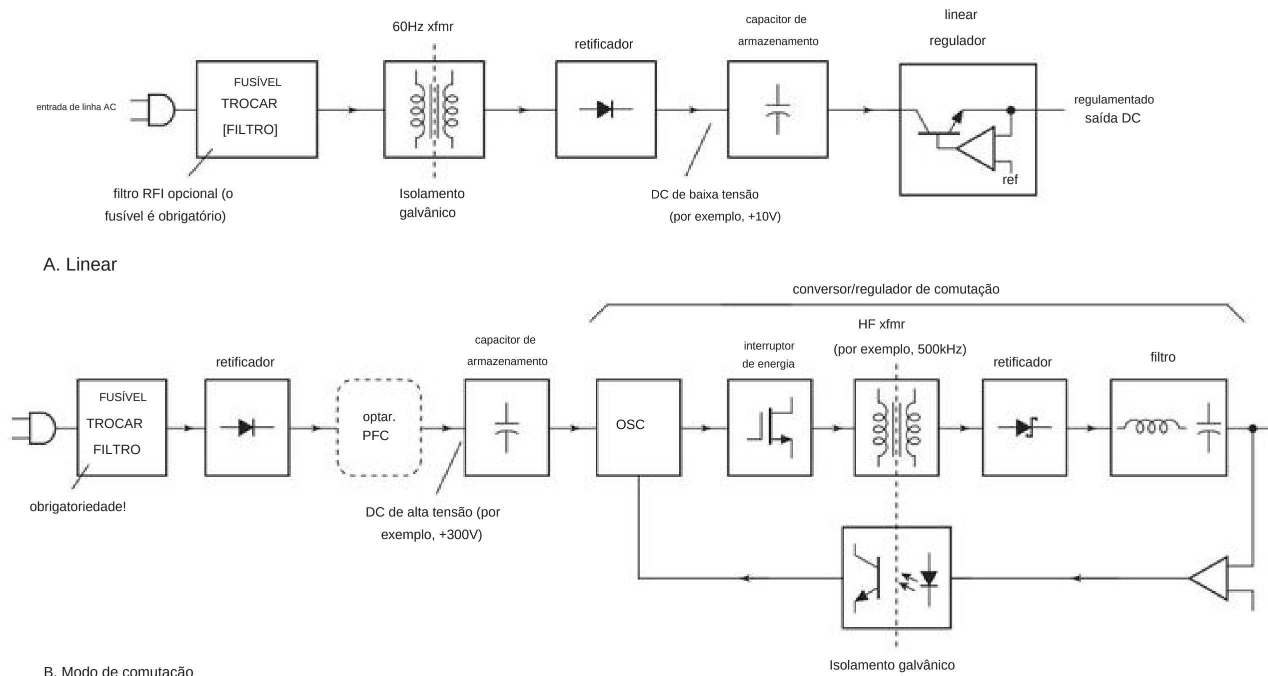


Figura 9.48. Fontes reguladas de saída CC ("off-line") alimentadas por linha CA. A. Na alimentação linear, o transformador powerline isola e transforma a tensão de entrada. B. No conversor de comutação ("modo de comutação"), a entrada CA é diretamente retificada para CC de alta tensão, que alimenta o conversor de comutação de isolamento. O bloco PFC executa a correção do fator de potência, discutida posteriormente em §9.7.1C.

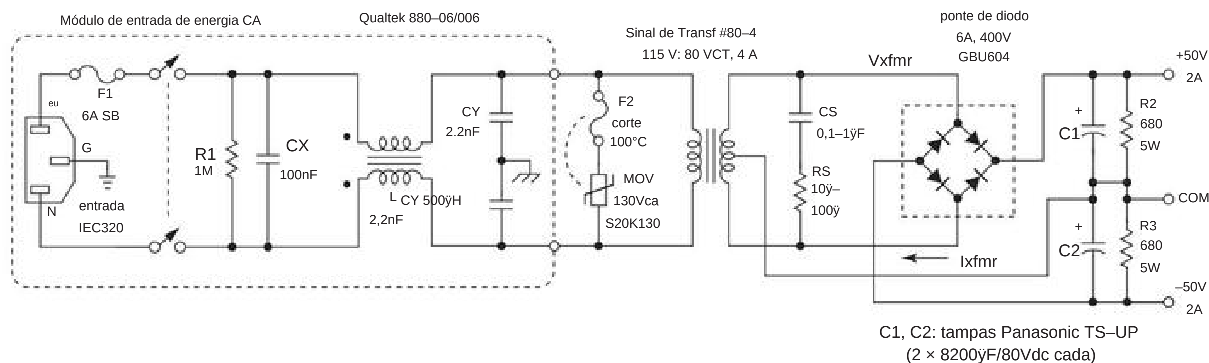


Figura 9.49. Fonte de alimentação de ±50 V, 2 A não regulada.

B. Fusível

Um fusível, disjuntor ou função equivalente deve ser incluído em cada peça de equipamento eletrônico. Um porta- fusível , interruptor e filtro passa-baixo são frequentemente combinados no módulo de entrada de energia, mas você também pode conectá-los *à la carte* equipamentos, porque eles são . escolhidos para explodir somente quando a corrente nominal da fiação na parede é excedida. Por exemplo, um circuito doméstico conectado com fio de bitola 14 terá um disjuntor de 15 A.

Agora, se um capacitor de armazenamento em nosso suprimento não regulado entrar em curto-circuito algum dia (um possível modo de falha), o transformador poderá consumir 10 A de corrente primária (em vez de seus habituais 2–3 A). O disjuntor da casa não abre, mas seu instrumento se torna um dispositivo incendiário, com seu transformador se dissipando em mais de um quilowatt.

Algumas notas sobre fusíveis. (a) É melhor usar um tipo de "sopro lento" no circuito da linha de alimentação, porque invariavelmente há um grande transiente de corrente ("corrente de pico") na inicialização, causado principalmente pelo carregamento rápido da fonte de alimentação. filtro de alimentação

capacitores. (b) Você pode pensar que sabe como calcular a corrente nominal do fusível, mas provavelmente está errado. Uma fonte de alimentação CC com este projeto40 tem uma alta relação entre corrente eficaz e corrente média, devido ao pequeno ângulo de condução (fração do ciclo sobre o qual os diodos estão conduzindo). O problema é pior se capacitores de filtro excessivamente grandes forem usados. O resultado é uma corrente rms consideravelmente maior do que você estimaria. O melhor procedimento é usar um medidor de corrente CA "true rms" para medir a corrente de linha rms real e, em seguida, escolher um fusível com classificação de corrente pelo menos 50% maior (para permitir alta tensão de linha, os efeitos da "fadiga" do fusível, etc). (c) Ao conectar os porta-fusíveis tipo cartucho (usados com o popular fusível tipo 3AG/AGC/MDL, que é quase universal em equipamentos eletrônicos), certifique-se de conectar os condutores de modo que qualquer pessoa que troque o fusível não entre em contato com a linha de força. Isso significa conectar o fio "quente" ao terminal traseiro do porta-fusível (os autores aprenderam isso da maneira mais difícil!). Os módulos de entrada de energia comerciais com porta-fusíveis integrais são organizados de forma inteligente para que o fusível não possa ser alcançado sem a remoção do cabo de alimentação.

C. Interruptor

Na Figura 9.49, o interruptor é parte integrante da entrada de energia, o que é bom, mas força o usuário a alcançar a parte de trás para ligar a coisa. Ao usar um interruptor de energia no painel frontal, é uma boa ideia colocar um capacitor de linha (chamado X1 ou X2) em seus terminais, para evitar arcos.

Por razões semelhantes, o primário do transformador deve ter alguma capacitância de ponte, que neste caso é cuidada pelo filtro passa-baixa no módulo de entrada.

D. Filtro passa-baixa

Embora sejam frequentemente omitidos, esses filtros são uma boa ideia, porque servem para evitar possível radiação de interferência de radiofrequência (RFI) do instrumento através da linha de energia, bem como filtrar a interferência de entrada que pode ser presentes na linha de energia. Esses filtros normalmente usam um filtro de seção *LC* (como na figura), com o par de indutores acoplados ÿ atuando como uma impedância de modo comum. Filtros de linha de força com excelentes características de desempenho estão disponíveis em vários fabricantes, por exemplo, Corcom, Cornell-Dubilier, Curtis, Delta, Qualtek e Schurter.41 Estudos mostraram que picos tão grandes quanto 1 kV a 5 kV são ocasionalmente presente em as linhas de energia na maioria dos locais, e picos menores ocorrem com bastante frequência. Os filtros de linha (em combinação com supressores de transientes, veja abaixo) são razoavelmente eficazes na redução de tal interferência (e, assim, estendendo a vida útil de uma fonte de alimentação e do equipamento que ela alimenta).

E. Capacitores de tensão de linha

Por motivos de risco de incêndio e choque, os capacitores destinados à filtragem e desvio de linha recebem classificações especiais. Entre outros atributos, esses capacitores são projetados para autocorreção, ou seja, para se recuperar de uma avaria interna.42 Existem duas classes de capacitores de classificação de linha: Capacitores "X" (X1, X2, X3) são classificados para uso onde falha não criaria um risco de choque. Eles são usados em toda a linha *(CX* na Figura 9.49; o tipo X2 comum é classificado para 250 Vac, com tensão de pico de 1,2 kV). Os capacitores "Y" (Y1, Y2, Y3, Y4) são classificados para uso onde a falha apresentaria risco de choque. Eles são usados para desviar entre as linhas CA e o terra *(CY* na Figura 9.49; o tipo Y2 comum é classificado para 250 Vac, com uma tensão de pico de 5 kV). Os capacitores com classificação de linha vêm em discos de cerâmica e em sabores de filme plástico; os últimos são geralmente uma geometria de caixa, com um invólucro retardador de chama. É difícil não perceber esses capacitores – eles geralmente são enfeitados com marcações proclamando as várias certificações nacionais cujos padrões eles atendem43 (Figura 9.50).

Mais uma palavra sobre capacitores de tensão de linha: quando o

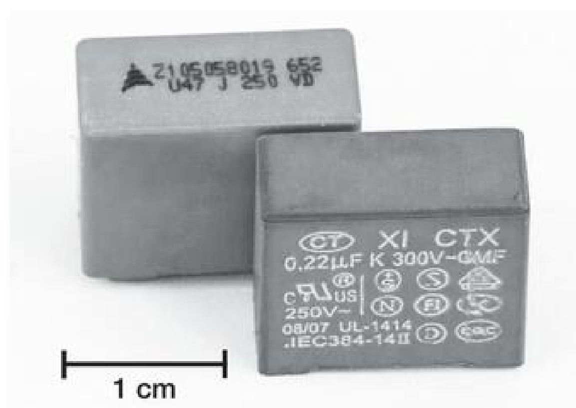


Figura 9.50. os capacitores com classificação ac-line exibem de forma extravagante suas classificações de segurança (à direita), em comparação com a decoração minimalista de um capacitor de filme simples (à esquerda).

[40] Onde a entrada retificada carrega grandes capacitores de armazenamento em cada pico de tensão da forma de onda CA. Por outro lado, a troca de fontes de *alimentação com correção do fator de potência* (PFC) evita esse problema; consulte §9.7.1C.

[41] Cuidado, no entanto, com especificações de atenuação enganosas: elas são especificadas universalmente com fonte e carga de 50 ÿ, porque é fácil medir com instrumentação de RF padrão, e não porque tem alguma semelhança com o mundo real.

[42] Por exemplo, os capacitores de filme plástico de classificação linear são construídos de modo que uma quebra de perfuração cause a queima do revestimento de metal próximo ao orifício, eliminando o curto-circuito. 43 Aqui estão alguns deles: UL, CSA, SEV, VDE, ENEC, DEMKO, FIMKO, NEMKO, SEMKO, CCEE, CB, EI e CQC.

instrumento estiver desconectado, o capacitor X pode ser deixado segurando o pico de tensão da linha CA, até 325 V, que aparece nos plugues de alimentação expostos! Isso pode causar choques elétricos e descargas de faíscas. É por isso que existe um resistor de descarga paralela, dimensionado para uma constante de tempo segura de menos de um segundo.[44] Aqui, o módulo de filtro Qualtek RFI usa 1 Mÿ, e a fonte de comutação Astrodyne (§9.8) usa 540 kÿ. Este último dissipa continuamente 100 mW quando alimentado com entrada de linha de 220 Vac, o que pode constituir uma das maiores perdas de energia em espera em um projeto "Energy Star".
A Power Integrations oferece seu CAPZero™ IC para resolver este problema. Essa parte inteligente funciona procurando uma reversão de tensão de linha CA a cada 20 ms ou menos e, se não conseguir ver uma, liga, conectando dois resistores de descarga no capacitor X.

Alguns projetos têm capacitores de armazenamento CC de alta tensão substanciais que precisam ser descarregados quando a energia é desligada. Por causa de sua grande capacitância, o CAPZero de detecção CA não funcionaria. Aqui você pode usar normalmente nos contatos do relé e energizar o relé quando a alimentação CA externa estiver presente. Ou, se você não gosta de peças móveis, um MOSFET de modo de depleção de alta tensão (consulte a Tabela 3.6 na página 210) e uma pilha fotovoltaica (consulte §12.7.5, Figura 12.91A) podem fazer o trabalho.

F. Supressor de transientes

Em muitas situações, é desejável usar um "supressor de transientes" (ou "varistor de óxido de metal", MOV) conforme mostrado na Figura 9.49. O supressor de transientes é um dispositivo que conduz quando sua tensão terminal excede certos limites (é como um zener bidirecional de alta potência). Estes são baratos e pequenos e podem desviar centenas de amperes de corrente potencialmente prejudicial na forma de picos. Observe o fusível de corte térmico: que protege em uma situação em que o MOV começa a conduzir parcialmente (por exemplo, se a tensão da linha se tornar muito elevada ou se um MOV antigo exibir uma tensão de ruptura reduzida por ter absorvido grandes transientes). Os supressores de transientes são fabricados por várias empresas, por exemplo, Epcos, Littelfuse e Panasonic.
A supressão transitória efetiva é um desafio interessante, e nós o discutiremos mais adiante no Capítulo *9x.*

G. Risco de choque

É uma boa ideia isolar todas as conexões de tensão de linha expostas dentro de qualquer instrumento, por exemplo, usando tubos termorretráteis de polímero (o uso de "fita de fricção" ou fita isolante dentro de instrumentos eletrônicos é estritamente proibido). Como a maioria dos circuitos transistorizados opera em tensões CC relativamente baixas (±15 V ou menos), das quais não é possível receber um choque, a fiação da linha de força é o único local onde existe risco de choque na maioria dos dispositivos eletrônicos (há exceções , é claro). A chave ON-OFF do painel frontal é particularmente insidiosa a esse respeito, estando próxima a outras fiações de baixa tensão. Seus instrumentos de teste (ou, pior, seus dedos) podem facilmente entrar em contato com ele quando você for pegá-lo durante o teste.

9.5.2 Transformador

Agora para o transformador. Nunca construa um instrumento para sair da linha de força sem um transformador de isolamento! Fazer isso é flertar com o desastre. As fontes de alimentação sem transformador, que se tornaram populares em alguns eletrônicos de consumo (principalmente rádios e televisões) por serem baratas, colocam o circuito em alta tensão em relação ao aterramento externo (canos de água, etc.).[45] Isso não tem lugar em instrumentos destinados à interconexão com qualquer outro equipamento e deve sempre ser evitado. E tenha muito cuidado ao fazer manutenção em qualquer equipamento desse tipo; apenas conectar a ponta de prova do osciloscópio ao chassi pode ser uma experiência chocante ence.

A escolha do transformador é mais complicada do que você pode esperar a princípio. Pode ser difícil encontrar um transformador com as classificações de tensão e corrente de que você precisa. Achamos a Signal Transformer Company incomum, com sua ótima seleção de transformadores e entrega rápida.
E não negligencie a possibilidade de ter transformadores personalizados se sua aplicação exigir mais do que alguns.

Mesmo assumindo que você pode obter o transformador que deseja, ainda precisa decidir sobre a tensão e a corrente nominal. Se a fonte não regulada estiver alimentando um regulador linear, você deseja manter baixa a tensão CC não regulada, a fim de minimizar a dissipação de energia nos transistores de passagem. Mas você deve estar absolutamente certo de que a entrada do regulador nunca cairá abaixo do mínimo necessário para a regulação (normalmente 2 V acima da tensão de saída regulada, para reguladores convencionais como o LM317; ou 0,5–1 V para tipos de baixa queda) ou você pode encontrar quedas de 120 Hz na saída regulada; no projeto, você precisa permitir baixa tensão de linha (10% abaixo do nominal, digamos – 105 Vac nos EUA) ou mesmo condições de queda de energia (20% abaixo do nominal).
A quantidade de ondulação na saída não regulada está envolvida

[44] Vimos muitos projetos que omitem esse resistor de descarga; não é bom!

[45] Suprimentos off-line não isolados são comumente encontrados em alguns tipos de eletrônicos autônomos, como uma lâmpada LED aparafusada, um relógio de parede, um alarme de fumaça, uma câmera de vigilância Wi-Fi, uma torradeira ou cafeteira, e assim por diante. Discutimos alguns deles no Capítulo *9x.*

aqui, porque é a entrada *mínima* para o regulador que deve ficar acima de alguma tensão crítica (veja a Figura 1.61), mas é a entrada *média* para o regulador que determina a dissipação do transistor.

Por exemplo, para um regulador de +5 V, você pode usar uma entrada não regulada de +10 V no mínimo da ondulação, que pode ser de 1 a 2 volts pico a pico. A partir da classificação da tensão secundária, você pode fazer uma boa estimativa da saída CC da ponte, porque a tensão de pico (no topo da ondulação) é aproximadamente 1,4 vezes a tensão rms secundária, menos duas quedas de diodo. Mas é essencial fazer medições reais se você estiver projetando uma fonte de alimentação com queda quase mínima no regulador, porque a tensão de saída real da fonte não regulada depende de parâmetros mal especificados do transformador, como resistência do enrolamento e acoplamento magnético (indutância de fuga), ambos os quais contribuem para a queda de tensão sob carga. Certifique-se de fazer medições nas piores condições: carga total e baixa tensão da linha de alimentação (105 V).

Lembre-se de que capacitores de filtro grandes geralmente têm tolerâncias frouxas: ÿ30% a +100% sobre o valor nominal não é incomum. É uma boa idéia usar transformadores com derivações múltiplas no primário (a série Triad F-90X, por exemplo), quando disponível, para ajuste final da tensão de saída.

Para o circuito mostrado na Figura 9.49, queríamos uma saída de ±50 V sob carga total. Admitindo duas quedas de diodo (da ponte retificadora), precisamos de um transformador com amplitude de pico de ~52 V, ou cerca de 37 Vrms. Entre as opções de transformador disponíveis, a mais próxima era a unidade de 40 Vrms mostrada, provavelmente uma boa escolha devido aos efeitos da resistência do enrolamento e da indutância de dispersão, que reduzem ligeiramente a tensão de saída CC carregada.

Uma observação importante: as classificações de corrente do transformador geralmente são dadas como corrente secundária *rms* . No entanto, como um circuito retificador consome corrente apenas em uma pequena parte do ciclo (durante o tempo em que o capacitor está realmente carregando), a corrente eficaz do secundário e, portanto, o aquecimento de $I^2 R$, será significativamente maior do que a saída CC retificada média. atual. Portanto, você deve escolher um transformador cuja classificação de corrente rms seja um pouco maior (normalmente ÿ 2 ×) do que a corrente de carga CC. Ironicamente, a situação piora à medida que você aumenta o tamanho do capacitor para reduzir a tensão de ondulação de saída.

A retificação de onda completa é melhor nesse aspecto, porque uma porção maior da forma de onda do transformador é usada. Para a fonte CC não regulada da Figura 9.49, medimos uma corrente eficaz de 3,95 A no secundário do transformador ao alimentar uma carga de 2 A CC. As formas de onda medidas na Figura 9.51 mostram a natureza pulsante da corrente, pois a saída do transformador retificado recarrega os capacitores de armazenamento a cada meio ciclo.

Ingenuamente, você pode esperar que o ângulo de condução (fração do ciclo durante o qual a corrente flui) possa ser estimado simplesmente (a) calculando a descarga do capacitor entre meio ciclos, de acordo com *I =C dV/ dt,* então (b) calcular o tempo no próximo meio ciclo em que a saída retificada excede a tensão do capacitor. No entanto, esse belo esquema é complicado pelos efeitos importantes da resistência do enrolamento do transformador e da indutância de vazamento e do ESR do capacitor de armazenamento, todos os quais estendem o ângulo de condução.[46] A melhor abordagem é fazer medições na bancada, talvez informadas por simulações do SPICE usando valores conhecidos ou medidos desses parâmetros. Em §9.5.4 mostramos os resultados de tais simulações.

9.5.3 componentes dc

A. Capacitor de armazenamento Os capacitores de armazenamento (às vezes chamados de capacitores de *filtro)* são escolhidos grandes o suficiente para fornecer tensão de ondulação aceitavelmente baixa, com uma tensão nominal suficiente para lidar com a pior combinação de caso sem carga e alta tensão de linha (125–130 Vrms).

Neste ponto, pode ser útil olhar novamente para §1.7.16B, onde discutimos pela primeira vez o assunto da ondulação. Em geral, você pode calcular a tensão de ondulação com precisão suficiente assumindo uma carga de corrente constante igual à corrente de carga média. (No caso particular em que a alimentação não regulada aciona um regulador linear, a carga de fato é precisamente um dissipador de corrente constante). Isso simplifica sua aritmética, pois o capacitor descarrega com uma rampa e você não precisa se preocupar com constantes de tempo ou exponenciais (as formas de onda medidas na Figura 9.51, tomadas com uma carga resistiva, ilustram a validade dessa aproximação).

Para o circuito mostrado na Figura 9.49, queríamos uma ondulação de saída de aproximadamente 1 Vpp com carga total de 2 A. De I=C dV/dt obtemos (com ÿt=8,33 ms) *C=Iÿt/ ÿV* = 16.700 F. As classificações de tensão do capacitor mais próximas são 63 V ÿ e 80 V; nós escolhemos o último, com muita cautela. Os capacitores de 16.000 F/80 V disponíveis são um pouco grandes fisicamente (40 mm de diâmetro ÿ× 80 mm de comprimento), então ÿ decidimos colocar um par de capacitores de 8200 F (35 mm × 50 mm) em paralelo (usando capacitores menores em paralelo ÿ

[46] Embora um transformador com uma grande indutância de dispersão possa parecer vantajoso (porque aumenta o ângulo de condução sem perdas), ele tem o efeito indesejável de degradar a regulação de tensão sob carga; também introduz um atraso de fase na corrente de entrada em relação à tensão, reduzindo assim o fator de potência. Além disso, a indutância de fuga causa o aparecimento de picos de tensão desagradáveis, devido à recuperação reversa do diodo, conforme descrito em *§9x.6.*

também reduz a indutância em série geral do capacitor).

Boas práticas de projeto exigem o uso de capacitores de armazenamento cuja taxa de corrente de ondulação é conservadoramente maior do que o valor estimado da corrente de saída CC e do ângulo de condução. No circuito acima, por exemplo, projetamos uma corrente de carga CC máxima de 2 A, a partir da qual estimamos uma corrente eficaz de cerca de 4 A, tanto no secundário do transformador quanto no capacitor de armazenamento. Os capacitores particulares mostrados na figura têm uma classificação de corrente de ondulação de 5,8 Arms a 85 °C para cada capacitor de 8200 F do par paralelo, portanto 11,6 Arms ÿ quando combinados para formar C1 ou C2. Isso é definitivamente conservador! Você também pode calcular o aquecimento, a partir da especificação ESR de 0,038 ÿ (máximo) por capacitor: cada par paralelo tem um ESR não superior a 19 mÿ, o que produz uma potência de aquecimento de $P = I^2_{rms} R_{ESR}$ ÿ 0,15 W em cada capacitor.

Ao escolher capacitores de filtro, não se empolgue: um capacitor superdimensionado não apenas desperdiça espaço, mas também aumenta o aquecimento do transformador (reduzindo o ângulo de condução, aumentando assim a relação entre a corrente eficaz e a corrente média). Também aumenta o estresse nos retificadores. Mas cuidado com tolerância de capacitância frouxa: embora os capacitores que usamos aqui tenham uma tolerância nominal de ±20%, os capacitores de armazenamento eletrolítico podem ser tão frouxo quanto +100%/ÿ30%.

Os resistores R2 e R3 na saída na Figura 9.49 servem a dois propósitos: eles fornecem uma carga mínima (para evitar que a saída descarregada “aumente”); e atuam como “sangradores” para descarregar os capacitores quando a alimentação descarregada é desligada. Este é um bom recurso, porque as fontes de alimentação que permanecem carregadas depois que as coisas foram desligadas podem facilmente levar você a danificar alguns componentes do circuito se você pensar erroneamente que não há tensão presente.

B. Retificador

O primeiro ponto a ser observado é que os diodos usados em fontes de alimentação (geralmente referidos como “retificadores”) são bem diferentes dos pequenos diodos de sinal do tipo 1N914 ou 1N4148 usados em circuitos. Os diodos de sinal são geralmente projetados para alta velocidade (alguns nanossegundos), baixo vazamento (alguns nanoamps) e baixa capacitância (alguns picofarads), e geralmente podem lidar com correntes de até cerca de 100 mA, com tensões de ruptura raramente superiores a 100 volts . Por outro lado, diodos retificadores e pontes para uso em fontes de alimentação são objetos pesados com classificações de corrente que vão de 1 A a 25 A ou mais, e classificações de tensão de ruptura que vão de 100 V a 1.000 V ou mais. Eles têm correntes de fuga relativamente altas (na faixa de microamperes a miliamperes) e muita capacitância de junção. Os retificadores de uso geral do tipo usado na Figura 9.49 não são projetados para alta velocidade, desnecessários para operação na linha de força frequência de 60 Hz. Por outro lado, na *comutação* de fontes de alimentação, é necessário usar retificadores de alta velocidade por causa das frequências de comutação características de 20 kHz–1 MHz; aí o uso de retificadores de “recuperação rápida” ou Schottky-barrier (ou MOSFETs usados como “retificadores síncronos”[47]) é universal.

Típicos de retificadores de uso geral são as populares séries 1N4001–1N4007, classificadas em 1 A, e as séries 1N5400–1N5408, classificadas em 3 A, com tensões de ruptura reversa variando de 50 a 1000 volts. A série 1N5817–1N5822 de retificadores Schottky vem em pacotes de condutores axiais, com correntes nominais de 1–3 A e tensões nominais de 20–40 V. Retificadores com correntes nominais mais altas requerem dissipador de calor e vêm em pacotes semelhantes aos transistores de potência (TO-220, D2PAK, montagem em pino, etc). Exemplos são os retificadores Schottky duplos MBR1545 e 30CTQ045 (disponíveis nos pacotes de potência TO-220 ou D2PAK), classificados em 15 A e 30 A, respectivamente, a 45 V, e os retificadores MUR805 a MUR1100 6 A (nos pacotes TO-220) , com classificações de idade de tensão para 1 kV. Os retificadores de ponte encapsulados em plástico também são bastante populares, com tipos de 1 A a 6 A montados em chumbo e pacotes montáveis em dissipadores de calor em classificações de até 35 A ou mais.[48]

C. Rede de amortecimento

A série *RC* através do secundário do transformador na Figura 9.49 é frequentemente omitida, mas não deveria ser. Esta simples fonte de corrente contínua linear não regulada tem a capacidade surpreendente de gerar picos de tensão substanciais em escala de microssegundos, que podem criar forte interferência de 120 Hz e outras formas de dano. Acontece que um par de características não ideais (indutância de vazamento do transformador, combinada com o tempo de recuperação reversa do retificador) trabalha em conjunto para criar um trem de picos agudos periódicos, cuja amplitude pode ser de dezenas de volts. Esse efeito desagradável é facilmente domado com uma rede de “snubber” *RC* em série, conforme mostrado. Há algumas coisas interessantes acontecendo aqui; você pode ler mais sobre isso (e ver um exemplo dramático) em *§9x.6.*

9.5.4 Alimentação dividida não regulada – na bancada!

Construímos a fonte de alimentação da Figura 9.49, principalmente por curiosidade para ver o quão próximo o dispositivo real se comparava

[47] Às vezes chamados *de retificadores ativos.*

[48] Uma opção interessante para implementar uma ponte retificadora eficiente é a utilização de quatro MOSFETs como chaves síncronas; seus sinais de controle de portão podem ser gerados convenientemente com um dispositivo elegante como o LT4320 “Ideal Diode Bridge Controller”, que detecta cruzamentos de zero e faz a coisa certa em seus pinos de saída de controle de portão. Confira seu datasheet.

com nossas previsões. A Figura 9.51 mostra a tensão CA e a corrente em uma extremidade do secundário do transformador e a tensão de saída CC positiva, com a fonte de alimentação alimentando cargas resistivas de ±2 A. As formas de onda são praticamente as esperadas: (a) a tensão de ondulação é de cerca de 0,8 Vpp, um pouco menos do que nossa estimativa de 1 Vpp; nosso cálculo foi conservador, porém, porque assumimos que os capacitores de armazenamento tinham que fornecer corrente de saída por meio período completo (1/2 fac ÿ 8 ms), enquanto na realidade a recarga começa após ÿ6 ms; (b) a tensão de saída CC (54 V) é um pouco maior do que o esperado, provavelmente porque a classificação da tensão do transformador é para a corrente de carga nominal total de 4 A e também porque a tensão da linha de força em nosso laboratório estava 3% acima da nominal final; sem carga, a saída subiu para 60 V, típico de fontes não reguladas; (c) a corrente do transformador está confinada a um ângulo de condução bastante estreito (cerca de 60ÿ de cada 180ÿ semiciclo), como esperado; durante a condução, a forma de onda CA no secundário do transformador é achatada pela corrente de carga pesada por causa dos efeitos combinados de vazamento na ductância e resistência do enrolamento.[49]

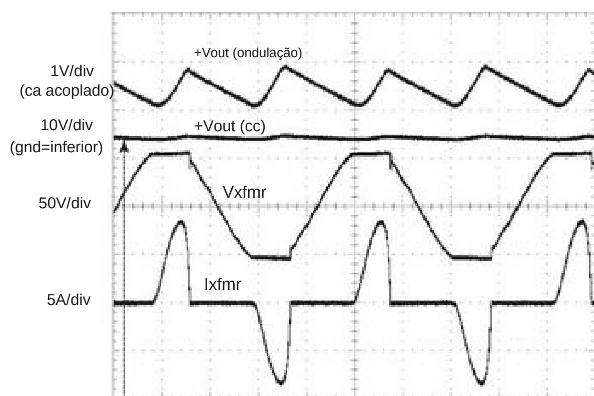


Figura 9.51. Formas de onda medidas para a fonte de alimentação CC não regulada da Figura 9.49 conduzindo cargas de ±2 A. Escala horizontal: 4 ms/div.

Com uma carga de 2 A CC em ambas as saídas, a corrente rms medida do transformador foi de 3,95 Arms. Essa duplicação é causada pelo ângulo de condução reduzido: a corrente *média* do transformador é igual à corrente de saída CC, mas a corrente *eficaz* é maior. Às vezes, isso é descrito como um *fator de potência* reduzido (a proporção entre a potência de entrada média e a potência de entrada rms), um efeito importante na troca de fontes de alimentação. Com alguma esperteza é possível para retificar a linha de alimentação CA para CC enquanto mantém o fator de potência quase unitário, por meio de um circuito de entrada de "correção do fator de potência" (PFC); exploraremos essa astúcia brevemente em §9.7.1C.

E no computador! (ESPECIARIA)

Para explorar os efeitos das imperfeições dos componentes (resistência do enrolamento e indutância de fuga no transformador, resistência em série nos capacitores), executamos uma simulação SPICE (consulte o Apêndice J) deste circuito, começando com parâmetros medidos sempre que possível (por exemplo, transformador resistência e indutâncias), valores encontrados nas bibliotecas SPICE (por exemplo, tensão direta do retificador versus corrente) e suposições plausíveis para resistência em série nos capacitores de armazenamento. Com apenas um pequeno ajuste, obtivemos a simulação mostrada na Figura 9.52 (apresentada nos mesmos fatores de escala da Figura 9.51). A concordância é impressionante (embora a simulação subestime um pouco o ângulo de condução, portanto, a corrente do transformador é maior do que a medida).[50]

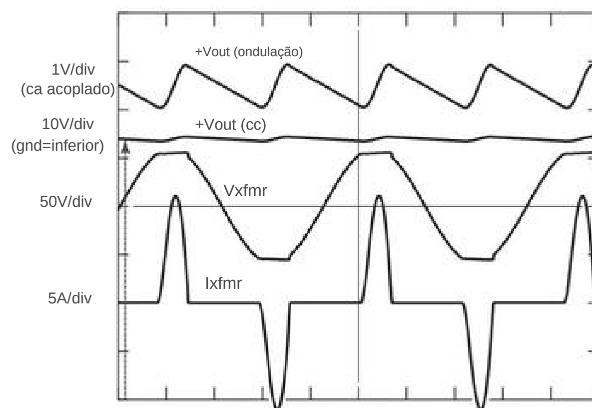


Figura 9.52. Formas de onda de uma simulação SPICE da fonte de alimentação CC não regulamentada da Figura 9.49, representadas nas mesmas escalas da Figura 9.51.

9.5.5 Linear versus switcher: ripple e ruído

A seguir vem o assunto fascinante de *comutação* de reguladores e fontes de alimentação. Estes tornaram-se dominantes, devido à sua combinação de excelente eficiência, pequena

[49] Para essas medições de forma de onda, omitimos a rede de amortecimento *RSCS* da Figura 9.49 para revelar o pico (e salto) que é visível na forma de onda da tensão CA do transformador, causado pela combinação da indutância de vazamento do transformador e do tempo de recuperação do diodo; consulte §9.5.3C e *§9x.6.*

[50] Os parâmetros do circuito dominante usados são: transformador primário R=0,467ÿ, LL=1,63 H, Lÿ=80 mH, transformador, relação de espiras de 0,1765, secundário R=0,136ÿ, LL(seg)=20 H, rede de amortecimento Cs=0,5 F, Rs=30ÿ, retificador ponte ÿ 8A "KBPC806" (Vishay), capacitor de armazenamento C=14.000 F, ESR=0,01ÿ, resistores de carga ÿ 27ÿ (cada lado).

tamanho e peso, e baixo custo. No entanto, nem tudo são rosas: o rápido processo de comutação gera transientes na frequência de comutação e seus harmônicos, e estes podem ser extremamente difíceis de filtrar de forma eficaz. Discutiremos isso em breve. . . mas vale a pena dar uma olhada agora na Figura 9.53, onde os pontos ruins nas saídas de duas fontes de alimentação de 5 V são comparados.

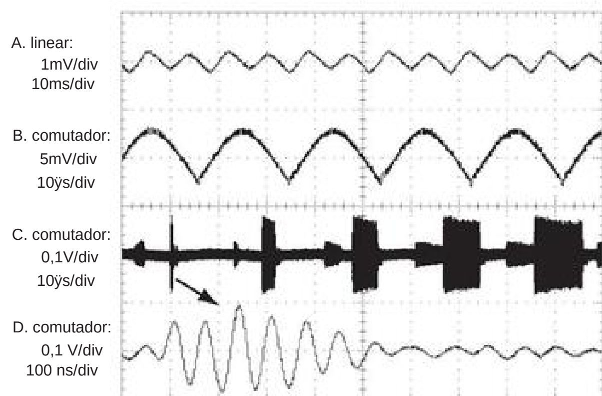


Figura 9.53. Comparando o ruído linear e chaveado da fonte de alimentação. Todas as medições estão em uma carga resistiva a 50% da corrente nominal aluguel. A. Fornecimento linear de 5 V, 0,3 A, mostrando ondulação de ~0,5 mVpp 120 Hz. B. Fonte de comutação de 5 V, 2,5 A, medida diretamente nos pinos de saída, mostrando ondulação de ~6 mVpp na frequência de comutação de 50 kHz (observe a mudança de escala). C. Mesmo comutador, mas medido em uma carga conectada a 50 cm de distância (e com outro fator de mudança de escala ×20), mostrando os grandes picos de comutação (ÿ150 mV) induzidos por correntes de terra de alta frequência; observe o pontilhamento de frequência visto nesta captura persistente. D. Traço expandido de um único pulso induzido, mostrando toque em ~15 MHz.

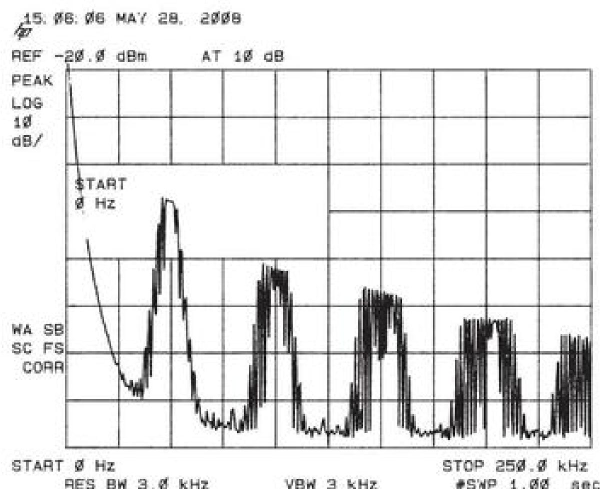


Figura 9.54. Espectro de frequência média da fonte de alimentação chaveada da Figura 9.53, mostrando a frequência chaveada de ~50 kHz com pontilhamento e seus harmônicos.

9.6 Reguladores de chaveamento e conversores CC-CC

9.6.1 Linear versus comutação

Todos os circuitos reguladores de tensão que discutimos até agora funcionam da mesma maneira: um elemento de controle linear (o "transistor de passagem") em série com a entrada CC é usado, com realimentação, para manter a tensão de saída constante (ou talvez constante). corrente).51 A tensão de saída é sempre menor em tensão do que a tensão de entrada, e uma potência significativa é dissipada no elemento de controle, ou seja, Pdiss=Iout(VinÿVout). Como vimos, a entrada CC para um regulador linear pode ser simplesmente outra tensão CC regulada (mais alta) dentro do sistema; ou pode ser dc não regulado que é derivado do powerline, através do já conhecido circuito transformador-retificador-capacitor.

Vamos olhar um pouco mais para a questão da eficiência. Fontes de alimentação com reguladores *lineares* são necessariamente ineficientes, porque o transistor de passagem carrega a corrente de carga total e deve ter queda de tensão suficiente para acomodar uma combinação de pior caso de ondulação de entrada e tensão de linha baixa. A situação é exacerbada para fontes de baixa tensão de saída: por exemplo, um regulador linear para fornecer +3,3 V a 10 A usaria uma tensão CC não regulada de talvez +6 V para garantir espaço livre adequado; então você tem 27 W de dissipação do transistor de passagem enquanto fornece 33 W para a carga – isso é 55% de eficiência. Você pode não se importar muito com a eficiência em *si;* mas a energia desperdiçada tem que ser dissipada, o que significa uma grande área de diss Se você aumentasse este exemplo para 100 A, digamos, você teria um problema sério de remover o quarto de quilowatt (!) do calor do transistor de passagem. Você teria que usar transistores de passagem múltipla e resfriamento de ar forçado. O suprimento seria pesado, barulhento e quente.

Existe outra maneira de gerar uma tensão CC regulada (mostrada anteriormente na Figura 9.48B), que é fundamentalmente diferente do que vimos até agora – veja a Figura 9.55. Neste conversor de comutação, um transistor, operado como uma chave saturada, aplica periodicamente a tensão total não regulada através de um indutor por curtos intervalos. O *2LI2* de corrente de indutor aumenta durante cada pulso, armazenando energia do campo 1 magnético. Quando o interruptor é desligado, alguns

51 Uma pequena variação desse tema é o *regulador shunt,* no qual o elemento de controle é conectado da saída ao terra, em vez de em série com a carga; o simples resistor-mais-zener é um exemplo.

ou toda essa energia armazenada é transferida para um capacitor de filtro na saída, que também suaviza a saída (para transportar a carga de saída entre os pulsos de carga). Tal como acontece com um regulador linear, o feedback compara a saída com uma referência de tensão - mas em um regulador de comutação ele controla a saída alterando a largura de pulso do oscilador ou a frequência de comutação, em vez de controlar linearmente a base ou acionamento do portão.53

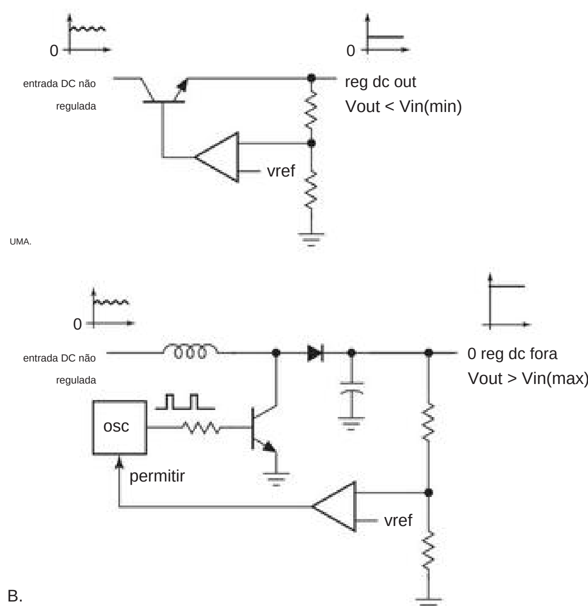


Figura 9.55. Dois tipos de reguladores: A. linear (série-pass); B. switcher (step-up ou "boost").

Vantagens dos conversores de comutação

Os reguladores de comutação têm propriedades incomuns que os tornaram muito populares: (a) Como o elemento de controle está desligado ou saturado, há muito pouca dissipação de energia; fontes de comutação são portanto, muito eficiente, mesmo quando há uma grande diferença de tensão entre a entrada e a saída. Alta eficiência se traduz em tamanho pequeno, porque pouco calor precisa ser dissipado. (b) Chaveadores (gíria para "switching power supplys") podem gerar tensões de saída *maiores* que a entrada não regulada, como na Figura 9.55B; e eles podem facilmente gerar saídas *com polaridade oposta* à da entrada! (c) O capacitor de armazenamento de saída pode ser pequeno (em capacitância e, portanto, em tamanho físico), porque a alta frequência de operação (normalmente 20 kHz–1 MHz) corresponde a um intervalo de tempo muito curto (alguns microssegundos) entre a recarga . (d) Para uma fonte de comutação operada a partir da entrada da linha de alimentação CA, o isolamento essencial é fornecido por um transformador operando na frequência de comutação; é *muito* menor do que um transformador de linha de baixa frequência (consulte a Figura 9.1).

A boa notícia A

combinação de tamanho pequeno de capacitor e transformador, juntamente com pouca dissipação de energia, permite fontes CC compactas, leves e eficientes com alimentação CA, bem como conversores CC para CC.54 Por esses motivos, fontes chaveadas (também conhecidas como fontes de alimentação de modo de comutação, ou *SMPSs),* são usadas quase universalmente em dispositivos eletrônicos, como computadores, telecomunicações, eletrônicos de consumo, dispositivos operados por bateria e, bem, quase tudo eletrônico.

As más notícias

Para não deixarmos uma impressão muito favorável, notamos que a troca de suprimentos tem seus problemas. A operação de comutação introduz "ruído" na saída CC e, da mesma forma, na linha de alimentação de entrada e como interferência eletromagnética irradiada (EMI); veja as Figuras 9.53 e 9.54. Os comutadores operados em linha (confusamente chamados de "off-line") exibem uma "corrente de irrupção" bastante grande quando inicialmente ligados.55

[52] Toda a energia armazenada avança se a corrente do indutor puder ir a zero ("modo de condução descontínua", DCM); você obtém apenas uma parte da energia armazenada no "modo de condução contínua" (CCM), no qual a corrente do indutor não vai a zero antes do próximo ciclo de condução.

[53] Pode-se objetar que estamos comparando injustamente um circuito conversor *de* comutação elevador com um regulador de passagem linear inerentemente "redutor". De fato, a topologia de comutação que é análoga em função ao regulador linear é o regulador *buck* (mostrado atualmente na Figura 9.61A). Mas gostamos do valor de choque do conversor de comutação de impulso, porque é inesperado que você possa fazer isso se tiver vivido exclusivamente no mundo linear.

[54] Exemplos do primeiro incluem os pequenos "tijolos" de energia que são usados para laptops, telefones celulares e similares, bem como as fontes de alimentação mais substanciais incorporadas aos computadores de mesa. Exemplos deste último são os conversores CC-CC de "ponto de carga" que você encontra agrupados em torno do processador na placa-mãe de um computador: o processador pode exigir 1,0 Vcc a 60 A (!); para gerar essa enorme corrente você usa um conjunto de conversores abaixadores de 12 V para 1,0 V, bem no ponto de carga, alimentado por um "barramento" de 12 V de corrente mais baixa.

[55] Por exemplo, abrimos uma página aleatória na seção de fonte de alimentação do catálogo DigiKey e encontramos um pequeno comutador de 5 W de entrada CA (5 Vcc, 1 A) com uma corrente de pico de linha de força especificada de . . . (tambores). . . 40 A – é uma potência de pico de 4 quilowatts!

E os switchers sofreram com uma má reputação de responsabilidade civil, com exibições pirotécnicas espetaculares ocasionais durante episódios de falha catastrófica.

O resultado final

Felizmente, as fontes de comutação superaram em grande parte as desvantagens de seus irmãos anteriores (falta de confiabilidade, ruído elétrico e audível, corrente de irrupção e tensão do componente). Por serem pequenos, leves, eficientes e baratos, os comutadores substituíram em grande parte os reguladores lineares em toda a faixa de potência de carga (de watts a quilowatts) na eletrônica contemporânea e, particularmente, na grande produção comercial. Suprimentos lineares e reguladores ainda estão funcionando e bem, no entanto, particularmente para regulagem simples de baixa potência e para aplicações que requerem energia CC limpa; e esta última característica – a ausência de ruído de comutação generalizado – pode ser de grande importância em aplicações que lidam com pequenos sinais.

9.6.2 Topologias do conversor de comutação

Nas seções a seguir, contamos tudo sobre reguladores de comutação e fontes de alimentação (chamados coletivamente de "conversores de comutação"), em várias etapas.

• Primeiro (§9.6.3), examinamos brevemente os conversores sem *indutor ,* nos quais a energia é transportada da entrada para a saída por capacitores, cujas conexões são comutadas com MOSFETs. Às vezes, eles são chamados de "conversores de bomba de carga" ou "conversores de capacitores voadores". Esses dispositivos simples podem dobrar ou inverter uma tensão de entrada CC e são úteis para cargas de corrente relativamente baixas (até aproximadamente 100 mA).

• A seguir (§9.6.4), descrevemos as topologias de conversores que usam indutores, começando com o conversor de comutação não isolado CC–CC básico, do tipo que você usaria em um circuito ou com alimentação por bateria. Existem três topologias básicas de circuito, usadas para (a) abaixamento (tensão de saída menor que entrada), (b) aumento (tensão de saída maior que entrada) e (c) inversão (polaridade de saída oposta à de entrada).). Todos estes usam um indutor para armazenamento de energia durante o ciclo de comutação. • A seguir (§9.6.10), veremos os conversores CC–CC nos quais um transformador acopla os circuitos de entrada e saída. Além de fornecer isolação galvânica (que pode ou não ser necessária), o transformador é desejável quando há uma grande relação entre as tensões de entrada e saída. Isso ocorre porque a relação de espiras do transformador fornece um fator de conversão de tensão útil que está ausente nos projetos não isolados (sem transformador). Projetos de transformadores também permitem que você produza várias saídas e de qualquer polaridade. • Finalmente (§9.7) descrevemos como o conversor isolado permite projetos de fonte de alimentação que funcionam diretamente da linha de alimentação CA retificada. Esses suprimentos "offline" são, obviamente, o pão com manteiga da maioria dos eletrônicos alimentados por linha. E eles têm seus problemas especiais, relacionados à segurança, interferência, corrente de irrupção, fator de potência e afins.

E, caracteristicamente, damos muitos conselhos sobre o assunto: quando usar switchers, quando evitá-los; quando projetar seus próprios, quando comprá-los. Com a humildade que nos caracteriza, não vos deixamos dúvidas!

9.6.3 Conversores chaveados sem indutor

O termo "conversor de comutação" geralmente significa um conversor de energia que usa indutores (e às vezes transformadores), juntamente com interruptores de transistor de alta frequência, para realizar a conversão de tensão. No entanto, existe uma classe interessante de conversores *sem indutor* (também conhecidos como conversores de *bomba de carga ,* conversores de *capacitores comutados* ou conversores *de capacitores voadores)* que podem fazer alguns dos mesmos truques - gerar uma tensão de saída de polaridade oposta ou uma tensão de saída superior à entrada. Esses conversores são mais simples e eletricamente mais silenciosos do que os conversores com indutores, e são úteis quando você precisa apenas de uma corrente modesta (menos de 100 mA ou mais). Por exemplo, você geralmente tem uma fonte de +5 V (em uma placa de computador ou dispositivo USB) ou talvez +9 V de uma bateria e precisa de uma tensão negativa correspondente porque deseja executar uma operação de polaridade dupla -amp. Basta colocar um chip inversor de bomba de carga e dois capacitores, e você está pronto para começar.56 A

Figura 9.56 mostra como funciona: esses dispositivos têm um oscilador interno e algumas chaves CMOS, e requerem um par de capacitores externos para fazer o trabalho deles. Quando o par de interruptores de entrada está fechado (conduzindo), C1 carrega para Vin; então, durante o segundo meio ciclo, C1 é desconectado da entrada e conectado, de cabeça para baixo, na saída. Se C2 C1, então a tensão de saída vai quase para -VIN em um ciclo de operação. No caso mais típico de C2 ÿ C1 , são necessários vários ciclos, desde a partida a frio, para que a tensão de saída se equilibre em ÿVIN.

Da mesma forma, você pode criar uma saída de 2Vin, organizando as coisas para que C1 carregue como antes, mas depois fique ligado em série com Vin durante o segundo meio ciclo (transferência).

56 Uma boa referência é MD Seeman & SR Sanders, "Analysis and optimization of switched-capacitor DC–DC converters," *IEEE Trans. Elétron de Potência.* **23** (2) pp. 841–851 (2008).

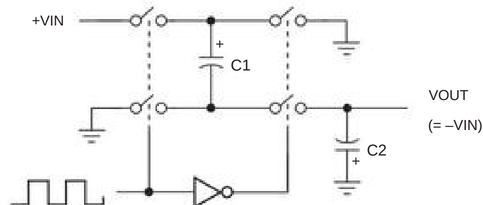


Figura 9.56. Inversor de tensão da bomba de carga. Um oscilador opera os pares de interruptores em alternância: os interruptores da esquerda carregam o "capacitor flutuante" C1 para uma tensão de VIN; os interruptores do lado direito aplicam essa tensão, com polaridade invertida, ao capacitor de armazenamento de saída C2.

(Figura 9.57). O LT1026 e o MAX680 integram convenientemente um dobrador positivo e um dobrador inversor em um pacote: A Figura 9.58 mostra o circuito simples necessário para gerar uma alimentação dividida não regulada a partir de uma única entrada de +5 V.

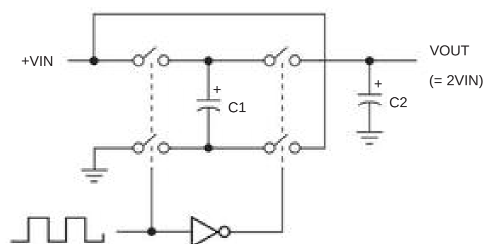


Figura 9.57. Duplicador de tensão da bomba de carga. Aqui, a tensão no capacitor voador, carregada em VIN, é adicionada à tensão de entrada para gerar uma tensão de saída de duas vezes VIN.

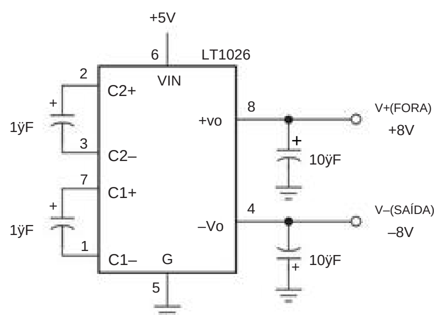


Figura 9.58. Gerando um par de saídas não reguladas de ±8 V a partir de uma única entrada de +5 V.

A. Limitações dos conversores sem indutor Esta técnica de bomba de carga é simples e eficiente e requer poucas peças e nenhum indutor. No entanto, a saída não é regulada e cai significativamente sob carga (Figura 9.59). Além disso, em comum com outras fontes de comutação

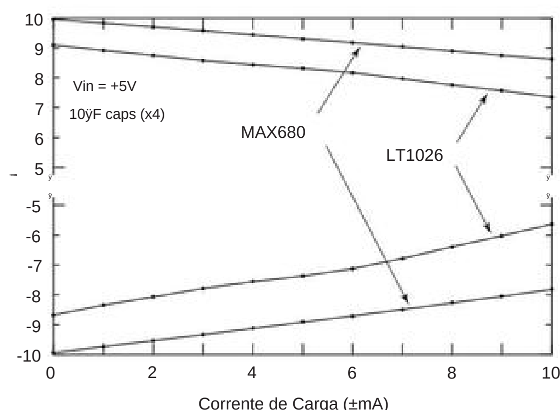


Figura 9.59. A tensão de saída de um conversor de bomba de carga cai significativamente sob carga, como visto aqui com dados medidos para o circuito da Figura 9.58, com dispositivos bipolares (LT1026) ou CMOS (MAX680). Os switches MOSFET não têm queda de tensão em corrente zero, onde Vout é exatamente igual a duas vezes Vin.

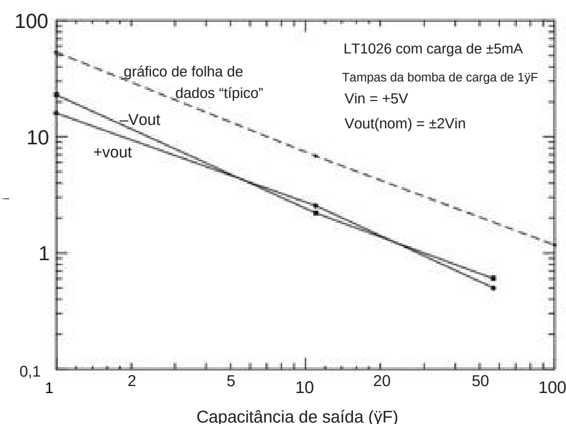


Figura 9.60. Reduzindo a ondulação com um capacitor de saída maior: tensão de ondulação pico a pico medida para o inversor-dobro LT1026.

técnicas de conversão, a operação de comutação produz ondulação de saída, que, no entanto, pode ser reduzida usando capacitores de saída maiores (Figura 9.60) ou acrescentando um regulador linear de baixa queda (veja abaixo).57 Além disso, como a maioria dos dispositivos CMOS, as bombas de carga têm uma limita

[57] A tensão de ripple é dada aproximadamente por Vripple(pp) = Iout/2 *foscCout* +2Iout ·ESR. O primeiro termo é apenas *I = C dV/ dt,* e o segundo termo adiciona o efeito da resistência em série equivalente finita do capacitor.

Tabela 9.4 Conversores de bomba de carga selecionadossa

Papel #	Pacote	configuração	Vin (V)	Vout (V)	Derrota type @ (ÿ) Vin (V)	Tipo foco (kHz)	Ioutz (mA)	QI Tipo @ Vin (mA) (V)	Comentários
não regulamentado									
LTC3261 - - - •		inv faixa inv, x2, x0,5 faixa LTC1144 ••--	4,5-32		35	12 50e 50-500p 15 80 12		7	15 HV 15
TC962 • • - -		inv, x0,5 faixa ICL7662a - - - inv, x0,5 faixa	3-18		32	ou 24p 0,5 15 50 10 ou 100p			melhorado 7660/2
TC1044k • • - - inv, x0,5 3-12 ou 1,5-3,5 faixa x2, x0,5 2,5-5,5g ou 1,8-11h			2-18	faixa	56	1,1m 15 HV ver de 1044/7660/62 15 50			
inv, x0,5 3-10 ou 1,5-3,5 faixa inv & x2 4-10g ou 2-8 faixa 1,5-5,5 pista 1,8-5,5 faixa 1,8-5,5 faixa 1,6-6 faixa					55		10	0,15 12,5 Maxim, original Intersil	
					55	15 60 10 ou 45p 0,15 12,5 melhorado 7660; procurar)			
LM2681 --• -					15	5 30	160	0,06 5	
ICL7660k • • - -					30	10 40 10 ou 35p 0,08 5 classic, 5 manuf, consulte (k)			
LT1026 • • - -					b - 20 100c 5 40c		-	15 15 5 1	
MAX680 • • - - pos & neg x2					5 20 20 10	5 MAX864 8 para 200kHz 7-185p 0,6-12p 5 5 25 0,04 5 5 25 11			
MAX864 ---• pos & neg x2						0,04 5 3 60 20-250i,q 0,06-0,4q 5 5 100 10 ou 80p 0,12 5			
LM828 - - • - inv							12		
LM2767 - - • -		x2							
TPS6040x ---•-		inv							variável fosc ('60400)
MAX660 ••--		inv, x2	1,5-5,5	acompanhar	6.5				
regulador									
LTC3260 - - - •		inv duplo	4,5-32 1,2-32 e -1,2 a -32 0,03 12 50 3,5-15				200	4	15 HV dual reg alimentação dividida
LT1054 • • - -		LDO		–Vin, ou adj reg –	10	- 100	25	3	15
ADP3605 • - •		inv	3-6	3,0, ou –3 a –6 0,3 0,8		5 120 250 400i 5 50			5
ST662 •--		reg 12V	4,5-5,5	12		200 500-2000x 6 53		3 0,1	5 fornecimento de programa de memória flash 5 3.6
MAX889 • - - reg adj -Vout MAX682 •-•			2,7-5,5	–2,5 a –Vin	0,05	250 20-3000i,p 7,5 n 30 1000i 3			
reg 5V REG710-vv - - • - buck-boost		MAX1595-	2,7-5,5	+5V	<1	125 1000i 0,7 3,3 40 3 50			
vv ---• buck-boost TPS6024x ---• buck-boost			1,8-5,5	2,5, 2,7,…,5,5vv	2 1			0,07 3,3 buck/boost do switch automático	
LTC1517-5 -- •- reg 5V LTC3200 --•• reg 5V			1,8-5,5	3,3 ou 5,0vv				0,23 3 buck/boost do switch automático 0,25	
LTC1682 - • - • LDO, adj Vout LTC1502-3.3			1,8-5,5	2,7, 3, 3,3, 5u 5,0			160	3 baixo ruídov 0,006 todos micropower reg	
-•-• reg 3.3V TPS6031x - - - • x2 & reg 3v		NJU7670 •	2,7-5	+5V 2,5-5,5			800	5V 3,5 3,6 0,15 3 x2 para LDO; baixo ruídow	
• - - neg x3 & LDO –2.6 para -6			2,7-4,5	3,3 3,0, 3,3u	1	3.6 100 2000i		0,04 1 célula única para reg +3,3V 0,03 1,5 célula única para reg +3,3V 0,08 1,5	
			1,8-4,4	–8 a –18	0,4	3 50	550	neg Vin, tripler plus LDO	
			0,9-1,8		4w, 0,2 1,5	0,2 250 5 -5 -20,2 5 700i			
			0,9-1,8						

Notas: (a) todos são sem indutor, e requerem vários caps externos; os tipos "regulados" incluem pós-regulador LDO linear interno ou regulação via controle de comutação; classificados dentro das categorias diminuindo o Vin máximo. (b) bipolar, veja folha de dados para Vout típico. (c) com outra saída descarregada. (d) ambas as saídas carregadas. (e) no máximo fosc. (g) no modo x2. (h) no modo x0,5. (i) alto fosc permite capacitores pequenos. (k) pino LV para baixo intervalo de Vin ; muitos mfgs, prefixos LMC, NJU, TC, TL; consulte também MAX/LTC/TC1044, 1144 e TC962. (m) máximo. (n) em Vin=Vout/2 + 0,8V. (o) ou Si7661. (p) pino de frequência selecionável ou ajustável. (q) último dígito de p/n define fosc, exceto TPS60400, onde fosc varia habilmente com Vin e Iout. (r) saídas não reguladas também disponíveis na maioria; a menos que marcado como "LDO", todos são regulados por meio do controle de comutação. (s) em Vin=1,2V. (u) último dígito de p/n define Vout. (v) Vn = 170ÿVrms em BW = 20Hz-10MHz. (vv) sufixo seleciona Vout. (w) Vn = 60ÿVrms em BW = 10Hz-100KHz, 600ÿVpp para 10Hz-2,5MHz. (x) conjuntos de sufixos fosc. (y) ou reg +3,3V; saída unreg x2 também fornecida. (z) máximo utilizável.

faixa de tensão de alimentação: o IC original da bomba de carga (o In tersil ICL7660) permite que Vin varie de +1,5 V a +12 V; e embora alguns dispositivos sucessores (por exemplo, o LTC1144) estendam essa faixa até +18 V, a tendência é proteger dispositivos de baixa tensão com maior corrente de saída e com outros recursos.58 Finalmente, ao contrário da comutação *indutiva* conversores (discutidos a seguir), que podem gerar qualquer tensão de saída desejada, o conversor de tensão de capacitor móvel pode gerar apenas pequenos múltiplos discretos da tensão de entrada. Apesar dessas desvantagens, os conversores de tensão com capacitor flutuante podem ser muito úteis em algumas circunstâncias, por exemplo, para alimentar um amplificador operacional com alimentação dividida ou um chip de porta serial (consulte os Capítulos 14 e 15) em uma placa de circuito que tenha apenas +5 volts disponíveis. A Tabela 9.4 lista uma seleção de conversores de tensão de bomba de carga, ilustrando uma variedade de recursos (tensão, regulação, corrente de saída e assim por diante).

58 Por exemplo, mais da metade das ofertas da Maxim são limitadas à entrada de +5,5 V; e das 67 ofertas da Texas Instruments, apenas 7 podem operar acima da entrada de +5,5 V (e 28 delas são limitadas a +3,6 V ou menos). A história é semelhante para as 62 ofertas de conversores de bomba de carga da Linear Technology.

B. Variações

Existem variações interessantes e úteis de capacitores voadores, muitas das quais estão listadas na Tabela 9.4, que é organizada em variedades não reguladas e reguladas (cada uma classificada pela tensão máxima de entrada). Os tipos não regulamentados representam variações do ICL7660 original, incluindo seus sucessores com nomes semelhantes (da TI, NJR, Maxim, Microchip, etc.) e atualizações compatíveis com pinos ('7662, '1044, '1144); essas partes de jujubas de origem múltipla estão amplamente disponíveis e são baratas. Peças mais recentes, por exemplo, o TPS6040x de baixa tensão, oferecem flexibilidade na frequência de comutação e resistência de saída geralmente mais baixa. A operação em frequência mais alta reduz a ondulação de saída (por exemplo, 35 mV a 20 kHz, mas 15 mV a 250 kHz para a série TPS6040x), mas aumenta a corrente quiescente (65 µA a 425 µA neste exemplo). os tipos, como o LT1054 da LTC (com uma corrente de saída máxima de 100 mA), incluem uma referência de tensão interna e um amplificador de erro, para que você possa conectar o feedback para regular a tensão de saída; o circuito interno acomoda isso ajustando o controle de comutação. Outros conversores regulam a saída incluindo um regulador linear interno de baixa queda, para ondulação de saída bastante reduzida (às custas de alguma queda de tensão adicional); exemplos são as séries LTC1550 e 1682, com ondulação de saída pico a pico menor que 1 mV. Observe que a maioria dos tipos "regulados" permite que você os use como conversores não regulados, se desejar.

Existem também conversores que *reduzem* a tensão de entrada por uma fração racional, por exemplo, por um fator de 1/2 ou 2/3 (veja se você consegue descobrir como isso é feito!). Na outra ponta, existem conversores quadruplicadores de tensão, por exemplo, o LTC1502, que gera +3,3 V regulado a 10 mA a partir de uma entrada de 0,9–1,8 V (por exemplo, para alimentar a lógica digital de uma única célula alcalina) .60 E há convertidos ers que podem fornecer até 500 mA de corrente de saída. Alguns conversores de bomba de carga incluem capacitores internos, se você quiser ser especialmente preguiçoso; mas a seleção é limitada e o preço é alto.

Finalmente, há o bloco de construção do capacitor voador LTC1043, com o qual você pode fazer todos os tipos de mágica. Por exemplo, você pode usar um capacitor voador para transferir uma queda de tensão medida em um potencial inconveniente (por exemplo, um resistor de detecção de corrente na tensão de alimentação positiva) para o solo, onde você pode usá-lo facilmente. A folha de dados do LTC1043 tem oito páginas de aplicativos igualmente inteligentes.

Depois, há circuitos integrados que incluem bombas de carga para alimentar suas funções primárias: (a) Muitos chips de driver-receptor RS-232/485 estão disponíveis com fontes integrais de bomba de carga de ±10 V, para funcionar a partir de um único +5 V ou + Alimentação de 3,3 V. Um exemplo deste último é o MAX3232E da Maxim (o originador do MAX232, agora amplamente terceirizado), que pode operar a partir de uma única fonte entre +3 V e +5,5 V. (b) Alguns amplificadores operacionais usam carga integral bombas para gerar uma tensão além do trilho de alimentação, para que suas entradas possam operar trilho a trilho, mantendo uma arquitetura convencional de alto desempenho (consulte §4.6.3B); exemplos são o OPA369, LTC1152 e MAX1462-4. (c) As bombas de carga são usadas em muitos MOSFET "drivers de alta corrente" (como a série HIP4080 da Intersil) e em MOSFETs de potência totalmente integrados (como a série PROFET de "interruptores inteligentes de alta corrente de alta corrente" da Infi neon); estes geram a polarização de porta acima do trilho necessária para um MOSFET de canal n operando como um seguidor no trilho positivo.61 (d) Alguns dispositivos lógicos digitais complexos (processadores, memória) requerem tensões elevadas, que geram em -chip com bombas de carga. Os fabricantes são modestos e você nem ouve falar dessas coisas.

9.6.4 Conversores com indutores: o básico topologias não isoladas

O termo *conversor de comutação* (ou *conversor de modo de comutação62)* é geralmente entendido como um conversor que usa algum arranjo de indutores e/ou transformadores, em combinação com chaves de transistor (geralmente MOSFETs, mas também

59 Você pode reduzir a ondulação usando capacitores de saída muito maiores (com baixo ESR, para minimizar o efeito dos picos de corrente) ou, talvez melhor, um estágio de filtro de saída. 60 Infelizmente, não há conversores de bomba de carga que recebam uma entrada de célula única (0,9 V no final da vida útil) até +5 V (isso exigiria pelo menos uma conversão de tensão × 6), embora você possa realizar essa tarefa em duas etapas em cascata, digamos, um TPS60310 (0,9–3,3 V) com um TPS60241 (3,3–5 V).

Isso exigiria dois ICs e sete capacitores. Mas, felizmente, tal tarefa é facilmente realizada com um conversor de comutação *indutivo* de modo boost (§9.6.6). Por exemplo, o TPS61222 da TI vem em um minúsculo encapsulamento SC-70 de 6 pinos, requer apenas um único indutor externo de 4,7 H (mais tampas de bypass de entrada e saída) e fornece +5 V a 50 mA com entrada de 0,9 V (uma célula alcalina tensão de fim de vida). Custa menos de $ 2 em quantidades de peça única. Outra abordagem para alimentar a partir de uma única célula alcalina é usar um conversor de bomba de carga para gerar +3,3 V, que então alimenta um ou mais conversores de comutação indutiva para gerar o conjunto completo de tensões que você precisa; a entrada ENABLE para o conversor da bomba de carga pode então ser usada para ligar ou desligar a energia.

61 Para mais detalhes ver §3.5.3 e Figuras 3.96 e 3.106. 62 Fontes de alimentação comutadas são conhecidas como SMPSs, portanto, frases como "tecnologia SMPS".

IGBTs63 para altas tensões), para realizar eficiente dc-to-dc conversão. Uma característica comum a todos esses conversores é esta: na primeira parte de cada ciclo de comutação, a fonte de alimentação de entrada é usada para aumentar a corrente (e, portanto, a energia) em um indutor; essa energia então flui para a saída durante a segunda parte do ciclo de comutação. A conversão de energia em modo de comutação é uma área importante e vital da eletrônica, e esses conversores são usados em praticamente todos os dispositivos eletrônicos.

Existem literalmente centenas de variações de circuitos de modo chaveado, mas eles podem ser reduzidos a algumas topologias fundamentais. Nesta seção, descrevemos os três projetos básicos *não isolados* – step-down, step-up e invert – mostrados na Figura 9.61. Depois disso, examinamos os sinais de conversores isolados; em seguida, concluímos com uma olhada no uso de conversores isolados alimentados pela rede elétrica CA. Tabelas de conversores switchmode selecionados (Tabelas 9.5a,b nas páginas 653 e 654) e controladores (Tabela 9.6 na página 658) aparecem posteriormente.

Juntamente com as *topologias* básicas de conversão de energia (que descrevem os circuitos que realizam a própria conversão de tensão), existe o importante tópico da *regulação.* Assim como nos reguladores de tensão linear, uma amostra da tensão de saída é comparada com uma referência de tensão em um *amplificador de erro.* Aqui, no entanto, o sinal de erro é usado para ajustar algum parâmetro da conversão de comutação, geralmente a largura do pulso; isso é conhecido como *modulação por largura* de pulso (PWM).64 Como veremos, os circuitos do modulador por largura de pulso se enquadram em duas categorias (modo de tensão e modo de corrente), com consequências importantes em termos de tempo de resposta, ruído, estabilidade , e outros parâmetros. E, para introduzir um pouco mais de complicação, qualquer uma dessas combinações de circuito de modo de comutação pode operar em um modo com a corrente do indutor caindo totalmente para zero no final de cada ciclo de comutação, ou em um modo no qual a corrente do indutor nunca cai para zero. Esses modos de operação são conhecidos como *modo de condução descontínua* (DCM) e *modo de condução contínua* (CCM), respectivamente, e têm efeitos importantes na estabilidade do feedback, ondulação, eficiência e outros parâmetros operacionais de um regulador de modo de comutação. Descrevemos os fundamentos do PWM com alguns exemplos; mas tocaremos levemente nos tópicos mais avançados de PWM no modo tensão versus corrente e na compensação de loop.

63 Transistores bipolares de porta isolada, §3.5.7A. 64 Em alguns conversores chaveados, a regulagem é feita pela variação da *frequência de pulso.*

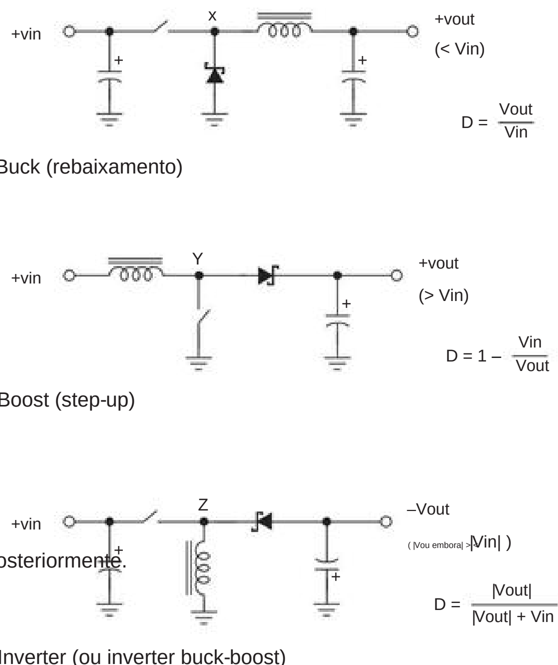


Figura 9.61. Os conversores de chaveamento não isolados básicos. O interruptor é geralmente um MOSFET. Os diodos Schottky são comumente usados para os retificadores, conforme mostrado; no entanto, um MOSFET pode ser usado como um eficiente "retificador ativo" com comutação síncrona.

9.6.5 Conversor abaixador (buck)

A Figura 9.61A mostra o circuito básico de comutação abaixador (ou “buck”), com realimentação omitida para simplificar. Quando a chave é fechada, VoutÿVin é aplicado através do indutor, fazendo com que uma corrente crescente linear (lembre -se de dI/dt=V/L) flua através do indutor. (Essa corrente flui para a carga e o capacitor, é claro.) Quando a chave é aberta, a corrente do indutor continua a fluir na mesma direção (lembre-se de que os indutores não gostam de mudar sua corrente repentinamente, de acordo com a última equação). com o “diodo de captura” (ou “diodo de roda livre”) agora conduzindo para completar o circuito. O indutor agora encontra um *Vout-Vdiode de tensão fixa* através dele, fazendo com que sua corrente diminua linearmente. O capacitor de saída atua como um “volante” de energia, suavizando a inevitável ondulação em dente de serra (quanto maior o capacitor, menor a tensão de ondulação). A Figura 9.62 mostra as formas de onda de tensão e corrente correspondentes, assumindo componentes ideais. Para completar o circuito como um *regulador,* é claro que você adicionaria realimentação, controlando a largura do pulso (a uma taxa de repetição de pulso constante) ou o

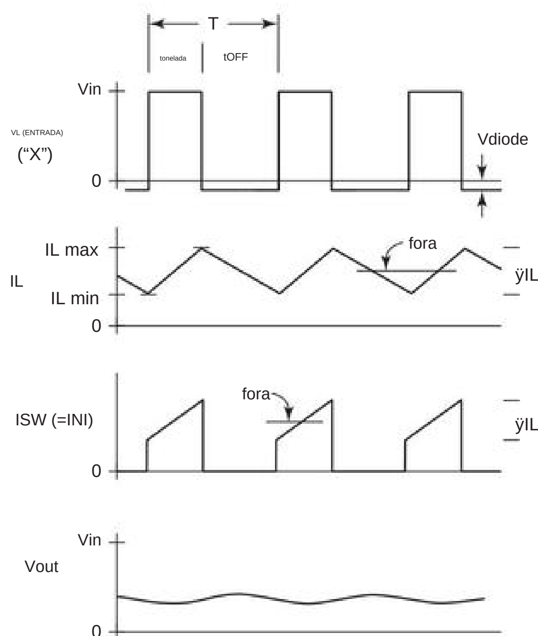


Figura 9.62. Operação do conversor Buck. A corrente do indutor aumenta durante a ativação e diminui durante a desativação . A tensão de saída é igual à tensão de entrada vezes o ciclo de trabalho *(D* ÿ ton/T). No caso da corrente contínua do indutor (CCM; conforme mostrado aqui) a corrente de saída é igual à corrente média do indutor.

taxa de repetição (com largura de pulso constante) de um amplificador de erro que compara a tensão de saída com uma referência.65 Para todos os três circuitos da Figura 9.61, a queda de tensão no diodo catch desperdiça energia, reduzindo a eficiência de conversão. Os diodos Schottky (como mostrado) são frequentemente usados para mitigar isso, mas a melhor solução é adicionar uma segunda chave através ou no lugar do diodo. Isso é chamado *de comutação síncrona;* consulte a coluna "síncrona" nas Tabelas 9.5a,b e 9.6.

Tensão de saída Qual é a tensão de saída? No estado estacionário, a tensão média em um indutor deve ser zero, porque, caso contrário, sua corrente está crescendo continuamente (de acordo com *V = LdI/dt).66* Portanto, ignorando quedas de tensão no diodo e na chave, isso requer que (Vinÿ Vout)ton = *Vouttoff,* ou

$$Vout = DVin, \qquad (9.3)$$

onde o "ciclo de trabalho" (ou "taxa de serviço") *D* é a fração de o tempo que o interruptor está LIGADO, D=ton/T, e *T* é o período de comutação (T=ton+toff).

Você pode pensar sobre isso de outra maneira: a rede de saída *LC* é um filtro passa-baixa, ao qual é aplicada uma entrada CC cortada cuja tensão média é apenas DVin. Assim, após a suavização, você obtém essa tensão média como a saída filtrada.

Observe que, assumindo componentes ideais, a tensão de saída de um conversor buck operando em ciclo de trabalho fixo *D* de uma tensão de entrada fixa é intrinsecamente regulada: uma mudança na corrente de carga não altera a tensão de saída; apenas faz com que a forma de onda da corrente triangular do indutor se desloque para cima ou para baixo, de modo que a corrente média do indutor seja igual à corrente de saída. (Isto assume a corrente contínua do indutor, ou CCM, como discutimos abaixo.)

Corrente de entrada Qual é a corrente de entrada? Se considerarmos os componentes ideais, o conversor é sem perdas (100% de eficiência), portanto a potência de entrada deve ser igual à potência de saída. Igualando isso, a corrente média de entrada é *Iin=Iout(Vout/ Vin).* 67

Corrente de saída crítica Estamos assumindo a condução contínua do indutor nas formas de onda da Figura 9.62 e também deduzindo que a tensão de saída é simplesmente a tensão de entrada vezes o ciclo de trabalho da chave. Observe novamente o gráfico da corrente do indutor: sua corrente média deve ser igual à corrente de saída, mas sua variação pico a pico (chame-a de ÿIL) é completamente determinada por outros fatores (ou seja , Vin, Vout, T e L); assim existe uma *corrente mínima de saída* para a qual o indutor permanece em condução, ou seja, quando Iout = $\frac{1}{2}$ÿIL. Para correntes de saída menores que esta corrente de carga crítica,68 a corrente do indutor chega a zero antes do final de cada ciclo; o conversor está então operando no modo de condução descontínua, para o qual a tensão de saída não mais permaneceria estável em ciclo de trabalho fixo, mas dependeria da corrente de carga. De maior importância, operar em DCM tem um efeito importante na estabilidade e regulação do circuito. Por esta razão, muitos reguladores de comutação têm uma corrente de saída mínima para operar em CCM.69 Como mostram as expressões a seguir, a corrente de carga mínima para CCM é reduzida aumentando a indutância, aumentando a frequência de comutação ou ambos.

65 Há também o controle histerético, no qual tanto a largura de pulso quanto a frequência de comutação podem variar. 66 Os engenheiros gostam de dizer que o *produto volt-tempo* (ou o produto *volt-segundo)* deve ter uma média igual a zero.

67 Em conversores reais, a eficiência é reduzida por perdas nos indutores, capacitores, interruptores e diodos. É um assunto complicado.

68 A operação nesta corrente é chamada *de modo de condução crítica.* 69 Em correntes de carga menores que a corrente mínima para CCM, eles podem entrar em outros modos de operação, incluindo o "modo burst".

A. Equações do conversor de Buck
(modo de condução contínua)

A partir da discussão anterior e das formas de onda, não é muito difícil descobrir que o conversor buck ideal (Figura 9.61A), operando no modo de condução contínua, obedece a estas equações:

$$Iin = Iout \frac{Vout}{Vin} = DIsaída, \quad (9.3a)$$

$$ÿIin = Iout, \quad (9.3b)$$

$$Vout = Vin \frac{tonelada}{T} = DVin, \quad (9.3c)$$

$$D = \frac{Vout}{Vin}, \quad (9.3d)$$

$$Iout(min) = \frac{T}{2L} Vout\, 1ÿ \frac{Vout}{Vin}$$

$$= \frac{T}{2L} Vout(1ÿD), \quad (9.3e)$$

$$ÿIC(saída) = \frac{T}{eu} Vout(1ÿD), \quad (9.3f)$$

$$IL(pk) = Iout + \frac{T}{2L} Vout(1ÿD), \quad (9,3g)$$

$$Lmin = \frac{T}{2} \frac{Vout}{fora} (1\text{-}D), \quad (9,3h)$$

onde Iin representa o valor médio do tempo da corrente de entrada e ÿIin e ÿIC(out) são as correntes de ondulação pico a pico aproximadas na entrada e na saída (importante para a seleção do capacitor70). A primeira equação é válida independentemente do modo (CCM ou DCM). As expressões para indutância mínima e corrente mínima de saída representam os valores críticos para manter a CCM; para essas expressões, use a corrente de saída mínima e o valor máximo de Vin, respectivamente.

Exercício 9.8. Aceite o desafio: deduza essas equações (e certifique-se de nos dizer se errarmos). *Dica:* para Iout(min) e Lmin , use o fato de que a corrente de saída Iout é igual à metade da variação de pico a pico da corrente do indutor ÿIL, no limite de CCM, como pode ser visto facilmente na forma de onda IL na Figura 9.62.

B. Exemplo de conversor Buck – I

Vamos fazer um projeto de regulador Buck, usando um chip controlador muito simples (e barato), o MC34063 (Figura 9.63). Este controlador data da década de 1980 e custa cerca de US$ 0,50. Apesar de sua herança antiga, o MC34063 é bastante popular para aplicações pouco exigentes, devido ao seu baixo preço e critérios de design simples; esta peça de 8 pinos é fabricada por meia dúzia de empresas e é fornecida nos estilos de embalagem usuais (DIP, SOIC, SOP). Ele inclui um oscilador, amplificador de erro e referência de tensão, comparador de limite de corrente e um par de saída Darlington com acesso ao coletor e ao emissor. Sua operação é pouco sofisticada: não utiliza o PWM mais usual (no qual o tempo de condução do switch durante cada ciclo é variado continuamente, como na Figura 9.72). Em vez disso, os ciclos de condução do switch são habilitados desde que a tensão na entrada de realimentação (FB) seja menor que a referência interna de +1,25 V; caso contrário, eles são inibidos. Você pode pensar nisso como uma forma bruta de PWM, na qual a modulação consiste em ligar o interruptor por um ciclo completo e, em seguida, pular ciclos suficientes para aproximar esse feedback
71 corresponde à relação necessária de ligar /desligar.
esquema de regulação é conhecido como controle *histerético* .

Figura 9.63. Um popular conversor de comutação de US$ 0,50. As conexões externas tanto para o coletor quanto para o emissor da chave de 1,5 A
torna fácil implementar conversores buck, boost ou inversores.

Para nosso projeto, vamos supor uma entrada de +15 V e produzir uma saída regulada de +5 V para correntes de carga de até 500 mA. A Figura 9.64 mostra o circuito. O design é direto: 1. Escolha uma frequência de operação: escolhemos 50 kHz, metade do máximo recomendado pelo chip. Para essa frequência, o datasheet especifica CT = 470 pF. O oscilador funciona com uma relação *ton/ toff* = 6, então o tempo de condução do switch é ton = 17 2. Calcule o valor do indutor para que o conversor opere

[70] Observe que as folhas de dados do capacitor especificam a corrente de ondulação *rms* máxima permitida , em vez de pico a pico. Certifique-se de permitir uma grande margem de segurança neste parâmetro ao selecionar capacitores de entrada e saída para conversão de energia.

[71] Isso é análogo ao controle de realimentação "bang-bang", em contraste com o controle proporcional (ou PID) no qual o sinal de realimentação opera de maneira contínua.

Machine Translated by Google

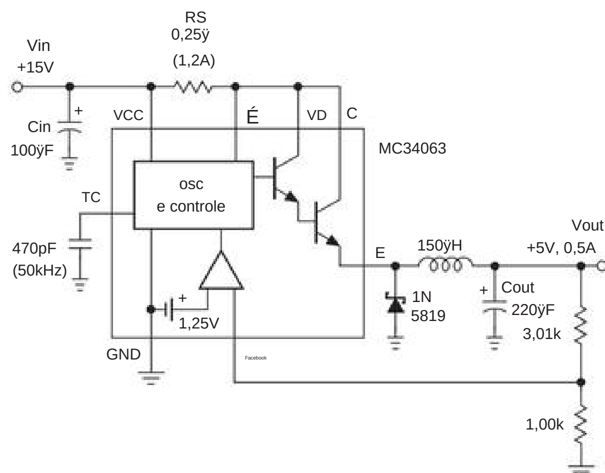


Figura 9.64. Regulador abaixador usando o MC34063. Em contraste com o PWM proporcional, o controle bang-bang simples do chip elimina a necessidade de componentes de compensação de feedback. Mas o desempenho sofre.

em DCM,72 assumindo o início do CCM na tensão de entrada mínima e corrente de carga máxima: no início do CCM, a corrente de saída é metade da corrente de pico do indutor, então, usando *V* = LdI/dt (e assumindo uma queda de 1 V no Darlington switch), obtemos *L* = (Vin ÿVsw ÿVout)ton/2Iout = 153 H. ÿ Usaremos um valor padrão de 150 3. ÿ H.

Calcule o valor do resistor de detecção RS para limitar a corrente de pico Ipk um pouco maior que o esperado 1 A, mas não maior que a classificação de 1,5 A do chip: RS = 300mV/Ilim = 0,25 ÿ (para um limite de corrente de 1,2 A).73 4. Escolha um valor de capacitor de saída para manter a tensão de ondulação abaixo de algum valor aceitável. Você pode estimar a ondulação calculando o aumento de tensão do capacitor durante um ciclo de condução do interruptor (durante o qual sua corrente vai de 0 a Ipk), o que dá um valor *ÿV* = Ipkton/2Cout. Portanto, um capacitor de saída de 220 F resulta em uma tensão de ondulação de 40 mV.74 ÿ aproximadamente pico a pico Vários comentários. (a) Este projeto simples funcionará, mas o desempenho estará longe do ideal. Em particular, o controle bruto bang-bang, combinado com a operação de condução descontínua, produz muita ondulação de saída e até mesmo ruído audível, causado por sua pulsação intermitente.

(b) A conexão de saída Darlington impede a saturação no estágio de saída, com alguma perda de eficiência; isso poderia ser remediado conectando a linha coletora do driver (VD) à alimentação de entrada, através de um resistor limitador de corrente da ordem de 200 ÿ. (c) A chave interna é limitada a 1,5 A de pico de corrente, o que é inadequado para correntes de saída maiores que 0,75 A; isso pode ser remediado com uma chave de transistor externa, por exemplo, um transistor *pnp* ou MOSFET de canal p (para esta configuração buck). A principal atratividade aqui é a combinação de custo muito baixo e a falta de preocupações com estabilidade de feedback e compensação.

Você verá esta peça sendo usada em aplicações descontraídas, como carregadores de celular e similares.75

C. Exemplo de conversor Buck – II

Felizmente, existem comutadores integrados muito bons que implementam PWM proporcional e, além disso, tornam muito fácil fazer um projeto de circuito (muitos estão listados nas Tabelas 9.5a,b, discutidas posteriormente). Por exemplo, a National Semiconductor (parte da Texas Instruments) tem uma série de ICs "Sim ple Switcher™", configurados individualmente para topologias buck, boost ou invert, que incluem todos os componentes de compensação de loop de realimentação necessários no chip.76 Eles cobrem uma faixa de tensão de até 40 V ou mais, com correntes de até 5 A, e possuem limite de corrente integrado, limite térmico, referência de tensão, oscilador de frequência fixa e (em algumas versões) recursos como partida suave (consulte §9.6.8G), sincronização de frequência e desligamento. O melhor de tudo é que eles simplificam o projeto de um conversor seguindo as receitas passo a passo nas planilhas de dados ou usando ferramentas de design gratuitas baseadas na Web: você obtém os valores dos componentes (incluindo os números de peça dos fabricantes de componentes recomendados) e dados de desempenho.

A Figura 9.65 mostra esse projeto, neste caso convertendo uma entrada de 14 V (de uma bateria de automóvel) em uma saída de +3,3 V que pode fornecer até 5 A (para alimentar a lógica digital). Seguimos a receita da folha de dados para obter os valores dos componentes e os números das peças mostrados. Com esses componentes a eficiência é de 80% e a ondulação de saída é menor que 1% de Vout (ÿ30 mV).

O LM2677 que usamos (e outros sucessores do "switcher simples") segue a série original LM2574,75,76

[72] Ou seja, a corrente do indutor aumenta completamente para zero durante cada ciclo de comutação.

[73] Se você achar que a corrente de pico esperada é maior que o limite do chip, você terá que anexar um transistor externo ou (melhor) usar um chip diferente.

[74] A tensão de ondulação real será maior por causa do ESR do capacitor, um efeito que também pode ser estimado.

[75] Aqueles que estão lutando com um circuito de baixo desempenho baseado em um MC34063A devem considerar o NCP3063, uma atualização drop-in que opera até 150 kHz. Isso permite reduzir o tamanho do indutor e fornecer correntes de saída mais altas.

[76] Veja, por exemplo, o diagrama de blocos na folha de dados do LM2677 e as patentes associadas para o indutor ativo (patente dos EUA 5.514.947) e capacitor ativo (patente dos EUA 5.382.918).

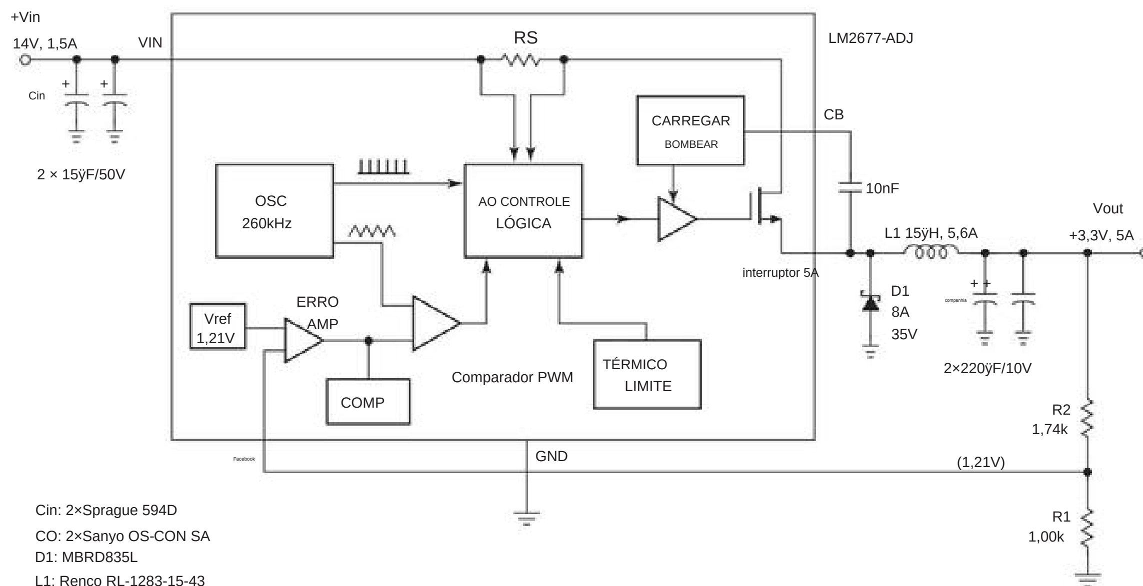


Figura 9.65. Regulador abaixador usando o LM2677 "Simple Switcher" (completo com elegante compensação integrada). Seguimos a receita de design da folha de dados para obter os valores dos componentes e os números de peça recomendados mostrados.

(0,5 A, 1 A e 3 A, respectivamente), que funcionam a 52 kHz e que são peças "jellybean" amplamente populares - são caras e estão disponíveis em muitos fabricantes.77 O LM2677 é um membro da família LM2670 aprimorada , funcionando a 260 kHz, com classificações de corrente de saída de até 5 A; ele requer um capacitor adicional *(CB* na figura) para acionar o MOSFET de baixa queda de 5 A.

Vários comentários:

(a) Este conversor fornece dez vezes a corrente de saída do projeto anterior (Figura 9.64), e com desempenho significativamente melhorado em termos de regulação, ondulação e resposta transitória. Isso tem um custo (literalmente), ou seja, um CI que custa dez vezes mais (cerca de US$ 5, contra US$ 0,50).78 (b) A boa eficiência se deve em parte ao uso de um MOSFET de canal n cuja porta é acionado por uma tensão superior a Vin, graças a uma bomba de carga interna; esse é o propósito do capacitor boost CB. (c) Observe o uso de capacitores em paralelo na entrada e na saída. Você vê isso frequentemente em conversores de modo chaveado, onde é importante manter ESR e ESL (série equivalente em ductância) baixos: isso reduz a ondulação de tensão causada por corrente de ondulação e também mantém os capacitores dentro de suas classificações de corrente de ondulação.79 (d) Para uma tensão de saída padrão como +3,3 V aqui, você pode economizar dois resistores selecionando uma versão de tensão fixa (LM2677-3,3); mas a versão ajustável (LM2677-ADJ) permite que você escolha sua tensão de saída, e você não precisa manter várias versões em estoque em seu laboratório. (e) Observe que a corrente de entrada é bem menor que a corrente de saída, representando uma eficiência de conversão de energia de 80%; esta é uma grande vantagem sobre um regulador linear. (f) Eficiência fixa significa que se você aumentar a tensão de entrada, a corrente de entrada *diminui:* isso é uma resistência negativa! Isso cria algumas complicações divertidas – por exemplo, você pode obter oscilação quando a entrada é filtrada com uma rede *LC* , um problema que também se aplica aos conversores de entrada AC powerline.

Exercício 9.9. Qual é a eficiência teórica máxima de um regulador linear (passagem em série), quando usado para gerar +3,3 V regulados a partir de uma entrada de +14 V?

Exercício 9.10. O que a alta eficiência de um regulador redutor implica sobre a relação entre a corrente de saída e a corrente de entrada? Qual é a razão correspondente de correntes, para um regulador linear?

77 E a ON semiconductor introduziu a família NCV2576 compatível, peças de baixo custo classificadas especificamente para o mercado automotivo.

78 Os ICs conversores de energia variam em uma enorme faixa de preço; os preços aproximados listados nas tabelas deste capítulo podem fornecer alguma orientação em sua seleção.

79 Também auxilia na criação de um perfil físico desejavelmente baixo.

9.6.6 Conversor elevador (boost)

Ao contrário dos reguladores lineares, os conversores de comutação podem produzir tensões de saída maiores que suas entradas. A configuração básica não isolada de step-up (ou “boost”) foi mostrada na Figura 9.61B (repetida aqui como 9.66, e vista anteriormente, na Figura 9.55, em comparação com o regulador linear). Durante a condução do interruptor (ponto *Y* próximo ao solo) a corrente do indutor aumenta; quando o interruptor é desligado, a tensão no ponto *Y* aumenta rapidamente à medida que o indutor tenta manter a corrente constante. O diodo liga e o indutor despeja corrente no capacitor. A tensão de saída pode ser muito maior do que a tensão de entrada.

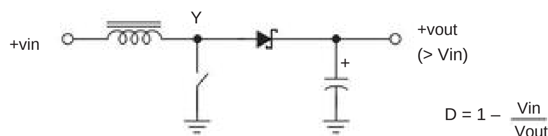


Figura 9.66. Topologia básica boost (ou “step-up”) (não isolada).

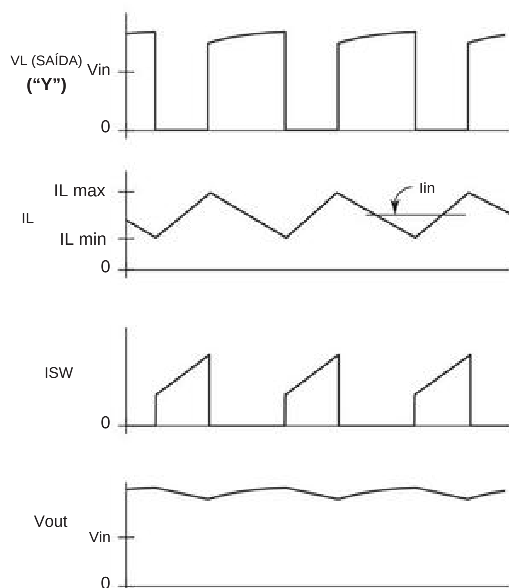


Figura 9.67. Aumente a operação do conversor. A corrente do indutor aumenta durante a ativação e diminui durante a desativação . A tensão de saída é igual à tensão de entrada dividida pela fração do tempo em que o interruptor está DESLIGADO. No caso da corrente contínua do indutor (CCM, conforme mostrado aqui) a corrente de entrada é igual à corrente média do indutor.

A. Equações do conversor Boost (modo de condução contínua)

A Figura 9.67 mostra formas de onda de tensão e corrente relevantes, assumindo componentes ideais. Assim como no conversor buck, não é muito difícil descobrir que o conversor boost (Figura 9.61B), operando em modo de condução contínua, obedece a estas equações:

$$\text{Iin} = \text{Iout}\,\frac{\text{Vout}}{\text{Vin}} = \frac{\text{fora}}{1\text{-}D}, \tag{9.4a}$$

$$\text{ÿIin} = \frac{T}{eu}\,\text{Vin}\,D, \tag{9.4b}$$

$$\text{Vout} = \text{Vin}\,\frac{T}{\text{toff}} = \frac{\text{Vin}}{1\text{-}D}, \tag{9.4c}$$

$$D = 1\text{ÿ}\,\frac{\text{Vin}}{\text{Vout}}, \tag{9.4d}$$

$$\text{Iout(min)} = \frac{T}{2L}\left(\frac{\text{Vin}}{\text{Vout}}\right)^2(\text{Vout -Vin}),$$

$$= \frac{T}{2L}\,\text{Vout}\,D(1\text{ÿ}D)\,2, \tag{9.4e}$$

$$\text{ÿIC(saída)} = \frac{\text{fora}}{1\text{-}D}, \tag{9.4f}$$

$$\text{IL(pk)} = \frac{\text{fora}}{1\text{-}D} + \frac{T}{2L}\,VinD, \tag{9,4g}$$

$$\text{Lmin} = \frac{T}{2\text{Iout}}\left(\frac{\text{Vin}}{\text{Vout}}\right)^2(\text{Vout -Vin}). \tag{9,4h}$$

A primeira equação é válida independentemente do modo (CCM ou DCM). As expressões para indutância mínima e corrente mínima de saída representam os valores críticos para manter a CCM; para essas expressões, use o valor máximo de Vin e (para Lmin) a corrente de saída mínima.

Exercício 9.11. Continuando o desafio: derivar essas equações. *Dica:* para Iout(min) e Lmin , use o fato de que, no limite de CCM, a corrente de entrada Iin é igual à metade da variação pico a pico da corrente do indutor ÿIL, como facilmente visto na forma de onda IL na Figura 9.67.

Exercício 9.12. Por que o circuito elevador não pode ser usado como um regulador abaixador?

Os procedimentos de projeto para conversores elevadores (e inversores) são análogos aos do conversor buck e, portanto, resistiremos à tentação de exibir exemplos de circuitos reais.

9.6.7 Conversor inversor

O circuito inversor (também conhecido como "buck-boost inversor" ou "buck-boost negativo") foi mostrado na Figura 9.61C (repetido aqui como 9.68). Durante a condução do interruptor, uma corrente crescente linear flui da entrada para o indutor (ponto Z) para o terra. Para manter a corrente quando a chave está aberta, o indutor puxa o ponto *Z* negativo, tanto quanto necessário para manter o fluxo contínuo de corrente. Agora, no entanto, essa corrente está fluindo para o indutor do capacitor do filtro (e da carga). A saída é, portanto, negativa e seu valor médio pode ser maior ou menor em magnitude do que a entrada (conforme determinado pelo feedback); em outras palavras, o regulador inversor pode ser elevador ou redutor.

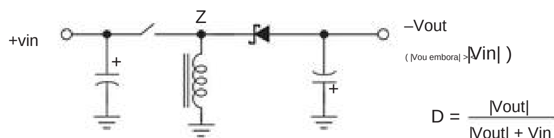


Figura 9.68. Topologia básica de inversão (ou "inverting buck-boost") (não isolada).

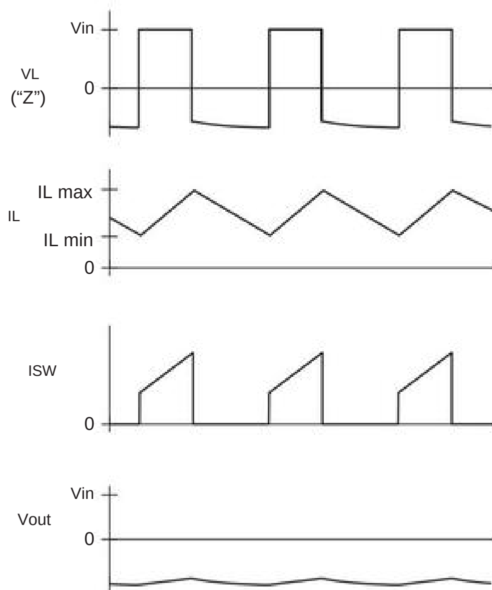


Figura 9.69. Operação do conversor inversor. A corrente do indutor aumenta durante a ativação e diminui durante a desativação . A tensão de saída é invertida em polaridade, com uma magnitude igual à tensão de entrada vezes a relação do interruptor *ton/ toff* (para CCM, conforme mostrado aqui).

A. Equações do conversor inversor

(modo de condução contínua)

A Figura 9.69 mostra as formas de onda de tensão e corrente relevantes do regulador inversor, mais uma vez assumindo componentes ideais. Com mais do que um pouco de esforço, você pode descobrir que o conversor inversor (Figura 9.61C), operando no modo de condução contínua, obedece a estas equações:

$$I_{in} = I_{out} \frac{V_{out}}{V_{in}} = ÿI_{out} \frac{D}{1-D}, \qquad (9.5a)$$

$$ÿI_{in} = \frac{I_{in}}{D}, \qquad (9.5b)$$

$$V_{out} = ÿV_{in} \frac{\text{tonelada}}{t_{off}} = ÿV_{in} \frac{D}{1-D}, \qquad (9.5c)$$

$$D = \frac{|V_{out}|}{|V_{out}|+V_{in}}, \qquad (9.5d)$$

$$I_{out(min)} = \frac{T}{2L} V_{out} \left(\frac{V_{in}}{V_{in}+|V_{out}|}\right)^2$$

$$= \frac{T}{2L} V_{out}(1ÿD)\ 2, \qquad (9.5e)$$

$$ÿI_{C(saída)} = \frac{\text{fora}}{1-D}, \qquad (9.5f)$$

$$I_{L(pk)} = \frac{\text{Sai}}{1-D} + \frac{T}{2L} V_{in} D, \qquad (9{,}5g)$$

$$L_{min} = \frac{T}{2} \frac{V_{out}}{\text{fora}} \left(\frac{V_{in}}{V_{in}+|V_{out}|}\right)^2. \qquad (9{,}5h)$$

Tal como acontece com os conversores buck e boost, a primeira equação é válida independentemente do modo (CCM ou DCM). As expressões para indutância mínima e corrente mínima de saída representam os valores críticos para manter a CCM; para essas expressões, use o valor máximo de Vin e (para Lmin) a corrente de saída mínima. Nessas equações, usamos o símbolo de valor absoluto (|Vout|) nos dois lugares onde o leitor, sem se importar com a polaridade oposta da tensão de entrada e saída, poderia sair seriamente dos trilhos.[80] **Exercício 9.13.** O desafio final (e mais complicado[81]) : derivar essas equações. *Dica:* para Iout(min) e Lmin , use o fato de que, no limite de CCM, a corrente média do indutor IL é igual à metade

[80] Os leitores que se sentirem insultados por tamanha falta de confiança devem substituir "+|Vout|" com "-Vout". Eles podem argumentar, com alguma justificativa, que sua equação assinada também descreve corretamente um conversor inversor que produz uma saída positiva de um trilho de entrada negativo.

[81] Ousamos confessar? Isso confundiu mais do que alguns de nós antes de acertarmos.

a variação pico-a-pico da corrente do indutor ÿIL. Agora descubra como IL está relacionado a Iin (ou Iout) e comece a partir daí.

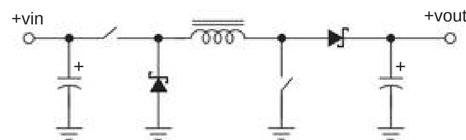
9.6.8 Comentários sobre os conversores não isolados

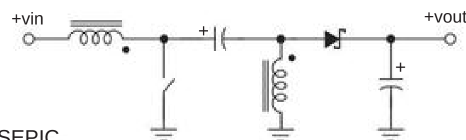
Este é um bom lugar para fazer uma pausa, antes de passar para os conversores de chaveamento isolados por transformador, para discutir e revisar alguns problemas comuns a esses conversores.

A. Relações de alta tensão A relação entre a tensão de saída e a tensão de entrada nos conversores básicos não isolados depende do ciclo de trabalho *(D* = ton/T), conforme indicado nas fórmulas acima. Para proporções modestas, isso funciona bem. Mas para gerar uma grande relação, por exemplo, um conversor buck convertendo uma entrada de +48 V para uma saída de +1,5 V, você acaba com larguras de pulso indesejavelmente curtas (daí maior estresse do transistor, na forma de altas tensões de pico e correntes, e menor eficiência). Uma solução melhor é aproveitar um transformador, cuja relação de espiras fornece uma transformação de tensão adicional. Veremos em breve como isso é feito, nas topologias de conversores isolados análogos (conversor buck ÿ conversor forward; conversor inversor ÿ conversor fly back).

B. Descontinuidade de corrente e ondulação
Os três conversores básicos se comportam de maneira bastante diferente em termos de pulsação de corrente de entrada e saída. Em particular, assumindo o modo de condução contínua preferido, o conversor buck tem corrente contínua sendo fornecida ao capacitor de armazenamento de saída, mas corrente de entrada pulsada da fonte +Vin ; o conversor boost tem corrente de saída pulsada, mas corrente de entrada contínua; e o conversor inversor possui corrente pulsada na entrada e na saída. Correntes pulsadas (descontínuas) geralmente são indesejáveis em níveis de alta potência porque requerem capacitores de armazenamento de maior valor, com menor ESR/ESL, para desempenho comparável.
Existem algumas topologias de conversores interessantes (discutidas atualmente,׳§9.6.8H) que abordam esses problemas; em particular, o conversor Cuk (Figura 9.70) possui continuidade de corrente na entrada e na saída.

C. Regulação: modo de tensão e modo de corrente Falamos pouco sobre os detalhes de realimentação e regulação de tensão em conversores de modo chaveado, embora os exemplos acima ilustrem duas abordagens: o esquema simples de salto de pulso bang-bang do estilo MC34063 regulador (Figura 9.64); e o esquema PWM proporcional mais comumente usado, implementado na Figura 9.65. Na verdade, o controle PWM pode ser feito de duas maneiras, conhecidas como modo de *tensão e modo* de *corrente:* no modo de tensão PWM, o sinal de erro é comparado com a forma de onda dente de serra (ou triangular) do oscilador interno para definir a duração de ativação. Por outro lado, no modo de corrente PWM, a corrente da chave, rampa





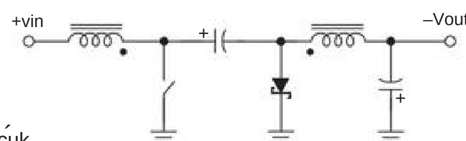


Figura 9.70. Conversores que permitem a sobreposição da faixa de tensão de entrada e saída. Ambos os interruptores são operados juntos na configuração buck-boost (ou "buck-boost não inversora") (A). As configurações SEPIC (B) e Cuk (C) usam cada uma uma única chave, mas dois indutores (opcionalmente acoplados). O Cuk "boost-buck" está invertendo.

ing de acordo com *V* = LdI/dt, substitui o dente de serra e é comparado com o sinal de erro para encerrar o estado ON da chave , conforme mostrado abaixo na Figura 9.71. Entraremos em mais detalhes em §9.6.9.

D. Switchers de baixo ruído

Os switchers são barulhentos! A Figura 9.53, que comparou conversores de potência de 5 V lineares e chaveados, mostra várias características desse "recurso" indesejável: primeiro, há bastante ruído na frequência de chaveamento, que normalmente cai na faixa de 20 kHz–1 MHz; em segundo lugar, a frequência de comutação pode variar,82 causando interferência em uma faixa de frequências; e, terceiro, (e mais angustiante) os sinais de comutação podem ser quase impossíveis de eliminar, propagando-se tanto como sinais irradiados quanto através de correntes de terra.

[82] Isso geralmente é feito intencionalmente, a fim de atender aos padrões regulatórios de interferência (EMI) "espalhando" os sinais de comutação emitidos por uma faixa de frequências (consulte as Figuras 9.53 e 9.54). Embora haja alguma razão para recorrer a esta medida quando as outras opções se esgotam, não somos loucos por esta prática, que paradoxalmente encoraja um design desleixado que emite *mais* potência irradiada total. Como observou o engenheiro da NASA Eric Berger: "Quando ouvi pela primeira vez sobre essa prática, fiquei chocado. A energia irradiada não é reduzida, apenas os picos no domínio da frequência são. Isso é como se livrar de uma torta de vaca pisando nela."

A Figura 9.53 ilustra bem este último ponto: o ruído de comutação pode ser fortemente contornado *em um ponto,* como na Figura 9.53B; mas apenas coloque sua sonda de escopo a alguns centímetros de distância (Figura 9.53C e D) e *eles estarão de volta!*

Este problema é amplamente reconhecido e existem várias abordagens para limpar o ruído do switcher. Em um nível simples, um regulador de baixa queda na saída ajuda consideravelmente, assim como um filtro de saída *LC* simples. Uma abordagem mais sofisticada é usar topologias de conversores que evitem pulsações de corrente na entrada e na saída (por exemplo, o conversor Cuk, §9.6.8H), ou que explorem as propriedades ressonantes de indutância e capacitância para que as chaves sejam trazidas entram em condução nos momentos em que a tensão entre eles é próxima de zero ("comutação de tensão zero", ZVS) e são abertos quando a corrente está próxima de zero ("comutação de corrente zero", ZCS). Finalmente, alguns conversores (tipificados pelo LT1533, LT1534, LT1738 e LT3439) incorporam circuitos para limitar a tensão do transistor de comutação e as taxas de variação de corrente, o que reduz o ruído de comutação irradiado e conduzido por terra.

Ao pensar em trocar o ruído do conversor, tenha em mente lembre-se de que ela surge de várias maneiras, a saber: (a) ondulação impressa nos terminais de saída CC, *na* frequência de comutação, normalmente da ordem de 10–100 mV pico a pico; (b) ondulação *de modo comum* na saída CC (que você pode imaginar como corrente de ondulação na linha de terra), que causa o tipo de dano visto na Figura 9.53C; (c) ondulação, novamente na frequência de comutação, impressa na alimentação de *entrada ;* (d) ruído *irradiado ,* na frequência de comutação e seus harmônicos, de correntes comutadas nos indutores e derivações.

Você pode ter muitos problemas com a troca de suprimentos em um circuito que possui sinais de baixo nível (digamos, 100 V ouÿ menos). Embora um trabalho agressivo de blindagem e filtragem possa resolver esses problemas, você provavelmente estará melhor com reguladores lineares desde o início.

E. Compensações de indutância Há alguma flexibilidade na escolha da indutância. Normalmente, você deseja executar conversores PWM (mas não conversores bang-bang como o MC34063 em nosso primeiro exemplo) no modo de condução contínua, que define um mínimo de ductância para uma determinada frequência de comutação e valor mínimo de corrente de carga. Um indutor maior diminui a corrente de carga mínima, reduz a corrente de ondulação para uma determinada corrente de carga e melhora a eficiência; mas um indutor maior também reduz a corrente de carga máxima, degrada o transiente response,83 e adiciona tamanho físico ao conversor. É um troca.

F. Estabilidade de realimentação Os conversores de comutação requerem consideravelmente mais cuidado no projeto da rede de compensação de frequência do que, digamos, um circuito de amplificador operacional. Pelo menos três fatores contribuem para isso: a rede *LC* de saída produz uma mudança de fase atrasada de "2 pólos" (atingindo finalmente 180ÿ), que requer um "zero" de compensação; as características da carga (capacitância de desvio adicional, não linearidades, etc.) afetam as características do loop; e as características de ganho e fase versus frequência do conversor mudam abruptamente se o conversor entrar no modo de condução descontínua. E, para adicionar um pouco mais de complexidade a uma situação já complexa, existem diferenças importantes entre os conversores de modo de tensão e de modo de corrente: por exemplo, os últimos, que se comportam melhor em termos de mudanças de fase da rede LC, exibem um "instabilidade subharmônica" quando operado em ciclos de trabalho de comutação superiores a 50% (isso é resolvido por uma técnica chamada *compensação de inclinação).*

A abordagem mais fácil para o usuário casual é escolher conversores com compensação integrada (por exemplo, a série Simple Switcher, como na Figura 9.65) ou conversores que fornecem receitas completas para compensação externa confiável. Independentemente disso, o projetista do circuito (você!) deve certificar-se de *testar* o que você projetou.84

G. Partida suave

Quando a tensão de entrada é inicialmente aplicada a qualquer circuito regulador de tensão, o feedback tentará trazer a saída para a tensão alvo. No caso de um conversor de comutação, o efeito é comandar o ciclo de trabalho máximo do comutador, ciclo após ciclo. Isso gera uma grande corrente de irrupção (devido ao carregamento do capacitor de saída), mas, pior, pode fazer com que a tensão de saída ultrapasse, com efeitos potencialmente prejudiciais na carga. Pior ainda, o núcleo magnético do indutor (ou transformador) pode saturar (atingindo a densidade de fluxo máxima), após o que a indutância cai vertiginosamente, fazendo com que a corrente do interruptor aumente. A saturação do núcleo é uma das principais causas de falha de componentes; você não quer isso.

Esses problemas são mais graves em conversores que executam

[83] A velocidade transitória é um dos principais motivos para usar valores baixos de indutância em conversores de comutação que alimentam microprocessadores, onde você vê o conceito de *indutância crítica,* ou seja, uma indutância pequena o suficiente para lidar com os transientes de degrau de carga.

[84] Ao testar a estabilidade, não se esqueça da resistência negativa na característica de colocação dos conversores de comutação; certifique-se de testar com quaisquer filtros de entrada que planeja usar.

da linha de alimentação CA, onde o estágio de entrada sem transformador (ponte de diodo e capacitor de armazenamento) causa corrente de irrupção adicional e onde a fonte de alimentação de entrada pode fornecer bastante corrente de pico. Muitos chips controladores de comutação, portanto, incorporam circuitos de "início suave", que restringem o ciclo de trabalho do comutador para aumentar gradualmente na inicialização; estes são indicados na coluna "soft start" das Tabelas 9.5a,b e 9.6.

H. Topologias buck-boost Para o conversor buck, Vout deve ser menor que Vin, e para o conversor boost, Vout deve ser maior que Vin, necessário em ambos os casos para redefinir a corrente do indutor. Algumas vezes você gostaria de um conversor que permitisse que a tensão de entrada variasse em ambos os lados da tensão de saída (por exemplo, em um dispositivo operado por bateria com lógica digital de 2,5 V, alimentado por duas células AA, que começa a vida com 3 V entrada e termina em cerca de 1,8 V; ou uma aplicação automotiva, alimentada por uma bateria de carro de 12 V, fornecendo 13,8 V em funcionamento, mas tão pouco quanto 8 V na partida e até 40 V em "load dump").

Embora o conversor inversor (buck-boost) (Figura 9.61C) permita que a tensão de saída seja maior ou menor que a entrada, sua polaridade é invertida. A Figura 9.70 mostra três configurações interessantes que permitem a sobreposição das faixas de tensão de entrada e saída. A primeira é particularmente fácil de entender: ambas as chaves são operadas simultaneamente por um tempo , aplicando Vin através do indutor; durante toff , a corrente do indutor flui através do par de diodos para a saída. A tensão de saída, a partir da igualdade volt-tempo necessária do indutor (e ignorando as quedas de tensão na chave e nos diodos), é simplesmente Vout = (ton/toff)Vin.

Exemplos típicos de ICs conversores buck-boost são o LTC3534 (switches MOSFET internos) e o LTC3789 (switches MOSFET externos); ambos usam comutadores MOS FET síncronos no lugar de diodos Schottky, ou seja, quatro MOS FETs ao todo. Para outros conversores com chaveamento síncrono veja a coluna "síncrono" nas Tabelas 9.5a,b nas páginas 653 e 654 e 9.6 na página 658.

O SEPIC (conversores de indutância primária de terminação verter) e Cuḱ ing [85] única têm a vantagem de exigir apenas um único interruptor controlável. E o conversor Cuk tem a notável propriedade de produzir corrente de ondulação de saída *zero* quando os indutores são acoplados (enrolados no mesmo núcleo). Esta última propriedade foi descoberta acidentalmente, mas agora faz parte do vocabulário dos praticantes do switchmode, que o chamam de "fenômeno da ondulação zero".

E enquanto elogiamos o Cuk, vale a pena notar que ambas as formas de onda de corrente de entrada e saída são contínuas, ao contrário do buck, boost, inverting, SEPIC ou buck-boost.

85 Inventado por Slobodan Cuk (pronuncia-se "chook") em 1976.

9.6.9 Modo de tensão e modo de corrente

Existem duas abordagens para implementar a modulação por largura de pulso, como mencionamos anteriormente em §9.6.8C; veja a Figura 9.71.

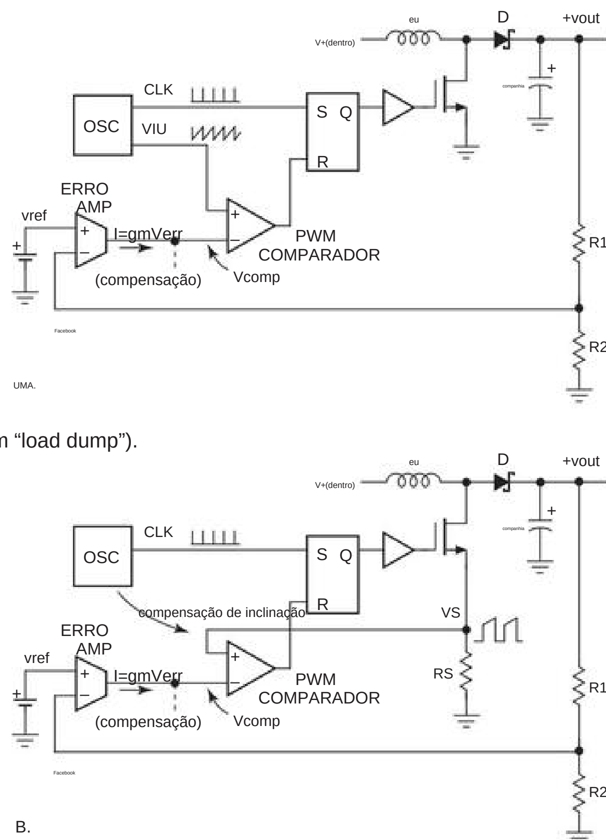


Figura 9.71. Modulação por largura de pulso em reguladores switchmode. (A) PWM em modo de tensão compara o sinal de erro integrado (Verr=VrefÿFB) com o dente de serra do oscilador, enquanto (B) PWM em modo de corrente substitui a forma de onda de corrente em rampa da chave.

No nível superior, ambos os métodos comparam a tensão de saída com uma referência de tensão interna para gerar um sinal de erro. Ou seja, ambos os métodos são reguladores *de tensão* (não confunda "modo de corrente" com *regulador de corrente).* A diferença está na forma como o sinal de erro é usado para ajustar a largura do pulso: no *modo de tensão* PWM, o sinal de erro é comparado com a forma de onda dente de serra do oscilador interno para cor controlar a duração ON do interruptor.86 No *modo atual* PWM, por

86 Normalmente, usando uma saída de *pulso* do oscilador para iniciar o ciclo de condução e a saída do comparador PWM (que compara o sinal de erro com o dente de serra do mesmo oscilador) para encerrar o ciclo de condução, conforme mostrado nas Figuras 9.71A e 9.72 .

em contraste, a corrente de rampa no indutor substitui o dente de serra, com o oscilador interno usado para *iniciar* cada ciclo de condução87 (Figuras 9.71B e 9.72). As Tabelas 9.5a,b e 9.6 indicam se o CI SMPS emprega um loop de controle em modo de tensão ou em modo de corrente.

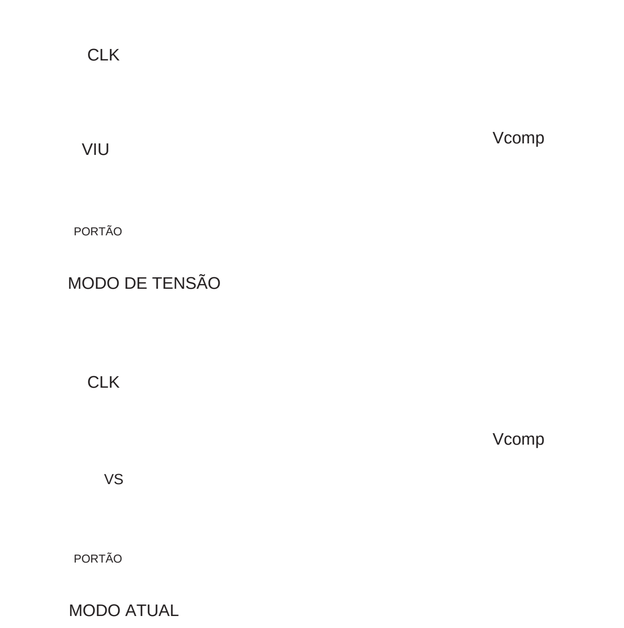


Figura 9.72. Formas de onda em modo de tensão e modo de corrente PWM.

Como escolher? Antes de comparar seus méritos relativos, oferecemos este conselho sensato: selecione o chip regulador de comutação que possui os recursos que você deseja (em termos de tensão e corrente nominais, facilidade de design, preço e disponibilidade, contagem de componentes, etc.) Não se preocupe com a forma como os projetistas de chips fizeram seu trabalho.

Agora para a comparação.

A. Modo de tensão

Esta tem sido a forma tradicional de PWM. Suas vantagens incluem

(a) a simplicidade de analisar um único caminho de realimentação, (b) baixa impedância de saída do estágio de potência e (c) boas margens de ruído (por causa da rampa gerada internamente).

Suas desvantagens incluem (a) a necessidade de uma compensação de loop cuidadosa (devido ao filtro de saída *LC* de 2 polos),88 (b) resposta de loop lenta (especialmente em resposta à entrada mudanças) e (c) a necessidade de circuitos limitadores de corrente separados para o(s) transistor(es) de chaveamento.

B. Modo de corrente O controle de modo de corrente tornou-se popular no início da década de 1980, quando seus benefícios se tornaram aparentes. Eles incluem (a) resposta rápida a mudanças de entrada, (b) limitação de corrente pulso a pulso inerente da corrente do interruptor, (c) margem de fase aprimorada no loop externo de feedback de tensão (porque a saída do estágio de potência, sendo como, efetivamente remove a mudança de fase do indutor, ou seja, um pólo em vez de dois no loop de realimentação) e (d) a capacidade de colocar em paralelo as saídas de vários conversores idênticos.

As desvantagens do controle do modo de corrente incluem (a) a maior dificuldade de analisar dois loops de realimentação aninhados (mitigados pela ampla separação de suas frequências características), (b) impedância de saída intrinsecamente maior do estágio de potência (a saída é mais afetada por mudanças de carga porque o loop rápido tende para uma saída de corrente constante), (c) suscetibilidade a ruído, particularmente em carga baixa, e ressonâncias (porque o PWM depende da rampa derivada de corrente), (d) término prematuro do estado ON do switch causada pelo pico de corrente de ponta (de capacitâncias parasitas e efeitos de recuperação de diodo), e (e) instabilidades e ressonâncias subharmônicas em alto ciclo de trabalho.

Consertos inteligentes Os projetistas de circuitos são inteligentes e descobriram alguns truques interessantes para resolver os problemas de cada método. A resposta lenta dos controladores de modo de tensão às mudanças de entrada pode ser corrigida pela adição de um sinal feedforward de entrada à rampa dente de serra, e a resposta lenta do loop pode ser aliviada ao operar em uma frequência de comutação mais alta. Para o controle do modo de corrente, o pacote de truques inclui supressão de ponta (para ignorar o pico de corrente de ativação) e "compensação de inclinação" (para restaurar a estabilidade em ciclo de trabalho alto).

Escolha do modo de controle: ambos são viáveis Na prática contemporânea, ambos os modos são viáveis, e muitos CIs controladores estão disponíveis usando qualquer uma das técnicas. Como declaração geral, os conversores de modo de tensão são favorecidos (a) em aplicações ruidosas ou em aplicações com carga leve

[87] E para gerar o sinal de rampa de "compensação de inclinação".

[88] Como a folha de dados do LT3435 coloca sucintamente, "Um sistema alimentado por tensão terá baixa mudança de fase até a frequência ressonante do indutor e do capacitor de saída, então ocorrerá uma mudança abrupta de 180ÿ. O sistema alimentado atual terá deslocamento de fase de 90ÿ em uma frequência muito menor, mas não terá o deslocamento adicional de 90ÿ até bem além da frequência ressonante *LC* . Isso torna muito mais fácil compensar a frequência do loop de feedback e também fornece uma resposta transitória muito mais rápida."

Tabela 9.5a Reguladores de comutação integrados de modo de tensãoa c

Papel #	Pacotes		Vsupply mino max (V)	(V) (mA) (V) tipo de QI tipo	Vfb	Vout mínimo máximo (V) (V)	fswitch (kHz)	isw máximo (UMA)	
bode									
TPS62200	5	7 ••q • • PM • 2,5	6	0,02 0,50 0,7		5.5	1000t 0,3 1,3 ~300		-
LT1934	6• - •	- • • •HB - 3,2 34 0,012 1,25 1,25 28 • • PM • 2,7 5,5 0,05 0,90 0,9					0,35 7 3,3 3000t 1,2 4		-
NCP1522B	- - 5 - •	- ••				520t,p 1,6 7			-
CS51413	- - 8 - •	q - •• • • V2 B = 4,5 40		4	1.27				1
L4976	- 8 16 - -	- - --PM -	8 55 4 • •	2,5	3,3 3,3 40 a 300 2 52t 1,23 1,23 37,57 1,0			7	-
LM2574h	- 8 14 - -	sPB- 3,5 40,60 4 •-- s PB - 3,5 40,60 • • PM • 4,5 40,60 4 •-- • s PB - 3,5		5	1,23 37,57 2,2 2,4 52t 1,23 1,23 37,57 5,8 4 350t 4		2,4 52t 1,28		-
LM2575h 5	- - - -			5 5			d 9 2,5 30k 100		-
LM2576h 5	- - - -								2
NCP3125	- - 8 - -	- - • -	13	4	0,80 0,8				3
LT1074h 5	- - - -	1 - -q • • PB -	8 40,60 8,5 • s PM -		2.21			5 6	4
LM2677 7	- - - -	3 • - - 8 40 4,2 • • PM • 4,3 20f			1.21	1,21 37 0,80	260	7 3,5 10 3	5
LMZ12010 11	- -	- • • -		3	0,8 6		360t		-
Boost, Flyback, etc.									
NCP1400A	- - - 5 -	9n • •q • s PM - 0,8a 5,5 0,03			-	1.9 5	180 0,1	2	6,8
NCP1423	- - - - 10-	• • • • PM • 0,8 2 •-- •• TM	6	0,01 0,50 1,8 0,01 1,23		3,3 a 600 0,4 4 5,5 1000 0,5 2,4			7,8
L6920DC	- - 8	• 0,8 5,5		1,8		5,5 1200 0,6 3			8
TPS61070	- - - 6 -	- •• • •PM • •	1.1x	5,5 0,02 0,50 1,8					8
TPS61030	- - 16 • 2 • •	• • • PM • 1,8 5,5 0,02 0,50 1,8				5.5	600 4,5 1,3		7,8

Notas: (a) todos têm interruptor(es) de energia integrado(s), detecção de corrente e (em alguns casos) compensação de loop; listados em ordem crescente de corrente do interruptor. (b) número de tensões fixas disponíveis; todos, exceto NCP1400A, têm versões ajustáveis. (c) H=modo histerético; P=PWM frequência fixa; T=min toff, max ton; V2=ONsemi controle "V2" . (d) limite de corrente ajustável. (e) B=BJT; M=MOSFET. (f) consulte LMZ23608 para Vin a 36V. (g) número típico de peças externas (sem contar tampas de bypass); dois números indicam fixo/ajustável. (h) 60 V para o sufixo HV. (m) limite de corrente ajustável. (n) nenhuma versão ajustável. (o) limite de reinício. (p) CS51411 para 260 kHz. (q) frequência reduzida ou salto de pulso em carga baixa. (s) peças com SHDN podem ter UVLO adicionado com um circuito ext. (t) típico. (u) mais Isw/50, etc., quando o interruptor estiver LIGADO (um problema de dissipação de energia se usado com alta Valimentação). (v) mais a corrente de acionamento da chave BJT, no pino BOOST, retirada da saída buck de baixa tensão. (x) cai para 0,9 volts. (y) cai para 0,3 volts. (z) cai para 0,5 volts.

Comentários: **1:** pino compatível com LTC1375. **2:** muitas fontes secundárias. **3:** NCP3126 e 3127 para corrente mais baixa. **4:** Vout negativo para –35V (ver folha de dados); Vin comp; LT1076 para 2A. **5:** destaque no texto. **6:** NCP1402 para 200mA. **7:** 96% effy, comp de baixa bateria. **8:** step-up de célula única.

condições, ou

(b) onde várias saídas são derivadas de um estágio de potência comum (ou seja, em conversores que usam um transformador com vários enrolamentos secundários).

Controladores de modo atual são favorecidos

(a) onde a resposta rápida a transientes de entrada e ripple é importante, (b) onde é desejável paralelizar várias fontes de alimentação (por exemplo, para redundância), (c) onde você deseja evitar as complexidades no projeto de uma polarização adequada rede de compensação de loop zero, e (d) em aplicações onde a limitação rápida de corrente pulso a pulso é importante para confiabilidade.89 Tabelas 9.5a e 9.5b lista reguladores de comutação "integrados" selecionados, ou seja, com chave(s) de alimentação interna(s) . Consulte também Tabela 9.6 na página 658 para alternar reguladores que acionam MOSFETS externos, Tabela 3.4 (MOSFETS, página 188) e Tabela 3.8 (drivers, página 218).

9.6.10 Conversores com transformadores: o básico desenhos

Os conversores de comutação não isolados das seções anteriores podem ser modificados para incorporar um transformador dentro

[89] Evidentemente, os projetistas de circuitos integrados SMPS (e presumivelmente seus clientes maiores) preferem o controle de modo de corrente sobre o modo de tensão, conforme refletido no comprimento reduzido da Tabela 9.5a em comparação com a Tabela 9.5b, e pela escassez de controladores de modo de tensão na coluna "modo de controle" da Tabela 9.6.

Tabela 9.5b Reguladores de comutação integrados de modo de corrente selecionadosa

Pacotes

Vsupply QI VFB Vout fswitch Isw mino

max type type max min-max max

Papel #

(V) (V) (mA) (V) (kHz) (V)

(UMA)

bode

LTC1174f - - 88- - 2 • - - • • - P • - 4 13 0,45 1,25 LT1776 - - 8 8 - - - - - - ee - P - - 7,4 40 200 0,3,0,6 1 2 2 7

3,2 1,24 • - P - - 3,6 36 1,6v 1,25 LT1933 - - - -66 - • • • - P - - 3,6 30 0,7v 1,30 ADP3050 - - - 8- - 2 - • - - - 200 0,7 500t 1

ADP2108 - - - - 5 5 11 • - • • • - P • • 2,3 5,5 0,02 fixo 3,3 p ADP2300 - - - -6- - • • • • • • P • - 3 20 0,64 0,80 -

200 1,25 700r 6 3 6/8 4

1,2 3000t 1,3 5

500t 3000t 1,7 6 1 5

LT1376 - -88- - 2 - - - - • - P - - 2,4 25 3,6v 2,42 250-2000 2,5 1,5 6/7 6

LMR12010 - - - - 6 - - • • • - • • P • - 3 20 1,5 0,80 - • • - • - P - - 3 36 2,5v 0,80 - • • • • • P • • 17 1,8 0,80 Vin 1000 5 • - 7

LT3500 ----- 12 - 4,5 18 O• - 8 50 0,9 0,80 24 8

NCP3170B - - - 8- - - 30-700 3,5 5 500t ,5012 12 12 3 9

A8498 --- 8p - - - • - • p LT3435 --- 16 - - --•• • • - P - - 10

3,3 60 3,3v 1,25 LT1765 --- 8 - - 4-•e - e - P - - 3 25 1.0v 1.20 LT3690 - - - - - 16 - Boost, Flyback, etc. 11

- 11

4 4 - • • • • - P w • 3,9 36,60 0,1v 0,80 20 140-1500 5 8 12

TPS61220 - - --6- 2 • - - p ••H• • 0,7 5,5 0,01 0,50 5,5 TPS61040 - --- 5 --• - • • • - M • - 1,8 6 0,03 1,233 30 1000 0,4 5 3u 1,23 1000 0,2 1/3 13

34d 1400t 0,8 4 - P - - 1,1 10 1,23 40d 1600 - P • • 2,7 14 2,1 5 LT1930A - - - - 5 - -••---- P - - 2,6 16 5,5 1,26 34d 2200t 1,2 - P • - 1,7 5,5 4 1,235 20 14

LT1613 - - - - 5 - - • • • p - 1,6 7 18 LT1172h 5 5 8 16–––eP--- [illegible] 15

LMR64010 - - - - 5 - -••- - - 65,75h 100t - ••- • - P - - 2,7 23 12 [illegible] 16

1,23 60d LM2586 7 7 - - -

- • - • • - P • • 0,9 5,5 0,44 1,25

- - - e - - -

- -

5 6 19

LT1534 --- 16 - - - 12 20

52t 3 4/6 3k 21

200 4/6 22

TPS61175 - - - 14 - ---• • ••- - • - 2,7 18 3,5m 1,23 40d 200-2200 3,8 8 p TPS55340 - - - - - 16 - 8 -

- • • p • - P • - 2,9 32 1.7 1,23 38d 100-1200 5 -

Empurrar puxar

LT1533 - - - 16 -- - - - • - - - - - - 2,7 23 12 1,25 n x 20-250r 1 13 23

Notas: (a) listados aumentando a corrente do interruptor; todos têm switch integrado, detecção de corrente e, em alguns casos, compensação de loop; todos têm capacidade de desligamento, exceto LM2577; todos têm desligamento térmico. (b) nenhuma função de desligamento de energia; também UC2577. (c) H=modo de corrente histerética; M=Corrente de pico fixa, com tempo mínimo de desligamento; O=var freq tempo de desligamento fixo; P=PWM frequência fixa. (d) aumentar tensões não isoladas com um transformador. (e) com peças externas. (f) sufixo HV para versão 18V. (g) número típico de peças externas (sem contar tampas de bypass); dois números indicam fixo/ajustável. (h) sufixo HV para versão 60V. (k) 5A para LM2587. (m) máximo. (n) também negativo, –2,5V. (o) limite de reinício. (p) frequência reduzida ou salto de pulso em carga baixa. (r) frequência reduzida durante Vout baixo. (s) peças com SHDN podem ter UVLO adicionado com um circuito externo. (t) típico. (u) mais Isw/50, etc., quando o interruptor estiver LIGADO (um problema de dissipação de energia se usado com alta Valimentação). (v) mais a corrente de acionamento da chave BJT, no pino BOOST, retirada da saída buck de baixa tensão. (w) lado baixo. (x) saída do transformador.

Comentários: **1:** inverter OK, especialmente conversor de +5V para –5V. **2:** Transitórios de 60 V OK. **3:** 60V OK por 100ms; Versões 3,3V, 5V e adj. **4:** ADP2301 para 1,4 MHz. **5:** basta adicionar indutor externo; 11 tensões fixas, de 1,0 V a 3,3 V. **6:** 5V e ADJ, consulte LT1507 para 3,3V. **7:** “switcher simples” nano. **8:** buck mais LDO, sincronização ext para 2,5MHz. **9:** saída de boa potência; 500kHz para a versão “A”. **10:** ajuste o tempo OFF. **11:** 100ÿA sem carga IQ. **12:** 80ÿA sem carga IQ; transitórios OK para 60V. **13:** aumentar a célula única para saída de 1,8 V–5,5 V; Versões 3,3V, 5V e adj. **14:** bom para unidade de corrente constante de LED. **15:** impulso de célula única ou flyback. **16:** “switcher simples” nano. **17:** impulso de uma única célula de íon de lítio. **18:** opera até 0,5 V de entrada; 40ÿA no modo burst. **19:** pode regular a saída usando a tensão primária do transformador (sem necessidade de resistores de realimentação). **20:** baixo ruído, controle de taxa de variação. **21:** versões 12V, 15V e ADJ. **22:** versões 3,3 V, 5 V, 12 V e ADJ. **23:** taxa de variação programável, muito silenciosa.

os circuitos de comutação. Isso serve a três propósitos importantes: (a) fornece isolamento galvânico, que é essencial para conversores alimentados pela linha CA; (b) mesmo que o isolamento não seja necessário, a relação de espiras do transformador fornece uma conversão de tensão intrínseca, de modo que você pode produzir grandes relações de elevação ou redução enquanto permanece em uma faixa favorável do ciclo de trabalho de comutação; e (c) você pode enrolar múltiplos secundários, para produzir múltiplas tensões de saída; é assim que essas fontes de alimentação onipresentes em computadores geram saídas de +3,3 V, +5 V, +12 V e -12 V, tudo ao mesmo tempo.

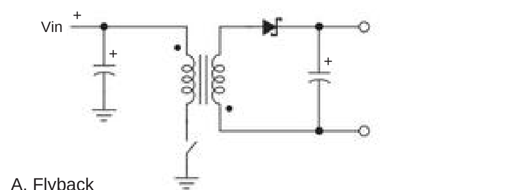
Observe que estes não são os transformadores de núcleo laminado pesados e feios que você usa para a linha de força CA de 60 Hz: como eles operam em frequências de comutação de centenas a milhares de quilohertz, eles não requerem uma grande indutância de magnetização (a indutância de um enrolamento , com todos os outros enrolamentos em circuito aberto), e assim eles podem ser enrolados em pequenos núcleos de ferrite (ou pó de ferro). Outra maneira de entender o pequeno tamanho físico dos dispositivos de armazenamento de energia em conversores chaveados – ou seja, os indutores, transformadores e capacitores – é esta: para uma dada potência de saída, a quantidade de energia que passa por esses dispositivos em cada transferência pode ser muito menor se essas transferências estiverem ocorrendo a uma taxa muito mais alta. E menos energia armazenada[90] ($\frac{1}{2}LI^2$, $\frac{1}{2}CV^2$) significa um pacote físico

9.6.11 O conversor flyback

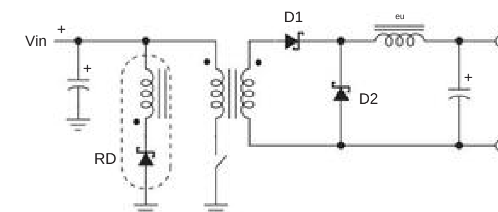
O conversor *flyback* (Figura 9.73A) é o analógico do conversor inversor não isolado. Assim como nos conversores não isolados anteriores, a chave é alternada em alguma frequência de comutação *f* (período *T* = 1/ f), com realimentação (não mostrada) controlando o ciclo de trabalho *D* = ton/T para manter a tensão de saída regulada. Assim como nos conversores anteriores, a modulação por largura de pulso pode ser organizada como modo de tensão ou modo de corrente; e a corrente secundária pode ser descontínua (DCM) ou contínua (CCM) de cada ciclo para o próximo, dependendo da corrente de carga.

A novidade é o transformador, que na topologia do conversor flyback atua simplesmente como um indutor com um enrolamento secundário fortemente acoplado. Durante a parte ligada do ciclo, a corrente no enrolamento primário aumenta de acordo com Vin = Lpri dIpri/dt, fluindo para o terminal “pontilhado”; durante esse tempo, o diodo de saída é polarizado reversamente por causa da tensão positiva nos terminais pontilhados de ambos os enrolamentos.

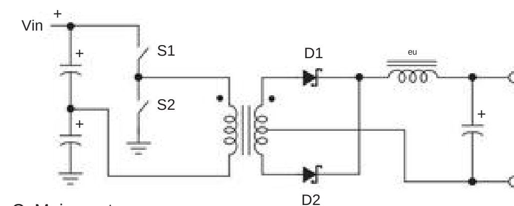
90 Para o caso particular do conversor flyback, discutido a seguir, você pode pensar no transformador como formado por um segundo enrolamento no já pequeno indutor usado para armazenamento de energia no conversor inversor não isolado (buck-boost).



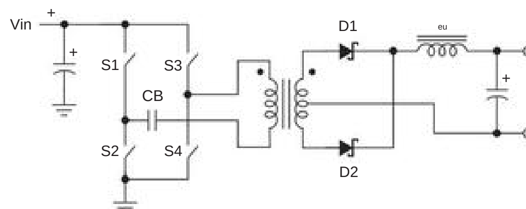
A. Flyback



B. Encaminhar (single-ended)



C. Meia ponte



D. Ponte completa (“ponte H”)

Figura 9.73. Conversores de comutação isolados. O conversor flyback (A) usa um indutor de armazenamento de energia com um enrolamento secundário, enquanto os conversores direto e de ponte (B-D) usam um transformador verdadeiro sem armazenamento de energia (e, portanto, requerem um indutor de armazenamento de energia de saída). O diodo DR e o enrolamento terciário no conversor direto são uma das várias maneiras de redefinir o núcleo neste projeto de terminação única. O capacitor de bloqueio dc CB na ponte H evita o desequilíbrio de fluxo e consequente saturação do núcleo; para a meia-ponte, o par de capacitores em série tem a mesma função, enquanto atua também como o capacitor de armazenamento de entrada.

Durante esta fase, a energia de entrada vai inteiramente para o campo magnético do núcleo do transformador. Ele tem a chance de ir para outro lugar quando o interruptor desliga : ao contrário da situação com um único indutor, com dutos *acoplados* o requisito de continuidade da corrente do indutor

é satisfeita se a corrente continuar a fluir em *qualquer um* dos enrolamentos. Neste caso, a corrente de ativação, fluindo para o terminal pontilhado, se transfere para uma corrente direcionada de forma semelhante no secundário, mas multiplicada pela relação de espiras NÿNpri/Nsec. Essa corrente flui para a saída (e capacitor de armazenamento), diminuindo de acordo com Vout = Lsec dIsec/dt. Da igualdade de volt-segundos do indutor, a tensão de saída é simplesmente

$$V_{out} = V_{in}\frac{N_{sec}}{N_{pri}}\frac{\text{tonelada}}{t_{off}} = V_{in}\frac{N_{sec}}{N_{pri}}\frac{D}{1-D} \quad \text{(no CCM). (9.6)}$$

E, como sempre, a eficiência é alta, então a energia é (aproximadamente) conservada:

$$I_{in} = I_{out}\frac{V_{out}}{V_{in}}. \quad (9.7)$$

Você pode enrolar secundários adicionais, cada um com seu diodo e capacitor de armazenamento, para criar várias tensões de saída (conforme definido pelas relações de espiras). E, como os enrolamentos de saída são isolados, você pode facilmente gerar saídas negativas. Tendo escolhido uma das saídas para regular o feedback, no entanto, as outras não serão reguladas com tanta rigidez. O termo "regulação cruzada" é usado para especificar as dependências da tensão de saída.

A. Comentários sobre conversores flyback

Os conversores Flyback **de nível** de potência têm pulsações completas de corrente de entrada e saída. Por esta razão, eles são geralmente usados para aplicações de baixa a média potência (até ~200 W). Para potências mais altas, você geralmente vê projetos que usam o conversor *direto* ou, para potências realmente altas, conversores de *ponte* .

O transformador é um indutor . A energia de entrada de cada ciclo é primeiro armazenada no núcleo do transformador (durante a ativação), depois transferida para a saída (durante a desativação). Portanto, o projeto do transformador deve fornecer a "indutância de magnetização" correta (agindo como um indutor), bem como a relação de espiras correta (agindo como um transformador). Isso é bem diferente da situação com o conversor direto e os conversores de ponte, abaixo, onde o transformador é "apenas um transformador". Não entraremos em mais detalhes sobre o projeto do transformador aqui, simplesmente observando que o projeto do "magnetismo" é uma parte importante dos projetos de conversores de comutação em geral e flybacks em particular. Você precisa se preocupar com questões como seção transversal do núcleo, capacidade de permeabilidade, saturação e "intervalo" deliberado (em geral, os indutores de armazenamento de energia têm intervalo, enquanto os transformadores puros não o são). Recursos extremamente úteis para projeto são encontrados em folhas de dados de IC e software de projeto (geralmente disponíveis gratuitamente pelo fabricante) que fornecem detalhes sobre a escolha do magnetismo. Exploramos esse importante tópico mais adiante em *§9x.4.*

Amortecedores Com componentes ideais, a corrente primária seria transferida completamente para o secundário quando o interruptor desligasse , e você não teria que se preocupar com coisas ruins acontecendo no terminal de dreno pendente do interruptor. Na realidade, o acoplamento incompleto entre o primário e o secundário cria uma "indutância de fuga" em série, cujo desejo de continuidade de corrente gera um pico de tensão positivo na chave, mesmo que o secundário esteja preso pela carga. Isto não é bom. A solução usual é incluir uma *rede de amortecimento,* consistindo de um *RC* através do enrolamento, ou, melhor, uma rede *"DRC"* de um diodo em série com um *RC paralelo.* [91]

Regulação Os conversores Flyback podem ser regulados com PWM convencional, seja no modo de tensão ou no modo de corrente, com um oscilador de funcionamento livre dando as ordens. Como alternativa, você verá projetos baratos nos quais o próprio transformador se torna parte de um *oscilador de bloqueio,* economizando alguns componentes. Nós abrimos algumas amostras de "verrugas de parede" de baixa potência (5–15 W) e não encontramos, bem, quase *nada* dentro! Fizemos a engenharia reversa para observar os truques do circuito (Figura 9.74). Eles parecem funcionar muito bem.

Conversores off-line Este circuito final (Figura 9.74) é um exemplo de um conversor de potência que *requer* isolamento galvânico. O transformador fornece isolamento para o fluxo de energia; além disso, o sinal de realimentação da saída CC também deve ser isolado em seu caminho de volta para o lado primário. Isso pode ser feito com um optoacoplador, como aqui, ou com um pequeno transformador de pulso adicional. Discutimos esses conversores offline brevemente em §9.7, e no Capítulo *9x* discutimos fontes de alimentação de alta eficiência ("verde"), incluindo um gráfico comparando o desempenho desta fonte de 5 W (cuja potência em standby é de 200 mW) com outras.

9.6.12 Conversores diretos

O *conversor direto de* terminação simples (Figura 9.73B) é a versão com transformador isolado do conversor buck. É útil consultar o circuito buck básico (Figura 9.61A) para ver como funciona. O transformador converte

[91] Os valores de indutância de fuga são tipicamente ÿ1% da magnetização na ductância. Você pode reduzir bastante a indutância de vazamento dividindo um dos enrolamentos (digamos, primário) em dois, com o outro (secundário) encaixado no meio. E enrolamentos *bifilares* (enrolamento primário e secundário como um par de fios juntos) podem reduzir a indutância de vazamento para um valor baixo. No entanto, essas técnicas aumentam a capacitância entre os enrolamentos e os enrolamentos bifilares sofrem de classificações de isolamento de tensão ruins.

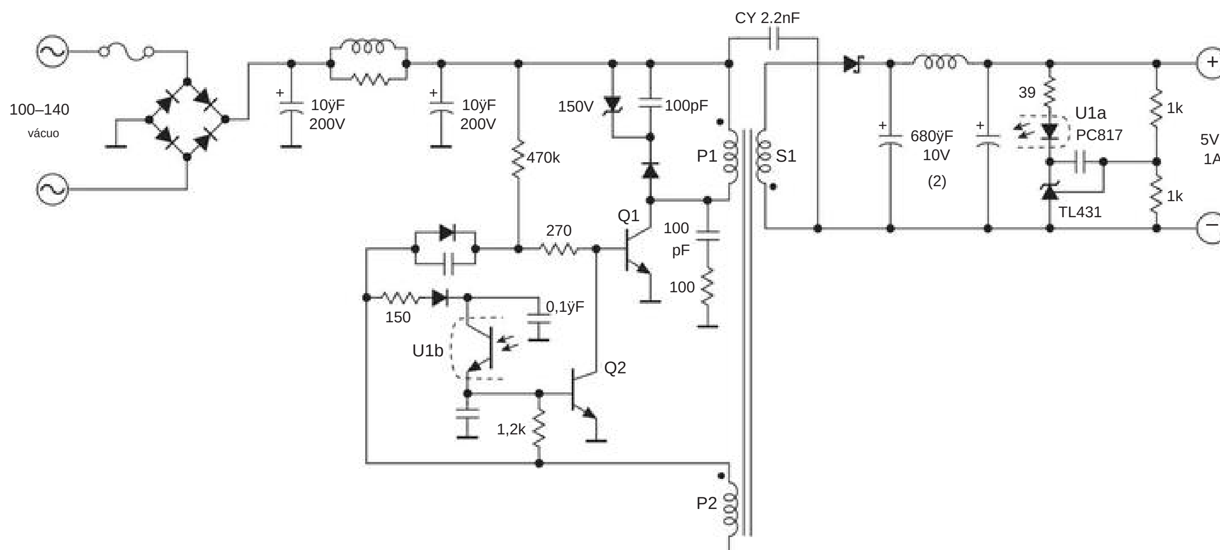


Figura 9.74. Um conversor flyback barato de 5 W, alimentado por tensão de linha de 115 Vac, que usa um "oscilador de bloqueio" auto-excitado. O enrolamento P2 fornece feedback positivo para sustentar a oscilação. A tensão de saída é detectada e comparada com o regulador shunt TL431, realimentada através do optoacoplador U1 para ajustar o ciclo de condução.

tensão de entrada Vin, durante a condução do comutador primário, para uma tensão secundária (Nsec/Npri)Vin. Esse pulso de tensão transformado aciona um circuito conversor buck, que consiste no diodo catch D2, indutor L e capacitor de armazenamento de saída. O diodo extra D1 é necessário para evitar corrente reversa no secundário quando o interruptor está desligado. Observe que aqui, em contraste com o conversor flyback, o transformador é "apenas um transformador": o indutor *L* fornece o armazenamento de energia, como no circuito buck básico. O transformador não precisa armazenar energia, pois o circuito secundário conduz ao mesmo tempo que o primário (a energia vai "para frente"), como você pode ver pela marcação de polaridade.

Análoga ao conversor buck, (eq'ns 9.3a–9.3h), a tensão de saída é simplesmente Nsec Nsec ton Vin (em CCM). (9.8)

Vout = Vin = D Npri T

Npri

Reinicializando o núcleo Em contraste com o circuito flyback, há um enrolamento adicional na Figura 9.73B, que é necessário para reinicializar *o* núcleo do transformador . entrada) para evitar um acúmulo contínuo de campo magnético; mas a chave de entrada sozinha sempre aplica tensão em apenas uma direção. O enrolamento terciário corrige isso aplicando tensão no sentido oposto direção durante a parte de desligamento do ciclo (quando o diodo DR conduz, da continuidade da corrente no enrolamento à medida que o campo magnético entra em colapso).94

Comentários adicionais (a) Assim como o flyback, e de fato com qualquer conversor acoplado a transformador, o conversor direto permite vários secundários independentes, cada um com seu indutor, capacitor de armazenamento e par de diodos. A realimentação reguladora então mantém uma saída particularmente estável. (b) O transformador isola a saída em um conversor direto, se você precisar de isolamento (como em um conversor de entrada powerline); nesse caso, você também deve isolar galvanicamente o sinal de feedback, geralmente com um optoacoplador (como no diagrama de blocos da Figura 9.48 ou nos diagramas detalhados das Figuras 9.74 e 9.83). Por outro lado, se você não precisa de isolação, você pode ter uma referência de terra comum e trazer o sinal de erro de volta para o circuito de controle PWM diretamente.

92 A reinicialização é inerente ao flyback, mas não ao conversor direto de terminação única, como ficará evidente. 93 Algumas vezes chamado de "integral de tempo-volt".

94 Existem circuitos inteligentes que reinicializam o núcleo sem exigir um enrolamento terciário: um método usa um par de interruptores primários, um em cada extremidade do enrolamento, em colaboração com um par de diodos, para inverter a tensão no primário único (veja se você pode inventar o circuito!). Outro método usa um segundo switch para conectar um pequeno ca marcapasso no primário durante o desligamento principal; esse método inteligente é conhecido como "reinicialização do grampo ativo" e foi desenvolvido independentemente por Carsten, Polykarpov e Vinciarelli. Tem a virtude de *inverter* o campo magnético no núcleo do transformador, proporcionando melhor desempenho ao permitir o dobro da excursão do fluxo normal.

Tabela 9.6 Controladores de chave externasa

Papel #	Pacotes		Vsupply mín (V)	Vsupply máx (V)	QI mino max max tipo (V, %) (mA) (V)	VFB vref / fswitch tipo mín-máx (kHz)		dd
bode								
LTC3863 ---- • I	• • • • -	• P • 3,5 3,2 5		60	–150V	0,8 0,8 50-850 0,5 8 580 360	1P A 10	29
ADP1864 ---6-I	• • - •••P -			14	100%	0,24 0,8 1000f3 0,6 Vin 1 7	1 PY 9	1
TLE6389 - 14 -	• - • • • • Pq	-		60	100%	0,12 1,25 0,6 1 5 2 NN 10	1 PY 9	2
ADP1872,73 - - 10 - - NCV8852 -8 - -	- ••• --V • 2,8 - P - 3,4			20	84%	1.1		-
LTC1735 - 16 16 - - LM5116 - - 20	EU •• - • •			36	100%	3 0,8 170-500 0,2 8	1 PY 9	3
- - LTC3810 - - 28 - - LTC3824 - -	Eu • • • e • • P •		4	36	6V,99% 0,8 0,45 80u	200-550 0,6 5,2 2 NY 17		-
10 - - LTC3830 -8 -- V na ••• P •	Eu •• - ••-P •		5	100	250ns 100% 90%	0,2 50-1000 2 7,4 2 NY 18 3 0,8 50-1000 2 10 2 NN 16 0,8 0,8		-
2.4 LTC3703 - - 16 - - V na • • • - -	- •••- -	V •	6	100	93% 84%	200-600 2,5 10 1 PY 13 0,7		-
V na •--- • P • 4,7	I x • • • • • P -		4	60				4
				9		1,265 80-550 1,5 cc 2 NN 7,10 1,7 0,80 100-600 2i Vcc 2 NN		5
		P •	9	100	16			-
NCP3030A - 8 -				28	~10	0,80 1200 7.5	2 NN 13	-
Buck - Boost (Vin de cima para baixo Vout)								
LTC3780	24 32 eu	• • • • • • M •	4	36	30V	2,4 0,80 200-400 0,6 6	4 NY 13	6
Boost, Flyback, etc.								
UC384x 88- - - MIC38HC4x 8 8 -	16ex 20 - - P - 9, 15ex 20 - P - 9, 15ex 30 18 • - - P -- 9, 16ex				50,100%	11 2,5 500 m 0,5 Vc 1 NY 20-30 4 2,5 500 m 1 Vc 1 NY 20-30 4 2,5		7
- -Ie-	30 UCC380x 8 8 8 - 8 I e • - TPS40210,11				50,100%	2000 m 1 Vc 1 NY 20-30 2,3 2,5 1000 m 1 Vc 1 NY 20-30 0,5 2,5h		8
ISL684x 8 8 8 - 8 I e -	- -	- - 10 - 10 I • • - • - - P - 4,5 52			50,100%	1000 m 1 Vc 1 NY 20-30 1,5 0,26r 35-1000 0,4 8 1 NY 15 200 t Vcc 1		8
UCC38C4x 8 8 8 - -	eu e- - -	LTC3803 - - -6- I •• -			50,100%	NY 8 5,0 1 NY 10		8
	-				50,100%			9
					80%			10
	-	• - Braçadeira P y 8.7			80%	0,24 0,80 0,22 0,7		11
MAX668, 69 - - 10 - -	• • • • • - - P - 1,8			28	90%	1,25 100-500 1 3 1,25 100-1000 1 2		12
LM3478 - - 8 -- I •• - • • • • P -			3	40	100%	1,25 50-1000 1 0,27 0,80 1	1 NY 9	13
LM5020 - - 10 - 10 I	• • -	- V - P -	8	15	80%	7	1 NY muitos	14
LTC1872B ---6 -	I •-•• • • P - 2.5 IIII			9,8	100%	550 7,7 Vin	1 NY 8	15
LM3481 - - 10 - -	• • • • • P - - • - • P -		3	48	85%	3,7 1,28 100-1000 1 5,8 1 NY 14		-
MAX15004 - - 16 - -	• -		-	40	50,80%	2 1,23 15-1000 1 7,4	1 NY 20	-
ADP1621 - - 10 - -	• • • • • -	P-q	2,9	5,5	95%	1,8 1,215 100-1500 2 Vin	1 N Nw 10	16
LTC1871 - - 10 - -	- - • • - • P - 2,5 e P - 0,9			36	92%	0,55 1,23 50-1000 2 5,2 1 NN 13 0,14		-
NCP1450A ---5 - V na • • •				6	80%	f 180 0,05 Vin	1 NN 3	17
Flyback off-line								
FAN6300 8 8 - -- I	- • • -	• • Q - 17o		25	70%	4,5 NY 20 p 65 3 1 13,5 1 NY 20 p 2,5 40 100z 0,15 18 1 NY 20 p 50-500 0,5 15 1 Vc 1 NY 30		18,28
NCP1252 8 8 -	• • • • •	- P - q		28	80%	1,4		19,20
NCP1237,38 - 7 -	• • • -	• W P-	8 13o	28	80%	2,5		20,28
L5991 16 16 -	I e • • ••jP - 9, 16o 20				50,100%	7		21
Push-Pull, Forward, Half-Bridge, etc.								
MC34025 16 16 -	• • -	- - - P - 9,6		30	t, 45% 25 5,10 5-1000 0,33 Vc 2 NY muitos 22 t, 50% 3 0,75 1,5 Vc 4 NY muitos 23,14 9			
LM5041 - 16 -	- 16 eu - • - • •	-P-	9	15	5,0 w 1 - 300 0,2 b 2 5,0 100 1000 ...			
TL594 16 16 -	- - V na e - e P -	- -	7	40				
SG3525 16 16 -	- - V na • -	- - -P-	8	40				
LM5035 - 20 -	- 24 V na •-• • P •	-	8	105				
NCP1395A 16 16 -	- -V n / D • • •	- - R •	11	20				

Notas: (a) todos requerem interruptores externos (consulte as listagens na Tabela 3.4); todos possuem bloqueio de subtensão (UVLO) e referências internas de tensão; listados dentro dos grupos em ordem aproximada de aumento da corrente do drive. (aa) I - modo de corrente, V - modo de tensão, P - corrente de pico fixa, M - modos múltiplos. (b) saída BJT não comprometida, dissipa 200mA, 40V máx. (c) P=PWM frequência fixa; Q=quase-res; R - ressonante; V=var freq largura fixa; (d) corrente de pico do driver, para controladores. (e) partes externas. (ex) tensão mais baixa para x=3 ou 5, tensão mais alta para x=2 ou 4. (f) apenas fixa. (f3) três opções de frequência de comutação. (g) nota de rodapé não utilizada. (h) 2V para x=3 ou 5. (i) limite de corrente ajustável. (j) Grampo zener de 25V para Vcc. (k) para Vcc ou tensão mostrada, o que for menor. (m) máximo. (n) nominal. (o) limite de ativação. (oo) mesmo com LEB (blanking de ponta), um filtro RC ou pelo menos um capacitor de 100pF é frequentemente recomendado. (p) o pino de referência é fonte de corrente. (pp) [mesma nota das tabelas integradas]. (q) frequência reduzida ou salto de pulso em carga baixa. (r) 0,7 V para o '11. (s) ajuda a estabilizar a malha de controle contra oscilações sub-harmônicas. (t) saída do transformador. (u) um tempo mínimo de desligamento (450ns) limita o ciclo de trabalho. (v) pode não incluir correntes dinâmicas de carga de gate, etc. (w) para Vout abaixo de 30V, acima de 30V é necessário um resistor de detecção de corrente. (x) OVP = proteção contra sobretensão da linha. (y) síncrono possível com transformador flyback não isolado de baixa tensão. (z) encontra a frequência de ressonância.

Comentários: **1:** LTC1772, LTC3801 segunda fonte. **2:** versão fixa de 5V disponível. **3:** automotivo. **4:** sentido hi-side. **5:** LTC3832 desce para 0,6V. **6:** indutor único, limite de corrente de retorno. **7:** geléia. **8:** UC384x aprimorado. **9:** UC384x com LEB, SS, QI baixo. **10:** impressionante drive de LED de 52 V. **11:** use com flyback xfmr. **12:** a 1,8 V, inclinação, arranque suave, caro. **13:** a 1MHz, avançado. **14:** Pino HV, para 100V para inicialização. **15:** SOT23, baixo consumo de energia, bonitinho. **16:** pode aumentar entradas tão baixas quanto 1V. **17:** apenas versões de tensão fixa, cinco opções de 1,9 V a 5,0 V. **18:** quase ressonante. **19:** barato, fontes de alimentação ATX, etc. **20:** pontilhamento de frequência. **21:** Grampo zener 25V para Vcc. **22:** legado, barato, de segunda origem. **23:** folga/sobreposição programável. **24:** legado, barato, flexível. **25:** também UC3525 etc. **26:** rampa de avanço. **27:** ressonante, use com driver FET IC. **28:** Pino HV, para 500V para inicialização. **29:** otimizado para inversão, Vout de –0,4 V a –150 V ou mais.

(c) Como em todos os conversores de modo chaveado, as redes de amortecimento são necessárias para domar os picos de tensão causados por indutâncias parasitas (incluindo particularmente o vazamento do transformador na ductância). (d) Como em outros tipos de conversores, o controle PWM pode ser tanto no modo de tensão quanto no modo de corrente. Uma alternativa é usar a modulação de *frequência* de pulso (PFM), com largura de pulso aproximadamente constante, para tirar proveito do comportamento ressonante (evitando assim "comutação forçada", permitindo que o toque ressonante carregue e descarregue capacitâncias parasitas e, assim, se aproxime de o ideal de comutação de tensão zero/corrente zero). (e) Os conversores diretos de terminação simples são populares na faixa de média potência (ÿ25–250 W).

9.6.13 Conversores de ponte

Os dois últimos conversores isolados por transformador na Figura 9.73 são os conversores de *meia ponte* e ponte *completa* (ponte H). Assim como o conversor direto de terminação única, o transformador atua simplesmente para efetuar a transformação e isolamento de tensão; o indutor do circuito secundário faz o armazenamento de energia, servindo ao mesmo propósito que no conversor buck básico ou no conversor direto de terminação simples. Na verdade, você pode pensar nos conversores de ponte aproximadamente como "conversores diretos de extremidade dupla". Em ambos os circuitos de ponte, o(s) capacitor(es) no lado de entrada permitem que a tensão na extremidade não pontilhada do primário do transformador se mova para cima ou para baixo conforme necessário para atingir a corrente CC média zero, evitando a saturação do núcleo do transformador.

Para entender o conversor meia-ponte, imagine primeiro que as chaves S1 e S2 são operadas alternadamente, com ciclo de trabalho de 50% e sem gap ou sobreposição. A tensão na junção dos capacitores de entrada flutuará para metade da tensão de entrada CC, então o que você tem é um circuito retificador de onda completa com derivação central, acionado por uma onda quadrada. A energia é transferida para frente durante as duas metades de cada ciclo, e a tensão de saída (ignorando quedas de diodo) é apenas Nsec Vout = Vin 4Npri

, (9.9)

1 onde o fator 4 surge do fator 2 da tensão de entrada para o aplicada e o mesmo fator da derivação central de saída. A operação do conversor de ponte completa é semelhante, mas suas quatro chaves permitem que ele aplique a tensão de entrada CC completa no primário durante cada meio ciclo, de modo que o 4 seja substituído por 2 no denominador.

Regulagem Com as chaves operando em oposição, com ciclo de trabalho de 50%, a tensão de saída é fixada pela relação de espiras e pela tensão de entrada. Para fornecer regulação, você precisa operar cada interruptor por menos de meio ciclo (Fig.



Figura 9.75. Modulação por largura de pulso no conversor de comutação de meia ponte. O oscilador interno inicia a condução do interruptor em al ciclos alternados, com feedback fornecendo regulação ao encerrar a condução de cada chave de acordo com o sinal de erro.

ura 9.75), com gap de condução ("dead time") cujo comprimento é ajustado de acordo com o sinal de erro. Você pode pensar em cada meio ciclo como um conversor direto, de ciclo de trabalho D=ton/(ton+toff), fazendo com que o conversor produza uma tensão de saída (assumindo CCM) de Nsec Vout = DVin 4Npri

. (9.10)

Conversores de ponte são favorecidos para conversão de alta potência (ÿ100 W e acima), porque eles fazem uso eficiente do magnetismo conduzindo durante ambas as metades de cada ciclo, e circulam o fluxo magnético simetricamente. Eles também sujeitam as chaves a metade do estresse de tensão de um conversor de terminação única. Ao adicionar outro par de interruptores, você pode convertê-lo em uma ponte completa (ou ponte H), na qual a tensão de entrada CC total é aplicada no primário a cada meio ciclo. (Consulte os comentários abaixo, no entanto, sobre o equilíbrio de fluxo.) A configuração de ponte completa também permite outra forma de regulação, chamada "controle de mudança de fase", na qual um ciclo de trabalho de 50% é mantido em cada par de interruptores, mas o relativo a fase de um par é deslocada em relação ao outro, para produzir efetivamente um ciclo de trabalho variável.95

Comentários **adicionais** (a) Assim como o conversor forward de terminação única, é essencial manter a tensão média zero (ou integral volt-tempo) no primário do transformador. Caso contrário, o fluxo magnético aumentará, atingindo a saturação destrutiva. A ponte H na Figura 9.73D inclui um capacitor de bloqueio CB em série com o primário para esta finalidade; o par de capacitores de entrada tem a mesma função para a meia-ponte (Figura 9.73C). Esse capacitor pode ser bastante grande e precisa suportar grandes correntes de ondulação; então seria bom eliminá-lo, por exemplo, conectando a parte inferior do enrolamento a uma tensão fixa de Vin/2 (que está disponível automaticamente em uma ponte de entrada de duplicação de tensão off-line). Essa configuração é conhecida como "push-pull".

95 Alguns CIs controladores de mudança de fase que gostamos são o UCC3895 da TI e o LTC3722 da Linear Technology.

No entanto, sem o capacitor de bloqueio é fácil violar a condição de equilíbrio de fluxo. Uma solução é o uso do controle de modo de corrente, no qual a limitação de corrente ciclo a ciclo (ou, mais precisamente, meio ciclo a meio ciclo) evita a saturação. Em qualquer caso, esteja ciente de que o desequilíbrio de fluxo em conversores de ponte é realmente uma má notícia. (b) Em conversores de ponte, as chaves de potência são conectadas em série através da alimentação de entrada CC. Se houver sobreposição de condução, grandes correntes podem fluir de trilho para trilho; isso é conhecido como corrente "disparada". O que você precisa saber é que você não quer! De fato, atrasos de desligamento em MOS FETs e, mais seriamente, em BJTs, exigem que os sinais de controle forneçam um curto intervalo de tempo para evitar disparos. (c) Mais uma vez, snubbers são necessários para domar picos indutivos. (d) Conversores de ponte completa são preferidos para conversores de alta potência, para 5 kW ou mais. (e) Em altas correntes de carga, o indutor do filtro de saída tem uma corrente contínua fluindo através dele. Durante os ciclos de condução primária, isso é, obviamente, fornecido por D1 ou D2, pela ação normal do transformador. Mas o que acontece durante a não condução primária (os gaps na Figura 9.75)? Curiosamente, *a* corrente contínua do indutor flui por D1 e D2, forçando o secundário do transformador a agir como um curto-circuito (mesmo que seu primário esteja aberto), porque correntes de diodo iguais fluem na mesma direção em ambas as extremidades do enrolamento com derivação central.

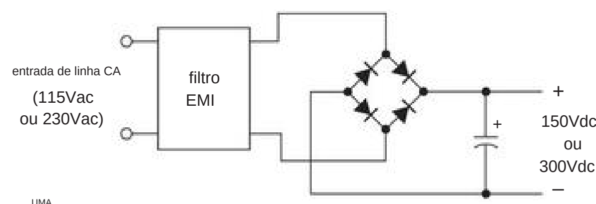
9.7 Conversores de comutação alimentados por linha CA ("offline")

Com exceção das Figuras 9.48B e 9.74, todos os conversores e reguladores chaveados que vimos até agora são conversores *CC para CC* . Em muitas situações, isso é exatamente o que você deseja - para equipamentos operados por bateria ou para criar tensões adicionais em um instrumento que possui energia CC existente. tensões DC lacionadas. Você poderia, é claro, começar com uma fonte CC de baixa tensão não regulada do tipo da Figura 9.49, seguido por um regulador de comutação. Mas a melhor abordagem é eliminar o volumoso transformador abaixador de 60 Hz executando um conversor de comutação isolado diretamente da energia CA retificada (não regulada) e filtrada, conforme mostrado anteriormente na Figura 9.48.97 . Dois comentários imediatos. (a) A tensão de entrada CC será de aproximadamente 160 volts98 (para alimentação de 115 Vac) – este é um circuito perigoso para mexer! (b) A ausência de um transformador significa que a entrada CC não está isolada da rede elétrica, por isso é essencial usar um conversor de comutação com um estágio de potência isolado (para frente, flyback ou ponte) e com realimentação isolada (através de um optoacoplador ou ex-trans).

9.7.1 O estágio de entrada CA para CC

A. Configurações de dupla voltagem

A Figura 9.76 mostra duas configurações comuns de estágio de entrada. A ponte retificadora simples da Figura 9.76A está perfeitamente OK



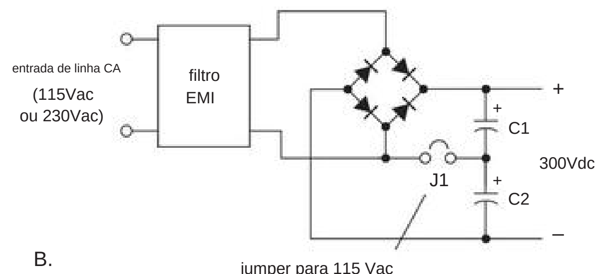


Figura 9.76. As fontes de alimentação de comutação executadas na linha de alimentação CA (conversores off-line) usam CC retificada diretamente para alimentar um conversor isolado. O jumper no circuito inferior seleciona as configurações de ponte ou dobrador de tensão, de modo que qualquer tensão de linha produza a mesma saída de ~300 Vcc.

96 Uma aplicação comum é dentro de um computador, onde o processador pode exigir algo como 1,0 V a 100 A (!). É muita corrente circulando em uma placa de circuito impresso! O que é feito, em vez disso, é trazer uma tensão de "barramento" mais alta (geralmente +12 V) para as proximidades do processador, onde ele alimenta cerca de meia dúzia de conversores buck de 12 V para 1,0 V que cercam o processador. chip que consome muita energia e que funciona em várias fases para reduzir a ondulação. Isso é chamado de conversão de energia de "ponto de carga". O benefício, claro, é a corrente mais baixa no barramento, cerca de 8 A neste exemplo, combinada com uma regulação de tensão apertada na própria carga.

97 Uma história para provar que estamos errados: rotineiramente desmontamos todos os tipos de aparelhos eletrônicos comerciais, apenas para ver como vive a outra metade. Imagine nossa surpresa, então, quando abrimos um carregador de celular e encontramos um pequeno transformador de energia CA, retificador de ponte e capacitor de armazenamento de baixa tensão, seguido por um conversor de comutação MC34063! Vai te mostrar. 98 E, mais comumente, 320 volts; Veja abaixo.

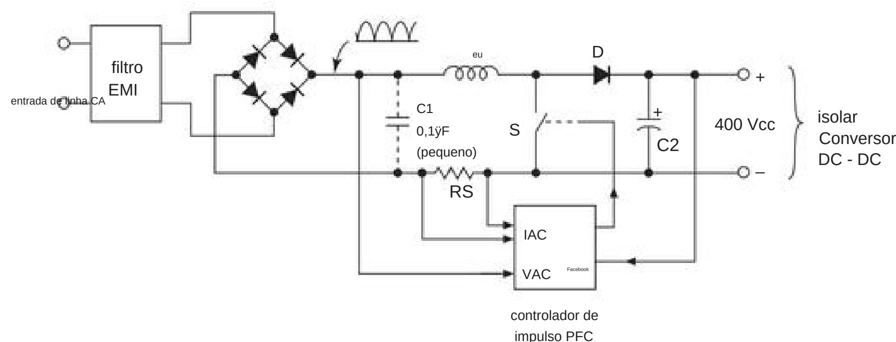


Figura 9.77. Os circuitos retificadores diretos da Figura 9.76 criam pulsos de corrente indesejáveis a cada meio ciclo (baixo fator de potência). Isso é remediado com um front-end de correção do fator de potência, que consiste em um conversor boost executado a partir da forma de onda de tensão de linha retificada de onda completa (não filtrada), controlada por um chip PFC especial que opera a chave para manter a corrente de entrada aproximadamente proporcional à entrada Voltagem.

para dispositivos destinados ao uso de 115 Vac ou 230 Vac, nos quais o conversor de comutação a seguir é projetado para entrada de ~150 Vdc ou ~300 Vdc, respectivamente. Se você precisar de uma fonte que possa ser alternada para funcionar em qualquer tensão de entrada, use o truque mostrado na Figura 9.76B: é uma ponte de onda completa simples para entrada de 230 Vac, mas com o jumper conectado, ela se torna um dobrador de tensão para Entrada de 115 Vca, gerando aproximadamente 300 Vcc em qualquer um dos continentes. (A outra abordagem popular é projetar o conversor de comutação para acomodar uma ampla faixa de entrada CC; a maioria dos carregadores de baixa potência para dispositivos de consumo, como laptops e câmeras, funcionam dessa maneira. Verifique o rótulo, no entanto, antes de conectar a uma fonte de alimentação de 230 Vac E não espere que dispositivos eletrônicos com mais consumo de energia funcionem automaticamente com energia “universal”; eles geralmente têm uma chave deslizante rebaixada que é o jumper na Figura 9.76B.)

B. Corrente de irrupção Quando você liga a energia pela primeira vez, a linha CA vê um grande capacitor de filtro eletrolítico descarregado através dela (através de uma ponte de diodo, é claro). A corrente de “inrush” resultante pode ser enorme; até mesmo uma minúscula “parede” pode consumir 25 A ou mais de corrente instantânea quando conectada pela primeira vez. Comutadores comerciais usam vários truques de partida suave para manter a corrente de irrupção dentro dos limites civilizados. Um método é coloque um resistor de temperatura negativa (um termistor de baixa resistência) em série com a entrada; outro método é desligar ativamente um pequeno resistor em série (10 ÿ) uma fração de segundo após a alimentação ser ligada. A indutância em série fornecida por um filtro de ruído de entrada também ajuda um pouco.
Mas uma solução muito boa vem na forma de um circuito de correção do fator de potência de entrada, discutido a seguir.

C. Correção do fator de potência

A forma de onda de corrente pulsada de CA retificada, como visto, por exemplo, na Figura 9.51, é indesejável porque produz maiores perdas resistivas (I2R) em comparação com o ideal de uma forma de onda de corrente senoidal que está em fase com a tensão . (É por isso que é fácil cometer o erro de escolher um fusível muito pequeno, conforme discutido anteriormente em §9.5.1B.) Outra maneira de dizer isso é que uma forma de onda de corrente pulsada tem um *fator de potência baixo,* que é definido como a potência entregue dividida pelo produto Vrms × Irms. O fator de potência apareceu pela primeira vez no Capítulo 1 em conexão com circuitos reativos, nos quais a corrente defasada (mas ainda senoidal) criava um fator de potência igual ao cosseno da diferença de fase entre a tensão CA e a corrente. Aqui o problema não é a fase, é a alta relação rms/média das magnitudes da corrente pulsada.

A solução é fazer com que a entrada da fonte de alimentação pareça um resistor passivo, desenvolvendo um circuito que force a forma de onda da corrente de entrada a ser proporcional à tensão de entrada no ciclo CA. Isso é conhecido como circuito de correção do fator de potência (PFC) e é conectado entre a entrada CA retificada de onda completa (mas com o capacitor de armazenamento usual omitido) e o conversor CC-CC real, conforme mostrado na Figura 9.77. Consiste em um conversor boost não isolado, operando na alta frequência de comutação usual, com o ciclo de trabalho de comutação continuamente ajustado para manter a corrente de entrada detectada (Iac) proporcional à tensão de entrada ca instantânea (Vac) durante os ciclos de corrente alternada. Ao mesmo tempo, ele regula sua saída CC para uma tensão um pouco maior do que o pico de entrada CA, geralmente +400 V. Essa saída CC alimenta um conversor CC-CC isolado para produzir as tensões reguladas finais.

A correção do fator de potência está se tornando padrão na maioria

fontes de alimentação de comutação off-line de potência moderada a alta (>100 W, digamos) e é exigido por vários padrões regulamentares. É bastante eficaz, como pode ser visto na Figura 9.78, onde tiramos a poeira de um computador de mesa antigo e comparamos sua forma de onda de corrente de entrada com a de uma unidade contemporânea funcionando ao mesmo tempo e na mesma tomada.



Figura 9.78. Um conto de dois computadores. O computador A tem uma fonte de alimentação de entrada PFC, fazendo com que sua corrente de entrada acompanhe a tensão de entrada. A fonte de alimentação do computador B, construído dez anos antes, carece de PFC; seu retificador de ponte de entrada carrega o capacitor de armazenamento com surtos de corrente de curta duração. Escala horizontal: 4 ms/div.

9.7.2 O conversor dc-para-dc

Existem alguns problemas extras a serem enfrentados no projeto de conversores offline.

A. Alta tensão Quer o fator de potência seja corrigido ou não, a alimentação CC para o regulador-conversor estará em uma tensão substancial, tipicamente 150 V ou 300 V, ou um pouco mais alta se o PFC for usado. O próprio conversor fornece a isolação, normalmente usando uma das configurações de transformador da Figura 9.73. A chave deve suportar as tensões de pico, que podem ser significativamente maiores do que a alimentação CC. Por exemplo, no conversor direto com enrolamento de reinicialização terciária 1:1 (Figura 9.73B), o dreno do MOSFET oscila para duas vezes Vin durante a reinicialização; e para o flyback, o dreno voa até Vin·T/toff. Observe também que essas tensões de pico assumem o comportamento ideal do transformador; a indutância de fuga e outras realidades de circuito não ideais agravam ainda mais a situação.

B. Perdas de comutação

MOSFETs de alta tensão não têm o Ron extremamente baixo de seus irmãos de baixa tensão. Para MOS de alta tensão FETs de um determinado tamanho de matriz, Ron aumenta pelo menos quadraticamente com a tensão nominal (consulte as Tabelas 3.4 e 3.5). Portanto, os projetistas precisam se preocupar com a *perda de condução* durante a parte de condução do ciclo, ou seja, I2 DRon. Você pode, é claro, reduzir as perdas de condução escolhendo um MOSFET maior, com Ron reduzido.[99] Mas os transistores maiores têm capacitâncias maiores, o que contribui para *as perdas dinâmicas,* que se tornam cada vez mais importantes ao chavear altas tensões: imagine, por exemplo, um conversor direto no modo de condução contínua; quando o interruptor é ligado , ele deve trazer seu dreno (e carga anexada) de *+2Vin* para o terra. Mas há energia armazenada na capacitância de dreno da chave, bem como na capacitância parasita de *2CV2,* que o enrolamento do transformador, = é desperdiçado como calor a cada ciclo de chaveamento. Multiplique 1 no momento E isso pela frequência de comutação e você obtém Pdiss = 2 *fCV2* Ele sobe quadraticamente com a tensão operacional e pode ser substancial: dentro. um conversor direto off-line, operando a partir de tensão de linha retificada de +300 V, comutando a 150 kHz e usando um MOSFET de 750 V com capacitância de dreno (e carga) de 100 pF estaria dissipando 3 W apenas dessa perda de comutação dinâmica.[100] Existem maneiras inteligentes de contornar alguns desses problemas. Por exemplo, as indutâncias podem ser exploradas para fazer com que a tensão de dreno oscile perto do solo (idealmente, comutação de tensão zero) antes que a chave seja ativada; isso é chamado de "comutação suave" e é desejável para reduzir as perdas de comutação *2CV2* e o estresse do componente causado pela comutação forte. E a perda de comutação *VDID* durante as transições pode ser minimizada dirigindo o portão com 1 força (para reduzir o tempo de comutação) e explorando reatâncias para provocar comutação de corrente zero. Esses problemas não são intransponíveis; mas eles mantêm o projetista ocupado, lidando com compensações de tamanho de interruptor, projeto de transformador, frequência de comutação e técnicas para comutação suave. Este tipo de projeto de circuito não é para o consertador eletrônico casual, nem para os fracos de coração.

C. Realimentação do lado secundário

Como a saída é deliberadamente isolada da entrada perigosa da linha de alimentação, o sinal de realimentação tem que cruzar

[99] Ou, para tensões suficientemente altas, use um IGBT; ver §3.5.7.

[100] Um segundo tipo de perda de comutação dinâmica ocorre durante a aceleração e desaceleração da tensão de comutação, durante a qual a dissipação instantânea de potência do transistor é o produto da tensão de dreno e da corrente de dreno. Isso é basicamente uma perda de condução dinâmica associada a *transições de comutação,* a ser distinguida tanto da perda de condução *estática* durante o estado ON da chave quanto das perdas dinâmicas de "chaveamento rígido" associadas com carregamento e descarregamento de capacitâncias parasitas.

de volta à mesma barreira de isolamento. A configuração na Figura 9.74 é típica: uma referência de tensão e um amplificador de erro (aqui implementado com um regulador de derivação simples) aciona o LED de um optoacoplador na saída, com o fototransistor isolado fornecendo orientação para o controle da chave (geralmente PWM) no lado da unidade. Uma alternativa menos usada é um transformador de pulso, acionado por um circuito de "controlador do lado secundário". Uma terceira alternativa, caso não seja necessário um alto grau de regulação de saída, é regular a saída de um enrolamento auxiliar que não esteja do lado da "saída" (por exemplo, um enrolamento como o P2 da Figura 9.74); como ele retorna ao comum do lado da entrada, não é necessário isolar seu sinal de realimentação. Isso é chamado de regulação *do lado primário* . Normalmente, você obterá algo como ± 5% de regulação de saída (sobre uma variação de corrente de carga de 10% a 100% da corrente nominal), em comparação com ± 0,5% ou melhor com feedback do lado secundário.

D. A barreira de isolamento

Transformadores e optoacopladores fornecem isolamento galvânico. Bastante simples, ao que parece. Mas, como acontece com a própria vida, geralmente há muitas nuances à espreita abaixo da superfície (e, como ficará evidente, *ao longo* da superfície também).

Existem dois mecanismos pelos quais uma barreira de isolamento pode ser rompida: (a) Altas tensões podem criar uma faísca diretamente através de um entreferro (ou através de uma folha isolante); esse tipo de quebra é chamado de "arcing" (ou "arc-over"), então você deve garantir uma distância mínima de *folga* , definida como a menor distância no ar entre um par de condutores. (b) Um caminho condutivo pode se desenvolver na superfície do material isolante que separa um par de condutores; esse tipo de quebra é chamado de "rastreamento",101 melhor evitado garantindo-se uma distância mínima de *fuga* , definida como a distância mais curta ao longo da superfície do material isolante entre dois condutores; veja a Figura 9.79. Como ficará evidente, a fuga geralmente é a maior preocupação (em comparação com a folga) em layouts de circuito de alta tensão.

É uma má notícia quando há quebra de uma barreira de isolamento; provavelmente causará danos ou destruição aos componentes eletrônicos alimentados a jusante. Pior ainda, há a segurança humana – um dispositivo eletrônico cujo isolamento da linha de energia CA é perdido pode matá-lo. Por estas razões, existem diretrizes e normas rígidas que regem o projeto de barreiras de isolamento (codificadas por IEC, UL, DIN/VDE, etc.). Publicações como IEC 60950 e IEC 60335 incluem extensas tabelas de folga mínima e fuga, e web

101 Um termo pitoresco que descreve bem os pequenos rastros carbonizados que você tende a encontrar na perícia post-mortem de um dispositivo de alta voltagem que falhou.

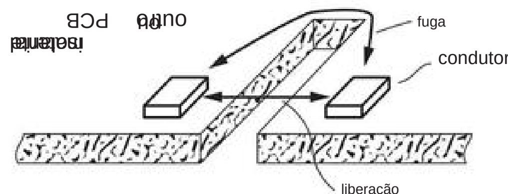


Figura 9.79. Dois caminhos para romper uma barreira de isolamento: arco rápido através do entreferro (definido pela distância de folga) e "rastreamento" condutivo ao longo de um caminho na superfície do material isolante (definido pela distância de fuga).

sites como www.creepage.com têm calculadoras on-line deliciosas para manter seus projetos confiáveis e seguros.

De um modo geral, folgas de 2 mm ou mais e distâncias de fuga de 4 a 8 mm ou mais são apropriadas para conversores alimentados por 120 Vac. No entanto, existem variáveis adicionais que afetam os espaçamentos necessários. Um exemplo é o "grau de poluição" (referente à presença de poeira condutiva, água, etc.); e existe a categoria geral de isolamento pretendido (desde o meramente "funcional" até o mais estrito nível de segurança "reforçado"). Outro fator é a aplicação pretendida: por exemplo, existem normas de segurança separadas para produtos destinados ao uso doméstico (IEC 60335) e existem normas particularmente rígidas para dispositivos médicos (IEC 60601). Uma discussão completa do assunto está muito além do escopo deste livro. O tratamento a seguir visa alertar o leitor sobre a gravidade do isolamento de alta tensão e algumas das técnicas usadas para lidar com isso.

As variáveis: tipo de isolamento, tensão, grupo de material, grau de poluição Estes são os parâmetros que você usa com as tabelas ou calculadoras.

Tipo de isolamento O nível geral de eficácia exigida, em cinco etapas (funcional, básico, suplementar, duplo, reforçado).

Tensão O arco voltaico no ar ou através de uma folha isolante é rápido, então é a tensão de *pico* (ou transiente de pico) que importa. Por outro lado, a deterioração ou contaminação que causa a fuga condutiva é mais lenta, então você usa tensões rms ou dc ao consultar as tabelas.

Grupo de material Refere-se à suscetibilidade de um determinado material isolante à degradação da superfície; os grupos são denominados I, II e III, indo do menos ao mais suscetível. Alguns padrões preferem parâmetros análogos chamados "índice de rastreamento comparativo" (CTI) e "categorias de nível de desempenho" (PLCs).

Grau de poluição Termo curioso, que se refere à qualidade do ar: grau 1 é ar limpo e seco; grau 2 é o ambiente normal de casa ou escritório; o grau 3 é desagradável, com poeira condutiva, condensação de umidade e similares – basicamente se aplica ao serviço em ambientes industriais ou agrícolas pesados.

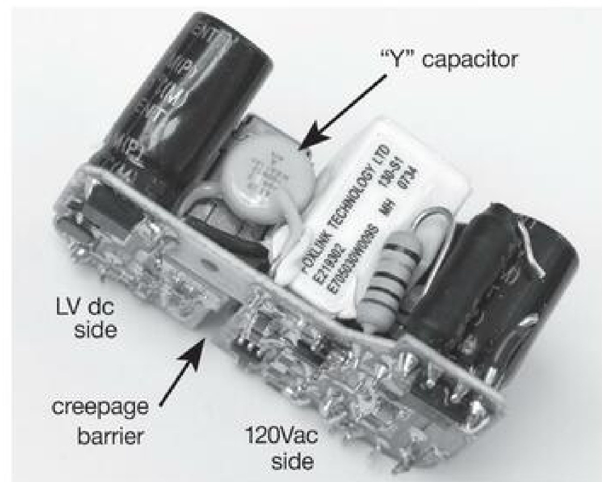


Figura 9.81. Esta visão lateral do mesmo conversor revela que os condutores amplamente espaçados do capacitor Y preservam a fuga mínima de 8 mm; em contrapartida, a folga mínima do conversor é de apenas 1,5 mm.

Aumentando a distância de fuga Se você tiver um design compacto, de modo que não haja espaço suficiente para fornecer distâncias de fuga adequadas, você pode usar várias medidas. Freqüentemente, você verá lacunas ou slots cortados em uma placa de circuito impresso, como no switcher off-line da Figura 9.80. Você também pode fornecer uma barreira saliente para alongar o caminho de aderência à superfície, uma técnica usada em optoacopladores de alta tensão, enrolamentos de transformadores e similares (consulte o próximo parágrafo). Um revestimento isolante conformal aplicado sobre uma placa de circuito preenchida é uma técnica particularmente eficaz (mas não deve delaminar, ou pode ser pior do que nenhum revestimento). Técnicas relacionadas para componentes individuais envolvem envasamento ou moldagem.

Considerações sobre fuga na embalagem e projeto do componente Os componentes que fazem a ponte da barreira de isolamento, como transformadores e optoacopladores, devem ser projetados e embalados com folgas e distâncias de fuga apropriadas, tanto nos condutores externos quanto no isolamento interno. Um exemplo é o capacitor em Y de isolamento, com um pé de cada lado. Como mostra a fotografia da Figura 9.81, os condutores do capacitor Y de geometria de disco são orientados à direita



Figura 9.80. Os projetistas deste conversor de comutação incluíram um slot em forma de L na placa de circuito, aumentando bastante a distância de fuga do circuito de linha de força para a saída isolada de 5 V.

ângulos e revestidos com uma continuação do mesmo isolamento conforme que cobre o corpo do capacitor. Os componentes alojados em gabinetes estilo DIP podem obter maior separação das seções de entrada e saída ao omitir os pinos intermediários 102 (portanto, um "DIP-8" sem os pinos 2,3,6 e 7). Um exemplo de uma peça de alta tensão totalmente especificada vem da Avago, cuja folha de dados para um optoacoplador (ACNV260E) inclui uma abundância de especificações de folga e fuga: folgas "externas" e "internas" (13 mm e 2 mm, respectivamente), e da mesma forma para distâncias de fuga (13 mm e 4,6 mm, descritas como "medidas dos terminais de entrada aos terminais de saída, caminho de menor distância ao longo do corpo" e "ao longo da cavidade interna", respectivamente).

Da mesma forma, os cabos do transformador de comutação devem manter espaçamento e distância de fuga adequados. Igualmente importante, o isolamento entre os enrolamentos e a geometria do enrolamento devem criar um isolamento apropriado (por um número suficiente de camadas de fita isolante, etc.) e também um afastamento de fuga apropriado. Para atender aos requisitos de fuga, os enrolamentos podem ser dispostos lado a lado (em vez de coaxiais) e separados por uma folha isolante que se estende além dos enrolamentos. Isso é bom para a idade de fluência, mas ruim para o projeto magnético, pois aumenta a indutância de vazamento. Com uma geometria coaxial magneticamente preferível, a distância de fuga pode ser estendida por

[102] Consulte, por exemplo, as folhas de dados do acoplador Vishay CNY64, do controlador ON Semiconductor NCP1207 PWM ou do driver Power Integrations LNK-403.

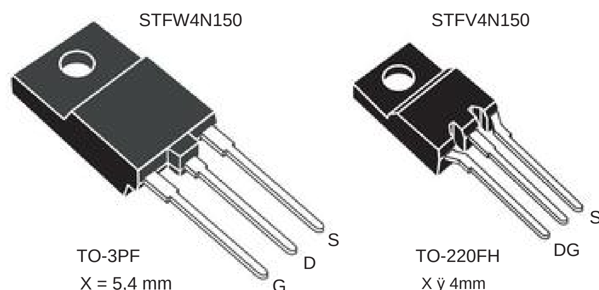


Figura 9.82. Esses pacotes MOSFET de 1500 V empregam isolamento moldado e ranhurado para aumentar o comprimento do caminho de fuga. (Adaptado com permissão da STMicroelectronics)

permitindo que a fita entre-enrolamentos se estenda além dos enrolamentos, ou enrole de volta no enrolamento externo.

Os efeitos de fuga estão presentes sempre que você lida com alta tensão, esteja uma barreira de isolamento envolvida ou não. Um exemplo é mostrado na Figura 9.82, ilustrando a configuração de pinos de dois estilos de encapsulamento de um MOS FET de 1500 V. Para o pacote TO-3PF maior (espaçamento de chumbo de 5,4 mm), uma extensão do material plástico do pacote ao redor do cabo de drenagem fornece uma distância de fuga adequada; para o pacote TO-220FH menor (2,5 mm de espaçamento entre os terminais), há uma estrutura ranhurada e geometria compensada dos terminais.

9.8 Um exemplo de switcher do mundo real

Para transmitir a complexidade adicional envolvida em uma fonte de alimentação de comutação alimentada por linha de modelo de íon de produto, desmontamos uma fonte de comutação regulada de saída única comercial[103] (Astrodyne modelo OFM-1501: entrada de 85–265 Vac, 5 Vdc @ 0–3 A output), outro em nossa série de “Designs by the Masters”, revelando o circuito da Figura 9.83.

9.8.1 Switchers: visão de nível superior

Vamos dar uma volta pelo circuito para ver como um switcher alimentado por linha lida com problemas do mundo real. A topologia básica é justamente a do conversor chaveado da Figura 9.48, implementado com conversão de potência flyback (Figura 9.73A); existem, no entanto, alguns componentes adicionais! Vamos primeiro no nível de pincel largo, voltando mais tarde para nos deliciar com os refinamentos.

Neste nível muito básico, é assim: o alimentador de linha armazenamento 104 ponte retificadora D1 carrega o capacitor de ÿ 47 F (classificado em 400 Vdc, para acomodar o máximo de 265 Vac entrada), fornecendo a entrada CC de alta tensão não regulada (+160 Vcc ou +320 Vcc, para entrada de 115 Vac ou 230 Vac, respectivamente) para o lado alto do enrolamento primário de 70 voltas de T1. O lado baixo do enrolamento é comutado para entrada comum (o símbolo ÿ) em frequência fixa (mas com largura de pulso variável) pelo chip controlador de modo de comutação PWM U1, de acordo com a corrente de realimentação em seu terminal FB.

No lado secundário, os secundários paralelos de 3 espiras são retificados pelo diodo Schottky D5, com configuração de polaridade “flyback” (isto é, sem condução durante o período primário ON). A saída retificada é filtrada pelos quatro capacitores de armazenamento de baixa tensão (totalizando 2.260 F), criando a saída isolada de 5 Vcc. Esta fonte usa regulação do lado secundário, comparando uma fração (50% nominal) de Vout com a referência interna de +2,50 V do U2, ligando o LED emissor do optoacoplador U3 quando a saída atingir seus 5 Vdc nominais. Isso se acopla ao fototransistor U3b, variando a corrente de realimentação no controlador de modo de comutação U1, variando assim a largura do pulso ON para manter a saída regulada de +5 Vdc.

Neste ponto, consideramos talvez um terço dos componentes da Figura 9.83. O restante é necessário para lidar com questões como (a) alimentação auxiliar para o chip controlador; (b) filtragem de powerline, principalmente de ruído de comutação de *saída ;* (c) proteção (fusível, inversão de polaridade); (d) compensação do circuito de retroalimentação; e (e) comutação amortecimento e amortecimento transiente. E, embora não seja óbvio no esquema, mas o mais essencial para o projeto – a escolha dos parâmetros do transformador: tamanho do núcleo e “intervalo”, relações de espiras e indutância de magnetização[105] LM.

Antes de examinar esses detalhes, porém, vamos ver como o conversor básico funciona. Seremos capazes de descobrir coisas como formas de onda de tensão e corrente, tensões e correntes de pico e o ciclo de trabalho em função da tensão de entrada e da corrente de saída.

9.8.2 Comutadores: operação básica

O chip de controle opera em uma frequência fixa fosc de 100 kHz, ajustando seu ciclo de trabalho de condução do interruptor primário *(D* = ton/T) de acordo com a realimentação da tensão. Desenhamos formas de onda ideais para um ciclo (duração *T* = 1/ fosc) na Figura 9.84. Estes são o que você pode esperar no

[103] Retratado no canto nordeste da Figura 9.1. 104 O capacitor de armazenamento de entrada costuma ser chamado de *capacitor bruto.*

[105] Os símbolos convencionais para indutância de magnetização e indutância de dispersão são *Lm* e *Ll,* respectivamente. Mas o subscrito L minúsculo pode ser desagradável aos olhos, especialmente em uma nota de rodapé. No interesse da legibilidade, portanto, adotamos pequenos índices maiúsculos: LM e LL por toda parte.

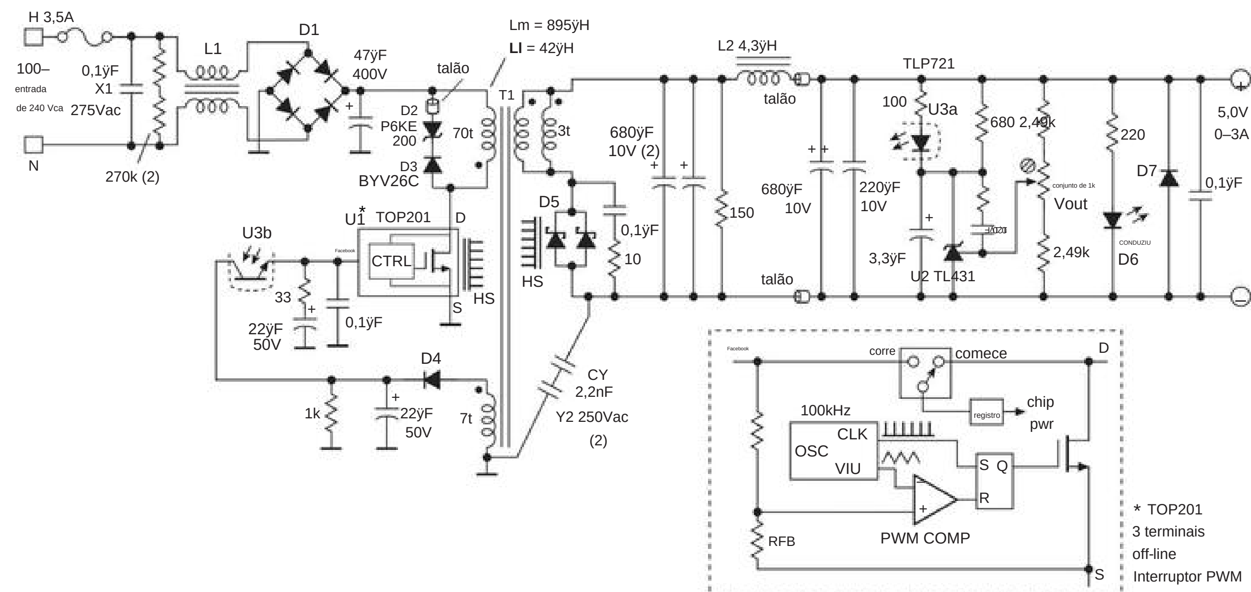


Figura 9.83. Fonte de alimentação de comutação alimentada por linha do "mundo real". O circuito é relativamente descomplicado, graças à sua baixa potência nominal (15 W) e ao elegante controlador de modo de comutação de 3 terminais U1 da Power Integrations (com MOSFET de alta tensão no chip). Este é o "switcher de 15 W ac/dc" de quadro aberto mostrado na Figura 9.1.

ausência de efeitos parasitas, como indutância de vazamento e capacitância de comutação.

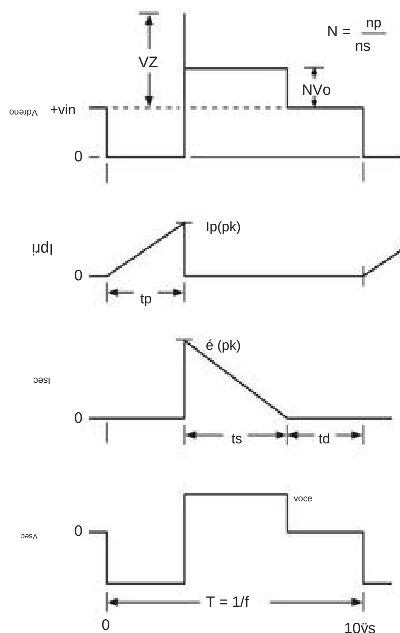


Figura 9.84. Formas de onda ideais para uma fonte de comutação flyback isolada, operando em modo de condução descontínua.

A. As formas de onda

Faremos os cálculos em breve, mas observe primeiro as formas de onda. (Presumimos que o conversor está operando no modo de condução descontínua, o que será confirmado quando fizermos os números.) Durante a condução do interruptor, a tensão de dreno é mantida no solo, colocando +Vin no primário do transformador e causando uma rampa. acima da corrente primária, de acordo com Vin = LM·dIpri/dt, onde LM é a "indutância magnetizante" primária (a indutância vista através do primário, com todos os outros enrolamentos desconectados). Essa corrente aumenta até um valor de pico Ip, no qual 2LMI2 há uma energia armazenada de $E = \frac{1}{}$ no núcleo do o interruptor desliga, a corrente indutiva persis[illegible] secundário, entregando a energia armazenada *E* para a saída à medida que a corrente secundária diminui para zero, de acordo com Vout=LM(sec) · dIsec/dt=(1 /N2)LM · dIsec/dt (onde LM(sec) é a indutância de magnetização vista no secundário106). Para o resto do ciclo não há fluxo de corrente do transformador.

As formas de onda de tensão são instrutivas. Quando a chave primária é desligada, no tempo tp, a tensão de dreno aumenta

[106] Na maioria das vezes, é a indutância de magnetização vista no *primário* que importa, para a qual simplesmente usamos LM; nas poucas situações em que nos referimos à indutância magnetizante observada no *secundário,* acrescentamos (seg) ao subscrito: LM(seg).

bem além da tensão de alimentação de entrada Vin: isso ocorre porque o indutor tenta continuar fornecendo corrente para o terminal de dreno. A tensão aumentaria, mas o circuito secundário entraria em condução (observe a polaridade dos enrolamentos "pontilhados" na Figura 9.83), fixando sua saída em Vout, que reflete de volta ao primário por meio da relação de espiras *N* (abreviação de *Np/ ns).* O breve pico mostrado na figura é causado por alguma indutância primária107 que não está acoplada ao secundário e, portanto, não está grampeada. Este terrível pico de tensão é, em última análise, fixado pelo grampo zener D2 visto no esquema (mais sobre isso mais tarde). Quando a corrente secundária diminui para zero, a queda de tensão em ambos os enrolamentos vai para zero; então o terminal de dreno fica em +Vin e a tensão no enrolamento secundário vai para zero. Observe que o último é negativo durante a condução do interruptor primário; é um requisito que a "integral volt-tempo" (ou "produto volt-segundo") em qualquer indutor seja igual a zero, caso contrário, a corrente aumentaria sem limite. Isso vale para o primário também.

B. Os cálculos Vamos supor, para simplificar, que o conversor está funcionando a plena carga (5 V, 3 A) com tensão de entrada nominal (115 Vrms ou 160 Vdc).108 Calcularemos o ciclo de trabalho do interruptor D=tp/T, o ciclo de serviço de condução secundária ts/T e as correntes de pico Ip(pk) e Is(pk). É mais fácil fazer isso na ordem inversa, fazendo os cálculos de um ponto de vista energético simples.

Os parâmetros Medimos a magnetização na ductância vista no primário como sendo LM=895 H, e o número de voltas do primário ÿ e do secundário como Np=70t e Ns=3t. A partir disso, obtemos a relação de espiras N=Np/Ns=23,3, que define as relações de transformação de tensão e corrente. Finalmente, a partir da relação de espiras, obtemos a indutância de magnetização conforme vista no lado secundário: LM(seg)=LM/N2=1,65 H (escala de impedâncias como N2; consulte o Capítulo 1xŸ). Um parâmetro final que usaremos é a indutância de fuga primária medida LL=42 ÿ H.

Correntes de pico O circuito de saída está fornecendo 15 W para a carga; mas, levando em consideração a queda do retificador (ÿ0,5 V) e as perdas resistivas combinadas no enrolamento secundário e no indutor do filtro L2 (10 mÿ), o secundário do transformador está fornecendo uma potência média de aproximadamente 6 V × 3 A, ou 18 W. Portanto, a uma frequência de comutação de fs = 100 kHz, o o transformador deve fornecer um incremento de energia de *E=P/* fs=180 ÿJ durante cada ciclo de comutação.

O resto é fácil: igualamos *E* à energia magnética na indutância magnetizante do núcleo, conforme visto no secundário (porque é de onde ela emerge). Ou seja, E=1 2LM(sec)I2 s(pk), de onde obtemos Is(pk)=14,8 A. Dividindo pela relação de espiras (N=23,3), a primária é Ip(pk)=0,64 UMA.

Temporização de condução O interruptor primário permanece ligado por um período que aumenta sua corrente até esta corrente de pico. Ou seja, tp=LM Ip(pk)/Vin=3,6 ÿs. A condução secundária começa quando o interruptor primário desliga e continua durante o tempo ts necessário para diminuir sua corrente de Is(pk) para zero: ts=LM(sec)Is(pk)/Vsec=4,1 ÿs. Observe que a soma da condução do primário e do secundário totaliza 7,7 s, o que é menor que o tempo de ciclo de 10 ÿs; ou seja, o conversor está operando em modo de condução descontínua, como assumimos (e desenhamos na Figura 9.84).

Há um "tempo morto" de cerca de 2,3 ÿs antes da próxima condução do interruptor.

C. Comparação com a realidade
Quão bem nos saímos com este modelo básico? Para descobrir, medimos as formas de onda de tensão e corrente deste conversor, na tensão nominal de entrada e na carga total de saída. Eles são mostrados na Figura 9.85. A boa notícia é que o tempo e as correntes de pico estão em muito bom acordo com o nosso

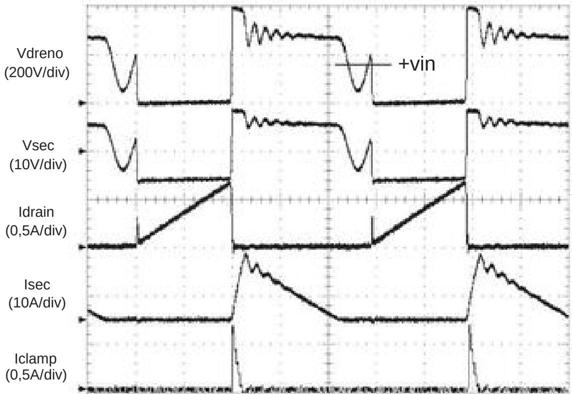


Figura 9.85. Formas de onda medidas para o switcher da Figura 9.83, operando em plena carga (5 V, 3 A) e tensão de entrada nominal (115 Vrms; Vin=160Vdc). As setas marcam a localização de tensão e corrente zero para cada traço. Escala horizontal: 2 ÿ s/div.

107 Esta é, de fato, a infame "indutância de vazamento" LL. Assim como na indutância de magnetização, usamos o LL sem adornos para nos referir à indutância de fuga observada no enrolamento primário; para indutância de fuga secundária adicionamos (seg) ao subscrito: LL(seg).

108 Obviamente, uma análise completa do projeto deve considerar a operação nos extremos, em particular na entrada mínima com carga máxima (portanto, ciclo de trabalho máximo) e para toda a faixa de corrente de saída com entrada máxima.

cálculos. A má notícia é que existem algumas "características" do mundo real que estão ausentes de nossas formas de onda básicas da Figura 9.84. Os mais proeminentes são

(a) um pico de tensão de dreno substancial no desligamento, seguido por
(b) algum zumbido rápido em ambos os enrolamentos durante a condução secundária e (c) zumbido mais lento durante o tempo morto no final do ciclo.

Visível também é

(d) um pico de corrente de dreno na ativação.

Elas são causadas pelo comportamento não ideal da chave do MOSFET e do transformador, conforme discutiremos em breve; mas, para dar alguns nomes, esses efeitos são devidos

(a) indutância de vazamento primário,
(b) ressonância de capacitâncias de dreno (e outras) com indutância de vazamento primário, (c) ressonância de capacitâncias de dreno (e outras) com indutância de magnetização primária e (d) "comutação forçada" de a tensão através do dreno e outras capacitâncias.

9.8.3 Switchers: olhando mais de perto

Vamos voltar e preencher as peças que faltam. No mundo real, você não pode ignorar efeitos importantes, como a voltagem e os transientes de corrente que vimos na Figura 9.85, e vários outros detalhes que representam todos os componentes que você vê no diagrama de circuito.

A. Filtragem de entrada

Começando na entrada, encontramos o fusível obrigatório e, em seguida, um capacitor "X" cross-the-line (§9.5.1D e seguintes) e um par de indutores acoplados em série, formando juntos um EMI e um transiente filtro. É sempre uma boa ideia, é claro, limpar a alimentação CA que entra em um instrumento; aqui, no entanto, a filtragem é adicionalmente necessária para impedir que o hash de RF gerado *dentro* da fonte de alimentação se espalhe *pela* linha de energia.109 Isso não é apenas um ato de altruísmo; lá são padrões regulatórios que regem os níveis permitidos de EMI radiada e conduzida.110 O par de resistores de 270k descarrega a tensão residual do capacitor X quando a unidade é desconectada.

B. Faixa de tensão, corrente de irrupção, PFC

Observe que esta fonte de baixa potência (15 W) opera diretamente de uma ampla faixa de tensão de entrada (3:1), sem uma chave de faixa de tensão dupla na forma da Figura 9.76B. Essa operação de ampla faixa é particularmente conveniente em carregadores e blocos de energia para eletrônicos de consumo. No entanto, impõe restrições ao projeto, porque o conversor deve operar em uma ampla faixa de ciclo de trabalho de condução do comutador e porque os componentes devem ser dimensionados para uma faixa mais ampla de tensões e correntes de pico. Ausente, também, estão quaisquer elementos de circuito para limitar a corrente de irrupção durante o carregamento inicial do capacitor de armazenamento do lado da linha. Isso é permitido em um pequeno suprimento como este; mas mesmo com o capacitor de armazenamento relativamente pequeno de 47 F, a corrente de irrupção típica especificada é de ÿ100 A (fonte para 200 Vac na entrada). Observe também a ausência de um front-end PFC; é prática comum omitir o PFC em fontes pequenas, mas o PFC geralmente é encontrado em fontes de 50 W ou mais, pelo menos em parte devido a pressões regulatórias. Observe, a propósito, que um front-end PFC reduz a corrente de pico de pico.

C. Alimentação auxiliar

Movendo-se para a direita, vemos a interessante configuração da "alimentação auxiliar", necessária para alimentar os circuitos internos do chip regulador-controlador com baixa tensão e baixa potência CC. Uma possibilidade pouco atraente seria usar uma pequena fonte linear separada, com seu próprio transformador de alimentação de linha , etc. transformador. É o que foi feito aqui, com o enrolamento de 7 voltas, que gera uma saída nominal de +12 V.

Leitores atentos devem ter notado uma falha neste esquema: o circuito não pode iniciar sozinho, porque o CC auxiliar está presente apenas se a fonte já estiver funcionando!
Este acaba por ser um problema antigo,111 resolvido com um "chute

109 O parâmetro de filtro importante aqui não é a frequência de comutação básica do conversor, mas sim a frequência de toque de RF parasita. Se esta última for de 2,5 MHz, por exemplo, um filtro passa-baixa com corte de 250 kHz atenuará a RFI em aproximadamente (fRFI/ fLPF)2, ou 100×.
Com o capacitor "X1" de 100 nF mostrado, a indutância em série da bobina de modo comum (sua indutância de vazamento do transformador) precisa ser atenuadas ÿ fLPF)2CX=4 soÿmente L=1/(2 H. Frequências mais altas serão mais, até a frequência na qual a indutância da fiação do PCB e a autocapacitância do enrolamento da bobina assumem o controle.

110 Nos Estados Unidos, os equipamentos eletrônicos devem atender aos limites FCC Classe A (para ambientes industriais) e Classe B (mais rigorosos, para ambientes residenciais); na Europa, os padrões análogos são definidos pela VDE.

111 Por exemplo, os projetistas de aparelhos de televisão tradicionais baseados em CRT enfrentaram o mesmo dilema, quando derivaram todas as suas fontes CC de baixa tensão de enrolamentos auxiliares no transformador de acionamento horizontal de alta frequência, este último ativado por essas mesmas fontes.

start" que alimenta inicialmente a partir do DC não regulado de alta tensão, passando para sua alimentação DC auxiliar depois que as coisas estão funcionando. Gostaríamos de mostrar a você como isso é implementado em detalhes, mas estamos frustrados com esse objetivo valioso porque neste suprimento essas funções (e outras) são integradas de forma inteligente no chip controlador TOP201 (mostrado em forma de diagrama de blocos simplificado no caixa tracejada).112

D. Chip controlador: polarização e compensação

Movendo-se ao lado do próprio chip controlador, vemos seu MOSFET interno de alta tensão (desenhado explicitamente, para maior clareza), que muda o lado inferior do primário para a entrada comum. A chave opera a uma taxa fixa de 100 kHz, variando o ciclo de trabalho de acordo com o feedback, em um regulador de modo de tensão. O chip é embalado em um pacote de alimentação de plástico TO-220 de 3 pinos e requer um pequeno dissipador de calor. Pense nisso - um regulador de comutação *de 3 pinos !* Impossível, você diz: ele precisa de pinos pelo menos para comum, dreno, realimentação e alimentação de chip ("bias"). Surpreendentemente, este chip inteligente faz isso com apenas três, com o terminal de feedback fazendo dupla função como um pino de viés. O feedback assume a forma de uma corrente no pino FB, com um divisor de tensão interno para criar o sinal de feedback de tensão que é apresentado ao comparador PWM (ciclo de trabalho) e um regulador linear para criar a tensão de polarização interna (mais alta). . Os componentes restantes no lado primário são para compensação de loop (as séries *RC* e *C* desviando do terminal FB) e para prender e amortecer o pico indutivo no final do ciclo de condução (o supressor transitório zener de 200 V e cordão de ferrite) .

E. Grampo transiente de entrada (amortecedor)

A princípio, você pode argumentar que nenhum grampo é necessário, porque o circuito secundário prende a tensão flyback (transformada no lado secundário pela relação de voltas) à tensão de saída. Afinal, é assim que funciona um flyback: a energia magnética adicionada ao núcleo durante a condução da chave é armazenada na indutância de magnetização do transformador (EM=1 2LMI2) e liberada para o circuito secundário p quando o interruptor é DESLIGADO. Mas também existe a "indutância por idade de fuga" (LL, consulte o Capítulo 1x), uma indutância em série efetiva causada pelo acoplamento magnético incompleto entre os enrolamentos.113 A energia magnética armazenada em LL (EL=1 2LLI2p) *não* é transferido para, nem fixado no secundário, e é por isso que você precisa do grampo zener no lado primário. (Você pode pensar nessa energia livre como surgindo do campo magnético do primário que não está ligado ao secundário.) Essa energia pode ser substancial – veremos o quão robusto é necessário um zener, mesmo para esse baixo consumo de energia. switcher, quando fizermos os cálculos de fixação no próximo parágrafo. Vale a pena notar que os efeitos da indutância de idade de vazamento são particularmente grandes em uma fonte de alimentação de linha, porque o isolamento de alta tensão necessário entre o primário e o secundário exige que os enrolamentos estejam fisicamente bem separados, causando acoplamento de fluxo incompleto.

Vamos dedicar um momento para entender a forma de onda do pico de tensão de dreno na Figura 9.85. A indutância de vazamento do lado primário, aqui medida em 42 H, embora seja uma pequena ÿ fração (ÿ5%) da indutância de magnetização de 895 H, armazena aquela fração da ÿ energia total colocada no transformador durante a condução do interruptor primário e não é transferido para o secundário; em vez disso, ele sai e é dissipado no grampo zener D2. Isso é cerca de 0,84 W, o que representa o zener robusto que os projetistas escolheram. Podemos estimar o tempo de duração da rampa de corrente primária para zero (chame-a de tclamp), mediada pelo zener clamp. Observe a Figura 9.86: a indutância de fuga vê uma tensão de grampo igual à tensão zener menos a tensão secundária refletida, que atua para aumentar o primário

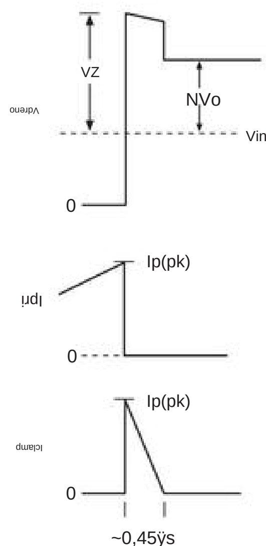


Figura 9.86. Picos de tensão de dreno causados pela indutância de vazamento do transformador. O grampo zener, cuja tensão é maior que a tensão de saída secundária refletida, aumenta a corrente para zero de acordo com VZ ÿNVout = LL dID/dt.

112 Olhe em nossa segunda edição, onde dedicamos seis páginas (págs. 361–366) a um switcher off-line complexo, se você quiser ver os detalhes sangrentos da implementação desses e de outros recursos.

113 Referindo todas as indutâncias ao lado primário, a indutância de magnetização LM é o que você mede nos terminais primários com todos os outros enrolamentos deixados em circuito aberto, e a indutância de vazamento LL é o que você mede com todos os outros enrolamentos em curto-circuito.

corrente até zero a partir de seu valor inicial de Ip(pk). Então, de *V=LdI/ dt* obtemos VZÿNVout=LLIp(pk)/tclamp, então tclamp=0,45 sÿ Isso está de acordo com as formas de onda medidas da Figura 9.85.

Uma observação final sobre a rede de fixação: o zener D2 não é um zener normal, mas um tipo de "supressor de tensão transitória" (TVS; consulte a discussão no Capítulo 9x), projetado e especificado para absorver grandes pulsos de energia. O diodo série D3 é necessário para evitar a condução durante o ciclo de ativação, quando o zener conduziria como um diodo normal. Existe um problema interessante associado ao D3, nomeadamente o facto de os díodos comuns terem um "tempo de recuperação inverso" após a condução direta, que se deve a efeitos de armazenamento de carga, antes de se tornarem não condutores (esta é a origem do curioso microssegundo picos de escala observados em uma fonte de alimentação não regulada simples de 60 Hz; consulte *§9x.6).* Por esta razão , o D3 neste circuito é um retificador de "rápida recuperação suave": o "rápido" significa que ele desliga rapidamente (<30 ns), e o "suave" significa que o faz suavemente, não abruptamente. Isso é útil porque uma transição abrupta de corrente para não condução produz grandes picos indutivos *(V = LdI/ dt).* Além disso, os projetistas adicionaram um cordão de ferrite para amortecer e suprimir tais efeitos.

F. O transformador Em um conversor flyback, os ciclos de condução primário e secundário não se sobrepõem (como acontece, digamos, em um conversor direto). Portanto, toda a energia que está sendo movida do primário para o secundário deve residir temporariamente no núcleo do transformador. Ou seja, em um conversor flyback o transformador não é "apenas um transformador": além das funções usuais de transformador (transformação de tensão e corrente pela relação de espiras e isolação galvânica), ele também é um *indutor,* armazenando energia de o ciclo primário em sua indutância de magnetização na ordem de E=1 2LMIp(pk). Na verdade, provavelmente é mais correto pensar nisso como "um indutor com um enrolamento secundário". Para aumentar as funções de armazenamento de energia, tais transformadores são geralmente projetados com uma lacuna deliberada no material magnético, que tem o efeito de aumentar a energia armazenada para um determinado produto volt-segundo aplicado. Este transformador em particular é evidentemente com gap, porque seu valor de AL (a razão da indutância de magnetização para voltas ao quadrado) é baixo: AL=LM/N2 p=183 nH/t2, comparado com um valor da ordem de 1500 para um transformador sem gap. núcleo de ferrite deste tamanho. (O núcleo de ferrite não condutor é usado para eliminar perdas por correntes parasitas na alta frequência de operação.)

Como descobrimos acima, este conversor funciona em modo de condução descontínua com tensão nominal de entrada e corrente de plena carga. Na verdade, ele permanece no DCM mesmo no mínimo em colocar tensão (90 Vrms) e corrente de carga total, que é a combinação que a aproxima mais da CCM. Com um pouco mais de indutância do transformador ele entraria na CCM; presumivelmente, a escolha do design foi baseada no desejo de mantê-lo pequeno e também para evitar alguns problemas associados ao CCM.114

Como sugerimos anteriormente, as indutâncias do transformador são responsáveis pelo zumbido visto nas formas de onda da Figura 9.85. Vamos fazer um cálculo simples de quais frequências esperamos. Durante a condução secundária (imediatamente após o desligamento do interruptor primário), o circuito primário se parece com um *LC paralelo,* com indutância de fuga LL em paralelo com as capacitâncias parasitas do MOSFET e outros componentes (diodo de fixação, enrolamento primário). Uma estimativa razoável para as capacitâncias combinadas é algo como 75 pF, devido principalmente à fiação do transformador e ao clamp zener. Assim, o *LC* paralelo formado com a indutância de vazamento de 42 H ressoa em cerca de 2,8 MHz, em boa concordância com o toque observado (ÿ2,5 ÿ MHz). Na conclusão da condução secundária, o lado primário não vê mais a indutância de vazamento (porque o secundário não está mais preso pela carga); em vez disso, vê a indutância de magnetização LM de 895 H (porque o secundário agora está em circuito aberto).115 A nova frequência ressonante calculada então cai para cerca de 615 kHz. Você pode ver o primeiro ÿ ciclo desta ressonância mais lenta nas formas de onda medidas, centradas na tensão de entrada de +160 Vcc e interrompidas pelo início do próximo ciclo de condução. (Mais tarde rodamos o conversor com carga de 25%, o que permitiu três ciclos de ringing a ~600 kHz, em excelente acordo com esta estimativa.)

Já que estamos falando de capacitâncias parasitas, este é um bom momento para observar os picos de corrente de ÿ0,3 A ao ligar o interruptor. Isso ocorre porque a chave está causando um curto-circuito abrupto em um capacitor carregado (a capacitância paralela de

[114] Mais notavelmente, alguma tendência de superação da tensão de saída quando há uma queda abrupta na corrente de carga (devido a uma maior ductância necessária em um projeto CCM, talvez influenciado também pelo campo magnético diferente de zero ao longo do ciclo) e também uma mudança na o comportamento do loop de feedback (por causa da dependência funcional diferente da tensão de saída versus ciclo de trabalho e, mais interessante, o fato de que no CCM o ciclo de trabalho é fixo, para uma determinada tensão de saída, e é independente da corrente de carga). Dado este último fato, pode parecer paradoxal que a regulação contra mudanças na corrente de carga seja possível! O que acontece é que, uma vez no CCM, uma mudança na corrente de carga causa uma mudança *transitória* no ciclo de trabalho, de modo que a corrente primária básica (mínima) se move para cima ou para baixo para acomodar a corrente de carga alterada; tendo estabelecido essa nova corrente de linha de base, o ciclo de trabalho então retorna ao valor fixo apropriado para a tensão de saída regulada.

[115] Um tanto sobreamortecido pela impedância refletida de cerca de 5 kÿ em série com ~200 pF da rede de amortecimento secundário de 10ÿ+0,1 F. ÿ

o próprio switch, mais os componentes conectados). Isso é chamado de “chaveamento rígido” e é responsável por perdas significativas de energia em conversores operando em altas frequências de chaveamento. Aqui, por exemplo, podemos estimar a potência dissipada *2CV2* pela switch multiplicando a frequência, dando Pdiss ÿ 0,15 W. Isso não é (1 frequência de comutação) muito grave nesta modesta frequência de comutação de 100 kHz, sendo apenas 1% da potência de saída ; mas sua contribuição relativa é maior em baixa corrente de carga e, em qualquer caso, contribui para a dissipação e tensão do interruptor. E torna-se cada vez mais importante conforme você tenta aumentar a frequência de comutação (para reduzir o tamanho). A solução é buscar uma “comutação suave”, na qual a tensão através do comutador é aproximada de zero antes da ativação do comutador (explorando correntes reativas para descarregar capacitâncias parasitas); esse objetivo é chamado de “comutação de tensão zero” (ZVS).

G. Trem de força secundário

Movendo-se para o lado secundário, o retificador é do tipo Schottky, que tem queda de tensão direta baixa e tempo de recuperação zero (ausência de armazenamento de carga).116 Os retificadores Schottky (também conhecidos como retificadores *de portadora quente)* são disponível em tensões de até ~100 V; acima disso, você usaria um retificador de “recuperação rápida” (ou “recuperação suave rápida”, como D3) . Os retificadores de potência geralmente vêm embalados como duplos para aplicações que requerem dois; aqui eles simplesmente os conectaram em paralelo. Observe o dissipador de calor: 3 A de corrente de carga média fluindo através de uma queda direta de 0,5 V (Schottky) dissipa 1,5 W, o suficiente para merecer um pequeno dissipador de calor. A série *RC* fornece algum amortecimento e atenuação de transientes de comutação, assim como os grânulos de ferrite. Os filtros do indutor série L2 ondulam na frequência de comutação: sua reatância na frequência de comutação de 100 kHz é 2,7 ÿ, comparada com uma impedância de ~0,1ÿ (dominada pela resistência em série) para os capacitores de armazenamento a jusante.

H. Regulação secundária Esta fonte de alimentação usa o popular “regulador shunt” TL431, que inclui uma referência de tensão interna e um amplificador de erro, e que entra em condução pesada quando o pino de referência atinge 2,5 V acima do pino de aterramento. Isso liga o emissor de LED do optoacoplador U3, para correntes acima de cerca de 2 mA (o limite definido pelo resistor de 680 ÿ). O divisor resistivo e o trimmer permitem o ajuste de saída de ±0,4 V, e a série *RC* ao redor do TL431 é um com rede de compensação para evitar oscilação. O grande capacitor shunt limita a largura de banda do loop e também realiza uma “partida suave” ao ligar: isso é feito enganando o emissor óptico fazendo-o pensar que o TL431 está conduzindo, quando na verdade a corrente do LED está vindo da rampa. aumento da tensão de saída. É fácil verificar que um aumento de saída de 1,5 V/ms produz uma corrente de afundamento de 5 mA no cátodo do LED do optoacoplador, estendendo assim a inicialização para cerca de 3 ms e, portanto, definindo a corrente secundária necessária para carregar os quatro capacitores de armazenamento de saída para ~3,4 A, aproximadamente igual à classificação de corrente máxima da fonte.

I. Outros recursos de design

Existem apenas algumas vantagens adicionais neste circuito. O Ca pacitor CY é usado para suprimir a EMI conduzida. Como ele preenche a barreira de isolação, ele deve ter classificações de segurança apropriadas de “capacitor Y” (consulte §9.5.1). O retificador D7 protege contra polaridade reversa, no caso de alguma carga mal comportada decidir criar confusão. O pequeno capacitor de saída garante baixa impedância de saída em altas frequências, onde os grandes capacitores eletrolíticos se tornam menos eficazes (devido à indutância interna e ESR). E, finalmente, o próprio controlador de modo de comutação (U1) inclui uma série de recursos interessantes: oscilador interno que não requer componentes externos de temporização, limite interno de corrente ciclo a ciclo, proteção contra sobretemperatura, reinício automático, regulador interno e comutação de fonte CC, e MOSFET de potência de alta tensão no chip, todos integrados em uma elegante configuração de 3 terminais. Seu alto nível de integração roubou nosso trovão: nos roubou a oportunidade de mostrar explicitamente esses circuitos importantes!

9.8.4 O “desenho de referência”

Esta é uma boa fonte de alimentação. Compramos muitos deles e eles funcionam bem e de maneira confiável. O projeto do circuito pode parecer proibitivamente complicado, certamente para aqueles inexperientes em projeto de alimentação de modo chaveado offline. Na verdade, recomendamos enfaticamente que o *usuário* de tais suprimentos não tente projetá-los e construí-los – *compre* -os de especialistas que fazem isso para ganhar a vida (veja abaixo).

Mas como esses especialistas criaram esse design específico? Acontece que os fabricantes de CIs interessantes têm um grande interesse em tornar o uso de seus produtos indolor. Para este nobre objetivo, eles fornecem os chamados *projetos de referência,* que consistem basicamente em um exemplo de circuito completo (geralmente disponível neles como um “quadro de desenvolvimento” ou “quadro de avaliação”). Para o chip regulador usado nesta fonte de alimentação específica, por exemplo, a Power Integrations (o fabricante do TOP201) fornece quatro circuitos de exemplo, com níveis crescentes de regulação

116 Para lidar com a alta corrente de pico de 15 A em D5, os projetistas selecionaram um retificador Schottky YG802C04 com seu par de seções de 40 V 10 A paralelas (cada uma das quais especifica uma queda direta de 0,53 V em 7 A), conectada à sua própria dissipador de calor.

estabilidade (denominado "contagem mínima de peças", "contagem mínima aprimorada de peças", "feedback simples do optoacoplador" e "feedback preciso do optoacoplador"). E em um par de "Notas de aplicação"[117] , eles fornecem uma receita passo a passo para esses projetos, completa com fluxogramas, fórmulas e gráficos. Você dificilmente pode dar errado. O fornecimento da Figura 9.83, de fato, segue de perto o projeto de "feedback preciso do optoacoplador", diferindo principalmente na inclusão de partida suave, esferas de ferrite e proteção de polaridade reversa.
Isso não quer dizer que o projeto seja um exercício trivial – a implementação do transformador, a embalagem e o layout, e o processo de teste e aprovação regulatória são todos grandes desafios.

9.8.5 Resumo: comentários gerais sobre fontes de alimentação chaveadas alimentadas em linha

- Os comutadores alimentados por linha são onipresentes e por boas razões. Sua alta eficiência os mantém resfriados, e a ausência de um transformador de baixa frequência os torna consideravelmente mais leves e menores do que a fonte linear equivalente. Como resultado, eles são usados quase exclusivamente para alimentar eletrônicos industriais e de consumo.
- Os comutadores são barulhentos! Suas saídas têm dezenas de mili volts de ondulação de comutação; eles jogam lixo no fio de força; e eles podem até gritar de forma audível! Uma cura para a ondulação de saída, se isso for um problema, é adicionar um filtro passa -baixa *LC* externo de alta corrente; como alternativa, você pode adicionar um pós-regulador linear de baixo dropout.[118] Alguns conversores comerciais incluem esse recurso, bem como blindagem completa e ampla filtragem de entrada.
- Switchers com várias saídas estão disponíveis e são populares em sistemas de computador. No entanto, as saídas separadas são geradas a partir de enrolamentos adicionais em um transformador comum. Normalmente, o feedback é obtido da saída de corrente mais alta (geralmente a saída de +3,3 V ou +5 V), o que significa que as outras saídas não são particularmente bem reguladas. Geralmente existe uma especificação de "regulação cruzada", que informa, por exemplo, quanto a saída de +12 V, digamos, muda quando você varia a carga na saída de +5 V de 75% da carga total para 50% ou 100% da carga total; uma especificação típica de regulamentação cruzada é de 5%. Alguns comutadores de múltiplas saídas alcançam excelente regulação usando pós-reguladores lineares nas saídas auxiliares, mas esta é a exceção. Confira as especificações!
- Os comutadores alimentados pela linha, como outros conversores de comutação, podem ter um requisito mínimo de corrente de carga. Se sua corrente de carga cair abaixo do mínimo, você terá que adicionar alguma carga resistiva; caso contrário, a saída pode subir ou oscilar.
- Ao trabalhar em um switcher alimentado por linha, *cuidado!* Este não é um aviso vazio - você pode se matar. Muitos componentes estão no potencial de linha ou acima dele e podem ser letais. Você não pode prender o aterramento de sua sonda no circuito sem consequências catastróficas! (Use um transformador de isolação 1:1 na entrada, se precisar ficar fuçando.)
- Os comutadores geralmente incluem um circuito de "desligamento" de sobretensão, análogo aos nossos circuitos de pé de cabra SCR, caso algo dê errado. No entanto, esse circuito geralmente é simplesmente um circuito de detecção zener na saída que desliga o oscilador se a saída CC exceder o ponto de desarme. Existem modos de falha imagináveis nos quais tal "pé-de-cabra" não funcionaria como um pé-de-cabra.[119] Para segurança máxima, você pode querer adicionar um pé-de-cabra autônomo do tipo SCR externo.
- Os comutadores costumavam ter uma má reputação de confiabilidade, mas os designs recentes parecem muito melhores. No entanto, quando eles decidem explodir, às vezes o fazem com grande desenvoltura! Tivemos um estourando suas entranhas em uma "desconstrução catastrófica", cuspindo sujeira negra por todas as suas entranhas e inocentes espectadores eletrônicos também.
- Switchers alimentados por linha são definitivamente complexos e difíceis de projetar de forma confiável. Nosso conselho é evitar totalmente a fase de design, *comprando* o que você precisa! Afinal, por que construir o que você pode comprar?
- Uma fonte chaveada, operando com eficiência aproximadamente constante, apresenta uma carga que se parece com uma resistência negativa (média sobre a onda CA) para a linha de força que a alimenta. Pode causar alguns efeitos malucos, incluindo (mas não limitado a) oscilações, quando combinado com a reatância de entrada dos filtros de ruído.

9.8.6 Quando usar switchers

Felizmente para você, não temos vergonha de dar conselhos! Aqui está.

[117] AN-14: "Dicas, técnicas e guia de solução de problemas do TOPSwitch"; AN-16: "Metodologia de projeto TOPSwitch Flyback".

[118] Você pode obter um switcher e LDO combinados como um único IC regulador, por exemplo, na série Micrel "High Efficiency Low Dropout" (HELDO™).

[119] Uma anedota pessoal: sentimos cheiro de fumaça e um dia encontramos um telescópio morto em nosso laboratório. Nós o abrimos e descobrimos que o capacitor de armazenamento de saída do PFC (470 µF, 450 V) havia falhado. Sem problemas, pensamos, vamos apenas substituí-lo; especialmente porque um novo suprimento custa $ 800! Ligue, parece bom, vá almoçar. . . venha para trás, *fume!* Acontece que o chip controlador PFC falhou de uma forma que impediu o desligamento da regulação e da sobretensão, então o circuito de reforço continuou aumentando, até que o capacitor chorou tio.

- Para sistemas *digitais ,* você geralmente precisa de algo como +2,5 V, +3,3 V ou +5 V, geralmente em alta corrente (10 A ou mais). *Conselho:* (a) Use um comutador alimentado por linha. (b) Compre (talvez adicionando filtragem, se necessário).
- Para circuitos analógicos com sinais de baixo nível (amplificadores de pequenos sinais, sinais menores que 100 V, etc.). *Conselhos:* Use um regulador linear; os comutadores são muito barulhentos.[120] *Exceção:* Para alguns circuitos operados por bateria, pode ser melhor usar um conversor de comutação CC–CC de baixa potência.
- Para qualquer coisa de alta potência. *Conselho:* Use um alimentador de linha interruptor. É menor, mais leve e mais frio.
- Para aplicações de alta tensão e baixa potência (tubos fotomultiplicadores, tubos de flash, intensificadores de imagem, telas de plasma). *Conselho:* Use um conversor elevador de baixa potência.

Em geral, os conversores CC-CC de baixa potência são fáceis de projetar e requerem poucos componentes, graças a chips práticos como a série Simple Switcher que vimos anteriormente. Não hesite em construir o seu próprio. Por outro lado, os comutadores de alta potência (geralmente alimentados por linha) são complexos e complicados e extremamente propensos a problemas. Se você precisar projetar o seu próprio, tenha cuidado e teste seu design minuciosamente. Melhor ainda, engula seu orgulho e compre o melhor switcher que puder encontrar.

9.9 Inversores e amplificadores de comutação

Os benefícios da conversão de energia em modo chaveado – alta eficiência e tamanho pequeno – podem ser aplicados à geração de uma tensão de saída *variável no tempo .* Você pode pensar nisso como uma conversão "dc-to-ac", em contraste com um conversor de energia dc-to-dc. Em essência, você pode imaginar a substituição de um *sinal* de entrada pela referência de tensão CC fixa de um regulador CC de modo chaveado; a saída seguirá o sinal de entrada desde que a largura de banda do sinal de entrada esteja bem abaixo da frequência de comutação.

Os conversores de comutação desse tipo são amplamente usados, por exemplo, para fornecer energia CA multifásica para acionamento do motor ou para gerar as correntes de enrolamento individuais para motores de micropasso. Um driver de motor de frequência variável permite controlar a velocidade do motor. Os conversores CC-CA de frequência Powerline são frequentemente chamados *de inversores,* como os usados em fontes de alimentação ininterruptas (UPSs) para computadores. Em níveis de potência mais altos, esses inversores são usados para gerar CA de frequência de linha de força a partir de CC de alta tensão que é enviada para o interior (em tensões CC de até um megavolt, você acreditaria?). E, mais perto de casa, os amplificadores de áudio de comutação (conhecidos como amplificadores de "classe D"; consulte §2.4.1C) são dominantes em eletrônicos de consumo.

Nessa aplicação, um filtro passa-baixa *LC* passivo suaviza uma forma de onda de comutação trilho a trilho (normalmente em frequências de aproximadamente 250 kHz ou mais) cujo ciclo de trabalho é modulado de acordo com o sinal de entrada. Veja a Figura 2.73 para formas de onda de um amplificador de áudio classe D de baixa potência.

Para ter um gostinho desse subcampo da eletrônica de potência, dê uma olhada na Figura 9.87, onde capturamos formas de onda de dois estilos de fontes de alimentação ininterruptas de 120 Vac, junto com a fonte de alimentação bruta de 120 Vac em nosso laboratório. Você pode imaginar que a forma de onda intermediária limpa é a energia da rede elétrica, mas, na verdade, essa forma de onda é a saída carregada de um no-break que possui "onda senoidal de baixa distorção". A forma de onda superior é a potência do plugue, mostrando níveis bastante típicos de distorção. A forma de onda de 3 níveis na parte inferior é eufemisticamente chamada de "onda senoidal modificada" e é típica de inversores e UPSs mais baratos. Não é bonito, mas faz o trabalho: se comutado para trilhos de ±170 V 25% do tempo e para zero (ou sem energia) no meio, é fácil descobrir que ele tem a mesma tensão rms (120 Vrms) e tensão de pico (170 Vpk) como uma onda senoidal de 120 Vrms.[121] Portanto, ele fornece a mesma potência para cargas resistivas, etc., e

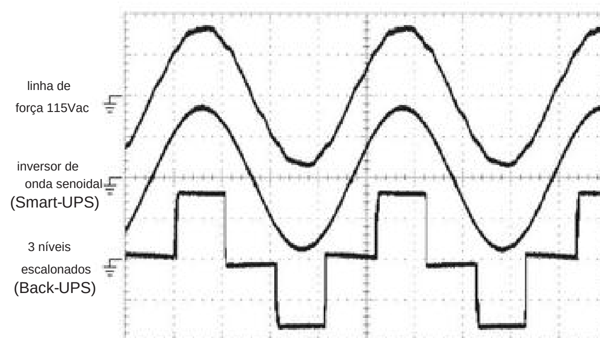


Figura 9.87. Um verdadeiro inversor de onda senoidal gera uma onda senoidal mais limpa do que o plugue CA. A forma de onda de 3 níveis (às vezes chamada de onda senoidal modificada), embora dificilmente seja uma onda senoidal, tem os mesmos rms e tensões de pico e é suficiente para a maioria das cargas. Para essas formas de onda medidas, carregamos os no-breaks da APC com uma corrente de 75 W lâmpada de centavos. Vertical: 100 V/div; horizontal: 4 ms/div.

[120] *Sério!* Aqui está uma citação concisa de James Bryant (da série Analog Devices "Rarly Asked Questions"), em resposta à pergunta "Como posso evitar que o ruído da fonte de alimentação no modo de comutação devaste o desempenho do meu circuito?" Resposta: "Com grande dificuldade – mas pode ser feito." Ele continua: "As fontes de alimentação de modo de comutação são inerentemente os circuitos mais ruidosos imagináveis. Uma grande corrente da fonte está sendo ligada e desligada em alta frequência com *dI/ dt muito rápido.* Há inevitavelmente grandes e rápidos transientes de tensão e corrente."

[121] Basta somar as tensões ao quadrado em intervalos de tempo iguais e, em seguida, tirar a raiz quadrada de 1/2 de sua média: $V_{rms} = \left((V_1^2 + V_2^2 + \cdots + V_n^2)/n\right)^{1/2}$.

carrega o lado de entrada de fontes de alimentação CC ou conversores com a mesma tensão que a rede elétrica de 120 Vrms.

Há mais em que pensar do que simplesmente ter o mesmo rms e tensão de pico, é claro. Há *distorção:* a forma de onda de 3 níveis não possui harmônicos pares, mas possui harmônicos fortes em todos os múltiplos ímpares da frequência fundamental (existem vários esquemas de vários níveis para resolver esse problema). Depois, há a preocupação com os sistemas que exploram cruzamentos zero da energia CA de entrada para o tempo, para o qual a forma de onda de 3 níveis (ou qualquer forma de onda escalonada com um número ímpar de níveis) causaria estragos.122 Há muito mais em que pensar , limitando-nos até mesmo ao assunto de inversores multiníveis.123 Esta área da eletrônica de potência é um assunto rico; mas, infelizmente, a vida é finita, assim como (quase) o tamanho deste livro.

9.10 Referências de tensão

Além de seu uso em reguladores de tensão integrados, freqüentemente há a necessidade de boas referências de tensão dentro de um circuito. Por exemplo, você pode querer construir uma fonte regulada de precisão com características melhores do que aquelas que você pode obter usando os melhores reguladores integrados. Ou você pode querer construir uma fonte de corrente constante de precisão. Outras aplicações que requerem referências de precisão (mas não uma fonte de alimentação de precisão) incluem conversores A/D e D/A, geradores de forma de onda de precisão e voltímetros, ohmímetros ou amperímetros precisos.

As referências de tensão integradas vêm em dois estilos: *2 terminais* (ou *shunt)* e *3 terminais* (ou *série).* Duas referências terminais atuam como diodos zener, mantendo uma queda de tensão constante quando a corrente está fluindo; o circuito externo deve fornecer uma corrente operacional razoavelmente estável. As referências de três terminais (Vin, Vout, GND) atuam como reguladores de tensão linear, com circuitos internos cuidando da polarização da referência interna (seja um diodo zener ou outra coisa). Nas Tabelas 9.7 e 9.8 (nas páginas 677 e 678, respectivamente) listamos uma abundância de referências atualmente disponíveis de ambos os tipos.

Existem quatro tecnologias diferentes usadas nas referências de tensão atualmente disponíveis, todas explorando algum efeito físico para manter uma tensão bem definida e estável idade – *diodos zener, referências de bandgap, referências JFET pinchoff* e *referências de porta flutuante.* Eles estão todos disponíveis como componentes autônomos (2 terminais ou 3 terminais); eles também são comumente incorporados como uma referência de tensão interna dentro de um CI maior, como um conversor A/D. Vamos levá-los em ordem.

9.10.1 Diodo Zener

A forma mais simples de referência de tensão é o diodo zener, um dispositivo de 2 terminais que introduzimos em §1.2.6A. Basicamente, é um diodo operado na região de polarização reversa, onde a corrente começa a fluir em alguma tensão e aumenta drasticamente com aumentos adicionais na tensão. Para usá-lo como referência, basta fornecer uma corrente aproximadamente constante; isso geralmente é feito com um resistor de uma tensão de alimentação mais alta, formando o tipo mais primitivo de alimentação regulada.

Os Zeners estão disponíveis em tensões selecionadas de 2 a 200 volts (eles vêm na mesma série de valores que os resistores padrão de 5%), com potência nominal de uma fração de watt a 50 watts e tolerâncias de 1% a 20%. Por mais atraentes que possam parecer para uso como referências de tensão de uso geral (sendo dispositivos simples, baratos e passivos de 2 terminais), os zeners perdem seu brilho quando você olha um pouco mais de perto: é necessário estocar uma seleção de valores, a tolerância de tensão é ruim, exceto em zeners de precisão de alto preço, eles são ruidosos (acima de 7 V) e a tensão do zener depende da corrente e da temperatura. Como exemplo dos dois últimos efeitos, um zener de 27 V da popular série 1N5221 de zeners de 500 mW tem um coeficiente de temperatura de +0,1%/ÿC e mudará a tensão em 1% quando sua corrente variar de 10% a 50% do máximo.

Há uma exceção a esse desempenho geralmente ruim dos zeners. Acontece que na vizinhança de 6 volts, os diodos zener são silenciosos, tornam-se muito rígidos contra mudanças na corrente e, simultaneamente, atingem um coeficiente de temperatura quase zero. Os gráficos nas Figuras 9.88 e 9.89 ilustram os efeitos.124 Se você precisa de um zener apenas para uso como uma referência de tensão estável e não se importa com a voltagem, uma possibilidade é usar uma das referências de zener compensadas construído a partir de um zener de 5,6 V (aproximadamente) em série com um diodo polarizado diretamente – se você conseguir encontrar um! (Leia mais...) A tensão zener é escolhida para fornecer um coeficiente positivo para cancelar o coeficiente de temperatura do diodo de -2,1 mV/ÿC. A compensação de temperatura pode ser

[122] Uma solução é uma forma de onda de 6 intervalos e 4 níveis: Vpk , Vpk/2, ÿVpk/2, ÿVpk, gastando duas vezes mais tempo em Vpk/2 do que em Vpk e nunca permanecendo em zero. Isso elimina o 3º harmônico (bem como todos os harmônicos pares) e produz 120 Vrms se Vpk=170 V.

[123] Uma boa revisão pode ser encontrada em J. Rodriguez *et al.,* "Multilevel inverters: a survey of topologies, controls, and applications," *IEEE Trans. Indo. Electronics.,* **49,** 724–738 (2002), completo com 78 referências.

[124] Este comportamento peculiar ocorre porque existem dois mecanismos concorrentes acontecendo nos diodos zener: efeito zener em baixas tensões, com tempco negativo; e quebra de avalanche em altas tensões, com tempco positivo.

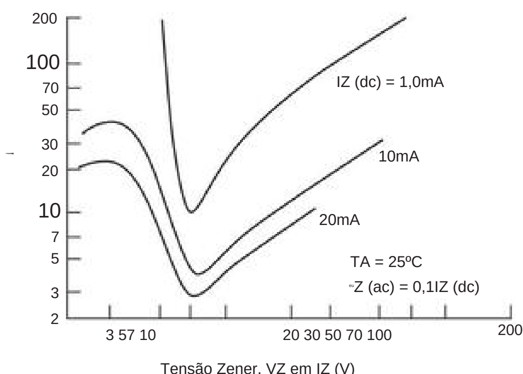


Figura 9.88. Impedância dinâmica do diodo zener para diodos zener de várias tensões. (Cortesia da Motorola, Inc.)

realizado também para outras tensões zener, por exemplo na série 1N4057–85, que vão de 12 V a 200 V, com tempcos de 20 ppm/ÿC.

Vamos seguir esta linha – que, como veremos, nos levará a uma solução muito melhor na forma de referências de tensão totalmente integradas (incluindo aquelas com um zener on-chip compensado por temperatura) com características superiores.

Na verdade, os zeners com compensação de temperatura, como dispositivos *discretos ,* tornaram-se em grande parte uma raça extinta.

A. Fornecendo corrente operacional Um zener compensado pode ser usado como referência de tensão estável dentro de um circuito, mas deve ser fornecido com constante

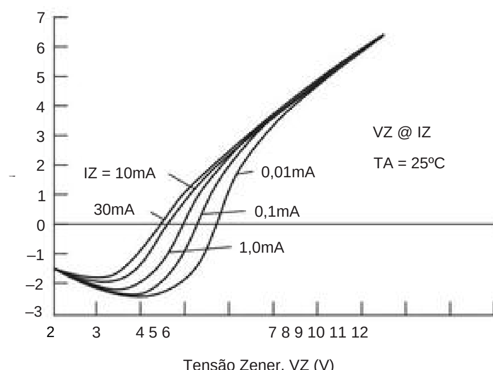


Figura 9.89. Coeficiente de temperatura da tensão de ruptura do diodo zener versus a tensão do diodo zener. (Cortesia de Motorola, Inc.)

atual.[125] O 1N4895 [126] rigorosamente especificado , por exemplo, é especificado como 6,35 V±5% a 7,5 mA, com um tempco de 5 ppm/ÿC (máx.) e resistência incremental de 10 ÿ (máx.).

Portanto, uma alteração na corrente de polarização de 1 mA pode alterar a tensão de referência em 10 mV, três vezes mais do que uma alteração na temperatura de 0ÿC para +100ÿC. Você pode, é claro, montar um circuito de fonte de corrente separado para polarizar o zener; mas você pode fazer melhor – a Figura 9.90 mostra uma maneira inteligente de usar a própria tensão zener para fornecer uma corrente de polarização constante.

O amplificador operacional é aqui conectado como um amplificador não inversor para gerar uma saída de +10,0 V. Essa saída estável é usada para fornecer uma corrente de polarização de precisão de 7,5 mA. Este circuito é auto-iniciado, mas pode ligar com qualquer polaridade de saída! Para a polaridade “errada”, o zener opera como um diodo comum com polarização direta. Executar o amplificador operacional a partir de uma única fonte, como mostrado, supera esse problema incômodo.[127] Certifique-se de usar um amplificador operacional que tenha faixa de entrada de modo comum para o trilho negativo (amps operacionais de “alimentação única”).

Existem disponíveis zeners compensados que caracterizam a estabilidade da tensão zener com *o tempo,* especificação que normalmente tende a ficar de fora. O 1N4895, por exemplo, especifica uma estabilidade melhor que 10 ppm/1000h. O melhor exemplo é provavelmente o LTZ1000, um zener integrado de 7,15 V cuja folha de dados especifica uma surpreendente estabilidade a longo prazo de 0,15 ppm/ÿ kHr (typ). Este filhote inclui um aquecedor de estabilização de temperatura no chip e afirma fornecer um tempco tão baixo quanto 0,05 ppm/ÿC, se tratado com respeito.[128] Esses zeners não são baratos: o LTZ1000 custará US $ 50.

---

125 A maioria dos pequenos diodos zener são especificados em uma corrente operacional de 20 mA (embora você possa executá-los em correntes mais baixas). Mas, felizmente para aqueles que procuram zeners de baixa corrente, há a família 1N4678 a 1N4713 (MMSZ4678–4713 para pacote SOD-123 de montagem em superfície), especificada em 50 ÿ UMA.

126 E testado individualmente por 1000 horas! Está disponível apenas no fabricante, Microsemi.

127 Com uma ressalva: o circuito pode ficar preso na saída zero se a tensão de compensação de entrada do amplificador operacional for maior que a tensão de saída saturada do solo. Isso pode acontecer com um estágio de saída CMOS rail-to-rail, e é por isso que escolhemos um amplificador operacional BJT (cuja tensão de saturação é de pelo menos alguns milivolts do solo). Se você selecionar um amplificador operacional CMOS (digamos, um helicóptero de precisão) ou se estiver perdendo o sono com a possibilidade remota de um circuito travado, poderá forçar o circuito a iniciar corretamente com qualquer um dos suplementos pontilhados ao circuito.

128 Um exemplo de respeito adequado é a prevenção de gradientes térmicos: uma junção de dois metais dissimilares (um “termopar”) gera V/ÿC para a cerca de 35 cabos de liga Kovar a uma placa de circuito . Isso é cerca de 7 conexão dos LTZ1000's a um EMF térmico ppm por ÿC de *diferença* de temperatura nos dois terminais, o que é cem vezes maior que o do próprio zener do chip!

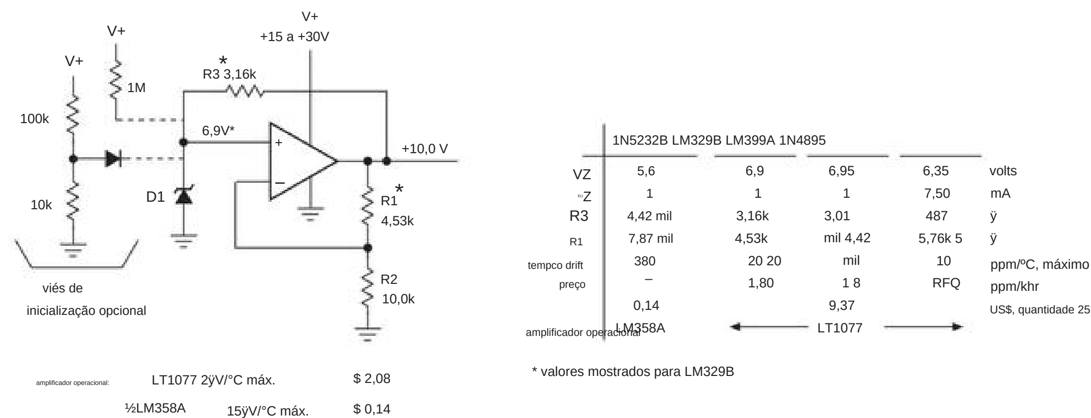


Figura 9.90. A tensão de saída estável fornece uma corrente de polarização zener estável em tensões de alimentação variáveis V+. O amplificador operacional deve operar no trilho negativo. Para um zener jellybean como o 1N5232, você pode usar um amplificador operacional barato como um LM358; mas use um amplificador operacional de precisão (por exemplo, o LT1077) para preservar a temperatura baixa de uma referência de precisão como o LM329 ou o LM399. Não use uma fonte dividida aqui, porque a saída pode facilmente se ajustar a uma saída negativa.

B. Zeners IC

Insinuamos que os zeners com compensação de precisão como dispositivos *discretos* desapareceram em grande parte; você pode verificar isso por si mesmo acessando um site como o Octopart.com, procurando por peças que já foram populares, como as séries 1N4895 ou 1N821–29.

Essa é a má notícia. A boa notícia é que excelentes zeners compensados agora vêm de forma integrada, como referência interna dentro de uma variedade de referências de tensão IC.
A Tabela 9.7 lista vários deles, desde o barato (menos de US$ 1) LM329 até o espetacular LTZ1000. Estes incluem circuitos adicionais para produzir melhor desempenho (principalmente, constância da tensão terminal com corrente aplicada), na forma de um circuito integrado; ele se parece eletricamente com um zener, com apenas dois terminais, embora internamente inclua dispositivos ativos adicionais. Sendo baseados em zener, esses dispositivos operam em torno do ponto ideal de 7 V, embora alguns (como o LT1236 na tabela) incluam circuitos amplificadores internos para criar um "zener" de número redondo de 10,0 V. mente quando você precisa apenas de uma referência zener "suficientemente boa"; possui baixo nível de

ruído, tensão zener de 6,9 V e, em sua melhor versão, coeficiente de temperatura de 10 ppm/ÿC (max), quando alimentado com corrente constante de 1 mA. onde melhor desempenho é necessário, considere o LT1236A ou o termicamente regulado (aquecedor no chip) LM399A, este último com uma admirável temperatura de 1 ppm/ÿC no pior caso!

Ao pensar em referências zener de 2 terminais, não negligencie as outras tecnologias de referência de tensão que estão disponíveis como dispositivos de 2 terminais (shunt) (consulte a Tabela 9.7 na página seguinte). Do lado de fora, eles se comportam como diodos zener, mas usam outros truques (por exemplo, uma queda de VBE) internamente para criar sua tensão de referência estável. Entre outros benefícios, tais dispositivos vêm em tensões baixas desejáveis (1,25 V e 2,5 V são comuns) e alguns podem operar em correntes tão baixas quanto 1 ÿ R. Continue lendo!

E lembre-se sempre de não se limitar a referências de *2 terminais* – existem excelentes referências de 3 terminais, tanto baseadas em zener quanto outras. Um bom exemplo é o LT1027B, uma referência de 5,0 V baseada em zener com excelente tempco (2 ppm/ÿC, máx.) e baixo ruído (tipo de 3 Vpp, 0,1–10 Hz). Um bom recurso ÿ da maioria das referências integradas (tanto de 2 quanto de 3 terminais) são as tensões de saída convenientes que elas fornecem: em vez de ter que lidar com algo como Vout=6,95V±4% (a especificação de tensão do excelente referência zener de 2 terminais com estabilização de temperatura LM399), você obtém tensões de saída precisas de números redondos como 1,25 V, 2,50 V, 5,0 V e 10,0 V, ajustadas de fábrica para uma precisão tão boa quanto ± 0,02% (consulte as Tabelas 9.7 e 9.8).130

129 Os diodos Zener podem ser muito barulhentos e alguns zeners IC sofrem da mesma doença. O ruído está relacionado aos efeitos de superfície, no entanto, e os diodos zener *enterrados* (ou abaixo da *superfície)* são consideravelmente mais silenciosos; esta é a tecnologia utilizada para obter baixíssimo ruído de peças como as referências LT1236 e LTZ1000.

130 Também tensões de potência de 2 (2,048 V, 4,096 V) para definir etapas LSB de número redondo em ADCs e DACs.

Tabela 9.7 Referências de Tensão Shunt (2 terminais)a

Pacotes Tensões Ajustar versão corrente zener Ruído
Accy Ruído de 0,1-10 Hz Rota Tempco Preço
máximo minq max densidade típica x (ÿA) máx. tipo qtde 25 tipo
Papel # (%) (mA) (ÿVpp) (nV/ÿHz) (ppm/ºC) (ÿ) ($US)

referências de shunt/feedback 6uFg

TL431A • 8 - 3, - 8 - - •1,4 1 6f 16f 0,22b,u 0,32 1,2 0 680 1000 100 1.000 10 0,5 19 5 2,6F 4f 12f 0,25b,u 0,85 1,0 20 V 5 3 2 80 20 uF 6f 20f 0,25b,u 0,5 0,67

5

referências de bandgap

LM4431 --- 3 - - - -• ---- 2 -- - 100 15 • - - 400 10 2 • - - 600 10 2 • - - - 170 N 30 - 1 0,75
LM336B-2.5 • - 8--- - - w - - - - LM336B-5.0 • - 8 - LM336Z5 2 600 10 1 - • 5 20 1 -- - - 95 - 1,8f 6f 0,27u 0,95 4f 12f 0,6 4f 5
•-- - LM385B • - 8 - LM385B-1.2 • - 8 - LM385B-2.5 • 88 - 15 20 -- w •---- •1,5 2 - - - 10 20g 20 - 95 - 12f 0,6 N - 150 0,4b N 20 0,95 N 20 5
LT1034 • - - - - ---- • - - - - 0,06 5,6 1,38
- 20 w - - - - - - - 8 •-- 11 - 400 7 0,54 0,54
- 490 - 0,4 3,33 1,42 -
- 480 - 0,4 1,74 10 0,94
- 24 - 20 40 0,5 70 0,3 10,11 1,56 8
ADR510 - - - 3 - - 1,00V - - - - 0,35 • - - 100 10 4 - N- 0,2 0,2 12,13 1,74 9
LT1004 •-8 - LT1004 • - • - - - - 0,8 - - - 20g 20 • - • - - - - 0,3 - - - 10h 20 - 260 Nk 20 - 14
(TI) - - 8 - MAX6006A - - 8 - 310 Nk 20 -
3 - - w - - - - - - 0,2 - - - - 8 - - • - - - - 0,2 • - - 400 10 1,0h 2 30 alto 48 R 30 1,5 15 25 0,2 Ns 8
LT1009 • - 8 - - - 20 0,2 Ns 12 34
LT1029A • - - - -- --- --• - 0,2 • - - 700 10 - --- - • - 1,0 • - - 700 10 - Ns 15g 0,3g N 10 75 0,2u 3.34 -
LT1029 •-- - - 0,5h Ns 15h Ns 15g 50g 2.07 15
LM4040A • - - 3 5 - - • • • • • 2 0,1 - - - 75 15 - • • • • • - 0,1 - - - 50 15 - 0,3g 2,43 Nk - 1,56 Ns 25 2,32 16 0,86
ADR5041B - - - 3 3 - quieto quieto 165 3,2 2,09 Ns 4 15h Ns 10 17
LM4041A •-- 3 5- w - - - - - - 0,1 - • 15 60 12 - •• •• 2 0,1 - - - 60 15 - 165 Ns 1,56 0,53 4 10 0,25 0,53 1,55 16
LM4050A --- 3 180 AD1580B - - - 3 3 - w - - - - - - 0,1 - - - 50 20 160 MAX6138 - - - - 3 - w • • • • • • 0,1 - 65 7,43 20 -
15 20 325 20 15g 2 25 barulhento 5 50 0,4 -
-

LT1634A • 88 - - - w-•-• • - 0,05 - -- 8 - - w - • - • • - 0,05 - - - 0,7 -
LT1389A - - 8 -

zeners enterrados

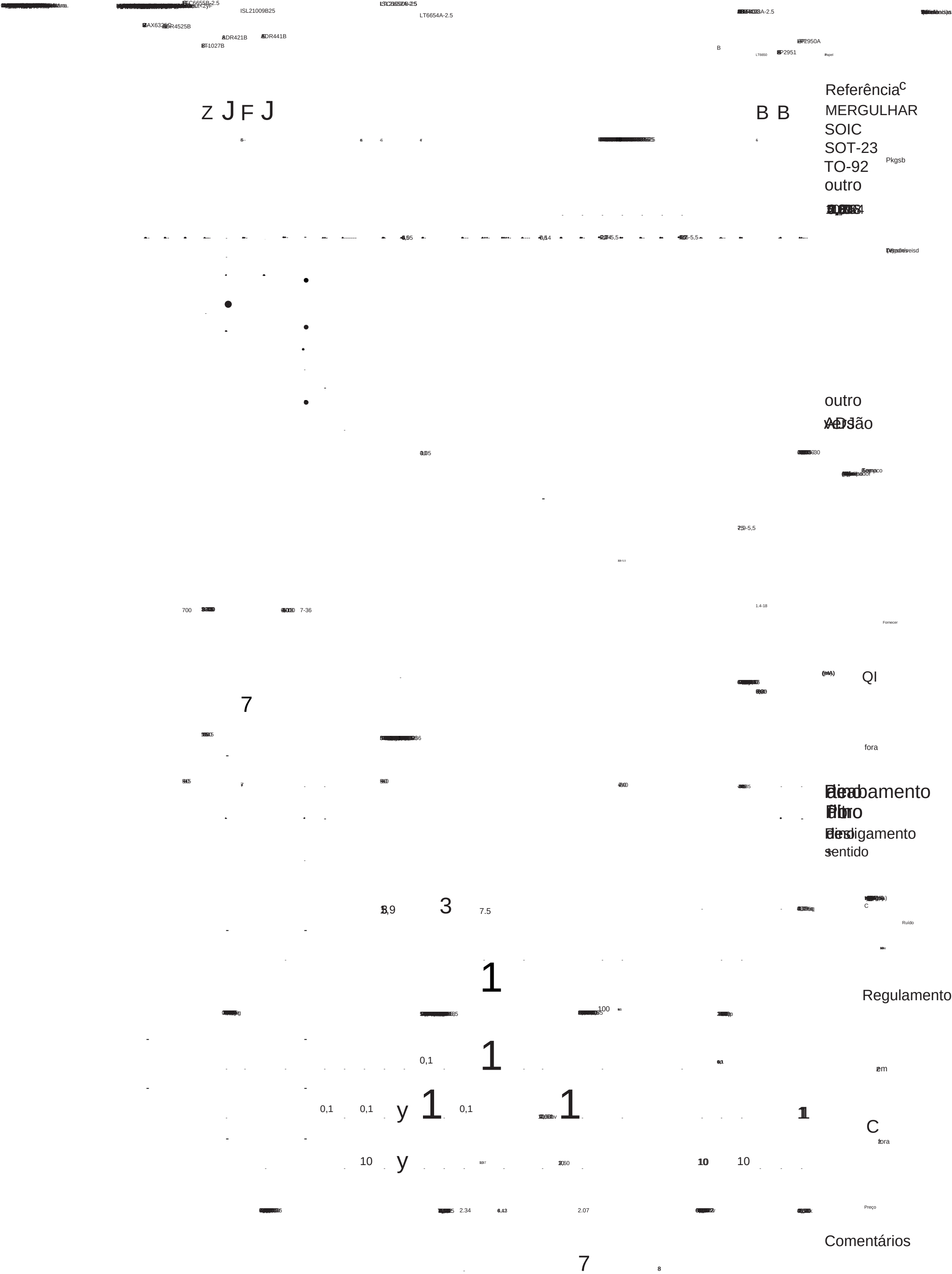
LM329 • - - - - 6,9 5 - - - 600 15 - - 50 100 1u 5 0,79 21
LT1236A-10 8 8 - 10,0 0,05 • - - 1700 20 6 11 - 2 0,5b,u 5,09 22
LM399AH TO-46 metal - --- 6,95 4 - 7,15 4 - - - - 500 10 - - - 1000 s - 13 - 0,3 1 0,5 9,37 23
LTZ1000 TO-5 metal - --- 5 1.2 13 5,5 - 0,05 - - 55,00 23,24

diodos zener

1N4370A DO-35 2,4 V 5 - - - especificação 20mA - - - - –600 - - 300 - 30 2,11 25
1N752A DO-35 5,6 V 5 - - especificação 20mA - - - - 5e - - 10c - 11 1,56 26
1N4895 DO-7 6,35 V 5 - especificação 7,5mA - - - - - 10 n / D 27
1N3157 DO-7 8,4 V 5 - especificação 10mA - - 15m n / D 28

Notas: (a) geralmente listando o melhor grau de precisão.; classificados por tipo e aumentando a precisão. (b) conectado como um zener. (c) a 10 mA. (CL) capacitor de carga — R: >10nF necessário; N: não obrigatório, mas permitido ou recomendado para cargas transitórias; ÿF = min necessário se mais do que uma tampa pequena for adicionada, consulte a folha de dados; em branco = sem comentários. A impedância de saída CA aumenta com a frequência e entrará em ressonância com a reatância do capacitor de carga. Um pequeno resistor (22 a 100ÿ, etc.) pode isolar o capacitor e diminuir a ressonância Q. (d) 5-10mA. (e) em Iz=7,5mA. (f) ÿV (mV) sobre a temp. (g) para a versão de 2,5 V (a versão de 1,2 V é geralmente menor). (h) para a versão 1.225, ou Vref para a versão adj. (k) um RC é sugerido, por exemplo, 22ÿ. (m) mín ou máx. (n) nominal. (na) não disponível. (o) da ref 1,24V, ganho até Vclamp. (p) também TLVH431A. (q) corrente operacional mínima (máxima, ou seja, pior caso); geralmente maior para tensões fixas mais altas. (r) geralmente em 1mA, mas não dependente da corrente. (s) ver folha de dados. (t) típico. (u) especificado acima da faixa operacional. (v) 6V para TI's TLV431, 16V para Onsemi TLV431 ou TI TLVH431. (w) consulte a folha de dados para obter o valor exato, escolhido para tempco mínimo. (x) dimensionado para saída de 1,0 V; multiplique o valor listado por Vout.

Comentários: **1:** dois resistores definem Vclamp. **2:** Iref=4ÿA máx. **3:** Iref=0,5ÿA máx; complementar a LM385-adj. **4:** Iref=0,5ÿA máx; TLV432 é uma pinagem alternativa. **5:** LM336 tem pino de compensação de tensão. **6:** jujuba de fonte múltipla. **7:** -A versão BX é 30ppm/ºC; Iref=15nA. **8:** dual: bandgap e zener 7V (1,6%, 40ppm/ºC tipo, 90ÿ), terminal negativo comum. **9:** shunt Vref mais baixo ref. **10:** 1,235V é 0,3% tol, 2,45V é 0,8% tol. **11:** O sufixo -CDR da TI custa US$ 0,25 (quantidade 25). **12:** nanopotência, min IZ=1ÿA; Tempo de estabelecimento de ativação de 40 ms com polarização de 1,2 ÿA e limite de 10 nF. **13:** MAX6007, 08, 09 para outras tensões. **14:** Atualização do LM336. **15:** versão não -A. **16:** tolerância mais flexível do sufixo -B, -C, -D. **17:** -A sufixo 0,2% de tolerância. **19:** Sufixo -C para tolerância mais flexível. **20:** nanopoder. **21:** -Um sufixo é 5ppm/ºC tip, 10ppm/ºC máx. **22:** ref em série usado no modo shunt. **23:** aquecedor no chip; menor tempco garantido. **24:** compra de fábrica. **25:** zeners de baixa tensão são ruins! **26:** tensão zener ótima. **27:** testado 1k horas; "Zener de referência", especificado apenas em 7,5mA. **28:** referência zener de compensação temporária.


Referência
MERGULHAR
SOIC
SOT-23
TO-92
Pkgsb
outro
B B
Z J F J
outro
Versão
QI
(mA)
fora
Regulamento
em
C
fora
Comentários
Preço
ISL21009B25
LT6654A-2.5
ADR421B
ADR441B
REF2950A
REF2951
MAX6325
ADR4525B
REF1027B
0,1
10
7.5
3
2.07
2.34
7-36
700
100
7
8

Bem, você diz, eu poderia fazer isso com o circuito da Figura 9.90, que me permite definir a tensão de saída CC por meio da relação *R1/ R2.* Claro. Mas espere – os resistores de filme de metal padrão vêm com 1% de precisão, com tempcos na faixa de ±50 ppm/ÿC. Você *pode* obter resistores fixos e matrizes com tempcos abaixo do território de ±1 ppm/ ÿC (consulte §5.6), mas pagará um preço alto e a seleção de resistência é escassa. E não se esqueça de que você ainda precisa ajustar o ganho para atingir a tensão de saída precisa do número redondo. Usa um trimpot? Não é uma boa ideia, porque o tempco sofrerá e você terá que se preocupar com a estabilidade da resistência (resistência do limpador, estabilidade mecânica, etc.). É provável que você conclua que um divisor resistivo ajustado de fábrica no chip (tempcos combinados, portanto, tempco muito baixo de ganho) é o caminho a percorrer. E isso é.

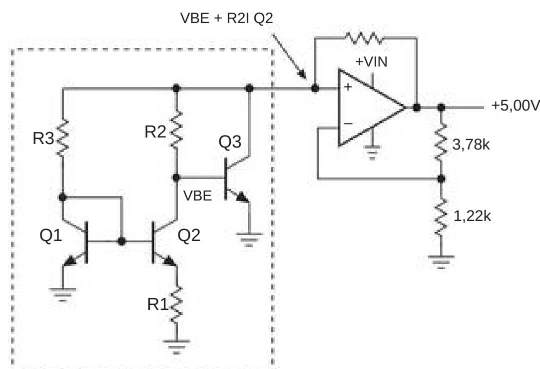


Figura 9.91. Referência clássica de tensão de bandgap VBE . O par *de transistores Q1Q2* é um espelho de corrente de relação, tipicamente IQ1 = 10IQ2; essa relação coloca 60 mV em R1, que define a corrente PTAT IQ2.

9.10.2 Referência de banda proibida (V BE)

Este método explora a queda de tensão base-emissor de ~0,6 V de um transistor operando em corrente de coletor constante (deveria ser chamado de referência VBE), conforme dado pela equação de Ebers-Moll. Como essa voltagem tem um coeficiente de temperatura negativo, a técnica envolve a geração de uma voltagem com um coeficiente de temperatura positivo igual ao coeficiente negativo de VBE ; quando adicionado a um VBE, a tensão resultante tem temperatura zero.

A Figura 9.91 mostra como isso funciona. Começamos com um espelho de corrente com dois transistores operando em diferentes densidades de corrente de emissor (normalmente uma proporção de 10:1). Usando a equação de Ebers-Moll, é fácil mostrar que IQ2 tem um coeficiente de temperatura positivo, porque a diferença em VBE é apenas (kT/q)log r, onde *r* é a razão das densidades de corrente (veja o gráfico na Figura 2.62). Você pode se perguntar de onde tiramos a corrente constante para programar o espelho. Não se preocupe - você verá o método inteligente no final. Agora tudo o que você faz é converter essa corrente em uma tensão com um resistor e adicionar um VBE normal (aqui o VBE do Q3). R2 define a quantidade de tensão de coeficiente positivo que você adicionou ao VBE e, ao escolhê-lo adequadamente, você obtém coeficiente de temperatura geral zero.131 Acontece que o coeficiente de temperatura zero ocorre quando a tensão total é igual à tensão de banda proibida do silício zero), cerca de 1,22 V. O circuito na caixa é a referência. Sua própria saída é usada (via R3) para criar a corrente de programação do espelho constante que assumimos inicialmente.

A referência bandgap clássica requer três transistores, dois para ÿVBE e o terceiro para adicionar um VBE. No entanto, Widlar e Dobkin criou habilmente uma versão de dois transistores, usada pela primeira vez no LM317, veja a Figura 9.13.

131 A expressão completa para Vref é, portanto, Vref=VBE3 + (VBE1ÿVBE2)R2/R1.

Referências de bandgap de IC Um exemplo de uma referência de bandgap de IC é o barato (cerca de US$ 0,50) LM385-1.2 de 2 terminais, com uma tensão nominal de operação de 1,235 V, ±1% (o companheiro LM385-2,5 usa circuito interno para gerar 2,50 V), utilizável até 10 A. Isso é muito menos do que você normalmente executa zeners, tornando ÿ essas referências excelentes para equipamentos de micropotência.132 A baixa tensão de referência (1,235 V) geralmente é mais conveniente do que a tensão mínima utilizável de aproximadamente 5 V para zeners (você pode obter zeners com tensões tão baixas quanto 1,8 V, mas eles são horríveis, com joelhos muito macios). O melhor grau de LM385 garante 30 ppm/ ÿC tempco máximo e tem uma impedância dinâmica típica de 1ÿ a 100 A. Compare isso com os valores equivalentes para um diodo zener 1N4370 de 2,4 V: tempco = 800 ppm/ÿC (típico), impedância ÿ dinâmica ÿ3000ÿ a 100 A, na qual a "tensão zener" (especificada como 2,4 V a 20 mA) cai para 1,1 V! Quando você precisa de uma referência de tensão estável e ÿ precisa, esses ICs de bandgap colocam os diodos zener convencionais no chinelo.

Se você estiver disposto a gastar um pouco mais, pode encontrar referências de bandgap de excelente estabilidade, por exemplo, o

132 Mas observe que as referências de baixa corrente tendem a ser ruidosas: o LM385-2,5 (20 A min) rodando a 100 ÿ tem uma densidade de tensão de ruído de 800 nV/ÿ Hz, em comparação com 120 nV/ÿ Hz para as referências análogas LT1009 ou LM336-2,5 (400 A min) rodando a 1 mA. E, se você estiver disposto a desperdiçar mais corrente operacional, a referência de ÿ bandgap de 3 terminais de baixo ruído LTC6655 (com uma corrente quiescente de 5 mA) tem uma densidade de ruído de saída de apenas 50 nV/ÿ Hz , e, impressionantemente, com um canto de ruído de 1/ *f* abaixo de 10 Hz.

LT1634A de 2 terminais (2,5 V ou 5 V, 10 ppm/ÿC máx., cerca de US$ 6) ou o AD586 de 3 terminais (5 V, 2 ppm/ÿC máx., cerca de US$ 9).

Uma outra referência de tensão baseada em bandgap interessante é o extremamente popular TL431. É um regulador de derivação de 2 terminais barato (menos de US$ 0,10 em grandes quantidades), mas com um terceiro terminal para definir a tensão. Você o conecta conforme mostrado na Figura 9.92. O "zener" liga quando a tensão de controle atinge 2,50 V; o dispositivo consome apenas alguns microamperes do terminal de controle e fornece um tempco típico de tensão de saída de 10 ppm/ÿC.

Os valores do circuito mostrados fornecem uma tensão zener de 10,0 V, por exemplo. Este dispositivo versátil vem em TO-92, mini DIP e meia dúzia de pacotes de montagem em superfície e pode suportar correntes de até 100 mA e tensões de até 36 V. Seus primos de baixa tensão e baixa potência (TLV431 e TLVH431) funcionam da mesma maneira, mas com uma referência de banda proibida interna de 1,25 V e tensão e corrente de saída limitadas.133 Ambos os tipos vêm em graus de precisão de ±2%, ±1% e ±0,5%.

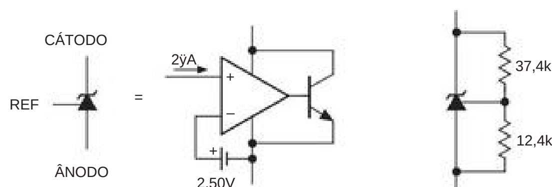


Figura 9.92. Regulador shunt ajustável TL431 – referência. O divisor resistivo no circuito de aplicação à direita define a tensão "zener" para 10,0 V.

Sensores de temperatura bandgap

A variação previsível do VBE com a temperatura pode ser explorada para fazer um IC de medição de temperatura. Na Figura 9.91, por exemplo, a diferença em VBE's de (kT/q)log *r* implica que a corrente através de Q2 (e também Q1) é proporcional à temperatura absoluta (PTAT). O circuito pode ser rearranjado (o circuito Brokaw) para produzir simultaneamente uma tensão de saída proporcional à temperatura e uma referência de tensão de banda proibida (fixa) de 1,25 V.

Este é o caso de várias referências de bandgap, por exemplo, o AD680, uma referência de 2,50 V com um pino TEMP adicional cuja tensão de saída é 2,0 mV/K (portanto, 596 mV a 25° C). Se você deseja apenas um sensor de temperatura e não precisa da referência de intervalo de banda, pode obter um bom sensor autônomo sensores de temperatura, por exemplo, o LM35, um sensor de 3 terminais com saída de 10 mV/ÿC (0 V a 0ÿC), ou o LM61, cuja saída é compensada por +600 mV para que possa medir de -30ÿC a +100ÿC. O LM61 custa meio dólar, em comparação com US$ 3 do AD680 multifuncional de 8 pinos.

9.10.3 **Referência JFET pinch-off (VP)**

Essa técnica recente é análoga à referência de intervalo de banda baseada em VBE, mas usa, em vez disso, as tensões de porta-fonte de um par de JFETs. Um único JFET operando em corrente de dreno fixa tem um tempco iníquo de VGS, mas isso pode ser contornado com o uso inteligente de um par JFET. A Figura 9.93 mostra a configuração usada na série ADR400 de referências de tensão "XFET" de dispositivos analógicos.

O par JFET *Q1Q2* tem geometria idêntica e funciona com correntes de dreno iguais; mas sua dopagem de canal diferente produz uma *diferença* de tensão de porta de ~0,5 V que é bastante estável, com um tempco relativamente pequeno de -120 ppm/ÿC. Isso é muito menor que o tempco de uma queda de VBE (aproximadamente ÿ3.000 ppm/ÿC) e requer apenas uma pequena dose de correção positiva de tempco, aqui aplicada pela queda de tensão em R1.

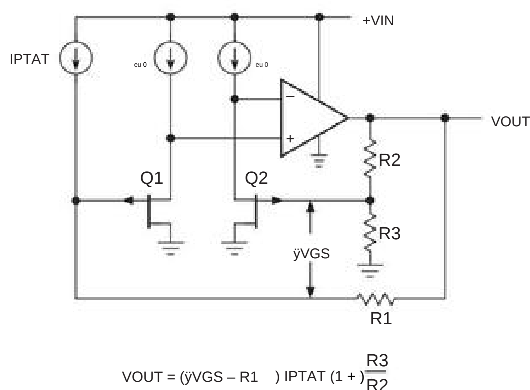


Figura 9.93. Referência de tensão JFET. O par JFET dopado assimetricamente, rodando na mesma corrente de dreno, gera uma diferença de tensão ÿVGS entre as portas. O tempco relativamente pequeno é compensado por uma corrente derivada de uma referência do tipo bandgap (não mostrada).

O resultado é uma referência de tensão com excelente temp co (por exemplo, 3 ppm/ÿC ou 10 ppm/ÿC para os dois graus da série ADR400). Um benefício importante desta técnica é Vpp para excepcionalmente baixo (1,2 ÿ a parte 2,5 V134). seu ruído

133 6 V e 15 mA para o TLV431; 18 V e 80 mA para o TLVH431. O LM385 ajustável funciona de forma semelhante, mas com uma faixa de corrente operacional de 10ÿA–20 mA e tensões de até 5,3 V.

134 Melhor especificado como 0,5 ppm(pp), porque a tensão de ruído escala lin antecipadamente com a tensão de saída.

As referências de bandgap não podem corresponder a esse tipo de desempenho de ruído, porque o processo de compensação de seu grande coeficiente de temperatura intrínseco introduz a maior parte de seu ruído de saída.

9.10.4 Referência de comporta flutuante

Esta entrada mais recente nas estacas de varredura de referência de tensão é, bem, bizarra. Se você fosse desafiado a ter uma ideia que provavelmente falharia, você poderia inventar a referência "floating-gate array" (FGA). A Intersil fez isso, mas eles conseguiram! A ideia é colocar alguma carga na porta enterrada e bem isolada de um MOSFET, durante a fabricação, o que o coloca em alguma voltagem (pensando nisso como um capacitor); o MOSFET então atua como um seguidor de tensão (ou entrada de amplificador operacional) para criar um volt de saída estável era.

A estabilidade ao longo do tempo depende, é claro, de o pequeno capacitor não perder ou ganhar nenhuma carga. Isso é alto ou baixo - você gostaria que permanecesse estável em talvez 100 ppm por vários anos, em toda a faixa de temperatura operacional. Uma capacitância de porta de 100 pF carregada a 1 V, por exemplo, exigiria que o vazamento da porta não fosse maior que 10-22 A; isso é cerca de dois elétrons por hora!

De alguma forma, o pessoal da Intersil fez funcionar. Eles também lidaram com a estabilidade sobre a temperatura, com vários truques: um método usa capacitores de construção diferente para cancelar o já pequeno tempco de aproximadamente 20 ppm/ ÿC; outro método usa capacitores de um tipo apenas, cancelando o pequeno tempco residual adicionando uma tensão de tempco conhecido (como nas referências de bandgap e JFET).

Os resultados são impressionantes: a série ISL21009 apresenta estabilidades de longo prazo da ordem de 10 ppm por raiz quadrada de quilohora; tempcos de 3 ppm/ÿC, 5 ppm/ÿC e 10 ppm/ÿC (max) para os três graus;135 ruído de 4,5 Vpp; e corrente de alimentação ÿ de ultra baixa 0,1 mA (typ). Eles vêm em tensões predefinidas de 1.250 V, 2.500 V, 4.096 V e 5.000 V, cada um disponível em vários graus de precisão e tempco.

9.10.5 Referências de precisão de três terminais

Como observamos anteriormente, essas técnicas inteligentes possibilitam referências de tensão de notável estabilidade de temperatura (até 1 ppm/ÿC ou menos). Isso é particularmente impressionante quando você considera que a venerável célula de Weston, a referência de voltagem tradicional através dos tempos, tem uma tempera coeficiente de tura de 40 ppm/ÿC. Existem dois métodos usados para fazer referências da maior estabilidade.

135 Mas veja o parágrafo e nota de rodapé sobre radiação ionizante na página 684.

A. Referências com temperatura estabilizada

Uma boa maneira de obter excelente estabilidade de temperatura em um circuito de referência de tensão (ou qualquer outro circuito, nesse caso) é manter a referência, e talvez seus componentes eletrônicos associados, a uma temperatura elevada constante. Desta forma, o circuito pode fornecer desempenho equivalente com um coeficiente de temperatura bastante relaxado, porque os componentes reais do circuito são isolados das flutuações externas de temperatura. De maior interesse para circuitos de precisão é a capacidade de fornecer desempenho significativamente melhorado colocando um circuito de referência já bem compensado em um ambiente de temperatura constante.

Esta técnica de circuitos de temperatura estabilizada ou "fornecido" tem sido usada por muitos anos, particularmente para circuitos de osciladores ultraestáveis. Existem fontes de alimentação disponíveis comercialmente e referências de tensão de precisão que usam circuitos de referência em forno. Este método funciona bem, mas tem as desvantagens de volume, consumo de energia do aquecedor relativamente grande e aquecimento lento (normalmente 10 minutos ou mais). Esses problemas são bastante reduzidos se a estabilização térmica for feita no nível do chip, integrando um circuito aquecedor (com sensor) no próprio CI. Essa abordagem foi pioneira na década de 1960 por Fairchild com o par diferencial ÿ estabilizado por temperatura A726 e A727 e pré-amplificador, ÿ respectivamente.

Essa técnica é usada nas referências LM399 e LTZ1000, que reivindicam tempcos estabilizados abaixo de 1 ppm/ÿC (max). Os usuários devem estar cientes de que os circuitos de amplificadores operacionais subsequentes, incluindo resistores de ajuste de ganho, podem degradar o desempenho consideravelmente, a menos que o projeto seja tomado com extremo cuidado. Em particular, amplificadores operacionais de precisão de baixo desvio e matrizes de resistores de temperatura combinada são essenciais. Esses aspectos do projeto de circuitos de precisão são discutidos no Capítu

B. Referências não aquecidas de precisão

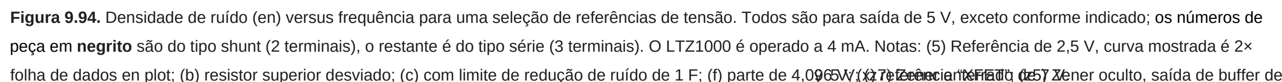
O design inteligente do chip possibilitou referências não aquecidas de estabilidade quase comparável. Por exemplo, a série MAX6325 da Maxim tem tempcos de 1 ppm/ÿC (máx), sem energia do aquecedor ou atrasos de aquecimento. Além disso, eles exibem baixo ruído e desvio de longo prazo. Sua principal desvantagem é a dificuldade em obtê-los! Todas essas referências de alta estabilidade (LTZ1000, LM399 e MAX6325) usam zeners.

Machine Translated by Google

5000
UMA
B
1000
C
500
D E
F
G
J
100
k
H
J,K
eu
M
50
N
P
Q
10
10 100 1k 10k
Frequência (Hz)

Tipos de referência de tensão

UMA	**ADR5045**	J	**LM399,** z7 ADR445
B	**LM385-adj**	k	LTC6655-5
C	" + Rbypassb	eu	LT1236-5z5
D	ADR292f	M	LT1021
E	LT6654-5	N	**LTZ1000z7**
F	**LM336-5, LT10095**	P	MAX6250,c MAX6350c
G	ADR425x	Q	LT1027c
H	ADR4550		


Figura 9.94. Densidade de ruído (en) versus frequência para uma seleção de referências de tensão. Todos são para saída de 5 V, exceto conforme indicado; os números de peça em **negrito** são do tipo shunt (2 terminais), o restante é do tipo série (3 terminais). O LTZ1000 é operado a 4 mA. Notas: (5) Referência de 2,5 V, curva mostrada é 2× folha de dados en plot; (b) resistor superior desviado; (c) com limite de redução de ruído de 1 F; (f) parte de 4,096 V; (x) referência "XFET"; (z) Zener oculto, saída de buffer de 5 V; (z7) Zener enterrado (z5) 7V

9.10.6 Ruído de referência de tensão

Mencionamos brevemente a questão do *ruído,* em conexão com referências de baixa potência na página 679. Você sempre pode adicionar filtragem para suprimir a fonte de alimentação ou o ruído de referência em frequências mais altas (consulte a discussão sobre o *multiplicador de capacitância* em §8.15.1), mas não há substituto para uma referência silenciosa em baixas frequências, onde as propriedades de ruído da referência estabelecem um limite inferior no ruído de saída. As listagens na Tabela 9.7 na página 677 e 9.8 na página 678 incluem valores de folha de dados para ruído de baixa frequência integrado (0,1–10 Hz, em unidades de Vpp), bem como ÿ tensão de ruído rms em frequências um pouco mais altas (geralmente 10 Hz– 10 kHz). Na Figura 9.94 traçamos curvas de densidade de ruído (en, em unidades de nV/ ÿ Hz) para aquelas referências cujas folhas de dados são consideradas suficientes para fornecer tais informações. Muitas vezes, é útil normalizar os valores de tensão de ruído especificados pela tensão de referência, para obter uma comparação justa entre dispositivos concorrentes.

Você pode adicionar filtragem passa-baixo para reduzir o ruído de uma referência de tensão. Algumas referências trazem um nó interno em um pino de "filtro" (ou pino de "desvio" ou "redução de ruído") que você pode desviar para o aterramento; A Tabela 9.3 indica aqueles na coluna "pino do filtro". Freqüentemente, as folhas de dados dessas peças incluem informações numéricas ou gráficas para orientá-lo na escolha do capacitor de filtro.136 Outra técnica que você pode usar é a adição de um filtro passa-baixo externo, com um seguidor de amplificador operacional. A Figura 9.95 mostra esse esquema simples, com uma reviravolta interessante: o filtro passa-baixa básico é *R2C2,* com uma constante de tempo de 2,2 segundos (3 dB rolloff a 0,07 Hz). Mas por que diabos ele está no topo do C1?! Isso é feito para eliminar a corrente de fuga de C2 (que produziria uma queda de tensão prejudicial à precisão em R2) inicializando o lado baixo de C2 - fofo! A inclusão de *R1C1* afeta o rolloff e a forma de onda de estabilização, colocando o rolloff de 3 dB em 0,24 Hz e produzindo um overshoot de 8% com um tempo de estabilização prolongado (30 segundos) para 0,1%.137 Para esta aplicação, você precisa de um amplificador operacional muito bom : corrente de polarização de entrada baixa o suficiente para evitar erro de ÿV=IBR2 e tensão de ruído baixa o suficiente para adicionar apenas insignificantemente à saída da referência filtrada. O OP-97E ou LT1012A são semelhantes e fazem o trabalho bem (ou você pode usar um *R* menor e um C maior, permitindo maior corrente de entrada do amplificador operacional).

De um modo geral, uma referência que funciona com corrente muito baixa exibirá mais ruído, uma tendência evidente em

136 Uma das peças mais interessantes de tal orientação aparece na folha de dados LTC1844, que adverte "Além disso, alguns capacitores de cerâmica têm uma resposta piezoelétrica. Um gerador de dispositivo piezoelétrico avalia a tensão em seus terminais devido ao estresse mecânico, semelhante à maneira como um acelerômetro ou microfone piezoelétrico funciona. Para um capacitor cerâmico, a tensão pode ser induzida por vibrações no sistema ou transientes térmicos. As tensões resultantes produzidas podem causar quantidades apreciáveis de ruído, especialmente quando um capacitor de cerâmica é usado para contornar o ruído." Veja a discussão em *§1x.3.*

137 Ou seja, com R1=R2 e C1=C2 , a frequência de rolloff de 3 dB torna -se fÿ3dBÿ3,2 *RC,* e o tempo de estabilização para 0,1% (se você se importa) é aproximadamente ÿ14RC. Coloque um diodo em R2 para encurtar o tempo de ativação

Tempo.

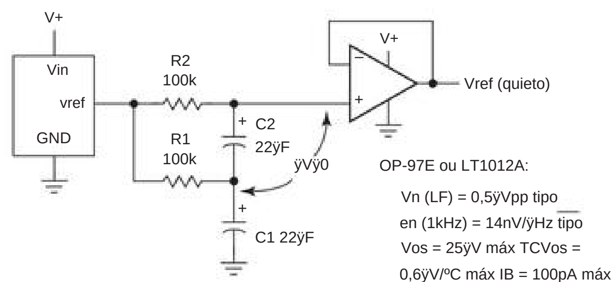


Figura 9.95. O filtro passa-baixo externo com bootstrap CC silencia qualquer referência de tensão, enquanto suprime o erro das correntes de fuga do capacitor. Use um seguidor de amplificador operacional silencioso com baixa corrente de entrada.

Tabela 9.8. Isso é fácil de entender no caso de uma referência de intervalo de banda (VBE) , porque o ruído de tensão BJT diminui como a raiz quadrada da corrente do coletor (consulte §8.3). Você pode concluir a partir disso que uma determinada referência de IC shunt (2 terminais) seria mais silenciosa quando polarizada em correntes mais altas; mas você estaria errado - uma referência shunt executa seu circuito de bandgap interno em uma corrente próxima à "corrente operacional mínima" da peça (com tensão de ruído correspondente) e, portanto, executar a referência em uma corrente mais alta não ajuda.

9.10.7 Referências de tensão: comentários adicionais

Como deve ficar evidente nas Tabelas 9.7 e 9.8, há muitas coisas a serem consideradas ao selecionar uma referência de tensão. Aqui estão alguns conselhos, para ajudar o desenhista de circuitos confuso (que é *você).*

Precisão e desvio Há precisão *inicial ,* é claro, muitas vezes com uma escolha de classes designadas por um sufixo (-A, -B, etc.), com preços correspondentes. Mas as peças *envelhecem* e uma peça bem especificada incluirá um valor de "deriva de longo prazo" (geralmente partes por milhão por mil horas, ou, talvez mais adequadamente, 138 por ÿ kHr) e, às vezes, uma "histerese térmica " especificação (o deslocamento de tensão após o ciclo térmico acima da faixa de temperatura operacional da peça). Tomando o LTC6655B (melhor grau) como exemplo, a precisão inicial é de ±0,025%, o tempco é de 1 ppm/ÿC (típico) e 2 ppm/ÿC (máximo), o desvio de longo prazo é de 60 ppm/ÿ kHr (típico) e a histerese térmica é de 35 ppm (típico) para ciclos térmicos entre ÿ40ÿC e +85ÿC. A partir desses números, fica claro que a precisão inicial é apenas uma parte da história.

Um cuidado sobre o "coeficiente de temperatura": na maioria das vezes usamos a descrição em termos de *inclinação,* ou seja, ppm/ÿC (ou V/ÿC, etc.), dando talvez um típico e um máximo (pior caso) valor. Mas às vezes você verá a descrição em termos de desvio máximo na faixa de temperatura da peça; um exemplo é o LM385, onde o tempco *médio* de pior caso especificado de 150 ppm/ÿC é descrito em uma nota de rodapé: "O coeficiente de temperatura média é definido como o desvio máximo da tensão de referência em todas as temperaturas medidas de TMIN a TMAX, dividido por *TMAX-TMIN."* Um tempco máximo assim definido é garantido como menor do que o valor máximo de tempco de "inclinação" (ou seja, o valor máximo de ÿV/ÿT na mesma faixa de temperatura), como você pode se convencer desenhando algumas curvas sinuosas. A Figura 9.96 mostra um exemplo, adaptado da folha de dados para a série ADR4520–50 de referências de precisão de 3 terminais.

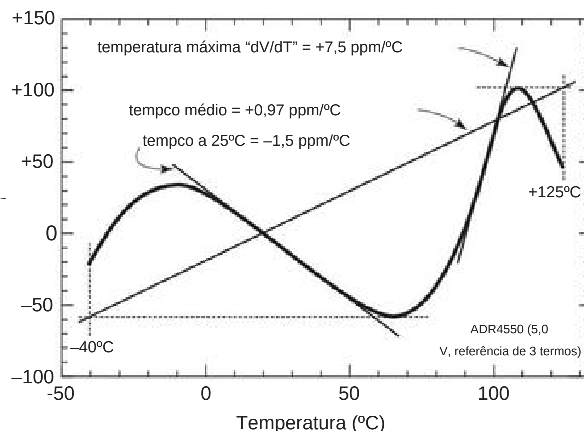


Figura 9.96. Três formas de definir o coeficiente de temperatura de uma referência de tensão, ilustradas com a curva do datasheet da serpentina do ADR4550. O tempco especificado na folha de dados é declarado como 2 ppm/ÿC (máx.) em toda a faixa de temperatura.

Algumas referências incluem um terminal "trim", que parece uma ótima ideia. Mas, como nas configurações de ajuste de compensação de amplificador operacional, geralmente fornece uma faixa de ajuste *muito grande !* Você pode tentar remediar isso reconfigurando a rede de compensação

[138] Da ficha técnica do LTC6655: "A estabilidade a longo prazo normalmente tem uma característica logarítmica e, portanto, as alterações após 1000 horas tendem a ser muito menores do que antes desse período. Deriva total no segundo mil horas é normalmente menos de um terço das primeiras mil horas, com uma tendência contínua de redução do desvio com o tempo. A estabilidade a longo prazo também é afetada por tensões diferenciais entre o CI e o material da placa criado durante a montagem da placa." Outro conselho do LTC: "Uma melhoria significativa no desvio de longo prazo pode ser obtida pré-condicionando o IC com uma queima de 100–200 horas, 125ÿC ." Uma especificação típica de desvio de longo prazo é de 60 ppm/ÿ kHr. o A ficha técnica do REF5025 é instrutiva: mostra menor drift para o pacote MSOP-8 do que um SO-8, 50 versus 90 ppm/ÿ kHr, e ainda mostra 50 ppm/ÿ kHr para as primeiras 1000 horas e 5 ppm/ÿ kHr para 1000 a 2000 horas. Melhor melhoria do que se obtém com o envelhecimento do vinho!

para fornecer menos corrente. Mas um cuidado: algumas peças exigem que o circuito de ajuste externo exiba um coeficiente de temperatura especificado. Talvez você esteja melhor, como com amplificadores operacionais, simplesmente escolhendo uma referência com especificações mais restritas; uma referência de melhor precisão inicial geralmente fornece melhor temperatura também.

As referências de tensão **de autoaquecimento** são mais felizes quando são carregadas apenas levemente. Se um IC de referência for usado para alimentar uma carga, o aquecimento no chip produz gradientes térmicos que podem degradar seriamente a precisão e o desvio da peça. Para tais aplicações, é melhor armazenar em buffer a saída com um amplificador operacional. A maioria dos bons amplificadores operacionais tem menos ruído e tensões de deslocamento do que a própria referência de tensão (você pode fazer o cálculo!), portanto, não degrada a tensão de referência. Muito pelo contrário, de fato, considerando o efeito degradante da corrente de carga substancial com uma referência sem buffer –

esse é o ponto. E mesmo os amplificadores operacionais intermediários têm tempcos muito mais baixos de tensão de deslocamento do que a maioria das referências de tensão (mas use um amplificador operacional de precisão para uma referência de precisão, como fizemos na Figura 9.90).

Um buffer de amplificador operacional também oferece uma oportunidade ideal para adicionar um filtro de ruído *RC ;* consulte §9.10.6, com sua configuração de filtro incomum (Figura 9.95).

Influências externas Como sugere a nota de rodapé na página anterior, você pode degradar seriamente a exatidão de uma referência de precisão ao estressar fisicamente a embalagem; a estabilidade também é comprometida pela infiltração gradativa de umidade pela embalagem plástica. Às vezes, você verá especificações aprimoradas para versões de embalagens hermeticamente fechadas: o LT1236LS8 é embalado em LCC hermético e oferece uma especificação de desvio aprimorada em relação à versão de plástico LT1236. E as referências mais estáveis são oferecidas exclusivamente em embalagens herméticas de metal para contornar esses problemas: por exemplo, o LM399 (referência zener enterrada termicamente estabilizada) vem apenas em uma lata de metal TO-46; ele especifica uma excelente especificação de desvio de longo prazo de 8 ppm/ÿ kHr (típico). Muito bom - mas facilmente superado pela referência de shunt LTZ1000 "Ultra Precision" (também em um pacote hermético de metal), com espetaculares 0,3 ppm/ÿ kHr (típico)!

Uma contribuição recente para a galeria de males é a exposição de referências de portões flutuantes (§9.10.4) à radiação ionizante, mais seriamente na forma de bagagem de aeroporto em máquinas de raios-x de inspeção ou inspeção de raios-x pós-montagem de PCB . De acordo com a Nota de Aplicação da Intersil,139 por

experimento real em aeroportos dos EUA a mudança de voltagem para nove amostras de uma referência de porta flutuante de 5,0 V (ISL21009) após seis passagens por máquinas de raios X de mão teve média de 25 ppm (negativo); isso é pequeno em comparação com a precisão inicial de ±100 ppm, mas no mesmo estádio que as especificações de desvio e histerese de longo prazo (1000 horas) especificadas (ambos 50 ppm, tipo).

Regulagem de **linha e carga** Você precisa se preocupar com a regulação contra variações de tensão de entrada ("regulação de linha") para uma referência de tensão alimentada por CC não regulamentada, por exemplo, em uma aplicação alimentada por bateria. Para tal uso, não é adequada uma referência que apresente um tempco de pior caso de 3 ppm/ÿC, mas cuja saída varie 200 ppm por volt de mudança de entrada (essas são as especificações de uma entrada na Tabela 9.8), embora essa referência seria boa se alimentada por um trilho CC razoavelmente regulado. Por esse motivo, listamos a regulação de linha de pior caso para as referências na Tabela 9.8 – elas variam em uma faixa de quase 1000:1!

A regulação de carga também é importante se você estiver usando a referência como um regulador de tensão, ou seja, para alimentar uma carga que consome alguns miliampères, talvez com variação de corrente de carga. Mas desencorajamos o uso de uma referência de precisão, porque ela produz aquecimento e desvios no chip; por esse motivo (e falta de espaço) não listamos as especificações de regulagem de carga nas tabelas.

9.11 Módulos de alimentação comercial

Ao longo do capítulo, descrevemos como projetar sua própria fonte de alimentação regulada, assumindo implicitamente que é a melhor coisa a fazer. Somente na discussão sobre fontes de alimentação comutadas operadas em linha sugerimos que a melhor parte do valor é engolir seu orgulho e comprar uma fonte de alimentação comercial.140

No entanto, conforme as realidades econômicas da vida, a melhor abordagem geralmente é usar uma das muitas fontes de alimentação comerciais vendidas por empresas como Artesyn, Astec, Astrodyne, Acopian, Ault, Condor, CUI, Elpac, Globtek, Lambda, Omron, Panasonic, Phihong, Power One, V-Infinity e literalmente centenas mais. Eles oferecem

139 Nota do aplicativo Intersil nº 1533, 23 de fevereiro de 2010, *efeitos de raios X no Intersil FGA Referências,* que explica "O capacitor de porta flutuante é suscetível à degradação por radiação de várias partículas e fótons em excesso doses elevadas, pois os elétrons gerados no dióxido de silício são coletados na célula de armazenamento. A radiação normal de raios cósmicos ou radônio que existem em pequenas quantidades na Terra não fará com que o FGA se refira tensão de deriva sensivelmente por mais de 100 anos. Fontes artificiais de radiação, como máquinas de raios-X, são capazes de doses altas o suficiente para causar mudança na tensão de saída. Observe que os dispositivos de memória Flash também são suscetíveis à degradação por radiação de raios-X, embora em menor grau, pois não são dispositivos analógicos de precisão."

140 "Cara, isso é um jogo da liga."



Figura 9.97. As fontes de alimentação comerciais vêm em uma variedade de formas e tamanhos, incluindo módulos encapsulados, unidades de estrutura aberta e caixas totalmente fechadas. (Cortesia da Computer Products, Inc.)

fontes chaveadas e lineares, e vêm em vários pacotes básicos (Figura 9.97).

• Suprimentos "montados em placa": são pacotes relativamente pequenos, com não mais do que alguns centímetros de lado, com fios rígidos na parte inferior para que você possa montá-los diretamente em uma placa de circuito. Tanto as fontes CA–CC quanto os conversores CC–CC vêm neste estilo e podem ser de construção "envasada" ou aberta. Você pode obter lineares ou comutadores, e eles vêm com tensões de saída únicas ou múltiplas. Uma fonte de comutação CA–CC de saída tripla de caixa aberta para montagem em PC fornece +5 V a 2 A e ±12 V a 0,2 A e custa cerca de US$ 30 em pequenas quantidades. As fontes lineares de montagem em placa ficam na faixa de 1 W a 10 W, os comutadores na faixa de 15 W a 50 W. Na categoria CC–CC (que são sempre conversores de comutação), você pode obter conversores isolados ou não isolados.[141] Eles são comumente usados para gerar tensões adicionais necessárias (por exemplo, ±15 V de +5 V), como vimos visto neste capítulo. Mas outro uso importante é a conversão de ponto de carga (POL), por exemplo, para criar +1,0 V a 75 A diretamente nos pinos do chip, para alimentar um microprocessador de alto desempenho. Os conversores POL vêm

[141] Os estilos de embalagem comuns incluem as configurações "full-brick", "half-brick" e "quarter-brick" (4,6 × 2,2, 2,3 × 2,2 e 1,45 × 2,3, respectivamente), originadas pela Vicor; eles abrangem a faixa de 50 a 500 W e podem incluir uma placa de base de alumínio para dissipação de calor.

nas versões regulada e não regulada, esta última com uma relação de redução fixa a partir de uma entrada CC regulada.[142]

- Fontes "Chassis-mount": são fontes de alimentação maiores, destinadas a serem fixadas no interior de um instrumento maior. Eles vêm em estilos de "moldura aberta" e "caixa fechada"; os primeiros têm todos os componentes em exibição, enquanto os últimos (por exemplo, as fontes de alimentação "ATX" que você encontra em um computador de mesa ou servidor) são embalados em uma caixa de metal perfurada. Eles estão disponíveis em uma enorme variedade de tensões, com saídas simples e múltiplas. As fontes lineares montadas em chassi estão na faixa de 10–200 W, os switchers na faixa de 20–1500 W.

- "Adaptadores externos": estes são os familiares "wall wart" e desktop ("desk-wart"?) que acompanham pequenos dispositivos eletrônicos de consumo e que estão amplamente disponíveis em dezenas de fabricantes. Na verdade, eles vêm em três variedades, a saber: (a) transformador CA abaixador apenas, (b) alimentação CC não regulada e (c) alimentação CC totalmente regulada; o último pode ser linear ou comutador.

  Algumas das unidades de comutação permitem uma faixa de entrada completa de 95 a 252 Vac, útil para instrumentos de viagem.

- Suprimentos de "montagem em trilho DIN": uma maneira popular de montar alguns tipos de eletrônicos industriais (relés, disjuntores, protetores contra surtos, conectores, blocos de terminais e similares) é o trilho DIN de origem européia, que consiste em um comprimento do trilho de metal formado, 35 mm de largura. A montagem em trilho facilita a montagem de equipamentos elétricos em ambientes industriais, e você pode obter uma variedade de suprimentos de comutação neste estilo.

9.12 Armazenamento de energia: baterias e condensadores

Nenhum capítulo que trata de reguladores e conversão de energia estaria completo sem uma discussão sobre energia portátil. Isso geralmente significa baterias (substituíveis ou recarregáveis), às vezes auxiliado por capacitores de armazenamento de energia. A vida contemporânea está repleta de dispositivos eletrônicos portáteis, que impulsionaram o desenvolvimento e a disponibilidade de baterias e capacitores aprimorados. Nesta seção, fornecemos uma introdução às opções e propriedades da bateria e ao uso de capacitores para armazenamento de energia. Como este capítulo já é, bem, *enorme,* adiamos uma discussão mais aprofundada sobre cuidados e alimentação de baterias para o Capítulo *9x* no volume avançado.[143] Como observamos na edição anterior, a (agora esgotada) Duracell " Comprehensive Battery

Guide" listou 133 baterias prontas para uso, com descrições como zinco-carbono, manganês alcalino, lítio, mercúrio, prata, zinco-ar e níquel-cádmio. Existem até subclasses, por exemplo, Li/FeS_2, Li/MnO_2, Li/SO_2, $Li/SOCl_2$ e "estado sólido de lítio". E de outros fabricantes, você pode obter baterias seladas de chumbo-ácido e gel. Para a aplicação verdadeiramente exótica, você pode até querer considerar células de combustível ou geradores térmicos radioativos. O que são todas essas baterias? Como você escolhe o que é melhor para o seu widget portátil?

A lista anterior divide-se nas chamadas baterias *primárias* e *secundárias* . As baterias primárias são projetadas para um único ciclo de descarga, ou seja, não são recarregáveis. Células secundárias (íon-lítio, hidreto metálico de níquel e tipo de gel de chumbo-ácido selado), em comparação, são projetadas para serem recarregadas, normalmente de 200 a 1.000 vezes. Você geralmente faz sua escolha entre os tipos de bateria com base em compensações entre preço, densidade de energia, vida útil, constância da tensão durante a descarga, capacidade de corrente de pico, faixa de temperatura e disponibilidade. Depois de escolher a química correta da bateria, você descobre qual bateria (ou combinação em série de baterias) tem conteúdo de energia suficiente para o trabalho.

Felizmente, é muito fácil eliminar a maioria das baterias dos catálogos, se você seguir nossa primeira sugestão: *Evite baterias difíceis de conseguir.* Além de serem difíceis de encontrar, geralmente não são frescos. Portanto, geralmente é melhor ficar com as variedades disponíveis na farmácia, ou talvez na loja de fotografia, mesmo que isso resulte em um design um pouco inferior ao ideal. Recomendamos particularmente o uso de baterias comumente disponíveis no projeto de qualquer dispositivo eletrônico de consumo; como consumidores, evitamos essas maravilhas baratas que usam baterias exóticas e caras. (Lembra-se daqueles primeiros detectores de fumaça que usavam uma bateria de mercúrio de 11,2 V? É melhor esquecê-los. . .)

[142] Embora se espere que os POLs *não regulamentados* forneçam uma "regulação" ruim, na verdade eles podem surpreendê-lo: por exemplo, a série VTM da Vicor de "multiplicadores de corrente" de taxa fixa de alta eficiência (ou seja, redução de tensão) inclui uma unidade classificada em 130 A e redução de 40:1 (portanto, saída de 1,0 Vcc de entrada de 40 Vcc) com uma impedância de saída de pior caso de 0,00094 ÿ a 100ÿC (portanto, alteração de saída < 0,1 V para uma etapa de corrente de 100 A). Nada mal. E você sempre pode adicionar feedback à alimentação regulada que fornece a entrada de +40 Vdc, para fortalecer ainda mais a saída para variações de mudança de carga dentro da largura de banda do loop. Além disso, esses conversores operam na frequência de comutação de 1,2 MHz, de modo que a ondulação residual é de 2,4 MHz, convenientemente ignorada com capacitores de filtro relativamente pequenos. Na verdade, a folha de dados mostra formas de onda de tensão de saída muito boas com passos de carga de 0–130 A, exibindo essencialmente nenhum overshoot mesmo quando a saída não é filtrada ou contornada com nenhum capacitor externo.

[143] Veja também a ampla discussão no Capítulo 14 da edição anterior deste livro.

9.12.1 Características da bateria

Se você deseja uma bateria primária (não recarregável), suas opções são essencialmente alcalinas (“Zn/MnO2”) ou uma das químicas de lítio (“Li/MnO2”, “Li/FeS2” ou “Li/SOCl2”) . As baterias de lítio têm uma tensão de terminal de célula única mais alta (ÿ3 V), maior densidade de energia, curvas de descarga mais planas (ou seja, constância de tensão à medida que sua vida diminui, consulte a Figura 9.98), melhor desempenho em baixas temperaturas (onde as baterias alcalinas apenas desaparecer) e preço mais alto.

Por outro lado, os tipos alcalinos (a bateria básica do supermercado) são baratos e abundantes, e você pode comprá-los a preços caros em lojas de “caixa grande” (se você não se importar em comprá-los em pacotes de várias dúzias); eles são bons para aplicativos pouco exigentes.

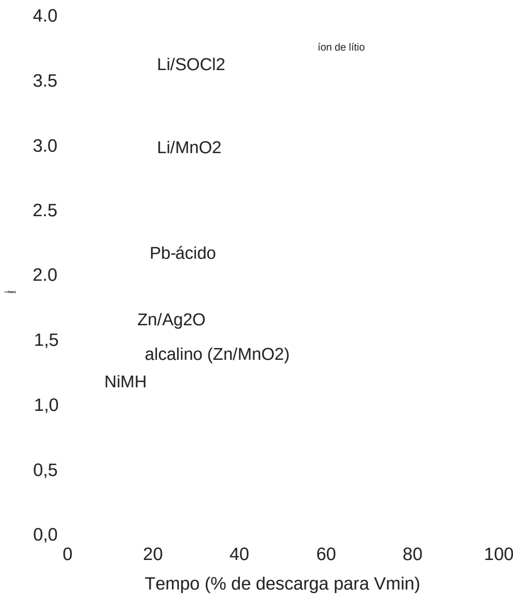


Figura 9.98. Curvas de descarga da bateria, conforme as respectivas fichas técnicas. Em cada caso, 100% de descarga corresponde às tensões listadas nas notas da Tabela 9.9.

Suas opções para uma bateria secundária (recarregável) são de íon-lítio (“Li-ion”), hidreto metálico de níquel (“NiMH”) ou chumbo-ácido (“Pb-ácido”). As baterias de íons de lítio são leves e fornecem a maior densidade de energia e retenção de carga, mas há problemas de segurança com a química do lítio, e esse não é o tipo de coisa que você compra na prateleira; são os queridinhos dos fabricantes de smartphones, tablets e notebooks. As baterias de hidreto de metal de níquel são as recarregáveis de “consumidor” mais comuns e vêm em fatores de forma padrão (tamanhos AA, 9V); as primeiras formulações tinham efeitos de memória desencorajadores e taxas de auto-descarga (ÿ30%/mês!), mas as versões recentes (“LSD” – auto-descarga baixa) são muito melhorados. As baterias de chumbo-ácido são os levantadores de peso, com sua resistência interna muito baixa; eles são dominantes em fontes de alimentação ininterruptas (UPSs) e outros dispositivos que consomem muita energia (como barcos e automóveis!); eles não vêm em embalagens minúsculas, mas você pode obtê-los em tamanhos tão pequenos quanto as célula

Recarregar baterias secundárias pode ser um negócio complicado, especialmente para químicas exigentes como Li-ion.

Tomando primeiro o exemplo da humilde bateria de chumbo-ácido, um bom método de carregamento é a chamada técnica de duas etapas: após uma carga preliminar de "gotejamento", você começa com uma fase de "carga em massa" de alta corrente, aplicando uma alta corrente fixa Imax até que a bateria atinja a “tensão de sobrecarga”, VOC. Você então mantém a tensão constante em VOC, monitorando a (queda) corrente até atingir a “corrente de transição de sobrecarga”, IOCT. Você então mantém uma “tensão de flutuação” constante, VF, que é menor que VOC, através da bateria. Para uma bateria de chumbo-ácido de 12 V 2,5 Ah, os valores típicos são Imax=0,5 A, VOC=14,8 V, IOCT=0,05 A e VF=14,0 V.

Embora tudo isso pareça bastante complicado, resulta em recarga rápida da bateria sem danos. A TI fabrica alguns bons ICs, por exemplo, o UC3906 e o BQ24450, que têm praticamente tudo o que você precisa para fazer o trabalho. Eles incluem referências de tensão interna que rastreiam as características de temperatura das células de chumbo-ácido e requerem apenas um transistor de passagem *pnp* externo e quatro resistores de configuração de parâmetros.

Carregar baterias de íons de lítio requer um pouco mais de cuidado, mas mais uma vez a indústria de semicondutores respondeu com soluções de chip único fáceis de usar. A Figura 9.99 mostra um exemplo do tipo de coisa comumente vista. Aqui, a energia de uma porta USB (+5 V nominal, capaz de fornecer 100 mA ou 500 mA) é usada para carregar uma bateria de íons de lítio de 4,2 V de célula única; a saída do último (que cai para aproximadamente 3,5 V quando a maior parte está descarregada) é reduzida a um nível de alimentação lógica estável de +3,3 V com um regulador LDO linear. Neste circuito, o IC do carregador (U1) cuida dos perfis de corrente e tensão de carga e inclui recursos de segurança para detectar sobretensão, curto-circuito e superaquecimento do chip e da bateria (o último usa o termis opcional tor, que é encontrado em muitas baterias, ou pode ser adicionado externamente). A temperatura da célula também é usada para ajustar a corrente ou tensão de carga quando a temperatura está fora da faixa normal de 10–45ÿC, de acordo com os chamados padrões JEITA. O pino ISET2 define o limite de corrente de entrada conforme indicado; o protocolo USB permite um dreno de 100 mA inicialmente, que pode ser aumentado para 500 mA por meio de uma negociação através dos pinos de dados USB Dÿ e D+ (isso requer um microcontrolador ou outro chip inteligente, não mostrado aqui). Os LEDs indicam o status (carregando, alimentação de entrada boa). o

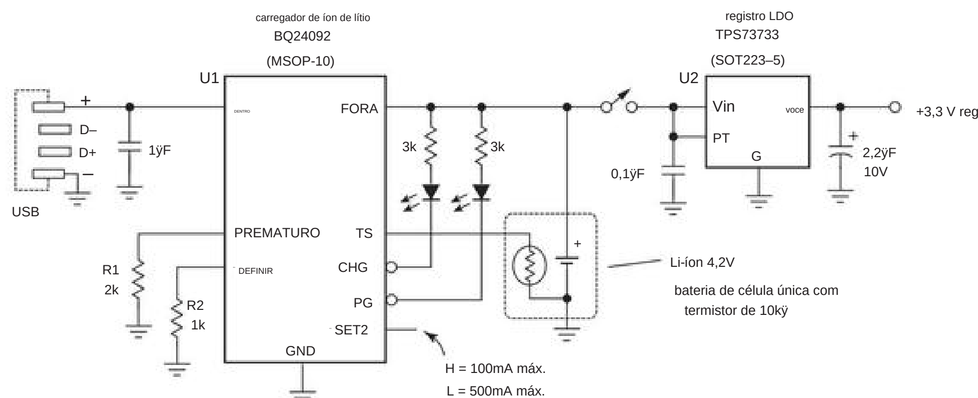


Figura 9.99. O +5 V fornecido por uma porta USB é ideal para carregar uma bateria de íon de lítio de célula única; O regulador LDO U2 converte a saída de 3,5–4,2 V da bateria em +3,3 V estável. Consulte o texto para obter uma discussão sobre o que fazer com os pinos D+ e Dÿ do USB.

o cuidado e a alimentação das baterias de íons de lítio são discutidos com mais detalhes em *§9x.2.*

9.12.2 Escolhendo uma bateria

A Tabela 9.9 lista as características da maioria das baterias que você pode considerar, e a Figura 9.100 mostra uma variedade de tipos comuns de bateria. Aqui está um resumo das características mais distintivas das baterias disponíveis para uso em dispositivos eletrônicos.

Baterias primárias (não recarregáveis)

Alcalino (Zn/MnO_2) Barato; amplamente disponível (pacotes de 1,5 V/célula AA, C e D e 9 V); excelente prazo de validade; bom desempenho de baixa temperatura; descarga inclinada.

Lítio (Li/MnO_2) Alta densidade de energia; bom desempenho de alta drenagem; Pacotes de 3V AA, C, & D e 9V; excelente prazo de validade; excelente desempenho em baixa temperatura; descarga plana.

Lítio (Li/FeS_2) Prazo de validade extraordinário (90% após 15 anos); excelente desempenho em baixa temperatura; descarga plana.

Lítio ($LiSOCl_2$) Desempenho extraordinário em baixas temperaturas (até ÿ55ÿC); excelente prazo de validade; descarga muito plana (mas varia com a carga).

Células botão **de prata (Zn/Ag_2O) ;** descarga muito plana.

Zinco-ar (ZnO_2) Alta densidade energética (respira); descarga plana; vida útil curta após a remoção do selo.

Baterias Secundárias (recarregáveis)

Lithium-ion (Li-ion) Alta densidade de energia; popular; 3,6 V/ célula; descarga plana; autodescarga muito baixa; problemas de segurança.

Níquel metal hidreto (NiMH) Barato e popular; pacotes padrão (AA, 9V); 1,2 V/célula; descarga plana; formulações recentes têm baixa auto-descarga.

Chumbo-ácido (Pb-ácido) Alta corrente (baixo Rint); 2V/célula; descarga plana; autodescarga moderada.

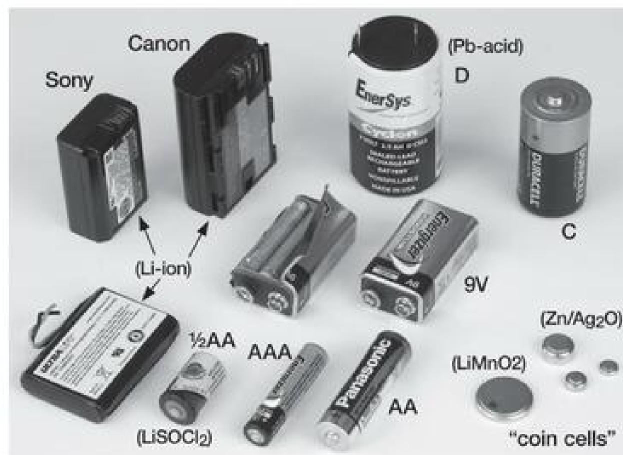


Figura 9.100. Uma coleção de espécimes de bateria. Os tipos Li-ion e Pb-ácido são recarregáveis ("secundários"); o restante não é recarregável ("primário"). Aqueles com química não marcada são alcalinos. Algumas atividades do abridor de latas revelaram as entranhas de 9 V – seis minúsculas células alcalinas.

9.12.3 Armazenamento de energia em capacitores

As baterias armazenam energia *quimicamente,* seja com reações reversíveis (baterias recarregáveis) ou reações irreversíveis (não recarregáveis). Mas as baterias não são a única maneira de armazenar energia elétrica: um capacitor carregado armazena $CV^2/2$ joules em seu campo elétrico e um indutor de corrente

Tabela 9.9 Opções de bateriaa

Química	Parte #	Vnom (V)	Capacidade de Descarga (mAh)	em mA	(mAh)	em mA	Tamanho (mm)	Peso (gm)	Comentários
Primária (não recarregável)									
9V "1604"									
carbono-zinco 122 9 alcalino MnO2			320b		150b		25 17,5 x 12,9 x 46 37 100 17,5		
MN1604 9 lítio MnO2 DL1604 9			550b	5 10	320b		x 12,9 x 46 45		popular
zinco-ar cilíndrico			1200b	20	850b		100 17,5 x 12,9 x 46 34 17,5 x		
	146X 8,4		1300b	10	-	-	12,9 x 46 34		puxe a aba e ele respira!
D alcalino	MN1300 1.5 11500f 3700f 1000 U2013 3 11100c 250 10400c			1000			34P x 61L	139	tamanho D
AA alkaline MN1500 [illegible] alkaline							34P x 61L		tamanho 115D
alcalino MN2400 1,5 [illegible] MnO2							26P x 50L		tamanho 69 C
CR123A 3 2/3A Li poli BR-2/3A 1200c 3 botão prata zinco-ar				10		100	14,5P x 50,5L		24 tamanho AA; popular 15
				25					90% após 15 anos a 20ºC 18
				1					descarga muito plana
				10		100	10P x 44L	11	tamanho AAA
				20	-	-	15,5 P x 27L	11	popular
				20	-	-	17P x 34,2L	17	popular
				2.5	-	-	17P x 33,5L	13.5	
	357 1,55 195d 675 1,45			0,2	-	-	11,5 P x 4,8 A	2,3	
	600e 225c 190c			2	-	-	11,6 P x 5,4 A	1,9	4 anos desativada 2,9
LiMnO2	CR2032 3			0,2	175c	2	20P x 3,2A		2032 tamanho; popular
li poli	BR2032 3			0,2	90c	2	20P x 3,2A		tamanho 2.5 2032
Cilíndrico secundário (recarregável)									
NiMH	HHR210AA/B	1.2	2000f	2000	-	-	14,5P x 50,5L	29	tamanho AA; Rs=25mÿ; 80%/6 meses
íon de lítio	NCR18650	3,6	2900h	500	h 2500	5000	18P x 65,2L	45	populares
Pb-ácido	0810-0004	2	2500g	250	1900g	2000	34P x 61L	178	tamanho D; Rs=5mÿ
botão									
LiMn	ML2020 3		45c	0,12	40c	1	20P x 2,0A	2.2	backup de memória
LiMnTi	MT621 1.5		2,5f	0,05	-	-	6,8P x 2,1A	0.25	backup de memória
LiNb	NBL414	2	1f	0,004 - 95c		-	4,8 P x 1,5 A	0.08	backup de memória
LiV2O5	VL3032 3		100c	0,2		1	30P x 3,2A	6.2	backup de memória
retangular									
Pb-ácido	LC-R061	6	1200k	100	800k	1000	96 x 24 x 50	300	80% após 6 meses; Rs=50mÿ
Pb-ácido	LC-R127	m 12	7200	500	5000m	5000	151 x 65 x 94	2470	80% após 6 meses; Rs=40mÿ

Notas: (a) os números de peça listados são representativos (existem muitos fabricantes). (b) a 6V. [c] a 2V. (d) a 1,2 V. (e) a 1,1 V. (f) a 1,0 V. (g) a 1,7V. (h) a 2,5V. (k) para 4,8V. (m) para 9,6V. (n) também Tadiran TL-2100.

armazena LI2/2 joules em seu campo magnético. Em termos quantitativos, essas energias armazenadas são diminuídas por aquelas armazenadas em baterias; mas para algumas aplicações, os capacitores são exatamente o que você deseja. Entre suas outras virtudes, eles têm vida longa, resistência infinita (ciclos de carga/descarga), capacidade de serem totalmente carregados e descarregados em segundos (ou frações de segundo) e capacidade de corrente de pico muito alta (ou seja, muito baixa resistência interna, ESR). Um capacitor de armazenamento, combinado com uma bateria convencional, pode fornecer o melhor dos dois mundos: potência de pico extraordinária ao longo com armazenamento substancial de energia. Além disso, a densidade de energia dos “supercapacitores” recentes está aumentando no final das baterias. Esses pontos são bem vistos em um *gráfico de Ragone* (Figura 9.101). Para colocar números, coletamos dados sobre alguns capacitores e baterias representativos do mundo real; eles estão listados na Tabela 9.10. Os capacitores se destacam em baixo ESR e alta corrente de pico (e, portanto, em alta densidade de *potência :* W/gm ou W/m3), mas as baterias superam os capacitores em densidade de *energia* (Wh/gm ou Wh/m3).

Tabela 9.10 Armazenamento de Energia: Capacitor versus Bateriaa

		Ultracap	Gel ácido-chumbo eletrolítico de alumínio		íon de lítio	alcalino
		Maxwell K2	Panasonic T-UP Yuasa NP7-12 Saft VL34570 Duracell MN1500 180.000ÿF, 25V			
Parâmetro	Condições	3000F, 2,5V		12V, 7Ah	3,7V, 5,4Ah	AA: 1,5V, 2Ah
genérico						
Wh/kg 1h descarga			0,05	16	150	40
Wh/m3 1h de descarga		6 7800	73	44000	360000	120000
W/kg	máximo	1000	1400	170	500	65
kW/m3 tempo máximo de		1300	2000	500	11h00	180
carga carga rápida		30s	0,25s	1h	1h	-
ciclos de carga vida		106	(nota b)	500	500	0
de descarga	25ºC	7x105h	0,2h 25	104h 5	105	105 horas
automática	float, 25ºC	10 anos	anos	anos	horas ?	10 anos
específico para exemplar						
ESR máximo		0,29mÿ	9mÿ	25mÿ	30mÿe	120mÿ
Imax	continuar	210A	17A	40A	11A	1A
Pmax	continuar	525 W	425 W	440 W	35W	1,2 W
peso		510g	300g	2650g	125g	24g
energia (Wh) 1hr volume de descarga		3,0	0,015	45	18,9	1
(cm3) com terminais		390	206	950	53	8.4

(a) das folhas de dados do mfgrs para peças listadas. (b) sem desgaste, limitado apenas pela vida útil. (e) estimado. (p) pilha primária (não recarregável).

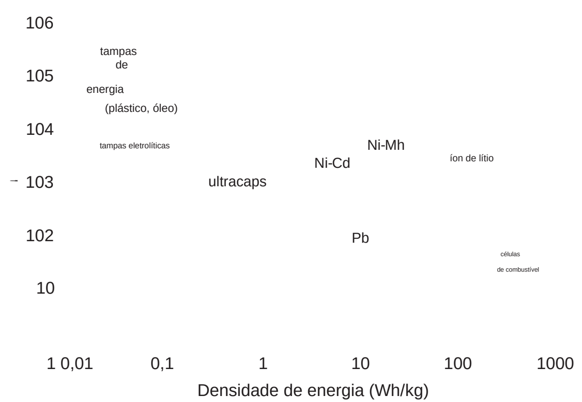


Figura 9.101. Os capacitores de armazenamento de energia se destacam no fornecimento de potência de pico, mas as baterias vencem no armazenamento de energia, como visto neste "gráfico de Ragone".

9.13 Tópicos adicionais em regulação de potência

9.13.1 Pés de cabra de sobretensão

Como observamos em §9.1.1C, geralmente é uma boa ideia incluir algum tipo de proteção contra sobretensão na saída de uma alimentação regulada. Considere, por exemplo, uma fonte chaveada de alta corrente de +3,3 V usada para alimentar um grande sistema digital. Falha de um componente no circuito de regulação (mesmo algo tão simples como um resistor no sensor de tensão de saída divisor) pode fazer com que a tensão de saída suba, com resultados devastadores.

Embora um fusível provavelmente queime, o que está em jogo é uma corrida entre o fusível e o "fusível de silício" que é constituído pelo restante do circuito; o resto do circuito provavelmente responderá primeiro! Esse problema é mais sério com lógica de baixa tensão e VLSI, que operam a partir de tensões de alimentação CC tão baixas quanto +1,0 V e não podem tolerar uma sobretensão de até 1 V sem danos.144 Outra situação com potencial de desastre considerável surge quando você opere algo a partir de uma fonte de "bancada" de ampla faixa, onde a entrada não regulada para o regulador linear pode ser de 40 volts ou mais, independentemente da tensão de saída. Encontramos alguns suprimentos de bancada aberrantes que atingem sua tensão de saída total, brevemente, quando você os desliga. Mas "brevemente" é o suficiente para arruinar todo o seu dia!

A. Sensor Zener A

Figura 9.102 mostra três circuitos clássicos de pé de cabra – (A) é simples e robusto, mas inflexível; (B) usa um circuito de disparo IC que permite definir o ponto de disparo com mais precisão; e

144 E às vezes muito menos: as folhas de dados do Virtex-5 da Xilinx e Os FPGAs Virtex-6, por exemplo, especificam uma tensão de núcleo de 1,0 V±5%, com um máximo absoluto de 1,1 V! O Virtex-7 tem o mesmo 1,1 V limite e tensão de núcleo nominal de 1,0 V, mas aperta a tolerância no último para ±3%; ai!

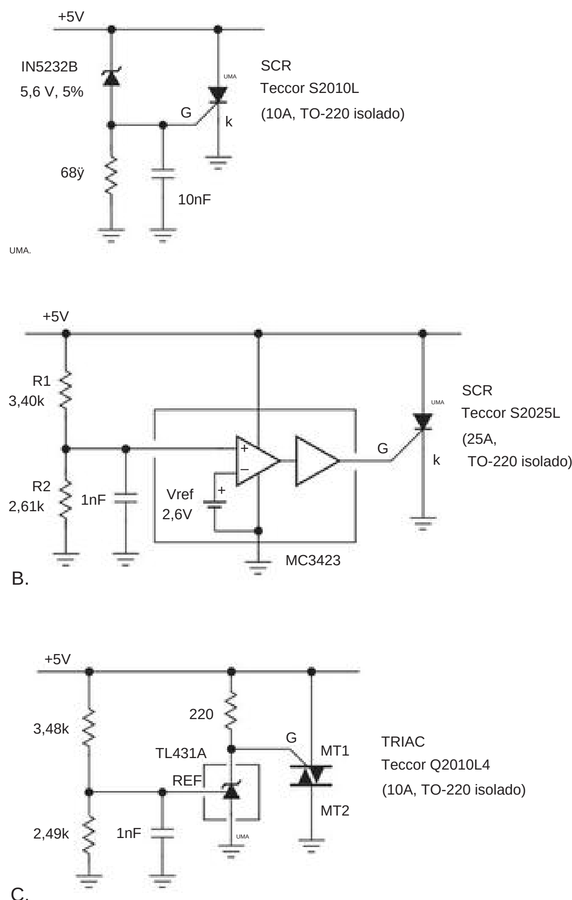


Figura 9.102. Pés de cabra de sobretensão.

(C) usa um popular e preciso "regulador de derivação" de 3 terminais, com 1% de precisão de ponto de ajuste.

Em cada caso, conecte o circuito entre o terminal de saída regulado e o terra; nenhuma fonte CC adicional é necessária – os circuitos são "alimentados" pela linha CC que eles protegem. Para o circuito simples (Figura 9.102A), o SCR é ligado se a tensão CC exceder a tensão zener mais uma queda de diodo (cerca de 6,2 V para o zener mostrado) e permanece em estado de condução até que sua corrente anódica caia. abaixo de alguns miliamperes. Um SCR barato como o S2010L pode diminuir 10 amperes continuamente e suportar correntes de pico de 100 amperes; sua queda de tensão no estado de condução é normalmente de 1,1 V a 10 A. A unidade específica aqui é eletricamente isolada, portanto, você pode conectá-la diretamente ao chassi de metal (SCRs geralmente conectam seu ânodo à guia de fixação; portanto, normalmente você d tem que usar um espaçador isolante, etc.). O resistor de 68 ÿ é fornecido para gerar uma corrente zener razoável (10 mA) na ativação do SCR, e o capacitor é adicionado para evitar o acionamento do pé de cabra em picos curtos menos prejudiciais.

Existem vários problemas com este circuito simples de pé-de-cabra, principalmente envolvendo a escolha da tensão zener. Zeners estão disponíveis apenas em valores discretos, com tolerâncias geralmente pobres e (muitas vezes) curvas suaves na característica *VI* .
A tensão de gatilho desejada pode envolver tolerâncias bastante rígidas. Considere uma fonte de 5V para lógica digital, cuja tolerância típica de 5% ou 10% exige uma tensão de pé de cabra de pelo menos 5,5V. Mas esse mínimo é aumentado por causa do overshoot transitório da alimentação regulada: a tensão pode saltar quando há uma mudança abrupta na corrente de carga, criando um pico seguido por algum zumbido.

Esse problema é exacerbado pelo sensoriamento remoto por meio de cabos de detecção longos (indutivos). O toque resultante coloca falhas no suprimento que não queremos para acionar o pé de cabra.
O resultado é que a tensão do pé-de-cabra não deve ser inferior a cerca de 6,0 V, mas não pode exceder 7,0 V sem risco de danos aos circuitos lógicos. Quando você dobra a tolerância zener, as tensões discretas realmente disponíveis e as tolerâncias de tensão do gatilho SCR, você tem um problema complicado. No exemplo mostrado anteriormente, o limite do pé-de-cabra pode ficar entre 5,9 e 6,6 V, mesmo usando o zener de 5% relativamente preciso indicado.

B. Detecção de sobretensão do IC O segundo circuito (Figura 9.102B) aborda esses problemas145 usando um gatilho IC de alavanca, neste caso o venerável MC3423, que possui referência de tensão interna (2,6 V±6%), comparadores e drivers SCR. Aqui configuramos o divisor externo *R1R2* para disparar em 6,0 V e escolhemos um SCR de 25 A (contínuo), também com uma aba de montagem isolada; custa cerca de um dólar. O MC3423 pertence à família dos chamados chips *de supervisão de fonte de alimentação ;* o mais sofisticado deles não apenas detecta subtensão e sobretensão, mas também pode alternar para backup de bateria quando a energia CA falha, gerar um sinal de reinicialização de inicialização no retorno da energia normal e verificar continuamente as condições de travamento nos circuitos do microprocessador.

O terceiro circuito (Figura 9.102C) dispensa um CI supervisor, usando em seu lugar o popular regulador shunt 146 TL431 para acionar um triac (um SCR bidirecional) quando a tensão apresentada à entrada de referência excede a tensão de referência interna de 2,495 V± 1%; que causa pesado

145 E outros, por exemplo, o desejo de overdrive de gate rápido ao aplicar grandes cargas capacitivas; consulte a folha de dados do ON Semiconductor MC3423.

146 Uma rápida verificação no excelente site da DigiKey mostra aproximadamente meio milhão de peças em estoque, em 134 variantes, de cinco fabricantes. Eles custam apenas $ 0,09 em grandes quantidades.

condução do cátodo (K) para o terra, acionando o triac no que é conhecido como operação de "terceiro quadrante" .147 Esse circuito pode ser estendido com flexibilidade para tensões de alimentação mais altas (o TL431 opera até 37 V); e, com a variante TLV431 de baixa tensão (cuja referência interna é 1.240 V) para tensões de disparo muito baixas.

Os circuitos anteriores, como todos os pés-de-cabra, colocam um "curto-circuito" implacável de 1 V na alimentação quando acionados por uma condição de sobretensão e podem ser redefinidos apenas desligando a alimentação. Como o SCR mantém uma baixa tensão durante a condução, não há muitos problemas com o próprio pé de cabra falhando devido ao superaquecimento. Como resultado, estes são circuitos de pé de cabra confiáveis. É essencial que a fonte regulada tenha algum tipo de limitador de corrente, ou pelo menos fusível, para lidar com o curto. Pode haver problemas de superaquecimento com o suprimento após o disparo do pé de cabra. Em particular, se a fonte incluir limitação de corrente interna, o fusível não queimará e a fonte ficará no estado "pé-de-cabra" com a saída em baixa tensão, até que alguém perceba.
A limitação de corrente de retorno da alimentação regulada seria uma boa solução aqui.

C. Grampos

Outra solução possível para proteção contra sobretensão é colocar um zener de energia, ou equivalente, nos terminais de alimentação. Isso evita os problemas de disparo falso em picos, porque o zener vai parar de puxar corrente quando a condição de sobretensão desaparecer (ao contrário de um SCR ou triac, que tem a memória de um elefante). No entanto, um pé de cabra que consiste em um simples power zener tem seus próprios problemas. Se o regulador falhar, o pé-de-cabra terá que lidar com alta dissipação de energia *(VzenerIlimit)* e poderá falhar. Testemunhamos exatamente essa falha em uma fonte de disco magnético comercial de 15V 4A. Quando o transistor de passagem falhou, o zener de energia de 16V 50W se viu dissipando mais do que a potência nominal e também falhou.

Uma alternativa melhor, se você realmente quer um power zener, é um "zener ativo" construído a partir de um pequeno zener e um transistor de potência. A Figura 9.103 mostra dois desses circuitos, nos quais um zener puxa a base ou porta de um transistor para condução, com um resistor pull-down para trazer a corrente do zener para a região do joelho na ativação do transistor.
O TIP142 (na Figura 9.103A) é um popular transistor de potência bipolar de Darlington, com preço em torno de US$ 1, bom para 75 W dissipação a 75 °C de temperatura da caixa e com um beta mínimo de 1000 a 5 A. Para tensão e corrente mais altas e onde a precisão da tensão zener efetiva não é crítica, o circuito MOSFET (Figura 9.103B) é melhor: a maioria dos MOSFETs não têm as áreas operacionais seguras limitadas por segundo colapso dos BJTs e estão amplamente disponíveis em versões robustas de alta potência. O circuito mostrado permite dissipação de 130 W ou 300 W a 75 °C de temperatura da caixa, para o IRF1407 ou IRFP2907, respectivamente. Estes são MOSFETs "automotivos", classificados em 75 V e com preços de US$ 2,50 e US$ 10, respectivamente. Observe particularmente a alta classificação de corrente de pico, limitada apenas pela resistência térmica transitória (discutida no Capítulo 9x). Um cuidado: um grampo MOSFET é propenso a oscilação, especialmente quando implementado com uma parte de alta tensão (baixa capacitância).

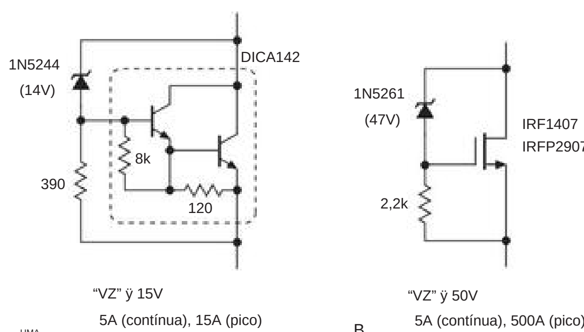


Figura 9.103. Zener de energia ativa.

D. Pinça-pé-de-cabra de baixa tensão

Essas técnicas – pés-de-cabra zener, pés-de-cabra IC e grampos zener – são geralmente inadequadas para fontes de baixa tensão e alta corrente usadas para alimentar sistemas de microprocessadores contemporâneos; estes podem exigir +3,3 V (ou menos) em 50–100 A: os zeners de baixa tensão são imprecisos e sofrem de um soft knee, e os circuitos de gatilho de pé de cabra como o MC3423 requerem uma tensão de alimentação muito alta (por exemplo, 4,5 V mínimo para o 3423). Além disso, quando um SCR é acionado, ele bloqueia o fornecimento até que a alimentação seja desligada e desligada – não é uma boa coisa a se fazer com um computador, principalmente se a causa for um transitório momentâneo (e inofensivo).

Nós lutamos com esse problema e, seguindo os ensinamentos de Billings,148 criamos um bom circuito para um pé-de-cabra de baixa tensão: ele é ajustável e operará até 1,2 V. E (o melhor de todos) opera em duas etapas – *bloqueia* o transiente, até uma corrente de pico de 5–10 A; mas se o transiente persistir, ou subir acima dessa corrente, ele joga a toalha e dispara um SCR de pé de cabra que

[147] O primeiro e o segundo quadrantes têm MT2 mais positivo que MT1 e disparam quando o Gate é trazido para positivo ou negativo em relação ao MT1, respectivamente; terceiro e quarto quadrantes têm MT2 mais negativo que MT1, e disparam quando o Gate é trazido negativo ou positivo em relação a MT1, respectivamente. Os quadrantes dois e quatro sofrem de sensibilidade de portão mais baixa.

[148] "Limpeza de sobretensão com backup 'pé-de-cabra' SCR", em K. Billings, *Switchmode Power Supply Handbook,* McGraw-Hill, 2ª ed. (1999).

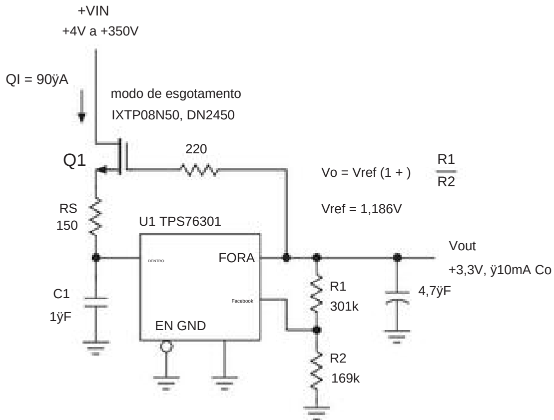
pode suportar 70 A contínuos (1000 A de pico). Como você pode estar lidando com um sistema de alta potência, ele também pode desligar a entrada CA. *Isso* com certeza é uma solução de cinto e suspensórios! Como isso está um pouco fora do comum, agrupamos este material com outros tópicos avançados no Capítulo *9x.*

9.13.2 Ampliação da faixa de tensão de entrada

Conforme mencionado em §§9.3.12 e 3.6.2, os reguladores lineares têm uma faixa limitada de tensão de entrada, tipicamente +20 V a +30 V para os tipos BJT ou tão pouco quanto +5,5 V para os tipos CMOS. A Figura 9.104 (uma conclusão do diagrama de blocos na Figura 3.114) mostra uma boa maneira de estender a faixa permitida de VIN, até 1000 V. Q1 é um MOSFET de modo de depleção de alta tensão (consulte a Tabela 3.6), aqui configurado como um seguidor de entrada para manter o VIN do U1 alguns volts acima de sua saída regulada. Para as peças mostradas, VGS é de pelo menos -1,5 V, uma margem confortável para qualquer LDO;149 e seu VDS máximo nominal de 400 V e 500 V fornece bastante flexibilidade de tensão de entrada (substitua um IXTP08N100 se quiser ir para 1 kV).

Alguns detalhes. (a) Neste circuito, usamos um pequeno resistor de porta para suprimir a tendência de oscilação dos MOSFETs de alta tensão. (b) O resistor de fonte RS define um limite de corrente de saída de aproximadamente VGS/RS, o que é essencial aqui porque este regulador por si só é capaz de produzir correntes de até 350 mA, o que causaria mais de 150 W de dissipação em Q1 para VIN=500 V. Aqui escolhemos RS para Ilimÿ10 mA, portanto, 3,5 W de dissipação máxima, manipulada facilmente com um modesto dissipador de calor conectado a Q1 em seu pacote de potência TO-220. (c) Um resistor de potência pode ser adicionado ao dreno de Q1, para descarregar parte de sua dissipação de potência. (d) Os reguladores de baixa queda especificam (e exigem!) um capacitor de saída mínimo Cout para estabilidade (junto com uma especificação da faixa permitida de sua resistência em série efetiva ESR); o valor mostrado atende à especificação do TPS76301. (e) Algumas escolhas alternativas para um LDO de baixa potência de tensão fixa (+3,3 V; omita R1 e R2) , com alguns parâmetros relevantes. Todos, exceto o LM2936, também estão disponíveis em versões ajustáveis, definidas com um divisor resistivo, como fizemos com o TPS76301 (mas consulte suas folhas de dados para Vref e resistências do divisor).

149 A queda de tensão disponível do FET em modo de depleção pode ser facilmente aumentada (por um fator de 2× ou 3×, se necessário) conectando a porta a um divisor resistivo entre a saída do LDO e o terminal de origem do FET. Observe que isso aumenta a carga mínima de saída atual.



Escolhas fixas de 3,3 V LDO para U1

Papel #	Tipo de QI (ÿA)	VIN máximo (V)	CO mín (ÿF)	VDO máximo (mV)	@Icarga (mA)	pacotes
TPS76333	85	10	4,7	450	150	SOT-23
LP2950/1–33	75	30	2,2	600	100	TO-92, DIP, SOIC
LM2936–3.3	15	40	22	400	50	TO-92, SOT-23, SOIC
TPS71533	3,2	24	0,47	740	50	SC-70

Figura 9.104. Ampliando a faixa de tensão de entrada LDO. A lista inclui algumas outras opções LDO de tensão fixa de 3,3 V e baixa potência.

9.13.3 Limitação de corrente reversa

Em §9.1 mostramos o circuito básico de limitação de corrente, que geralmente é adequado para evitar danos ao regulador ou carga durante uma condição de falha. No entanto, para um regulador com limitação de corrente simples, a dissipação do transistor é máxima quando a saída está em curto com o terra (seja acidentalmente ou por algum mau funcionamento do circuito) e excede o valor máximo de dissipação que ocorreria sob condições normais de carga. Veja, por exemplo, o circuito regulador da Figura 9.105, projetado para fornecer +15 V em correntes de até 1 A. Se fosse equipado com limitador de corrente simples, o transistor de passagem dissiparia até 25 watts com a saída em curto (Entrada de +25 V, limite de corrente em 1 A), enquanto a dissipação de pior caso sob condições normais de carga é de 10 watts (queda de 10 V em 1 A). E a situação é ainda pior em circuitos nos quais a tensão normalmente reduzida pelo transistor de passagem é uma fração menor da tensão de saída.

Você se depara com um problema semelhante com amplificadores de potência push-pull. Sob condições normais, você tem corrente de carga máxima quando a tensão nos transistores é mínima (perto dos extremos da oscilação de saída) e você tem

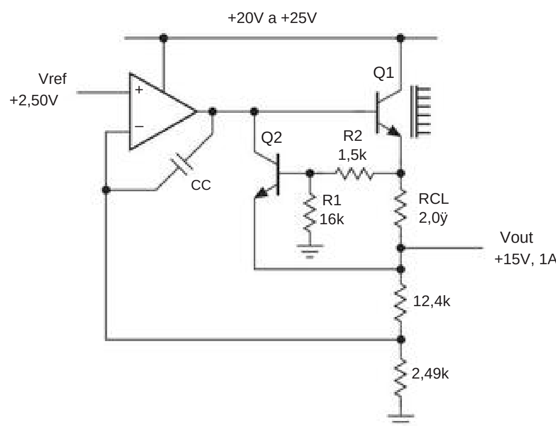


Figura 9.105. Regulador linear com limitação de corrente foldback.

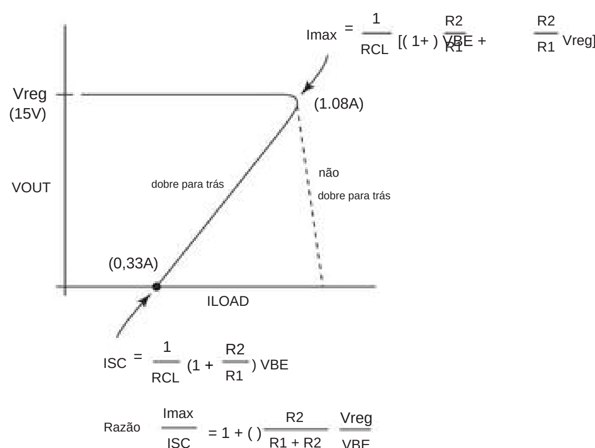


Figura 9.106. Limitação de corrente reversa para o circuito da Figura 9.105.

tensão máxima nos transistores quando a corrente é quase zero (tensão de saída zero). Com uma carga de curto-circuito, por outro lado, você tem corrente de carga máxima no pior momento possível, ou seja, com tensão de alimentação total no transistor. Isso resulta em uma dissipação de transistor muito maior do que o normal.

A solução de força bruta para este problema é usar dissipadores de calor maciços e transistores de potência nominal mais alta (e área de operação segura; consulte §9.4.2) do que o necessário. Mesmo assim, não é uma boa ideia ter grandes correntes fluindo no circuito energizado em condições de falha, porque outros componentes do circuito podem ser danificados. Uma solução melhor é usar a *limitação* de corrente de retorno, uma técnica de circuito que reduz a corrente de saída sob condições de curto-circuito ou sobrecarga.

Olhe novamente para a Figura 9.105. O divisor na base do transistor limitador de corrente Q2 fornece o foldback. Na saída de +15 V (o valor normal), o circuito limitará em cerca de 1 A, porque a base de Q2 está em +15,55 V enquanto seu emissor está em +15 (VBE é tipicamente um pouco abaixo dos 0,6 V normais no ambiente quente de eletrônica de potência). Mas a corrente de curto-circuito é menor; com a saída em curto com o terra, a corrente de saída é de cerca de 0,3 A, mantendo a dissipação de Q1 *menor* (cerca de 7,5 W) do que no caso de carga total (10 W). Isso é altamente desejável, uma vez que o dissipador de calor excessivo não é mais necessário e o projeto térmico precisa apenas satisfazer os requisitos de carga total. A escolha dos três resistores no circuito limitador de corrente define a corrente de curto-circuito, para um determinado limite de corrente a plena carga; veja a Figura 9.106.

Um cuidado importante: tenha cuidado ao escolher a corrente de curto-circuito, pois é possível ser excessivamente zeloso e projetar uma fonte que não "inicie" em determinadas cargas. A Figura 9.107 mostra a situação com dois com

cargas não lineares comuns: uma lâmpada incandescente (cuja resistência aumenta com a tensão) e a entrada de um regulador linear (que começa como um circuito aberto, então se parece com sua resistência de carga enquanto opera abaixo do dropout e, finalmente, forma uma carga de corrente constante acima do abandono). Como um guia aproximado, ao projetar um circuito dobrável, o limite de corrente de curto-circuito não deve ser definido como menos de um terço a metade da corrente de carga máxima na tensão de saída total.

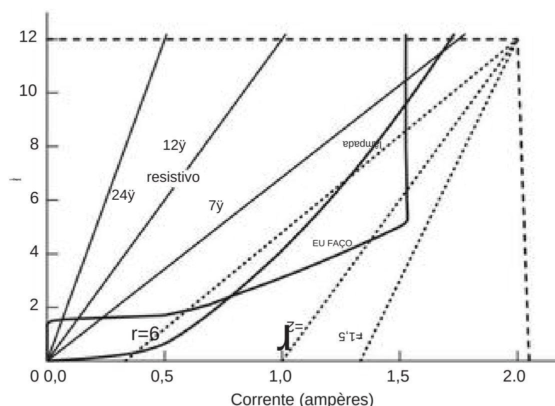


Figura 9.107. O foldback excessivo pode impedir a inicialização em algumas cargas. Medimos curvas *VI* para uma lâmpada automotiva (12 V, 21 W) e para um regulador de baixa queda de 5 V com carga de 3,3 ÿ. A linha tracejada é a limitação de corrente normal de 2 A e as linhas pontilhadas mostram três valores de limitação de corrente reversa. Uma relação de corrente de retorno de *r* = Imax/ ISC = 6 falharia ao iniciar qualquer uma das cargas (ficaria presa na interseção inferior); para *r* = 2 a lâmpada está OK, mas o LDO não.
Uma carga resistiva nunca é um problema.

9.13.4 Transistor de passagem externo

Os reguladores lineares de três terminais estão disponíveis com 5 A ou mais de corrente de saída, por exemplo, o LM396 de 10 A ajustável. No entanto, essa operação de alta corrente pode ser indesejável, porque a temperatura máxima de operação do chip para esses reguladores é menor do que para transistores de potência, exigindo dissipadores de calor superdimensionados. Além disso, eles são caros. Uma solução alternativa é o uso de transistores de passagem externos, que podem ser adicionados a reguladores lineares integrados como os reguladores fixos ou ajustáveis de 3 terminais, sejam eles de configuração convencional ou low-dropout. A Figura 9.108 mostra o circuito básico (mas defeituoso!).

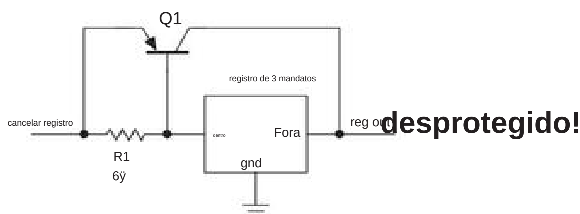


Figura 9.108. Regulador básico de três terminais com transistor externo de aumento de corrente. Não construa isso – ele não tem circuito limitador de corrente!

O circuito funciona normalmente para correntes de carga inferiores a 100 mA. Para correntes de carga maiores, a queda em R1 liga Q1, limitando a corrente real através do regulador de 3 terminais para cerca de 100 mA. O regulador de 3 terminais mantém a saída na tensão correta, como de costume, reduzindo a corrente de entrada e, portanto, dirige para Q1 se a tensão de saída aumentar e vice-versa. Ele nem percebe que a carga está consumindo mais de 100 mA! Com este circuito, a tensão de entrada deve exceder a tensão de saída pela queda de tensão do regulador (por exemplo, 2 V para um LM317) mais uma queda de VBE .

Na prática, o circuito deve ser modificado para fornecer limitação de corrente para Q1, que poderia fornecer uma corrente de saída igual a vezes o limite interno dÿ corrente do regulador, ou seja, 20 amperes ou mais! Isso é suficiente para destruir Q1, bem como a infeliz carga que está conectada no momento. A Figura 9.109 mostra dois métodos de limitação de corrente.

Em ambos os circuitos, Q1 é o transistor de passagem de alta corrente, e seu resistor de emissor para base R1 foi escolhido para ligá-lo a cerca de 100 mA de corrente de carga. No primeiro circuito, Q2 detecta a corrente de carga por meio da queda no RSC, cortando o acionamento de Q1 quando a queda excede uma queda de diodo. Existem algumas desvantagens neste circuito: para correntes de carga próximas ao limite de corrente, a tensão de entrada deve agora exceder a tensão de saída regulada pela tensão de queda do 3-

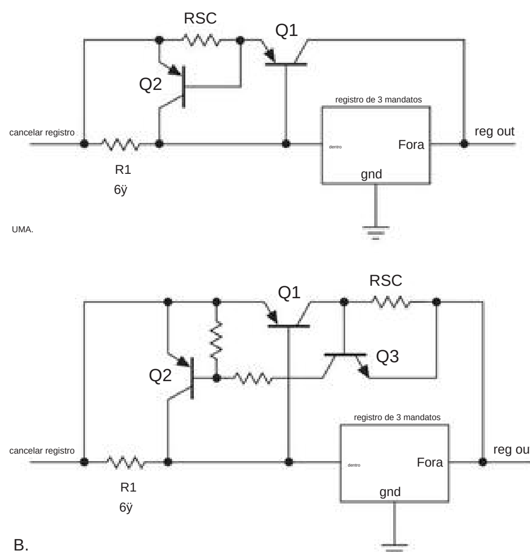


Figura 9.109. Booster de transistor externo com limitação de corrente.

regulador terminal mais duas gotas de diodo. Além disso, os pequenos valores de resistor necessários na base do Q2 dificultam a adição de limitação de reversão.

O segundo circuito ajuda a resolver esses problemas, à custa de alguma complexidade adicional. Com reguladores lineares de alta corrente, uma tensão de baixa queda é frequentemente importante para reduzir a dissipação de energia a níveis aceitáveis. Para adicionar limitação de foldback ao último circuito, basta conectar a base do Q3 a um divisor do coletor do Q1 ao terra, em vez de diretamente ao coletor do Q1. Observe que em qualquer um dos circuitos Q2 deve ser capaz de lidar com o limite total de corrente do regulador.

Um cuidado: com um transistor de passagem externo, você não obtém a proteção contra superaquecimento incluída em quase todos os reguladores integrados. Portanto, você deve ter cuidado para fornecer dissipador de calor adequado para condições de carga normal e de curto-circuito.

9.13.5 Reguladores de alta tensão

Alguns problemas especiais surgem quando você projeta reguladores lineares para fornecer altas tensões, e muitas vezes você precisa recorrer a alguns truques de circuito inteligentes. Esta seção apresenta algumas dessas técnicas.

A. Força bruta: componentes de alta tensão

Transistores de potência, tanto bipolares quanto MOSFET, estão disponíveis com tensões de ruptura de 1200 volts e superiores, e nem são muito caros. E os IGBTs estão disponíveis em classificações de tensão ainda mais altas, até 6.000 volts.

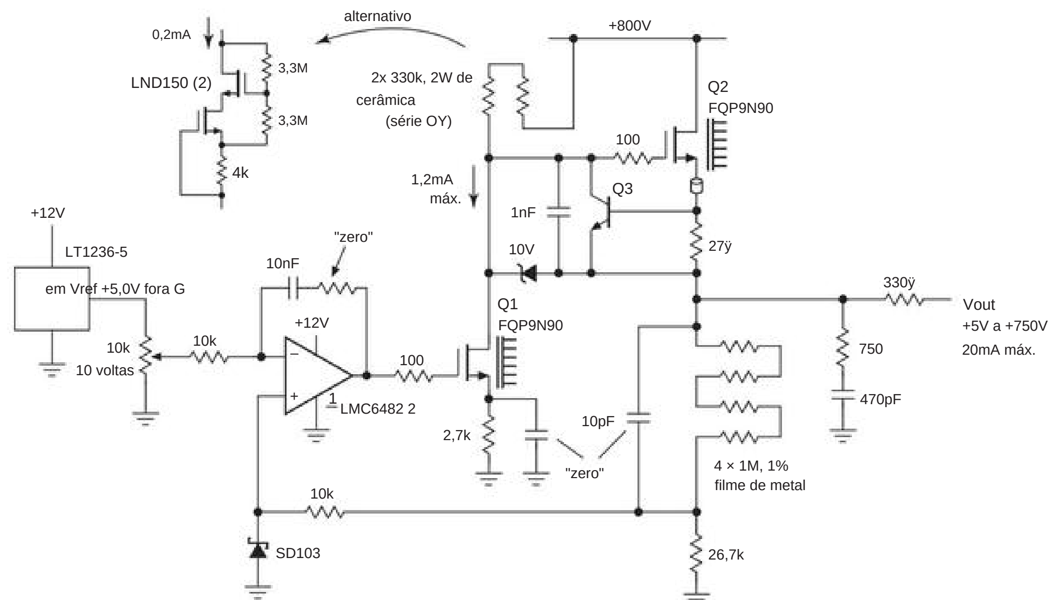


Figura 9.110. Alimentação regulada de alta tensão. O pullup da fonte de corrente no dreno de Q1 é uma alternativa preferível à carga de dreno resistiva mais simples; consulte §9.3.14C. Veja também a Figura 3.111.

O MJE18004 da ON Semiconductor, por exemplo, é um transistor de potência *npn* de 5 A com repartição coletor-emissor convencional (VCEO) de 450 V e retropolarização de base (VCEX) de 1000 volts; custa menos de um dólar em quantidades únicas. E os MOSFETs de potência são muitas vezes excelentes escolhas para reguladores de alta tensão devido à sua excelente área operacional segura (ausência de segunda quebra induzida termicamente); eles estão amplamente disponíveis com classificações de 800–1200 V e correntes de até 8 A ou mais. Por exemplo, o MOSFET de canal n FQP9N90 (9 A, 900 V) da Fairchild custa cerca de US$ 1,75. Veja as listagens nas Tabelas 3.4b e 3.5.

Ao executar o amplificador de erro próximo ao solo (o divisor de detecção de tensão de saída fornece uma amostra de baixa tensão da saída), você pode construir um regulador de alta tensão com apenas o transistor de passagem e seu driver vendo alta tensão. A Figura 9.110 mostra a ideia, neste caso uma alimentação regulada de +5 V a +750 V usando um transistor de passagem NMOS e driver.
Q2 é o transistor de passagem em série, acionado pelo amplificador inversor Q1. O amplificador operacional serve como amplificador de erro, comparando uma fração da saída com uma referência de precisão de +5 V. Q3 fornece limitação de corrente desligando o inversor para Q2 quando a queda no resistor de 27 ÿ é igual a uma queda de VBE .
Os componentes restantes servem a funções mais sutis, mas necessárias: o diodo zener protege Q2 de quebra de porta reversa se Q1 decidir puxar seu dreno rapidamente (enquanto o capacitor de saída retém a fonte de Q2); isso também protege contra quebra de porta direta, por exemplo, se a saída entrar em curto abruptamente. O diodo Schottky também protege a entrada do amplificador operacional de um pico de corrente negativa, acoplado através do capacitor de 10 pF.

Observe o uso de vários resistores em série, para suportar as grandes tensões; os resistores de composição de cerâmica da série OY de 1 W e 2 W da Ohmite não são indutivos, assim como os resistores de filme de metal de precisão no divisor de detecção de saída. Os vários capacitores pequenos no circuito fornecem compensação, o que é necessário porque Q1 é operado como um amplificador inversor com ganho de tensão, tornando o circuito do amplificador operacional instável (especialmente considerando a carga capacitiva do circuito). Da mesma forma, o resistor de saída da série 330 ÿ promove estabilidade ao desacoplar cargas capacitivas (ao custo de regulação degradada). E o resistor de porta da série Q2 e o grânulo de ferrite de chumbo da fonte suprimem as oscilações, às quais os MOSFETs de alta tensão são particularmente propensos. *Um cuidado importante:* circuitos de fonte de alimentação como este apresentam um risco real de choque elétrico – tenha cuidado!

Não podemos resistir a um aparte aqui: em forma ligeiramente modificada (referência substituída por entrada de sinal) este circuito faz um amplificador de alta tensão muito bom, útil para conduzir cargas malucas como transdutores piezoelétricos; consulte a Figura 3.111 para um amplificador simples de 1 kV configurado dessa maneira. Para essa aplicação específica, o circuito deve ser capaz de afundar e fornecer corrente para a carga capacitiva. Curiosamente, o circuito (chamado de "totem pole") age como um

Saída "pseudo-push-pull", com corrente de fonte Q2 e corrente de afundamento Q1 (através do diodo), conforme necessário. Consulte *§3x.8* para uma discussão detalhada sobre carregamento capacitivo de seguidores de fonte MOSFET.

Se um regulador de alta tensão for projetado para fornecer apenas uma saída fixa, você pode usar um transistor de passagem cuja tensão de ruptura seja menor que a tensão de saída. Por exemplo, você pode modificar este circuito para produzir uma saída fixa de +500 V, usando um transistor de 400 V para Q2. Mas com tal circuito você deve garantir que a tensão através do regulador nunca exceda seus valores nominais, mesmo durante condições de ligar, desligar e curto-circuito na saída. Alguns zeners estrategicamente posicionados podem fazer o trabalho, mas certifique-se de pensar em condições de falha incomuns, como um curto-circuito abrupto a montante (uma faísca ou falha de sondagem), bem como eventos "normais", como um curto-circuito na saída. É incrivelmente fácil ter um circuito de alta voltagem muito bom (e testado) que falha abruptamente (e geralmente com um som de "estalo"), deixando poucas pistas preciosas sobre a causa. Aprenda com nossa experiência suada aqui: use um MOSFET classificado além da tensão de alimentação total.

Exercício 9.14. Adicione limitação de corrente de retorno à Figura 9.110.

B. Transistores em série A

Figura 9.111 mostra um truque para conectar transistores em série para aumentar a tensão de ruptura. No circuito do lado esquerdo, os resistores de porta igual distribuem as quedas de tensão CC pelos MOSFETs conectados em série, e os capacitores em paralelo garantem que a ação do divisor se estende a altas frequências. (Os capacitores devem ser escolhidos grandes o suficiente para eliminar as diferenças na capacitância de entrada do transistor, que de outra forma causaria divisão desigual, reduzindo a tensão de ruptura geral.) Os diodos zener protegem contra quebra de porta.150 E os resistores de porta da série 100 ÿ ajudam a suprimir oscilações , comum em MOSFETs de alta tensão (use alguns grânulos de ferrite nos leads de fonte e gate, se houver um avistamento de oscilação).

Para transistores bipolares conectados em série, você pode distribuir as quedas de tensão apenas com resistores, como mostrado, porque as robustas junções base-emissor não são susceptíveis a danos análogos ao punch-through de óxido do MOSFET (na direção direta, eles simplesmente conduzem uma pequena corrente; e as pequenas correntes reversas do divisor de base são geralmente benignas e podem ser totalmente evitadas com diodos de pequeno sinal do tipo 1N4148 conectados entre a base e o emissor). Transistores de pequenos sinais

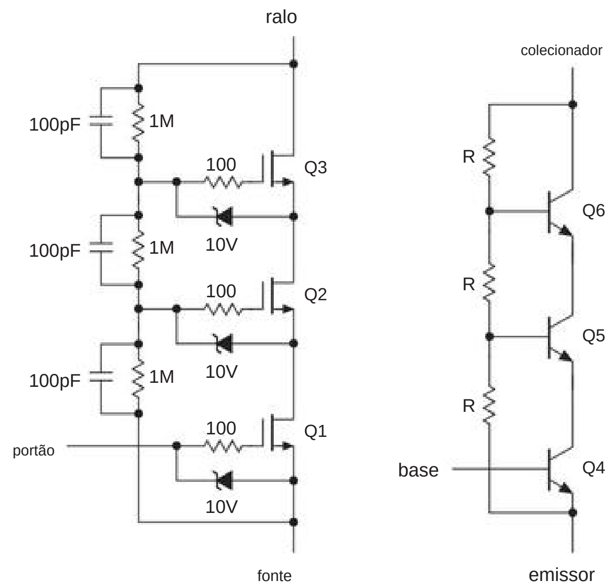


Figura 9.111. Conectando transistores em série para aumentar a tensão de quebra, para distribuir a dissipação de energia e (em BJTs de potência) para permanecer dentro do SOA.

como o MPSA42 e MPSA92 de 300 V (*npn* e *pnp,* respectivamente) e o MPSA44 de 400 V (disponível em TO-92 e pacotes de montagem em superfície) são estendidos de forma útil para tensões mais altas dessa maneira.

Observe que a string conectada em série tem uma tensão de saturação consideravelmente pior do que a de um transistor de alta tensão equivalente: para três MOSFETs (como mostrado) a tensão ON é Vsatÿ3VDSon+3VGSon; para o circuito BJT é 3VCEon+3VBE.

Os transistores conectados em série podem, é claro, ser usados em outros circuitos além das fontes de alimentação. Às vezes, você os verá em amplificadores de alta tensão, embora a disponibilidade de MOSFETs de alta tensão muitas vezes torne desnecessário recorrer à conexão em série.

Em circuitos de alta tensão como este, é fácil ignorar o fato de que você pode precisar usar resistores de 1 watt (ou maiores), em vez do tipo padrão de 1/4 watt. Uma armadilha mais sutil aguarda os incautos, ou seja, a classificação de *tensão* máxima de um resistor, independentemente de sua classificação de dissipação de energia. Por exemplo, os resistores padrão de avanço axial de 1/4 de watt são limitados a 250 V e geralmente menos para tipos de montagem em superfície.151 Outro efeito subestimado são os surpreendentes coeficientes de tensão dos resistores de composição de carbono, quando executad

150 Muitos projetistas usam diodos de sinal comuns, em vez de zeners, presumindo que não há preocupação com a quebra do gate *direto* , porque os MOSFETs devem ligar vigorosamente muito antes do canal do gate quebrar. Não temos tanta certeza.

151 Especificamente, 200 V, 150 V, 75 V, 50 V e 30 V para os resistores de filme espesso CRCW da Vishay nos tamanhos 1206, 0805, 0603, 0402 e 0201, respectivamente.

tensões mais altas. Por exemplo, em uma medição real (Figura 9.112), um divisor de 1000:1 (10M, 10k) produziu uma taxa de divisão de 775:1 (erro de 29%) quando acionado com 1 kV; observe que o *poder* estava bem dentro das classificações. Este efeito não ôhmico é particularmente importante no divisor de detecção de tensão de saída de fontes e amplificadores de alta tensão - cuidado! Empresas como Ohmite (divisão Victoreen) e Caddock fabricam resistores em muitos estilos projetados para aplicações de alta tensão como esta. Consulte *§1x.2* para medições e discussões adicionais.

Além de seu uso em aplicações de alta tensão, outra motivação para a conexão em série de múltiplos transistores é distribuir uma grande dissipação de potência. Para tais aplicações de energia, onde você não está lidando com altas tensões, você pode, é claro, usar uma conexão *paralela* . Mas então você tem que garantir que a corrente seja dividida aproximadamente igualmente entre os múltiplos transistores. Para BJTs em paralelo, isso geralmente é feito com resistores de lastro de emissor individual, como vimos em §2.4.4. Mas esse esquema é problemático com MOSFETs, porque eles têm uma dispersão de tensões de porta-fonte, forçando você a permitir uma queda de tensão desconfortavelmente grande nos resistores de fonte. Isso pode ser resolvido, porém, com alguma inteligência; veja a Figura 3.117 para uma boa solução.

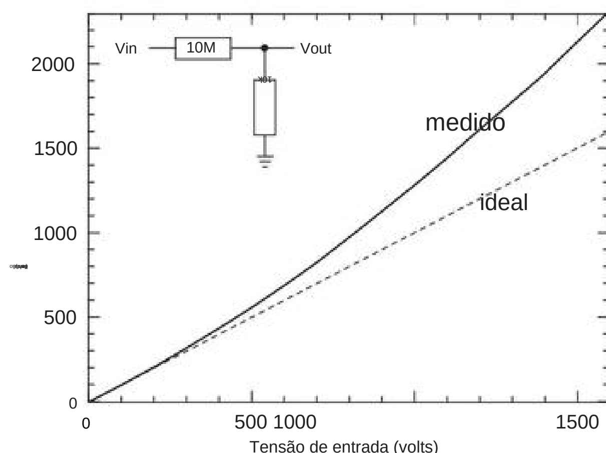


Figura 9.112. Os resistores de composição de carbono exibem uma redução na resistência à medida que se aproximam de seus 250 V nominais. Não use resistores acima de sua tensão nominal!

C. Regulador flutuante

Outro método às vezes usado para estender a faixa de tensão de reguladores integrados, incluindo o tipo simples de 3 terminais, é fazer todo o regulador flutuar acima do solo, por exemplo, conforme mostrado na Figura 9.113. Aqui, o zener D2 limita a queda no regulador de 3 terminais a apenas um alguns volts (a tensão zener menos a tensão de porta-fonte do Q1), com o MOSFET Q1 externo assumindo o restante da queda de tensão. O LT3080 é uma boa escolha aqui, com sua corrente de programação simples de 10 ÿA definindo a tensão de saída. ÿ Usamos o truque de um par de resistores (um “divisor de corrente”, que você pode imaginar como um multiplicador de corrente, visto do lado da fonte de 10 A) para aumentar a corrente de programação efetiva para 1 mA, para que pudéssemos usar ÿ uma corrente de 500k pote para definir a voltagem (em vez dos estranhos – e inalcançáveis – 50 megohms que de outra forma seriam necessários); a corrente de programação reforçada fornece casualmente a corrente de carga mínima de 0,5 mA do LT3080 também. A corrente Zener é fornecida pelo prático MOSFET de modo de depleção LND150 da Supertex, aqui reduzido para 0,2 mA com um resistor de auto-polarização de fonte.

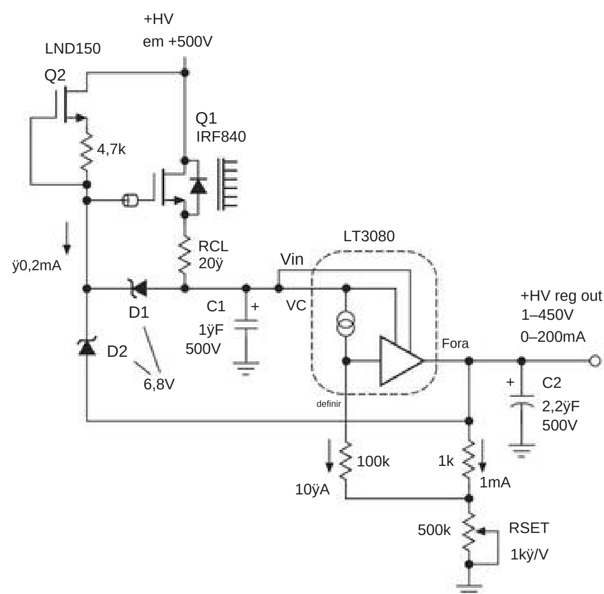


Figura 9.113. Regulador flutuante de três terminais de alta tensão.

Os componentes restantes são fáceis de entender: D1 protege o portão de Q1; o grânulo de ferrite suprime as oscilações (em vez disso, você pode usar um resistor de porta de 150 ÿ); e o LT3080 é equipado com seus capacitores de passagem de entrada e saída mínimos necessários. Se houver uma oportunidade para a entrada HV cair abaixo da tensão de saída, adicione um diodo ao LT3080 (diabos, faça isso de qualquer maneira).

Exercício 9.15. Explore a substituição de Q1 por um MOSFET de modo de depleção de alta corrente, como um IXTP3N50; ver Tabela 3.6. Você pode pensar em uma maneira de usá-lo para eliminar Q2 e os diodos zener, apesar do fato de que seu -VGS pode ser menor que o VDO(max) = 1,6 V exigido do LT3080 em altas correntes? *Dica:* um LM385-2.5 pode ser útil.

Revisão do Capítulo 9

Um resumo de A a K do que aprendemos no Capítulo 9.
Este resumo revisa os princípios e fatos básicos do Capítulo 9, mas não abrange os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. Taxonomia do regulador de tensão.
Os reguladores de tensão fornecem as tensões CC estáveis necessárias para alimentar todos os tipos de circuitos eletrônicos. O tipo mais simples (e menos ruidoso) é o regulador *linear* (Figura 9.2), no qual o sinal de erro de saída, adequadamente amplificado e compensado, é usado para controlar um "transistor de passagem" linear
(BJT ou MOSFET) que está em série com uma tensão de entrada DC mais alta (e talvez não regulada). Os reguladores lineares não são energeticamente eficientes, com dissipação Pdiss=Iout(VinÿVout), e não são capazes de produzir uma saída CC maior que a entrada, nem uma saída CC com polaridade invertida.

O regulador *de comutação* (ou *conversor de* comutação, *fonte de alimentação em modo de comutação,* SMPS ou apenas "switcher", §9.6) aborda essas deficiências, ao custo de algum ruído de comutação induzido e maior complexidade. A maioria das fontes de alimentação chaveadas usa um ou mais indutores (ou transformadores) e um ou mais interruptores saturados (geralmente MOS FETs) operando em frequências de chaveamento relativamente altas (50 kHz–5 MHz), para converter uma entrada CC (que pode ser regulada) a uma ou mais tensões de saída reguladas e estáveis; a última pode ser menor ou maior que a tensão de entrada, ou podem ser de polaridade oposta. O(s) indutor(es) armazena(m) e então transferem energia, em ciclos de comutação discretos, da entrada para a saída, com o(s) interruptor(es) controlando os caminhos de condução; com componentes ideais não haveria dissipação e a conversão seria 100% eficiente. O sinal de erro de saída, adequadamente amplificado e compensado, é usado para variar a largura do pulso ("PWM") ou a frequência do pulso ("PFM"). Os conversores *de comutação podem ser não isolados* (ou seja, entrada e saída compartilhando um aterramento comum, Figura 9.61) ou *isolados* (por exemplo, quando alimentados pela rede elétrica CA, Figura 9.73); para cada classe existem dezenas de topologias, veja ¶D abaixo.

Uma subclasse secundária de conversor de comutação é o conversor sem indutor (ou *conversor* "charge-pump"; ver §9.6.3), onde uma combinação de vários interruptores e um ou mais capacitores "flying" é usada para criar uma saída CC que pode ser um múltiplo da entrada CC ou uma saída de polaridade oposta (ou uma combinação de ambos). Para muitos deles, a(s) saída(s) acompanha(m) a entrada CC (ou seja, não regulada), mas também há variantes que regulam a saída controlando o ciclo de comutação. Ver Tabela 9.4 e Figuras 9.56 e 9.57.

¶B. A entrada CC.
Independentemente do tipo de conversor ou circuito regulador, você precisa fornecer alguma forma de entrada CC. Isso pode ser mal regulado, como por bateria (equipamento portátil) ou por corrente alternada retificada (equipamento alimentado pela rede, Figuras 9.25 e 9.48); ou pode ser uma tensão CC estável já existente dentro de um circuito (por exemplo, Figura 9.64). Para um instrumento alimentado por linha que usa um regulador linear, a entrada CC "não regulada" (com alguma ondulação CA) consiste em um transformador (para isolação galvânica e transformação de tensão) mais retificador (para conversão em CC) mais capacitor de armazenamento em massa (s) (para suavizar a ondulação da CA retificada). Por outro lado, em um comutador alimentado por linha (confusamente chamado de "off-line"), o transformador de linha de força é omitido, porque um transformador no circuito do comutador isolado fornece isolamento galvânico e é muito menor e mais leve, pois opera em níveis muito mais altos. Freqüência de comutação; veja a Figura 9.48.

Uma ponte de diodo e um capacitor de armazenamento convertem uma entrada CA em CC não regulada de onda completa, seja de um transformador de linha de força ou diretamente da linha CA. Ignorando a resistência do enrolamento e as indutâncias, a tensão de saída CC é aproximadamente Vdc = 1,4 Vrms ÿ 2 Vdiodo, e a tensão pico-a-pico é de aproximadamente 152 ÿVripple(pp)ÿIcarga/2 *fC,* onde *C* é a capacitância da saída CC capacitor de armazenamento e *f* é a frequência de entrada CA (60 Hz ou 50 Hz, dependendo dos limites geográficos e políticos). A corrente de entrada ca é confinada a pulsos relativamente curtos durante a parte da forma de onda que conduz aos picos positivos e negativos (consulte as Figuras 9.51 e 9.78). Esta forma de onda de baixo "fator de potência" é indesejável, porque produz aquecimento I2R excessivo e correntes de pico mais estressantes. Por esse motivo, todos, exceto os menores conversores de comutação, usam um estágio de entrada de correção do fator de potência (PFC) (Figura 9.77) para espalhar a forma de onda da corrente e, assim, criar uma corrente de entrada aproximadamente proporcional à tensão de entrada CA instantânea.

Os instrumentos alimentados por linha precisam de alguns componentes adicionais, tanto para segurança quanto para conveniência. Estes incluem um fusível, interruptor e filtro de linha opcional e supressor de transientes; eles geralmente são combinados em um "módulo de entrada de energia" IEC, consulte a Figura 9.49.

¶C. Reguladores lineares de tensão.
O regulador de tensão linear básico compara uma amostra da tensão de saída CC com uma referência de tensão interna (consulte ¶G, abaixo) em um *amplificador de erro* que fornece

152 De *I = C dV/ dt,* assumindo corrente de descarga aproximadamente constante alugar eu.

realimentação para um *transistor de passagem;* veja a Figura 9.2. A tensão de saída CC pode ser maior ou menor que a referência (Figuras 9.4 e 9.5), mas é sempre menor que a entrada CC. Você pode pensar nisso como um amplificador de potência de realimentação, que é propenso a instabilidade com cargas capacitivas, assim, o capacitor de compensação Cc na Figura 9.2D,E. O circuito final dessa figura mostra um circuito limitador de corrente (RCL e Q2) e também um pé-de- *cabra de sobretensão (D1* e Q3, ver ¶ J abaixo) para proteger a carga em caso de falha do regulador.

Todos os componentes do regulador de tensão linear tipo 723 original podem ser integrados em um único IC (Figura 9.6), formando um regulador fixo de "3 terminais", por exemplo, o clássico estilo 78xx (onde "xx" é seu voltagem de saída). Estes requerem apenas capacitores de bypass externos (Figura 9.8) para fazer um regulador completo. No entanto, existem apenas algumas tensões padrão disponíveis (por exemplo, +3,3 V, +5 V, +15 V); portanto, uma variante popular é o regulador *ajustável* de 3 terminais (por exemplo, o clássico tipo 317, consulte a Figura 9.9), que permite ajustar a tensão de saída com um divisor resistivo externo (Figura 9.10). As Figuras 9.14, 9.16 e 9.18 mostram algumas dicas de aplicação para este regulador muito flexível. Os reguladores de 3 terminais fixos e ajustáveis também estão disponíveis em polaridades negativas (79xx e LM337, respectivamente), bem como em variantes de baixa corrente (78Lxx e LM317L, respectivamente).

Uma desvantagem desses reguladores lineares clássicos é a necessidade de uma tensão de entrada que seja pelo menos ÿ2 V maior que a saída (sua *tensão de queda);* isso é necessário porque seu transistor de passagem opera como um seguidor de emissor (portanto, pelo menos uma queda de VBE) e o circuito de limite de corrente pode cair para outro VBE. Dois volts podem não parecer muito, mas são grandes em um circuito regulador de baixa tensão, por exemplo, um com uma saída de +2,5 Vcc. Para contornar esse problema, pode-se utilizar um regulador *low-dropout* (LDO), no qual o transistor de passagem (BJT ou MOSFET) é configurado como amplificador de emissor comum (ou fonte comum), veja a Figura 9.20; as tensões de queda resultantes são baixas em décimos de volt (Figura 9.24). Os LDOs são bons, mas custam mais e são mais propensos à instabilidade porque sua alta impedância de saída (coletor ou dreno) causa uma mudança de fase atrasada na capacitância de carga substancial. Os LDOs podem exigir uma capacitância de desvio de saída mínima significativa (até 10 F ou 47 F), frequentemente limitada a uma resistência em série equivalente (ESR) mínima e máxima, por exemplo, 0,1 ÿ min, 1 ÿ max; ÿ consulte a Tabela 9.3.

¶D. Topologias de conversão de comutação.

As topologias básicas *do switcher não isolado* são *buck* (ou "step-down"), *boost* (ou "step-up") e *invert* (ou "inverting buck-boost"); consulte §9.6.4 e Figura 9.61. O trem de força de cada um deles usa um indutor, um interruptor e um diodo (ou uma segunda chave atuando como um retificador ativo), além de capacitores de armazenamento de entrada e saída. Um conversor completo requer componentes adicionais: um oscilador, comparador, amplificador de erro, circuitos de acionamento e provisões para compensação e proteção contra falhas; veja por exemplo a Figura 9.65. Como acontece com os reguladores lineares, os fabricantes de semicondutores entraram em cena para fornecer a maioria dos componentes necessários como CIs empacotados, consulte as Tabelas 9.5a,b e 9.6.

Para o conversor buck Vout < Vin, e para o conversor boost Vout > Vin. O conversor inversor produz uma saída de polaridade oposta à entrada, e cuja magnitude de tensão pode ser maior ou menor que a tensão de entrada (isso também é verdade para o notável conversor Cuk, §9.6.8H). As respectivas tensões de saída CC são Vout(buck)=DVin, Vout(boost)=Vin/(1ÿD) e Vout(invert)= ÿ VinD/(1ÿD), onde *D* é o ciclo de trabalho de ativação D=tonelada/T. Existem também topologias buck-boost não inversoras que permitem que a faixa de tensão de saída seja compatível com a entrada (ou seja, capaz de ir acima ou abaixo da entrada). Exemplos são o buck-boost de 2 chaves (duas chaves, dois diodos, um indutor) e o SEPIC (uma chave, um diodo, dois indutores), veja a Figura 9.70. Obviamente, um conversor de comutação com um transformador (isolado ou não) fornece flexibilidade na polaridade de saída, bem como desempenho aprimorado para conversão de tensão de grande relação.

Conversores chaveados *isolados* usam um transformador (para isolação), além de um ou mais indutores (para armazenamento de energia), veja a Figura 9.73. No *conversor flyback* (Figura 9.73A) o transformador atua também como o indutor de armazenamento de energia (portanto, sem indutor adicional), enquanto no conversor *direto* e conversores de *ponte* (Figuras 9.73B-D) o transformador é "apenas um trans anterior", e os diodos e indutores completam o armazenamento e a transferência de energia. As respectivas tensões de saída CC são *Vout(flyback)=Vin[Nsec/ Npri][D/ (1ÿD)]* e *Vout(forward)=DVin(Nsec/ Npri).* De modo geral, os conversores flyback são usados em aplicações de baixa potência (200 W), conversores forward em aplicações de média potência (até ÿ500 W) e conversores de ponte para aplicações de potência real.

¶E. Regulação do comutador: histerético, modo de tensão e modo de corrente.

Existem várias maneiras de regular a tensão de saída CC de um conversor chaveado. O mais simples é o feedback *histerético ,* no qual o sinal de erro simplesmente habilita ou desabilita sucessivos ciclos de comutação. É uma forma de controle simples "bang-bang", sem problemas de estabilidade que exijam uma rede de compensação; consulte a Figura 9.64 para um projeto de conversor buck com

o popular MC34063. O controle PWM proporcional é melhor e vem em dois tipos: modo de tensão e modo de corrente. Ambos os métodos comparam a tensão de saída com uma referência fixa para regular a tensão de saída, mas o fazem de maneiras diferentes. No *modo de tensão* PWM, o sinal de erro de tensão de saída é comparado com a forma de onda dente de serra do oscilador interno para controlar a duração ON do interruptor primário , enquanto no *modo de corrente* PWM a rampa de comparação é gerada pela corrente crescente do indutor, com o oscilador interno usado apenas para iniciar cada ciclo de condução. Veja §9.6.9, e particularmente as Figuras 9.71 e 9.72.

Em ambos os casos, o controlador termina um ciclo de condução se o interruptor exceder um pico de corrente, a entrada cair abaixo de um limite de “bloqueio de subtensão” ou o chip exceder uma temperatura máxima. A Figura 9.65 mostra um conversor buck PWM de modo de tensão simples.

Os loops de controle do modo de tensão e do modo de corrente requerem compensação para estabilidade e cada um tem suas vantagens e desvantagens. Os controladores de modo de corrente parecem estar ganhando o concurso de popularidade, devido à sua melhor resposta transiente, proteção de comutação inerente (devido à limitação de corrente pulso a pulso), margem de fase de loop externo aprimorada e capacidade de ser paralelo.

¶F. Diversos conversores de comutação.

A conversão de comutação é um assunto rico, muitos detalhes que estão muito além do escopo deste capítulo (ou deste livro). Alguns tópicos – corrente de ondulação e projeto do indutor, saturação e reset do núcleo, indutância e snubbing de magnetização, partida suave, recuperação de diodo, modos de condução CCM e DCM, perdas de comutação, compensação de loop, modo burst, corrente de irrupção, barreiras de isolamento, PFC, *amplificadores* de comutação – são tratados levemente aqui e no Capítulo *9x.* Considere o tratamento deste capítulo de conversores de comutação como uma longa introdução a um campo especializado que pode facilmente consumir uma vida profissional.

¶G. Referências de Tensão.

Uma referência de tensão estável é necessária em qualquer regulador de tensão, bem como em aplicações precisas, como fontes de corrente de precisão, conversão A/D e D/A e circuitos de medição de tensão e corrente. Freqüentemente, uma boa referência de tensão é incluída em um CI regulador ou conversor (consulte, por exemplo, a Tabela 13.1), mas você pode querer o desempenho aprimorado que pode obter com uma referência externa de alta qualidade.
E, muitas vezes, você precisa de uma referência de tensão autônoma para outros usos em um circuito.

A referência de tensão mais simples é o *diodo zener* discreto (§9.10.1), mas a maioria das referências de tensão são circuitos integrados multicomponentes que se comportam externamente como um zener extremamente bom (“2 terminais” ou *shunt;* Tabela 9.7) ou como um regulador linear extremamente bom (“3 terminais” ou *série;* Tabela 9.8). As referências shunt devem ser polarizadas em condução (assim como um zener) fornecendo corrente de um trilho de alta tensão (use um resistor ou uma fonte de corrente), enquanto as referências em série são alimentadas conectando seus pinos de alimentação diretamente à alimentação CC. Referências de qualquer tipo estão disponíveis em um pequeno conjunto de tensões padrão, normalmente na faixa de 1,25 a 10,0 V.

O zener discreto de 2 terminais é bom para não críticos aplicações, mas sua precisão típica de ±5% é inadequada para circuitos de precisão. As referências integradas de qualquer tipo são muito melhores, com precisões de pior caso na faixa de 0,02% a 1% e tempcos variando de 1 ppm/ÿC a 100 ppm/ÿC, conforme mostrado nas tabelas. A maioria das referências integradas são baseadas em um circuito cuja temperatura compensa o VBE de um BJT (a chamada “referência bandgap”), gerando uma tensão estável de aproximadamente 1,24 V; mas outros usam um diodo zener enterrado com VZÿ7 V. Os últimos são geralmente mais silenciosos, mas as referências de bandgap podem operar a partir de baixas tensões de alimentação e estão amplamente disponíveis em tensões de 1,24 V, 2,50 V, etc. bom desempenho são a *referência JFET pinchoff* da ADI (as referências ADR400 “XFET”) e a referência *floating-gate* da Intersil. Ambos exibem um tempco muito bom e baixo ruído. Outras características importantes das referências de tensão são a *regulação* (Rout para tipos de derivação, PSRR para tipos de série), *capacitância de carga* mínima e estabilidade em cargas capacitivas, pinos de *ajuste* e *filtro* e estilo do *pacote* .

¶H. Dissipação de calor e energia.

Junto com a eletrônica de potência vem. . . *aquecer!* Você o remove com uma combinação de convecção (fluxo de ar) e condução (contato térmico com um dissipador de *calor dissipador).* O fluxo de calor condutivo é proporcional à diferença de temperatura entre os lados quente e frio (lei de resfriamento de Newton), ÿT=PdissRÿ, onde Rÿ é conhecido como “resistência térmica”. Para uma sucessão de juntas condutoras somam-se as resistências térmicas; assim, por exemplo, a temperatura de junção TJ de um semicondutor de potência dissipando Pdiss watts é TJ=TA+Pdiss(RÿJC+RÿCS+RÿSA), onde TA é a temperatura ambiente, e os sucessivos Rÿ's representam as resistências térmicas da junção para gabinete, gabinete para dissipador de calor e dissipador de calor para o ambiente. Padrões de lâmina de circuito impresso geralmente são adequados para dissipação de alguns watts ou menos (Figura 9.45); dissipadores de calor aletados ou superfícies metálicas do chassi são usados para maior remoção de calor, com fluxo de ar forçado geralmente necessário quando a dissipação de energia atinge níveis de 50 W ou mais (Figura 9.43). Dispositivos semicondutores podem

suportar dissipação de energia consideravelmente maior durante pulsos curtos; isso é algumas vezes especificado como um gráfico de *resistência térmica transitória* (ou seja, Rÿ versus duração do pulso e ciclo de trabalho), ou como contornos elevados em um gráfico de Área de Operação Segura (consulte ¶ I).

¶EU. Área operacional segura.

Um transistor de potência (seja BJT ou MOSFET) tem valores máximos especificados de tensão e corrente, e também (devido à temperatura máxima permitida na junção) um produto máximo VDSID (isto é, dissipação de potência) para uma dada temperatura de caixa; o último é apenas VDSIDÿ(TJ(max)ÿTC)/RÿJC. Esses limites definem uma *área operacional segura* (SOA, §9.4.2), geralmente mostrada como contornos nos eixos log–log de corrente versus tensão; veja por exemplo a Figura 3.95. Esse gráfico mostra mais duas características: (a) maior dissipação é permitida para pulsos curtos; (b) o SOA dos BJTs (mas não dos MOSFETs) é ainda mais limitado por um fenômeno conhecido como "segundo colapso".

¶ J. Pés-de-cabra de sobretensão.

Alguns modos de falha de conversores de energia causam excesso de saída tensão, por exemplo, um transistor de passagem em curto em um regulador linear ou perda de controle de realimentação em um comutador. Isso provavelmente danificará ou destruirá os circuitos energizados. Um pé-de-*cabra de sobretensão* (§9.13.1) detecta a sobretensão e aciona um SCR para causar um curto na saída. Uma técnica com menos força bruta interrompe a conversão quando uma sobretensão é detectada; estes são indicados na coluna "OVP" na Tabela 9.5b.

¶K. Fontes Atuais.

"Regulador" geralmente significa uma fonte *de tensão* estável; mas há muitos usos para uma fonte de *corrente* controlável (§9.3.14). Os reguladores lineares de três terminais são facilmente induzidos ao serviço da fonte de corrente (§9.3.14A). Existem também ICs de fonte de corrente dedicados, como o LM334 e o REF200. Os JFETs são fontes de corrente convenientes de 2 terminais e os MOSFETs de modo de depleção são excelentes fontes de corrente que podem operar em tensões de até 1 kV, consulte §9.3.14C. E não se esqueça da humilde fonte de corrente BJT discreta (§§2.2.6 e 2.3.7B), ou dos circuitos de fonte de corrente do amplificador operacional (§4.2.5: Howland; amplificador operacional + transistor).

LÓGICA DIGITAL

CAPÍTULO **10**

10.1 Conceitos básicos de lógica

10.1.1 Digital versus analógico

Até agora, lidamos principalmente com circuitos nos quais as tensões de entrada e saída variam em uma faixa contínua de valores: circuitos *RC* , amplificadores, integradores, retificadores, amplificadores operacionais etc. tensões contínuas (por exemplo, sinais de áudio) ou variações contínuas de instrumentos de medição (por exemplo, leitura de temperatura ou dispositivos de detecção de luz, ou sondas biológicas ou químicas).

No entanto, há casos em que o sinal de entrada é naturalmente discreto na forma, por exemplo, pulsos de um detector de partículas ou "bits" de dados de uma chave, teclado ou computador. Nesses casos, o uso de eletrônica digital (circuitos que lidam com dados feitos de 1s e 0s) é natural e conveniente. Além disso, muitas vezes é desejável converter dados contínuos (analógicos) em formato digital, e vice-versa, usando conversores analógico-digital (ADCs) e conversores digital-analógico (DACs), a fim de realizar cálculos no dados (com um computador ou processador de sinal) ou para armazenar grandes quantidades de dados como números. Em uma situação típica, um microprocessador ou computador pode monitorar sinais de um experimento ou processo industrial, controlar os parâmetros experimentais com base nos dados obtidos e armazenar para uso futuro os resultados coletados ou computados durante o andamento do experimento.

Outro exemplo interessante do poder das técnicas digitais é a transmissão de sinais analógicos sem degradação por ruído: um sinal analógico de áudio ou vídeo, por exemplo, capta "ruído" ao ser transmitido por cabo ou sem fio que não pode ser removido. Se, em vez disso, o sinal for convertido em uma série de números representando sua amplitude em instantes sucessivos de tempo, e esses números forem transmitidos como sinais digitais, a reconstrução do sinal analógico na extremidade receptora (feita com DACs) será sem erro, fornecer o nível de ruído no canal de transmissão não é grande o suficiente para impedir o reconhecimento preciso de 1s e 0s.
Essa técnica, conhecida como PCM (modulação por código de pulso), é particularmente atraente onde um sinal deve passar por uma série de "repetidores", pois a regeneração digital a cada palco garante uma transmissão silenciosa. As informações e imagens impressionantes enviadas por sondas planetárias do espaço profundo, por exemplo, a missão Pioneer 10 a Júpiter em 1973, foram armazenadas e transmitidas com PCM. Áudio e vídeo digital são agora comuns em casa, por exemplo, na forma do humilde CD óptico de 12 cm,[1] no qual a música é armazenada na forma de um par estéreo de números de 16 bits a cada 23 microssegundos (1,4 megabits /sec), 6 bilhões de bits (gigabits, Gb) de informações ao todo. E para os padrões contemporâneos trata-se de um meio de armazenamento de baixa velocidade e capacidade: os valores correspondentes para DVDs e Blu-rays são 10 e 48 megabits/s (máximo), com um armazenamento total de 38 e 200 gigabits por camada.

Na verdade, o hardware digital tornou-se tão poderoso que as tarefas que pareciam adequadas às técnicas analógicas geralmente são melhor resolvidas com métodos digitais. Por exemplo, um medidor analógico de temperatura pode incorporar um microprocessador e memória para melhorar a precisão, compensando o afastamento do instrumento da linearidade perfeita; da mesma forma para algo tão comum quanto uma balança de banheiro digital. Devido à ampla disponibilidade de microcontroladores baratos (menos de US$ 1), tais aplicativos são onipresentes. A casa média está inundada de dispositivos com processadores "embutidos": em todos os tocadores de música, aparelhos de televisão, celulares, lava-louças, máquinas secadora, fax, copiadora, forno microondas, cafeteira,. . . . de lavar e a lista é longa e às vezes surpreendente.[2] Em vez de tentar enumerar o que pode ser feito com a eletrônica digital, vamos começar a aprender sobre isso. Os aplicativos surgirão naturalmente à medida que avançamos.

---

[1] E suas contrapartes de vídeo: DVDs e discos Blu-ray (BD).

[2] Pode-se resumir a história da "conquista do digital sobre o analógico" mais ou menos assim: década de 1970 – fotografias planetárias enviadas digitalmente a 800 milhões de quilômetros de distância, mas a vida doméstica ainda governada pelo analógico; década de 1980 – o áudio digital (CDs) e o computador pessoal invadem a casa; década de 1990 – vídeo digital (DVDs), celulares e MP3s; década de 2000 – HDTV, conectividade sem fio digital, fotografia e videografia digital, Internet de alta velocidade e *Google;* e os anos 2010 (OK, OK, conhecemos o velho ditado "É difícil prever... especialmente o futuro") – disseminação digital universal e fusão de informação e mídia.

10.1.2 Estados lógicos

Por "eletrônica digital" queremos dizer circuitos nos quais existem apenas dois (geralmente) estados possíveis em qualquer ponto, por exemplo, um transistor que pode estar em saturação ou não-condutor. Geralmente escolhemos falar sobre tensões em vez de correntes, chamando um nível de ALTO ou BAIXO. Os dois estados podem representar qualquer um de uma variedade de "bits" (dígitos binários) de informação, como os seguintes:

um bit de um número;
se um interruptor está aberto ou fechado; se
um sinal está presente ou ausente; se algum
nível analógico está acima ou abaixo de algum limite predefinido;
se algum evento já aconteceu ou não; se alguma ação deve ou não ser tomada; e assim por diante.

A. ALTO e BAIXO Os estados de tensão ALTO e BAIXO representam os estados VERDADEIRO e FALSO da lógica booleana , de alguma forma predefinida. Se em algum ponto uma tensão ALTA representa VERDADEIRO, essa linha de sinal é chamada de " ALTO ativo" (ou "ALTO verdadeiro") e vice-versa. Isso pode ser confuso no início. A Figura 10.1 mostra um exemplo. SWITCH CLOSED é verdadeiro quando a saída é BAIXA; esse é um sinal "ativo-BAIXO" (ou "BAIXO-verdadeiro") e você pode rotular a derivação conforme mostrado (uma barra sobre um símbolo significa NÃO; essa linha é ALTA quando a chave *não* está fechada). Apenas lembre-se de que a presença ou ausência da barra de negação sobre a etiqueta informa se o fio está em um estado de tensão BAIXA ou ALTA quando a condição declarada (CHAVE FECHADA) é verdadeira.[3] A princípio, a ideia de ativo-BAIXO pode parecer, bem , *para trás;* por que não simplificar e proibir essa lógica invertida? Como veremos, porém, há boas razões para fazer as coisas "ao contrário" às vezes. Seja paciente.

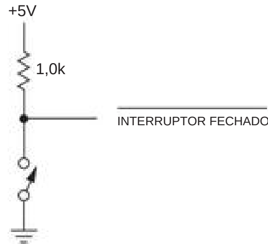


Figura 10.1. Um nível lógico BAIXO verdadeiro ("BAIXO ativo") .

[3] Às vezes, você verá os termos "positivo-verdadeiro" e "negativo-verdadeiro" usados para HIGH-true e LOW-true, respectivamente. Esses termos são aceitáveis, mas podem ser confusos para os inexperientes, especialmente porque não há tensões negativas envolvidas.

Um circuito digital "sabe" o que um sinal representa de onde vem, assim como um circuito analógico pode saber o que representa a saída de algum amplificador operacional. No entanto, flexibilidade adicional é possível em circuitos digitais; às vezes, as mesmas linhas de sinal são usadas para transportar diferentes tipos de informação, ou mesmo para enviá-la em direções diferentes, em momentos diferentes. Para fazer essa "multiplexação", informações adicionais também devem ser enviadas (bits de endereço ou bits de status). Você verá muitos exemplos dessa habilidade muito útil mais tarde. Por enquanto, imagine que um determinado circuito esteja conectado para executar uma função predeterminada e que saiba qual é essa função, de onde vêm suas entradas e para onde vão as saídas.

Para confundir um pouco uma situação basicamente simples, introduzimos 1 e 0. Esses símbolos são usados na lógica booleana para significar VERDADEIRO e FALSO, respectivamente, e às vezes são usados em eletrônica exatamente dessa maneira. Infelizmente, eles também são usados de outra forma, em que 1 = ALTO e 0 = BAIXO! Neste livro, tentamos evitar qualquer ambigüidade usando a palavra HIGH (ou o símbolo H) e a palavra LOW (ou o símbolo L) para representar estados lógicos, um método amplamente utilizado na indústria eletrônica. Usamos 1 e 0 apenas em situações em que não pode haver ambiguidade.

B. Faixa de tensão de ALTO e BAIXO Em circuitos digitais, os níveis de tensão correspondentes a ALTO e BAIXO podem cair em algum intervalo, de acordo com a família lógica específica.[4] Por exemplo, com CMOS de alta velocidade (família "HC") lógica operando a partir de uma fonte de +5 V, as tensões de *entrada* dentro de cerca de 1,5 volts de terra são interpretadas como BAIXAS, enquanto as tensões dentro de 1,5 volts de 5 a +5 V são interpretadas como ALTAS. Essas entradas são acionado pelas saídas de alguns outros dispositivos, para os quais as tensões de *saída* típicas de estado BAIXO e ALTO estão geralmente dentro de um décimo de volt de 0 e +5 V, respectivamente (a saída é um interruptor de transistor saturado para um dos trilhos; ver Figura 10.25). Isso permite a distribuição da fabricação,

[4] Uma "família" é uma implementação de hardware particular de lógica digital, caracterizada por tensão operacional, níveis de tensão lógica e velocidade. Por razões históricas, a maioria das famílias lógicas nomeia suas partes lógicas padrão com um prefixo de 74, seguido por algumas letras que nomeiam a família e terminando com alguns números que especificam a função lógica. As próprias funções lógicas são as mesmas entre as famílias. Por exemplo, um 74LVC08 é uma porta AND de 2 entradas (na verdade, quatro delas em um pacote) na família elétrica CMOS (LVC) de baixa tensão; o "08" designa um AND de 2 entradas quádruplas e o "74" designa um chip lógico para operação em temperaturas padrão. 5 Veja a caixa "Níveis Lógicos" para exemplos adicionais.

variações dos circuitos com temperatura, carga, tensão de alimentação, etc., e a presença de "ruído", o lixo diverso que se agrega ao sinal em seu percurso pelo circuito (de acoplamento capacitivo ou indutivo, interferência externa, etc). O circuito que recebe o sinal decide se é ALTO ou BAIXO e age de acordo.[6] Desde que o ruído não mude de 1s para 0s, ou vice-versa, está tudo bem, e qualquer ruído é eliminado em cada estágio, onde 0s "limpos" e 1s são regenerados. Nesse sentido, a eletrônica digital é silenciosa e perfeita.

O termo *imunidade a ruído* é usado para descrever o nível máximo de ruído que pode ser adicionado aos níveis lógicos (no pior caso) enquanto ainda mantém uma operação livre de erros. Como exemplo, a anteriormente popular família de lógica conhecida como "TTL" (transistor-transistor logic) lutou apenas com esse problema, porque tem apenas 0,4 V de imunidade a ruído: uma *entrada* TTL é garantida para interpretar qualquer coisa menor que +0,8 V como BAIXO e qualquer coisa maior que +2,0 V como ALTO, enquanto os níveis de *saída* do pior caso são +0,4 V e +2,4 V, respectivamente (consulte a caixa que acompanha os níveis lógicos). Na prática, a imunidade ao ruído será melhor do que a margem de 0,4 V do pior caso, com tensões típicas de BAIXO e ALTO de +0,2 V e +3,4 V e um limite de decisão de entrada próximo a +1,3 V. Mas lembre-se sempre de que, se você estiver fazendo bom projeto de circuito, você usa valores de pior caso. Vale a pena ter em mente que diferentes famílias lógicas têm diferentes quantidades de imunidade a ruído. O CMOS tem maior imunidade ao ruído de tensão do que o TTL, enquanto a família ECL (lógica acoplada ao emissor) veloz tem menos. Obviamente, a suscetibilidade ao ruído em um sistema digital depende também da amplitude do ruído presente, que por sua vez depende de fatores como rigidez do estágio de saída, indutância nos condutores de aterramento, existência de longas linhas de "ônibus", e taxas de variação de saída durante as transições lógicas (que produzem correntes transitórias e, portanto, picos de tensão na linha de aterramento, devido à carga capacitiva). Iremos nos preocupar com alguns desses problemas no Capítulo 12 (Enfrentando a Interlógica Lógica).

10.1.3 Códigos numéricos

A maioria das condições listadas anteriormente que podem ser representadas por um nível digital são autoexplicativas. como um digital nível pode representar parte de um número é uma questão mais complicada e muito interessante. Dito de outra forma, vimos *os bits como indicadores;* agora veremos *grupos de bits como um número.*

Um número decimal (base 10) é simplesmente uma sequência de números inteiros que são entendidos como multiplicadores de potências sucessivas de 10, sendo os produtos individuais então somados. Por exemplo,

$$137{,}06 = 1\times10^2 + 3\times10^1 + 7\times10^0 + 0\times10^{-1} + 6\times10^{-2}.$$

Dez símbolos (0 a 9) são necessários, e a potência de 10 de cada multiplicação é determinada por sua posição em relação ao ponto decimal. Se quisermos representar um número usando apenas dois símbolos (0 e 1), usamos o sistema numérico *binário* ou de base 2. Cada 1 ou 0 então multiplica uma potência sucessiva de 2. Por exemplo,

$$1101_2 = 1\times2^3 + 1\times2^2 + 0\times2^1 + 1\times2^0$$
$$= 13_{10}.$$

Os 1s e 0s individuais são chamados de "bits" (dígitos binários). O subscrito (sempre dado na base 10) informa qual sistema de numeração estamos usando, e muitas vezes é essencial para evitar confusão, já que os símbolos parecem todos iguais.

Convertemos um número de binário para decimal pelo método que acabamos de descrever. Para converter para o outro lado, continuamos dividindo o número por 2 e anotamos os restos. Para converter 13_{10} para binário, portanto:

13/2 = 6 resto 1, 6/2 = 3
resto 0, 3/2 = 1 resto 1,
1/2 = 0 resto 1,

do qual $13_{10} = 1101_2$. Observe que a resposta vem na ordem LSB (bit menos significativo) para MSB (bit mais significativo).

A. Representação hexadecimal ("hex") A representação de número binário é a escolha natural para sistemas de dois estados (embora não seja a única maneira; veremos algumas outras em breve). Como os números tendem a ficar bastante longos, é comum escrevê-los em representação hexadecimal (base 16): cada posição representa potências sucessivas de 16, com cada símbolo hexadecimal tendo um valor de 0 a 15 (os símbolos A–F são atribuídos aos valores 10–15). Para escrever um número binário em hexadecimal, basta agrupá-lo em grupos de 4 bits, começando pelo LSB, e escrever o equivalente hexadecimal de cada grupo:

$$707_{10} = 1011000011_2\ (= 10\ 1100\ 0011_2) = 2C3_{16}.$$

[6] Às vezes, os sinais digitais são enviados como um par de tensão diferencial, em vez de "single-ended". Isso é particularmente popular com sinais de alta velocidade mais longos, ou sinais que saem da placa em alguma distância, por exemplo, barramentos seriais rápidos, como USB, Firewire e SATA; também é comumente usado para distribuir sinais de clock de alta frequência. Um formato popular é o "LVDS" (sinalização diferencial de baixa tensão), no qual a amplitude do sinal diferencial é de aproximadamente 0,3 V, centrada em +1,25 V.

NÍVEIS LÓGICOS O diagrama na Figura 10.2 mostra as faixas de tensões que correspondem aos dois estados lógicos (ALTO e BAIXO) para famílias populares de lógica digital. Para cada família lógica é necessário especificar valores legais de ambas as tensões de saída e entrada correspondentes aos dois estados ALTO e BAIXO. As áreas sombreadas acima da linha mostram a faixa especificada de tensões de saída dentro das quais uma lógica BAIXA ou ALTA é garantida, com o par de setas indicando os valores de saída típicos (BAIXO, ALTO) encontrados na prática. As áreas sombreadas abaixo da linha mostram a faixa de tensões de entrada garantidas para serem interpretadas como BAIXA ou ALTA, com a seta indicando a tensão *limite lógica* típica , ou seja, a linha divisória entre BAIXA e ALTA. Em todos os casos, uma lógica ALTA é mais positiva que uma lógica BAIXA. A Tabela 10.1 e a Figura 10.26 fornecem informações adicionais sobre essas famílias, um assunto que veremos com mais detalhes no Capítulo 12.

Os significados de "mínimo", "típico" e "máximo" em especificações eletrônicas valem algumas palavras de explicação. De forma mais simples, o fabricante garante que os componentes cairão na faixa de mínimo a máximo, com muitos próximos do "típico". O que isso significa é que as especificações típicas são um guia aproximado para usar ao projetar circuitos; no entanto, esses circuitos devem funcionar adequadamente em toda a gama de especificações, do mínimo ao máximo (os extremos da variabilidade de fabricação). Em particular, um circuito bem projetado deve funcionar sob a pior combinação possível de valores mínimos e máximos. Isso é conhecido como *projeto de pior caso* e é essencial para qualquer instrumento produzido a partir de componentes de prateleira (ou seja, não especialmente selecionados).

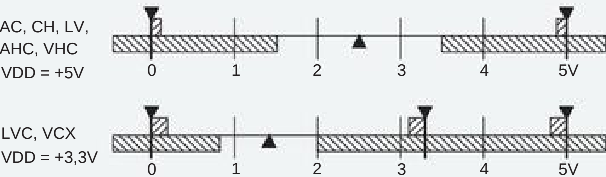


Figura 10.2. Níveis lógicos de algumas famílias lógicas populares.

Tabela 10.1 Famílias Lógicas Selecionadas

Família	Fabricantes	Tensão de alimentação (Vcc) mínimo (V)	máximo (V)	Vin max (V)	tpd (ns, tipo)	@ Vcc (V)	Pacotes disponíveis	SMT	1G,2G
74HC00	9	2	6	Vcc	9	5	•	•	•
74AC00	5	3	6	Vcc	6	5	•	•	-
74AHC00	2	2	5,5	Vcc	3.7	5	•	•	•
74LV00	2	1.2a	5.5	5.5	3.6	5	•	•	•
74LVC00	4	1,7	3,6	5,5	3,5	3,3b 3,3c	-	•	•
74ALVC00	3	1,7	3,6	3,6	2		-	•	-
74AUC00	1	0,8	2,7	3,6	0,9	1.8	-	•	•

Notas: (a) Somente NXP (somente especificações TI para 2V). (b) 6ns @ 1,8V. (c) 2,7 ns @ 1,8 V.

A representação hexadecimal7 é adequada para a organização popular de "bytes" (8 bits) de computadores, que geralmente são organizados como "palavras" de computador de 16, 32 ou 64 bits; uma palavra é então 2, 4 ou 8 bytes. Portanto, em hexadecimal, cada byte tem 2 dígitos hexadecimais, uma palavra de 16 bits tem 4 dígitos hexadecimais, etc. Por exemplo, os locais de memória em um microcontrolador com 65.536 ("64K") bytes de memória podem ser identificados por um endereço de 2 bytes, porque 216=65.536; o endereço mais baixo em hex é 0000h (o "h" à direita significa hex), o endereço mais alto é FFFFh, a segunda metade da memória começa em 8000h e o quarto quarto da memória começa em C000h.

Um byte localizado em algum lugar na memória do computador pode representar um número inteiro ou parte de um número. mas pode também representam outras coisas: por exemplo, um caractere alfanumérico (letra, número ou símbolo) é comumente representado como um byte. Na representação ASCII amplamente usada (mais em §14.7.8), "a" minúsculo é representado como valor ASCII 01100001 (61h), "b" é 62h, etc. Assim, a palavra "nerd" pode ser armazenada em um par de palavras de 16 bits cujos valores hexadecimais são 6E65h e 7264h.

B. Decimal codificado em binário Outra maneira de representar um número é codificar cada dígito decimal em binário. Isso é chamado de BCD (decimal codificado em binário) e requer um grupo de 4 bits para cada dígito. Por exemplo,

13710 = 0001 0011 0111 (BCD).

[7] As notações alternativas para um número hexadecimal (como 2C316) são 2C3H, 2C3h, 2c3h e 0x2C3.

Machine Translated by Google

Observe que a representação BCD *não* é a mesma que a representação binária, que neste caso seria 13710 = 100010012. Você pode pensar nas posições de bit (começando da direita) como representando 1, 2, 4, 8, 10, 20, 40, 80, 100, 200, 400, 800, etc. É claro que BCD é um desperdício de bits, porque cada grupo de 4 bits *pode* representar números de 0 a 15, mas BCD nunca representa números maiores que 9. No entanto, BCD é ideal se você deseja exibir um número em decimal, já que tudo o que você faz é converter cada caractere BCD no número decimal apropriado e exibi-lo. Por esse motivo, o BCD é comumente usado para entrada e saída de informações numéricas. Infelizmente, a conversão entre binário puro e BCD é complicada, porque *cada* dígito decimal depende do estado de quase todos os bits binários e vice-versa. No entanto, a aritmética binária é tão eficiente que a maioria dos computadores converte todos os dados de entrada em binário, convertendo de volta apenas quando os dados precisam ser enviados.

Pense em quanto esforço e incômodo teriam sido economizados se o *Homo sapiens* tivesse evoluído com 8 (ou 16) dígitos.8

Exercício 10.1. Converta para decimal: (a) 1110101,01102, (b) 11,01010101. . . 2, (c) 2AH. Converter para binário: (a) 102310, (b) 1023H. Converta para hexadecimal: (a) 102310, (b) 1011101011012, (c) 6145310.

Tabela 10.2 Inteiros com sinal de 4 bits em três sistemas de representação

Sinal- Desvio
Comp binário de magnitude inteira 2

+7	0111	1111	0111
+6	0110	1110	0110
+5	0101	1101	0101
+4	0100	1100	0100
+3	0011	1011	0011
+2	0010	1010	0010
+1	0001	1001	0001
0	0000	1000	0000
-1	1001	0111	1111
-2	1010	0110	1110
-3	1011	0101	1101
-4	1100	0100	1100
-5	1101	0011	1011
-6	1110	0010	1010
-7	1111	0001	1001
-8	-	0000	1000
(-0)	1000	-	-

C. Números com sinal

Representação sinal-magnitude Mais cedo ou mais tarde torna-se necessário representar números negativos em binário, particularmente em dispositivos onde alguma computação é feita. O método mais simples é dedicar um bit (o MSB, digamos) ao sinal, com os bits restantes representando a magnitude do número. Isso é chamado de "representação sinal-magnitude" e corresponde à maneira como os números com sinal são normalmente escritos (consulte a Tabela 10.2).

É usado quando os números são exibidos, bem como em alguns esquemas ADC. Em geral, não é o melhor método para representar números com sinal (exceto para números de ponto flutuante), particularmente quando algum cálculo é feito, por várias razões: o cálculo é complicado e a subtração é diferente da adição (ou seja, a adição não 't "funciona" para números assinados). Além disso, pode haver dois zeros (+0 e ÿ0), então você deve ter cuidado para usar apenas um deles.

Representação binária de deslocamento Um segundo método para representar números assinados é "binário de deslocamento", no qual você subtrai metade do maior número possível para obter o valor representado (Tabela 10.2). Isso tem a vantagem de que a sequência numérica do mais negativo para o mais positivo é uma progressão binária simples, o que a torna natural para "contadores" binários. O MSB ainda carrega as informações do sinal e o zero aparece apenas uma vez. Binário de deslocamento é popular em conversões A/D, mas ainda é complicado para computação.

Representação de complemento de 2 O método mais amplamente usado para computação de números inteiros é chamado de "complemento de 2". Nesse sistema, os números positivos são representados como binários sem sinal simples. O sistema é montado para que um número negativo seja simplesmente representado como o número binário que você adiciona a um número positivo da mesma magnitude para obter zero. Para formar um número negativo, primeiro complemente cada um dos bits do número positivo (ou seja, escreva 1 para 0 e vice-versa; isso é chamado de "complemento de 1") e, em seguida, adicione 1 (esse é o "complemento de 2") .9 Como você pode ver na Tabela 10.2, os números do complemento de 2 estão relacionados aos números binários de offset tendo o MSB complementado. Assim como as outras representações numéricas com sinal, o MSB carrega as informações de sinal. Existe apenas um zero, convenientemente representado por todos os bits 0 ("limpar" um contador ou registrador define seu valor para zero). Como o sistema de complemento de 2 é natural para a computação (ou seja, permite que os computadores tratem da

8 Se fosse o primeiro caso, não teríamos o polegar, poupando assim o flagelo de "enviar mensagens de texto".

9 Como alternativa, você pode simplesmente pensar nisso como um binário simples (sem sinal), mas com o MSB representando o negativo de seu valor normal.

inteiros positivos da mesma forma), é universalmente usado para aritmética inteira em computadores.10

D. Aritmética em complemento de 2 A aritmética é simples em complemento de 2. Para somar dois números, basta somar bit a bit (com carry), assim: 5+(ÿ2)=3:

0101	(+5)
+1110	(-2)
0011	(+3)

Para subtrair *B* de A, pegue o complemento de 2 de *B* e some (ou seja, adicione o negativo): 2ÿ5=ÿ3:

0010	(+2)
+1011	(-5)
1101	(-3)

(Observe neste último exemplo que +5=0101, então a composição de 1 é 1010 e a composição de 2 é ÿ5=1011.) A multiplicação também "funciona corretamente" na representação de complemento de 2. Tente os seguintes exercícios.

Exercício 10.2. Multiplique +2 por -3 na aritmética binária de complemento de 2 de 3 bits. *Dica:* a resposta é -6.

Exercício 10.3. Mostre que o complemento de 2 de -5 é +5.

Como um número inteiro de n bits pode representar apenas *2n* números, você pode obter estouro ou estouro insuficiente ao somar ou subtrair dois números de tamanho de palavra fixo. Para ser preciso, um inteiro sem sinal de n bits pode assumir valores de 0 a 2nÿ1, e um inteiro com sinal de complemento de n bits 2 pode assumir valores de *ÿ2nÿ1* a +2nÿ1ÿ1. Para números inteiros de 8 bits, esses intervalos são de 0 a 256 e -128 a +127. Para determinar se um add não assinado estourou (e, portanto, está incorreto), simplesmente observe se ele gerou um carry out do MSB. Para números de complemento de 2 assinados, o critério análogo é um pouco estranho: se o bit de sinal (o MSB) for alterado *por car ries* (ou seja, se um carry in para o MSB não for balanceado por um carry out, ou vice-versa), o resultado está incorreto.

Exercício 10.4. Verifique esse critério improvável fazendo uma adição de complemento de 2 de cada um dos seguintes pares de números com sinal, assumindo um tamanho de palavra de 4 bits: 7 + (-6); 7 + 7; 7 + 4; ÿ7 + (ÿ8).
Em seguida, repita as mesmas somas com um tamanho de palavra de 5 bits, no qual todas as respostas devem caber.

E. Código Gray
O seguinte código é usado para encoders mecânicos lineares e de ângulo de eixo e para certos ADCs, entre outras coisas.

[10] Observe, no entanto, que os números de "ponto flutuante" são geralmente representados na forma de "magnitude de sinal", ou seja, sinal-expoente-mantissa.

É chamado de código Gray,11 e tem a propriedade de que apenas um bit muda ao passar de um estado para o outro. Isso evita códigos incorretos nas transições, que de outra forma produziriam erros porque não há como garantir que todos os bits mudarão simultaneamente no limite entre dois valores codificados. Se fosse usado o binário direto, seria possível gerar uma saída de 7 indo de 3 para 4, por exemplo. Aqui está uma regra simples para gerar estados de código Gray: comece com um estado de todos os zeros. Para chegar ao próximo estado, sempre altere o bit menos significativo que o leva a um novo estado.

Estado	Binário	cinza
0	000	000
1	001	001
2	010	011
3	011	010
4	100	110
	101	111
5 6	110	101
7	111	100

A Figura 10.3 mostra como um encoder de ângulo codificado em Gray elimina códigos falsos nas transições. Os códigos Gray podem ser gerados com qualquer número de bits. Eles encontram uso também em "codificação paralela" (também chamada *de conversão flash),* uma técnica de conversão A/D de alta velocidade que veremos mais adiante. Falaremos sobre tradução entre representações de código Gray e código binário na próxima seção (incluindo uma implementação de portão na Figura 10.10).

10.1.4 Gates e tabelas verdade

A. Lógica combinacional versus lógica sequencial Na eletrônica digital, o nome do jogo é gerar saídas digitais a partir de entradas digitais. Por exemplo, um *somador* pode receber dois números de 16 bits como entradas e gerar uma soma de 16 bits (mais carry). Ou você pode construir um circuito para multiplicar dois números. Esses são os tipos de operações que a unidade de processamento de um computador deve ser capaz de fazer. Outra tarefa pode ser comparar dois números para ver qual é o maior ou comparar um conjunto de entradas com a entrada desejada para garantir que "todos os sistemas funcionem". Ou você pode querer calcular um "bit de paridade" e anexá-lo a um número para fazer o

[11] Frank Gray, do Bell Telephone Laboratories, recebeu uma patente para *Pulse Code Modulation* em 1953. Ela revelou um "novo código" para A/D conversão, que ele chamou de "código binário refletido", mas conhecido posteriormente como código Gray. Estes foram evidentemente descobertos anteriormente, no entanto, por ninguém menos que Emile Baudot (do qual deriva "baud"), que os usou na telegrafia em 1878.

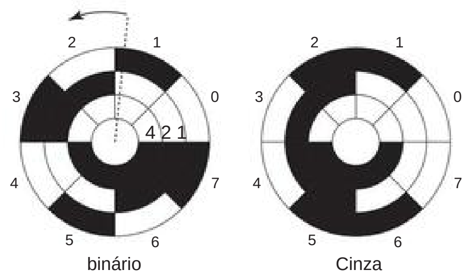


Figura 10.3. Duas versões de um codificador de ângulo de 3 bits. Setores pretos ou brancos representam 1 ou 0 para cada um dos três bits codificados (de valor 4, 2 e 1 para a codificação binária). A codificação binária é propensa a erros em transições como 1ÿ2 (mostrado), onde mais de um bit deve mudar simultaneamente; O código Gray contorna esse problema.

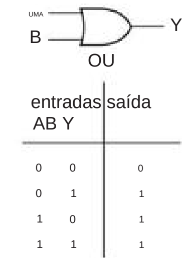
número total de 1s mesmo, digamos, antes da transmissão por um link de dados; então a paridade pode ser verificada no recebimento como uma simples verificação da transmissão correta. Outra tarefa típica é pegar alguns números expressos em binário e exibi-los ou imprimi-los como caracteres decimais. Todas essas são tarefas nas quais a saída ou saídas são funções predeterminadas da entrada ou entradas. Como classe, são conhecidas como tarefas *combinacionais12* . Todos eles podem ser realizados com dispositivos chamados *portas,* que executam as operações de algebra booleana aplicadas a sistemas de dois estados (binários).

Há uma segunda classe de problemas que não podem ser resolvidos apenas pela formação de uma função combinacional das entradas, mas também requerem o conhecimento das entradas anteriores. Sua solução requer o uso de redes *sequenciais* . Tarefas típicas desse tipo podem ser converter uma sequência de bits em forma serial (um após o outro) em um conjunto paralelo de bits, ou manter a contagem do número de 1s em uma sequência, ou reconhecer um certo padrão em uma sequência, ou dando um pulso de saída para cada quatro pulsos de entrada, ou controlando o estado de um sistema com o passar do tempo. Todas essas tarefas requerem algum tipo de memória digital. O dispositivo básico aqui é o "flip flop" (o nome chique é "multivibrador biestável").

Começamos com portas e lógica combinacional, já que são básicos para tudo. A vida digital ficará mais interessante quando chegarmos aos dispositivos sequenciais, mas não faltarão brincadeiras e brincadeiras só com portões.

B. Porta OR A
saída de uma porta OR é nível ALTO se uma das entradas (ou ambas) for nível ALTO. Isso pode ser expresso em uma *tabela verdade,* conforme mostrado na Figura 10.4. A porta ilustrada é uma porta OR de 2 entradas . Em geral, as portas podem ter qualquer número de entradas, mas, quando empacotadas na forma de ICs de "lógica padrão", você obtém de uma a quatro portas em um único pacote de IC.13 Por exemplo, uma porta OR de 4 entradas terá uma saída ALTA se qualquer entrada (ou mais) for ALTA.

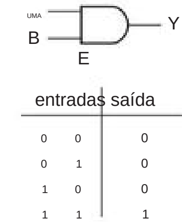
O símbolo booleano para OR é +. *"A* OU B" é escrito como A+B (em texto), ou como A | B (nas linguagens de codificação Verilog ou C).



entradas A	B	saída Y
0	0	0
0	1	1
1	0	1
1	1	1

Figura 10.4. Porta OR de 2 entradas e tabela verdade.

C. Porta AND A
saída de uma porta AND é nível ALTO somente se ambas as entradas forem nível ALTO. O símbolo lógico e a tabela verdade são mostrados na Figura 10.5. Assim como as portas OR , as portas AND estão disponíveis com 3 ou 4 (às vezes mais) entradas. Por exemplo, uma porta AND de 8 entradas terá uma saída ALTA somente se *todas as* entradas forem ALTO.



entradas		saída
0	0	0
0	1	0
1	0	0
1	1	1

Figura 10.5. Porta AND de 2 entradas e tabela verdade.

O símbolo booleano para AND é um ponto (·); isso pode ser omitido, e geralmente é. *"A* AND B" é escrito *A·B,* ou simplesmente *AB* (no texto), ou como A&B (em Verilog ou C).

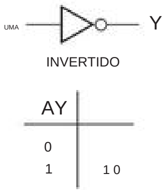
D. Inversor (a função NÃO)

Frequentemente precisamos do complemento de um nível lógico. Essa é a função de um inversor, uma "porta" com apenas uma entrada (Figura 10.6).

O símbolo booleano para NOT é uma barra sobre o símbolo,

12 Às vezes chamado de *combinatória.*

13 A alternativa à lógica padrão é a "lógica programável", na qual você pode conectar sua própria rede de portas, até centenas de milhares dentro de um único CI barato. Teremos muito a dizer sobre isso mais adiante neste capítulo, começando em §10.5.4 e em detalhes no Capítulo 11.



A	Y
0	
1	1 0

Figura 10.6. Inversor (NOT gate) e tabela verdade.

ou às vezes um símbolo de primo ( ). “NOT A” é escrito *A* ou *A* Para conveniência dos tipógrafos, os símbolos /, ÿ, ÿ, e são freqüentemente usados no lugar da barra superior, para indicar NOT, assim, “NOT A” pode ser escrito como qualquer um dos: ÿA, ÿA, /A, Aÿ, A/. Um determinado documento a seguir. A geralmente escolherá uma dessas alternativas e se apegará a ela o tempo todo. Escolhemos a NÃO está escrito como ÿ*A* para este livro. Em linguagens de codificação

Um aparte: tempo de propagação

No mundo real, dispositivos lógicos como portas e inversores não operam instantaneamente quando apresentados a um nível de entrada alterado: leva um *tempo de propagação (tp)* para que a notícia chegue da entrada à saída. A Figura 10.7 mostra os traçados de escopo reais para as saídas do inversor de cinco famílias lógicas, quando acionado com um pulso ativo-BAIXO de 15 ns. As novas famílias de baixa tensão (74AUC, 74AVLC) são mais rápidas, com tempos de propagação de 2 ns ou menos.

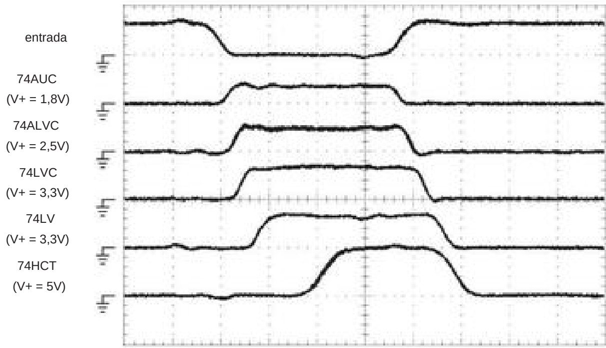
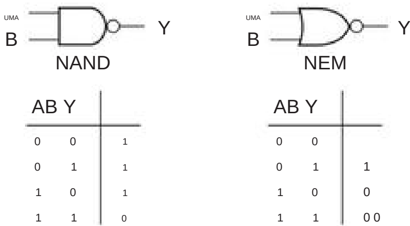


Figura 10.7. As portas lógicas reais levam alguns nanossegundos para responder a uma entrada variável. Conduzimos inversores de cinco famílias lógicas populares com o pulso de “entrada” BAIXO ativo e observamos as saídas mostradas. A família mais lenta (74HCT, acionada com uma oscilação de 5 V) exibe atrasos de 9 ns e 5 ns das bordas inicial e posterior, respectivamente, resultando em uma largura de pulso de saída reduzida. Vertical: 5 V/div; Horizontal: 4 ns/div.

E. NAND e NOR A função INVERT pode ser combinada com portas, formando NAND e NOR (Figura 10.8), que são um pouco mais mais populares do que AND e OR (porque, tendo uma inversão, eles podem ser transformados em qualquer uma das outras portas, como veremos em breve).

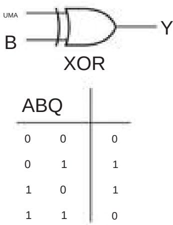


A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

A	B	Y
0	0	
0	1	1
1	0	0
1	1	0 0

Figura 10.8. NAND e NOR, e tabelas de verdade.

F. OU- exclusivo OU-exclusivo (XOR) é uma função interessante, embora menos fundamental que AND e OR (Figura 10.9). A saída de uma porta XOR é ALTA se uma ou outra (mas não ambas) entrada for ALTA (nunca14 tem mais de duas entradas). Outra maneira de dizer isso é que a saída é ALTA se as entradas forem diferentes. A porta XOR é idêntica à adição módulo-2 de dois bits. O símbolo booleano para XOR é ÿ. *“A* XOR B” é escrito AÿB (em Verilog ou C).15



A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Figura 10.9. XOR e tabela verdade.

Exercício 10.5. Mostre como usar a porta OR exclusiva como um “inversor opcional”, ou seja, ela inverte um sinal de entrada ou armazena-o em buffer sem inversão, dependendo do nível em uma entrada de controle.

Exercício 10.6. Verifique se os circuitos da Figura 10.10 convertem código binário em código Gray e vice-versa.

14 Bem, quase nunca: o '1G386 afirma ser um “ portão XOR de 3 entradas ”, embora o chamemos de gerador de paridade de 3 entradas.

15 Onde, no entanto, o símbolo feio ˆ é usado, provavelmente porque ele foi incluído em teclados padrão, com a intenção de sotaque de língua estrangeira, mas evidentemente sequestrado pelos autores brincalhões de linguagens de programação. No texto, usamos o símbolo de “cunha” de aparência mais agradável ÿ, ignorando os uivos zombeteiros dos puristas da linguagem C.

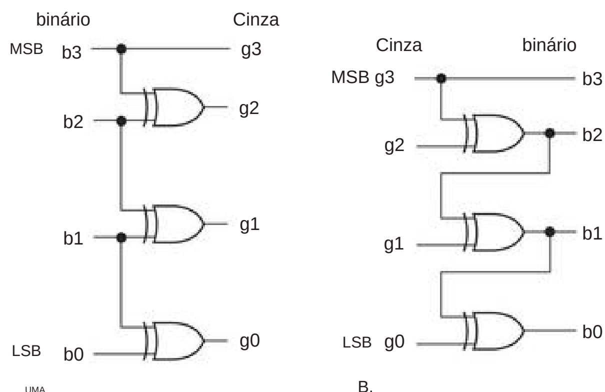


Figura 10.10. Conversores de código paralelo: binário para Gray e Gray para binário.

	E	OU	NÃO	XOR
No texto	AB	A+B	A	AÿB
ABEL	A & B	A # B	!UMA	A$B
Verilog	A&B	A | B	ÿA	AÿB
VHDL	A e B	A ou B	não A	A xor B

Figura 10.11. Sintaxe para operações lógicas, conforme expresso em linguagens de descrição de hardware ou em texto corrido. Para esses operadores, o CUPL compartilha os mesmos símbolos do ABEL. Os símbolos alternativos para uso em texto são os seguintes: para AND A · B; para NÃO qualquer um dos seguintes: A , A*, *A, /A, A/, ÿA.

G. Lógica básica: linguagem de descrição de hardware

Até agora, usamos *símbolos esquemáticos* para a lógica básica de portas. No entanto, quando você usa dispositivos lógicos *programáveis* (PLDs: Capítulo 11), em vez de lógica padrão pré-fabricada, você deve inserir, como texto, as funções lógicas que deseja implementar. Isso é feito em uma *linguagem de descrição de hardware* (HDL), com nomes como Verilog ou VHDL. O software dedicado então engole e converte essas expressões, criando um arquivo que é usado para programar a parte real (ou, para aplicações de grande volume, para criar um IC "completo personalizado"). A nomenclatura mostrada na Figura 10.11 mostra como essas operações lógicas básicas são expressas nas diversas linguagens de programação usadas para dispositivos lógicos programáveis e CIs personalizados.

Como um exemplo simples, a lógica Gray-para-binário mostrada esquematicamente na Figura 10.10B poderia ser escrita no Verilog HDL (seguindo algumas declarações chatas) como:

```
atribuir b3 =
g3; atribuir b2 =
g2ÿg3; atribuir b1 =
g1ÿ(g2ÿg3); atribuir b0 = g0ÿ(g1ÿ(g2ÿg3));
```

10.1.5 Circuitos discretos para portas

Antes de discutir as aplicações de portas, vamos ver como fazer portas a partir de componentes discretos. A Figura 10.12 mostra um diodo AND gate. Se uma das entradas for mantida em nível BAIXO, a saída será nível BAIXO. A saída pode ir para o nível ALTO somente quando ambas as entradas forem para o nível ALTO. Este circuito funciona, mas tem muitas desvantagens. Em particular: (a) sua saída BAIXA é uma queda de diodo acima do sinal mantendo a entrada BAIXA – obviamente você não poderia usar muitos deles seguidos! (b) não há "fan-out" (capacidade de uma saída acionar várias entradas), pois qualquer carga na saída é percebida pelo sinal na entrada; (c) é lento, devido ao pullup resistivo.

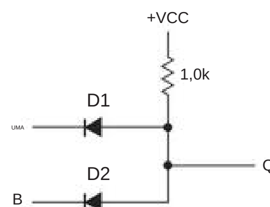


Figura 10.12. Diodo E porta.

A Figura 10.13 mostra como corrigir algumas dessas desvantagens, usando um par de interruptores de transistor *npn* para criar uma porta NOR , seguido por um inversor para transformá-la em uma porta OR.16 Um nível ALTO em uma das entradas (ou ambas) é ativado em menos um dos transistores de entrada, puxando sua saída comum para BAIXO. Como esta parte da porta é intrinsecamente invertida (é uma NOR), você adiciona um inversor, como mostrado, para transformá-la em uma porta OR de 2 entradas (não inversora).

Circuitos lógicos usando transistores bipolares foram quase totalmente substituídos por circuitos MOS. A Figura 10.14 mostra o circuito análogo de porta NOR/OR , com chaves de transistor MOS de canal n substituindo as chaves *npn* bipolares da Figura 10.13. A implementação MOS tem a vantagem de não exigir corrente de entrada (embora a capacitância de entrada signifique que você precisa fornecer corrente durante as transições de entrada). Mas ainda tem algumas desvantagens, como velocidade de comutação limitada e dissipação de energia significativa (devido a

16 Este circuito foi usado na família de lógica conhecida como RTL (lógica resistor-transistor), que era popular na década de 1960 por causa de seu baixo preço, mas agora está completamente obsoleto.

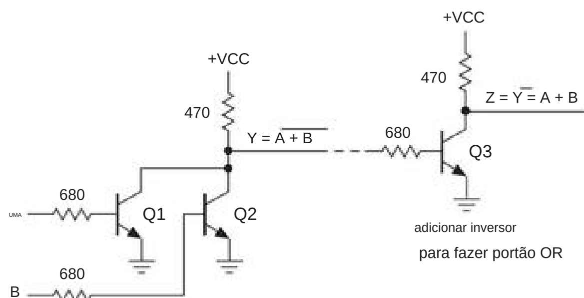


Figura 10.13. Lógica resistor-transistor: O estágio de entrada NOR , seguido pelo inversor, cria uma porta OR de 2 entradas.

resistores pull-up resistivos). Ambos os problemas são elegantemente resolvidos pelo uso de transistores MOS ("CMOS") complementares em um arranjo push-pull, como discutimos anteriormente em §3.4.4A.

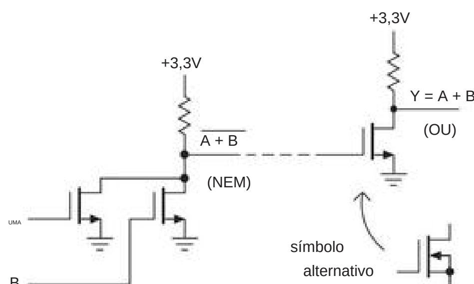


Figura 10.14. Uma porta OR nMOS . Os projetistas de circuitos digitais simplificam o símbolo MOSFET, sempre omitindo o terminal do substrato; eles geralmente centralizam a fixação do portão também e indicam a polaridade em vez disso com uma bolha no portão, conforme mostrado no par inferior da Figura 3.6.

Embora os circuitos de portas discretas ilustrados sejam simples de entender, você não os usaria na prática por causa de suas desvantagens. Na verdade, exceto em raras circunstâncias17 , você nunca construiria portas (ou qualquer outra lógica) a partir de componentes discretos, uma vez que uma gama completa de excelentes lógicas está disponível como CIs baratos e compactos, como veremos em breve. Atualmente quase todos os circuitos lógicos IC são construídos com MOSFETs complementares (CMOS). Olhar Volte à Figura 3.91 para se lembrar de como você faria um portão CMOS NAND .

10.1.6 Exemplo de lógica de porta

Vamos elaborar um circuito para executar a lógica que demos como exemplo nos Capítulos 1 e 2: a tarefa de soar uma campainha se uma das portas do carro estiver aberta e o motorista estiver sentado. A resposta é óbvia se você reafirmar o problema como "saída ALTA se a porta esquerda OU a porta direita estiver aberta E o motorista estiver sentado", ou seja, $Q = (L + R)S$. A Figura 10.15 mostra isso com portas. A saída da porta OR é ALTA se uma porta OR (ou ambas) estiver aberta. Se for assim, E o motorista estiver sentado, *Q* vai para ALTO. Com um transistor adicional, isso pode ser feito para soar uma campainha ou fechar um relé.18

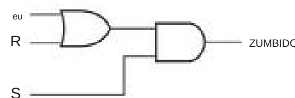


Figura 10.15. Exemplo de porta de carro: níveis ativos ALTOS .

Na prática, as chaves que geram as entradas provavelmente fecharão um circuito para o terra, para economizar fiação extra (entre outras razões). Isso significa, por exemplo, que as entradas vão para BAIXO quando uma porta é aberta. Em outras palavras, temos entradas "ativas em nível BAIXO". Vamos refazer o exemplo com isso em mente, chamando as entradas $\bar{L}$,$\bar{R}$ e $\bar{S}$.

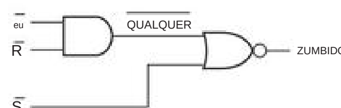


Figura 10.16. Exemplo de porta de carro: níveis ativos BAIXOS causam confusão sion.

Primeiro, precisamos saber se a entrada da porta $(\bar{L}, \bar{R})$ é BAIXA; ou seja, devemos distinguir o estado "ambas as entradas em ALTO" de todos os outros. Essa é uma porta AND . Portanto, tornamos $\bar{L}$ e $\bar{R}$ as entradas para uma porta AND . A saída será BAIXA se qualquer uma das entradas for BAIXA; chame isso de QUALQUER. Agora precisamos saber quando EITHER é LOW e $\bar{S}$ é LOW; ou seja, devemos distinguir o estado "ambas as entradas LOW" de todos os outros. Isso é um portão OR . A Figura 10.16 mostra o circuito. Usamos uma porta NOR , em vez de uma porta OR , para obter a mesma saída que

17 Em algumas aplicações industriais e de consumo, onde robustez e simplicidade são importantes, você encontrará circuitos como a Figura 10.13, construídos a partir de componentes discretos. Para isso, você pode obter transistores com resistores de base integrados (ou divisor de base); eles são chamados de "transistores de resistor de polarização" (BRTs), "transistores pré-polarizados" ou, algumas vezes, "transistores digitais". Eles são ridiculamente baratos, apenas $ 0,02 cada em quantidade. Eles são fabricados por empresas como ON semiconductor, Diodes Inc. e Rohm.

18 Esse circuito de porta em particular acabou de ser feito, em um minúsculo pacote minilógico, como um 74LVC1G3208; eles chamam isso de " porta OR-AND positiva de 3 entradas ". Mas não espere esse nível de serviço para todas as suas necessidades de circuito de portão.

anteriormente, ou seja, a saída *Q* é ALTA quando a condição desejada está presente. Algo estranho parece estar acontecendo aqui, no entanto. Usamos AND em vez de OR (e vice-versa), em comparação com o circuito anterior. A Seção 10.1.7 deve esclarecer o assunto. Primeiro, porém, considere o seguinte exercício.

Exercício 10.7. O que os circuitos mostrados na Figura 10.17 fazem?

A. Intercambiabilidade de portas Ao projetar circuitos digitais, lembre-se de que é possível formar um tipo de porta a partir de outro. Por exemplo, se você precisa de uma porta AND e tem metade de um 74LVC00 disponível (quad 2-input NAND), você pode substituí-la conforme mostrado na Figura 10.18. A segunda NAND funciona como um inversor, fazendo AND. Os exercícios a seguir devem ajudá-lo a explorar essa ideia.

Exercício 10.8. Usando portas de 2 entradas, mostre como fazer (a) IN VERT de NOR, (b) OR de NORs e (c) OR de NANDs.

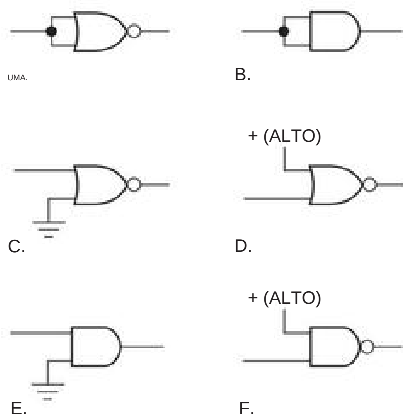


Figura 10.17. Configurações de portas para o Exercício 10.7.

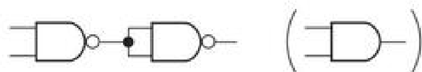


Figura 10.18. Fazendo AND de NANDs.

Exercício 10.9. Mostre como fazer (a) um AND de 3 entradas a partir de ANDs de 2 entradas , (b) um OR de 3 entradas a partir de ORs de 2 entradas , (c) um NOR de 3 entradas a partir de NORs de 2 entradas e (d) um AND de 3 entradas de NANDs de 2 entradas.

Em geral, o uso múltiplo de um tipo de porta inversora (por exemplo, NAND) é suficiente para fazer qualquer função combinacional. No entanto, isso não é verdade para uma porta não inversora, porque não há como fazer INVERT. Isso provavelmente ac conta para a maior popularidade de NAND e NOR no projeto lógico.

10.1.7 Notação lógica em nível de asserção

Uma porta AND tem uma saída ALTA se ambas as entradas forem ALTAS. Portanto, se ALTO significa "verdadeiro", você obtém uma saída verdadeira somente se todas as entradas forem verdadeiras. Em outras palavras, com a lógica ALTA ativa , uma porta AND executa a função AND . O mesmo vale para OU.

O que acontece se BAIXO significa "verdadeiro", como no último exemplo? Uma porta AND dá um LOW se uma das entradas for verdadeira (LOW): é uma função OR ! Da mesma forma, uma porta OR fornece um nível BAIXO somente se ambas as entradas forem verdadeiras (BAIXO). É uma função AND ! Muito confuso.

Há duas maneiras de lidar com esse problema. A primeira maneira é pensar em qualquer problema de design digital como fizemos anteriormente, escolhendo o tipo de porta que fornece a saída necessária. Por exemplo, se você precisar saber se alguma das três entradas está em nível BAIXO, use uma porta NAND de 3 entradas. Este método ainda é usado por alguns designers equivocados. Ao projetar dessa maneira, você desenharia uma porta NAND , mesmo que a porta esteja executando uma função NOR nas entradas (BAIXO ativo) .

Você provavelmente rotularia as entradas como na Figura 10.19.

Neste exemplo, CLEAR MR (reinicialização principal) e RESET podem ser níveis BAIXOS ativos vindos de vários lugares em um circuito. A saída, CLR, é ativa em nível ALTO e irá para os dispositivos que devem ser limpos se *algum* dos sinais de reinicialização for BAIXO (verdadeiro).



Figura 10.19. Notação confusa para a função OR de sinais ativos em nível BAIXO .

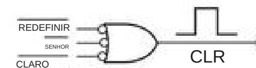


Figura 10.20. Use "bolhas" de entrada invertida para entradas ativas em BAIXO.

A segunda maneira de lidar com o problema de sinais de nível BAIXO ativo é usar a "lógica de nível de afirmação". Se uma porta executa uma função OU em entradas ativas em nível BAIXO , desenhe-a dessa maneira, como na Figura 10.20. A porta OR de 3 entradas com entradas negadas é funcionalmente idêntica à NAND de 3 entradas anterior .

Essa equivalência revela-se uma importante identidade lógica, conforme afirmado no teorema de DeMorgan, e iremos detalhar várias dessas identidades úteis em breve. Por enquanto, basta saber que você pode mudar AND para OR (e

vice-versa) se você negar a saída e todas as entradas (consulte a Tabela 10.3). A lógica em nível de asserção parece proibitiva a princípio, por causa da proliferação de portões de aparência esquisita. É melhor, porém, porque as funções lógicas das portas do circuito se destacam claramente. Você o achará amigável depois de usá-lo por um tempo e não desejará usar mais nada.

Vamos refazer o exemplo da porta do carro novamente com lógica de nível de asserção (Figura 10.21). A porta à esquerda determina se *L* ou *R* é verdadeiro, ou seja, BAIXO, dando uma saída ativa em BAIXO. A segunda porta fornece uma saída ALTA se ambos *(L +R)* e *S* forem verdadeiros, ou seja, BAIXO. Pelo teorema de DeMorgan (depois de um tempo você nem vai precisar disso, vai reconhecer essas portas como equivalentes) a primeira porta é AND e a segunda é NOR, assim como no circuito desenhado anteriormente. Dois pontos importantes.

1. Active-LOW (ou LOW-true) às vezes é chamado de "negative-true", mas isso não significa que os níveis lógicos são de *polaridade negativa.*[19] Isso significa que o menor dos dois estados (LOW) significa TRUE.
2. O símbolo usado para desenhar a própria porta assume a lógica HIGH ativa. Uma porta NAND usada como um OR para sinais ativos de BAIXO pode ser desenhada como um NAND, ou (melhor) usando a lógica de nível de afirmação, como um OR com símbolos de negação (bolhas) nas entradas. No último caso, você pensa nas bolhas como indicando a inversão dos sinais de entrada, seguida por uma porta OR operando em níveis lógicos de entrada ALTO ativos conforme originalmente definido.[20]

Você pode muito bem perguntar por que não deveria simplesmente manter as coisas simples, fazendo todos os seus projetos com lógica ativa ALTA. Em alguns casos, você é limitado pelos níveis lógicos definidos pelos próprios componentes (por exemplo, o uso comum de uma entrada de reset ativo-BAIXO em um microcontrolador); e em outras situações (como os interruptores da porta do carro) é melhor eletricamente conectar o terminal comum ao terra. De qualquer forma, você deve ser capaz de navegar em um mundo digital povoado por sinais ativos em ALTO e em BAIXO ativos .

[19] Uma confusão que pode trazer prejuízos reais: emprestamos um sintetizador digital de frequência para um aluno inexperiente, que leu o manual e aplicou ÿ5 V nas entradas de programação. Ele passou muitos dias substituindo circuitos queimados.

[20] Os lógicos AND e OR não devem ser confundidos com os equivalentes *legais* . O pesado livro jurídico conhecido como *Palavras e Frases* tem mais de 40 páginas de situações em que E pode ser interpretado como OU. Entre as mais divertidas está esta joia: "OU será interpretado como E, e E será interpretado como OU, conforme as necessidades do caso possam exigir..." Isso não é o mesmo que o teorema de DeMorgan!



Figura 10.21. Redux de porta de carro: a lógica de nível de afirmação corrige a confusão Figura 10.16.

10.2 Circuitos integrados digitais: CMOS e Bipolar (TTL)

As funções de lógica digital são implementadas em ICs de hardware, seja como *lógica padrão* (de pequena escala) (por exemplo, as portas 74xx que vimos) ou como *lógica programável* (por exemplo, um FPGA – field-programmable gate array; §11.2.3) ou como um IC específico de aplicativo totalmente personalizado (ASIC ou ASSP[21]; por exemplo, um processador gráfico). Como este livro se destina principalmente ao projetista de *circuitos* (em oposição ao projetista de *chips*[22] *),* não discutiremos o projeto dos CIs propriamente ditos.

O CMOS domina a tecnologia de IC digital contemporânea, tendo substituído em grande parte a lógica bipolar ("TTL") anterior. O CMOS é mais rápido, melhor adaptado à operação em baixa tensão de alimentação e consome menos energia. Existem inúmeras famílias dentro do CMOS (e também dentro do bipolar); eles oferecem as mesmas funções lógicas, as diferenças relacionadas principalmente à velocidade, tensão de alimentação e capacidade de acionamento de saída. Há mais de meia dúzia de fabricantes de lógica digital, com muita duplicação ("second sourcing"). Por exemplo, você pode obter um NAND quádruplo de 2 entradas na popular família LVC (seu número de peça é 74 LVC 00) de cinco fabricantes e o 74 LCX 00 amplamente semelhante de três outros fabricantes.

Discutimos essas escolhas familiares com algum detalhe em §10.2.2 e §12.1.1. No entanto, como uma prévia e para ter uma noção da marcha da tecnologia, dê uma olhada na Figura 10.22, que mostra o ciclo de vida da maioria das famílias lógicas digitais importantes. Os dias da lógica bipolar estão contados (exceto para BiCMOS – lógica CMOS com saída bipolar – e também algumas famílias especiais como o speedy ECL).

Sem entrar em detalhes agora (consulte §12.1.1), sugerimos, para a maioria das finalidades, a família HC(T) madura ou a família LVC/LVX mais recente (e mais rápida). O primeiro está amplamente disponível, tem uma enorme variedade de funções lógicas e inclui through-hole (pacote dual in line ou DIP), bem como embalagem de tecnologia de montagem em superfície (SMT); o último é mais rápido, otimizado para desempenho em tensões de alimentação mais baixas, mas disponível apenas em SMT.

[21] Produto padrão de aplicação específica.

[22] Às vezes você ouve os termos design *no nível da placa e* design no nível do *chip* .

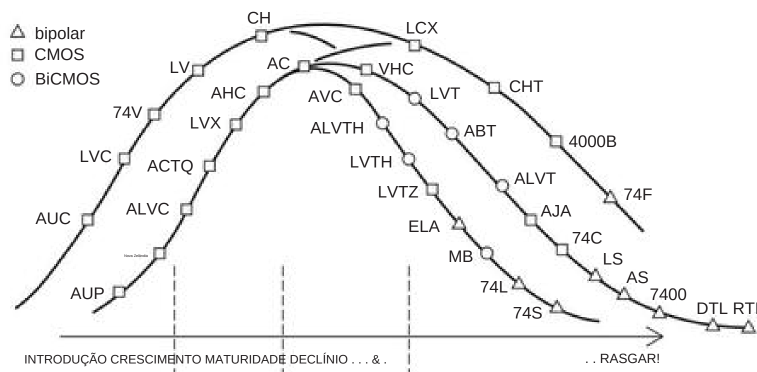


Figura 10.22. Ciclo de vida das famílias lógicas, em um instantâneo no tempo no início do terceiro milênio. CMOS está em ascendência, bipolar em declínio. Reunimos essa figura observando figuras análogas da NXP, TI e outras; verificando o estoque nos distribuidores; e considerando nossos próprios preconceitos.

10.2.1 Catálogo de portões comuns

A Tabela 10.3 mostra as portas comuns que você pode obter como lógica digital padrão. Cada porta é desenhada em sua encarnação normal (entradas ativas em nível ALTO) e também na maneira como procura entradas ativas em nível BAIXO. Essas funções vêm em pacotes tradicionais de 14 ou 16 pinos, com várias portas por pacote (limitadas pela contagem total de pinos); eles também estão disponíveis individualmente em pacotes minúsculos.23 A Figura 10.23 mostra como esses pacotes se parecem, indo do tradicional DIP de passagem até os minúsculos pacotes de grão de areia CSP (pacote de escala de chip) no canto inferior direito; você poderia encaixar as últimas partes perfeitamente entre quaisquer duas derivações das primeiras!

Para especificar totalmente uma dessas portas, você formaria um número de peça começando com 74, depois adicionaria as várias letras (como LVC, para CMOS de baixa tensão) para especificar a família e, em seguida, os números que designam a função (como 08 , para AND de 2 entradas). Além disso, você adicionaria alguns sufixos para especificar a embalagem e a faixa de temperatura, e talvez um prefixo como “SN” para especificar o fabricante: voilá, um SN74LVC08ADR, que é um quad de 2 entradas E na família LVC, em bobinas de 2.500 peças, embaladas em uma faixa de temperatura “SOIC” (pequeno esboço IC) de 14 pinos de -40ÿC a +125ÿC, fabricada pela Texas Instruments. Para simplificar (e prevenir a insanidade), rotineiramente omitimos a maior parte desse detalhe, indicando os tipos de IC digital com um apóstrofo, por exemplo, '08 para uma função AND de 2 entradas ; em situações em que o tipo de família importa, adicionamos a designação de família, por exemplo, 'LVC08.

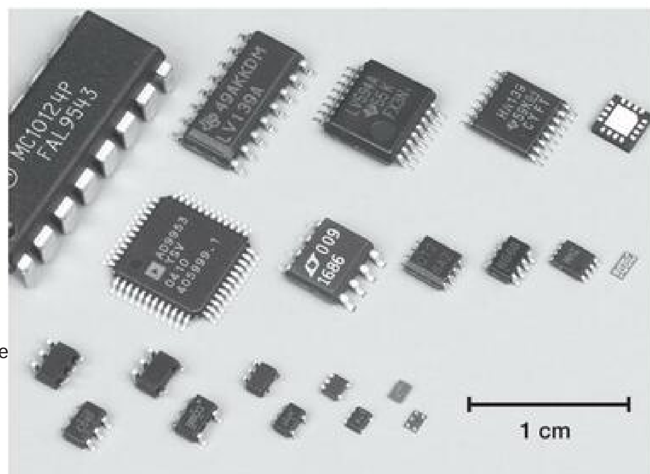


Figura 10.23. Uma seleção de pacotes lógicos digitais; todos são montados em superfície, exceto o cameo DIP-16 no canto superior esquerdo. Linha superior, da esquerda para a direita: DIP-16, SOIC-16, SSOP-16, TSSOP-16, QFN-16. Linha do meio: TQFP-48, SOIC-8, SSOP-8, SOT-23-8, US-8, WCSP 8 (DSBGA-8: matriz de grade de esferas do tamanho de matriz). Linha inferior (duas amostras cada): SOT-23-6, SOT-23-5, SC-70, SOT-533, WCSP-5 (DSBGA 5).

A. Uma porta “universal”?

A Figura 10.24 mostra um truque elegante, ou seja, uma minúscula peça de 6 pinos (chamada de '1G97) cujo pequeno bloco de lógica permite que você faça qualquer uma das nove funções lógicas, de acordo com a forma como você conecta as entradas: inversor, buffer não inversor, 2 entradas multiplexador (MUX, consulte §10.3.3A) e seis variedades de

[23] Em um tipo curioso de inversão, os números das peças são mais curtos para as peças grandes e vice-versa. Aqui está um exemplo: uma porta NAND de 2 entradas , empacotada como um quad (4 portas) em um pacote de 14 pinos, tem o número de peça SN74LVC00DR; a mesma função, empacotada separadamente em um pacote de 5 pinos, é chamada de SN74LVC1G00MDBVREP. (A parte “1G” especifica o que chamaremos de “minilogic” – o empacotamento de unidades lógicas únicas em pacotes de contagem de pinos pequenos.)

Tabela 10.3 Portas Lógicas Padrão em Famílias Popularesa

Função	Designador	entradas	Resultado / famílias (AUC, AUP, ALVC, LVC, LCX, LVX, LV, AHC(T), VHC(T), AC(T), CH(T), F, LS, 74, 4000B, 100E)
E	'08	2	PP 1ÿ4 1 4 1ÿ4 4 4 4 1ÿ4 1ÿ4 4 4 4 4 1ÿ2 4 1ÿ4ÿ5
	'11	3	PP - 1ÿ3 - 1 3 - 3 - 3 3 3 3 3 1 3-
	'21	4	PP - - - - 2- 2 -222 - 2 -
NAND	'00, '37	2	PP 1ÿ2 1ÿ2 4 1ÿ2ÿ4 4 4 4 1ÿ2ÿ4 1ÿ4 4 4 4 4 1ÿ2 4 1ÿ4ÿ5
	'03, '38	2	DO - 1ÿ2 - 1ÿ2 4 - - - - - - - - 1ÿ2 - -
	'10	3	PP - 1 - 1 - - 3 - ----- 1 3-
	'20	4	PP - - - - 2- - 2222 - 2 -
	'30	8	PP - - - - - - - -111 - 1 -
OU	'32	2	PP 1ÿ4 1 4 1ÿ2ÿ3ÿ4 4 4 4 1ÿ4 1ÿ4 4 4 4 4 1ÿ2 4 -
	'332	3	PP - 1 - 1 - - - - - - - 1 - -
	'802	4	PP - - - - - - - -2-- - 2 1ÿ4
NEM	'02	2	PP 1ÿ2ÿ4 1ÿ2 - 1ÿ2ÿ4 4 4 4 1ÿ4 1ÿ4 4 4 4 4 1ÿ2 4 -
	'27	3	PP - 1 - 1 3 - 3 - 3 - 3 3 3 1 3-
	'25	4	PP - - - - - - 2 ---- - 2 1ÿ4
INVERTER (NÃO)	'04		PP 1ÿ2ÿ6 1ÿ2ÿ3 6 1ÿ2ÿ3ÿ6 6 6 6 1ÿ6 1ÿ6 6 6 6 6 1ÿ2ÿ3 6 -
	'14 (⎍)		PP 1ÿ2 1ÿ2 - 1ÿ2ÿ3ÿ6 6 6 - - 1ÿ6 - - - - 1ÿ2ÿ3 - -
	'240		3S 1ÿ2 1ÿ2 - 1 6 - - - 6---- 2 - -
	'05, '06		OD 1ÿ2ÿ6 1ÿ2ÿ3 - 1ÿ2ÿ3ÿ6 6 - 6 6 1ÿ6 6 6 - 6 1 - -
AMORTECEDOR	'34		PP 2ÿ6 1ÿ2 - 1 - - - - - - - - - 1ÿ2ÿ3 6 -
	'125, '126		3S 1 1 6 1 6 6 - 1ÿ6 1ÿ6 - 6 6 6 1ÿ2 6 -
	'07, '17		DO 1ÿ2 1ÿ2 - 1ÿ2 6 - - 1 1---- 1ÿ2ÿ3 - -
	'241, '244, '541		3S 6 - 6 6 6 6 6 6 66666 - - -
XOR	'86	2	PP 1ÿ2 - - 1ÿ2ÿ4 4 4 4 1ÿ4 1ÿ4 4 4 4 4 1ÿ2 4 1ÿ5
	'386	3	PP - - - 1 - - - - - - - - - 1 - -
UNIVERSAL	'57-8, '97-8	3	PP - 1 - 1 - - - - - - - - - 1 - -
	'99	4	3S - 1 - 1 - - - - - - - - - - - -

Notas: (a) portões/pacotes disponíveis listados como mÿn etc.; por exemplo, uma OR de 2 entradas ('32) na família AUC está disponível com uma ou quatro portas em um pacote. (b) os dígitos que significam a função lógica seguem o designador da família (por exemplo, portas AND de 2 entradas: 74LVC08, 74LVC1G08); comum a todas as famílias exceto HV CMOS (4000B) e ECL (100E, EL, EP). (c) PP=push-pull (pull-up & pull-down ativos); DO=dreno aberto; 3S=3-estado.

Portas de 2 entradas (AND, OR, AND com uma entrada invertida, OR com uma entrada invertida, NAND com uma entrada invertida ou NOR com uma entrada invertida). O companheiro '1G98 (mesma lógica, mas com saída invertida) também possui nove disfarces, três dos quais são diferentes (ou seja , NAND, NOR e MUX com saída invertida). O menor pacote para essas peças é de apenas 0,9 × 1,4 mm, um espaço muito pequeno para imprima seu número de peça.24 Indo um passo adiante, o '1G99 desperdiça dois pinos extras para fornecer a você (a) inversão de saída selecionável (através de um XOR) e (b) uma saída de "três estados"

24 Experimente: um número de peça completo é "SN74AUP1G97YZPR," e este ÿ é o tamanho do pacote (na verdade é um pouco generoso, mas não conseguimos encontrar um símbolo pequeno o suficiente na linguagem de composição LATEX).

(chegando em §10.2.4A). As portas semelhantes '1G57 e '1G58 têm entradas Schmitt-trigger.

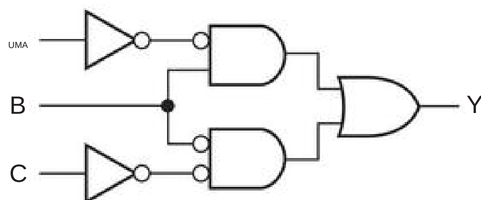


Figura 10.24. As "portas de função múltipla configuráveis" '1G97 e '1G98 podem executar qualquer uma das nove funções lógicas. O '1G97 é mostrado; o '1G98 é idêntico, exceto com uma saída invertida.

Exercício 10.10. Mostre como conectar um '1G97 para fazer cada uma das nove funções que acabamos de listar.

10.2.2 Circuitos de portas IC

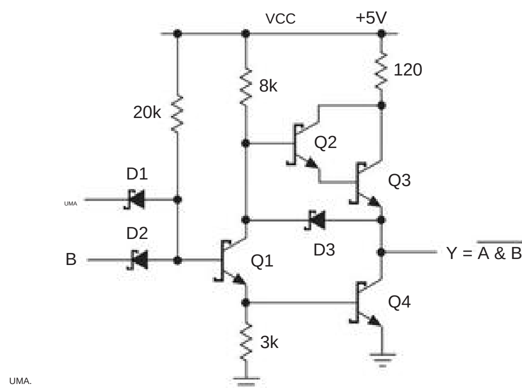
Embora uma porta NAND , por exemplo, execute operações lógicas idênticas nas várias versões da família, os níveis lógicos e outras características (velocidade, potência, corrente de entrada, etc.) são bastante diferentes. Em geral, você deve ter cuidado ao misturar tipos de famílias lógicas. Para entender as diferenças, observe os esquemas de uma porta NAND na Figura 10.25.

O portão CMOS (de longe o tipo de família mais comum) é construído a partir de MOSFETs de modo de aprimoramento de ambas as polaridades, conectados como interruptores (em vez de seguidores). Um ON FET parece uma baixa resistência (Ron) para qualquer trilho de alimentação que esteja conectado. Ambas as entradas devem estar em nível ALTO para ligar o par em série *Q3Q4* e para desligar ambos os transistores pull-up *Q1Q2.* Isso produz um LOW na saída (marcado com X), ou seja, é uma porta NAND . Q5 e Q6 constituem o inversor CMOS padrão, completando assim a porta AND .

A partir deste exemplo, deve ficar evidente como generalizar para AND, NAND, OR e NOR com qualquer número de entradas.

Exercício 10.11. Desenhe o circuito de uma porta OR CMOS de 3 entradas.

As famílias lógicas de transistor bipolar não são mais preferidas porque são superadas pelas famílias CMOS;25 mas é instrutivo olhar para a família "TTL" herdada.26 O outrora popular portão NAND LS (Schottky de baixa potência) (Figura 10.25 A consiste basicamente na lógica diodo-resistor



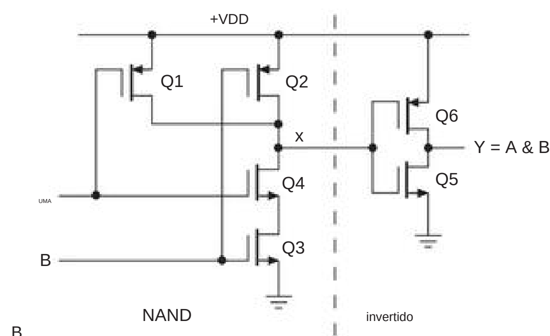


Figura 10.25. Portas NAND/AND : implementações de dois circuitos. UMA. Porta bipolar LS TTL NAND , com seu estágio de saída "totem-pole"; B. CMOS E portão.

da Figura 10.12 acionando um inversor de transistor seguido por uma saída push-pull. Se ambas as entradas forem ALTAS, o resistor de 20k mantém Q1 ligado, produzindo assim uma saída BAIXA ao saturar Q4 e desligar Darlington *Q2Q3.* Se pelo menos uma entrada for BAIXA, Q1 é retido, produzindo assim uma saída ALTA pela ação do seguidor de *Q2Q3* combinada com Q4 sendo retido.

(Observe que a saída ALTA , proveniente de um Darlington seguidor inferior, está pelo menos duas quedas de diodo abaixo da alimentação de +5 V.) Diodos Schottky e transistores Schottky são usados para aumentar a velocidade.27 Observe que as portas CMOS e TTL bipolar têm um circuito de saída com "pullup ativo" para o trilho de alimentação positivo, ao contrário de nossos exemplos de portas discretas (Figuras 10.12 a 10.14).

[25] Com exceção dos tipos ECL extremamente rápidos e das pesadas famílias de drivers de barramento híbridos "BiCMOS".

[26] Entre outras razões, seu fantasma paira sobre muita lógica contemporânea, na forma de limites de "nível de entrada TTL" de ÿ0,8 V (LOW) e ÿ2,0 V (HIGH), vistos por exemplo em várias famílias lógicas na Figura 10.2.

[27] Os diodos Schottky não têm carga armazenada e, portanto, não possuem atraso de recuperação reversa (consulte, por exemplo, §9.5.3B ou *§9x.6);* e a fixação Schottky evita a saturação do transistor, que de outra forma causa um atraso no desligamento.

10.2.3 CMOS e características bipolares ("TTL")

Esta seção pode ter o subtítulo "Aspectos analógicos de circuitos digitais". A mesma função lógica (por exemplo, NAND) pode ser implementada de maneiras diferentes; estes podem diferir em suas características *elétricas* , enquanto executam a mesma *lógica.* Resumindo – **Tensão de alimentação:** CMOS pode operar em uma faixa, TTL requer +5 V; **Corrente de entrada: as** entradas CMOS não consomem corrente constante, as entradas TTL requerem corrente; **Tensão de entrada:** as várias famílias têm limiares lógicos variados e tensão de entrada permitida, portanto incompatibilidades; **Saída: As** saídas CMOS são rail-to-rail, TTL não pode atingir V+; **Velocidade e potência:** CMOS tem apenas consumo *dinâmico* de energia (proporcional à frequência), enquanto TTL tem energia quiescente substancial; e as famílias mais rápidas são CMOS de baixa voltagem e ECL bipolar.

Em detalhes um pouco maiores (quebrando a casca):

Tensão de alimentação: Na Figura 10.26, plotamos as faixas de tensão de alimentação para a maioria das famílias lógicas interessantes. Cada uma das várias famílias CMOS tem uma faixa saudável de tensões de alimentação permitidas; por exemplo, a família LVC é totalmente especificada para tensões de alimentação de +1,8 V a +3,3 V, e a maioria dos membros da família suporta operação até 5 V.[28] Dentro de sua faixa, um dispositivo CMOS funciona mais rápido em tensões de alimentação mais altas (onde há mais Voltagem). As famílias bipolares funcionam com uma voltagem única: +5 V ± 5% para TTL e -5 V (às vezes -5,2 V) ou +5 V para ECL (chamado NECL e PECL, para ECL negativo e positivo, respectivamente) .

Atual: Os dispositivos CMOS de **entrada** não têm corrente de entrada quiescente (além do vazamento); no entanto, como todos os dispositivos, sua capacitância de entrada (de ordem 4 pF) consome corrente durante a comutação *(I = C dV/ dt;* portanto, por exemplo, uma transição de entrada de 2,5 V em 2 ns exigiria ÿ5 mA de corrente de acionamento). A lógica bipolar requer corrente de entrada quiescente: uma entrada TTL mantida no estado BAIXO fornece corrente para o que quer que a impulsione (por exemplo, 0,6 mA típico para a família F), portanto, para mantê-la BAIXA , você deve reduzir a corrente (além do corrente de carga capacitiva durante a comutação).[29] Em geral, as famílias lógicas têm capacidade de corrente de saída adequada para acionar a lógica adicional; o que importa mais é a compatibilidade das *tensões de nível lógico.*

– Lógica Níveis: As famílias CMOS geralmente colocam sua tensão limite de entrada na metade da tensão de alimentação (embora com spread considerável, tipicamente 1/3 a 2/3 da tensão de alimentação); esta é uma boa escolha, já que as saídas CMOS vão até os dois trilhos. No entanto, para compatibilidade com níveis de saída TTL bipolar legados (onde a saída HIGH está bem abaixo da alimentação positiva), muitas famílias CMOS têm variantes de "limiar TTL", geralmente especificadas com um "T" no nome da família: HCÿHCT, VHCÿVHCT. Essas famílias especificam um limite BAIXO máximo de +0,8 V e um limite ALTO mínimo de +2,0 V (consulte a Figura 10.2 e a Figura 12.6 mais completa). Eles duplicam a especificação TTL bipolar, em que o limite da lógica de entrada é de cerca de duas quedas de diodo acima do solo (cerca de 1,3 V).[30]

– Tensão Tolerância: O mundo não padronizou uma única tensão de alimentação lógica (nem deveria), portanto, em um sistema digital típico, você normalmente terá várias tensões de alimentação (por exemplo, +5 V e +3,3 V). Daí a pergunta: pode a saída da lógica funcionando em uma tensão de alimentação (chame-a de X) acionar a entrada da lógica em uma tensão de alimentação diferente (chame-a de Y)? A resposta curta (teremos uma resposta mais longa no Capítulo 12) é que duas coisas são necessárias: (a) os níveis de saída de X devem satisfazer os requisitos de nível lógico de entrada de Y; e (b) se a tensão de alimentação de Y for menor que a de X, as entradas de Y devem tolerar as tensões de saída (maiores) de X. Este último é chamado de tolerância de tensão de entrada e você deve respeitá-lo! Por exemplo, você pode ver na Figura 10.2 que a família HC(T) herdada não tolerará entradas maiores que sua tensão de alimentação,[31] enquanto a família LVC mais recente aceita entradas de +5,5 V independentemente de sua própria tensão de alimentação (inclusive quando está desenergizado). A tolerância da tensão de entrada é essencial quando os sinais digitais cruzam os limites da tensão de alimentação.

As entradas CMOS são suscetíveis a danos causados por eletricidade estática durante o manuseio. As entradas não utilizadas devem ser vinculadas a ALTO ou BAIXO, conforme necessário (mais sobre isso em §10.8.3B).

Saída: As saídas CMOS são acionadas por um par de chaves MOSFET, seja para terra ou para V+; ou seja, "rail-to-rail".

O estágio de saída TTL, ao contrário, é um transistor saturado para terra no estado LOW e um (Darlington) seguidor inferior no estado HIGH (dois diodos abaixo de V+).

A folha de dados geralmente fornece mais detalhes, especificando tensões de saída típicas e de pior caso para algumas correntes de carga típicas.[32]

[28] Para a maioria dos dispositivos lógicos LVC, as folhas de dados dizem que a faixa operacional "recomendada" se estende apenas até +3,6 V, mas algumas peças LVC estendem isso para +5,5 V, com suas características operacionais especificadas em 5 V.

[29] O ECL bipolar de nicho é uma coisa estranha – suas saídas são "emissores nus", que são deliberadamente terminados com resistores de 50ÿ para -2 V (NECL) ou +3 V (PECL).

[30] Este pedaço de história lançou sua sombra em todo o mundo digital, com "níveis de entrada TTL" praticamente estabelecidos como padrão para quase todos os dispositivos com entradas digitais.

[31] Mais precisamente, as entradas não podem ultrapassar 0,5 V acima de V+ ou abaixo do solo.

[32] Os dispositivos CMOS geralmente especificam a tensão de saída em pares simétricos de

Em geral, as famílias mais rápidas (ALVC, LVC, LCX; F, AS) têm maior capacidade de unidade de saída do que as famílias mais lentas (CD4000, HC(T); LS).

Velocidade e potência: Todas as famílias CMOS de lógica padrão consomem corrente quiescente zero.33 No entanto, seu consumo de energia aumenta linearmente com o aumento da frequência, porque alternar a capacitância de nós internos e cargas capacitivas externas requer corrente (I=C *dV/dt).* O CMOS operado perto de seu limite de frequência superior pode até dissipar mais potência do que a lógica bipolar (consulte a Figura 10.27). É comum ver essa *corrente dinâmica34* especificada em termos de uma "capacidade de dissipação de potência" efetiva, Cpd, a partir da qual você pode calcular a dissipação de potência dinâmica sem carga como Pdiss=CpdV2 *f* (há duas transições por ciclo, o que cancela a fator usual de 1/2). Por exemplo, um 74LVC00 (quad NAND gate) especifica Cpd=19 pF por gate, do qual você obtém uma dissipação de energia de 0,2 mW/MHz por gate (para alimentação de 3,3 V); assim, um IC com todas as quatro portas girando a 100 MHz dissiparia 80 mW internamente (e energia adicional ao alternar as capacitâncias de carga externa). A faixa de velocidade das funções lógicas padrão CMOS vai de cerca de 2 MHz (para a série CD4000 de alta tensão operando em 5 V baixos) até cerca de 100 MHz (para AHCT/VHCT em 5 V) até cerca de 150 MHz (para LVC/LCX em 3,3 V) a cerca de 350 MHz (para AUC a 2,5 V). Em contraste com a corrente quiescente zero do CMOS, as famílias TTL bipolares consomem uma corrente quiescente considerável, mais para as famílias mais rápidas (AS, F, ABT); as velocidades correspondentes vão de cerca de 25MHz (para LS) a cerca de 100 MHz (para AS e F).

Na Figura 10.26 (vista novamente como Figura 12.3, com comentários adicionais), plotamos atrasos de propagação de porta de pior caso para famílias lógicas padrão comumente usadas. Em geral, as boas características das famílias CMOS (corrente quiescente zero, oscilações de saída trilho a trilho,

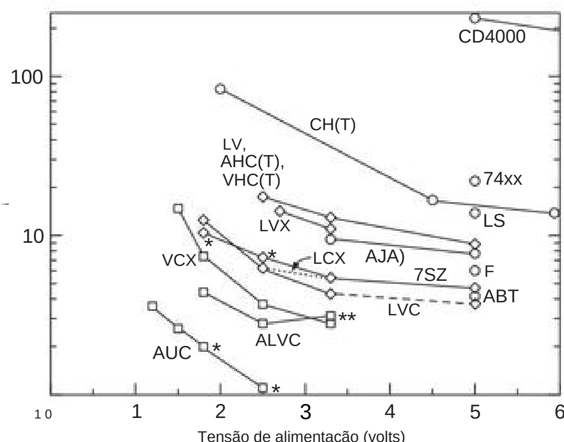


Figura 10.26. Velocidade do portão versus tensão de alimentação, para famílias lógicas populares. O atraso máximo de propagação especificado (tpd(max)) é mostrado para as tensões de alimentação padrão nas quais cada família é especificada. (Como um guia aproximado, os atrasos "típicos" estão na faixa de 35–75% de tpd(max).) Consulte a legenda da Figura 12.3 para obter detalhes.

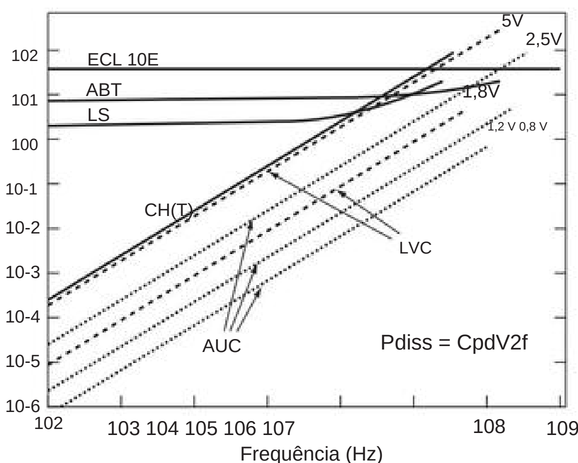


Figura 10.27. Dissipação de energia interna do portão versus frequência para algumas famílias de lógica bipolar e CMOS. Observe a dependência dramática (quadrática) da tensão da fonte de alimentação, dentro de qualquer família. Veja também a Figura 12.2.

correntes de saída dissipador-fonte simétricas e alta velocidade) os tornam a lógica de escolha. Entre eles, as famílias LVC e 7SZ são ótimas,35 com suas entradas tolerantes a 5 V e boas faixas de tensão de alimentação (1,8–3,3 V36 e 1,8–5 V). Para operação em 5 V, as famílias AHC(T), VHC(T) ou LV são

Correntes de carga nos estados ALTO e BAIXO, por exemplo, ±8 mA; Os dispositivos TTL, com sua saída assimétrica, são geralmente especificados com muita corrente de dissipação, mas correntes de fonte muito mesquinhas (por exemplo, em 8 mA e em -0,4 mA). Isso é importante quando uma saída lógica é usada para acionar algum componente externo, por exemplo, um indicador de LED ou relé de estado sólido: conecte o componente de forma que a saída lógica *reduza* a corrente (com a outra extremidade retornando à alimentação positiva, por meio de um conversor de corrente). resistor limitador, se necessário).

33 Circuitos CMOS *de grande escala* (por exemplo, matrizes de portas ou microprocessadores, em oposição às funções básicas de "lógica padrão" como portas e flip-flops) geralmente têm corrente quiescente diferente de zero (e às vezes bastante substancial).

34 Ao carregar e descarregar um capacitor de 0 a *V* na frequência *f* , a corrente média é I= *fCV.*

35 As famílias 7SZ e 17SZ vêm apenas em pacotes minilogic.

36 A tensão de alimentação máxima "recomendada" para alguns dispositivos LVC é de 5,5 V, enquanto para outros é de apenas 3,6 V; no entanto, enquanto os últimos tipos não fornecem especificações para operação acima de 3,6 V, *todos os* dispositivos LVC relutantemente permitem tensões de alimentação de até 5,5 V.

também boas escolhas; suas entradas são tolerantes a 5 V, independentemente da tensão de alimentação (que pode ser de 2,5 a 5 V). Essas peças estão disponíveis apenas em pacotes de montagem em superfície; se você quiser peças com furo passante DIP para facilitar o breadboarding, use HC(T) ou AC(T).

Para aplicações incomuns, você pode escolher peças da série CD4000B (voltagens de alimentação até 15 V, mas *lentas!)),* lógica ECL *(rápida!* – até 1 GHz) ou a série híbrida (BiCMOS) ABT (corrente de saída até 64 mA, boa para condução de cargas pesadas, como ônibus).

Dentro de qualquer família lógica, as saídas são projetadas para acionar facilmente outras entradas, então você não precisa se preocupar com limites, corrente de entrada, etc. Por exemplo, com TTL bipolar, qualquer saída pode acionar pelo menos 10 outras entradas (o termo oficial para isso é *fan-out:* TTL tem um fan-out de 10), então você não precisa fazer nada de especial para garantir a compatibilidade. No Capítulo 12 abordamos a questão da interface entre as famílias lógicas e entre os circuitos lógicos e o mundo exterior.

10.2.4 Dispositivos de três estados e coletor aberto

As portas CMOS e TTL que acabamos de discutir têm circuitos de saída push-pull: a saída é mantida em ALTO ou BAIXO por um transistor ON . Quase toda lógica digital usa esse tipo de circuito (chamado pullup ativo; em TTL também é conhecido como saída totem-pole) porque fornece baixa impedância de saída em ambos os estados, proporcionando tempo de comutação mais rápido e melhor imunidade a ruídos, em comparação com um alternativa, como um único transistor com um resistor pull-up de coletor passivo. Também resulta em menor dissipação de energia.

No entanto, existem algumas situações para as quais a saída pullup ativa não é adequada. Como exemplo, imagine um sistema de computador no qual várias unidades funcionais precisam trocar dados. A unidade central de processamento (CPU), a memória e vários periféricos precisam ser capazes de enviar e receber palavras de 16 bits. Seria estranho (para dizer o mínimo) ter cabos separados de 16 fios conectando cada dispositivo a todos os outros. A solução é o chamado *barramento de dados,* um único conjunto de 16 fios acessível a todos os dispositivos. É como o antiquado (extinto?37) telefone "party line": apenas um aparelho por vez pode "falar" (afirmar dados), mas todos podem "escutar" (receber dados). Com um sistema de barramento, deve haver um acordo sobre quem pode falar, e você verá palavras como *arbitragem* de barramento e *mestre de barramento.*

Você não pode usar portas (ou qualquer outro dispositivo) com saídas pullup-pulldown ativas para conduzir um barramento, já que você não pode desconectar sua saída das linhas de dados compartilhadas (você está segurando-o em ALTO ou BAIXO o tempo todo). O que é necessário é uma porta cuja saída possa ser *aberta.* Esses dispositivos estão disponíveis e vêm em duas variedades, dispositivos *de três estados* e dispositivos *de coletor aberto* .

A. Lógica de três estados A

lógica de três estados, também chamada de lógica TRI-STATER (uma marca registrada da National Semiconductor Corporation, NSC), fornece uma solução elegante. O nome é enganoso; não é lógica digital com três níveis de tensão. É apenas lógica comum, com um terceiro estado de saída: circuito aberto (Figura 10.28).
Uma entrada de *habilitação* separada determina se a saída é como uma saída pullup ativa comum ou vai para o estado "terceiro" (aberto), independentemente dos níveis lógicos presentes nas outras entradas. Saídas de três estados estão disponíveis em muitos chips digitais, incluindo contadores, latches, registradores, etc., bem como em portas e inversores. Um dispositivo com saída de três estados se comporta exatamente como a lógica pullup ativa comum quando habilitado, sempre direcionando sua saída para ALTO ou BAIXO; quando desativado,38 ele efetivamente desconecta sua saída, de modo que outro dispositivo lógico possa controlar a mesma linha. Vejamos um exemplo.

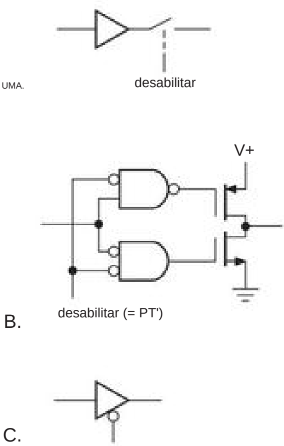


Figura 10.28. Lógica CMOS de três estados; A. Diagrama conceitual. B. Realização com portas CMOS internas. C. Símbolo lógico.

B. Um olhar à frente: barramentos de

dados Drivers de três estados são amplamente usados para conduzir barramentos de dados de computador. Todo dispositivo (memória, periféricos, etc.) que precisa colocar dados no barramento (compartilhado) se liga a ele com três portas de estado (ou funções mais complexas como "registradores").
As coisas são organizadas de forma inteligente para que no máximo um dispositivo tenha seus drivers ativados a qualquer momento, todos os outros dispositivos sendo

37 Mas desempenhando um papel importante no filme de 1959 *Pillow Talk.*

38 O Sr. Lebowski é *deficiente,* sim.

desativado para o estado aberto (terceiro). Em uma situação típica, o dispositivo selecionado "sabe" inserir dados no barramento, reconhecendo seu endereço específico em um conjunto de endereços e linhas de controle (Figura 10.29). Neste caso simplificado, o dispositivo é conectado como porta 6: ele olha para as linhas de endereço A0–A2 e afirma dados no barramento de dados D0–D3 quando vê seu endereço específico (ou seja, 6) nas linhas de endereço *e* vê um LER pulso. Tal protocolo de barramento é adequado para muitos sistemas simples. Algo assim é usado na maioria dos microcomputadores, como você verá no Capítulo 14.

Observe que deve haver alguma lógica externa para garantir que os dispositivos de três estados que compartilham as mesmas linhas de saída não tentem se comunicar ao mesmo tempo (essa condição indesejável é oficialmente chamada de "contenção de barramento"). Nesse caso, tudo está bem, desde que cada dispositivo responda a um endereço exclusivo.

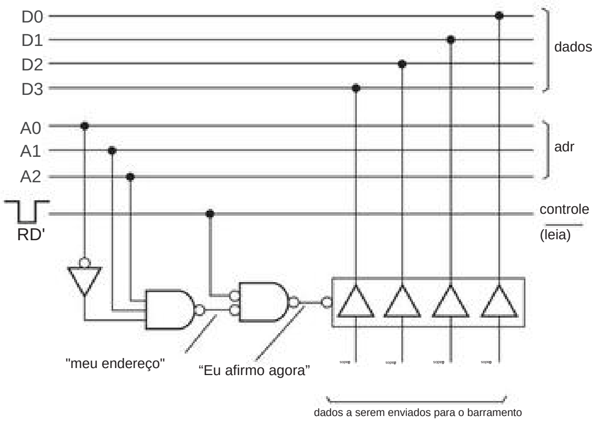


Figura 10.29. Barramento de dados com lógica de decodificação de endereço e drivers de três estados.

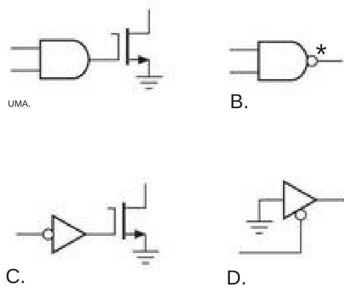


Figura 10.30. Lógica de dreno aberto: A. NAND de dreno aberto; B. símbolo; C. tampão não inversor de dreno aberto; D. implementação com buffer de três estados.

C. Lógica de coletor aberto e dreno aberto A predecessora da lógica de três estados foi a lógica de "coletor aberto", que permite compartilhar uma única linha entre as saídas de vários drivers. Uma saída de coletor aberto (ou dreno aberto) simplesmente omite o transistor pullup ativo do estágio de saída (Figura 10.30). O nome "coletor aberto" é bom. Ao usar essas portas, você deve fornecer um resistor pull-up externo em algum lugar. Seu valor não é crítico; um resistor de pequeno valor aumenta a velocidade e melhora a imunidade a ruídos, às custas de maior dissipação de energia e carga do driver. Valores de algumas centenas a alguns milhares de ohms são típicos. Se você quisesse dirigir um ônibus com portas de coletor aberto (em vez de drivers de três estados), você substituiria os NANDs de coletor aberto de 2 entradas pelos drivers de três estados da Figura 10.29, trazendo uma entrada de cada porta para o nível ALTO para habilitar os portões do ônibus; observe que os bits de dados então inseridos no barramento são invertidos. Cada linha de barramento precisaria de um único pullup resistivo para a alimentação positiva.

A desvantagem da lógica de coletor aberto é que a velocidade e a imunidade a ruído são degradadas, quando comparadas com a lógica construída com dispositivos pull-up ativos, devido ao circuito pull-up resistivo. É por isso que os drivers de três estados são quase universalmente preferidos para aplicativos de barramento de computador.
No entanto, existem três situações em que você escolheria dispositivos de coletor aberto (ou dreno aberto): acionando cargas externas, "com fio-OR" e barramentos externos. Vamos olhá-los brevemente.

D. Acionamento de cargas externas A lógica de coletor aberto (O/C) é boa para acionamento de cargas externas que retornam a uma fonte positiva de tensão mais alta. Você pode querer acionar uma lâmpada ou relé de baixa corrente que requer 12 V, ou talvez apenas gerar uma oscilação lógica de 15 V executando um resistor da saída de uma porta para +15 V, como na Figura 10.31. Um dispositivo O/C popular é o ULN2003/4, uma matriz Darlington de coletor aberto de sete canais com diodos de fixação interna (para cargas indutivas); ele aceita acionamento lógico direto, tem classificação de interrupção de 50 V e pode alternar até 500 mA (o 75468/9 é semelhante, mas com interrupção de 100 V). Mais sobre esses assuntos em §12.4.

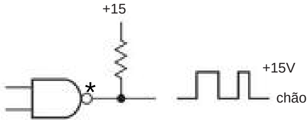


Figura 10.31. Lógica de coletor aberto como tradutor de nível.

E. OU com fio

Se você conectar algumas portas de coletor aberto como mostrado na Figura 10.32, obterá o que é chamado de "OU com fio" – a combinação se comporta neste caso como uma porta NOR maior ,

com a saída em nível BAIXO se qualquer entrada estiver em nível ALTO. Você não pode fazer isso com saídas de pullup ativas, porque haveria uma disputa de vontades se todas as portas não concordassem sobre qual deveria ser a saída. Você pode combinar NORs, NANDs, etc., com este tipo de conexão, e a saída será BAIXA se qualquer porta ativar uma saída BAIXA . Essa conexão às vezes é chamada de “com fio-AND”, porque a saída é ALTA somente se todas as portas tiverem saídas ALTA (abertas). Ambos os nomes descrevem a mesma coisa: é wired-AND para lógica ativa em ALTO e wired-OR para lógica ativa em BAIXO . Isso fará mais sentido para você depois de ver o teorema de DeMorgan na próxima seção.

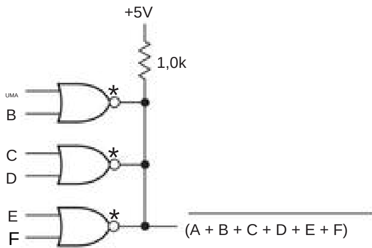


Figura 10.32. Com fio-OR.

Wired-OR desfrutou de uma breve popularidade nos primórdios da eletrônica digital, mas não é muito usado hoje em dia, com duas exceções: (a) na família de lógica conhecida como ECL (lógica acoplada ao emissor), as saídas são o que você deseja. pode chamar de “emissor aberto” e pode ser conectado com fio ou sem dor; e (b) existem algumas linhas compartilhadas nos barramentos do computador (principalmente a linha chamada *interrupção)* cuja função não é transferir bits de dados, mas apenas indicar se *pelo menos um* dispositivo está solicitando atenção; nesse caso, você usa wired-OR, porque faz o que você deseja e não requer lógica externa para evitar contenção.

F. Ônibus externos

Onde a velocidade não é muito importante, às vezes você vê motoristas de coletor aberto usados para dirigir ônibus. Exemplos são o barramento SCSI original usado para conectar discos e periféricos e o barramento de instrumento IEEE-488 (também chamado de barramento de interface de uso geral, GPIB). Mais sobre isso no Capítulo 14.

10.3 Lógica combinacional

Como discutimos anteriormente em §10.1.4A, a lógica digital pode ser dividida em *combinatória* (às vezes chamada de *combinatória)* e *sequencial.* Circuitos combinacionais são aqueles em que o estado de saída depende apenas dos estados de entrada atuais de alguma forma predeterminada, enquanto em circuitos sequenciais o estado de saída depende tanto dos estados de entrada e a história anterior. Os circuitos combinacionais podem ser construídos apenas com portas, enquanto os circuitos sequenciais requerem alguma forma de memória (flip-flops). Nestas subseções, exploramos as possibilidades da lógica combinacional antes de entrar no mundo turbulento dos circuitos sequenciais.

Tabela 10.4 Identidades Lógicas

ABC = (AB)C = A(BC)
AB = BA
AA = A
A1 = A
A0 = 0
A(B + C) = AB + AC
A + AB = A
A + BC = (A + B)(A + C)
A + B + C = (A + B) + C = A + (B + C)
A + B = B + A
A + A = A
A + 1 = 1
A + 0 = A
1' = 0
0´ = 1
A + A' = 1
AA' = 0
(A´) ´ = A
A + A´B = A + B
(A + B)´ = A´B´
(AB)´ = A´ + B´

10.3.1 Identidades lógicas

Nenhuma discussão sobre lógica combinacional está completa sem as identidades mostradas na Tabela 10.4. A maioria deles é óbvia. Os dois últimos compreendem o teorema de DeMorgan, o mais importante para o projeto de circuitos.

A. Exemplo: porta OU-exclusivo

Ilustramos o uso das identidades com um exemplo: fazer a função OU-exclusivo a partir de portas comuns. A Figura 10.33 mostra a tabela verdade XOR . Estudando isso e percebendo que a saída é 1 somente quando (A,B) = (0,1) ou (1,0), podemos escrever

AÿB = $A\overline{B}+AB$,

da qual temos a realização mostrada na Figura 10.34. No entanto, essa percepção não é única. Aplicando as identidades, encontramos

AÿB = AA+AB+BA+BB

(AA = BB = 0)

= A(A+B) +B(A+B)

= A(AB) +B(AB)

= (A+B)(AB).

(Na primeira etapa, usamos o truque de somar duas grandezas iguais a zero; na terceira, usamos o teorema de DeMorgan.) Isso tem a realização mostrada na Figura 10.35. Ainda existem outras maneiras de construir XOR. Considere o seguinte exercício.

A	B	AÿB
0	0	0
0	1	1
1	0	1
1	1	0

Figura 10.33. tabela verdade XOR .

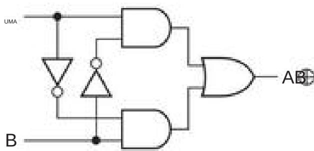


Figura 10.34. Realização XOR .

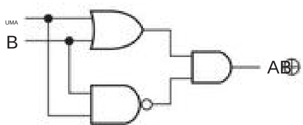


Figura 10.35. Outra realização XOR .

Exercício 10.12. Mostre que

AÿB = *AB+AB,*

AÿB = (A+B)(A+B),

por manipulação lógica. Você deve ser capaz de se convencer de que isso é verdade pela inspeção da tabela de verdade, combinada com um aceno de mão adequado.

Exercício 10.13. Quais são os seguintes: (a) 0·1, (b) 0+1, (c) 1·1, (d) 1+1, (e) A(A+B), (f) A(A + B), (g) *A* XOR A, (h) *A* XOR *A ?*

10.3.2 Minimização e mapas de Karnaugh

Como a realização de uma função lógica (mesmo uma tão simples quanto OU-exclusivo) não é única, muitas vezes é desejável encontrar o circuito mais simples, ou talvez o mais convenientemente construído, para uma determinada função. Muitas mentes boas trabalharam neste problema, e existem vários métodos disponíveis, incluindo técnicas algébricas amplamente disponíveis como software. Por exemplo, todas as "linguagens de descrição de hardware" (HDLs) usadas para inserir circuitos que entram na lógica programável (consulte §11.2.6) incluem minimização lógica automática; você nem vê isso aconte

Talvez apenas por interesse histórico, às vezes você ouvirá o termo *mapa de Karnaugh,* que é um método tabular simples para minimizar a lógica com quatro ou menos entradas; também permite que você encontre uma expressão lógica (se você não a conhece), uma vez que você pode escrever a tabela verdade.

Ilustramos o método com um exemplo (e depois o abandonamos completamente!). Suponha que você queira gerar um circuito lógico para contagem de votos. Imagine que você tem três entradas HIGH ativas (cada uma 1 ou 0) e uma saída (0 ou 1). A saída deve ser 1 se pelo menos duas das entradas forem 1.

Passo 1. Faça uma tabela-verdade:

ABC	Q
000	0
001	0
010	0
011	1
100	0
101	1
110	1
111	1

Todas as permutações possíveis devem ser representadas, com saída(s) correspondente(s). Escreva um *X* (= "não importa") se qualquer um dos estados de saída estiver OK.

Passo 2. Faça um mapa de Karnaugh. Isso é um pouco semelhante a uma tabela verdade, mas as variáveis são representadas ao longo de dois eixos. Além disso, eles são arranjados de tal forma que apenas um bit de entrada muda ao passar de um quadrado para um quadrado adjacente (Figura 10.36).

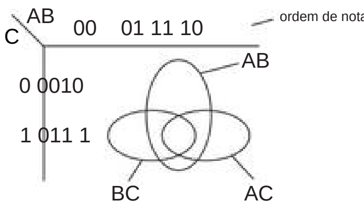


Figura 10.36. Mapa de Karnaugh para lógica majoritária.

Etapa 3. Identifique no mapa grupos de 1s (alternativamente, você pode usar grupos de 0s): os três blobs (chamados de "capa") encerram as expressões lógicas *AB,AC* e *BC.* Finalmente, leia a função necessária, neste caso

Q = AB+AC +*BC*

com a realização mostrada na Figura 10.37. O resultado parece óbvio, em retrospecto. Poderíamos ter lido o padrão de 0s para obter

Q = AB +AC +BC ,

o que pode ser útil se os complementos *A* , *B* , e *C* já existirem em algum lugar do circuito.

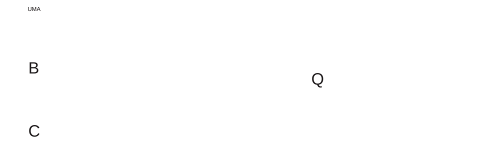


Figura 10.37. Lógica da maioria (votação).

Exercício 10.14. Apenas por diversão, desenhe um mapa de Karnaugh para a lógica determinar se um inteiro de 3 bits (0 a 7) é primo (suponha que 0, 1 e 2 não sejam primos). Mostre uma realização com portas de 2 entradas.

Exercício 10.15. Continuando a diversão do mapa de Karnaugh: encontre a lógica para executar a multiplicação de dois números sem sinal de 2 bits (isto é, cada um de 0 a 3), produzindo um resultado de 4 bits. *Dica:* use um mapa de Karnaugh separado para cada bit de saída.

10.3.3 Funções combinacionais disponíveis como ICs

Somente com portas lógicas, você poderia construir lógica para executar funções bastante complicadas, como adição binária ou comparação de magnitude, verificação de paridade, multiplexação (seleção de uma das várias entradas, conforme determinado por um endereço binário), etc. o que é feito quando você implementa lógica complexa em matrizes de *portas*39 ou em outras formas de *lógica programável* (consulte §10.3.3F, §10.5.4 e Capítulo 11.). Lógica programável (geralmente combinada com um microcontrolador) é frequentemente o método de escolha quando você deseja fazer algum sistema digital (ou analógico/digital combinado). Ilustraremos essas técnicas no próximo capítulo.

No entanto, essas funções geralmente também estão disponíveis na forma de chips MSI pré-fabricados (integração de média escala, acima de 100 portas em um chip), para serem usados como funções de lógica padrão. Embora muitas funções MSI interessantes envolvam flip-flops (ou seja, circuitos *sequenciais* , que abordaremos em breve), há várias delas que são funções combinacionais envolvendo apenas portas. Vamos ver quais animais vivem no zoológico combinado MSI.

A. Seleção de 2 entradas (multiplexador)

A seleção de 2 entradas (também chamada de *multiplexador* de 2 entradas ou "MUX") é uma função muito útil. É basicamente uma chave de duas posições para sinais lógicos. A Figura 10.38 mostra a ideia básica, com uma implementação de porta discreta e um CI que empacota quatro multiplexadores de 2 entradas (um "quad MUX") em um CI. Quando SELECT é LOW, as entradas *A* são passadas para suas respectivas saídas *Y ;* quando SE LECT é HIGH, as entradas *B* aparecem na saída. Manter ENABLE HIGH desabilita o dispositivo forçando todas as saídas para BAIXO. Este é um conceito importante que veremos mais adiante.

Aqui está a tabela verdade, que ilustra a entrada *X* (não importa):

entradas				Saídas
E	SEL	*Um*	*Bn*	*Yn*
H	X	X	X	L
eu	L	L	X	L
eu	L	H	X	H
eu	A	X	L	L
eu	H	X	H	H

Pode ser escrito de forma mais compacta assim:

entradas		Saídas
E	SEL	*Yn*
H	x	eu
eu	eu	*Um*
eu	H	*Bn*

Em uma linguagem de descrição de hardware, a função lógica MUX de 2 entradas (sem uma entrada ENABLE) seria escrita como Y = ÿS&A|S&B; com uma entrada ENABLE se tornaria Y=E&(ÿS & A | S & B).[40] 10.38 e a tabela anterior FIG correspondem ao chip de seleção de 2 entradas quad '157. A mesma função também está disponível com saída invertida ('158) e com saídas de três estados (verdadeiro: '257; invertido: '258). Também está disponível como um minúsculo MUX de seção única (sem a entrada EN), com os números de peça '1G157 e '2G157. Esses chips funcionam eletricamente como portões – eles fazem a lógica e regeneram um nível lógico na saída de acordo. Outra maneira de implementar esta função é com algumas *portas de transmissão,* nas quais o sinal de entrada apropriado é simplesmente passad

39 Uma função assim implementada é algumas vezes divertidamente chamada de "Gatorade".

40 Por uma razão um tanto obscura (que tem a ver com uma condição de "lógica-corrida") é uma boa ideia adicionar o termo redundante A&B a essas expressões; assim Y=E&(ÿS & A | S & B | A & B).

saída (via transistores MOS) sem regeneração; veremos isso a seguir.

Exercício 10.16. Mostre como fazer uma seleção de 2 entradas, usando um par de buffers de 3 estados e qualquer outra lógica necessária.

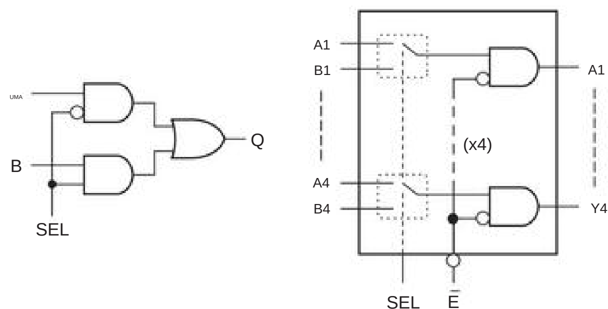


Figura 10.38. Portas "selecionadas" de duas entradas: A. implementadas com portas discretas; B. embalados juntos como um "quad", com uma única linha SE LECT .

Embora a função de uma porta de seleção possa ser realizada por uma chave mecânica em alguns casos, a porta é uma solução muito melhor, por vários motivos:

(a) é mais barato;
(b) todos os canais são trocados simultânea e rapidamente; (c) pode ser comutado, quase instantaneamente, por um nível lógico gerado em outra parte do circuito (mais interessante, a partir de um microprocessador ou outro dispositivo inteligente); (d) mesmo que a função de seleção deva ser controlada por um interruptor do painel frontal, é melhor não passar sinais lógicos rápidos por meio de cabos e interruptores, para evitar a degradação do sinal capacitivo e captação de ruído.

Com uma porta selecionada acionada por um nível CC, você mantém os sinais lógicos na placa de circuito e obtém o bônus de uma fiação externa mais simples, ou seja, uma única linha com pullup comutada para o aterramento por uma chave unipolar de lançamento único (SPST). . O controle das funções do circuito com níveis CC gerados externamente dessa maneira é conhecido como "comutação fria" e é uma abordagem muito melhor do que controlar os próprios sinais com interruptores, potenciômetros, etc. Além de suas outras vantagens, a comutação fria permite que você contorne as linhas de controle com capacitores para eliminar a interferência, enquanto as linhas de sinal geralmente não podem ser desviadas. Veremos alguns exemplos de comutação a frio mais tarde.

B. Portas de transmissão

Como discutimos em §3.4.1A, com CMOS é possível fazer "portas de transmissão", simplesmente um par de chaves MOSFET complementares em paralelo, de modo que uma entrada (analog) entre o terra e o VDD é conectado à saída por meio de uma resistência baixa (menos de cem ohms) ou circuito aberto (resistência essencialmente infinita). Como você deve se lembrar, tal dispositivo é bidirecional e não sabe (ou se importa) qual extremidade é a entrada e qual é a saída. As portas de transmissão funcionam perfeitamente bem com os níveis CMOS digitais e, de fato, são amplamente utilizadas nos circuitos internos dos dispositivos digitais CMOS. Você também pode obtê-los como ICs lógicos padrão. A Figura 10.39 mostra o layout do popular '4066 CMOS "quad bilateral switch". Cada chave tem uma entrada de *controle* separada : HIGH fecha a chave e LOW abre. Eles também estão disponíveis em pacotes compactos de seção única e de duas seções ('1G66, '2G66). Observe que os portões de transmissão são apenas interruptores e, portanto, não possuem fan-out; ou seja, eles simplesmente passam os níveis lógicos de entrada para a saída sem fornecer capacidade de acionamento adicional.[41]

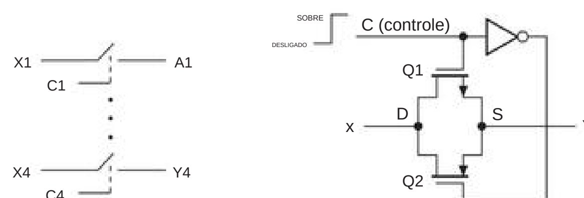


Figura 10.39. Portão de transmissão Quad; uma única porta, implementada com transistores MOS, é mostrada à direita.

Com portas de transmissão, você pode selecionar funções de 2 entradas (ou mais), utilizáveis com níveis digitais CMOS ou sinais analógicos. Para selecionar entre várias entradas, você pode usar um monte de portas de transmissão (gerando os sinais de controle com um *decodificador,* como será explicado mais adiante). Essa é uma função lógica tão útil que foi institucionalizada como o multiplexador, discutido a seguir.

Exercício 10.17. Mostre como fazer uma seleção de 2 entradas com portas de transmissão. Você vai precisar de um inversor.

C. Multiplexadores com muitas entradas

Multiplexadores estão disponíveis com 4, 8 e 16 entradas. Um endereço binário é usado para selecionar qual dos sinais de entrada aparece na saída. Por exemplo, um MUX de 8 entradas tem uma entrada de endereço de 3 bits para endereçar a entrada de dados selecionada (Figura 10.40). O MUX digital ilustrado é um '151. Ele possui uma entrada ativa de LOW STROBE (outro nome para ENABLE) e fornece saídas verdadeiras e complementares. Quando o

[41] As portas de transmissão são atraentes para os projetistas de IC porque seu design simples requer pouca área na matriz de silício e não incorre no atraso de comutação de uma porta convencional.

```
fio [1:0] A; // 2 linhas de entrada de endereço ("selecionar")
fio [3:0] D; // 4 linhas de dados de entrada
conecte as saídas Y, YBAR, ENBAR // (verdadeiras e complementadas) e habilite
atribuir Y = ÿENBAR & (D[0] & ÿA[1] & ÿA[0]
                             | D[1] & ÿA[1] & A[0]
                             | D[2] & A[1] & ÿA[0]
                             | D[3] & A[1] & A[0] )
atribuir YBAR = ÿ Y;
```

Figura 10.41. Código Verilog para um multiplexador de 4 entradas.

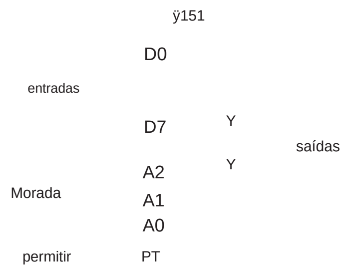


Figura 10.40. '151 Multiplexador de 8 entradas.

chip está desabilitado (ENABLE mantido HIGH), *Y* é LOW e *Y* é HIGH, independente dos estados do endereço e das entradas de dados.

É uma boa ideia familiarizar-se um pouco com as linguagens de descrição usadas para a entrada lógica, mesmo que não seja a redução da ansiedade. A Figura 10.41 mostra a aparência do código Ver ilog, para o exemplo mais simples de um multiplexador de 4 entradas.

Eletricamente, duas variedades de multiplexadores estão disponíveis. Um tipo é apenas para níveis digitais, com um limite de entrada antigo e regeneração "limpa" dos níveis de saída de acordo com o estado de entrada: um exemplo é o '153 logic MUX (disponível nas famílias lógica CMOS e bipolar). O outro tipo de MUX é analógico e bidirecional; é realmente apenas uma matriz de portas de transmissão. Eles vêm apenas em famílias CMOS e podem ser usados para sinais lógicos e analógicos. Os multiplexadores CMOS '4051–'4053 funcionam dessa maneira.

Lembre-se que a lógica feita de portas de transmissão não tem fan-out. Como as portas de transmissão são bidirecionais, esses multiplexadores podem ser usados como "demultiplexadores" ou decodificadores. Nós os discutimos a seguir.

Exercício 10.18. Mostre como fazer um multiplexador de 4 entradas usando (a) portas comuns, (b) portas com saídas de três estados e (c) portas de transmissão. Em que circunstâncias (c) seria preferível?

Você pode se perguntar o que fazer se quiser selecionar entre mais entradas do que as fornecidas em um multiplexador. este

A questão se enquadra na categoria geral de "expansão" do chip (usando vários chips com pequenas capacidades individuais para gerar uma capacidade maior) e também se aplica a decodificadores, memórias, registradores de deslocamento, lógica aritmética e muitas outras funções. Nesse caso, o trabalho é fácil (Figura 10.42). Aqui expandimos dois multiplexadores 74LS151 de 8 entradas em um multiplexador de 16 entradas (observe que usamos designações em letras minúsculas para os sinais de entrada e saída, para evitar confusão com os pinos com nomes semelhantes do chip).42 Há um bit de endereço adicional , claro, e você usa para habilitar um chip ou outro. O chip desativado mantém seu *Y* BAIXO, então uma porta OR na saída completa a expansão. Com saídas de três estados, o trabalho é ainda mais simples, porque você pode conectar as saídas diretamente umas às outras.

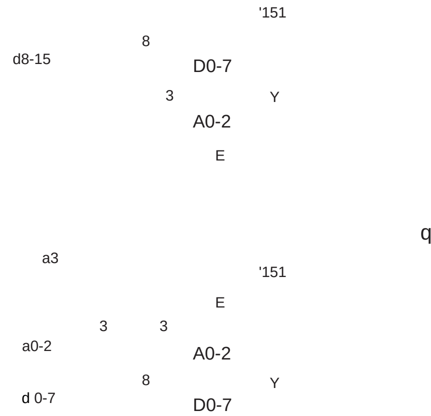


Figura 10.42. Expansão do multiplexador.

D. Demultiplexadores e decodificadores

Um desmultiplexador é o oposto de um multiplexador: ele pega uma entrada e a encaminha para uma das várias saídas possíveis,

42 Também introduzimos uma convenção comum de "ônibus", ou seja, o uso de uma única linha com uma barra diagonal para indicar uma coleção de linhas de sinal semelhantes; o número na barra informa quantos sinais existem no grupo e o rótulo informa quais são.

```
fio [1:0] A; // endereço de 2 bits: colchetes mostram o intervalo do array
fio [3:0] YBAR; // quatro saídas ativas em BAIXO
fio ENBAR; // ativa-LOW ativa atribui YBAR[0] =
ÿ(ÿENBAR & ÿA[1] & ÿA[0]); atribuir YBAR[1] = ÿ(ÿENBAR & ÿA[1] &
A[0]); atribuir YBAR[2] = ÿ(ÿENBAR & A[1] & ÿA[0]); atribuir YBAR[3] =
ÿ(ÿENBAR & A[1] & A[0]);
```

Figura 10.44. Código Verilog para uma seção de um decodificador duplo 1 de 4 '139.

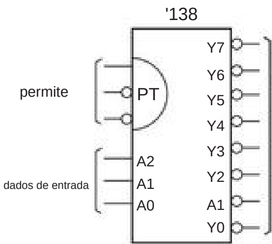


Figura 10.43. '138 1-de-8 decodificador.

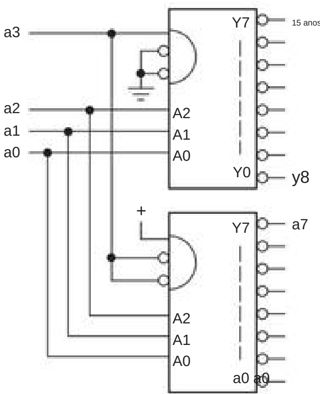


Figura 10.45. Expansão do decodificador.

de acordo com um endereço binário de entrada. As outras saídas são mantidas no estado inativo ou em circuito aberto, dependendo do tipo de desmultiplexador.

Um decodificador é semelhante, exceto que o endereço é a única entrada e é “decodificado” para ativar uma das *n* saídas possíveis. A Figura 10.43 mostra um exemplo. Este é o '1-de-8 decodificador'138. A saída correspondente (endereçada por) aos dados de entrada de 3 bits é BAIXA; todos os outros são ALTOS. Este decodificador em particular tem três entradas ENABLE , todas as quais devem ser ativadas (duas em nível BAIXO, uma em nível ALTO); caso contrário, todas as saídas são ALTO.

Os decodificadores são comumente usados na interface com um barramento de dados, para acionar diferentes ações dependendo do endereço; trataremos desse assunto em detalhes no Capítulo 13. Outro uso comum de um decodificador é permitir uma sequência de ações sucessivamente, de acordo com um endereço de avanço fornecido pela saída de um *contador* binário (§10.4.2E). Um primo próximo do '138 é o '139, um decodificador duplo 1 de 4 com um único LOW ENABLE ativo por seção. A Figura 10.44 ilustra como seria seu código Verilog.

A Figura 10.45 mostra como usar um par de decodificadores '138 1 de 8 para gerar um decodificador 1 de 16. Nenhuma porta externa é necessária, pois o '138 possui entradas ENABLE de ambas as polaridades.

Exercício 10.19. Mais expansão: faça um decodificador 1 de 64 a partir de nove '138s. *Dica:* use um deles como um switchyard de habilitação para os outros.

Na lógica CMOS, os multiplexadores que usam portas de transmissão também são desmultiplexadores, pois as portas de transmissão são bidirecional. Quando eles são usados dessa forma, é importante perceber que as saídas que não são selecionadas estão em circuito aberto. Um resistor de pullup ou pulldown, ou equivalente, deve ser usado para afirmar um nível lógico bem definido nessas saídas (o mesmo requisito das portas de coletor aberto TTL).

Outro tipo de decodificador é o '47 "BCD-to-7-segment decoder/ driver". Recebe uma entrada BCD e gera saídas em 7 linhas correspondentes aos segmentos de um “display de 7 segmentos” que devem ser acesos para exibir o caractere decimal.
Esse tipo de decodificador é realmente um exemplo de *conversor de código,* mas no uso comum é chamado de decodificador.

Exercício 10.20. Projete um decodificador BCD para decimal (1 de 10) usando portas.

Exercício 10.21. Projete um codificador “simples”: um circuito que emita o endereço (2 bits) informando qual das 4 entradas é ALTA (todas as outras entradas devem ser BAIXAS).

Exercício 10.22. Descubra como fazer um gerador de paridade com portas XOR .

E. Outros chips aritméticos O *codificador de prioridade* gera um código binário fornecendo o endereço da entrada de número mais alto que é ativado. É particularmente útil em ADCs de “conversão paralela” (consulte

próximo capítulo) e no projeto de sistemas de microprocessadores. Um exemplo é o codificador de prioridade '148 de 8 entradas (3 bits de saída). O '147 codifica 10 entradas.

A Figura 10.46 mostra um *comparador de magnitude* de 4 bits . Ele determina os tamanhos relativos dos números de entrada de 4 bits *A* e *B* e informa por meio de saídas se *A* < B, *A* = B ou *A* > B. As entradas são fornecidas para expansão para números maiores que 4 bits.

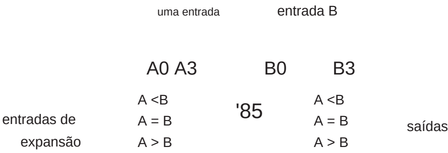


Figura 10.46. Comparador de magnitude.

Um chip *gerador de paridade* é usado para gerar um bit de paridade a ser anexado a uma "palavra" ao transmitir (ou gravar) dados e para verificar a paridade recebida quando esses dados são recuperados. A paridade pode ser par ou ímpar (por exemplo, com paridade ímpar, o número de 1 bits em cada caractere é ímpar). O gerador de paridade '280, por exemplo, aceita uma palavra de entrada de 9 bits, fornecendo uma saída de bit de paridade par e ímpar. A construção básica é um array de portas OU exclusivas.

A Figura 10.47 mostra um *somador completo* de 4 bits .[43] Ele adiciona o número de 4 bits *Ai* ao número de 4 bits *Bi,* gerando uma soma de 4 bits *Si* mais carry bit *Co.* Os somadores podem ser "expandidos" para adicionar números maiores: a entrada "carry-in" *Ci* é fornecida para aceitar o carry out do próximo somador inferior.

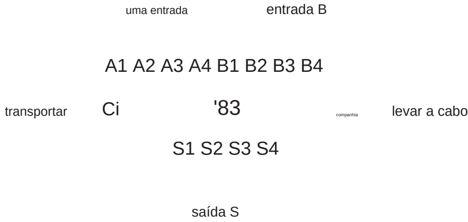


Figura 10.47. Somador completo de 4 bits.

A Figura 10.48 mostra o código Verilog (escrito aqui de forma um tanto prolixa, para maior clareza) para um somador completo de 4 bits; veja se você consegue entender como ele calcula a soma.

[43] Mostramos o número da peça da família lógica '83 principalmente por um sentimento de nostalgia. A peça não existe na família 'HC, e as peças 7483 e 74LS83 são obsoletas. No design contemporâneo, tais funções MSI (integração de média escala) são frequentemente implementadas com alguma forma de lógica programável (consulte §10.5.4 e Capítulo 11). Na verdade, é a própria superioridade deste último que provocou o desaparecimento de muitas das antigas partes do MSI.

Uma coisa boa sobre linguagens como Verilog ou VHDL é que elas entendem níveis mais altos de abstração (e você também pode, assim que pegar o jeito delas). Neste caso, todo o material após as declarações de transferência pode ser escrito como uma única linha, ou seja, assign {COUT,S} = A + B + CIN;.

Um dispositivo conhecido como *unidade lógica aritmética* (ULA) pode ser usado como um somador, embora tenha a capacidade de executar várias funções diferentes. Por exemplo, a ALU '181 de 4 bits (expansível para comprimentos de palavra maiores) pode fazer adição, subtração, deslocamento de bits, comparação de magnitude e algumas outras funções. Somadores e ALUs fazem sua aritmética em tempos medidos em nanossegundos a dezenas de nanossegundos, dependendo da família lógica. Outros chips aritméticos dedicados incluem o *multiplicador-acumulador* (MAC), que acumula uma soma de produtos, e o *correlator,* que compara os bits correspondentes de um par de cadeias de bits, calculando o número de bits correspondentes.

No entanto, devido ao desenvolvimento de microprocessadores grandes e rápidos, o design digital contemporâneo favorece os microprocessadores de uso geral ou os processadores de sinal digital (DSPs) mais otimizados para o tipo de processamento de sinal que envolve extensas funções aritméticas. Uma alternativa atraente é o FPGA, configurável pelo usuário para ser praticamente qualquer coisa; você pode inserir um processador "soft" ou outra função e pode obtê-los com funções otimizadas "hard" já integradas. Falaremos sobre lógica configurável no próximo capítulo e microprocessadores no Capítulo 15.

F. Dispositivos lógicos programáveis Você pode configurar sua própria lógica combinacional (e sequencial) personalizada em um único chip usando ICs que contêm uma matriz de portas com interconexões programáveis. Estes são conhecidos genericamente como *dispositivos lógicos programáveis* (PLDs). As variedades populares são cPLDs (PLDs complexos) e matrizes de portas programáveis em campo (FPGAs). Ambos os sabores são grandes empreendedores, flexíveis e uma delícia de usar. Eles fazem parte da caixa de ferramentas de truques de todo designer. Nós os encontraremos mais adiante neste capítulo e novamente no próximo.

10.4 Lógica sequencial 10.4.1

Dispositivos com memória: flip-flops

Todo o nosso trabalho com lógica digital até agora tem sido com circuitos combinados nacionais (por exemplo, matrizes de portas), para os quais a saída é determinada completamente pelo estado existente das entradas. Não há "memória", não há história nesses circuitos. A vida digital fica realmente interessante quando adicionamos dispositivos com memória. Isso torna possível construir contadores, cálculos aritméticos

```
fio [3:0] A;
fio [3:0] B;
fio [3:0] S; // soma bits
fio CIN, COUT; // carrega
atribuir S[0] = A[0] ÿ B[0] ÿ CIN; // rechamada "ÿ" significa atribuição XOR C01 = A[0] & B[0] |
A[0] & CIN | B[0] & CIN;
atribuir S[1] = A[1] ÿ B[1] ÿ C01; atribuir C12 = A[1]
& B[1] | A[1] & C01 | B[1] & C01;
atribuir S[2] = A[2] ÿ B[2] ÿ C12; atribuir C23 = A[2]
& B[2] | A[2] & C12 | B[2] & C12;
atribuir S[3] = A[3] ÿ B[3] ÿ C23; atribuir COUT = A[3]
& B[3] | A[3] & C23 | B[3] & C23;
```

Figura 10.48. Código Verilog para um somador completo de 4 bits.

acumuladores e circuitos que geralmente fazem uma coisa interessante após a outra. A unidade básica é o flip-flop, um nome colorido para descrever um dispositivo que, em sua forma mais simples, se parece com o mostrado na Figura 10.49.

Assuma que *A* e *B* são ALTOS. O que são *X* e Y?

Se *X* for ALTO, então ambas as entradas de G2 são ALTOS, tornando *Y* BAIXO. Isso é consistente com *X* sendo ALTO, então terminamos. Certo?

X = ALTO,

Y = BAIXO.

Errado! O circuito é simétrico, então um estado igualmente bom é

X = BAIXO,

Y = ALTO.

Os estados X,Y, ambos BAIXO, e X,Y, ambos ALTO, não são possíveis (lembre-se, *A* = *B* = ALTO). Portanto, o flip-flop tem dois estados estáveis (às vezes é chamado de "bisestável"). O estado em que se encontra depende da história passada. Tem memória! Para escrever na memória, basta trazer uma das entradas momentaneamente para o nível BAIXO. Por exemplo, trazer *A* LOW momentaneamente garante que o flip-flop entre no estado

X = ALTO,

Y = BAIXO,

não importa em que estado estava anteriormente. Você o descreveria como um "flip-flop SR", que é definido ou reinicializado com um pulso de entrada BAIXO ativo.

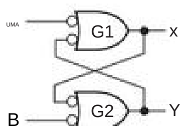


Figura 10.49. Flip-flop (tipo "set-reset").

A. Debouncing de chave Este tipo de flip-flop (com uma entrada SET e RESET , geralmente rotulada como *S* e R) é bastante útil em muitas aplicações. A Figura 10.50 mostra um exemplo típico. Este circuito deve habilitar o portão e passar os pulsos de entrada quando o interruptor é aberto.44 O problema com este circuito é que os contatos do interruptor oscilam . Quando a chave é fechada, os dois contatos realmente se separam e se reconectam, geralmente de 10 a 100 vezes em um período de cerca de um milissegundo. Você obteria o tipo de formas de onda mostradas; se houvesse um contador ou registrador de deslocamento usando a saída, ele responderia fielmente a todos aqueles "pulsos" extras causados pelo salto.

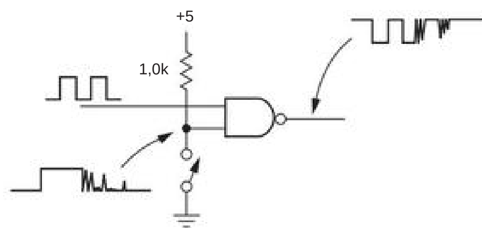


Figura 10.50. "Resalto" do interruptor mecânico.

A Figura 10.51 mostra uma cura. O flip-flop muda de estado quando os contatos fecham pela primeira vez. Rebater ainda mais contra esse contato não faz diferença e as chaves SPDT (unipolar, de acionamento duplo) nunca retornam totalmente à posição oposta; a saída é um sinal com *debounce* , conforme esboçado. Este circuito debouncer é amplamente utilizado; o '279 "quad *SR* latch" permite que você coloque quatro em um pacote, e o '1G74 (em um pacote menor) pode ser usado quando apenas um único flip-flop é necessário. Aliás, o circuito anterior

44 Geralmente gostamos de conectar um interruptor ao aterramento (não +5V) por alguns motivos: (1) o aterramento é um caminho de retorno conveniente (e eletricamente "silencioso") para interruptores e outros controles; e (2) nos acostumamos, devido a uma peculiaridade da lógica bipolar (fonte de corrente).

tem uma pequena falha: o primeiro pulso após a habilitação do gate pode ser encurtado, dependendo de quando a chave é fechada em relação ao trem de pulsos de entrada; o mesmo vale para o pulso final de uma sequência (obviamente, uma chave que não é devolvida tem o mesmo problema). Um circuito "sincronizador" (consulte §10.4.4) pode ser usado para evitar que isso aconteça, para aplicações onde isso faz diferença.

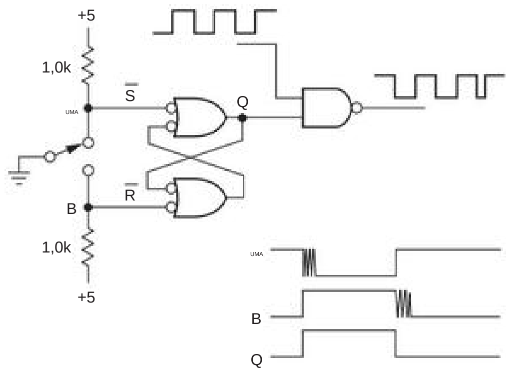


Figura 10.51. Debouncer do switch flip-flop SR. Observe a forma de onda de saída danificada. Os nós rotulados *S* e *R* são entradas ativas de LOW SET e RESET para o flip-flop.

A Figura 10.52A mostra um truque que usamos para fazer um debouncer mais simples: o buffer não inversor (que poderia ser feito a partir de um AND '08 de 2 entradas, ou dois inversores '04 em cascata, ou qualquer outro) mantém seu último estado (exatamente como um flip-flop). A chave, quando acionada, cancela momentaneamente a saída do buffer; o último, no entanto, é sábio o suficiente para não lutar contra a inevitabilidade e muda (sem ressalto) para concordar. Há muita corrente de saída durante a contenção momentânea, que, no entanto, dura apenas durante o tempo de transição da porta, da ordem de alguns nanossegundos. Nenhum dano causado e, apesar da sensação de desconforto com um truque tão sujo,45 funciona muito bem. Com um par de inversores em cascata (Figura 10.52B) você pode evitar a conexão com VDD.

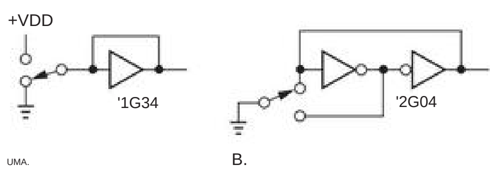


Figura 10.52. Debouncer de interruptor simples.

45 Engenheiros tímidos são conhecidos por substituir o fio de feedback por um resistor, digamos 1 kÿ. Isso elimina o pico de corrente momentâneo no trilho de alimentação, aliviando simultaneamente sua ansiedade persistente.

B. Flip-flop de múltiplas entradas

A Figura 10.53 mostra outro flip-flop simples. Aqui portas NOR são usadas; uma entrada HIGH força a saída correspondente a LOW. Múltiplas entradas permitem que vários sinais configurem ou limpem o flip-flop. Neste fragmento de circuito, nenhum pullup é usado, porque os sinais lógicos gerados em outro lugar (por saídas pullup ativas padrão) são usados como entradas.

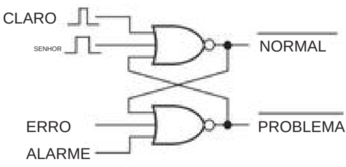


Figura 10.53. Flip-flop SR com múltiplas entradas.

10.4.2 Flip-flops com clock

Flip-flops feitos com duas portas, como nas Figuras 10.49 e 10.53, são conhecidos genericamente como flip-flops *SR* (set-reset) ou *jam-loaded* . Você pode forçá-los a um estado ou outro sempre que quiser, apenas gerando o sinal de entrada correto. Eles são úteis para debouncing de switch e muitas outras aplicações. Mas a forma mais usada de flip flop parece um pouco diferente. Em vez de um par de entradas de jam, ele possui uma ou duas entradas de "dados" e uma única entrada de "relógio".

As saídas mudarão de estado ou permanecerão as mesmas, dependendo dos níveis nas entradas de dados quando o pulso do clock chegar.

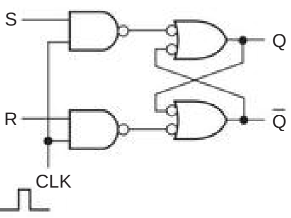


Figura 10.54. Flip-flop com clock: primeira aproximação.

O flip-flop com clock mais simples se parece com o mostrado na Figura 10.54. É apenas o nosso flip-flop original, com um par de portas adicionadas (controladas pelo clock) para habilitar as entradas SET e RESET . É fácil verificar que a tabela verdade é

SR Qn+1 0		
	0	*Qn*
0	1	0
	0	
1 1	1	1 indeterminado

onde Qn+1 é a saída *Q* após o pulso de clock e *Qn* é

a saída antes do pulso de clock. A diferença básica entre este e os flip-flops anteriores é que *R* e *S* devem agora ser considerados como entradas de *dados* (em oposição às entradas set-reset do flip-flop). O que está presente em *R* e *S* quando um pulso de clock curto aparece determina o que acontece com Q. Caso contrário, as entradas *R* e *S* são ignoradas.

Este flip-flop tem uma propriedade estranha, no entanto. A saída pode mudar em resposta às entradas durante o tempo em que o clock está em ALTO. Nesse sentido, ainda é como o flip-flop *SR* carregado em congestionamento (também conhecido como *latch transparente:* a saída "enxerga" a entrada quando o clock está em nível ALTO). A utilidade total dos flip-flops com clock vem com a introdução de configurações ligeiramente diferentes: o flip-flop mestre-escravo e o flip-flop disparado por borda.

A. Acionado por borda: o flip-flop tipo D Esses são de longe o tipo mais popular de flip-flop. O nível lógico presente na entrada *D* (dados) imediatamente antes[46] de uma transição de clock, ou "borda", determina o estado de saída após a alteração do clock.

Aqui está a tabela verdade para o flip-flop tipo D:

D Qn+1 0 0 1 1

Você pode pensar no D-FF como copiando o estado de sua entrada para sua saída (travada). Um de seus muitos usos é, de fato, simplesmente capturar e manter um nível lógico transiente,[47] conforme comandado por uma transição de clock separada. Esses flip-flops estão disponíveis como pacotes integrados de baixo custo e sempre são usados dessa forma.

Vale a pena parar por um momento para olhar as entranhas de um flip-flop *D* , a fim de entender o que está acontecendo. A Figura 10.55 mostra duas configurações de circuito, conhecidas como "mestre-escravo" e "acionado por borda", respectivamente. A configuração mestre-escravo é provavelmente mais fácil de entender. Veja como funciona.

Enquanto o clock está em HIGH, as portas 1 e 2 são habilitadas, forçando o flip-flop mestre (portas 3 e 4) para o mesmo estado da entrada *D : M=D, M =D* . As portas 5 e 6 são desabilitadas, então o flip-flop escravo (portas 7 e 8) retém seu estado anterior. Quando o clock vai para BAIXO, as entradas do mestre são desconectadas da entrada *D* , enquanto as entradas do escravo são simultaneamente acopladas às saídas do mestre. O mestre então transfere seu estado para o escravo. Não mais mudanças podem ocorrer na saída, porque o mestre agora está travado. Na próxima borda de subida do clock, o escravo será desacoplado do mestre e manterá seu estado, enquanto o mestre seguirá novamente a entrada.

O circuito acionado por borda se comporta da mesma forma externamente, mas o funcionamento interno é diferente. Não é difícil entendê-los. Acontece que o circuito específico mostrado é o sempre popular flip-flop tipo D disparado por borda de subida '74. Os flip-flops estão disponíveis com disparo de borda ascendente ou descendente.[48] (O circuito mestre-escravo precedente transfere dados para a saída na borda *descendente .)* Além disso, a maioria dos flip-flops também possui entradas do tipo jam SET e CLEAR . Eles podem ser setados e zerados em HIGH ou LOW, dependendo do tipo de flip-flop. A Figura 10.56 mostra quatro exemplos de flip-flop. A cunha significa "acionado pela borda" e os pequenos círculos significam "negação" ou complemento. Assim, o '74 é um flip-flop acionado por borda de subida tipo *D* duplo com entradas SET e CLEAR do tipo jam ativo em BAIXO; o '4013 é um flip-flop acionado por borda de subida tipo D duplo com entradas SET e CLEAR do tipo jam HIGH ativas; o '1G79 é um flip-flop disparado por borda de subida tipo D único sem entradas SET ou CLEAR e sem uma saída *Q ;* e o '112 é um flip-flop mestre-escravo *JK* duplo com transferência de dados na borda de descida e com entradas SET e CLEAR do tipo atolamento BAIXO ativo.

Flip-flops JK e tipo T Os flip-flops *JK* e *T* trabalham com princípios semelhantes aos do flip-flop tipo D. Aqui estão as tabelas verdade:

JK Qn+1 0 0

Qn

0 1 0 1 0 1 1 1

Q n

T	Qn+1
0	*Qn*
1	*Q n*

Assim, se *J* e *K* forem complementares, *Q* irá para o valor da entrada *J* na próxima transição de clock. Se *J* e *K* forem BAIXOS, a saída não mudará. Se *J* e *K* estiverem ambos em nível ALTO, a saída irá "alternar" (reverte seu estado após cada pulso de clock).

O flip-flop *T* (tipo alternância) alterna a cada clock se *T* for ALTO; *T* LOW faz com que fique.

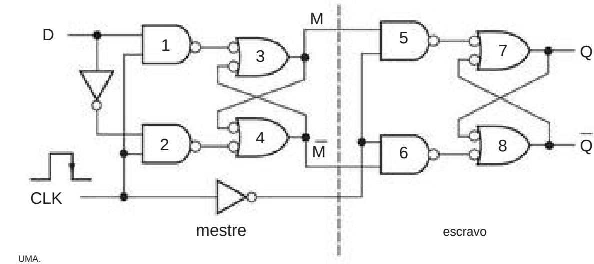
B. Dividir por 2

Em circuitos digitais, você geralmente deseja criar um sinal que alterne em uma subdivisão de algum sinal de "relógio" de frequência mais alta que já está presente. Por exemplo, relógios de pulso digitais usam como base de tempo um oscilador de cristal de 32.768 Hz; essa frequência peculiar é escolhida porque é 215

[46] Esta redação vaga pode, e será, precisa, quando visitarmos os tempos de *configuração* e *espera* em §10.4.2C.

[47] Ou talvez um monte de bits separados (por exemplo, um byte de dados de 8 bits) em um array de D-flops (que é chamado de *registrador).*

[48] Às vezes chamados *de borda positiva* e borda *negativa,* respectivamente.



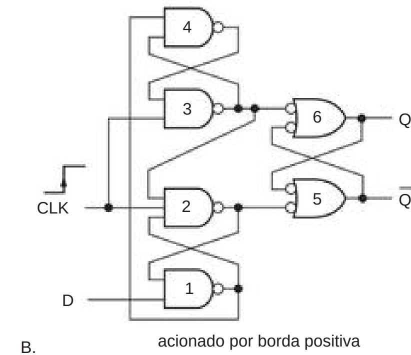


Figura 10.55. Flip-flops com clock verdadeiro: flip-flops tipo D mestre-escravo e disparados por borda .

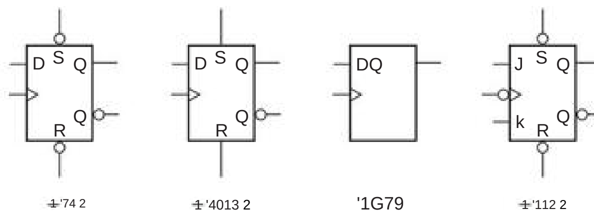


Figura 10.56. Flip-flops tipo D e *JK* .

subdivisão é de 1 Hz, ideal para avançar o ponteiro dos segundos do relógio (ou incrementar o tempo digital exibido). O truque básico aqui é usar a capacidade de alternância dos flip-flops: na Figura 10.57, o flip-flop *D* sempre vê, em sua entrada *D* , o complemento de sua saída *Q* existente. Ele, portanto, alterna a cada pulso de clock, gerando uma saída na metade da frequência de clock de entrada.

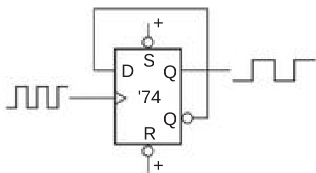


Figura 10.57. Alternando o flip-flop *D.*

Na Figura 10.58 você pode ver a essência da codificação Verilog para o flip-flop *D* alternado.

```
fio CLKIN;
reg Q;
sempre @(posedge CLKIN)
  Q = ÿQ;
```

Figura 10.58. Código Verilog para o flip-flop *D* alternado.

C. Temporização de dados e

clock Este último circuito levanta uma questão interessante: o circuito falhará em alternar, porque a entrada *D* muda quase imediatamente após o pulso de clock? Em outras palavras, o circuito ficará confuso, com essas coisas malucas acontecendo em sua entrada? Você poderia, em vez disso, fazer esta pergunta: exatamente *quando* o flip-flop *D* (ou qualquer outro flip-flop) olha para sua entrada, em relação ao pulso do clock? A resposta é que há um *tempo de configuração* especificado ts e *um tempo de espera* th para qualquer dispositivo com clock. Os dados de entrada devem estar presentes e estáveis de pelo menos ts antes da transição do relógio até pelo menos th depois dela, para garantir a operação adequada. Para o 74HC74, por exemplo, ts=20 ns e th=3 ns (Figura 10.59). Portanto, para a conexão de alternância anterior, o requisito de tempo de configuração é atendido se a saída estiver estável por pelo menos 20 ns antes da próxima borda de subida do clock. Pode parecer que o requisito de tempo de espera foi violado, mas tudo bem também. O tempo mínimo de *propagação* do clock para a saída é de 10 ns, portanto, um flip-flop *D* conectado ao toggle conforme descrito tem a garantia de ter sua entrada *D* estável por pelo menos 10 ns após a trans

A maioria dos dispositivos hoje em dia tem um requisito de tempo de espera zero.

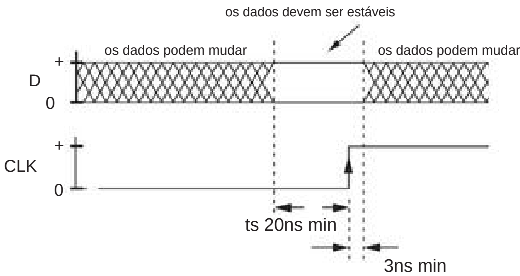


Figura 10.59. Configuração de dados e tempos de espera para o flip-flop 74HC74.

D. Metaestabilidade

Uma coisa interessante pode acontecer se o nível no *D* in put mudar durante o intervalo de tempo de configuração, ou seja, um chamado estado *metaestável* no qual o flip-flop não consegue decidir em qual estado entrar. A Figura 10.60 mostra o que aconteceu quando violamos deliberadamente o tempo de configuração para

um flip-flop tipo D 74HC74 (operando a partir de uma fonte de +3,3 V), trazendo Din ALTO no último momento: a saída *Q* levou seu bom tempo para decidir para qual estado ir.49 O 'scope trace acumulou cerca de 2 segundos de dados, durante os quais houve alguns eventos em que o atraso do clock para a saída *Q* se estendeu para quase 50 ns, em comparação com seu valor normal de cerca de 16 ns; quando rodamos por vários minutos, seu melhor cliffhanger atingiu 75 ns (quase na borda direita da tela). Famílias lógicas mais rápidas mostram um atraso correspondentemente menor, e afirma-se que algumas são projetadas para serem “resistentes a metaestáveis ” . e mediu um lento (!) atraso de propagação de 2 a 4 ns, em comparação com seu frenético atraso normal de apenas 1,4 ns.51

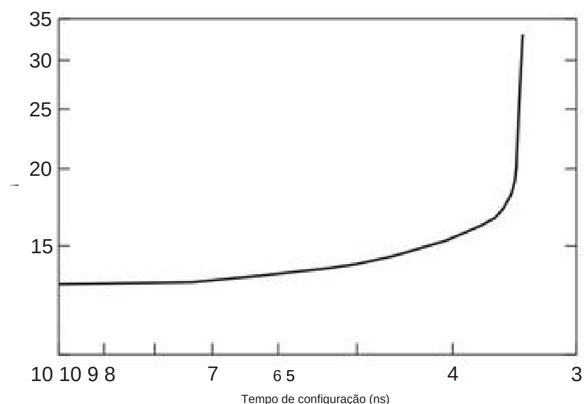


Figura 10.61. Torcendo a cauda do dragão: atraso de propagação metaestável versus tempo de configuração (violado) para o 74HC74.

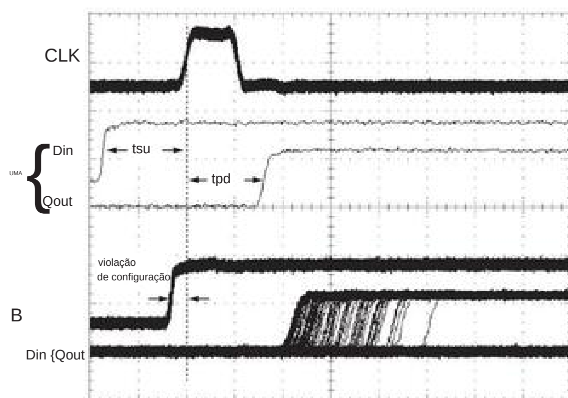


Figura 10.60. A violação de tempo produz metaestabilidade na lógica com clock. Aqui, uma violação do tempo de configuração na entrada *D* de um 74HC74 (par de rastreamento B) produz uma saída muito atrasada (Qout) de CLK para *Q* em comparação com o atraso normal de ~16 ns (par de rastreamento A). Escala horizontal: 10 ns/div.

Apenas por diversão, medimos o aumento do “tempo de decisão” para o flip-flop 74HC74, pois o torturamos com cada vez menos tempo de configuração; A Figura 10.61 mostra os resultados.

E. Divida por mais

Colocando em cascata vários flip-flops alternados (conecte cada saída *Q* à próxima entrada de clock), é fácil fazer uma divisão por 2n, ou contador binário. A Figura 10.62 mostra um sistema de três estágios *contador de ondulação,* que é uma divisão por 8: a forma de onda de saída do último flip-flop é uma onda quadrada cuja frequência é 1/8 da frequência do clock de entrada do circuito. Tal circuito é chamado de *contador* porque os dados presentes nas três saídas *Q* , considerados como um único número binário de 3 bits, percorrem uma sequência binária de 0 a 7, incrementando após cada pulso de entrada. (Usamos as saídas *Q* para cronometrar estágios sucessivos, para fazê-lo contar *para cima* em vez de *para baixo.* 52)

A Figura 10.63 mostra as formas de onda medidas para esse contador, avançando a 50 MHz (as setas curvas foram adicionadas para indicar o que causa o quê, para ajudar na compreensão): você pode ver a sequência binária de números de 3 bits (0 a 7), onde *QA* é o LSB e *QC* é o MSB. Você também pode ver que há um atraso sucessivo passando de estágio para estágio (daí "ondulação").53

Na prática, o esquema simples de contadores em cascata conectando cada saída *Q* à próxima entrada de clock cria certos problemas relacionados aos atrasos em cascata à medida que o sinal desce pela cadeia de flip-flops e um esquema *síncrono* (no qual todos entradas de clock veem o mesmo sinal de clock) geralmente é melhor.54 Veremos em breve como fazer um contador síncrono de 3 bits.

O contador é uma função útil, com muitas versões

49 A saída *Q* abrupta , tamponada pelo estágio de saída, esconde o comportamento metaestável interno mais interessante, no qual a tensão (sem buffer) paira entre LOW e HIGH, equilibrada no fio da navalha, tentando decidir para que lado cair.

50 Resistente a metaestável não é a mesma coisa que à prova de metaestável ; é como resistente à água versus à prova d'água.

51 A família LVC é uma boa escolha geral para operação de 1,8–3,3 V, embora não seja de forma alguma a criança mais rápida do mercado (consulte a Figura 10.26).

52 Existem duas outras configurações que produzem um *contador crescente:* (1) use as saídas *Q* para sincronizar estágios sucessivos, mas use os sinais *Q* como suas saídas binárias; ou (2) usar as saídas *Q* para cronometrar estágios sucessivos acionados por borda descendente.

53 Na verdade, o atraso de ondulação é grande o suficiente aqui para que a contagem em qualquer instante (ou seja, um corte vertical nos traços) nunca seja correta. Isso não importa, no entanto, se o contador for usado apenas para gerar uma saída de frequência subdividida ou se o contador for parado antes da leitura.

54 No entanto, se tudo o que você precisa é uma subdivisão *2n* de um clock de entrada, sem

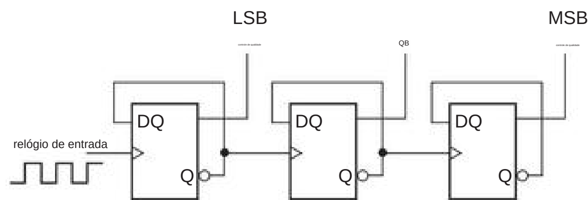


Figura 10.62. Contador de ripple binário de três estágios.

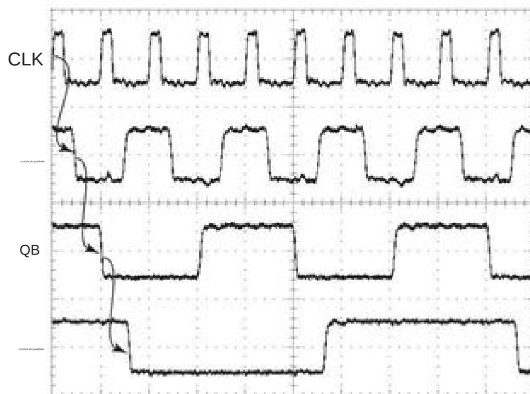


Figura 10.63. Formas de onda de contador de ondulação. Este 'scope trace' (em 4 V/div vertical, 20 ns/div horizontal) mostra uma cascata de flip-flops 74HC74 *D* acionados por borda ascendente , com clock de 50 MHz, exibindo atrasos sucessivos de aproximadamente 10 ns por estágio. O contador, começando na contagem máxima (1,1,1), é cronometrado para todos os zeros pela borda ascendente de CLK na borda esquerda extrema. Consulte a Figura 10.71 para formas de onda análogas de um contador totalmente síncrono.

disponível como lógica padrão, incluindo formatos de contagem de 4 bits, BCD e multidígitos. Colocando vários desses contadores em cascata e exibindo a contagem em um dispositivo de exibição numérica (por exemplo, um display digital de LED), você pode construir facilmente um contador de eventos. Se o trem de pulso de entrada para tal contador for bloqueado por exatamente 1 segundo, você terá um contador de frequência que exibe a frequência (ciclos por segundo) simplesmente contando o número de ciclos em um segundo.

10.4.3 Combinando memória e portas: lógica sequencial

Tendo explorado as propriedades dos flip-flops, vamos ver o que pode ser feito quando eles são combinados com a lógica combinacional (gate) que discutimos anteriormente. Circuitos feitos com portas e flip-flops constituem a forma mais geral de lógica digital.

relação de fase particular com a entrada, um contador de ondulação é perfeitamente bom; também é mais simples e operará em uma frequência máxima mais alta.

A. Sistemas com clock síncrono Como sugerimos na subseção anterior, os circuitos lógicos sequenciais nos quais há uma fonte comum de pulsos de clock acionando todos os flip-flops têm algumas propriedades muito desejáveis. Nesse *sistema síncrono,* todas as ações ocorrem logo após cada pulso de clock, com base nos níveis estáveis presentes imediatamente antes de cada pulso de clock. O sistema atinge seu próximo estado estável antes do próximo pulso de clock; é uma boa maneira de gerenciar o feedback; e, ao cronometrar todos os flip-flops simultaneamente, ele tira vantagem da relativa falta de ruído digital logo antes de cada pulso do clock (a calmaria antes da tempestade).

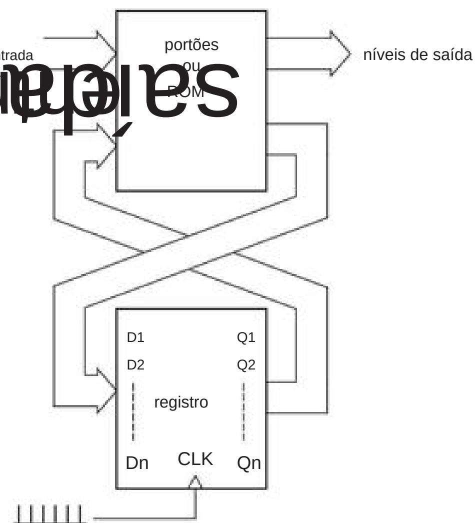


Figura 10.64. A clássica “máquina de estado” sequencial: um conjunto de flip-flops com clock (um registrador) mais lógica combinacional. Este esquema é facilmente implementado com dispositivos lógicos programáveis de chip único (PLDs ou FPGAs).

A Figura 10.64 mostra o esquema geral. Os flip-flops foram todos combinados em um único *registrador,* que nada mais é do que um conjunto de flip-flops do tipo D com suas entradas de clock todas interligadas e suas entradas *D* e saídas *Q* individuais destacadas; ou seja, cada pulso de clock faz com que os níveis presentes nas entradas *D* sejam transferidos para as respectivas saídas *Q.* A caixa cheia de portas examina as saídas *Q* e quaisquer níveis de entrada aplicados ao circuito e gera um novo conjunto de entradas *D* e saídas lógicas. Este esquema de aparência simples é extremamente poderoso; é a base para processadores digitais gerais. Vejamos um exemplo.

B. Exemplo: divisão por 3

Vamos projetar um circuito síncrono de divisão por 3 com dois flip-flops *D* , ambos sincronizados com o sinal de entrada. Nesse caso,

D1 e D2 são as entradas dos registradores, Q1 e Q2 são as saídas, e a linha de clock comum é a entrada master de clock (Figura 10.65). O truque é configurar o gating para que as entradas *D* sejam apresentadas com o próximo estado desejado.

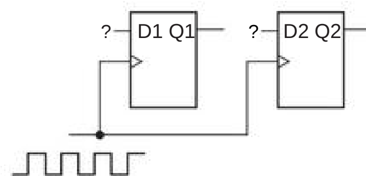


Figura 10.65. Dividir por 3: precisa de lógica!

1. Escolha os três estados. vamos usar

Q1	Q2
0 0	0 1
1 0	0 0

(ou seja, primeiro estado)

2. Encontre as saídas da rede lógica combinacional necessárias para gerar esta sequência de estados; ou seja, descubra quais devem ser as entradas *D* para obter essas saídas:

Q1	Q2	D1	D2
0 0	0 1	0 1	1 0
1	0	0	0

3. Crie uma lógica combinacional adequada (portas), usando as saídas disponíveis, para produzir essas entradas *D.* Em geral, você pode usar uma "tabela de pesquisa" (LUT) em ROM (memória somente leitura), programada para conter os valores *D* do próximo estado (e endereçada pelo valor *Q* atual , juntamente com quaisquer entradas externas).[55] Isso exemplo é simples, então você pode fazer isso com uma porta lógica: você pode ver por inspeção que

$$D1 = Q2,$$
$$D2 = (Q1 + Q2) ,$$

do qual segue o circuito da Figura 10.66.

É fácil verificar que o circuito funciona conforme planejado. Por ser um contador síncrono, todas as saídas mudam simultaneamente (ao contrário do contador de ripple). Em geral, os sistemas síncronos (ou "com clock") são desejáveis, uma vez que a suscetibilidade ao ruído é melhorada: as coisas se estabilizam no momento do próximo pulso de clock, então os circuitos que olham para suas entradas apenas nas bordas do clock não são perturbado por interferência ca pacitivamente acoplada de outros flip-flops, etc. é insensível ao que acontece logo *após* um pulso de clock. Veremos alguns exemplos mais adiante.

[55] Este exemplo não possui entradas lógicas, como você teria, por exemplo, um contador UP/DOWN ou um contador com uma entrada RESET .

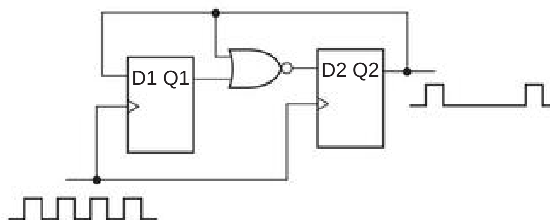


Figura 10.66. Divisão síncrona por 3.

C. Estados excluídos O que acontece com o circuito de divisão por 3 se os flip-flops de alguma forma entrarem no estado (Q1,Q2) = (1,1)? Isso pode facilmente acontecer quando o circuito é ligado pela primeira vez, já que o estado inicial de um flip-flop é uma incógnita. Pelo diagrama, fica claro que o primeiro pulso de clock fará com que ele vá para o estado (1,0), a partir do qual funcionará como antes. É importante verificar os estados excluídos de um circuito como este, pois é possível dar azar e ficar preso em um desses estados. (Alternativamente, e melhor, o procedimento de projeto inicial pode incluir uma especificação de todos os estados possíveis.) Uma ferramenta de diagnóstico útil é o *diagrama de estado,* que para este exemplo se parece com a Figura 10.67. Normalmente você escreve as condições para cada transição ao lado das setas, se outras variáveis do sistema estiverem envolvidas. As setas podem ir em ambas as direções entre os estados ou de um estado para vários outros.

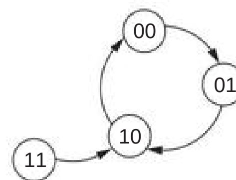


Figura 10.67. Diagrama de estado: divisão por 3.

O código Verilog para este circuito (desta vez um "módulo" completo) está na Figura 10.68.

Exercício 10.23. Projete um circuito síncrono divisor por 3 usando dois flip-flops *JK .* Isso pode ser feito (de 16 maneiras diferentes!) sem portas ou inversores. *Uma dica:* ao construir a tabela das entradas J1,K1 e J2,K2 necessárias , lembre-se de que existem

```
módulo divideBy3(CLKIN,Q1,Q2);
        entrada CLKIN;
        saída Q1, Q2;
        reg Q1, Q2;
        sempre @(posedge CLKIN)
            começar
               Q1 <= Q2;                    // o símbolo <= é chamado de "atribuição sem bloqueio"
               Q2 <= ÿ(Q1|Q2); // faz com que todos os passos aconteçam de uma só vez, não sequencialmente
            fim
módulo final
```

Figura 10.68. Código Verilog para circuito dividido por 3.

duas possibilidades para J,K em cada ponto. Por exemplo, se a saída de um flip-flop for de 0 a 1, J,K = 1,X *(X* = não importa). Finalmente, verifique se o circuito irá travar no estado excluído (das 16 soluções distintas para este problema, 4 irão travar e 12 não).

Exercício 10.24. Projete um contador UP/DOWN síncrono de 2 bits : ele tem uma entrada de clock e uma entrada de controle (U/D); as saídas são as duas saídas do flip-flop Q1 e Q2. Se U/D for ALTO, ele passará por uma sequência de contagem binária normal; se BAIXO, conta para trás – *Q2Q1* = 00, 11, 10, 01, 00....

D. Diagramas de estado como ferramentas de projeto O diagrama de estado pode ser bastante útil ao projetar lógica seqüencial, particularmente se os estados estiverem conectados entre si por vários caminhos. Nesta abordagem de projeto, você começa selecionando um conjunto de estados únicos do sistema, dando a cada um um nome (ou seja, um endereço binário). Você precisará de no mínimo *n* flip-flops, ou bits, onde *n* é o menor inteiro para o qual *2n* é igual ou maior que o número de estados distintos no sistema. Então você estabelece todas as regras para se mover entre os estados, ou seja, todas as condições possíveis para entrar e sair de cada estado. A partir daí, é um trabalho direto (mas talvez tedioso) gerar a lógica combinacional necessária, porque você tem todos os conjuntos possíveis de Q's e o conjunto de D's aos quais cada um leva. Assim, você converteu um problema de projeto sequencial em um problema de projeto combinacional.[56] A Figura 10.69 mostra um exemplo do mundo real. Observe que pode haver estados que não levam a outros, por exemplo, “com diploma”.

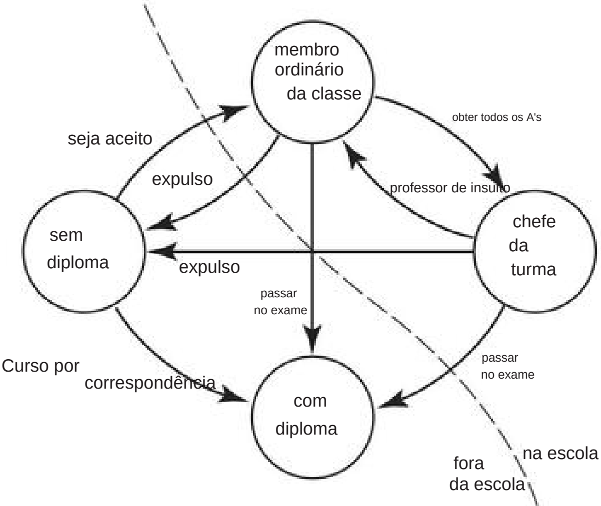


Figura 10.69. Diagrama de estado: indo para a escola.

E. Projeto de máquina de estado Linguagens de descrição de hardware, usadas como ferramentas de entrada algébrica para lógica programável (cPLDs e FPGAs) e para circuitos integrados totalmente personalizados (ASICs), fornecem uma rota direta para especificar máquinas de estado. Eles incluem instruções *if/ elseif/ else* que permitem especificar condições para ir para o próximo estado e para as saídas, dado o estado atual e as entradas. O software HDL traduz essas especificações em um circuito lógico, implementado com as portas e flip-flops usuais.

Mais um ponto sobre as máquinas de estado: o diagrama de blocos da Figura 10.64 permite duas possibilidades, a saber, que (a) as saídas podem depender apenas do estado atual (definido pelos Q's) e, na verdade, podem consistir simplesmente nos próprios Q's ; ou (b) para qualquer estado dado dos Q's, a saída pode depender também das entradas, que estão disponíveis para a lógica combinacional no bloco denominado *"portas* ou *ROM".* Estes são conhecidos como estado de *Moore* e *Mealy*

[56] Você sempre pode pegar o atalho de usar uma tabela de consulta, na forma de uma ROM. Como alternativa, existem ferramentas de design (por exemplo, linguagens de descrição de hardware (HDLs) usadas para lógica programável) que minimizarão e instanciarão a lógica necessária. O melhor de tudo é que esses HDLs sempre incluem uma sintaxe de entrada que permite simplesmente especificar os estados e suas regras de transição, para que você nem precise descobrir a lógica necessária.

máquinas, respectivamente.57 A máquina de Moore muda de estado apenas nas bordas do relógio e, se os próprios Q's forem considerados as saídas, eles são estritamente síncronos. A máquina Mealy responde de forma assíncrona às mudanças de entrada, independentemente do relógio; geralmente requer menos flip-flops, porque existem várias saídas possíveis correspondentes a um único estado (definido pelos Q's).

F. Contador binário síncrono

Prometemos revisitar nosso contador de ripple original de 3 bits (§10.4.2E) para torná-lo totalmente síncrono. A Figura 10.70 mostra como isso é feito: o LSB sempre alterna, o que é feito facilmente realimentando seu *D* com um Q invertido . Para bits de ordem superior, a regra para contagem em binário é alternar apenas quando todos os bits de ordem inferior forem 1s. Como um XOR é um "inversor opcional", isso é feito facilmente alimentando cada entrada *D* de um XOR, uma de cujas entradas vem do Q correspondente e a outra de um AND de todos os Qs de ordem inferior . Vale a pena vê-lo também em uma linguagem de descrição de hardware:58

```
QA.d = !QA.q
QB.d = QB.q $ QA.q
QC.d = QC.q $ (QB.q & QA.q)
```

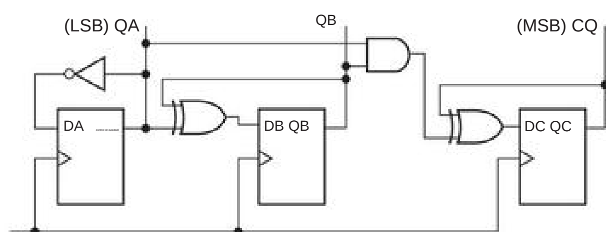


Figura 10.70. Contador binário síncrono de 3 bits.

Como prometido, todos os Qs são sincronizados simultaneamente,59 como você pode ver na Figura 10.71, que mostra as formas de onda medidas para um contador binário síncrono de 3 bits com clock na mesma taxa do contador de ondulação da Figura 10.63. Aqui é fácil ver que os Qs dos estados de clock sucessivos são simplesmente os números de 0 a 7 em binário de 3 bits.

57 É fácil confundi-los; talvez o mnemônico "MooreÿOutputsOnly" seja útil.

58 Escolhemos o ABEL primitivo, em vez de algo sofisticado como o Verilog, porque é "mais próximo do metal": ele permite que você especifique entradas *D* e saídas *Q* , etc. Em ABEL, o XOR é escrito como $.

59 Bem, quase. Em um nível mais exigente de escrutínio, você pode se preocupar com a *distorção de tempo,* a dispersão (relativamente pequena) dos tempos de propagação, entre os vários flip-flops, desde a borda de clock comum até as várias saídas *Q*.

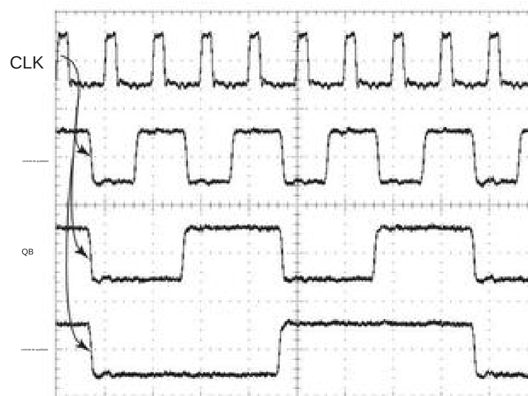


Figura 10.71. Em contraste com um contador de ripple (Figura 10.62), um contador síncrono (ou, de fato, qualquer sistema síncrono) tem todos os flip-flops sincronizados a partir de uma fonte comum. Aqui, um contador síncrono de 4 bits 74HC161 (acionado por borda de subida) exibe um atraso CLK-para-Q de cerca de 14 ns, constante para todos os Qs, produzindo assim alterações coincidentes. (Mesmas condições da Figura 10.63)

G. PLDs para projeto de máquina de estado

Dispositivos lógicos programáveis têm exatamente o que você precisa para máquinas de estado – muitos flip-flops e muita lógica, tudo em um chip configurável (portanto "programável"). E o software de programação inclui ferramentas que simplificam o design da máquina de estado. Teremos muito mais a dizer sobre esses notáveis dispositivos em §10.5.4 e no próximo capítulo.

10.4.4 Sincronizador

Uma aplicação interessante de flip-flops em circuitos sequenciais é seu uso em um *sincronizador.* Suponha que você tenha algum sinal de controle externo entrando em um sistema síncrono que possui relógios, flip-flops, etc., e você deseja usar o estado desse sinal de entrada para controlar alguma ação. Por exemplo, um sinal de um instrumento ou experimento pode significar que os dados estão prontos para serem enviados a um computador. Como o experimento e o computador marcham de acordo com as batidas de diferentes bateristas (em linguagem sofisticada, você diria que são processos *assíncronos),* você precisa de um método para restaurar a ordem entre os dois sistemas.

A. Exemplo: sincronizador de pulso

Como exemplo, vamos reconsiderar o circuito no qual um flip-flop debouncer acionou um trem de pulso (Figura 10.51 em §10.4.1A). Esse circuito ativa a porta sempre que a chave é fechada, independentemente da fase do trem de pulso que está sendo ativada, de modo que o primeiro ou o último pulso pode ser encurtado.
O problema é que o fechamento do switch é assíncrono

com o trem de pulso. Em algumas aplicações é importante ter apenas ciclos de clock *completos* , e isso requer um circuito sincronizador como o da Figura 10.72. Quando a chave cria um debounce HIGH na entrada *D* , *Q* permanece em BAIXO até a próxima borda descendente do trem de pulso de entrada. Dessa forma, apenas pulsos completos passam pela porta AND . Nas formas de onda, as setas curvas são desenhadas para mostrar o que causa o quê. Você pode ver, por exemplo, que as transições de *Q* ocorrem ligeiramente *após* as bordas descendentes da entrada.

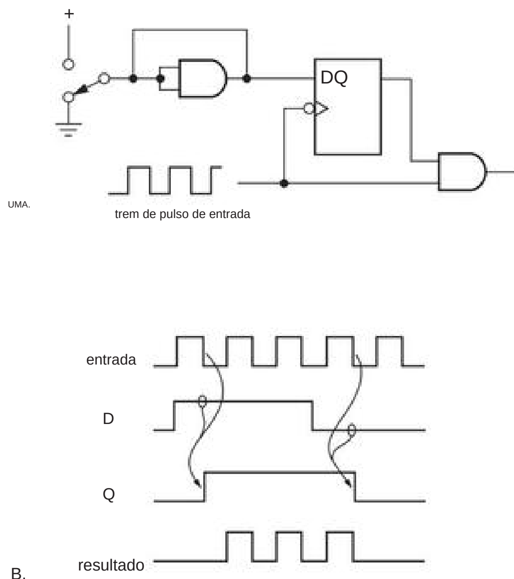


Figura 10.72. Sincronizador de trem de pulso: A. circuito; B. dia de tempo grama.

B. Corridas e falhas lógicas Este exemplo traz um ponto sutil, mas extremamente importante: o que aconteceria se um flip flop acionado por borda de subida fosse usado? Se você analisá-lo cuidadosamente, descobrirá que as coisas funcionam bem no início do trem de pulso, mas algo ruim acontece no final (Figura 10.73). Um curto pico (ou "glitch" ou "runt pulse") ocorre porque a porta AND final não é desativada até que a saída do flip-flop tenha a chance de ir para nível BAIXO, um atraso de cerca de 20 ns para a lógica da família HC. Este é um exemplo clássico de uma *corrida lógica.*

Com algum cuidado, essas situações podem ser evitadas, como mostra o exemplo.60 Falhas são coisas terríveis de se ter em seus circuitos. Entre outras coisas, eles são difíceis de ver em um osciloscópio, e você pode não saber que eles estão presentes. Eles podem cronometrar flip-flops subseqüentes erraticamente e podem ser ampliados – ou reduzidos até a extinção – pela passagem por portas e inversores.

Exercício 10.25. Demonstre que o circuito sincronizador de pulso anterior (Figura 10.72) não gera glitches.

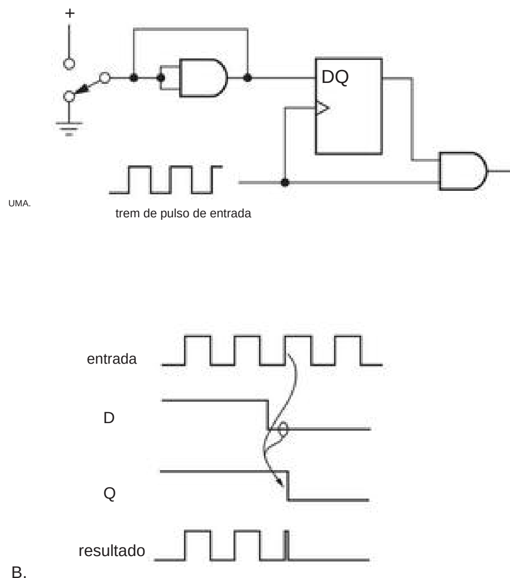


Figura 10.73. Uma corrida lógica pode gerar um "pulso runt".

Alguns comentários sobre sincronizadores: a entrada para o flip-flop *D* pode vir de outros circuitos lógicos, em vez de uma chave com debounce. Existem aplicações em interfaces de computador, etc., onde um sinal assíncrono deve se comunicar com um dispositivo com clock; em tais casos, flip-flops ou sincronizadores com clock são ideais. Neste circuito, como em toda lógica, as entradas não utilizadas devem ser tratadas adequadamente. Por exemplo, SET e CLEAR devem ser conectados para que não sejam ativados (para um '74, amarre-os em ALTO; para um 4013, eles são aterrados). As entradas não utilizadas que não têm influência nas saídas podem ser vinculadas a qualquer um dos níveis.

[60] Esse exemplo exigia um flip-flop acionado por borda descendente, que é uma espécie rara – mas um flip-flop de borda ascendente cria a falha! O que fazer? Com um pouco de reflexão, você perceberá que a condição livre de falhas é esta: *o nível do relógio que habilita o portão deve preceder a borda que cronometra o flip-flop.* OK, você diz: "Vou cronometrar o flip-flop de borda de subida com o trem de pulso de entrada e passar essa mesma entrada por um inversor no caminho para a porta AND ". Parece bom, mas há um novo problema, ou seja, um risco lógico no *início* do trem de saída sincronizado. Desafie-se descobrindo e desenhando um circuito que funcione corretamente com um flip-flop de borda ascendente.

10.4.5 Multivibrador monoestável

Em §7.2.2, apresentamos o que é realmente um dispositivo de *sinal misto* (analógico e digital combinados), o multivibrador monoestável (também conhecido como "one-shot", destaque para o *um);* veja as Tabelas 7.3 e 7.4 nas páginas 462 e 463. Embora tenhamos aconselhado algum cuidado ao considerar monoestáveis, há momentos em que eles fazem exatamente o que você deseja.

Vamos interromper nossa narrativa aqui para ver um bom exemplo, ou seja, um gerador de pulso acionável.

A. Exemplo de gerador de pulso A

Figura 10.74 mostra um gerador de onda quadrada com taxa e ciclo de trabalho configuráveis independentemente (relação de ALTO para BAIXO), juntamente com uma entrada que permite um sinal externo para iniciar e parar o trem de pulso de forma síncrona. A fonte de corrente U1– Q1 gera uma rampa em C1, com taxa de variação proporcional à resistência do potenciômetro R2 do painel. Quando a tensão de C1 atinge o limite superior do comparador de 3,0 V, o disparo único é acionado e gera um pulso BAIXO de 100 ns , colocando o MOSFET Q2 de canal n em condução e descarregando o capacitor. C1 , portanto, tem uma forma de onda dente de serra indo de terra para +3 volts, com a taxa definida pelo potenciômetro R2. O comparador inferior gera uma onda quadrada de saída do dente de serra, com ciclo de trabalho ajustável linearmente entre 2% e 98% via R7. Ambos os comparadores têm alguns milivolts de histerese (R10 e R11) para evitar transições múltiplas induzidas por ruído. O TLV3502 é um rápido (4,5 ns)

Comparador duplo CMOS com faixa de modo comum de entrada para ambos os trilhos (terra e +5 V) e saídas de trilho para trilho (consulte a Tabela 12.2 na página 813 para obter mais tipos de comparadores).

Uma característica deste circuito é sua capacidade de sincronizar (iniciar/parar) para um nível de controle aplicado externamente. A entrada EN ABLE permite que o circuito acionado inicie o oscilador em uma fase previsível (o tempo da borda de queda de um pulso de saída) e comande o oscilador para parar após o próximo pulso completo.

Alguns detalhes instrutivos (que podem ser ignorados em uma primeira leitura).

- A entrada adicional para o NAND de 3 entradas da saída do comparador garante que o circuito não fique preso com C1 carregado.

- A largura de pulso única foi escolhida longa o suficiente para garantir que C1 seja totalmente descarregado durante o pulso: você pode estimar o tempo de descarga observando a corrente de dreno de saturação do 2N7000 com acionamento de portão de 5 V (cerca de 350 mA) e é Ron (5 ÿ) quando a descarga está quase completa; eles correspondem a tempos de descarga aproximados de 50 ns e 17 ns, respectivamente, a partir dos quais definimos conservadoramente um tempo de descarga fixo de 100 ns.

- O resistor de 50 ÿ na saída fornece "terminação de fonte" para um cabo de 50 ÿ (consulte o Apêndice H).
- Organizamos as coisas para que o topo da forma de onda dente de serra corresponda à configuração de ciclo de trabalho curto; isso ocorre porque a forma de onda tem um fundo plano de 100 ns (durante a descarga), enquanto o topo é um dente de serra preciso.
- Observe que a frequência de oscilação é, com uma boa aproximação, independente das variações da tensão de alimentação, sendo ajustada raciometricamente (tanto a corrente de carga quanto a amplitude de pico são definidas como uma fração de V+, nominalmente 5 V).

- A tensão de ajuste de frequência aplicada a U1 é desviada para o trilho *positivo* , porque essa é a referência para a fonte de corrente; no final da faixa de baixa frequência, a tensão em R15 é apenas 5 mV abaixo do trilho positivo, portanto, bastante sensível ao ruído da tensão de alimentação.
- Especificamos um potenciômetro log-taper para o controle de frequência R2; caso contrário, o final da faixa de baixa frequência será esmagado.

10.4.6 Geração de pulso único com flip-flops e contadores

Em §7.2.2, discutimos a geração de pulsos e atrasos de tempo com multivibradores monoestáveis e algumas razões para ter cautela ao considerar o uso desses dispositivos parcialmente analógicos. Quando um sinal de clock está presente (o que é quase sempre), existem alternativas puramente digitais. A Figura 10.75 mostra como fazer um único pulso livre de falha cuja largura é igual a um ciclo de clock. Você vai se divertir desenhando o diagrama de tempo para este circuito – aceite o desafio!

Exercício 10.26. Aceite o desafio!

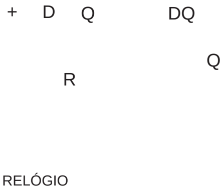


Figura 10.75. Gerador de pulso único.

A Figura 10.76 mostra outro caso em que flip-flops e contadores (flip-flops alternados em cascata) podem ser usados no lugar de um monoestável para gerar um pulso de saída longo. O '4060 é um contador de ondulação binário CMOS de 14 estágios (14 flip-flops em cascata). Uma borda de subida na entrada traz *Q* HIGH, habilitando o contador. Após 2nÿ1 pulsos de clock, *Qn* vai para ALTO,

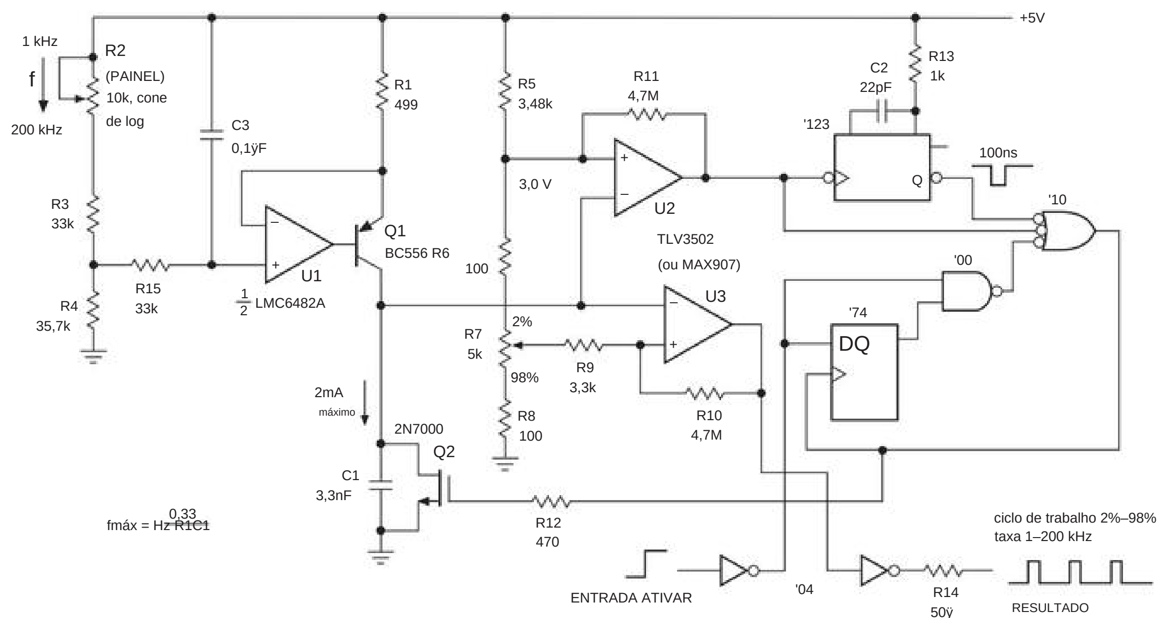


Figura 10.74. Gerador de pulso acionável com sincronização automática. Toda a lógica digital é CMOS da família LVC.

limpando o flip-flop e o contador. Este circuito gera um pulso longo preciso cujo comprimento pode ser variado por fatores de 2. O '4060 também inclui circuito de oscilador interno que pode substituir a referência de relógio externo.

Nossa experiência é que o oscilador interno tem baixa tolerância de frequência e (em algumas versões do HC) pode funcionar mal.

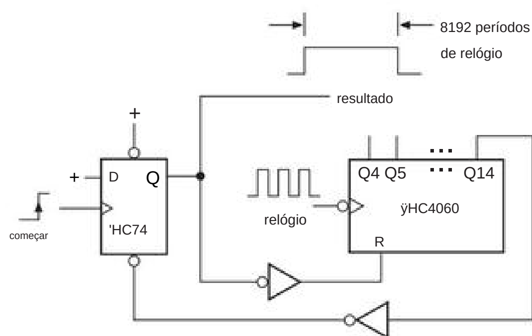


Figura 10.76. Geração digital de pulsos longos.

Você pode obter ICs completos para implementar o tempo com contadores. O Maxim ICM7240/50/60 possui contadores internos de 8 bits ou 2 dígitos e a lógica necessária para tornar os atrasos iguais a um número inteiro de contagens (1–255 ou 1–99 contagens); você pode definir o número com conexões "com fio" ou com interruptores externos.

O ICM7242 é semelhante, mas com contador de divisão por 128 pré-conectado.

10.5 Funções sequenciais disponíveis como circuitos integrados

Assim como as funções combinacionais que descrevemos anteriormente, é prática padrão integrar várias combinações de flip-flops e portas em um único chip para criar uma "lógica padrão" sequencial. Nas subseções a seguir apresentamos um breve levantamento dos tipos mais úteis. *Como nos sentimos obrigados a mencionar com frequência, você também pode obter* matrizes não confirmadas *de portas e flip-flops, as interconexões a serem programadas pelo usuário. Esses são os imensamente populares FPGAs e cPLDs, que discutiremos mais adiante neste capítulo e no Capítulo 11.*

10.5.1 Travas e registros

Latches e registradores são usados para "manter" um conjunto de bits, mesmo que as entradas mudem. Um conjunto de flip-flops *D* individuais constitui um registrador, mas possui mais entradas e saídas do que o necessário. Como você não precisa de clocks separados, ou entradas SET e CLEAR , essas linhas podem ser interligadas, exigindo menos pinos e, portanto, permitindo que oito flip-flops caibam em um pacote de 20 pinos. O popular '574 é um registrador *D* octal com borda de clock ascendente e saídas de três estados; o '273

é semelhante, mas tem um reset em vez de saídas de três estados. Para larguras de dados maiores, você pode obter os registradores *D* '16374 (16 bits) e '32374 (32 bits) . A Figura 10.77 mostra um registrador quad *D* com saídas verdadeiras e complementadas. O código Ver ilog que o descreve está na Figura 10.78.

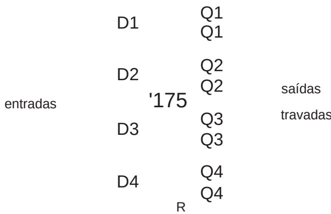


Figura 10.77. '175 Registrador *D* de 4 bits .

```
// Registro D de 4 bits com verdadeiro e complementado
// saídas e com reset assíncrono ativo-BAIXO
reg [3:0] D;
reg [3:0] Q;
reg [3:0] QBAR;
fio CLKIN;
fio RESETBAR;
sempre @(posedge CLKIN) ou negge RESETBAR
    se (!RESETBAR)
        começar
            Q <= 4'b0000;
            QBAR <= 4'b1111;
        fim
    senão
        começar
            Q <= D;
            QBAR <= ÿD;
        fim
```

Figura 10.78. Código Verilog para um registrador D quádruplo com saídas verdadeiras e complementadas.

O termo "latch" é geralmente reservado para um tipo especial de registrador: aquele em que as saídas seguem as entradas quando habilitadas e mantêm o último valor quando desabilitadas. Mas o termo "trava" tornou-se ambíguo com o uso, então os termos "trava transparente" e " registrador tipo D" são frequentemente usados para distinguir esses dispositivos intimamente relacionados. Como exemplo, o '573 é o latch transparente octal análogo ao registrador '574 *D ,* completo com saídas de três estados. As versões de 16 bits e 32 bits são chamadas de '16373 e '32373.

Algumas variações no latch ou registrador são as seguintes: (a) memórias de acesso aleatório (RAMs), que permitem escrever e ler de um (geralmente grande) conjunto de registradores, mas apenas um (ou no máximo alguns) de cada vez; ICs de RAM vêm em tamanhos de até 1 Gbyte ou mais e são usados principalmente para memória em sistemas de microprocessadores (consulte o Capítulo 14); (b) travas endereçáveis, uma trava multibit que permite atualizar bits individuais enquanto mantém os outros inalterados; (c) uma trava ou registrador embutido em um chip maior, por exemplo, um conversor digital-analógico; tal dispositivo precisa que a entrada seja aplicada apenas momentaneamente (com borda de clock apropriada), uma vez que um registrador interno pode conter os dados.

Ao escolher um registro ou latch, procure por recursos importantes, como habilitação de entrada, reset, saídas de três estados e pinagem *broadside* (entradas de um lado do chip, saídas do outro); o último é conveniente quando você está projetando uma placa de circuito impresso (PCB).

10.5.2 Contadores

Como mencionamos anteriormente, é possível fazer um *contador* conectando flip-flops. Existe uma incrível variedade de dispositivos como chips únicos, alguns dos quais listados na Tabela 10.5. Aqui estão alguns dos recursos para procurar.

A.

Tamanho Você pode obter contadores BCD (dividir por 10) e binários (ou *hexadecimal,* dividir por 16) na popular categoria de 4 bits. Existem contadores maiores, até 24 bits (nem todos disponíveis como saídas); o 74LV8154 é um bom exemplo – ele tem um par de contadores síncronos de 16 bits com registradores de saída e entradas de clock separadas e uma saída de três estados de 8 bits que encaminha qualquer byte selecionado. Existem também contadores de módulo n que dividem por um inteiro n, com o módulo *n* especificado como uma entrada. Para algumas aplicações (por exemplo, temporização), você não se preocupa com os bits intermediários, apenas deseja muitos estágios internos, fornecidos por chips como o ICM7240–60, MC14541 e MC14536; consulte §7.2.4D.

Você sempre pode colocar contadores em cascata (incluindo tipos síncronos) para obter mais estágios.

B. Clocking

Uma distinção importante é se o contador é um contador de ondulação ou um contador síncrono. O último cronometra todos os flip-flops simultaneamente, enquanto em um contador de ripple cada estágio é cronometrado pela saída do estágio anterior (Figuras 10.62 e 10.63). Os contadores de ondulação geram estados transitórios porque os estágios anteriores alternam ligeiramente antes dos posteriores. Por exemplo, um contador de ondulação que vai de 7 (0111) a 8 (1000) passa pelos estados 6, 4 e 0 ao longo do caminho. Isso não causa problemas em circuitos bem projetados, mas sim em um circuito que usa portas para procurar

Tabela 10.5 Contador selecionado ICsa

Número da peça (74xxx)	Tensão de alimentação mínimo (V)	Tensão de alimentação máximo (V)	bits	Síncrono?	U/D	BCD	Sincronizar	fmax min (MHz)	@ Vcc (V)	Disponível?
HC4024	2.0	6.0	7	não	-	-	-	30	4,5	●
HC4040	2.0	6.0	12	não	-	-	-	30	5	●
VHC4040	2.0	6.0	12	não	-	-	-	150	5	-
HC4060	2.0	6.0	14b	não	-	-	-	28	4,5	●
LV4060	1.2	5.5	14b	não	-	-	-	99c	3.3 ( )	●
HC40103	2.0	6.0	8	●	D'102		●	15	4.5	●
74HC161	2.0	6.0	4	●	-	'162	'163	30	4,5	●
74AC161	1.5	6.0	4	●	-	-	'163	90c	3,3 '163	-
74LV161	2.0	5.5	4	●	-	-		165c	3,3	-
74LVC161	1,2	3,6	4	●	-	-	'163	200c	3.3	-
74HC191	2.0	6.0	4	●	●	'192	'193	30	4,5	●
74AC191	1,5	6,0	4	●	●	-	-	133c	5	-
74HC590	2.0	6.0	8d --- -	●				33	4,5	●

Notas: (a) todos são binários, redefinição assíncrona, contagem crescente, a menos que marcado de outra forma. (b) sem pinos de saída para os bits 0, 1, 2 e 10. (c) típico. (d) com saídas de 3 estados.

um estado particular (este é um bom lugar para usar algo como um registrador *D* , de modo que o estado de saída do contador seja examinado apenas em uma borda de clock segura). Os contadores de ondulação são mais lentos que os contadores síncronos, devido aos atrasos de propagação acumulados. Ou seja, leva mais tempo para que todos os bits "se estabeleçam" em seu próximo estado; por outro lado, um contador de ripple tem uma taxa de contagem máxima mais alta (para a mesma velocidade do flip-flop). Ripple counters clock em bordas descendentes para fácil expansão (conectando a saída *Q* de um contador diretamente à entrada de clock do próximo); relógio dos contadores síncronos na borda de subida.

Preferimos a família '160–'163 de contadores síncronos de 4 bits para a maioria das aplicações que não requerem um recurso especial (Figura 10.79). Os quatro membros da família incluem BCD e binário, cada um disponível com redefinição síncrona ou assíncrona.61 Eles podem ser carregados em paralelo e são facilmente colocados em cascata por meio da saída de transporte e das entradas de habilitação.

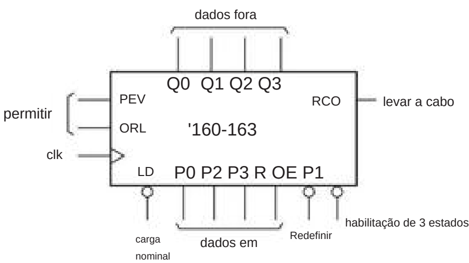


Figura 10.79. '160–'163 contadores síncronos.

C. Para cima/ para baixo

Alguns contadores podem contar em qualquer direção, sob controle de algumas entradas. As duas possibilidades são (a) uma entrada U/D que define a direção da contagem e (b) um par de entradas de clock, uma para UP, uma para DOWN. Exemplos são o '191 e '193, respectivamente. O '579 e o '779 são contadores up/down de 8 bits úteis.

D. Carregar e limpar

A maioria dos contadores possui entradas de dados para que possam ser pré-configurados para uma determinada contagem. Isso é útil se você quiser fazer um contador módulo-n, por exemplo. A função de carga pode ser síncrona ou assíncrona: o '160–'163 tem carga síncrona, o que significa que os dados nas linhas de entrada são transferidos para o contador coincidente com a próxima borda de subida do relógio, se a linha LOAD também for declarada BAIXA; os '190–'193 são assíncronos, ou *jam-load, o* que significa

61 Com a entrada de reinicialização *R* ativada, um contador com reinicialização síncrona espera até que o próximo relógio ascendente seja reinicializado, enquanto um contador com reinicialização cronológica assíncrona zera após a ativação da entrada *R* , independentemente do estado do relógio.

que os dados de entrada são transferidos para o contador quando LOAD é ativado, independentemente do clock. O termo "carga paralela" às vezes é usado, pois todos os bits são carregados ao mesmo tempo.

A função CLEAR (ou RESET) é uma forma de predefinição. A maioria dos contadores tem um tipo de bloqueio (assíncrono) função CLEAR , embora alguns tenham CLEAR síncrono; por exemplo, os '160/'161 são CLEAR de congestionamento, enquanto os '162/'163 são CLEAR síncronos.

Exemplo: dividir por 3 (novamente)

Vamos fazer uma pausa para olhar para este negócio de sinais de controle síncronos versus assíncronos. Nenhum dos dois é "melhor" (afinal, a família '160–'163 oferece as duas opções e pelo mesmo preço) – a escolha depende da aplicação. Vamos imaginar que queremos recrutar um contador binário síncrono de 4 bits estilo '161/'163 para o serviço como um divisor por 3 (um desafio que aceitamos anteriormente, com flip-flops discretos, em §10.4.3B). Como esses são apenas contadores ativos , usaremos uma porta NAND para detectar a contagem de estado = 3 e usaremos sua saída ativa em BAIXO para ativar a entrada RE SET do contador. Portanto, ele deve contar 0,1,2, e o próximo relógio leva-o a uma contagem de 3, após o que é zerado imediatamente. Como queremos que o reset ocorra imediatamente, escolhemos o '161, com sua entrada RESET assíncrona (Figura 10.80A).

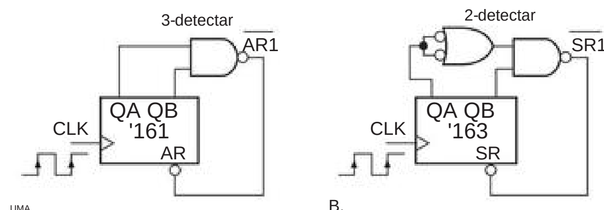


Figura 10.80. Dois circuitos divisores por 3, de contadores síncronos de 4 bits: A. com reset assíncrono ('161); B. com reset síncrono ('163). Construímos ambos, com a lógica da família LV-A rodando a 3,3 V; formas de onda nas Figuras 10.81 e 10.82.

Parece bom e funciona, mais ou menos. Mas há um pequeno problema: observe a Figura 10.81, que mostra as formas de onda medidas, conforme registramos em cerca de 12 MHz. Você pode vê-lo cronometrar sucessivamente pelos estados 0, 1 e 2; então, logo após a metade do traço, você o vê atingir o estado 3 *(QA* e *QB* ambos HIGH), onde o portão NAND gera um pulso LOW (AR 1), que redefine o contador para 0.

O problema é que o pulso RESET contém as sementes de sua própria destruição, por assim dizer: ele traz a contagem a zero, o que o faz desaparecer prontamente. Portanto, é possível que o pulso seja mais curto que o pulso mínimo de reinicialização largura, o que pode resultar em reinicialização incompleta de todos os flip-flops do contador.62

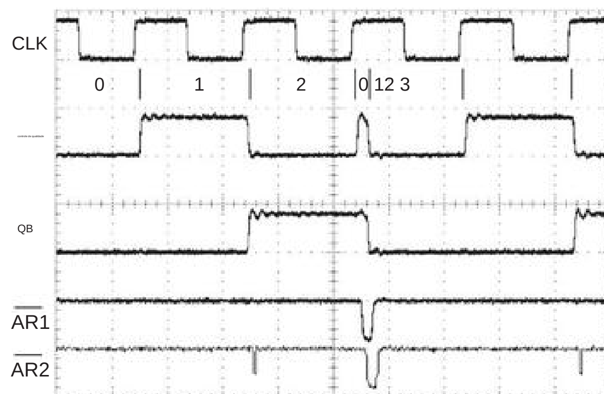


Figura 10.81. Formas de onda medidas do circuito de divisão por 3 da Figura 10.80A. O pulso de reinicialização AR modificado resultou de uma carga adicional de 39 pF em QA. Horizontal: 40 ns/div. Vertical: 4 V/div.

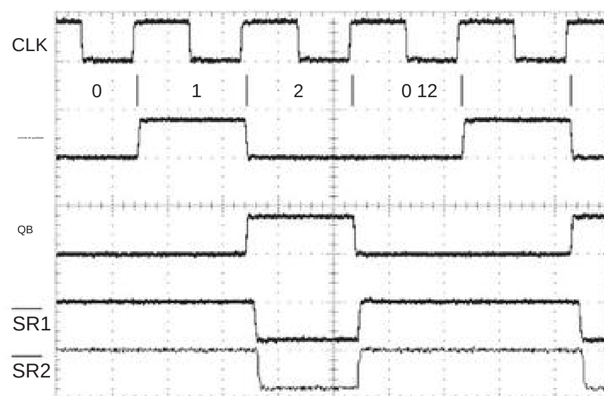


Figura 10.82. Formas de onda medidas do circuito de divisão por 3 da Figura 10.80B; mesmas condições da Figura 10.80A.

O rastreamento do escopo mostra que outro perigo potencial para nós é o ing reset assíncrono aqui: o traço rotulado AR NAND gate 2 output quando a saída *QA* vê mais carga capacitiva do que *QB* (colocamos 39 pF no terra); que atrasou o *QA* o suficiente para produzir um falso estado "3" transitório durante a transição 1ÿ2. Neste circuito não foi suficiente zerar prematuramente o contador. . . mas com certeza parece ruim!

A melhor solução é a reinicialização *síncrona* (Figura 10.80B), onde o contador é reinicializado na subida do relógio *após* a ativação de sua entrada RESET . Isso significa que precisamos detectar count = 2 (em vez de 3; ou seja, nÿ1 em vez

62 Mesmo que funcione de forma confiável na prática, você não quer pequenos pulsos fracos correndo pelo seu circuito, certo?

que n).63 A Figura 10.82 mostra as formas de onda, livres de glitches e pulsos runt (mesmo com carregamento capacitivo extra de *QA,* mostrado como a forma de onda de reset SR 2).

Veremos esse problema novamente em conexão com o n-pulse gerador (§10.6.3).

E. Outros recursos do contador

Alguns contadores apresentam travas nas linhas de saída; estes são sempre do tipo transparente, pelo que o contador pode ser utilizado como se não existisse um trinco. (Lembre-se de que qualquer contador com entradas de carga paralela pode funcionar como latch, mas você não pode contar ao mesmo tempo em que os dados são retidos, como pode fazer com um chip contador/latch.) A combinação de contador mais latch é às vezes bastante conveniente, por exemplo, se você deseja exibir ou exibir a contagem anterior ao iniciar um novo ciclo de contagem. Em um contador de frequência, isso permitiria uma exibição estável, com atualização após cada ciclo de contagem, em vez de uma exibição que repetidamente é zerada e depois contada.

Existem contadores com saídas de três estados. Eles são ótimos para aplicações em que os dígitos (ou grupos de 4 bits) são multiplexados em um barramento para exibição ou transferência para algum outro dispositivo. Exemplos são o '560/1, '590 e '779; o último é um contador binário síncrono de 8 bits cujas três saídas de estado também servem como entradas paralelas; ao compartilhar as linhas de entrada e saída, o contador se encaixa em um encapsulamento de 16 pinos. O '593 é semelhante, mas em um pacote de 20 pinos. Se você deseja usar um contador com um display, existem alguns que combinam contador, trava, decodificador de 7 segmentos e driver em um chip; um exemplo é o contador de 4 dígitos 74C926.64

10.5.3 Registradores de deslocamento

Se você conectar uma série de flip-flops de forma que cada saída *Q* acione a próxima entrada *D* , e todas as entradas de clock sejam acionadas simultaneamente, você obtém o que é chamado de *registrador de deslocamento.* A cada pulso de clock, o padrão de 0s e 1s no registrador muda para a direita, com os dados na primeira entrada *D* entrando pela esquerda. Assim como nos flip-flops, os dados presentes na entrada serial imediatamente antes do pulso do clock são inseridos, e há o atraso de propagação usual para as saídas. Assim, eles podem ser cascateados sem medo de uma corrida lógica. Os registradores de deslocamento são muito úteis para a conversão de dados paralelos *(n* bits presentes simultaneamente, em *n* linhas separadas) em dados seriais (um bit após o outro, em uma única linha de dados) e vice-versa. Eles também são úteis como memórias, principalmente se os dados forem sempre lidos e gravados em ordem. Assim como os contadores e travas, os registradores de deslocamento vêm em uma agradável variedade de estilos pré-fabricados.

As coisas importantes a procurar são as seguintes.

A. Características

Tamanho e organização Os registradores de 4 bits e 8 bits são padrão, com alguns tamanhos maiores disponíveis (até 64 bits ou mais).65 Os registradores de deslocamento geralmente têm 1 bit de largura, mas também existem , e registradores de largura hexadecimal. A maioria dos registradores de deslocamento muda apenas para a direita, mas existem registradores bidirecionais como o '194 e o '299.

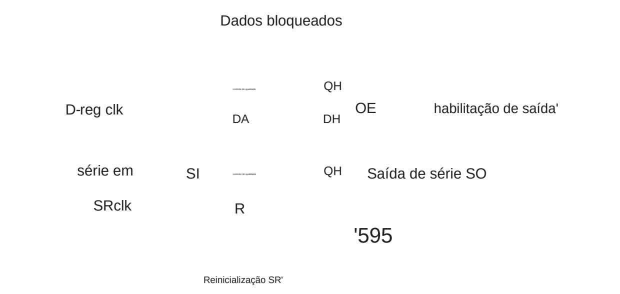


Figura 10.83. Registrador de deslocamento octal '595 com latch de saída. Uma parte útil para criar várias saídas travadas a partir de alguns pinos de um microcontrolador; a variante TPIC6595 possui drivers MOS de dreno aberto, bons para 45 V e 250 mA, para acionamento de cargas pesadas.

Entradas e saídas

Pequenos registradores de deslocamento podem fornecer entradas ou saídas paralelas, e normalmente o fazem; um exemplo é o '395, um registrador de deslocamento de entrada e saída paralela (PI/PO) de 4 bits com saídas de três estados. Registradores maiores podem fornecer apenas entrada ou saída *serial ,* ou seja, apenas a entrada do primeiro flip-flop ou a saída do último é acessível. Em alguns casos, algumas torneiras intermediárias selecionadas são fornecidas. Uma maneira de fornecer entrada e saída paralelas em um pacote pequeno é compartilhar entrada e

63 Poderíamos ter ignorado o *QA* e simplesmente invertido o *QB* (descobrir o porquê); no entanto, para maior clareza, fizemos gating completo para detectar QA = 0 E QB = 1 para o sinal de reinicialização síncrono SR Lamentamos a passagem do incomum TIL306/7, um contador *com* exibição em um chip:

64 você acabou de olhar para o IC, que se iluminou com um dígito contando a contagem! Outro bom exemplo de um contador integrado é o ICL7216 da Intersil, um contador universal de 8 dígitos e 10 MHz em um chip (completo com driver de LED de 7 segmentos); é mostrado em toda a sua glória em nossa segunda edição (na p. 526). A má notícia é que foi descontinuado recentemente; mas a boa notícia é que você mesmo pode fazer isso, em um FPGA ou cPLD – consulte o Capítulo 11. (Maxim ainda faz o contador up-down de 4 dígitos ICM7217 com drive de LED multiplexado, e o LED de 8 dígitos ICM7218 e 7228 os drivers estão disponíveis na Maxim e na Intersil.)

65 Existem até registradores de comprimento variável (por exemplo, o 4557: 1 a 64 estágios, configurados por uma entrada de 6 bits).

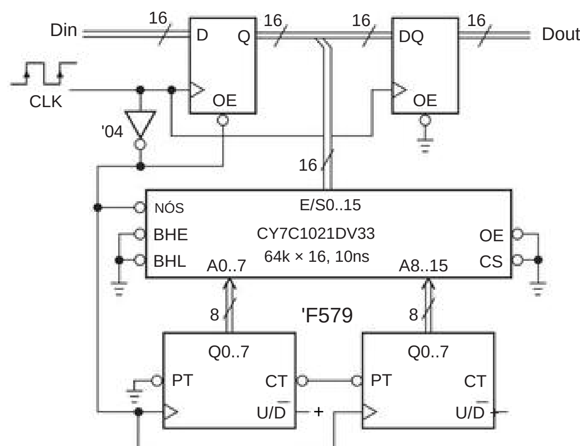


Figura 10.84. Grande e largo registrador de deslocamento feito de RAM mais contador; a barra indica várias linhas, neste caso, caminhos de dados de 16 bits e um par de endereços de 8 bits, para um comprimento total de 65.536 palavras de 16 bits.

saída (três estados) nos mesmos pinos, por exemplo, o '299, um registrador PI/PO bidirecional de 8 bits em um encapsulamento de 20 pinos. Alguns registradores de deslocamento incluem uma trava na entrada ou saída paralela, de modo que o deslocamento pode continuar enquanto os dados estão sendo carregados ou descarregados. Um exemplo particularmente interessante deste último é o registrador de deslocamento de 8 bits '595 (Figura 10.83), bem disponível em muitas famílias lógicas, incluindo AHC(T), F, FCT, HC(T), LV, LVC e VHC; é ótimo para criar uma saída paralela travada de muitos bits a partir de um fluxo de bits escasso proveniente de um microcontrolador.66 Da mesma forma, o '597 é um registrador de deslocamento de entrada paralela de 8 bits, conveniente para obter dados em um microcontrolador por meio de uma entrada serial de um bit alfinete.

Assim como os contadores, LOAD e CLEAR paralelos podem ser síncronos ou congestionados; por exemplo, o '323 é o mesmo que o '299, mas com clear síncrono.

B. RAMs como registradores de deslocamento Uma memória de acesso aleatório sempre pode ser usada como um registrador de deslocamento (mas não vice-versa) usando um contador externo para gerar endereços sucessivos. A Figura 10.84 mostra a ideia. Um par de contadores síncronos de 8 bits em cascata gera endereços sucessivos para uma RAM estática de 64k palavras × 16 bits. A combinação se comporta como uma largura de 16 bits e

Registro de deslocamento de 65.536 comprimentos. Ao escolher um contador rápido67 e memória, conseguimos atingir uma taxa de clock máxima de 27 MHz (consulte o diagrama de temporização, Figura 10.85), que é comparável a um registrador de deslocamento de lógica padrão integrado (mas muito menor). (Vale a pena gastar alguns minutos estudando esse cálculo – um bom exercício de tempos de configuração e espera, atrasos de propagação e temporização de acesso à memória.) Essa técnica pode ser usada para produzir registradores de deslocamento muito grandes, se desejado.

Exercício 10.27. No circuito da Figura 10.84, os dados de entrada parecem ir para o mesmo local de onde os dados de saída são lidos. No entanto, o circuito se comporta de forma idêntica a um registrador de deslocamento clássico de 64k palavras. Explique por quê.

10.5.4 Dispositivos lógicos programáveis

Já dissemos isso antes (e vamos dizer de novo) – o design digital contemporâneo está se movendo implacavelmente em direção a ICs programáveis pelo usuário, tipicamente contendo de centenas a centenas de milhares (!) de portas e flip-flops,68 em que as *conexões* são programáveis. A entrada de design é feita em uma linguagem de descrição de hardware, processada por software para gerar a lista de rede de conexão *e* carregada no chip por meio de uma interface serial (geralmente JTAG). Teremos mais a dizer sobre isso no próximo capítulo; mas eles fazem tantos trabalhos lógicos tão bem que não podemos terminar este capítulo sem um breve resumo.

A. A má notícia Para usar esses cachorrinhos você geralmente precisa aprender um HDL como Verilog ou VHDL, e você precisa de um "pod" de programação (ou outro link para o computador onde o HDL é processado). E esses dispositivos são universalmente (bem, quase) embalados apenas em pacotes de montagem em superfície, o que torna a prototipagem simples e pronta mais difícil.

B. A boa notícia Você pode preservar a ignorância da programação HDL usando, em vez disso, alternativas de entrada esquemática disponíveis, tanto dos fabricantes de PLD quanto de fornecedores terceirizados (§11.3.3A). E para a maioria dos trabalhos digitais, os PLDs realmente atingem o ponto. Aqui estão os usos e vantagens mais importantes dos PLDs.

Máquinas de estado

O PLD é natural para uma máquina de estado síncrona arbitrária. Você seria tolo em usar um array de flip-flops *D* e lógica combinacional discreta quando um PLD faz o trabalho em um pacote barato e poderoso.

66 O maravilhoso microcontrolador faz-tudo é o assunto do Capítulo 15, onde mostraremos um exemplo.

67 O '579 está disponível apenas em uma família lógica de 5 V. O restante do circuito é alimentado por +3,3 V; no entanto, os níveis de sinal são totalmente compatíveis (ou seja, a lógica operando em 3,3 V tem entradas "tolerantes a 5 V"; e a lógica de 5 V aceita níveis de entrada de 3,3 V; consulte §12.1.2A).

68 Às vezes complementado com funções dedicadas, como RAM, interfaces e processadores.

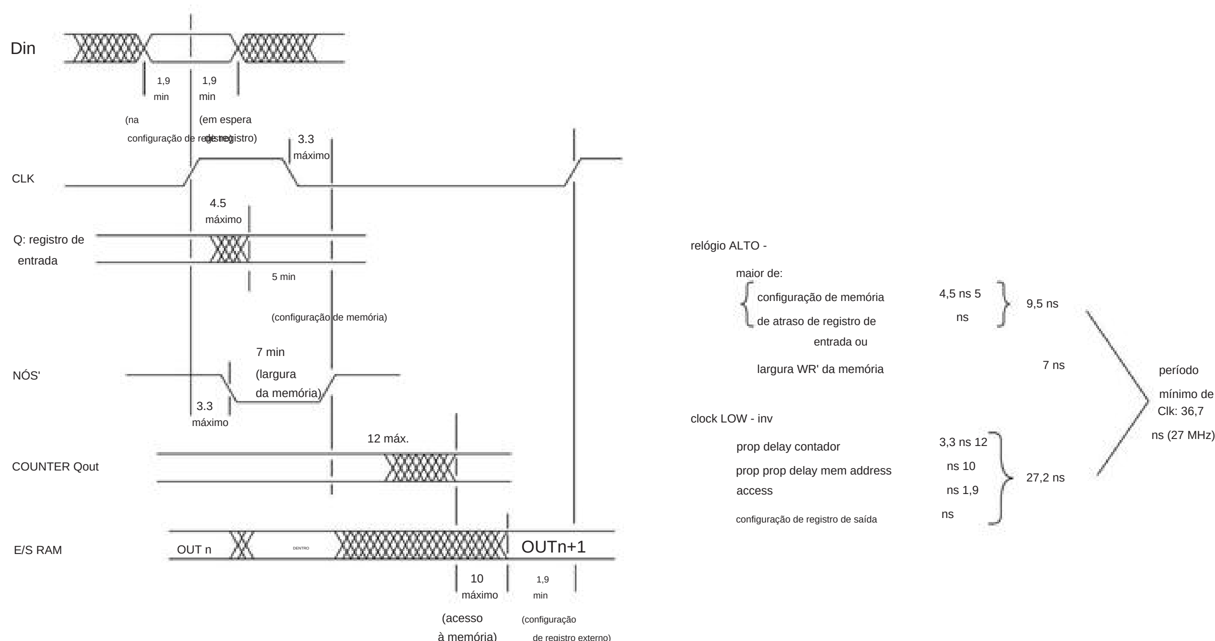


Figura 10.85. Diagrama de temporização para o registrador de deslocamento longo implementado na RAM (o circuito da Figura 10.85), assumindo especificações de temporização de pior caso. Isso facilita o cálculo da velocidade máxima de clock de 27 MHz.

Substituindo a lógica "aleatória"

Dentro de muitos circuitos você encontra pequenos nós e emaranhados de portas, inversores e flip-flops, chamados desdenhosamente de *lógica aleatória* ou *lógica de cola.* Um PLD geralmente reduzirá a contagem de idade do pacote por um fator de 10 ou mais.

Flexibilidade

Às vezes, você não tem certeza de como deseja que algum circuito funcione, mas deve terminar o projeto para poder brincar com ele. Os PLDs são ótimos aqui, porque você pode reprogramá-los em algum estágio posterior, sem a religação que teria que fazer se tivesse usado a lógica discreta.

Com PLDs, o próprio circuito é uma forma de software.69

Múltiplas versões de

PLDs tornam possível projetar um único circuito e, em seguida, produzir várias versões diferentes do instrumento, preenchendo a placa com PLDs programados de maneira diferente.

Velocidade e inventário

Com os PLDs, você geralmente pode fazer o trabalho de projeto mais rapidamente (depois de aprender as cordas e configurar suas ferramentas de software). Além disso, você precisa estocar apenas alguns Tipos PLD, em vez de dezenas de tipos lógicos MSI de função padrão.

System-on-a-chip Os

PLDs maiores (em particular, FPGAs) possuem recursos suficientes para que você possa fazer todo o seu projeto em um PLD. Em particular, você pode incluir funções como uma interface (Ethernet, USB ou qualquer outra), memória e até mesmo um microprocessador em um único FPGA. Existem duas possibilidades: (a) se você incluir tais funções em seu projeto HDL e deixar o software implementá-las dentro da matriz de portas e flip-flops, você terá uma implementação "suave"; isso pode incluir funções bem implementadas que você obtém de outro lugar, caso em que é chamado de "propriedade intelectual" (IP); (b) essas funções podem ser conectadas ao FPGA (e não podem ser alteradas) quando você o obtém - isso é uma "implementação difícil". Mais sobre isso no próximo capítulo.

10.5.5 Funções sequenciais diversas

Com o progresso implacável da indústria de semicondutores, que rotineiramente coloca milhões de transistores em um chip,70 você

69 Mais propriamente, *firmware:* entre hardware imutável e software facilmente modificável .

70 E *bilhões* em alguns dos maiores microprocessadores, processadores gráficos (GPUs) e FPGAs.

pode obter gadgets estranhos e maravilhosos em um chip barato. Esta breve subseção apresenta apenas uma amostra.

Memória primeiro a entrar ,
primeiro a sair Uma memória FIFO (primeiro a entrar, primeiro a sair) é um pouco semelhante a um registrador de deslocamento em que os dados inseridos na entrada aparecem na saída na mesma ordem. A diferença importante é que, com um registrador de deslocamento, os dados são empurrados à medida que dados adicionais são inseridos e cronometrados, mas com um FIFO, os dados normalmente *caem* na fila de saída. A entrada e a saída são controladas por relógios separados, e o FIFO mantém registro de quais dados foram inseridos e quais dados foram removidos.71 FIFOs são úteis para armazenar dados assíncronos.

O aplicativo clássico é o buffer de um teclado (ou outro dispositivo de entrada, como um disco magnético ou uma porta externa rápida, como Ethernet) para um computador ou instrumento lento. Por este método, nenhum dado é perdido se o computador não estiver pronto para cada palavra gerada, desde que o FIFO não seja preenchido completamente. A série genérica 7201-06 byte-wide tem sido popular e vem em várias voltagens e comprimentos; por exemplo, a série 72V01–06 de 3,3 V CMOS FI FOs tem 0,5–16k palavras de 9 bits cada, velocidade máxima de 40 MHz e *tempo de queda* zero (uma aflição sofrida pelos primeiros FIFOs, que foram implementados como registros seriais).

Você pode obter FIFOs bidirecionais, FIFOs síncronos e FIFOs de até 72 bits de largura.

Um FIFO é desnecessário se o dispositivo para o qual você está enviando dados sempre puder obtê-lo antes que os próximos dados cheguem. Em linguagem de computador, você deve garantir que a *latência* máxima seja menor que o tempo mínimo entre as palavras de dados. Observe que um FIFO não ajudará se o destinatário dos dados não for capaz, *em média,* de acompanhar os dados recebidos.

Voltímetros digitais
Você pode obter voltímetros digitais completos (DVMs) em um único chip (por algum motivo, você encontrará essas coisas listadas como “drivers de vídeo” quando pesquisar nos distribuidores). Eles incluem referência de tensão, entradas diferenciais de alta impedância, drivers de LCD e assim por diante. Um exemplo é o MAX1495, um voltímetro de 41 dígitos totalmente integrado com um pacote 2 cerca de um miliamperes de uma única fonte de 3–5 V. Uma peça genérica popular é o '7135 (TI, In tersil e Maxim o chamam de ICL7135; a Microchip chama o deles de TC7135; e a TI também o vende como TLC7135): é um voltímetro de 41 dígitos que funciona a partir de +5 V e 2 - aciona 7- segmento

[71] Um FIFO pode ser implementado em software (como geralmente é feito em hardware) criando um *buffer circular* na RAM, com um par de ponteiros (escrita e leitura).

Mostradores LED. O '7136 é 31 2 -dígitos e drives de 7 segmentos LCD.

Circuitos para fins especiais
Existem ótimas coleções de chips de integração em larga escala (LSI) para trabalhos misteriosos como comunicações de rádio (por exemplo, sintetizadores de frequência), processamento de sinal digital (filtros digitais, correladores, transformadas de Fourier, unidades aritméticas), comunicações de dados (UARTs, modems, interfaces de rede, ICs de criptografia-descriptografia de dados, conversores de formato serial, protocolos sem fio) e similares. Freqüentemente, esses chips são usados em conjunto com dispositivos baseados em microprocessadores, e muitos deles não podem funcionar sozinhos.

Chips de consumo A
indústria de semicondutores adora desenvolver CIs para uso em produtos de grande consumo. Você pode obter chips individuais para fazer relógios digitais (ou “analógicos”), relógios, fechaduras, calculadoras, detectores de fumaça, discadores telefônicos, sintetizadores de música, geradores de ritmo e acompanhamento, etc. players, navegadores GPS e celulares estão quase vazios hoje em dia, graças à integração em larga escala. A síntese e o reconhecimento de voz são bem desenvolvidos: é por isso que dispositivos como navegadores GPS podem falar conosco e entender nossas respostas geradas por analógicos.72 Os automóveis são carregados com dezenas de processadores, para tarefas como controle do motor, frenagem, sistemas de prevenção de colisão, navegação, e assim por diante. Mesmo a mais simples escova de dentes tem um chip processador, rodando em alguns milhares de linhas de código de computador.73

Microprocessadores
O exemplo mais impressionante das maravilhas da integração em escala muito grande (VLSI) é o microprocessador, um computador em um chip. Em um extremo, há poderosos processadores de números como o Itanium de oito núcleos da Intel, com mais de 3 bilhões de transistores; ele tem centenas de registros internos, suporta até um petabyte (um milhão de gigabytes) de RAM e pode ser montado em arquiteturas de 512 processadores. No outro extremo estão os processadores de chip único baratos com uma rica carga de funções de entrada, saída e memória incluídas no mesmo chip para uso autônomo.

[72] Um dos filhos dos autores, encantado com o Nissan Max ima falante que alugamos em um verão, ampliou seu léxico, que incluía mensagens como “ *a porta está entreaberta”* e “o tanque está *baixo”,* com o seu próprio: “Você encontrou um dinossauro”.

[73] Confira o MC9RS08KA da Freescale Semiconductor, com oscilador interno de 10 MHz e 2 KB de memória interna; é “pequeno o suficiente para caber na cabeça de uma escova de dentes elétrica” e destinado a “aparelhos de higiene pessoal”, entre outros usos. Custa apenas $ 0,40 em quantidade.

Um exemplo (Figura 10.86) é o ARM7 LPC2458 da NXP (antiga Philips): memórias 512kB/64kB, clock de 72 MHz, Ethernet 10/100, USB 2.0, A/D e D/A de 10 bits, 2xPWM, 4 UARTs, 2xCAN, SPI, 2xSSP, 3xI2C, I2S, 136 bits de E/S de uso geral e um controlador de memória externo. Este cachorro custa apenas $10! 74 Este último tipo está em tendeu como um controlador dedicado em um instrumento, em vez de um dispositivo de computação versátil.

A revolução do microprocessador não começou a diminuir, e vimos uma duplicação da potência do computador e do tamanho da memória (agora 8 Gbit por chip, em comparação com 1 Mbit/chip e 16 kbit/chip na época em que as duas edições anteriores deste livro foram escritos) a cada 18 meses ("lei de Moore"); ao mesmo tempo, os preços caíram drasticamente (Figura 10.87). Juntamente com processadores e memória maiores e melhores, a atividade recente em dispositivos de exibição, redes e comunicação de dados sem fio promete ainda mais emoção nos próximos anos.

10.6 Alguns circuitos digitais típicos

Graças aos esforços da indústria de semicondutores, o design digital é incrivelmente fácil e agradável. Quase nunca é necessário "breadboard" um circuito digital, como é frequentemente o caso com design analógico. De um modo geral, as únicas armadilhas sérias envolvem tempo e ruído. Teremos mais a dizer sobre este último no Capítulo 12.

Este é um bom lugar para ilustrar o tempo com alguns exemplos de projeto seqüencial. Algumas dessas funções podem ser executadas com circuitos LSI ou com lógica programável, mas as implementações mostradas são razoavelmente eficientes e ilustram o tipo de projeto de circuito que é direto com peças amplamente disponíveis (e sem o domínio de nenhuma linguagem ou ferramenta de software).

10.6.1 Contador módulo-n: um exemplo de temporização

O circuito na Figura 10.88 produz um pulso de saída para cada n+1 pulsos de clock de entrada, onde *n* é o número de 8 bits que você definiu no par de chaves hexadecimais do botão giratório. Os '163s são contadores ascendentes síncronos de 4 bits, com carga síncrona (quando LD é LOW) via *Pn* in puts. A ideia é carregar os contadores com o *complemento* da contagem desejada, então conte até FFH, recarregando no próximo pulso de clock. Como geramos os níveis de pré-carga com pullups para a alimentação positiva (com o switch comum aterrado), esses níveis são LOW-true para as configurações do switch exibidas; isso faz com que os valores de pré-carga, interpretados como ativo-HIGH, sejam iguais ao complemento de 1 das configurações da chave.

Exercício 10.28. Mostre que a última afirmação é verdadeira descobrindo o valor alto ativo que será carregado para o conjunto de interruptores na Figura 10.88.

A operação do circuito é totalmente direta. Para contadores síncronos em cascata, você une todos os relógios e, em seguida, vincula uma saída de "contagem máxima" de cada contador a uma habilitação do contador sucessivo. Para um '163 habilitado, o RCO (saída do relógio de ondulação) vai para o nível ALTO na contagem máxima, habilitando o segundo contador por meio das entradas de habilitação ENT e ENP. Assim IC1 avança a cada relógio, e IC2 avança ao relógio após IC1 atingir FH. O par então conta em binário até o estado FFH, ponto em que a entrada LD é ativada. Isso causa pré-carga síncrona no próximo clock. Neste exemplo, escolhemos contadores com carga *síncrona* para evitar a corrida lógica (e RCO de pulso runt) que você obteria com um contador carregado emperrado. Infelizmente, isso faz com que o contador divida por n+1 em vez de n.

Exercício 10.29. Explique o que aconteceria se os contadores de carga emperrada (por exemplo, '191s) fossem substituídos pelos '163s de carga síncrona. Em particular, mostre como um pulso runt seria criado. Demonstre também que o circuito anterior se divide por n+1, enquanto a versão de carga assíncrona se dividiria por *n* (se é que funcionou!).

A. Tempo

Com que rapidez nosso contador módulo-n pode contar? Vamos usar a lógica da família LV em 3,3 V, na qual o 74LV163A especifica um fmax garantido de 70 MHz.75 No entanto, em nosso circuito há atrasos de tempo adicionais associados à conexão em cascata (IC2 precisa saber que IC1 atingiu a contagem máxima em tempo para o próximo pulso de clock) e também a conexão load-on-overflow. Para descobrir a frequência máxima na qual o circuito tem garantia de funcionamento, temos que somar os atrasos de pior caso e garantir que haja tempo de configuração suficiente restante. Observe a Figura 10.89, onde desenhamos um diagrama de temporização mostrando a sequência de carga que ocorre na contagem máxima.

[74] O LPC1768 da NXP é uma peça de baixa potência que é popular entre os prototipadores. Possui a maioria dos recursos do LPC2458, mas não possui o controlador de memória externo. Ele tem apenas 70 pinos GPIO (temos certeza de que você não perderá o resto) e vem em um pacote QFP de 100 pinos fácil de soldar (espaçamento de pinos de 0,5 mm). Notavelmente, ele possui um ADC de 12 bits, um DAC de 10 bits e seis saídas PWM de uso geral.

75 O '1G04 não está disponível em LV, então usaremos um 74LVC1G04.

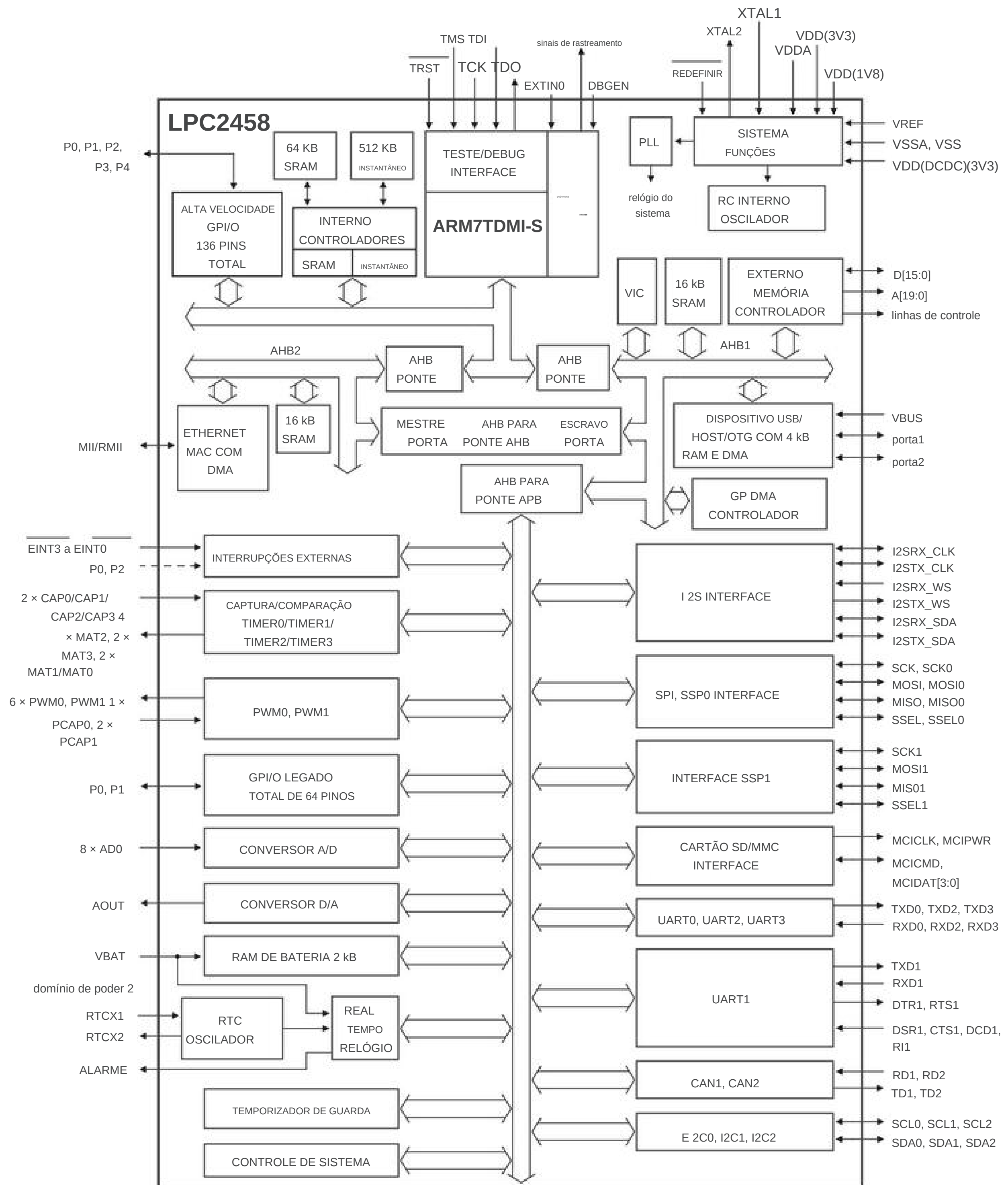


Figura 10.86. Uma prévia do Capítulo 13: um microcontrolador barato enfeitado com muitas coisas legais. Adaptado do documento LPC2131_32_34_36_38_4 ©NXP BV 2007)

Machine Translated by Google

Figura 10.87. A lei do Vale do Silício: trinta e cinco anos de preços de varejo de memória de computador, caindo 50% a cada 18 meses.
(A mesma lei não se aplica aos preços médios de casas novas nos Estados Unidos, que tiveram uma boa exponencial por muitas décadas. Mas eventos mais recentes demonstraram os perigos de uma expectativa confiante de preços exponenciais contínuos de casas.)

Figura 10.88. Contador de módulo-n , com módulo definido por interruptores de botão giratório.

	ns, máx.
(1) CLK para Q	15
(2) CLK para RCO	16
(3) ENT para RCO	14,5
(4) A a Y ('04)	3,3
(5) Configuração de LD' para CLK	9,5 (min)

Figura 10.89. Diagrama de temporização e cálculo para o contador módulo-n.

Uma mudança de BAIXO para ALTO em qualquer saída *Q* segue a borda ascendente de CLK em 15 ns no máximo. Isso é interessante, mas não relevante, porque a sequência de carregamento usa a saída RCO; O RCO do IC1 segue a borda ascendente do pulso CLK que o leva à contagem máxima em 16 ns no máximo, e o RCO do IC2 segue sua habilitação de entrada (assumindo, é claro, que está na contagem máxima) em 14,5 ns no máximo. O LVC1G04 adiciona um atraso de 3,3 ns máximo para gerar LD, que deve preceder CLK (tsetup) em 9,5 ns mínimo. Isso nos leva ao próximo CLK; portanto 1/ fmax = (16 + 14,5 + 3,3 + 9,5) ns, ou fmax = 23,1 MHz. Isso é consideravelmente menor que a frequência de contagem máxima garantida de 70 MHz de um único 74LV163A.

Exercício 10.30. Mostre por um cálculo similar que um par de 74LV163As em cascata síncrona (sem carga no estouro) têm uma taxa de contagem máxima garantida de 40 MHz. Encontre os dados de tempo necessários acessando o site da TI.

Claro, se for necessária maior velocidade, você pode procurar uma lógica mais rápida. Fazendo o mesmo cálculo para a lógica 74F (para a qual a taxa de contagem máxima de um único 74F163 é de 100 MHz), encontramos fmax=29 MHz. Aqui é onde a rápida lógica bipolar ECL vem em socorro: o MC100E016 é um contador síncrono carregável de 8 bits, com um fmax especificado de 700 MHz (!). Qual é a velocidade, porém, na conexão módulo-n ? Como é de 8 bits, não precisamos colocar nada em cascata; além disso, sua saída máxima de contagem (chamada TC) é ativa-LOW, assim como seu controle de carga paralelo (chamado PE), portanto, também não precisamos do inversor: TC conecta-se diretamente a PE O atraso CLK para TC é apenas 0,9 ns, e a configuração de PE para CLK 0,6 ns, que calcula um módulo-n fmax garantido de 667 MHz. Nada mal. Melhor ainda, esse chip foi planejado com antecedência para aplicações de módulo-n, incluindo um pino de entrada de "contagem de carga no terminal" – ao permitir isso, você atinge a velocidade bruta garantida de 700 MHz (ou velocidade "típica" de 900 MHz) para módulo -n freqüência de visão: 30 vezes mais rápido do que nossa excelente implementação de CMOS!

Os devotos do contador Módulo-n devem observar o 'HC40103, um contador regressivo síncrono de 8 bits com

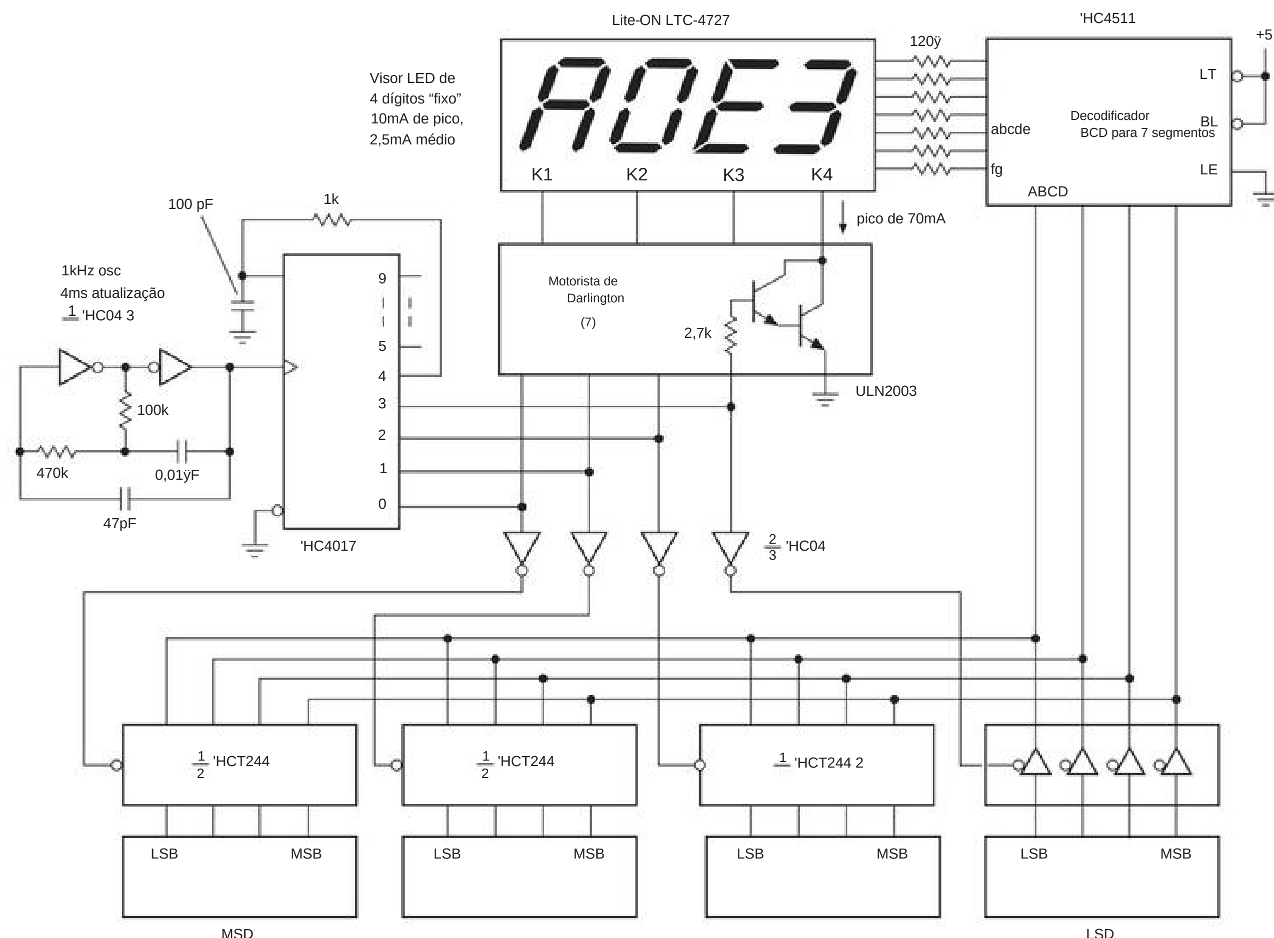


Figura 10.90. Visor multiplexado de quatro dígitos. O que quer que essa quantidade exibida represente?

carga paralela (carga síncrona *ou* travada!), saída de estado zero decodificada e entrada redefinida para o máximo.

10.6.2 Visor digital de LED multiplexado

Este exemplo ilustra a técnica de multiplexação de display: exibir um número de n dígitos exibindo dígitos sucessivos rapidamente em displays de LED de 7 segmentos sucessivos (obviamente, os caracteres não precisam ser números, e os displays podem ter uma organização diferente da organização popular arranjo de 7 segmentos). A multiplexação de exibição é feita por motivos de economia e simplicidade: exibir cada dígito continuamente requer decodificadores, drivers e resistores limitadores de corrente separados para cada dígito, bem como conexões separadas de cada registro para seu decodificador correspondente (4 linhas) e de cada driver ao seu display correspondente (7 fios); é uma bagunça!

Com a multiplexação, há apenas um decodificador/driver e um conjunto de resistores limitadores de corrente. Além disso, como os visores de LED vêm em "bastões" de n caracteres com os segmentos correspondentes de todos os caracteres amarrados, o número de interconexões é bastante reduzido. Um visor de 8 dígitos requer 15 conexões quando multiplexado (entradas de 7 segmentos, comuns a todos os dígitos, mais um retorno de cátodo ou ânodo para cada dígito), em vez das 57 que seriam necessárias para exibição contínua (e, desde a maioria dos monitores de LED vêm em variedades multiplexadas, você provavelmente os achará a melhor escolha de qualquer maneira).

A Figura 10.90 mostra o diagrama esquemático. Os dígitos a serem exibidos residem nos registradores na parte inferior; eles podem ser contadores (por exemplo, se o dispositivo for um contador de frequência), ou talvez um conjunto de latches recebendo dados de um computador, ou possivelmente a saída de um ADC, etc. Em qualquer caso, a técnica é afirmar cada dígito sucessivamente

em um "bus" interno de 4 bits (neste caso, com quatro buffers de três estados de 4 bits, cada metade de um buffer octal 'HCT244), e decodifique e exiba-o enquanto ativado no barramento (usando o 'HC4511 BCD-decodificador/driver de 7 segmentos).

Usamos um par de inversores para formar um oscilador CMOS clássico (Figura 7.2) operando a cerca de 1 kHz, acionando um contador/decodificador decimal 'HC4017. À medida que cada saída sucessiva do contador vai para o nível ALTO, ele habilita um dígito no barramento e simultaneamente puxa o cátodo do dígito correspondente para BAIXO por meio do popular driver Darlington de coletor aberto de alta corrente ULN2003. O 'HC4017 é configurado para percorrer os estados 0–3, redefinindo quando a contagem atinge 4 (com um pouco de atraso *RC* para garantir a redefinição completa). A multiplexação de exibição funcionará com um número maior de dígitos e é universalmente usada em instrumentos com displays de LED de vários dígitos. Tente mudar rapidamente seus olhos enquanto visualiza tal exibição – você terá uma sopa de letras numéricas!

Uma das questões de design interessantes tem a ver com o "orçamento de tensão" do LED: você tem uma fonte de +5 V e os LEDs que compõem os segmentos têm uma queda de tensão de ~2,2 V na corrente desejada de 10 mA , então parece que não há nada com que se preocupar. Uma análise mais detalhada (Figura 10.91) mostra o problema, ou seja, que os drivers de anodo 'HC4511 (que são um híbrido pMOS-npn) têm uma queda de VBE (cerca de 0,7 V); e os dissipadores de dígitos Dar lington ULN2003, funcionando a 70 mA, têm outro VBE mais alguma tensão de saturação, para um total de cerca de 0,9 V. Adicione a queda de LED de 2,2 V,76 e você terá apenas 1,2 V restante na corrente do segmento - resistores limitadores. Portanto, para uma corrente de LED de 10 mA, precisávamos de resistores de 120 ÿ. Tudo bem, embora você seja perdoado por se preocupar que alguma dispersão nas quedas diretas do LED, etc., produziria mudanças percentuais significativas na pequena tensão restante nos resistores; ou seja, você pode ver variações de brilho inaceitáveis nos dígitos. Se ainda não estiver preocupado, considere o efeito de uma queda de 10% na alimentação de +5 V. Observe, também, que este circuito de acionamento de LED não funcionaria com uma fonte de +3,3 V.77

Em um LED, a corrente máxima permitida é limitada apenas por superaquecimento. Portanto, não há problema em usar correntes de pico bastante altas em um display multiplexado, desde que a corrente média permaneça dentro do valor nominal. Você tem que ter um pouco de cuidado, no entanto: a constante de tempo térmica do pequeno chip semicondutor de LED está em algum lugar em torno de um milissegundo, portanto, para tempos ON significativamente mais longos, a curva de pico o aluguel não pode exceder muito o aluguel atual médio máximo nominal. Outra boa maneira de destruir um LED pulsado é fazer com que o circuito de acionamento fique preso no estado LIGADO , por exemplo, causado por uma falha de programa durante a depuração de um display multiplexado de microcontrolador (acionado por firmware).78

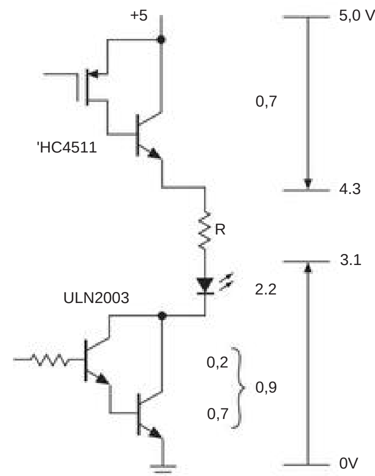


Figura 10.91. Orçamento de tensão de LED.

Muitos chips orientados a exibição LSI, incluídos em dispositivos como relógios, decodificadores (televisão) e similares, incluem circuitos de multiplexação de exibição no chip (e até mesmo driver). Você também pode obter (embora com alguma dificuldade79) um multiplexador de driver de exibição autônomo de 6 dígitos, o legado 74C912; ele aceita os caracteres de 4 bits em sequência, e requer apenas o driver de dígito externo.

10.6.3 Um gerador de pulso n

O gerador de pulso n é um pequeno instrumento de teste útil. Ele gera uma explosão de *n* pulsos de saída seguindo um sinal de disparo de entrada (ou você pode apertar um botão), com um conjunto de taxas de repetição de pulso selecionáveis. A Figura 10.92 mostra o circuito.80 Os 'HC190s são contadores de década para cima/para baixo (aqui conectados para contagem regressiva), cronometrados continuamente por uma subdivisão de potência de 10 selecionada do oscilador de cristal fixo de 10 MHz, mas desabilitados por terem ambos as entradas ALD (carga assíncrona) ativadas e as entradas EN (habilitação de contagem) desativadas. Quando surge um pulso de disparo, o primeiro flip-flop habilita o contador, e o segundo flip-flop sincroniza a contagem seguindo a próxima borda de subida do clock.

76 Conforme especificado para o bastão de exibição amarelo mostrado na figura; a queda frontal de um LED depende da cor; veja a Figura 2.8.

77 Nem com alimentação de 5V e display de LED azul, onde a tensão direta Vfÿ 3,5 V.

78 Consulte §7.2.3 para obter uma boa maneira de evitar esse desastre específico.

79 A Jameco os mostra em estoque, $ 2 em quantidade unitária. 80 Desafio para o leitor: o que há de tão "perfeito" na figura?

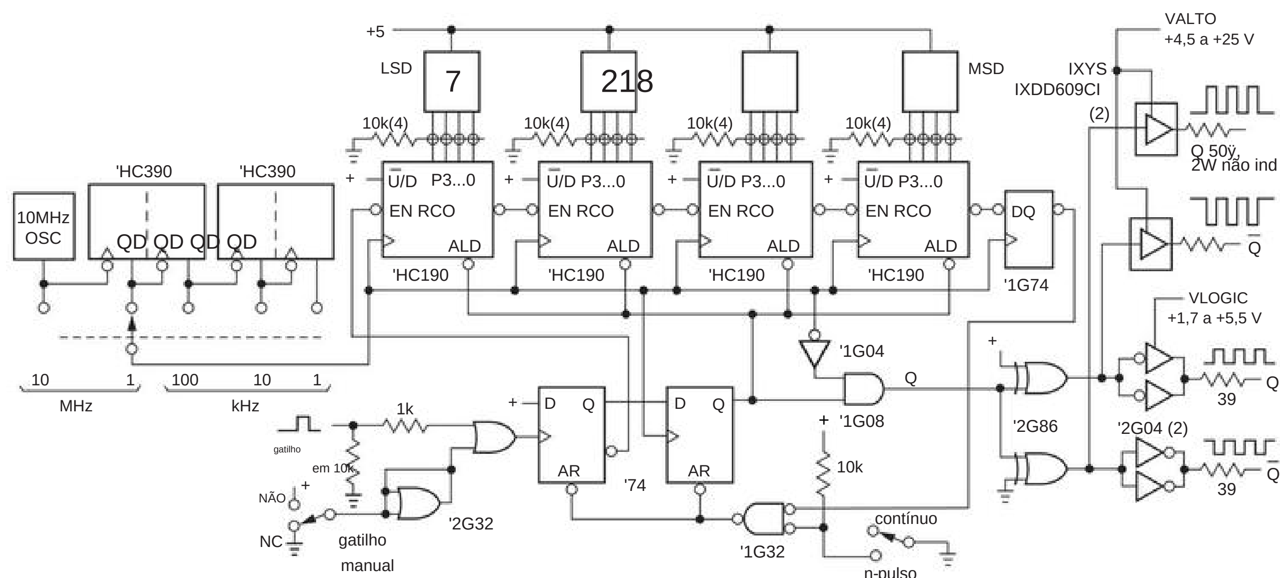


Figura 10.92. Gerador n-pulso perfeito . Toda a lógica é da família LVC, funcionando a partir de +5 V, a menos que mostrado de outra forma.

Pulsos (durante o clock LOW) são passados pela porta AND até que o contador chegue a zero, estado em que o RCO out put81 é travado por um clock e ambos os flip-flops são zerados; isso carrega paralelamente o contador de volta para nÿ1 das chaves BCD, desativa a contagem e prepara o circuito para outro gatilho.82 Observe que o uso de resistores pulldown neste circuito significa que verdadeiro (em vez de complementado)
Chaves BCD devem ser usadas. Observe também que a entrada do acionador manual deve ter debounce, como mostrado, uma vez que cronometra um flip-flop. Isso não é necessário para a chave contínua/n-pulso , que simplesmente permite um fluxo contínuo de pulsos de saída.

O estágio de saída fornece dois pares de sinais verdadeiros/ complementares: os XORs geram sinais lógicos complementares com atraso igual; os inversores 'LVC2G04 em paralelo fornecem oscilações lógicas de trilho a trilho normais, configuráveis de +1,7 a 5,5 V por meio de uma entrada de alimentação CC externa. Usamos dois inversores em paralelo para aumentar a capacidade do inversor (as seções do inversor em paralelo podem dissipar ou fornecer 32 mA, ficando dentro de 0,5 V dos trilhos, para V+=3 V); os resistores de 39 ÿ, em combinação com a impedância de saída do estágio do inversor de ~10 ÿ, fornecem terminação em série para cabo de 50 ÿ.

Adicionamos o par de drivers in a box para tarefas de driver sérias. Ele usa um robusto chip "MOSFET driver", destinado à comutação rápida de entradas de porta MOSFET altamente capacitivas. Este espécime em particular pode afundar ou fornecer até 8 A, com um tempo de comutação melhor que a média de aproximadamente 10 ns; ele não é inversor e aceita oscilações lógicas padrão de 5 V. As saídas são terminadas em série, com resistores não indutivos de 50 ÿ 2 W.83

10.7 Projeto digital de micropotência

Pequenos aparelhos movidos a bateria de todos os tipos precisam operar com correntes muito pequenas, idealmente abaixo da faixa de microamperes. Para avaliar a escala, considere que uma bateria de 9 V tem uma capacidade de cerca de 500 mAh, portanto cerca de 20 dias com consumo de corrente de 1 mA; e uma pequena "célula de moeda" como a

81 Indicando uma "contagem do terminal" ondulado, que para um contador decrescente (como aqui) é o estado de 4 dígitos 0000. Uma peculiaridade do '190 é que o RCO é habilitado somente durante o clock BAIXO.

82 Por causa da trava RCO, o trem de pulso de saída tem n+1 pulsos (em vez de n), portanto, você deve definir as chaves para um a menos do que deseja. Omitir essa trava, no entanto, trocaria esse embaraço *numérico* por um *lógico* , ou seja, a geração de um pulso runt de saída terminal. Desafie-se descobrindo o porquê. No entanto, remover ainda mais a inversão do relógio 1G04 eliminaria o runt de saída, produzindo, em vez disso, um pulso de recarga muito mais curto, mantendo o "recurso" de contagem n+1. Não há nada de errado, realmente, com um pulso de recarga cuja largura é determinada apenas por atrasos de propagação lógica – é apenas um pouco, bem, *feio;* por outro lado, o RCO travado para reset-recarregamento assíncrono é organizado e limpo (e fácil de ver em um 'scope).

83 Os leitores interessados em construir este circuito devem considerar, como alternativa aos contadores '190 (ou '192), o elegante 'HC4059 4-décade carregable down-counter, que substitui quatro chips por um. Se, entretanto, a contagem *hexadecimal* for do seu agrado (talvez você tenha 16 dedos?), use a alternativa 'HC191 (binário).

o sempre popular CR2032 (verificação de estoque: quase dois milhões em estoque na DigiKey hoje) oferece cerca de 200 mAh a 3 V.

Existem muitos chips de micropotência por aí - tanto lineares (op-amps, referências de tensão, osciladores etc.) quanto digitais (lógica padrão e programável, ADCs e DACs, microcontroladores etc.) Deve começar.

Mas se você não for cuidadoso, é fácil sacrificar o desempenho da micropotência desses excelentes chips. A edição anterior deste livro[84] tem um capítulo completo (Capítulo 14) sobre projeto de micropotência. Ele inclui muitas informações sobre baterias e outras fontes de energia e sobre design de microenergia linear e digital; faz uma boa leitura. Mas, por razões de espaço, estamos limitados aqui a um breve subconjunto dessa importante área, ou seja, o negócio da lógica digital do micropoder.

10.7.1 Mantendo o CMOS com baixo consumo de energia

Existem várias medidas de rotina que você deve tomar para obter uma operação CMOS de baixa corrente. Além disso, vale a pena aumentar a conscientização sobre a patologia do CMOS.

A. Considerações de projeto de rotina

- *Mantenha o menor número possível de nós envolvidos com altas frequências.* O CMOS não tem corrente quiescente (além da idade de vazamento), mas a corrente é necessária para carregar capacitâncias internas (e carregar) durante a comutação. Como a energia armazenada em um capacitor $\frac{1}{2}CV^2$ e uma quantidade igual de energia são dissipadas pelo circuito de carga resistiva, a potência dissipada é

$$P = V_{DD}^2 fC$$

para uma frequência de comutação f. Assim, os dispositivos CMOS consomem potência proporcional à sua frequência de chaveamento, como vimos na Figura 10.27. Em sua frequência operacional máxima, eles podem usar mais energia do que a lógica TTL bipolar equivalente. A capacitância efetiva C geralmente é fornecida em folhas de dados como a "capacitância de dissipação de energia", C_{pd}, à qual você deve adicionar a capacitância de carga C_L antes de aplicar a fórmula acima.
- *Dentro de um circuito, tenha cuidado sempre que misturar tensões de alimentação.* Caso contrário, você pode ter corrente fluindo pelos diodos de proteção de entrada. Pior ainda, você pode forçar um chip na trava do SCR (consulte §10.8.3B).
- *Certifique-se de que as oscilações lógicas vão até os trilhos.* As saídas CMOS oscilam entre trilhos. As saídas de outros dispositivos - TTL bipolar, osciladores, chips NMOS - podem pairar em entre eles, causando corrente classe A e diminuição da imunidade a ruídos (lembre-se da Figura 3.93).
- *Nenhuma entrada aberta.* As entradas abertas são inimigas da operação de microalimentação, pois pode haver corrente classe A considerável (e até mesmo oscilação) conforme a entrada flutua até o limite lógico (Figura 10.101). Ligue todas as entradas não utilizadas ao terra (ou VDD, se isso desabilitar algo que você não deseja).
- *Organize as cargas para manter os drenos de estado normal baixos.* Pullups, pulldowns, LEDs e drivers de saída devem ser conectados de forma que a corrente seja mínima no estado normal.
- *Evite transições lentas.* Novamente, a corrente classe A é a culpada. Uma entrada de onda senoidal acionando um gatilho CMOS Schmitt pode causar muita corrente de alimentação.
- *Coloque resistores de detecção de corrente no* cabo VDD . Em certos modos de falha, particularmente aqueles causados por danos estáticos, um chip CMOS pode consumir corrente quiescente excessiva; um resistor de 10 ÿ em série com VDD em cada placa (Figura 10.93) facilita ver se isso está acontecendo (e você pode usar o rastreador de nó preso em §4.8.2 para rastrear o componente incorreto).

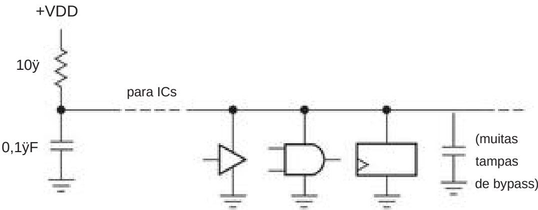


Figura 10.93. Um "espião atual" facilita a localização de subseções de circuito onde se esconde um IC monopolizador de corrente.

- *Triagem de corrente quiescente.* Um chip lógico CMOS típico (em qualquer família – 4000B, HC, LVC, LCX, AUC etc.) tem um QI especificado de 5–20 ÿA no *máximo*, mas abaixo de 0,04 ÿA *típico* (se especificado). Os fabricantes evidentemente definem uma especificação conservadora de vazamento máximo, provavelmente porque não querem se incomodar em testar um valor realista muito mais baixo. Na maioria das vezes, é raro ter uma corrente quiescente próxima do máximo, mas pode acontecer. Se você estiver operando em baixas frequências de comutação (portanto, baixa corrente dinâmica) e precisar de corrente quiescente comparativamente baixa, pode ser necessário filtrar os chips de entrada. O uso de resistores de pequenas séries como recomendado acima torna o trabalho muito mais fácil.

Notamos que no caso de chips CMOS LSI (como memórias grandes) a corrente quiescente típica pode estar próxima das especificações de vazamento máximo do fabricante – cuidado!

- *Comutação de alimentação por tempo limite.* Você pode economizar muita energia

[84] Com disponibilidade contínua (e talvez perpétua) como um e-book.

certificando-se de que um instrumento esteja desligado quando ninguém o estiver usando. De volta ao Capítulo 7, mostramos um circuito de tempo limite simples, construído com lógica discreta, que desliga a alimentação de +9 volts uma hora após o instrumento ter sido ligado (§7.2.4A). Melhor ainda, em qualquer instrumento com um microcontrolador embutido (Capítulo 15), use o temporizador interno do controlador (ou um loop de tempo limite programado) para comandar a troca de energia. Em aplicações com energia de bateria limitada, é melhor escolher um microcontrolador de energia; como alternativa, providencie para que ele passe a maior parte do tempo em um modo de baixo consumo de energia (também chamado de "ocioso", "economia de energia", "desligamento", "espera", "hibernação" ou "suspensão") .

10.8 Patologia lógica

Existem armadilhas interessantes, e às vezes divertidas, que aguardam o desavisado lógico digital. Algumas delas, como corridas lógicas e condições de travamento, podem ocorrer independentemente da família lógica em uso. Outros (por exemplo, "latchup SCR" em chips CMOS) são anormalidades genéticas de uma ou outra família lógica. Nas subseções seguintes, reunimos nossas más experiências na esperança de que tais anedotas possam ajudar outras pessoas a evitar tais problemas.

10.8.1 problemas dc

A. Bloqueio

É fácil cair na armadilha de projetar um circuito com um estado de bloqueio. Suponha que você tenha algum gadget com vários flip-flops, todos passando por seus estados apropriados. Tudo parece estar funcionando direito. Então, um dia, ele simplesmente para de morrer. A única maneira de fazê-lo funcionar é desligar a energia e ligá-la novamente. O problema é que há um estado de bloqueio (um estado excluído do sistema do qual você não pode escapar) e você entrou nele por causa de algum transiente na linha de força que colocou o sistema no estado proibido. É importante procurar por tais estados ao projetar o circuito e configurar a lógica para que o circuito se recupere automaticamente.

No mínimo, as coisas devem ser organizadas de forma que um sinal RESET (gerado manualmente, na inicialização, etc.) coloque o sistema em bom estado. Isso pode não exigir nenhum componente adicional (por exemplo, Exercício 10.23).

B. Inicialização limpa Um problema relacionado é o estado do sistema na inicialização. É sempre uma boa ideia fornecer algum tipo de sinal de RESET na inicialização. Caso contrário, o sistema pode fazer coisas estranhas quando for ligado pela primeira vez. Uma abordagem é usar uma forma de onda de carregamento *RC* , tamponada por um gatilho Schmitt (Figura 10.94).

Além de exigir vários componentes discretos, no entanto, este circuito tem a desvantagem de não responder de forma confiável a uma queda de tensão momentânea.

Uma abordagem melhor é fornecida por um circuito de *supervisão* de fonte de alimentação IC. Esses chips vêm em muitas variedades. As mais simples são as peças de 3 pinos que criam um pulso de reinicialização ao ligar, por exemplo, o venerável MC34164, que vem em um conveniente pacote de transistor com chumbo TO-92 (além das pequenas configurações usuais de montagem em superfície) e contém sua saída de coletor aberto BAIXA até que a tensão de alimentação suba acima de 4,3 V (2,7 V para a peça 34164-3); inclui uma referência de tensão interna e alguma histerese.

Uma parte mais flexível é tipificada pelo Maxim MAX700, que vem em pacotes de 8 pinos (incluindo DIP) e que fornece saídas pullup ativas RESET e RESET ; ele permite definir o limite na faixa de 1,2–4,7 V com resistores externos (você também pode definir a histerese) e possui uma entrada para uma chave RESET manual (Figura 10.95). As famílias MAX823 e ADM823 são "jujubas" que são amplamente adquiridas de segunda mão. Outros chips de supervisão incluem a chamada função *watchdog :* você tem que pulsar pelo menos uma vez por segundo, ou ele faz um reset; estes destinam-se a detectar uma falha do processador e forçar uma reinicialização (uma função frequentemente integrada também em microcontroladores contemporâneos).

Muitas dessas peças de supervisão são feitas por vários

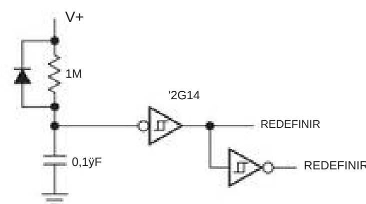


Figura 10.94. Redefinição de inicialização simples.

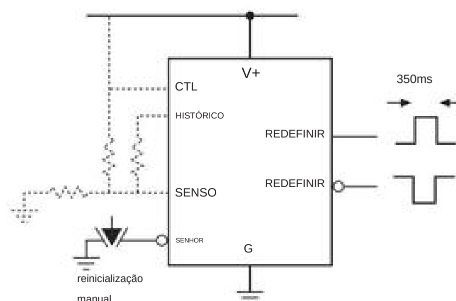


Figura 10.95. O IC de supervisão fornece funções de inicialização, monitor de tensão e reinicialização manual. O circuito opcional (pontilhado) permite o ajuste de limite e histerese.

fabricantes, mas com nomes de peças com prefixos diferentes. Por exemplo, o MAX809 também está disponível com os prefixos APX, ADM, CAT, LM, STM e TCM e custa US$ 0,14 em um rolo de 3.000 peças, graças a toda a concorrência. Mas tenha cuidado e leia a ficha técnica antes de fazer uma substituição! Por exemplo, a folha de dados MCP809 da NSC diz que tem uma pinagem diferente das outras peças '809 (corresponde ao jellybean STM1001 da STM). Um erro de redação? Talvez, mas nós avisamos, tenha cuidado.

Peças avançadas como a série ADM690 adicionam recursos como comutação de alimentação para uma bateria de backup, um segundo comparador de aviso de baixa tensão e gating habilitado para chip. Consulte a Tabela 10.6 para obter as características de alguns CIs de supervisão favoritos.

Tabela 10.6 Reset/Supervisores Selecionados

Modelo	Pinos	Pacote(s)					Corrente de alimentação (ÿA)
MC34164	3	TO-92, SO-8	2 -		-	-	12
MAX809	3	SOT-23	7-		-	'810	15
NCP303	5	SOT-23	7 - 1b		-	'302	0,5
MAX700	8	SOIC-8	-		•	ambos	100
ADM811	4	SOT-143	6-		•	'812	5
ADM823	5	SOT-23, SC-70	7	•	•	'824	10

Notas: (a) A tensão é especificada por um sufixo. (b) Ajuste externo. (c) Todos têm saída ativa em nível BAIXO; os números de peça listados têm saída ativa em ALTO; MAX700 tem ambos.

10.8.2 Problemas de comutação

A. Corridas lógicas

Muitas armadilhas sutis espreitam aqui. A corrida clássica foi ilustrada com o sincronizador de pulso em §10.4.4. Basicamente, em qualquer situação onde as portas são habilitadas por sinais provenientes de flip-flops (ou qualquer dispositivo com clock), você deve ter certeza de que uma porta não é habilitada e imediatamente desabilitada após um tempo de atraso lógico. Da mesma forma, certifique-se de que os sinais que aparecem nas entradas do flip-flop não estejam atrasados em relação ao clock (outra vantagem para sistemas síncronos!).
Em geral, atrase o relógio em vez dos dados.

É surpreendentemente fácil ignorar uma condição de corrida. Um exemplo clássico é o humilde multiplexador de 2 entradas: se você fizer a coisa óbvia, ou seja, Y=S&AÿS&B, como na Figura 10.96A, você terá problemas! O problema ocorre quando há um nível ALTO nas entradas *A* e *B* , e a entrada *S* do SE LECT muda de ALTO para BAIXO, ou seja, de selecionar *A* para selecionar B. O atraso do inversor faz com que a porta AND inferior seja desabilitada antes que a porta AND superior seja habilitada , produzindo uma falha transiente de nível BAIXO na saída. A solução é adicionar o termo redundante A&B, conforme mostrado na Figura 10.96B. (Isso é feito corretamente em qualquer IC comercial.
O problema surge quando você deseja colocar um MUX em lógica programável,85 para a qual você explica a lógica em uma linguagem de descrição de hardware. Você tem que instruí-lo, severamente, a não “otimizar” o termo redundante. Você tem que dizer a ele que você é mais sábio do que ele. Você pode dizer, se tudo mais falhar, que você leu este livro.)

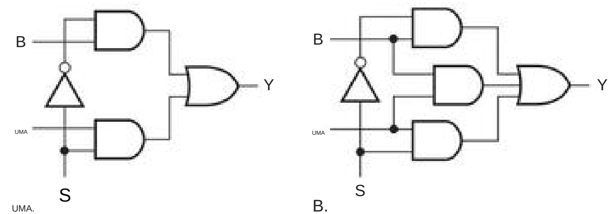


Figura 10.96. Adicionar um termo redundante elimina uma falha de corrida lógica no MUX de 2 entradas.

B. Estados metaestáveis

Como discutimos em detalhes anteriormente (§10.4.2D), um flip-flop (ou qualquer dispositivo com clock) pode ficar confuso se os dados inseridos forem alterados durante o intervalo de tempo de configuração anterior a um pulso de clock. Contanto que o flip-flop tome *alguma* decisão prontamente nesse caso ambíguo, está tudo bem. No entanto, há uma chance de que a entrada tenha mudado na hora errada, exatamente no “momento da verdade”, de modo que o flip-flop não consiga se decidir; sua saída pode pairar no limite lógico por muitas vezes o tempo de propagação normal (ou pode permanecer em um estado lógico e depois mudar de ideia mais tarde, como na Figura 10.60).

Este problema não surge em sistemas síncronos adequadamente projetados nos quais os tempos de configuração são sempre satisfeitos (usando lógica rápida o suficiente para que as entradas dos flip-flops sejam estáveis por tsetup antes do próximo pulso de clock). No entanto, pode criar problemas em situações em que sinais assíncronos (por exemplo, indo do dispositivo A, com seu próprio relógio, para o dispositivo B, com um relógio separado) devem ser sincronizados. Nesses casos, você não pode garantir que as transições de entrada não ocorram durante o intervalo de configuração; na verdade, você pode calcular com que frequência eles o fazem!86 O problema da metaestabilidade

85 O assunto do próximo capítulo.

86 A chance de cair no “intervalo de configuração” *ÿt* do clock mais rápido (de tsu antes do clock até th depois do clock) é ÿt/tclkF, onde tclkF=1/ fclkF é o período do mais rápido do par de assíncronos

sido responsabilizado por travamentos misteriosos de computador, embora sejamos céticos. A cura geralmente envolve um conjunto de sincronizadores concatenados ou um “detector de estado metaestável” que redefine o flip-flop. Você pode encontrar alegações de lógica “resistente a metaestável”, por exemplo, a família AC(T) de lógica de 5 V.

C. Clock skew Os

problemas de clock skew surgem quando você tem um sinal de clock de tempo de subida lento acionando vários dispositivos interconectados (Figura 10.97). Neste caso, dois registradores de deslocamento octal '595 foram colocados em cascata para criar uma saída paralela de 16 bits; eles estão sendo cronometrados por uma borda de subida lenta, causada pelo carregamento capacitivo de um sinal de clock anêmico (talvez vindo do pino de saída de um microcontrolador lento).
O problema é que o primeiro registrador pode ter seu limiar em uma tensão menor que a do segundo registrador (devido a variações do processo), e isso faz com que ele se desloque antes do segundo registrador. O último bit do primeiro registrador é então perdido. Os dispositivos CMOS podem exibir uma grande variedade de tensões de limite de entrada, o que agrava o problema (a especificação de limite pode ser de um terço a dois terços do VDD, e eles querem dizer isso!). A melhor solução em tal situação é acionar as entradas de clock de um chip próximo de velocidade adequada e sem carga capacitiva excessiva.
(Outra maneira de corrigir o problema, se você tiver inclinação do relógio, é adicionar um pequeno atraso nas linhas de dados entre chips com clock sucessivo; mas não deixe que isso substitua um clock limpo.)

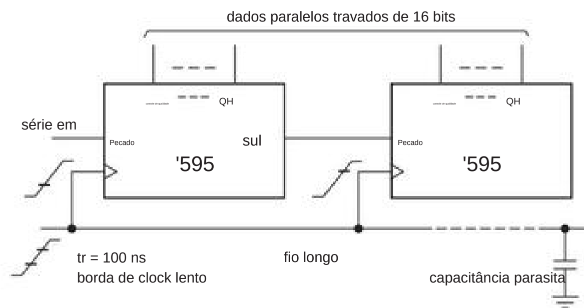


Figura 10.97. Tempos de subida lentos podem causar distorção de clock, quando os limiares diferem.

Falando de modo geral, as entradas de clock acionadas por borda em qualquer IC digital devem sempre ser tratadas com respeito. Por exemplo, linhas de clock com ruído ou toque devem sempre ser limpas com uma porta (talvez uma com histerese de entrada) antes de acionar o chip de clock (mas tome cuidado para não violar requisitos de configuração tardia e tempo de espera). Você provavelmente terá problemas com linhas de relógio que vêm de outra placa ou de uma família de lógica diferente. Por exemplo, a lógica lenta 4000B ou 74C que conduz as famílias HC ou AC mais rápidas provavelmente exibirá problemas de distorção do relógio ou transições múltiplas; idem para HC dirigindo LVC, e assim por diante.

Surpreendentemente, problemas de distorção de clock podem ocorrer mesmo dentro de um único chip de lógica programável. Um exemplo que encontramos é a venerável série 9500 de cPLDs, na qual flip-flops individuais podem ser cronometrados por um dos sinais de *clock globais* distribuídos do chip ou, alternativamente, pela saída da lógica interna (esses são chamados *termos do produto).* Soa bem. Mas se você usar um termo de produto para cronometrar um conjunto de flip-flops em um registrador de deslocamento, digamos, o chip pode funcionar mal. Isso ocorre devido aos atrasos de roteamento em trazer esse sinal de clock para os vários flip-flops. Um circuito síncrono como este só tem garantia de funcionamento se for cronometrado por um relógio global.87 Essa “pegadinha” não aparece com destaque nas folhas de dados.

D. Pulsos runt Em

§10.6.1 (contador módulo-n) usamos contadores de carga síncrona ('163), em vez de uma alternativa de carga emperrada (como o '191), porque com o último você precisaria adicionar alguns atraso para evitar um pulso de largura abaixo do padrão (uma vez que a saída do contador faz com que ele se limpe). O mesmo comentário vale para pulsos LOAD quando você estiver usando contadores ou registradores de deslocamento. Pulsos runt tornarão sua vida miserável, porque você pode ter uma operação marginal ou falhas intermitentes. Use as especificações de atraso de propagação de pior caso ao projetar.

E. Regras não especificadas À medida que a indústria de semicondutores encontrava seu caminho, começando com os ICs RTL mais simples da década de 1960 (consulte §12.1.1 para uma breve cronologia), depois as famílias TTL e Schottky aprimoradas, até os modernos de alto desempenho Nas famílias CMOS, havia uma compreensível falta de padronização de pinagens, especificações e funcionalidade. Como exemplos, o 7400 (NAND) tinha suas portas apontando “para baixo”, mas o 7401 (NOR de coletor aberto) foi construído com as portas voltadas para o outro lado. Isso criou tanta confusão que teve que ser transformado no 7403, que é um 7401 com pinagens no estilo 7400; um desastre semelhante aconteceu com o 7490 (contador de ondulação BCD), com pinos de fonte de alimentação no meio em vez de nos cantos. (Ironicamente, a potência do chip intermediário

relógios. Enquanto isso, o relógio mais lento está passando em fclkS. Portanto, ele cai no intervalo metaestável, em média, a uma taxa de fclkS fclkFÿt por segundo.

[87] O que, infelizmente, você não pode conduzir a partir de um termo de produto, exceto trazendo o sinal para fora em um pino e voltando (para um relógio global) em outro.

os pinos de alimentação retornaram ao CMOS rápido, devido à sua indutância reduzida.)

Um legado importante dessa anarquia inicial é a miscelânea de "regras não especificadas" às quais estamos presos. Por exemplo, o sempre popular flip-flop tipo D '74 existe em todas as famílias lógicas; afirmar SET e CLEAR torna ambas as saídas ALTAS em todas as famílias, exceto 74C, onde torna ambas as saídas BAIXAS! Essa não é exatamente uma regra não especificada, pois se você olhar cuidadosamente nas letras miúdas, encontrará a inconsistência; o termo técnico para isso é *pegadinha.* Outra de nossas pegadinhas favoritas é o '96, um registrador de deslocamento de 5 bits com entradas complicadas de carga de congestionamento: eles podem CONFIGURAR, mas não podem APAGAR!

Uma regra genuína não especificada e, de fato, muito importante, é o *tempo de remoção:* é a quantidade de tempo que você deve esperar após desabilitar uma entrada do tipo jam antes que um dispositivo com clock seja garantido para sincronizar corretamente. Os projetistas de chips não se preocuparam em especificar isso até as famílias lógicas do início dos anos 1980 (embora os projetistas de circuitos sempre quisessem saber), especificamente as famílias Schottky avançada e CMOS rápida. Se você estiver projetando com lógica anterior, nosso conselho é ser conservador; por exemplo, suponha que o tempo de remoção seja o mesmo que o tempo de configuração de dados.[88]

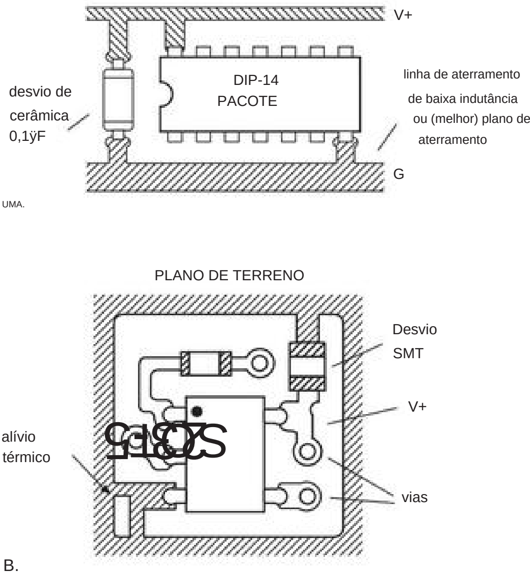


Figura 10.98. É sempre uma boa ideia usar fiação de aterramento robusta de baixa indutância, com uso liberal de capacitores de bypass. R. Para uma placa cara de dois lados, você deve usar energia em rede e traços de aterramento. B. Melhor ainda, use um plano de aterramento e tampas de derivação de cerâmica de montagem em superfície. (A camada superior geralmente é uma camada de sinal, com planos de energia e terra empilhados embaixo, em uma PCB multicamada. Mostramos o solo no topo para maior clareza, embora você possa fazer isso em um PCB de duas camadas.)

10.8.3 Fraquezas congênitas de TTL e CMOS

Dividimos esta seção em problemas incômodos e comportamento realmente bizarro.

A. Problemas incômodos

Bipolar (legado) TTL Você deve se lembrar que o TTL insere a corrente da *fonte* quando mantido no estado BAIXO (por exemplo, 0,25 mA para LS, 0,5 mA para F). Isso dificulta o uso de atrasos *RC* , etc., devido às baixas impedâncias necessárias e, em geral, você deve pensar um pouco ao fazer a interface dos níveis lineares com as entradas TTL.

O limite TTL (e o de seus imitadores, HCT e ACT) está muito próximo do solo, tornando toda a família lógica um tanto propensa a ruídos (mais sobre isso no Capítulo 12). A alta velocidade dessas famílias lógicas faz com que reconheçam picos curtos na linha de terra; esses picos, por sua vez, são gerados pelas altas velocidades de transição de saída, piorando o problema.

O TTL bipolar exige da fonte de alimentação (+5V, ±5%, com distribuição de energia quiescente relativamente alta pação). Os picos de corrente da fonte de alimentação gerados pelo circuito ativo de saída pullup geralmente requerem o uso liberal de bypass da fonte de alimentação, idealmente um capacitor de 0,1 F por chip (Figura 10.98).

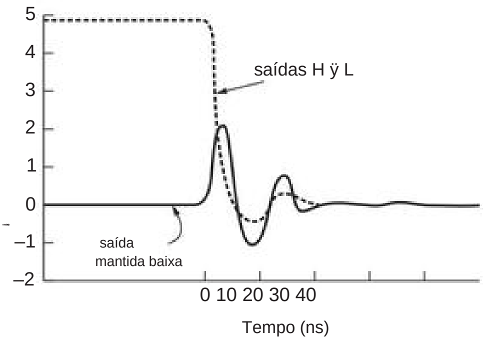


Figura 10.99. Ressalto no solo: buffer octal 74AC244, acionando sete cargas de 50 pF HÿL, mantendo a oitava saída em nível BAIXO. "Ground" é um plano de folha de cobre (1 oz/ft2). (Depois da Figura 1.1-4, TI Advanced CMOS Logic Designer's Handbook.)

[88] Geralmente é menos; por exemplo, o flip-flop tipo D 74HC74 especifica um tempo mínimo de remoção (predefinido ou limpo para clock) de 5 ns, enquanto o tempo mínimo de configuração de dados é de 20 ns.

CMOS

As entradas CMOS têm sido tradicionalmente propensas a danos causados pela eletricidade estática, com taxas de mortalidade realmente subindo no inverno. Famílias recentes com portas de polisilício e redes de proteção de entrada eficazes são muito mais robustas do que seus ancestrais de porta de metal. As entradas CMOS mostram uma grande dispersão no limite lógico, o que pode levar a problemas de distorção do relógio (§10.8.2C). As saídas lógicas podem até exibir transições duplas quando acionadas com entradas que aumentam lentamente.

O CMOS requer que todas as entradas não utilizadas, mesmo aquelas de seções de portão não utilizadas, sejam conectadas a HIGH ou LOW.

Um problema congênito interessante com famílias CMOS rápidas é a presença de *salto de terra:* um chip CMOS rápido dirigindo sua carga capacitiva gera enormes correntes de terra transitórias, fazendo com que a linha de terra do chip salte momentaneamente e, assim, levando consigo saídas BAIXAS que por acaso são espectadores inocentes no mesmo chip. A Figura 10.99 mostra o tipo de coisa que você vê. Observe particularmente a magnitude do efeito: 1 a 2 volts não é incomum! Quando você considera que uma transição de 3 ns, 5 V para 50 pF equivale a uma corrente transiente *I =C* dV/dt = 83 mA, e que um buffer octal pode acionar oito dessas cargas simultaneamente (corrente total de 2/3 A!), esse comportamento não é surpreendente. Quando a lógica AC(T) rápida apareceu pela primeira vez, vestida com o tradicional pacote de alimentação e aterramento de pinos de canto DIP, esse problema acabou sendo mais difícil de resolver do que o previsto, levando a um novo conjunto de circuitos AC(T) com " alimentação do pino central" e aterramento (para menor indutância). Além disso, os fabricantes de circuitos integrados lógicos fizeram melhorias no projeto para limitar as taxas de variação de pico (às vezes chamadas *de taxas de borda)* e, portanto, as correntes de carga capacitiva C dV/dt consequentes : famílias lógicas como AC(T)Q ("Q" para "silencioso") ajudou consideravelmente, com pouco comprometimento da velocidade.

Uma solução melhor evoluiu, ou seja, a mudança para pacotes menores de montagem em superfície (com menos indutância de chumbo) e o uso generalizado de placas de circuito multicamadas (com alimentação dedicada e camadas de aterramento), combinadas com capacitores de derivação de montagem em superfície. ICs lógicos recentes algumas vezes especificam níveis de ruído auto-induzidos.89 E chips VLSI com muitos pinos geralmente dedicam vários pinos (às vezes dezenas! 90) ao terra. Os problemas de salto no solo não foram banidos, no entanto. Os usuários devem estar cientes deste grave problema e tomar medidas para manter a indução de aterramento.

[89] Às vezes chamados de níveis lógicos *de saída silenciosa* ou *retorno de chamada.* Estes especificam a oscilação dinâmica máxima em uma saída que deve permanecer em um estado lógico, enquanto todas as outras saídas do mesmo chip fazem uma transição lógica.

[90] Ou mesmo *centenas:* contamos 423 pinos de aterramento no Virtex-7 FPGA da Xilinx em um pacote de 1761 pinos.

tância tão baixa quanto possível (Figura 10.98). É melhor usar placas de circuito com alimentação dedicada e planos de aterramento e muitos capacitores de bypass de baixa indutância. Melhor ainda, se você não precisa de velocidade, fique totalmente longe das famílias lógicas mais rápidas.

B. Comportamento bizarro

Lógica bipolar O TTL não faz

muitas coisas realmente estranhas.91 No entanto, alguns monoestáveis TTL serão acionados em uma falha na linha de alimentação (ou terra) e eles geralmente se comportam um tanto inquietos. Um circuito que funciona bem com LS TTL pode funcionar mal quando substituído por AS TTL, devido a tempos de borda mais rápidos e, conseqüentemente, maiores correntes de linha de terra e toque (74F TTL parece melhor a esse respeito). A operação TTL mais estranha pode ser atribuída a problemas de ruído.

ECL envolve tempos de transição muito rápidos, e interconexões maiores que alguns centímetros devem ser tratadas como linhas de transmissão terminadas (ver Apêndice H e *§1x.1).*

A lógica

CMOS CMOS pode deixá-lo louco! Entradas abertas em chips CMOS são más notícias: você pode ter um circuito que se comporta mal de forma intermitente. Você coloca sua sonda de escopo em um ponto do circuito e mostra zero volts, como deveria. Então o circuito funciona bem por alguns minutos – antes de funcionar novamente! O que aconteceu foi que o 'osciloscópio descarregou a capacitância na entrada aberta e demorou muito para carregar de volta até o limite lógico.

Outra manobra divertida é quando um chip CMOS entra em "latchup SCR", causado por forçar uma entrada (ou saída) além dos trilhos de alimentação momentaneamente. A corrente resultante (cerca de 50 mA) através dos diodos de proteção de entrada ativa um par de transistores parasitas de conexão cruzada que são um efeito colateral do processo CMOS de "junção isolada". Isso reduz efetivamente o VDD ao terra; o chip esquenta e você tem que desligar a fonte de alimentação antes que ele se comporte novamente. Se você deixar isso acontecer por mais de alguns segundos, terá que substituir o chip. Alguns dos projetos de CMOS mais recentes alegam imunidade a latchup, mesmo com oscilações de entrada de 5 V *além* dos trilhos, e para operar adequadamente para oscilações de entrada de 1,5 volts além dos trilhos.92

[91] Um cínico pode acrescentar que também não faz muitas coisas *boas* .

[92] O latchup do SCR ocorre quando a *corrente* de entrada excede algum limite: os fabricantes geralmente garantem que não há travamento se Iin for mantido abaixo de uma "corrente de grampo de entrada" máxima, por exemplo, 20 mA. A folha de dados dirá algo como "as classificações de tensão de entrada e saída podem ser excedidas se as classificações de corrente de entrada e saída forem observadas". É bom saber disso, porque você pode usar um resistor de entrada em série para evitar travamento mesmo com overdrive de tensão de entrada.

O CMOS tem alguns modos de falha estranhos e sutis. Um dos FETs de saída pode "falhar em aberto", dando falhas sensíveis ao padrão que são difíceis de detectar. Uma entrada pode começar a afundar ou fornecer corrente. Ou todo o chip pode começar a consumir uma corrente de alimentação substancial. Colocar um resistor de 1 ÿ em série com cada terminal VDD do chip (com desvio downstream) facilita a localização de chips CMOS defeituosos que estão consumindo corrente de alimentação quiescente (para drivers de energia ou chips que acionam muitas saídas, use resistores de detecção de 0,1 ÿ). Na maioria das vezes você não se preocupa com essa precaução; mas pode ser uma boa ideia se você estiver fazendo um dispositivo operado por bateria, onde os microamperes são importantes.

Além da variação do limiar de entrada entre os chips, um único chip pode apresentar diferentes limiares para várias funções internas do chip acionadas a partir de uma única entrada. Por exemplo, a entrada RESET de um CD4013 pode trazer *Q* HIGH antes de trazer *Q* LOW. Isso significa que você não deve encerrar um pulso de reinicialização com base na saída em *Q* , porque o pulso runt que será gerado pode, na verdade, falhar em limpar o flip-flop.

Entradas abertas seriam más notícias de qualquer maneira, mesmo em seções de portão não usadas. Isso ocorre porque a entrada pode flutuar até o meio da fonte, colocando os MOSFETs de canal n e canal p em condução. Essa "corrente classe A" causa corrente quiescente indesejada (ei, CMOS é potência zero, certo?), E pode causar oscilações e (em alguns casos) dissipação de energia suficiente para destruir o IC. Você pode ver como isso ocorre na Figura 10.100, onde medimos separadamente as correntes de dissipação e alimentação em uma seção de um inversor 74LVC04 funcionando em +3,3 V. Contanto que a entrada esteja dentro de cerca de 0,7 V de qualquer trilho, o correspondente O MOSFET está totalmente DESLIGADO; mas no meio há alguma condução simultânea, ou corrente "disparada". Neste caso esse pico de corrente é de cerca de 20 mA para Vinÿ1,4 V, causando 28 mW de dissipação no inversor. Se todas as seis seções do inversor flutuassem, você poderia ter quase 200 mW de dissipação; e se o chip funcionasse com uma fonte lógica de 5 V, a dissipação poderia atingir níveis destrutivos.

A corrente máxima de passagem depende fortemente da tensão de alimentação, conforme mostrado nos dados medidos da Figura 10.101. Em tensões de alimentação muito baixas, não há nível de tensão de entrada que coloque ambos os MOSFETs em condução simultaneamente.

Aqui está o mais louco de todos: você esqueceu de conectar o pino VDD em um chip CMOS, mas o circuito funciona muito bem! Isso porque ele está sendo alimentado por uma de suas entradas lógicas (através dos diodos internos de proteção de entrada do chip da entrada para o VDD). Você pode se safar disso por um longo tempo, mas de repente o circuito atinge um estado em que toda a lógica inserida no chip é simultaneamente BAIXA; o chip perde o seu

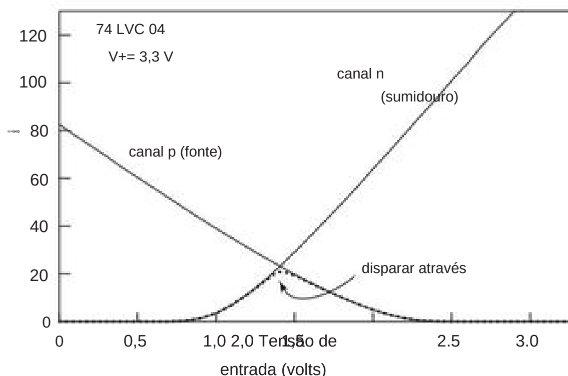


Figura 10.100. Correntes de alimentação e dissipação medidas em uma seção de um inversor 'LVC04, em função da tensão de entrada lógica. "Shoot-through current" é o nome colorido dado à condução simultânea, causada por uma tensão de entrada digital que não está próxima a um dos trilhos.

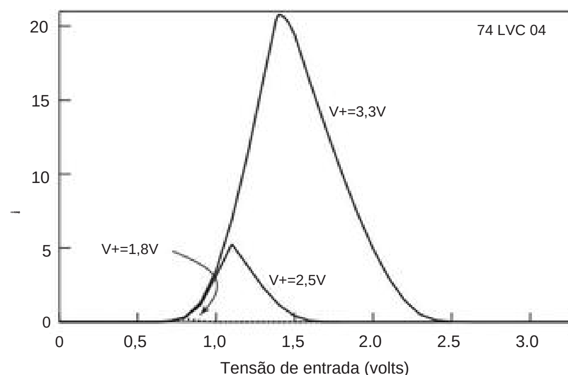


Figura 10.101. Corrente de passagem medida versus nível de tensão de entrada digital, para várias tensões de alimentação.

poder e esquece seu estado. Claro, esta é uma situação ruim de qualquer maneira, já que o estágio de saída não é alimentado adequadamente e não pode fornecer muita corrente. O problema é que esta situação pode produzir sintomas apenas ocasionalmente, e pode fazer você correr em círculos até descobrir o que está acontecendo.

Exercícios Adicionais para o Capítulo 10

Exercício 10.31. Mostre como fazer um flip-flop *JK* usando um flip-flop tipo *D* e um MUX de 4 entradas. *Dica:* use as entradas de endereço para *J* e K.

Exercício 10.32. Projete um circuito que leia, em dígitos de 7 segmentos, quantos milissegundos você manteve um botão pressionado. O dispositivo deve ser inteligente o suficiente para se redefinir a cada vez. Use um oscilador de 1,0 MHz.

Exercício 10.33. Projete um cronômetro de reação. "A" aperta o botão; um LED acende e um contador começa a contar. Quando "B" aperta o botão, a luz se apaga e um display de LED mostra a hora, em milissegundos. Certifique-se de projetar o circuito para que ele funcione corretamente mesmo se o botão de A ainda estiver pressionado quando o botão de B for pressionado.

Exercício 10.34. Projete um contador de período: um dispositivo para medir o número de microssegundos em um período de uma forma de onda de entrada. Use um comparador Schmitt para gerar níveis lógicos; e use uma frequência de clock de 10 MHz. Faça-o funcionar de forma que apertar um botão inicie a próxima medição.

Exercício 10.35. Adicione travas ao contador de período, se ainda não o fez.

Exercício 10.36. Agora faça-o medir o tempo por 10 períodos. Além disso, acenda um LED durante a contagem.

Exercício 10.37. Projete um verdadeiro cronômetro eletrônico. O botão *A* inicia e interrompe a contagem. O botão *B* zera a contagem. A saída deve ser da forma xx.x (segundos e décimos); suponha que você tenha uma onda quadrada de 1,0 MHz.

Exercício 10.38. Alguns cronômetros usam um único botão (iniciar, parar, reiniciar, iniciar, etc., cada vez que é pressionado). Projete um equivalente eletrônico.

Exercício 10.39. Projete um bom contador de frequência para medir o número de ciclos por segundo de uma forma de onda de entrada. Inclua muitos dígitos, contagem travada ao contar o próximo intervalo e uma escolha de intervalo de contagem de 1 s, 0,1 s ou 0,01 s. Você pode adicionar um bom circuito de entrada com várias sensibilidades, um gatilho Schmitt com histerese e ponto de disparo ajustáveis (use um comparador rápido) e uma entrada de sinal lógico para sinais TTL. Que tal uma saída BCD? Multiplexar os dígitos na saída, bem como na saída paralela. Passe algum tempo nisso.[93]

Exercício 10.40. Projete um circuito, usando a lógica LVC em 3,3 V, para cronometrar uma bala em alta velocidade. O projétil quebra um fio fino esticado em seu caminho; então, a alguma distância medida ao longo de seu caminho, ele quebra um segundo fio. Cuidado com problemas como "salto de contato". Suponha que você tenha uma onda quadrada lógica de 10 MHz e projete seu circuito para ler, em microssegundos (quatro dígitos), o intervalo de tempo entre a quebra dos dois fios. Um botão deve reiniciar o circuito para o próximo tiro.

[93] H & H fez - este foi um dos nossos primeiros projetos conjuntos, cerca de quarenta anos atrás.

Exercício 10.41. Invente um circuito para manter uma soma contínua de números binários sucessivos de 4 bits que são inseridos nele. Mantenha seu resultado em apenas 4 bits (ou seja, execute uma soma módulo-16).[94]

Agora adicione outro recurso ao circuito, ou seja, um bit de saída que é 1 se o *número total* de 1 bits em todos os números de entrada última entrada de reinicialização) é ímpar, 0 se for par. *Dica:* uma "árvore de paridade" XOR dirá se a soma de 1s em cada número é ímpar; descobrir a partir daí.

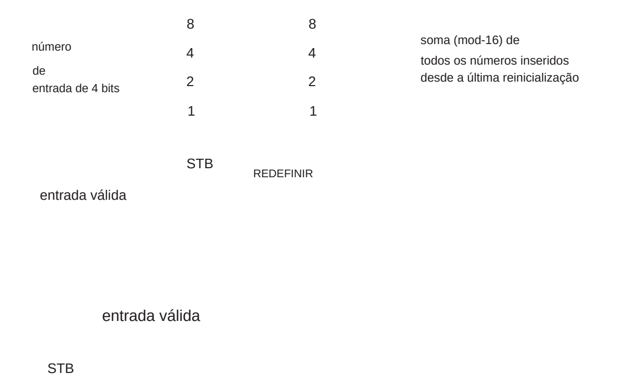


Figura 10.102. Diagrama de blocos do circuito de soma de verificação.

Exercício 10.42. No Exercício 10.15, você projetou um multiplicador 2 × 2 usando um mapa de Karnaugh para cada bit de saída. Neste problema, você deve realizar a mesma tarefa pelo processo de "deslocar e adicionar". Comece escrevendo o produto como faria na escola primária (Figura 10.103). Esse processo tem um padrão de repetição simples, exigindo portas de 2 entradas (que tipo ?) para somar os termos intermediários.

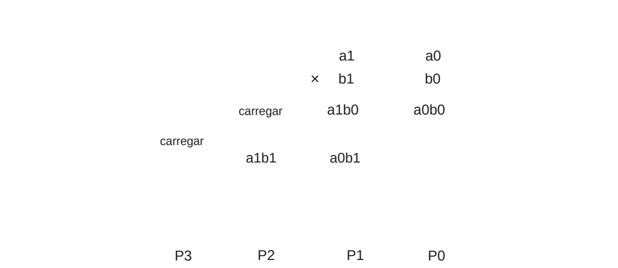


Figura 10.103. Como multiplicar.

[94] Variantes mais sofisticadas de tal soma, por exemplo, um código CRC (soma de verificação de redundância cíclica) são úteis como uma verificação de validade contra erros introduzidos em arquivos de dados destinados a armazenamento ou transmissão.

Revisão do Capítulo 10

Um resumo de A a H do que aprendemos no Capítulo 10. Este resumo revisa os princípios e fatos básicos do Capítulo 10, mas não cobre os diagramas de circuitos de aplicação e os conselhos práticos de engenharia ali apresentados.

¶UMA. Níveis de Tensão Digital.

Em contraste com a eletrônica analógica, onde os sinais válidos ocupam uma certa faixa de tensões (por exemplo, oscilação de saída de ± 10 V de um amplificador operacional), os sinais na eletrônica *digital* são confinados a dois (geralmente) estados, chamados de ALTO e BAIXO (ou 1 e 0, ou VERDADEIRO e FALSO). Cada estado tem um nível de tensão nominal e uma faixa válida definida sobre a qual será interpretado adequadamente pela entrada de um dispositivo digital acionado (§10.1.2B, também §12.1.2). O sinal pode ser de terminação única (por exemplo, uma saída CMOS de +3,3 V, com níveis nominais de 0 e +3,3 V, consulte a Figura 10.2) ou pode ser um par diferencial (por exemplo, LVDS, cuja unidade de modo de corrente produz uma oscilação nominal de 300 mV centrada em torno de +1,25 V, vista posteriormente na Figura 12.135). Existem inúmeras *famílias* de lógica digital, diferenciadas por sua faixa de tensão de alimentação, limites de entrada, velocidade, dissipação de energia e similares; ver ¶G.

¶B. Definição de Bits digitais.

Os bits lógicos individuais podem representar parte de uma quantidade maior (por exemplo, bits em um byte de dados) ou podem representar um estado (por exemplo, RESET ou RUN). Um grupo de *n* bits pode ser enviado simultaneamente como uma quantidade *paralela* (em *n* fios) ou sequencialmente no tempo (em um único fio ou par) como uma string *serial ,* compreendendo um *barramento* paralelo ou serial . Quantidades numéricas são representadas como inteiros sem sinal, inteiros em complemento de 2 ou números de ponto flutuante (§10.1.3), enquanto caracteres alfanuméricos usam codificação ASCII de byte único (ou suas extensões de dois bytes). A notação hexadecimal de base 16 (0–9, a–f) é normalmente usada para escrever quantidades binárias multibit, com cada caractere hexadecimal representando quatro bits binários (portanto, dois caracteres hexadecimais por byte). Seja representando quantidades multibit ou bits de estado único, os níveis de tensão digital em um circuito podem ser sinalizados como ativo-ALTO ou ativo-BAIXO. Por exemplo, pode-se ter um sinal BAIXO ativo para reinicializar um microprocessador; ela seria chamada de RESET e normalmente ficaria *desativada* no estado de tensão ALTA , indo para , BAIXO somente quando ativasse uma operação de reinicialização.

¶C. Lógica Combinacional: Gates.

Os circuitos digitais cujo estado depende apenas do presente em puts (isto é, não do histórico passado) são chamados *combinacionais.* Suas operações lógicas são realizadas com *portas,* cujas formas básicas (§10.1.4) são AND, OR e NOT (ou *inverter),* e cujos símbolos gráficos padrão e tabelas verdade são mostrados nas Figuras 10.4, 10.5 e 10.6. Eles podem ser combinados para formar funções como NAND e NOR (saída invertida AND e OR, Figura 10.8) ou OU-exclusivo (XOR, Figura 10.9). E eles podem ser encadeados para fazer qualquer saída (ou saídas) combinacional lógica especificada de um conjunto de entradas.

¶D. Lógica Sequencial: Flip-flops.

O elemento básico de um circuito lógico sequencial é o *flip flop* (§10.4), um dispositivo que mantém seu estado na ausência de entradas externas; é uma "memória de 1 bit". O estado de um circuito com flip-flops depende tanto das entradas presentes quanto do estado anterior. Para o onipresente flip-flop *tipo D ("D* flop"), o nível lógico presente na entrada *D* (dados) no momento de 95 uma transição de clock (borda) é capturado e apresentado à saída *Q.* Uma vez que você tenha flip-flops, o mundo é sua ostra – você pode fazer contadores, registradores, "máquinas de estado finito" arbitrárias – e (rufar de tambores) *computadores!*

Quando um flip-flop é aumentado com um *RC,* você obtém um circuito de temporização *multivibrador monoestável96* (ou "one-shot"), que gera um pulso lógico de saída (de largura definida pela constante de tempo *RC)* quando acionado por uma borda de entrada. O one-shot é um exemplo de circuito de sinal misto, ou seja, uma combinação de técnicas analógicas e digitais.

¶E. Lógica Sequencial: Registos e Contadores.

Um D-flop com clock captura e retém um bit; uma coleção de *n* D-flops com uma entrada de clock comum é chamada de *registrador* (§10.5.1); ele captura e armazena *n* bits (um byte, para n=8). Quando combinado com memória e portas, pode formar uma *máquina de estado finito* (FSM, veja a Figura 10.64), a apenas um passo do microprocessador.

Se os bits de saída *Qi* de um registrador D conduzem as entradas subseqüentes (ou seja, *Qi* está conectado a Di+1), você tem um registrador de *deslocamento;* eles são úteis para paralelizar um fluxo serial ou vice-versa (se carregados em paralelo e deslocados no final). Uma aplicação interessante do registrador de deslocamento é a geração de sequências de bits pseudo-aleatórias (semelhantes a ruído), consulte §§8.12.4A e 13.14.

Em vez disso , uma coleção de *n* D-flops pode ser conectada para criar um *contador* de n bits , de modo que sucessivas transições de entrada façam com que o número de n bits representado por *Q0–Qnÿ1* seja incrementado.97 O mais simples é o *contador de ondulação* (§10.4 .2E), em

95 Mais precisamente, presente e estável desde um *tempo de configuração* ts antes da borda até um *tempo de espera* depois da borda, para garantir a operação adequada.

96 Estável de um lado, em contraste com o flip-flop *biestável* comum (estável em qualquer estado) ou o oscilador *astável* (estável em nenhum dos estados).

97 Ou para decrementar, para um *contador decrescente.*

quais as saídas *Qi* acionam as entradas de relógio sucessivas; a alternativa é um contador *síncrono* , no qual todos os relógios de entrada são acionados pelo sinal de entrada e a lógica do portão é configurada para apresentar às entradas *D* os níveis correspondentes ao próximo estado. Este último é apenas um caso especial de um FSM síncrono. Contadores síncronos (e sistemas síncronos em geral) são favorecidos, tendo as propriedades agradáveis de mudanças de estado simultâneas (além da *inclinação)* e de ausência de ruído digital no intervalo de configuração antes de cada relógio do sistema.

¶F. Lógica Padrão e Lógica Programável.

A lógica digital está disponível como funções padrão pré-conectadas (portas, flip-flops, contadores, registradores), em pacotes que vão desde a popular "cola" de mini-lógica de porta única em pacotes de 5 ou 6 pinos, até o longo pacotes populares de tamanho médio (14, 16 ou 20 pinos), para grandes drivers de barramento multibyte em pacotes de 48 pinos ou 96 pinos; veja, por exemplo, as listagens na Tabela 10.3 na página 716 (portas) e Tabela 10.5 na página 742 (contadores).

Estes são bons o suficiente para muitas tarefas; mas uma alternativa atraente, particularmente em um sistema complexo, é o uso de *dispositivos lógicos programáveis* (PLDs). Estes contêm um grande número de portas e flip-flops não comprometidos, cujas interconexões são configuráveis pelo usuário (e reconfiguráveis); ver §10.5.4. A categoria conhecida como *cPLDs* (PLDs complexos) contém de algumas dezenas a algumas centenas de “macro células” (um flip-flop e uma coleção de portas) e alguns milhares de portas de areia, juntamente com a memória de programa não volátil e eles podem substituir muito da “lógica aleatória” (o emaranhado de portas e flip-flops) em um sistema digital; eles também são ideais para implementar máquinas de estado. Em um nível mais alto de integração, o *field-programmable gate array* (FPGA) reina supremo; o maior deles incorpora bilhões de transistores implementando milhões de flip-flops, juntamente com memória, transceptores seriais e todos os recursos necessários para implementar um microprocessador.

A maioria dos projetistas usa uma linguagem de descrição de hardware (HDL), rodando em uma plataforma de PC, para especificar a função do PLD, mas também existem ferramentas de entrada de esquema disponíveis; esses conjuntos de ferramentas permitem simular as funções programadas, para verificar se você programou o que pretendia. Os PLDs contemporâneos são programados no circuito, geralmente por meio de uma porta serial JTAG. Discutimos os PLDs com mais detalhes no Capítulo 11.

Qualquer discussão sobre lógica digital deve incluir *microcontroladores,* os cada vez mais capazes e baratos computadores em um chip que podem substituir dispositivos lógicos discretos e programáveis em dispositivos digitais. Pense neles microcontroladores embutidos não como criaturas exóticas, mas simplesmente como componentes de circuito – eles custam menos que um amplificador operacional de precisão e podem fazer maravilhas. Eles são o assunto do Capítulo 15.

¶G. Famílias Lógicas.

As funções de lógica digital, seja lógica padrão ou lógica programável, podem ser implementadas em CIs com uma variedade de tecnologias de transistor no chip (§10.2). Famílias legadas anteriores de lógica padrão (RTL bipolar, DTL e TTL) cederam seu espaço para as famílias lógicas CMOS agora dominantes. Estas últimas incluem as tradicionais famílias 5 V HC[T] e AC[T] (o sufixo T indica limites TTL, em torno de 1,4 V), a série 4000B de alta tensão (mas muito lenta) e uma proliferação de famílias CMOS destinadas para operação em baixa tensão; os últimos incluem famílias populares como LVC (1,8–5 V) e AUC (1,2–2,5 V), entre as dezenas de opções. Consulte as Figuras 10.22, 10.26, 10.27 e (no Capítulo 12) §12.1 e a Figura 12.2.

Dispositivos lógicos programáveis (cPLDs, FPGAs) e microcontroladores são invariavelmente construídos com CMOS, com tensão de alimentação variando de 1 V a 5 V, refletida em sua velocidade e dissipação de energia. É comum ter trilhos de alimentação de “núcleo” e E/S separados em muitos desses dispositivos; por exemplo, um microcontrolador ou FPGA pode ter um núcleo de 1,2 V e um VI/O de 1,6–3,6 (o último para compatibilidade com dispositivos externos).

Todas essas variações podem ser confusas. O Capítulo 12 trata em detalhes da interface da família lógica. Em um nível simples, porém, o que você precisa saber (resumido em §12.1.3 e encapsulado na Figura 12.9) é que (a) você sempre pode fazer uma conexão direta entre a lógica operando na mesma tensão; (b) a lógica operando a partir de uma tensão mais alta (por exemplo, +5 V) pode acionar a lógica de tensão mais baixa se a entrada desta última for “tolerante”; e (c) a lógica de tensão mais baixa pode acionar a lógica de tensão mais alta se a última tiver “limiares TTL” e a primeira for alimentada por pelo menos +2,5 V.

¶H. Cuidados com a lógica digital.

O design digital evita as complicações inerentes aos circuitos lineares (polarização, estabilidade térmica, etc.) e é fácil tornar-se complacente e preguiçoso. Mas há muitos perigos no playground digital, consulte §10.8. Entre os *problemas de CC* estão os estados de travamento lógico, latchup de SCR e estados de inicialização indeterminados. Mais sinistros são *os problemas de comutação* , como corridas lógicas e pulsos runt, estados metaestáveis, distorção de relógio e dados, salto de terra e ruído de comutação conduzido por energia e terra.

DISPOSITIVOS LÓGICOS PROGRAMÁVEIS

CAPÍTULO 11

No capítulo anterior introduzimos os fundamentos da eletrônica digital – portas e lógica combinacional, flip-flops e lógica sequencial – e ilustramos sua aplicação com alguns exemplos: um contador módulo-n, um display LED multiplexado e um pulso n gerador. Nesse capítulo, usamos principalmente *a lógica padrão;* isto é, pequenos blocos de lógica (portas, flip-flops, contadores, registradores) empacotados como únicos em circuitos integrados.

No entanto, como observamos frequentemente, existe uma forma alternativa (e geralmente melhor) de implementar esses tipos de circuitos, ou seja, o uso de *dispositivos lógicos programáveis* (PLDs).[1] Um PLD consiste em um chip com muita lógica (portas). e registros, e às vezes muito mais), em que as *conexões* são programáveis. Mas não é um programa de computador: em um computador, o programa diz ao processador *o que fazer;* em um PLD, o programa informa ao chip *como conectar* suas peças componentes.

11.1 Uma breve história

Os primeiros PLDs (1975) foram os dispositivos "Integrated Fuse Logic" da Signetics, com um punhado de portas não comprometidas e uma matriz de fusíveis (literalmente!) que podiam ser queimados seletivamente para deixar as interconexões desejadas. Você "programou" as coisas com um gráfico de links de fusíveis ou (mais tarde) designando os locais dos fusíveis manualmente na tela do computador. Em desenvolvimentos subsequentes, a Signetics adicionou flip-flops à mistura, permitindo circuitos sequenciais; e Monolithic Mem ories desenvolveram uma família simplificada conhecida como PALs (programmable array logic), com uma linguagem de design de entrada de texto mais utilizável chamada PALASM. Em meados da década de 1980, tínhamos as GALs (lógica de matriz genérica) da Lattice, que usavam memória reprogramável eletricamente e uma célula de saída semelhante a um camaleão que podia ser um flip-flop ou um portão. Também houve linguagens de programação aprimoradas, como CUPL e ABEL; estes, e seus sucessores, são todos chamados genericamente de *HDLs* (linguagens de descrição de hardware).

Na mesma época, a Xilinx introduziu o FPGA (matriz de portas programável em campo), um profissional alternativo esquema lógico gramatical com uma arquitetura "mais refinada" – muito mais portas e registradores, organizados como uma malha de blocos lógicos, rodeados por blocos de E/S, com interconexões mais flexíveis – e cuja programação de configuração era realizada fora do chip em um pequeno dispositivo de memória não volátil separado (uma "ROM de configuração" serial) e carregado na SRAM on-chip (e volátil) na inicialização.

FPGAs e PLDs complexos, melhorando muito com o tempo, fazem parte do kit de ferramentas essencial dos projetistas de circuitos. Os cPLDs contemporâneos (o "c" significa "complexo") têm de 32 a 2.000 macrocélulas, com dezenas de milhares de portas, e operam com velocidades de clock de até algumas centenas de megahertz; eles usam memória de programa não volátil no chip e podem ser programados e reprogramados no circuito, usando protocolos seriais simples (por exemplo, JTAG). Existem variantes[2] com corrente quiescente essencialmente zero. Eles têm um timing altamente previsível.

Os FPGAs contemporâneos são mais densos, atingindo cerca de um milhão de flip-flops, em pacotes (veja a Figura 11.1) com até 1738 pinos (!). Podem incluir blocos com memória dedicada, módulos aritméticos (ALUs, MACs, outros DSP), interface (USB, Ethernet, PCI) e outras funções especializadas. Com recursos tão extensos, agora é rotineiro programar em designs padrão para grandes módulos, como um processador de vídeo, controlador PCIe, Bluetooth ou até mesmo um microprocessador completo (e periféricos), com muita lógica programável sobrando para formar um "sistema em -um chip." Esses designs padrão programados ("soft") são conhecidos como "IP" (propriedade intelectual, alguns dos quais você pode ter que licenciar); se você colocar um microprocessador IP, ele é chamado de núcleo *de processador flexível.*[3] Uma alternativa eficiente, caso você queira um processador dentro do seu FPGA, é o uso de um FPGA híbrido, com o microprocessador e periféricos já conectados.[4]

[1] Oficialmente "PLDs", mas geralmente significa incluir cPLDs (PLDs complexos) e FPGAs (matrizes de portas programáveis em campo).

[2] Notavelmente a série Xilinx (originalmente Philips) CoolRunner™ e a série Lattice ispMACH™4000Z.

[3] Exemplos são o Xilinx MicroBlaze, o Altera Nios-II, o Lattice Mico e o Actel ARM.

[4] Exemplos são o PowerPC (nos FPGAs da Xilinx), o AVR (no FPSLIC da Atmel) e o ARM (nos FPGAs da Altera).

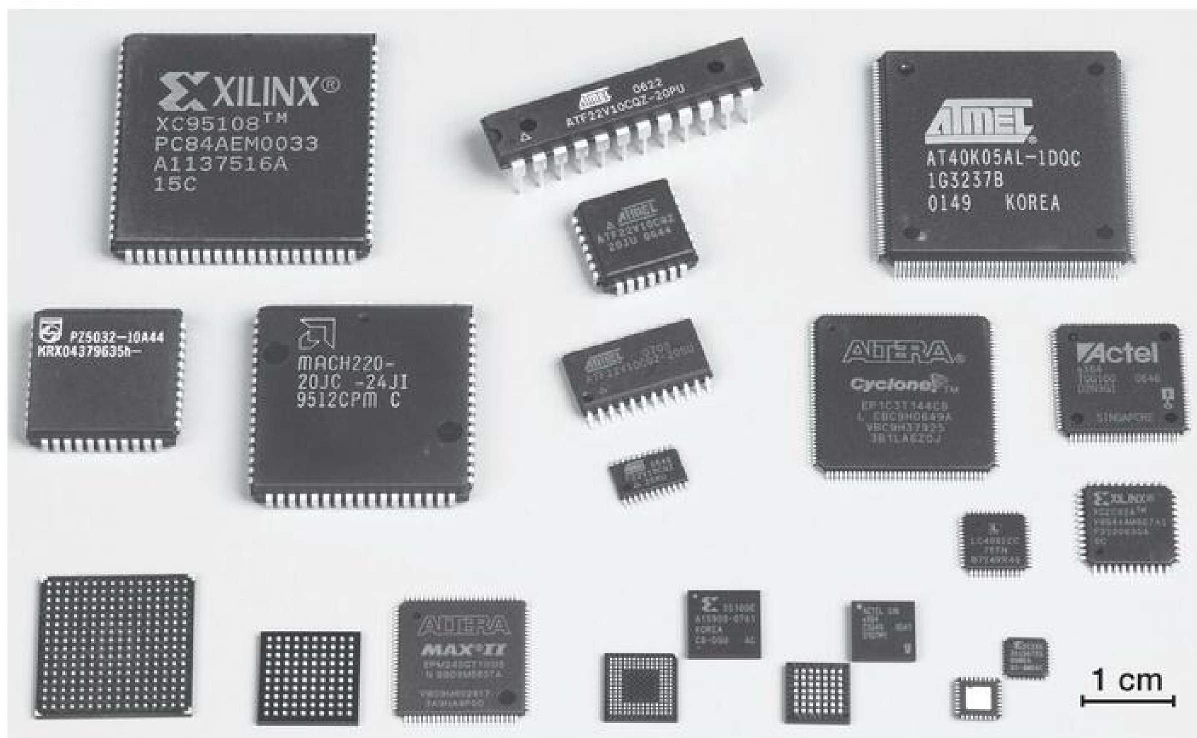


Figura 11.1. Uma seleção de pacotes lógicos programáveis. No canto superior esquerdo estão três PLCCs (84, 68 e 44 pinos), para serem comparados com seus irmãos QFP mais densos no canto superior direito (sentido horário: PQFP-208, TQFP-100, VQFP-44, TQFP-48 e TQFP- 144). No meio são exibidos o mesmo tipo sPLD (22V10) em quatro pacotes cada vez mais densos: DIP-24, PLCC-28, SOIC-24 e TSSOP-24. Na parte inferior estão os pacotes mais densos (da esquerda para a direita): FTBGA-256, FBGA-100 (e o mesmo IC em um TQFP-100), BGA-132, BGA-49 (CSP-49) e QFN-32; para os três últimos, tanto a parte superior quanto a inferior são mostradas.

Para tais dispositivos complexos, as ferramentas de programação legadas (CUPL, ABEL) que evoluíram com pequenos PLDs são inúteis.5 A prática atual favorece a entrada de esquemas gráficos ou um dos dois HDLs contemporâneos e poderosos baseados em texto (chamados *Verilog* e *VHDL);* agora vamos ilustrar ambos. Para a maioria dos projetos digitais, a lógica programável é geralmente uma escolha melhor do que a lógica padrão, porque (a) um chip substitui muitos – menos fiação, produto acabado menor, menos estoque, custo mais baixo; e (b) é fácil reprogramar a peça se o projeto inicial apresentar falhas ou se você quiser adicionar recursos.

11.2 O hardware

Os PLDs contemporâneos são extremamente complexos. . . e eles não estão ficando mais simples. Dispositivos de última geração já possuem enfermarias de 5 bilhões de transistores (e contando). Para tornar tudo mais compreensível, vamos levá-lo em etapas fáceis: primeiro as arquiteturas PAL simples clássicas (por exemplo, 22V10) e os PLAs mais flexíveis (por exemplo, Xilinx CoolRunner-II) e, em seguida, os FPGAs complexos e ricos em registros .

11.2.1 O PAL básico

Um bom ponto de partida é o PAL básico, um exemplo de PLD simples. O dispositivo clássico é o 22V10, cujo número de peça significa 10 *macrocélulas* de saída (mais sobre isso em breve), entre um total de 22 entradas e saídas (originalmente oferecidas em um pacote de 24 pinos). O esquema do circuito PAL consiste em uma matriz programável de conexões, em que tanto as entradas quanto as saídas de realimentação podem ser conectadas seletivamente a um conjunto de portas AND de muitas entradas; as saídas de um número fixo de tais portas AND então alimentam uma porta OR . Sua saída pode ser usada diretamente (uma saída combinacional), ou pode alimentar um flip-flop tipo D (uma saída "registrada"); o circuito para essas opções de saída é chamado de "macrocélula de saída". Figura

[5] Você ainda *pode* obter (da Atmel ou Lattice) os pequenos clássicos "sPLDs" (PLDs *simples):* 16V8, 20V8, 22V10 e 26V12, para os quais CUPL e ABEL são completamente adequados.

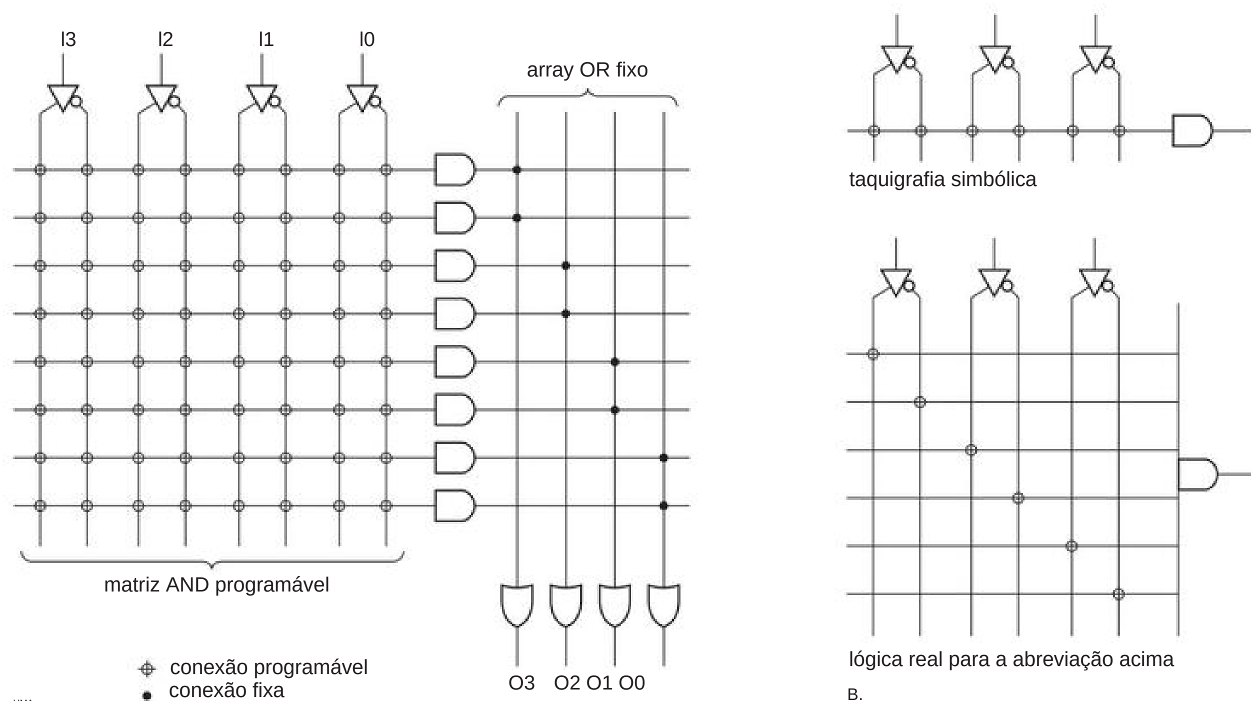


Figura 11.2. A. Em um "PAL" (Programmed Array Logic) todo sinal lógico disponível (ou seu complemento) pode ser conectado a ANDs de muitas entradas; as saídas de vários desses ANDs são transformadas em OR para formar as saídas lógicas, cada uma passando por uma macrocélula de saída a caminho de um pino de saída. B. Cada porta AND tem muitas entradas, mostradas de forma abreviada convencional e de forma totalmente expandida.

11.2 mostra a ideia básica, em um esquema simplificado com apenas quatro sinais de entrada; aqui, cada saída lógica vem de uma porta OR alimentada por duas das 8 entradas ANDs, e essa saída acionaria a macrocélula de saída. (Observe a notação abreviada usada na Figura 11.2A para as portas AND e OR de muitas entradas , mostradas expandidas na Figura 11.2B.)

Na vida real, um PAL tem muito mais entradas e portas. A Figura 11.3 mostra o esquema real do 22V10, que, embora pareça impressionante, é na verdade minúsculo para os padrões contemporâneos. As 12 entradas (e seus complementos), juntamente com o feedback das 10 saídas (e seus complementos) – portanto, 44 sinais no total – são todos trazidos para a matriz de conexão, na qual qualquer conjunto deles pode ser conectado a qualquer E de 44 entradas , cuja saída é então OR-ed com outros 7 a 15 ANDs (mais para o centro do chip, menos para as extremidades) para criar uma saída (uma de dez). Essa saída não sai diretamente do chip, mas é manipulada em uma macrocélula de saída (Figura 11.4), que consiste em um pouco de lógica programável que permite travar a saída OR em um flip-flop ou simplesmente passá-la sem travamento. Você pode ver na Figura 11.4 que a saída, seja "registrada" ou combinacional, pode ser verdadeira ou complementada e, além disso, pode ter três estados.

O 22V10 é adequado para muitas tarefas lógicas: você pode fazer um registrador de deslocamento, ou um contador, ou um decodificador de endereço, ou apenas uma coleção do que é chamado de "lógica aleatória". Mas pelos padrões contemporâneos ele é extremamente limitado, tanto pelo pequeno número de registradores e pinos de I/O quanto pela restrição de um sinal CLK comum; você não pode, por exemplo, fazer um contador de ripple.

Um caminho evolutivo foi a criação do que poderíamos chamar de "super-PAL", no qual as macrocélulas permitem o relógio individual da matriz lógica e no qual muito mais macrocélulas são agrupadas em um CI. Isso geralmente inclui esquemas para expandir a lógica, compartilhando os termos do produto entre as macrocélulas. Essas extensões da arquitetura PAL básica são chamadas de "cPLDs" (PLDs complexos) e estão amplamente disponíveis.6 Elas variam em capacidade de até 2.000 ou mais macrocélulas (algumas das quais podem ser "enterradas", ou seja, disponíveis para interconexões internas, mas não conectados aos pinos de E/S) e permitem clock assíncrono.

A arquitetura "programável-AND/fixo-OR"

6 Por exemplo, a série Altera MAX7000, a série Lattice Mach 4000 ou a série Xilinx CoolRunner-II (a última usa a arquitetura PLA mais avançada; consulte §11.2.2).

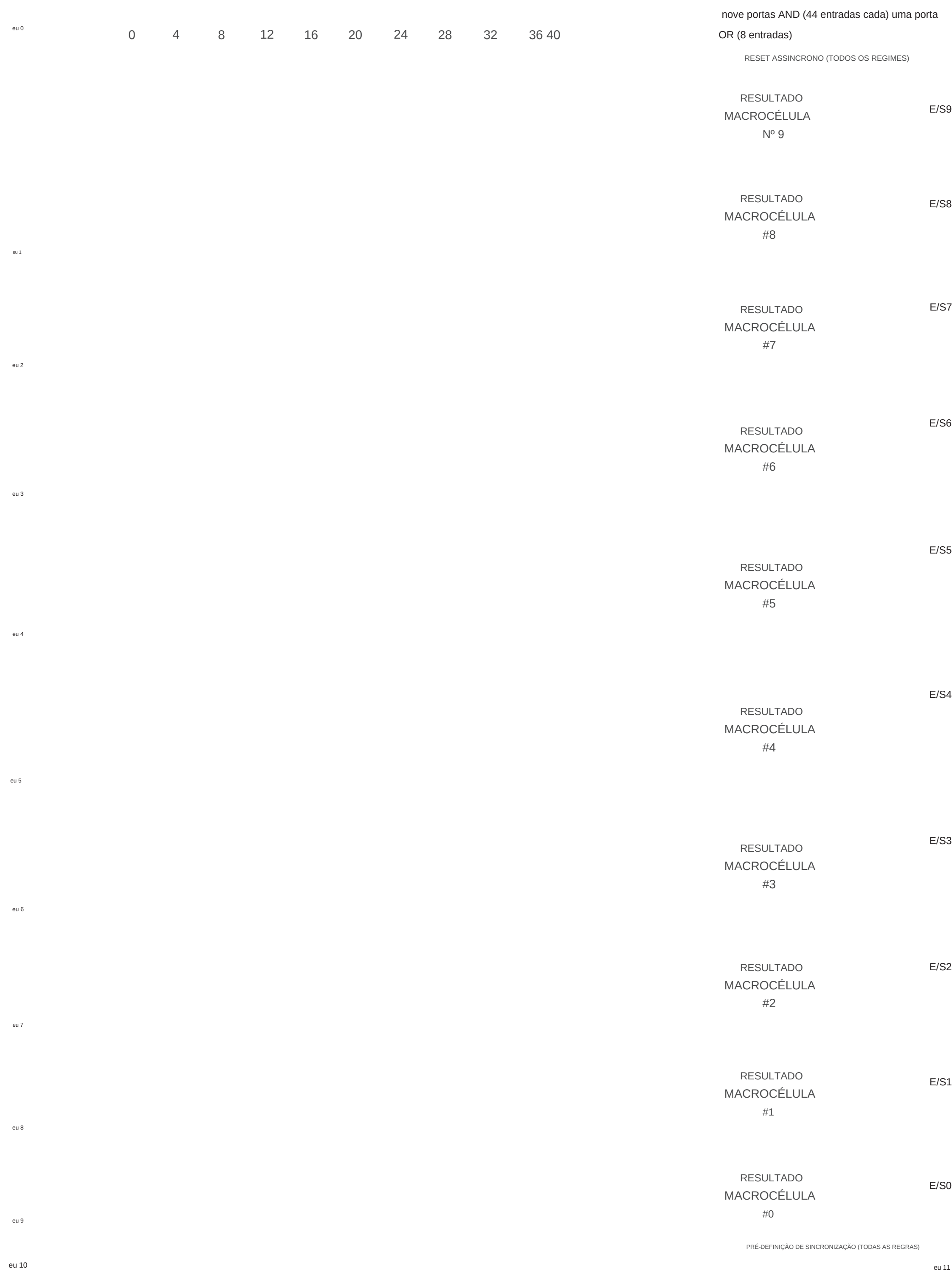


Figura 11.3. Matriz lógica do clássico 22V10 PAL: programável-AND/fixo-OR. A macrocélula de saída pode ser programada como um flip-flop tipo D ou um simples pass-through; veja a Figura 11.4. (Adaptado da ficha técnica Lattice ispGAL22V10, ©Lattice Semiconductor Corporation, 2004.)

(às vezes chamado de "soma de produtos") também pode ser uma limitação, principalmente quando você deseja implementar um pouco complicado de lógica combinacional, porque força a implementação a ser uma única soma (OR) de vários produtos (ANDs). O próximo passo em complexidade lógica é o array lógico programado (PLA).

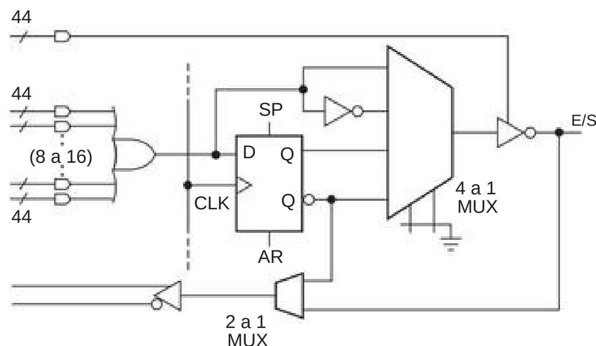


Figura 11.4. "Macrocélula" programável do clássico 22V10 PAL: verdadeiro ou invertido, registrado ou combinacional, com saída de três estados e realimentação na matriz lógica. CLK, SP (predefinição de sincronização) e AR (reinicialização assíncrona) são comuns a todas as 10 macrocélulas, enquanto um "termo de produto" (um AND de 44 entradas) está disponível para cada macrocélula controle de três estados.

11.2.2 O PLA

No PLA, a matriz lógica consiste em ANDs programáveis alimentando ORs *programáveis* (em oposição a fixos) (Figura 11.5). Os fabricantes geralmente não distinguem essas peças chamando-as de PLAs; eles apenas os chamam de cPLDs (o mesmo que os grandes PALs); você tem que olhar na folha de dados para ver o que realmente está dentro. Um exemplo contemporâneo é a série Xilinx CoolRunner-II (XC2C) de cPLDs, atualmente oferecida com 32 a 512 macrocélulas (a última metade enterrada, devido ao seu modesto pacote de 324 pinos).

Como veremos em breve, o software que você usa para programar essas partes praticamente esconde sua arquitetura interna do usuário; basta escrever um monte de código HDL, executar o software e ver (a) se ele se encaixa e (b) se atende aos requisitos de velocidade e atraso de tempo.

11.2.3 O FPGA

Os PALs, PLAs e cPLDs acima são todos exemplos do que pode ser chamado de arquiteturas "ricas em lógica – pobres em registros". Afinal, mesmo com o humilde 22V10, você tem uma dúzia de portas AND de 44 entradas alimentando cada célula macro com portas OR - mas apenas um punhado (OK, *dois* punhados) de flip-flops.

Uma abordagem complementar é fornecida pelos FPGAs, que consistem em uma estrutura de flip-flops, cada um alimentado por um modesto bit de lógica (normalmente apenas uma tabela de pesquisa de quatro entradas, ou LUT), incorporado a uma vasta matriz de fiação de interconexão. Aqui estamos falando de dezenas de milhares a milhões dessas células, chamadas de "blocos lógicos configuráveis" (CLBs) ou "elementos lógicos" (LEs); e, muitas vezes, são acompanhados por blocos de memória (RAM), funções aritméticas como multiplicadores ou processadores embutidos e elementos de interface como PCIe ou Ethernet. Essas arquiteturas de FPGA são bem caracterizadas como "pobre em lógica – rica em registradores" ou como "de granulação fina".[7] A Figura 11.6 mostra uma célula lógica típica, neste caso da família Cyclone-II FPGA da Altera.

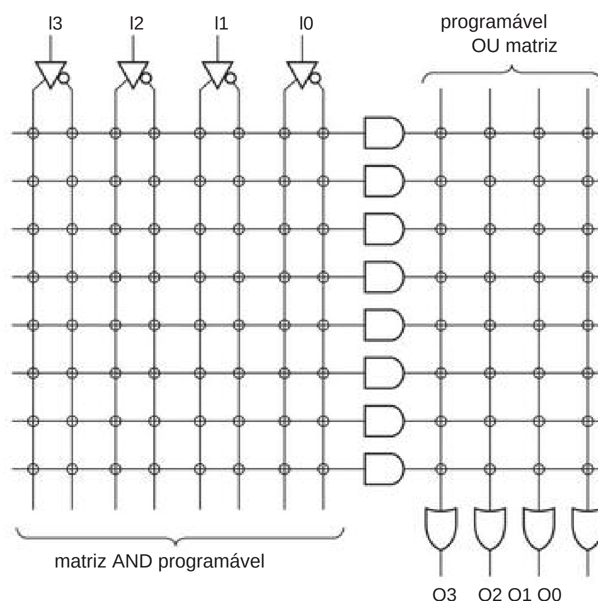


Figura 11.5. Um PLA (Programmed Logic Array) é mais flexível que o PAL (Figura 11.2), permitindo a programação de ambos os arrays AND e OR .

Você pode pensar nos FPGAs como ICs personalizados altamente avançados que são configurados pelo usuário. Os FPGAs de ponta acomodam facilmente o que você normalmente pensaria como microprocessadores e periféricos separados – um "sistema em um chip" configurável. E os fabricantes de FPGA competem vigorosamente para colocar as mais recentes tecnologias de processo em seus produtos. Como resultado, seus produtos atraem cada vez mais os fabricantes como uma alternativa aos ICs customizados: o

[7] Por sorte, essa organização elegante é desafiada por alguns dos cPLDs que são na verdade quimeras, ou FPGAs disfarçados, por exemplo, os cPLDs Altera Max-II (que usam LUTs de 4 entradas), Cypress Delta39K cPLDs ou o Lattice MachXO "crossover cPLDs".

Os últimos[8] envolvem um ciclo de projeto caro, fornecem menos flexibilidade e muitas vezes atrasam a introdução de um novo produto no mercado. O “time-to-market” é crítico em eletrônicos de consumo, tornando os FPGAs econômicos, apesar de seus custos mais altos por unidade. Um benefício adicional é a capacidade de atualizar seus circuitos internos (por exemplo, para corrigir bugs, adicionar opções de processamento de sinal ou qualquer outra coisa).

Normalmente, você pagará um dólar ou dois por cPLDs e FPGAs pequenos, dez dólares ou mais por FPGAs de tamanho intermediário e de centenas de dólares até mil dólares ou mais (!) . Tradicionalmente, os FPGAs não são dispositivos de baixa potência, com correntes quiescentes típicas da ordem de miliamperes a dezenas de miliamperes (e dissipação de energia dinâmica adicional, é claro, quando sincronizados rapidamente). No entanto, FPGAs de micropotência estão se tornando disponíveis, voltados diretamente para aplicações portáteis: um exemplo é a série Actel IGLOO, com dissipação de potência quiescente na faixa de 5 a 50 W.

ÿ

Os grandes players no mercado de FPGA de ponta são Al tera e Xilinx (o originador), com FPGAs menores da Actel, Atmel, Cypress e Lattice.

11.2.4 A memória de configuração

Um dispositivo lógico programável deve ter seu programa mantido *em algum lugar.* Tradicionalmente, sPLDs e cPLDs sempre mantiveram sua configuração no chip, em armazenamento não volátil: os primeiros PLDs (por exemplo, os MMI PALs originais) usavam links fusíveis no chip uma vez, mas foram rapidamente substituídos por memória CMOS reprogramável . Alguns dispositivos antigos (por exemplo, o Altera Max 7000 original) usavam memória apagável por UV (EPROM) (com uma janela de quartzo, para que você pudesse explodi-la com a dose apropriada de indução de amnésia – normalmente com duração de 20 minutos – de luz ultravioleta), mas rapidamente a indústria adotou a memória *apagável eletricamente* (EEPROM, ou memória “flash”). É assim que todos os sPLDs e cPLDs são feitos agora; eles podem ser apagados em segundos e reprogramados normalmente em menos de um minuto. Existem especificações para o tempo mínimo *de retenção de dados* da memória on-chip (normalmente 20 anos) e para sua *durabilidade* (normalmente um mínimo de 1.000 a 10.000 ciclos de apagamento de programa).

Os primeiros sPLDs precisavam ser programados em um programador de *dispositivo* (que você comprou de uma empresa como BP Microsystems, Needhams Electronics ou DataIO) e, em seguida, colocados no circuito de destino. Isso funcionou bem para peças embaladas com furo passante (DIP), para as quais você pode fornecer soquetes no local de descanso final; mas era estranho para peças de montagem em superfície soldadas no local, porque a reprogramação exigia a remoção do CI. A solução é a programabilidade “no sistema”, que foi adaptada para alguns sPLDs (por exemplo, ispGAL22V10 da Lattice, uma versão ISP do padrão 22V10). Todos os cPLDs contemporâneos são programáveis no sistema, usando um protocolo de dados serial simples, como varredura de limite JTAG (IEEE 1149) . através de uma conexão USB. Os pods normalmente custam cerca de US $ 100; veja a discussão sobre JTAG em §14.7.4.

Para *FPGAs* a situação é um pouco diferente. Tradicionalmente, os FPGAs não tinham ROM on-chip; em vez disso, eles inalaram seus dados de configuração na inicialização de uma “ROM de configuração” serial externa e, em seguida, mantiveram a configuração no chip na memória estática (volátil). Embora este ainda seja o protocolo para muitos FPGAs, agora estão disponíveis algumas famílias de FPGA com memória flash não volátil on-chip, por exemplo, da Actel, Lattice e Xilinx. Assim como os cPLDs contemporâneos, a programação é feita no circuito, por meio de um pod de preço comparável.

11.2.5 Outros dispositivos lógicos programáveis

Vale lembrar que uma memória digital simples é uma “lógica programável”: ela produz uma saída de n bits armazenada para cada entrada de m bits (endereço) possível. É assim que ela é usada na máquina de estado geral da Figura 10.64 e, em um nível mais simples, uma pequena tabela de consulta (por exemplo, 16 × 1) é usada nos elementos lógicos de um FPGA.

Existem desenvolvimentos recentes na forma de lógica programável de *sinal misto ;* um exemplo é a família programável de sinal misto Cypress PSoC™, que incorpora amplificadores, filtros e outros componentes analógicos em um chip programável que inclui um microprocessador.

11.2.6 O software

Para usar dispositivos lógicos programáveis, você precisa aprender algumas ferramentas de software. Você começa com a *entrada do projeto,* seja com uma linguagem de descrição de hardware (HDL) ou com entrada esquemática. Em seguida, você executa uma ferramenta de *simulação* para verificar se o projeto faz o que você pretende. A seguir vem *a síntese,* que converte o design em uma “netlist”, que descreve as conexões lógicas. A netlist é então ajustada ao dispositivo de destino, um processo chamado *local e rota.* Finalmente,

8 Às vezes chamado de *ASIC,* para circuito integrado de aplicação específica.

9 O IEEE desenvolveu um formato de dados padrão da indústria para usar JTAG para configuração no sistema, conhecido como IEEE 1532.

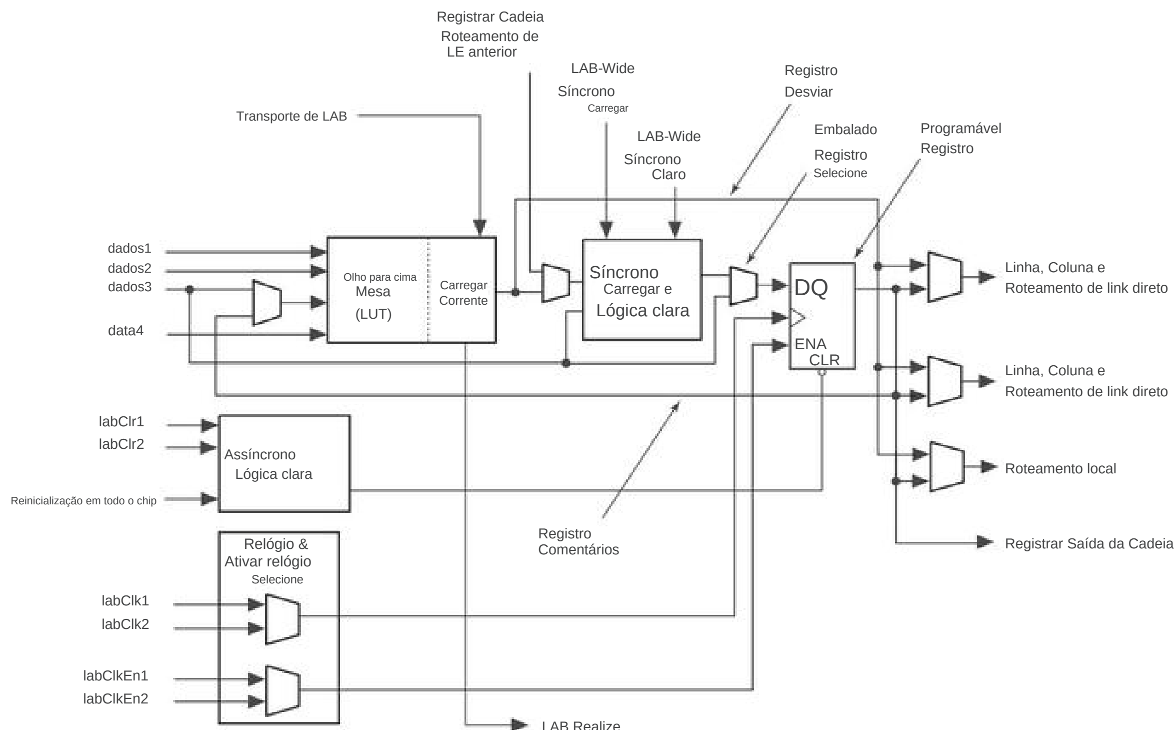


Figura 11.6. Um elemento lógico FPGA (LE), um entre algumas dezenas de milhares em um FPGA típico, da família Altera "Cyclone II". O flip-flop com clock e a tabela de consulta (LUT) são decorados com lógica extra e sinais de controle do bloco de matriz lógica maior (LAB), para expansão flexível. (Adaptado da folha de dados da família de dispositivos Altera Cyclone II, ©Altera Corporation, 2007.)

o projeto ajustado é baixado para o chip de lógica programável, para o próprio chip (se tiver memória não volátil no chip) ou para uma ROM de configuração (da qual carrega na inicialização) ou possivelmente carregada a quente de um processador diretamente para o chip ligado.

Os fabricantes de FPGA normalmente fornecem software gratuito para seus produtos de gama baixa a média,10 mas podem cobrar de várias centenas a vários milhares de dólares para software que suporte suas ofertas de ponta; parte do custo do último é atribuível aos "núcleos" de software incluídos (módulos de código que criam blocos de hardware útil, às vezes chamados de "IP", para propriedade intelectual).

Pode haver grandes descontos oferecidos a usuários educacionais e sem fins lucrativos.

Essas ferramentas de software não são muito fáceis de aprender e têm uma tendência angustiante de mudar com o tempo. Eles são frequentemente afetados por bugs, exigindo soluções alternativas habilidosas. Pode ser um trabalho de tempo integral acompanhando. Isso é sempre útil, portanto, ter alguma companhia (que a miséria adora); isto é, usar as mesmas ferramentas de software que as pessoas muito mais experientes ao seu redor estão usando.

Não tentaremos ensinar essas ferramentas. No entanto, para ilustrar o processo geral, mostramos a seguir um exemplo de um projeto de circuito completo feito de cinco maneiras diferentes (§11.3), uma das quais é com um cPLD (§11.3.3).

11.3 Um exemplo: gerador de bytes pseudoaleatórios

A maneira mais rápida de ver como uma ideia de circuito pode ser implementada de várias maneiras é simplesmente ver um exemplo. A nossa é o que pode ser descrito como a última máquina sem sentido,11 ou seja, um circuito que envia uma sucessão de bytes pseudo-aleatórios, como dados seriais RS-232 padrão. Nesta seção, começamos com um *diagrama de blocos,* então mostramos o circuito implementado primeiro em (a) *lógica padrão,* depois em (b) *lógica programável* (com entrada em dois métodos populares, ou seja, *entrada esquemática* gráfica e entrada baseada em texto

[10] Um exemplo é o Xilinx "WebPACK", que você obtém diretamente pela Internet (se você tiver paciência para baixar e instalar o conjunto de arquivos >5 GByte!).

[11] Ou o proverbial macaco-em-uma-máquina de escrever.

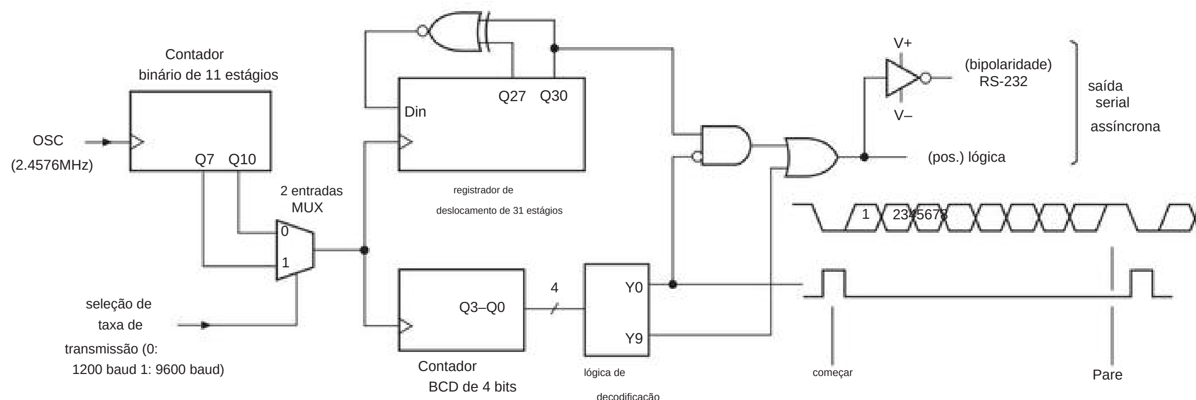


Figura 11.7. Diagrama de blocos do gerador de bytes pseudoaleatórios RS-232. Um MUX de 2 entradas (multiplexador) seleciona a taxa de transmissão de um oscilador subdividido; o relógio resultante desloca um registrador de deslocamento de realimentação linear de tamanho máximo para produzir bits pseudoaleatórios, que são enquadrados com os bits START e STOP para produzir bytes seriais formatados em 8n1.

linguagem de descrição de hardware. a [12] Por fim, mostramos como mesma função é facilmente implementada com um *microcontrolador,* o barato (e indispensável) computador programável em um chip (completo com memória interna e funções de E/S), destinado ao uso "embutido" em qualquer dispositivo eletrônico. Os microcontroladores embarcados são o assunto do Capítulo 15 – mas não resistimos em mostrá-los agora, simplesmente porque são *uma* alternativa atraente de design.

Encerramos esta seção com alguns conselhos – em particular, qual hardware usar, combinado com suas ferramentas de design apropriadas e os prós e contras de cada um.

11.3.1 Como fazer bytes pseudoaleatórios

A Seção 13.14 descreve um método simples para produzir uma sequência de bits "pseudo-aleatória" (PRBS), usando um registrador de deslocamento cuja entrada serial vem de um XOR de dois (ou mais) bits downstream.13 A sequência assim produzida é pseudo-aleatória porque, embora tem muitas propriedades de aleatoriedade, não é verdadeiramente aleatório; na verdade, é completamente determinístico, com um intervalo de repetição (com bits XORed escolhidos corretamente) de *2n* ÿ1 para um registro de *n* estágios.14

Nosso exemplo usa um registrador de comprimento 31 (Figura 11.7), para o qual a realimentação XOR dos bits 28 e 31 produz uma sequência de comprimento máximo. Seu comprimento (231 ÿ 1, ou 2.147.483.647) corresponde a um intervalo de repetição de 2,6 dias na taxa de saída serial máxima de 9600 baud.15 O registrador de deslocamento é cronometrado em uma taxa selecionável de 1200 ou 9600 deslocamentos/segundo, com os bits de saída agrupados em bytes de 8 bits, cada um dos quais é enquadrado por um "START" e par de bits "STOP" . Isso é conhecido como comunicação *serial assíncrona ,* tipificada pela conhecida porta serial RS-232C do computador. Este circuito permite a seleção da taxa de transmissão (1200 ou 9600) e formata a saída como dados de 8 bits, sem paridade e um bit de parada (geralmente abreviado como "8n1").

Conforme explicado em §14.7.8, os níveis de tensão reais para comunicação de porta serial, descritos na especificação RS-232C, são (irritantemente) de ambas as polaridades, com níveis de ±5 V a ±15 V correspondendo aos dois estados lógicos ; para adicionar um pouco de confusão, essas saídas são logicamente invertidas, com a lógica ALTA correspondendo ao nível de sinalização negativa e vice-versa.16 A boa notícia é que há muitos chips de interface driver-receptor RS-232C disponíveis, a maioria dos quais inclua geradores de tensão de bomba de carga interna para que você possa alimentá-los a partir de uma única fonte lógica positiva (geralmente +3,3 V ou +5 V); um exemplo é o MAX3232 mostrado na Figura 11.8.

[12] Em particular, *Verilog* e *VHDL,* as duas escolhas populares.

[13] Às vezes chamado *de registrador de deslocamento de realimentação linear,* ou LFSR, e apresentado anteriormente em §8.12.4A.

[14] Deve-se notar que existem algoritmos computacionais muito melhores para gerar sequências de bits pseudoaleatórios; este método foi escolhido por sua simplicidade abjeta.

[15] Leitores insatisfeitos com o conceito de que uma sequência aleatória eventualmente se *repete* podem preferir algo um pouco mais longo, digamos um registrador de deslocamento de comprimento 71 (com XOR tap em 65), cujo intervalo de repetição é de aproximadamente 8 bilhões de anos (cerca de metade da idade do universo). Os *verdadeiros* puristas podem eleger um registro mais longo, digamos de comprimento 167 (XOR tap em 161), que não se repetirá por 1038 anos (cerca de 1028 vezes a idade do universo). 16 Às vezes chamados *MARK* e *SPACE,* respectivamente.

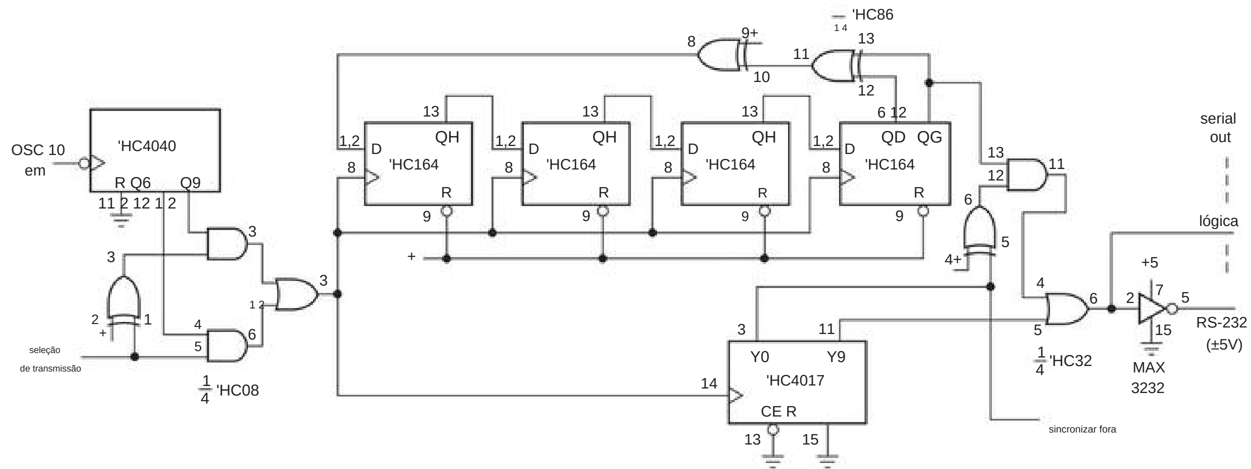


Figura 11.8. Implementação com lógica padrão (família 74HC).

11.3.2 Implementação na lógica padrão

Gates, contadores, registradores de deslocamento – estes são os elementos da "lógica padrão", mais notoriamente a lendária família lógica 74xxx, com essas funções lógicas discretas fornecidas no furo passante (DIP) ou as muitas variedades de montagem em superfície (SOIC, SSOP, QFN, BGA). Na Figura 11.8 implementamos o gerador aleatório na subfamília 74HC (escolhido para ampla disponibilidade, velocidade adequada, baixo consumo de energia e opções de pacote DIP/SMT). Indicamos os números dos pinos DIP para enfatizar que este é um projeto completo e acabado.

Alguns comentários.

- Com a lógica padrão, você vê truques como XORs não utilizados convertidos em inversores, para evitar componentes extras (como um pacote de inversores). Outro exemplo é o uso de portas discretas restantes (em vez de um MUX integrado de 2 entradas) para a seleção da taxa de transmissão.[17]
- Aproveitamos algumas funções empacotadas incomuns, por exemplo, o contador decimal totalmente decodificado 'HC4017, aqui usado para enquadrar os 8 bits de dados em caracteres seriais de 10 bits; a maneira mais convencional usaria um contador separado e uma lógica de decodificação. Outra função empacotada útil é o contador de *ondulação* de 12 estágios 'HC4040 (usado para a subdivisão do relógio), em vez de uma cascata de contadores síncronos menores.
- Mesmo com truques como esses, esse projeto exigia muitos pacotes de IC (nove, para ser exato, sem contar o driver RS-232) – uma marca registrada de implementações digitais feitas em lógica padrão. Esses nove ICs precisam ser conectados; e, uma vez conectado, qualquer alteração requer pelo menos uma alteração na fiação. Além disso, existem seis tipos diferentes de IC, portanto, para esse tipo de implementação, você deve manter um inventário substancial de diferentes funções de IC.

[17] Observe, no entanto, que você *pode* obter lógica em pequenas mordidas convenientes, na forma de pequenos pacotes pincount com 1–3 portas; eles têm nomes como "TinyLogic™" (nome de Fairchild), "PicoGate™" (nome de NXP), "MiniGate™" (nome de ON Semiconductor), "Little Logic™" (nome da TI), Single Gate (nome da ST) ou LMOS™ (nome da Toshiba). Vamos chamá-los todos de "mini-lógica", um nome evidentemente esquecido no frenesi de marcas registradas dos grandes nomes. Eles são úteis quando você precisa de um pouco de cola entre grandes chips digitais.

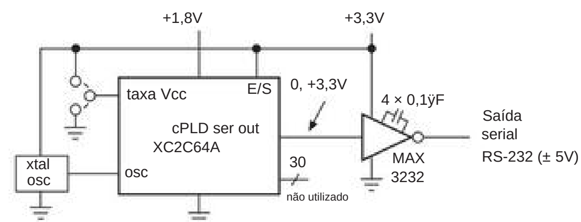


Figura 11.9. A lógica programável permite uma implementação de circuito muito mais simples. As conexões dentro do cPLD podem ser especificadas, usando ferramentas de software, por meio de entrada esquemática gráfica ou por um HDL baseado em texto; ilustramos ambos. A configuração de "fusível" desejada resultante é programada na memória não volátil interna do cPLD, com o cPLD em seu circuito real, por meio de quatro pinos dedicados (conhecidos como JTAG, não mostrados aqui).

11.3.3 Implementação com lógica programável

Como observamos, os dispositivos lógicos programáveis geralmente fornecem uma melhor implementação de hardware da lógica digital, e este exemplo não é exceção. Aqui a lógica programável é

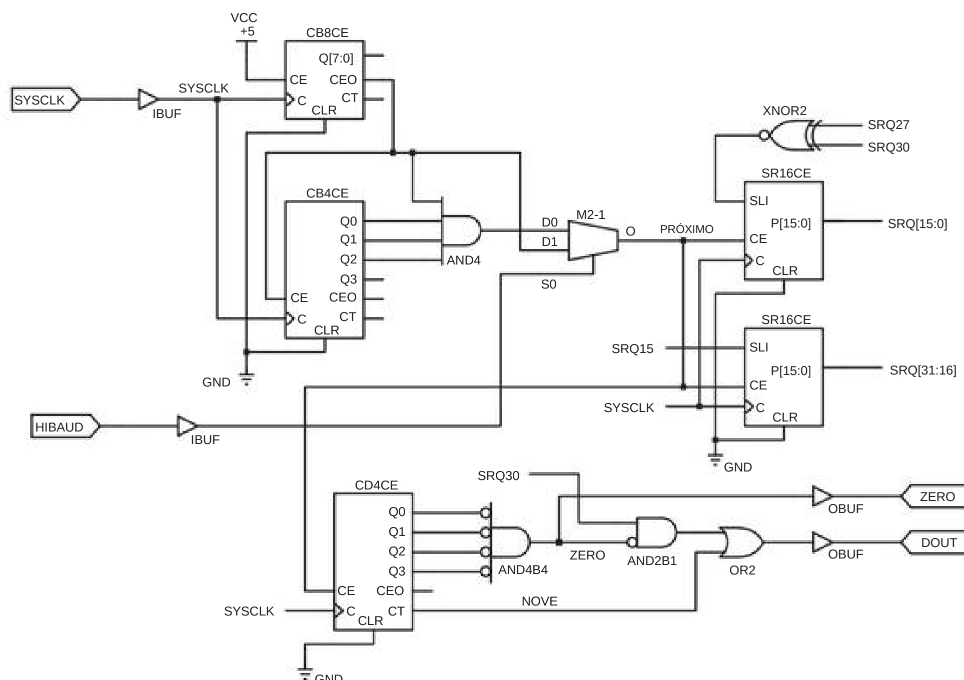


Figura 11.10. Captura esquemática de entrada gráfica para projeto de lógica programável, usando ferramentas Xilinx. Os blocos de componentes podem ser funções lógicas genéricas (por exemplo, CB4CE = contador, binário, 4 bits, com habilitação de chip) ou números de peça lógicos padrão específicos (por exemplo, "163" = 74xx163 = contador binário síncrono carregável de 4 bits com 3 -saídas de estado e carga síncrona e reinicialização; não usado neste projeto); ou podem representar módulos especificados por uma linguagem de descrição de hardware baseada em texto, como VHDL.

uma escolha *muito* melhor do que a lógica padrão, com um único chip substituindo nove; e, como acontece com a lógica programável em geral, você pode reprogramar o circuito para corrigir erros ou adicionar recursos.

Esse projeto é pequeno, adequado para um cPLD, em vez dos FPGAs geralmente muito maiores. A Figura 11.9 mostra a fiação, usando um pequeno cPLD (64 macrocélulas). O cPLD específico que escolhemos executa seu núcleo em 1,8 V, mas permite operação de entrada e saída de 1,5 V a 3,3 V. Essa tarefa usa pouco dos recursos de E/S do chip; 30 pinos (dos 34 disponíveis) não são usados. No entanto, ele usa a maioria dos 64 flip-flops disponíveis. O chip custa cerca de US$ 2.

A. Lógica programável – entrada esquemática Muitos projetistas de circuitos preferem uma técnica gráfica de "entrada esquemática" para projetar a lógica programável. A Figura 11.10 mostra como fica nosso gerador de bytes pseudo-aleatórios, inserido usando as ferramentas fornecidas pela Xilinx.

Os símbolos individuais podem ser portas familiares (OR2: 2 entradas OR), ou portas assimétricas (AND2B1: 2 entradas AND com uma entrada em bolha) ou funções genéricas maiores (CD4CE: contador, decimal, 4 bits, com habilitação de chip) . No entanto, você pode desenhar um bloco modular para representar algo maior, por exemplo, vários blocos interconectados. Aqui, por exemplo, a figura inteira poderia ser representada por um bloco com duas entradas (SYSCLK e HIBAUD) e duas saídas (ZERO e DOUT); esse bloco poderia então ser usado como um componente em um diagrama de sistema maior. Além disso, você pode usar a entrada HDL baseada em texto (veja abaixo) para definir as entranhas de um bloco, que você conecta graficamente exatamente como os blocos aqui. E você pode até criar o HDL (que define tal bloco) com ferramentas gráficas. Por exemplo, você pode implementar uma máquina de estado inserindo o diagrama de transição de estado em uma ferramenta como o StateCAD da Xilinx (ou o Quartus da Al tera); ele gera uma saída HDL (Verilog, VHDL ou ABEL), que pode então ser representada como um bloco gráfico, com pinos de entrada e saída.

As ferramentas de software de entrada gráfica permitem simular o projeto, para garantir que ele faça o que você pretendia; em seguida, ele realiza um "encaixe" ou "local e rota" para criar o padrão de conexão para um PLD de hardware específico (cPLD ou FPGA). Finalmente, conforme descrito anteriormente, você programa a própria peça, seja em um "programador de dispositivo" (de uma empresa como a BP Microsystems) ou (mais comumente) com a peça já



Figura 11.11. O mesmo projeto da Figura 11.10, implementado com o software Altium "Designer" e depurado usando sua placa de desenvolvimento NanoBoard.

montado e alimentado no circuito. O último é feito por meio de alguns pinos de programação dedicados, que você dirige com um *pod* de programação que se conecta a um computador executando o software de design (normalmente via USB).

Neste exemplo, a entrada esquemática fornece um circuito razoavelmente legível. O designer18 escolheu uma implementação totalmente síncrona (todos os dispositivos com clock são acionados pelo mesmo clock, ou seja, o oscilador de entrada), explicando que, para alguns PLDs, registradores de deslocamento ou contadores não têm garantia de funcionar corretamente quando acionados por um clock derivado (por exemplo, a partir da saída de um contador de ripple), embora esta seja uma prática normal quando implementada com lógica padrão discreta.19

Uma reclamação tradicional com a entrada esquemática é que as ferramentas de software tendem a ser específicas para o hardware de um fornecedor (como neste exemplo). Isso dificulta a migração de um projeto para peças de um fornecedor diferente. Mas, recentemente, tornaram-se disponíveis alguns conjuntos de entrada esquemática e simulação com preços razoáveis que permitem escolher entre os FPGAs de vários fornecedores. Temos experimentado esse produto – a série "NanoBoard" de placas de desenvolvimento de hardware fornecidas pela Altium para uso com seu software "Designer" – que atualmente suporta FPGAs da Altera (série Cyclone), Lattice (série ECP2) e Xilinx (Série Spartan e Virtex). Se você se ater às bibliotecas de peças genéricas, seu projeto é portátil. Um exemplo é mostrado na Figura 11.11, mais uma vez nosso amigo o bit pseudo-aleatório

[18] Agradecemos a Jim MacArthur por aceitar o desafio e produzir o diagrama e o chip de trabalho em uma ou duas horas.

[19] Evidentemente, os atrasos de sinal como tal sinal de clock são roteados no PLD causam distorção inaceitável (§10.8.2C); apenas os "sinais de relógio globais" são garantidos para funcionar de forma confiável, um fato um tanto escondido nas letras miúdas.

gerador. O designer[20] optou por agrupar o projeto em módulos funcionais, para manter o esquema legível. Com exceção dos buffers de entrada e saída (que foram retirados da biblioteca específica do Xilinx), todas as partes são genéricas e, portanto, o design é portátil com pouco esforço.

Em um nível mais alto de abstração (e custo), você pode obter conjuntos de ferramentas de software de síntese como o elegante "Synphony HLS" (High-Level Synthesis) da Synopsys. Você inicia seu projeto com MATLAB e Simulink (do The Math Works™), que permitem que você junte módulos funcionais do tipo Lego a partir de uma caixa de ferramentas de blocos (filtro digital, FFT, amostrador, etc.). O Synphony usa essa descrição e visa (por meio de um HDL) uma implementação de FPGA ou ASIC completa, junto com o código da linguagem C para simulação funcional, geração de vetores de teste e temporização. Isso é muito menos trabalhoso do que a entrada de design HDL tradicional. E, como a descrição inicial de alto nível é verificável (e seus blocos funcionais estão corretos de forma confiável), o resultado é muito menos propenso a erros do que um chip similarmente complexo que é criado a partir de um HDL da maneira convencional. Observe, no entanto, que a implementação resultante pode não ser muito eficiente, em termos de uso de recursos de silício, velocidade e potência.

Vantagens da entrada esquemática

Aqueles que preferem a entrada gráfica esquemática geralmente explicam sua escolha como (a) eles vêm de um plano de fundo esquemático, por isso é natural; (b) acham mais fácil aprender, compreender e explicar aos outros; (c) gostam de ter um esquema gráfico como documentação; (d) como os módulos podem ser HDL disfarçados, ele tem todo o poder do HDL para designs complexos onde isso é necessário; e (e) a entrada gráfica é usada em linguagens de programação gráfica (GPLs) como LabVIEW, MATLAB® e Simulink®.

11.3.4 Lógica programável – entrada HDL

A alternativa à entrada de design gráfico é uma das linguagens de descrição de hardware baseadas em texto. Os favoritos atuais são Verilog e VHDL, com muita atividade também na aplicação da linguagem de programação C para design de alto nível.

Achamos que pode ser útil mostrar primeiro como esse design se parece no legado ABEL HDL, cujas declarações tendem a ser "próximas ao hardware": no ABEL você define *pinos* (entradas e saídas) e nós (flip-flops internos ou portas), e então você escreve *equações* que conectam os sinais, por exemplo, as portas que determinam a entrada D e a fonte do relógio para um flip-flop. Assim como na entrada esquemática, você pode simular (com *vetores de teste),* após o que você executa o programa mais *adequado* que cria a lista de rede de conexão (chamada de *arquivo jedec)* para seu PLD de destino específico. Por fim, você programa a própria peça, no circuito ou (mais raramente) em um programador de dispositivo autônomo separado.

[20] O sempre inteligente Curtis Mead, a quem devemos agradecimentos.

A. Lógica programável - entrada HDL I (ABEL)

A Figura 11.12 mostra o arquivo de origem ABEL para criar o gerador de bytes pseudoaleatórios, usando um cPLD com 64 macrocélulas (cada uma das quais pode implementar uma função lógica complicada de sinais disponíveis, entregando o resultado de forma combinada ou "registrada" em um flip-flop).

Alguns comentários explicativos (de cima para baixo): (a) as linhas terminam com um ponto e vírgula, e // significa um comentário; (b) as designações com e reg_D (ou reg_T) seguindo a diretiva istype especificam saídas e nós como combinacionais ou registrados (flip-flops); nenhuma designação significa uma entrada; (c) uma matriz de sinais (chamada de *conjunto* em ABEL) é escrita como [sr30..sr0] (nosso registrador de deslocamento de 31 bits); (d) NOT, AND, OR e XOR são escritos como !, &, #, $; (e) nomes de variáveis não declarados como pinos ou nós (como baudclk) são apenas *definições,* para simplificar equações posteriores (como [sr30..sr0].clk = baudclk); assim, por exemplo, srn é o nome que escolhemos para o n- ésimo bit do registrador de deslocamento, e não um nome reservado na linguagem ABEL; (f) os vários pinos para um flip flop nomeado são designados por "extensões de ponto", por exemplo, sr0.d = !(sr30.q $ sr27.q) cria o XOR das saídas Q dos bits 30 e 27 e o conecta à entrada D do bit 0 (que é o feedback XOR que gera os bits pseudo-aleatórios).

Vale a pena gastar um pouco de tempo quebrando o código para ter uma ideia de como você faz um circuito em uma linguagem baseada em texto; comentamos o código livremente para torná-lo (um pouco) compreensível. Não é a implementação mais eficiente (veja abaixo um método verdadeiramente inspirado!), mas funciona.

B. Lógica programável – entrada HDL II (Verilog)

Linguagens simples como ABEL eram boas para projetos cPLD simples (nós o usamos para projetos com até 128 macrocélulas, com alguma dificuldade), mas em algum lugar entre frustrante e desesperador para os projetos realmente complexos para os quais os FPGAs contemporâneos são tão adequados. Embora ABEL e CUPL tenham evoluído de suas raízes em PALASM para construções corporativas de alto nível (como "If-Then-Else"), elas foram finalmente abandonadas em favor de linguagens contemporâneas, principalmente Verilog e VHDL. Estes têm capacidades semelhantes, mas, infelizmente, dividem a humanidade em dois campos,

```
// ------------------------------------------------ --------
módulo PRBYTES
title 'gerador de bytes pseudoaleatórios - serial assíncrono
        Paul Horowitz, 10 de dezembro de 2007, revisão 5'

// dispositivo PRBYTES 'XC2C64A';                    xilinx zeropower cPLD

// Entradas
    osc         alfinete; // entrada osc de 2,4576 MHz (9600 baud x 256) pino; // LOW seleciona
    avaliar     1200 baud, HIGH seleciona 9600 baud

// Saídas
    pino de saída é tipo 'reg_D'; pin de sincronização é       // dados seriais
    tipo 'com';                                                 // RS-232 START pulso (para teste)

// nós
    [sbc3..sbc0] nó istype 'reg_D'; [brd10..brd0] nó istype 'reg_T';    // contador serial de bits, BCD (10 estados, 0-9)
    [sr30..sr0] nó istype 'reg_D';                                       // divisor de taxa de transmissão: divide por 256 ou 2048 // registrador de
                                                                         deslocamento de 31 bits para gerador pseudoran

// Constantes e Declarações // alta // baixa
    alto = ^b1; baixo =
    ^b0; baudclk = taxa
    & brd7.q # !taxa & brd10.q; sbczero = !sbc3.q & !sbc2.q & !sbc1.q & !sbc0.q; //      // clock da taxa de transmissão
    contador de bit serial é zero sbcnine = sbc3.q & !sbc2.q & !sbc1.q & sbc0.q; // contador de bit serial é nove


Equações //
        divisor de taxa de transmissão: ctr de ondulação binária de 11 bits, use os bits 7 ou 10 para taxa de transmissão
    [brd10..brd0].t = [1,1,1,1,1,1,1,1,1,1,1]; // todos os flops definidos para alternar
    brd0.clk = osc;                                 // relógio lsb do osc externo
    [brd10..brd1].clk = [brd9..brd0].q;             // todos os bits mais altos cronometram da saída Q anterior // isto é, brd10.clk =
                                                    brd9.q; brd9.clk = brd8.q; etc

        // contador serial de bits: sincroniza contador ascendente BCD (4 bits, 10 estados: 0-9)
    [sbc3..sbc0].clk = baudclk; // bits seriais com velocidade de transmissão sbc0.d = !sbcnine & !sbc0.q # sbcnine & low; //
    alternar lsb, exceto redefinir após o estado 9 sbc1.d = !sbcnine & (sbc0.q $ sbc1.q); // alternar se os bits inferiores são definidos sbc2.d = !sbcnine & ((sbc1.q & sbc0.q) $ sbc2.q); // termo
    'sbcnine & low' inútil da linha superior sbc3.d = !sbcnine & ((sbc2.q & sbc1.q & sbc0.q) $ sbc3.q); // foi incluído apenas para maior clareza


        // registrador de deslocamento xor-feedback de 31 bits para gerar bits pseudo-ran // registrador de
    [sr30..sr0].clk = baudclk; [sr30..sr1].d =      deslocamento prbs com velocidade de transmissão
    [sr29..sr0].q; // forma compacta para sr30.d = sr29.q; sr29.d = sr28.q; etc sr0.d = !(sr30.q $ sr27.q);
                                                    // feedback xor para fazer prbs; a negação garante a inicialização da redefinição

        // acrescenta bits de início e parada para gerar bytes de saída serial assíncrona estilo RS-232; fazer sincronização
    serout.clk = baudclk; // saída serial com velocidade de transmissão serout.d = (!sbczero & sr30.q # sbczero &
    baixo) # sbcnine & alto;
        // bit de parada (alto) em nove, bit de início (baixo) em zero, aleatório de 1 a 8
        // Drivers RS-232 invertem; segundo termo entre parênteses e 'alto' são desnecessários

    sincronismo = sbczero;                          // Pulso de partida RS-232

fim PRBYTES
// ------------------------------------------------ --------
```

Figura 11.12. Código ABEL para um gerador de bytes pseudoaleatórios.

com designers jurando fidelidade apaixonada a um ou outro.

Para dar uma ideia dessas poderosas linguagens de design baseadas em texto, codificamos o design do gerador de bytes pseudoaleatórios em Verilog e VHDL.21 As instruções nessas linguagens podem ser escritas em termos de *estrutura* (por exemplo, quais sinais são conectado a entradas de registro) ou, em um nível um pouco mais alto, em termos de *comportamento* (por exemplo, o que deve acontecer a seguir). Esses exemplos são codificados principalmente de forma comportamental, que é o modo geralmente preferido por usuários experientes; mas mostramos também uma alternativa estrutural para uma pequena porção (o contador de bit serial). A Figura 11.13 mostra o projeto Verilog, codificado comportamentalmente; e a Figura 11.14 mostra a codificação Verilog nativa alternativa para a parte do contador BCD de 4 bits que é predominantemente estrutural.

Alguns comentários explicativos. (a) O código Verilog é reconhecidamente semelhante ao código ABEL análogo, particularmente na forma estrutural. (b) A declaração *wire* cria um nó interno e *assign* faz uma definição. (c) Em comum com as linguagens de programação de computador, o Verilog e o VHDL fazem uso abundante de estruturas condicionais como if, else if, else. (d) Designers tendem a favorecer declarações comportamentais (sendo mais compactas e facilmente compreendidas), pelo menos por meio de validação por simulação; no entanto, a codificação estrutural geralmente produz uma implementação mais eficiente.22 Um detalhe adicional: neste exemplo, há dois clocks – o

rápido clock de entrada de ~2,5 MHz e um clock subdividido na taxa de transmissão (1,2 kHz ou 9,6 kHz, de acordo com o taxa de transmissão selecionada) para o contador de bit serial. Portanto, o sistema não é totalmente síncrono (embora cada contador seja síncrono por si só). Isso é bom para um projeto que será implementado como um IC totalmente personalizado, mas pode criar dificuldades se direcionado para um cPLD ou alguns FPGAs.23 Uma solução limpa é usar um único relógio global rápido para ambos os contadores e, em seguida, para habilitar o contador de bit serial (mais lento) somente na taxa subdividida.

C. Lógica programável – entrada HDL III (VHDL)

O *outro* HDL popular hoje em dia é o VHDL, uma linguagem de tipagem mais forte com raízes na programação linguagem Ada (Verilog deriva mais de perto da linguagem de programação C). Tende a ser mais detalhado.

Para a codificação VHDL do gerador de bytes pseudoaleatórios, adotamos uma abordagem totalmente síncrona; ou seja, o clock de entrada de ~2,5 MHz é usado tanto para o divisor de baud-rate quanto para o contador de bit serial, com o último habilitado apenas para um ciclo de clock (quando o próximo bit é verdadeiro). Isso reflete o esquema usado nos exemplos de entrada esquemática das Figuras 11.10 e 11.11. O código (bastante extenso) é mostrado na Figura 11.15.

Vantagens da entrada HDL

Aqueles que preferem a entrada HDL baseada em texto geralmente explicam sua escolha assim: (a) a entrada do desenho é rápida, particularmente quando partes de desenhos anteriores são usados; (b) o design é mais conciso (portanto, mais fácil de saber que está certo) e autodocumentado (como uma descrição textual); (c) o ciclo de projeto é simplificado, pois um projeto está sendo iterado por meio de simulação e protótipo; (d) é particularmente fácil alterar parâmetros (como número de bits em um registrador, ALU, etc) apenas redimensionando arrays (em comparação com a reorganização de módulos gráficos); (e) as linguagens são padronizadas e universais (em comparação com ferramentas proprietárias de entrada de esquemas); (f) bons simuladores estão disponíveis e são gratuitos; (g) Linguagens HDL são mais adequadas para síntese de alto nível de designs complexos (como um microprocessador), e núcleos IP pré-fabricados de código aberto são fornecidos como HDL;24 (h) a entrada HDL é adequada para implementação como *um* IC *personalizado* (ASIC), muitas vezes desejável para um projeto de circuito destinado à fabricação de grandes quantidades e alto grau de otimização em velocidade e potência (mas que começa como um FPGA durante o desenvolvimento e produção em pequenas quantidades); e (i) para aqueles com experiência em programação, a entrada em HDL é mais natural.

11.3.5 Implementação com um microcontrolador

Os microcontroladores (o assunto do Capítulo 15) são processadores baratos destinados ao uso em coisas *que não sejam* computadores. Você deve pensar neles mais como um componente de circuito e menos como um computador. Em comparação com um *microprocessador* destinado a um computador, os microcontroladores são projetados para serem autônomos e, portanto, sempre incluem um programa no chip e memória de dados, juntamente com uma seleção de "periféricos" como comunicações (USB, firewire, Ethernet, UART, CAN , SPI, I2C), ADCs, E/S digital, comparadores, drivers de display LCD, moduladores de largura de pulso, temporizadores e similares. Muitos também incluem um oscilador interno (tudo o que precisam é de alimentação CC!), em alguns casos preciso o suficiente para

[21] Agradecemos aos nossos colegas GuYeon Wei e Curtis Mead, que gentilmente codificaram este exemplo.

[22] Um exemplo pode ser um contador de 32 bits, onde uma instrução comportamental como "count=count+1" pode compilar em um registrador e um somador completo de 32 bits, o último recebendo uma constante 00000001(hex) como uma de suas entradas. coloca.

[23] Alguns FPGAs permitem controlar linhas internas de distribuição de clock a partir de saídas lógicas, mas outros não, por exemplo, o Virtex-5 e o Spartan-3, respectivamente; para o último, você teria que trazer o sinal de clock para um pad.

[24] Mas os núcleos IP que devem ser licenciados são criptografados.

```
// ------------------------------------------------ -------------------------------------
// Gerador de bytes pseudo-aleatórios - serial assíncrono
// Gu-Yeon Wei e Curtis Mead; codificação "comportamental"

módulo PRBYTES(osc, rate, reset, serout);

// entradas //
osc: entrada do oscilador de 2,4576 MHz (9600 baud x 256) // taxa: 0 = 1200 baud, 1 =
9600 baud // reset: reset alto ativo para limpar os contadores input osc, rate, reset;

// outputs //
serout: saída serial de dados serout;

// define registradores reg
serout; reg [3:0] sbc; // RS-232 // um "reg" é um nó que mantém seu valor até ser substituído
serial bit counter reg [10:0] brd; // divisor de taxa de transmissão reg [30:0] sr;

// registrador de deslocamento PRBS

// define os fios wire
baudclk, sbczero, sbcnine; // um "wire" é um nó de circuito combinacional

// atribuição
lógica baudclk = rate & brd[7] | ˜taxa & brd[10]; // baud rate clk, div 256 ou 2k atribui sbczero = ˜sbc[3] & ˜sbc[2] & ˜sbc[1] & ˜sbc[0]; // marcador zero do
contador de bit serial atribui sbcnine = sbc[3] & ˜sbc[2] & ˜sbc[1] & sbc[0]; // sinalizador nove do contador de bit serial

// divisor de taxa de transmissão: ctr binário de 11 bits, use bits 7 ou 10 para taxa de transmissão sempre @(posedge
osc) // lógica cronometrada por osc begin if (reset) brd <= 0; senão

      brd <= brd+1;
 fim

// contador serial de bits: contador ascendente BCD de sincronização (4 bits, 10 estados: 0-9) // isso é
"comportamental"; veja o fragmento de programa posterior para "estrutural" sempre @(posedge baudclk) // lógica
cronometrada por baudclk
 comece
   se (reiniciar)
      sbc <= 0;
   senão se (sbcnine)
      sbc <= 4'b0000; senão
   sbc <= sbc + 1;

 fim

// Registro de deslocamento xor-feedback de 31 bits para gerar bits pseudo-aleatórios sempre @(posedge baudclk)
begin if (reset) sr[0] <= 0; // previne o estado travado de todos

   senão começar
      sr[30:1] <= sr[29:0]; sr[0] <= ˜(sr[30]
      sr[27]); // xnor faz com que todos fiquem no estado preso
  fim
 fim

// fluxo de saída serial vem do último bit SR, mas substituído por "0" start e "1" stop sempre @(posedge baudclk) begin serout <= (˜sbczero & sr[30]) |
sbcnine;

fim

endmodule //PRBYTES //
-------------------------------------------- ------------------------------------------
```

Figura 11.13. Verilog com código comportamental para gerador de bytes pseudo-aleatórios.

```
// ------------------------------------------------ --------------------
// codificação estrutural alternativa do contador serial de bits:
// sincroniza contador ascendente BCD (4 bits, 10 estágios: 0-9)
sempre @(posedge baudclk) comece
    sbc[0] <= ˜sbcnine & ˜sbc[0] & ˜reset;
    sbc[1] <= ˜sbcnine & (sbc[0] ˆ sbc[1]) & ˜reset;
    sbc[2] <= ˜sbcnine & ((sbc[0] & sbc[1]) ˆ sbc[2]) & ˜reset;
    sbc[3] <= ˜sbcnine & ((sbc[0] & sbc[1] & sbc[2]) ˆ sbc[3]) & ˜reset;
fim
// ------------------------------------------------ --------------------
```

Figura 11.14. Fragmento Verilog codificado estruturalmente para contador BCD de 4 bits.

temporização das portas seriais no chip (por exemplo, ±2%). Eles são programados (e reprogramados) no circuito, por uma conexão serial como o protocolo JTAG de varredura de limites . gramatura).

Os microcontroladores (às vezes abreviados como ÿC) são baratos (normalmente variando de menos de meio dólar a dez dólares) e estão disponíveis em literalmente milhares de versões de dezenas de fabricantes; ofertas populares são a série PIC (da Microchip), a série AVR (da At mel), a série ARM (de vários fornecedores) e encarnações evoluídas da série Intel 8051 herdada (vários fornecedores). Cs low-end são geralmente processadores de 8 bits, com talvez 1 kB de memória de programa e 128 bytes de ÿRAM e velocidades de clock de 20 MHz; na parte superior, há processadores de 32 bits com memória de programa de 512 kB, 64 kB de RAM e muitos periféricos integrados.26 Os microcontroladores são maravilhosamente versáteis e capazes, e são encontrados em quase tudo eletrônico,

de torradeiras e escovas de dente a caminhões e luzes de trânsito. Eles podem fazer um gerador de bytes pseudoaleatórios com a maior facilidade. A Figura 11.16 mostra o "circuito" – basicamente apenas alimentação CC para o chip e bytes de saída! O restante da tarefa é a programação, que ilustraremos de duas maneiras.

A. Programação do microcontrolador – código de montagem

Os microcontroladores, e de fato todos os processadores, executam uma seqüência de operações, especificada como instruções armazenadas em alguma forma de memória eletrônica (consulte o Capítulo 14); no caso de Cs, o programa é mantido no chip, em ÿ memória não volátil (portanto, retido quando a energia é desligada).

O conjunto de instruções é específico para o tipo de processador e inclui operações como aritmética (por exemplo , adicionar), lógica (por exemplo , shift), transferência de dados (por exemplo , mover) e ramificação (por exemplo , brz, ramificar se for zero). As próprias instruções residem na memória como um conjunto de bytes, buscados pelo processador durante a execução do programa.

Assim como acontece com a programação de computadores em geral, os programadores raramente lidam com esse *código-objeto em* si (que é tedioso e sujeito a erros), programando e depurando em um nível mais humanamente compreensível: seja em uma *linguagem de montagem* ou em um nível superior linguagem (geralmente C ou C++). O código assim escrito é então *montado* ou *compilado* (usando software) para produzir o código-objeto binário ÿ de C que residirá na memória de programa do processador.

Existem boas ferramentas de software para ajudá-lo a obter o código correto – por exemplo, *simuladores* que permitem ver como o programa candidato é executado, passo a passo; e *depuradores de tempo de execução* que permitem observar o que o C está realmente fazendo, ÿ no circuito, quando executa seu programa. O termo *Ambiente de Desenvolvimento Integrado* ("IDE") é usado para descrever um conjunto de software que inclui compilador, montador, carregador e depurador de tempo de execução. Você quer um desses.

A Figura 11.17 é uma listagem do código de montagem para o gerador de bytes pseudo-aleatórios implementado no circuito do microcontrolador da Figura 11.16; não se preocupe, veremos isso codificado em C, finalmente, na Figura 11.18.

Apenas algumas notas de explicação (ei, este não é um livro sobre software!). (a) Todos os microcontroladores incluem um monte de "registradores de função especial" internos, cujo conteúdo você deve inicializar para configurar os modos do temporizador, interrupções, localização do ponteiro da pilha inicial e assim por diante. Isso é o que as primeiras sete operações mov fazem aqui. Isso pode ser um código complicado, particularmente envolvendo modos de timer e taxas de transmissão (melhor copiá-lo de um programa conhecido por funcionar corretamen

[25] Um protocolo serial de 4 fios, que pode ser encadeado através de uma sucessão de ICs, e que permite carregar, examinar e ignorar alguns registradores internos em ICs complexos em tempo de execução; ver §14.7.4.

[26] Um exemplo atual é o ARM7 LPC2458 da NXP (antiga Philips), exibido na Figura 10.86: memórias 512kB/64kB, clock de 72 MHz, Ethernet 10/100, USB 2.0, A/D e D/A de 10 bits, 2xPWM, 4

UARTs, 2xCAN, SPI, 2xSSP, 3xI2C, I2S, 136 bits de E/S de uso geral e um controlador de memória externo. Este cachorrinho custa apenas $ 10! Para velocidades de clock mais altas, você escolheria o ARM9 mais rápido.

```
-- Gerador de bytes pseudoaleatórios - serial assíncrono
-- Curtis Mead, inspirado no Verilog de Gu-Yeon Wei
-- mas implementado como um design totalmente síncrono
-- COMENTÁRIOS começam com dois traços (--)

biblioteca IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entidade PRBS é
    Porta (CLK                : em STD_LOGIC; -- Oscilador de 2,4576 MHz
        REDEFINIR             : em STD_LOGIC; -- Reinicialização síncrona, alta ativa
        BAUD_SELECT : em STD_LOGIC; -- 0 = 1200 bauds, 1 = 9600 bauds
        ZERO_pin              : out STD_LOGIC; --
        DATA_OUT_pin : out STD_LOGIC); -- Saída de dados seriais
terminar PRBS;

A arquitetura Comportamental da PRBS é
    sinal sbc                 : STD_LOGIC_VECTOR( 3 até 0); -- contador de bits seriais
    sinal brd                 : STD_LOGIC_VECTOR(10 até 0); -- divisor de taxa de transmissão
    sinal prbs_bits: STD_LOGIC_VECTOR(30 até 0); -- registrador de deslocamento prbs
    temperatura de transmissão do sinal : STD_LOGIC_VECTOR( 1 até 0); -- registro de temperatura brd
    sinalizar o próximo bit   : STD_LOGIC; -- pseudo sinal de clock para contador de bit serial
    sinal sbcnine, sbczero              : STD_LOGIC;

começar

-- PRBS com registrador de deslocamento de 32 bits, bits 27 e 30 XNOR'ed na entrada
processo (CLK)
começar
    se CLK'evento e CLK='1' então
        se RESET ='1' então
            prbs_bits(0) <= '0';
        elsif próximo bit = '1' então
            prbs_bits(30 até 1) <= prbs_bits(29 até 0);
            prbs_bits(0) <= prbs_bits(27) xnor prbs_bits(30);
        fim se;
    fim se;
fim do processo;

-- divisor de taxa de transmissão, contador de 11 bits, reinicialização síncrona
-- use o bit 7 para 9600 baud e o bit 10 para 1200 baud
processo (CLK)
começar
    se CLK='1' e CLK'evento então
        se RESET='1' então
            brd <= (outros => '0');
        senão
            brd <= brd + 1;
        fim se;
    fim se;
fim do processo;
```

Figura 11.15. Código VHDL totalmente síncrono para gerador de bytes pseudo-aleatórios (continua abaixo).

```
-- registrador de deslocamento usado para definir o próximo bit para apenas um relógio,
-- acionado por bits do divisor de baudrate
-- para cronometrar o próximo bit da saída do divisor de taxa de transmissão 'baudtemp'
processo (CLK)
começar
    se CLK='1' e CLK'evento então
        se RESET='1' então
            baudtemp <= "00";
        senão
            baudtemp(1) <= baudtemp(0);
            baudtemp(0) <= (BAUD_SELECT e brd(7)) ou (não BAUD_SELECT e brd(10));
        fim se;
    fim se;
fim do processo;
nextbit <= baudtemp(0) e não baudtemp(1); -- nextbit alto para um ciclo de clock

-- contador serial de bits, BCD de 4 bits com limpeza síncrona
processo (CLK)
começar
    se CLK='1' e CLK'evento então
        se RESET = '1' então
            sbc <= (outros => '0');
        elsif nextbit='1' então
            se sbcnine='1' então
                sbc <= (outros => '0');
            senão
                sbc <= sbc + 1;
            fim se;
        fim se;
    fim se;
fim do processo;
sbczero <= '1' quando sbc = "0000" senão '0'; -- sinalizador zero do contador de bit serial
sbcnine <= sbc(0) e sbc(3); -- sinalizador nove do contador de bit serial

-- saídas síncronas com sinal de clock CLK
processo (CLK)
começar
    se CLK='1' e CLK'evento então
        se RESET = '1' então
            DATA_OUT_pin <= '0';
            ZERO_pin <= '0';
        elsif nextbit = '1' then -- nextbit é um "enable" (na taxa de transmissão)
            DATA_OUT_pin <= (não sbczero e prbs_bits(30)) ou sbcnine;
            ZERO_pin <= sbczero;
        fim se;
    fim se;
fim do processo;

final Comportamental;
```

A Figura 11.15 continua.

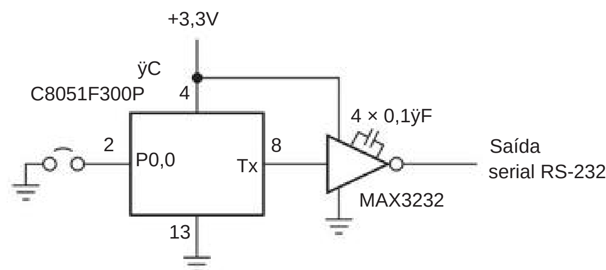


Figura 11.16. Os microcontroladores representam uma alternativa compacta à lógica programável, especialmente quando a velocidade não é crítica. Essa escolha específica de microcontrolador (entre literalmente milhares) inclui um oscilador interno, portanto, nenhum componente externo é necessário para gerar a saída de fluxo de bits serial de nível lógico.

surpresa, não há absolutamente nenhuma padronização em diferentes famílias de microcontroladores. Excitado, exigente, exigente. . . (b) O programa bookends org 00h e end informa ao montador onde colocar a primeira instrução e onde o código termina. Ou seja, não são instruções que o microcontrolador executa, mas sim diretivas para o montador; eles às vezes são chamados de "pseudo-ops". (c) O restante do código consiste em operações aritméticas e lógicas, como limpar, copiar (chamado mov), comparar (cjne: comparar e pular em diferente de zero), contadores de loop (djnz: decrementar e pular em diferente de zero), sub-rotina chamada (acall), e assim por diante.

Você realmente não quer se apaixonar por essas coisas - mostramos principalmente para avisá-lo!

B. Programação de microcontroladores – codificar em C

A programação em linguagem Assembly é complicada e é fácil cometer erros triviais. Mesmo quando você acerta, é complicado modificá-lo. Grandes programas são trabalhosos. O código deve ser reescrito se você quiser usá-lo com uma família diferente de microcontrolador. E, pior de tudo, você provavelmente não entenderá o que escreveu algumas semanas depois, quando for necessário alterá-lo.

Por essas razões, a maioria dos programadores prefere uma linguagem de alto nível como C ou C++ para codificação.[27] É mais fácil de escrever e entender e é portátil entre as famílias de microcontroladores (embora com algumas alterações necessárias para acomodar as diferenças arquitetônicas). A Figura 11.18 lista o gerador PRBS, na linguagem de programação C.

O programador[28] percebeu, num surto de inspiração, que o PRBS poderia ser codificado para executar um byte completo de cada vez, em vez da pesada codificação bit-a-time que consideramos necessária nos exemplos anteriores. Isso ocorre porque o registrador de deslocamento tem, a qualquer momento, todos os bits downstream necessários para calcular todos os novos bits até o primeiro toque de feedback (neste caso, 27 bits). Dada a organização de bytes de Cs de 8 bits e o fato de que a UART de porta serial integrada espera ÿ uma quantidade total de 8 bits antes da transmissão, o mais inteligente é criar um novo byte upstream, usando a instrução XOR bytewide (bitwise XOR , sem transporte). O programa resultante é executado muito rápido! Veja se você pode descobrir a codificação.

11.4 Conselhos

Então o que você deveria fazer? Aqui está um breve resumo das recomendações, que acreditamos representar de forma justa os altos e baixos das várias opções que você tem para implementações digitais (e de sinal misto).[29] Faremos isso de duas maneiras, primeiro por *Tecnologia,* depois por *Comunidade de Usuários* .

11.4.1 Por Tecnologias

- **Lógica padrão –**
  - Upside: OK se você quiser montar um circuito simples rapidamente e tiver as peças em mãos; útil para drivers de barramento, buffers e pequena "cola" lógica (para colar chips grandes ou para corrigir erros de lógica); disponível em through-hole, para que você possa usar uma protoboard conectável ou um protoboard de solda (ou wirewrap); não são necessárias ferramentas de design de software.
  - Desvantagem: pesado para circuitos complexos; múltiplas funções para inventariar; inflexível.
- **Lógica programável (cPLD, FPGA)**
  - Vantagens: geralmente preferido (sobre a lógica padrão) para a maioria dos projetos digitais – quantidade reduzida de pacotes, facilmente reprogramável, flexível e barato, pequeno estoque necessário; favorecer cPLDs para temporização previsível e para projetos pequenos, FPGAs para projetos grandes (embora pequenos FPGAs estejam surgindo); melhor escolha para lógica paralela rápida e máquinas de estado; bom para funções críticas de tempo (como protocolos de comunicação), operações de nível de bit (CRC, Viterbi) e funções com muitas E/S; os projetos podem ser migrados entre as famílias PLD e para ICs totalmente personalizados.

[27] Talvez com pequenos blocos de código assembly inseridos onde a velocidade é crítica, por exemplo, uma rotina de serviço de interrupção (consulte o Capítulo 13), dentro de um programa maior.

[28] Jason Gallicchio, a quem agradecemos por este código e por outra assistência com a discussão do microcontrolador.

[29] Observe, no entanto, que geralmente é mais fácil navegar se você adotar os métodos que as pessoas ao seu redor estão usando – sua base de experiência e conjuntos de ferramentas aceleram o aprendizado e a depuração – mesmo que alguma técnica diferente potencialmente ofereça outras vantagens.

```
// ------------------------------------------------ --------
;; programa para enviar bytes pseudo-aleatórios de UART serial rev de 14/12/07

          org 00h;                     endereço inicial na inicialização ou reinicialização

          mov IE, #00h;                desativar interrupções
          movSP, #90h;                 ponteiro de pilha init, usado para sub-rotina
          mov PCON, #00h;
          mov TMOD, #20h; temporizador 1: 8 bits, recarga automática
          mov TCON, #40h; timer 0 desligado, timer 1 ligado
          mov SCON, #40h;              UART de 8 bits, apenas tx, definido pelo temporizador 1
          mov TH1, #0FDh;              9600 baud (valor de recarga = 253 decimal)

          clr A;
          clrTI; jb
          P1.0, makebyte; entrada lógica ALTA no pino P1.0 = 9600 baud mov TH1, #0E8h; BAIXO: 1200 baud
          (valor de recarga = 232 decimal)

makebyte: mov R3, #8;                  contador de loop de configuração - 8 turnos fazem um byte

             ; criar bit de feedback como XNOR dos bits 27 e 30 (0..30)
makebit: mov C, ACC.4;                 ou seja, ACC.4 e ACC.1
          mov R2, #0;
          mov R2.1, C;                 coloque ACC.4 em R2.1, em XNOR com ACC mascarado
          anl A, nº 2;                 máscara ACC, preservando apenas ACC.1
          clr C;
          cjne A, R2, loadreg; XNOR=0, carry já limpo setb C;
                                       XNOR=1, definir transporte

loadreg: mov R0, #80h;                 80h-83h conterá MSByte-LSByte de SR de 32 bits

shift32: mov A, @R0;                   RO aponta para um dos 4 bytes em 80h..83h
          rrc A;                       mudar para a direita através de transporte
          mov @R0, A;                  escondê-lo
          incl R0;
          cjne R0, #84h, shift32; verifique o último byte de 4

          djnz R3, makebit; faça isso 8 vezes por sendbyte de
          chamada; enviar byte finalizado via serial UART sjmp makebyte;
                                       e iniciar o próximo byte

             ; código para enviar um byte
sendbyte: jnb TI, sendbyte; aguarde o último tx feito
          mov SBUF, A;                 buffer de transmissão de carga
          ret;

          fim
// ------------------------------------------------ --------
```

Figura 11.17. Código assembly para gerador de bytes pseudo-aleatórios.

```
// ------------------------------------------------ --------
#include <avr/io.h>

#define F_CPU 20000000 // 20 MHz
#define BAUD_RATE 9600                      // ou 115200

void USART_Init(void) {
    UBRR0 = F_CPU/BAUD_RATE/8 - 1; // Define a taxa de transmissão
    UCSR0A = (1<<U2X0); // Altera o divisor de baud de 16 para 8
    UCSR0B = (1<<RXEN0) | (1<<TXEN0); // ativa Rx & Tx
    UCSR0C = (1<<UCSZ01) | (1<<UCSZ00); // 8N1, sem paridade
}

void putch(char sem sinal ch)
{
    while ( !(UCSR0A & (1<<UDRE0)) );
    UDR0 = ch;
}


int main(vazio)
{
    caractere não assinado; char
    unsigned d=0xff, c=0xff, b=0xff, a=0xff;

    USART_Init();

    while(1) { out =
        ( (d<<1) | (c>>7) ) d = c;          ^ c; // 31 bits, toque em 24

        c = b;
        b = a;
        a = fora;

        putch(fora);
    }
}
// ------------------------------------------------ --------
```

Figura 11.18. Código C para gerador de bytes pseudo-aleatórios.

– Desvantagem: tempo para aprender ferramentas de software (muitas vezes proprietárias) e seu custo; apenas peças de montagem em superfície (requer PCB ou adaptador personalizado); custo do pod de programação e ferramentas de design; ciclo de vida curto (problemas de abastecimento).

– Projeto de PLD - ferramentas de programa

** Entrada esquemática*

· Vantagens: fácil de aprender, entender e explicar para os outros (especialmente para nerds de circuitos); autodocumentação; entrada de circuitos paralelos de forma paralela; linguagens de programação gráfica análoga (GPLs) usados em ferramentas como LabVIEW, MATLAB® e Simulink®.

· Desvantagem: ferramentas de design proprietárias; custo; aplicabilidade limitada.

** HDL (Verilog/ VHDL)*

· Upside: migração natural para nerds programadores que podem se adaptar ao pensamento paralelo; conciso e padronizado; ferramentas de simulação e compilação gratuitas; modificações de design fáceis de iterar; pode migrar entre famílias PLD e para ICs totalmente customizados;

adequado para grandes projetos complexos; Disponibilidade de núcleo IP.

· Desvantagem: tempo para aprender e falta de documentação esquemática (especialmente para não programadores). • **Microcontroladores** (consulte o Capítulo 15!)

– Vantagens: computador embutido programável e flexível; ideal para máquinas de estado complexas com muitas ramificações decisórias; iteração rápida de código e depuração (no circuito); muitos periféricos no chip (comunicação,30 conversão, interface,31 outros32); linguagem de programação familiar (C, C++); melhor para controle embutido, especialmente envolvendo comunicação do usuário (exibição e controle); agradável!

– Desvantagem: mais lento que cPLD/FPGA; menos adequado para bit manipulação de nível; menos paralelismo.

— ÿ Ferramentas do programa

C * *Linguagem Assembly* ·

Vantagens: pode criar código otimizado manualmente, por exemplo, uma rotina de serviço de interrupção.

· Desvantagem: exigente e sujeito a erros; difícil fazer grandes modificações; não pode portar para uma família de processador diferente.

* *C, C++* ·

Upside: padronizado e portátil (embora algumas mudanças específicas do processador sejam necessárias); ampla experiência em programação; linguagem estruturada facilita mudanças e atualizações; bibliotecas de funções úteis; adequado para tarefas complexas.

· Desvantagem: não muito. . . o código compilado pode ser menos eficiente em tamanho e velocidade (pode incorporar código de montagem para loops e rotinas críticas e para acesso a recursos especiais); o código pode ser difícil de entender; requer conjunto de ferramentas do compilador (alguns são caros, outros são gratuitos).

* *Outros (Básico, Software Arduino; Java, Python)*

· Upside: fácil de entender, bom para iniciantes.

· Desvantagem: variedade limitada de suporte a microcontroladores, geralmente não portátil entre famílias de processadores, não para grandes projetos.

11.4.2 Por comunidades de usuários

Todas as comunidades de usuários são bem atendidas por *microcontroladores,* devido ao baixo custo, facilidade de programação e flexibilidade ibilidade. Entre essas comunidades, as seguintes tecnologias adicionais são favorecidas. • **Produção de alto volume33** Aqui, o custo unitário e o tempo

de colocação no mercado são críticos. Em grandes volumes, o custo unitário é minimizado com ASICs (Circuitos integrados totalmente personalizados de aplicação específica exclusiva) e ASSPs (Produtos padrão específicos de aplicação geralmente disponíveis), enquanto o tempo de lançamento no mercado é geralmente reduzido usando FPGAs para eliminar o design ASIC– ciclo de depuração. Em grandes produções, é comum usar pacotes BGA (ball-grid array) de alta densidade e outros dispositivos de montagem em superfície de passo fino (SMT), juntamente com as placas de circuito multicamadas necessárias e técnicas avançadas de montagem. E, claro, sempre use microcontroladores.

• **Protótipo complexo e pequena produção34**

Aqui você geralmente não pode arcar com os atrasos e custos associados aos pacotes ASICs e BGA de alta densidade. Portanto, as tecnologias preferidas são cPLDs e FPGAs, juntamente com vários chips de suporte, todos em pacotes de montagem em superfície e montados em placas multicamadas.35 E, é claro, sempre use microcontroladores. • **Laboratório e "1-Off"36** Aqui é importante ser capaz de montar um instrumento de forma relativamente rápida e modificar e desenvolver seus circuitos conforme a necessidade. Preferimos placas de prototipagem through hole, preenchidas com componentes through-hole e (quando essencial) com um pequeno número de dispositivos SMT (em adaptadores through-hole37). Isso o restringe à lógica e interface padrão, uma seleção limitada de microcontroladores e talvez alguns cPLDs/FPGAs, junto com componentes analógicos (op-amps, etc). Você pode fazer um uso maior de FPGAs se tirar proveito de placas filhas pré-fabricadas de empresas como Digilent, DLP Design ou Opal Kelly: elas variam de placas simples (FPGA, ROM de programa e interface USB ou JTAG) até placas complexas com monitores, Ethernet e assim por diante.38

30 Por exemplo, UART, SPI, I2C, CAN, USB, Ethernet, IrDA, WiFi, áudio/vídeo dig ital, Bluetooth, ZigBee.

31 Por exemplo, teclado, mouse, PCI, PCIe, PWM, SIM e Smart Card, GPS, PCMCIA/CF.

32 Por exemplo, DRAM/SDRAM externos, MMU, GPS, câmeras CCD/CMOS, LCDs, display gráfico.

33 Celulares, decodificadores de TV, etc.

34 Instrumentos de pesquisa oceanográfica e científica, máquinas de ressonância magnética, produtos experimentais, etc.

35 Se você precisar usar BGA ou outras peças de alta contagem de pinos, é bom saber sobre os serviços de montagem de protótipos, como Advanced Assem bly™: eles podem lidar com montagem BGA de passo fino (incluindo inspeção de raios-X) e eles até mesmo cuidar de encomendar as peças para você.

O melhor de tudo é que eles não se importam com pedidos de apenas algumas pranchas. 36 O *primeiro* NMR, MRI, STM; armadilhas atômicas, resfriamento a laser, controle de telescópio astronômico, etc.

37 Por exemplo, da Aries Electronics ou da Bellin Dynamic Systems.

38 Se você deseja usar FPGAs como blocos de construção em diversos projetos e

Como alternativa, você pode começar com um kit de microcontrolador totalmente preenchido, incluindo PLDs, que também pode incluir pads de "prototipagem" não preenchidos para um pequeno número de dispositivos adicionais.

- **Hobbyist39**

Aqui a ideia é ter muita diversão barata. o ba unidade sic é o microcontrolador, seja como parte de um kit pré-fabricado,40 ou usado em um protoboard through-hole, ou talvez uma placa de circuito impresso personalizada.41 Componentes through-hole (consulte *Laboratório e "1-Off", acima)* são sempre fáceis de usar, assim como os PLDs incluídos nos kits de microcontroladores.

você não consegue encontrar o que deseja em empresas como essas, pode seguir o exemplo de um de nossos colegas: ele projetou uma pequena placa filha para armazenar o FPGA escolhido, junto com um par de EEPROMs, um oscilador, um cabeçalho JTAG , e reguladores de tensão (para funcionar a partir de +5 V de alimentação). Ele tem um par de cabeçalhos de 2 × 20 pinos (conectados a muitos pinos FPGA) voltados para baixo, para conectar a uma placa personalizada. 39 Robôs, controle remoto, sistemas de iluminação, áudio/rádio/vídeo, etc.

40 Fornecido pelo fabricante C ou por um fornecedor independente como Parallax, Digilent, DLP Design ou o projeto Arduino. É agradável, também, vadiar em sites como sparkfun.com e adafruit.com.

41 Existem versões freeware de ferramentas de layout, como Eagle (da Cad Soft); existem ferramentas de código aberto; e existem empresas de fabricação de PCB baratas, por exemplo, Advanced Circuits (www.4pcb.com), que também oferecem seu software de layout de PCB gratuito "PCB Artist" (que, no entanto, produz arquivos em seu formato proprietário).

Revisão do Capítulo 11

Um resumo de A a G do que aprendemos no Capítulo 11. Este resumo revisa princípios básicos, fatos e conselhos de aplicação no Capítulo 11.

¶UMA. Dispositivos Lógicos Programáveis (PLDs).
PLDs são circuitos digitais integrados, normalmente contendo de milhares a milhões de portas (e, às vezes, blocos funcionais adicionais, como transceptores, RAM, DSP ou microcontroladores de uso geral), cujas interconexões de circuito são determinadas pela programação do usuário (§11.2). .
Ou seja, em analogia com um programa de computador (que diz ao processador *o que* fazer), o programa de um PLD diz ao chip *como conectar* seus componentes internos. Alguns PLDs incluem memória não volátil (e reprogramável) que contém a configuração programada; outros lêem sua configuração de uma ROM não volátil externa na inicialização e a mantêm na memória do chip (e volátil); e muitos permitem a programação por meio de uma porta de configuração serial (geralmente uma porta JTAG).

¶B. Aplicações PLD.
Pequenos PLDs (dezenas a centenas de macrocélulas, milhares de portas) são comumente usados como “lógica de cola”, substituindo portas discretas, flip-flops, registradores e similares. PLDs maiores, e particularmente FPGAs (matrizes de portas programáveis em campo), podem implementar quase um sistema completo em um chip. Os maiores FPGAs contêm milhões de flip-flops, megabytes de RAM, centenas de portas de E/S (LVDS, PCIe, etc.) e flip-flops) rodando Linux embarcado. (E ao pensar em PLDs para alguma aplicação, certifique-se de considerar a alternativa de um *microcontrolador* de uso geral – eles são cada vez mais capazes, baratos e fáceis de programar.)

¶C. Visão geral da programação.
O projeto PLD (§11.2.6) começa com a especificação funcional, onde a escolha é *entrada esquemática* ou uma *linguagem de descrição de hardware* (HDL). Em seguida, você executa uma *simulação* para verificar se o projeto funciona como pretendido. Depois disso, um processo de *síntese* converte o design em uma *netlist* (um conjunto completo de conexões lógicas). A netlist é então “adequada” ao PLD de destino, um processo conhecido como *local e rota.* Por fim, o projeto ajustado é baixado para a memória do PLD – seja para o próprio PLD (se tiver memória não volátil on-chip), seja para uma ROM de configuração externa (da qual o PLD carrega na inicialização), ou possivelmente carregado a quente de um processador externo diretamente para o PLD ligado.

As ferramentas de projeto de PLD são fornecidas pelos fabricantes de PLD e por terceiros. Para PLDs de baixo custo, as ferramentas podem ser gratuitas, mas podem ser muito caras para peças de alto nível. Pode ser necessário um tempo considerável para dominar as ferramentas de projeto PLD (que têm uma tendência angustiante de mudar com o tempo), e o software pode ser (e geralmente é) cheio de erros.

¶D. Entrada esquemática.
Mais confortável para não codificadores é a entrada esquemática, na qual você conecta símbolos lógicos familiares (por exemplo, Figura 11.10) da mesma maneira que faria ao entrar em um circuito para um layout de PCB. Há flexibilidade adicional, porque você pode definir blocos funcionais maiores que são especificados com entrada esquemática ou entrada de texto HDL.

Outro método de entrada gráfica, em um nível mais alto de abstração, explora ferramentas de síntese de software que convertem uma descrição de bloco funcional do tipo MATLAB/Simulink Lego em uma saída de código-fonte HDL; o último pode ter como alvo um PLD ou uma implementação totalmente personalizada (ASIC), além de fornecer vetores de simulação, temporização e teste.

Aqueles que favorecem a entrada gráfica esquemática geralmente explicam sua preferência como (a) vindo de um fundo esquemático, eles acham isso natural; (b) acham mais fácil aprender, compreender e explicar aos outros; (c) gostam de ter um esquema gráfico como documentação; (d) como os módulos podem ser HDL disfarçados, ele tem todo o poder do HDL, para projetos complexos onde isso é necessário; e (e) a entrada gráfica é usada em linguagens de programação gráfica (GPLs) como LabVIEW, MATLAB® e Simulink®.

¶E. Entrada HDL.
Linguagens de descrição de hardware como Verilog e VHDL dominam a cena de entrada PLD. As declarações em qualquer linguagem podem ser *estruturais* (por exemplo, quais sinais são conectados de alguma saída para outra entrada) ou *comportamentais* (por exemplo, qual estado segue outro e sob quais condições). Veja os exemplos ilustrativos em §§11.3.4B e 11.3.4C.

Aqueles que preferem a entrada HDL baseada em texto geralmente explicam sua preferência como (a) vindo de um histórico de programação, eles acham isso natural; (b) a entrada do desenho é rápida, particularmente quando se reutiliza partes de desenhos anteriores; (c) o design é mais conciso (portanto, mais fácil de saber se está correto) e autodocumentado (como uma descrição textual); (d) o ciclo de projeto é simplificado, pois um projeto está sendo iterado por meio de simulação e protótipo; (e) é particularmente fácil alterar parâmetros (como número de bits em um registrador, ALU, etc) apenas redimensionando arrays (em comparação com a reorganização de módulos gráficos); (f) o

as linguagens são padronizadas e universais (em comparação com ferramentas proprietárias de entrada esquemática); (g) bons simuladores estão disponíveis e são gratuitos; (h) linguagens HDL são mais adequadas para síntese de alto nível de projetos complexos (como um microprocessador), e núcleos IP pré-fabricados de código aberto são fornecidos como HDL; e (i) a entrada HDL é adequada para implementação subseqüente como um IC *totalmente personalizado* (ASIC), seguindo um estágio de protótipo implementado inicialmente como um FPGA.

¶F. Assessoria, por Tecnologia.
(Parafraseado descaradamente de §11.4.1.)

• **Lógica padrão –**
  Upside: OK para montagem rápida de circuitos simples, e útil para drivers de barramento, buffers e pequenas "colas" lógicas; disponível em through-hole (para prototipagem rápida); não são necessárias ferramentas de design de software.
  – Desvantagem: pesado para circuitos complexos; múltiplas funções para inventariar; inflexível. • **Lógica programável (cPLD, FPGA)**

  – Vantagens: melhor para a maioria dos designs digitais – contagem de embalagens reduzida, facilmente reprogramável, flexível e barato, pequeno estoque necessário; favoreça cPLDs para tempos previsíveis e para projetos pequenos, FPGAs para projetos grandes; melhor escolha para lógica paralela rápida e máquinas de estado; bom para funções de temporização crítica e funções com muitas E/S; os projetos podem ser migrados entre as famílias PLD e para ICs totalmente personalizados.
  – Desvantagem: tempo para aprender ferramentas de software (muitas vezes proprietárias) e seu custo; apenas peças de montagem em superfície; custo do pod de programação e ferramentas de design; ciclo de vida curto (problemas de abastecimento).
  – Ferramentas de projeto/programa de PLD
    ** Entrada esquemática*
      · Vantagens: fácil de aprender, compreender e explicar aos outros; autodocumentação; entrada de circuitos paralelos de forma paralela; linguagens de programação gráfica análogas (GPLs) usadas em ferramentas como Lab VIEW, MATLAB® e Simulink®.

      · Desvantagem: ferramentas de design proprietárias – custo; aplicabilidade limitada.
    ** HDL (Verilog/ VHDL)*
      · Upside: migração natural para programadores; conciso e padronizado; ferramentas de simulação e compilação gratuitas; modificações de projeto fáceis de iterar; pode migrar entre famílias PLD e para ICs personalizados completos; adequado para grandes projetos complexos; Disponibilidade do núcleo IP.

      · Desvantagem: tempo para aprender e falta de documentação esquemática.

• **Microcontroladores** (consulte o Capítulo 15!)
  – Vantagens: computador embutido programável e flexível; ideal para máquinas de estado complexas com muitas ramificações decisórias; iteração rápida de código e depuração (no circuito); muitos periféricos no chip (comunicação, conversão, interface, outros); linguagem de programação familiar (C, C++); melhor para controle embutido, especialmente envolvendo comunicação do usuário (exibição e controle); agradável!

  – Desvantagem: mais lento que cPLD/FPGA; menos adequado para manipulação de nível de bit; menos paralelismo.
  – ÿ Ferramentas do programa
    C * *Linguagem Assembly* ·
      Vantagens: pode criar código otimizado manualmente, por exemplo, uma rotina de serviço de interrupção.
      · Desvantagem: exigente e sujeito a erros; difícil fazer grandes modificações; não pode portar para uma família de processador diferente.
    ** C, C++ ·*
      Upside: padronizado e amplamente portátil; ampla experiência em programação; a linguagem estruturada facilita mudanças e atualizações; bibliotecas de funções úteis; adequado para tarefas complexas.
      · Desvantagem: não muito. . . código compilado pode ser menos eficiente em tamanho e velocidade (pode incorporar código de montagem onde necessário); o código pode ser difícil de entender; requer conjunto de ferramentas do compilador (alguns são caros, outros são gratuitos).
    ** Outros (Básico, Software Arduino; Java, Python)*
      · Upside: fácil de entender, bom para iniciantes.
      · Desvantagem: variedade limitada de suporte a microcontroladores, geralmente não portátil entre famílias de processadores, não para grandes projetos.

¶G. Conselhos, por comunidade de usuários.
(Parafraseado descaradamente de §11.4.2.) *Todas* as comunidades de usuários são bem atendidas por *microcontroladores,* devido ao baixo custo, facilidade de programação e flexibilidade. Entre essas comunidades, as seguintes tecnologias adicionais são favorecidas.

• **Produção de alto volume** Aqui,
  o custo unitário e o tempo de colocação no mercado são críticos. Em grandes volumes, o custo unitário é minimizado com *ASICs* (Circuitos Integrados totalmente personalizados e específicos de aplicativos exclusivos) e *ASSPs* (Produtos padrão específicos de aplicativos disponíveis em geral), enquanto o tempo de lançamento no mercado geralmente é reduzido usando *FPGAs* para eliminar o ASIC ciclo de projeto-depuração. Em grandes produções é comum usar

pacotes *BGA* (matriz de grade de esferas) de alta densidade e outros dispositivos de montagem em superfície (SMT) de passo fino, juntamente com as placas de circuito multicamadas necessárias e técnicas avançadas de montagem. E, claro, sempre use *microcontroladores.*

- **Protótipo complexo e produção pequena** Devido aos atrasos e custos associados com ASICs e pacotes BGA de alta densidade, as tecnologias favorecidas são *cPLDs* e *FPGAs,* juntamente com vários chips de suporte, todos em pacotes de montagem em superfície e montados em multicamadas Pranchas. E, claro, sempre use *microcontroladores.* • **Laboratório e "1-Off"**

Para atingir os objetivos de montagem rápida e modificação fácil, preferimos placas de prototipagem through-hole, preenchidas com componentes through-hole e (quando essencial) com um pequeno número de dispositivos SMT (em through-hole).

adaptadores de orifício). Isso restringe você à *lógica* e *interface padrão,* uma seleção limitada de *microcontroladores* e talvez alguns *cPLDs/ FPGAs,* juntamente com componentes *analógicos* (op-amps, etc). Você pode usar melhor os FP GAs se aproveitar as placas filhas pré-fabricadas de terceiros. Como alternativa, você pode começar com um *kit de microcontrolador totalmente preenchido,* incluindo *PLDs* e talvez alguns pads de "prototipagem" não preenchidos para dispositivos adicionais. • **Hobbyist** Aqui a ideia é ter muita diversão barata. A unidade básica é o *microcontrolador* (já mencionamos isso antes?), seja como parte de um *kit* pré-fabricado ou usado em um protoboard through-hole, ou talvez uma placa de circuito impresso personalizada. Os componentes through-hole (consulte *Laboratório e "1-Off", acima)* são sempre fáceis de usar, assim como os PLDs incluídos nos kits de microcontroladores.

INTERFACE LÓGICA

CAPÍTULO 12

Embora a simples "análise de números" seja uma aplicação importante da eletrônica digital, o poder real das técnicas digitais é visto quando métodos digitais são aplicados a sinais e processos analógicos (ou "lineares"). Neste capítulo, começamos com uma breve cronologia da ascensão e queda das famílias lógicas digitais e uma revisão das propriedades de entrada e saída das famílias sobreviventes (principalmente CMOS) que você provavelmente usará no projeto de circuitos. Isso é essencial para entender como interfacear famílias lógicas entre si e para dispositivos de entrada digital (chaves, codificadores rotativos, teclados, comparadores, etc.) e dispositivos de saída (LEDs indicadores, relés, MOSFETs de potência, etc.). Continuamos com o importante assunto de trazer sinais digitais dentro e fora das placas de circuito, dentro e fora dos instrumentos e através de cabos. Discutimos dispositivos optoeletrônicos (drivers e receptores de fibra ótica, optoacopladores, monitores LCD e LED e relés de estado sólido). E no próximo capítulo discutimos o assunto principal da conversão entre sinais analógicos e digitais.

Finalmente, com a compreensão dessas técnicas, examinamos várias aplicações nas quais as técnicas analógicas e digitais combinadas fornecem soluções poderosas para problemas interessantes. Grande parte desse material é aplicável não apenas à lógica digital "discreta", mas também aos PLDs e FPGAs do Capítulo 11 e aos microcomputadores e microcontroladores dos Capítulos 14 e 15.

Interface lógica 12.1 CMOS e TTL

12.1.1 Cronologia da família lógica – um breve histórico

No início da década de 1960 pré-histórica, pessoas aventureiras que não queriam construir sua lógica a partir de transistores discretos lutavam com RTL (lógica resistor-transistor), uma família lógica simples introduzida por Fairchild e caracterizada por distribuição fraca e baixa imunidade a ruído. A Figura 12.1 mostra o problema, ou seja, um limite lógico em um VBE acima do solo e um miserável fan-out (em alguns casos, uma saída pode acionar apenas uma entrada!) causado por pullup passivo e uma carga de dissipação de corrente de baixa impedância. Aqueles eram os dias de pequena integração, e a função mais complicada que você poderia obter era um flip-flop duplo, que operaria a 4 MHz (o MC790P, caso queira pesquisar). Construímos bravamente circuitos com RTL; eles às vezes funcionavam mal quando alguém ligava um ferro de solda no mesma sala.

A sentença de morte para RTL veio alguns anos depois com a introdução pela Signetics de DTL (lógica diodo-transistor) e, logo depois, SUHL da Sylvania - "Sylvania Universal High Speed Logic" - posteriormente chamado TTL (lógica transistor-transistor). A Signetics tinha uma mistura popular dos dois, chamada 8000-series DCL Utilogic ("Lógica de escolha do signatário"). TTL pegou rapidamente, particularmente no sistema de numeração *"74xx"* originado pela Texas Instruments. (Embora TTL bipolar seja praticamente história agora, as designações *74xx* permaneceram saudáveis até hoje, em encarnações contemporâneas de CMOS.) Essas famílias usavam entradas *de fonte de corrente* com limite lógico em dois VBEs e (geralmente) push-pull "totem-pole " (Figura 12.1). DTL e TTL iniciaram a era da lógica de +5 V (RTL usava +3,6 V) e ofereciam velocidades de 25 MHz e fan-outs de 10 (ou seja, uma saída poderia acionar 10 entradas). Os designers se alegraram com a velocidade, confiabilidade e funções complexas (contadores de divisão por 10, por exemplo) dessas famílias. Pareceu-nos que não se podia pedir mais; TTL viveria para sempre.

As pessoas são gananciosas, no entanto. Eles queriam mais velocidade. Eles queriam menos consumo de energia. Eles logo conseguiram os dois, mais ou menos. Na arena de alta velocidade, um TTL aprimorado (série 74H; TTL de "alta velocidade") forneceu aproximadamente o dobro da velocidade, com o dobro da potência! (Ele conseguiu esse feito impressionante cortando todos os valores de resistor pela metade.) Outra família, ECL (lógica acoplada ao emissor), fornecia velocidade real (30 MHz em sua versão original), usando uma fonte de alimentação negativa e níveis lógicos bastante próximos (-0,9 V e -1,75 V); consumia muita energia (30 mW/gate) e vinha apenas em pequena integração. Para baixa potência, havia um TTL reduzido (série 74L; TTL de "baixa potência") com 1/4 da velocidade a 1/10 da potência do TTL "padrão" 7400 correspondente.

De volta à RCA, a primeira das famílias lógicas do MOSFET foi desenvolvida, o CMOS da série 4000. Tinha consumo de energia quiescente zero e uma ampla faixa de alimentação (+3 V a

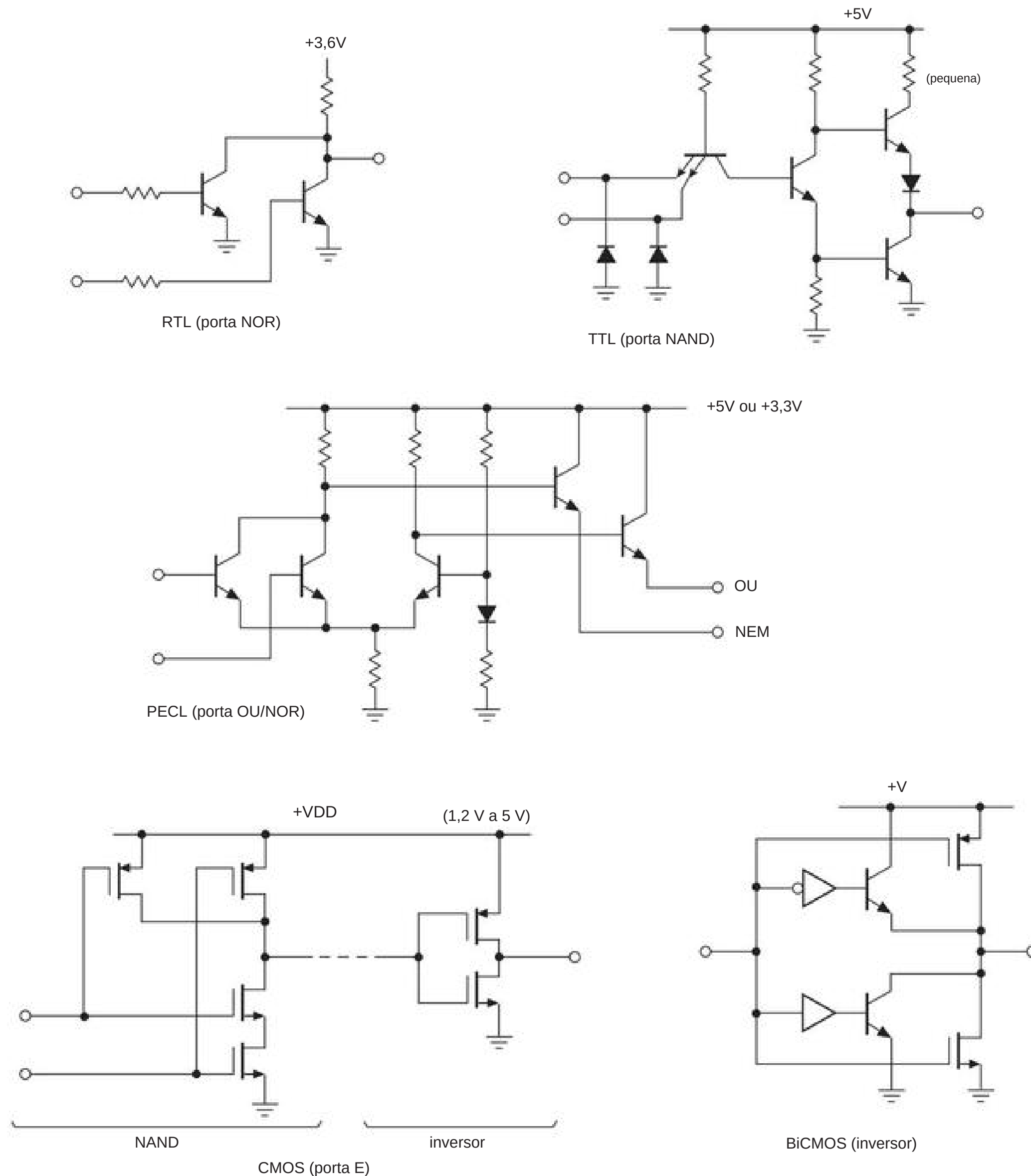


Figura 12.1. Diagramas simplificados de várias famílias lógicas.

+ 12V). As saídas giravam trilho a trilho e as entradas não consumiam corrente. Essa foi a boa notícia. A má notícia foi a velocidade (1 MHz com alimentação de 5 V) e o preço (cerca de US$ 20 por um pacote de quatro portas). Apesar do preço, toda uma geração de projetistas de instrumentos movidos a bateria cresceu no micropower CMOS simplesmente porque não havia alternativa. Eles aprenderam o verdadeiro significado da eletricidade estática enquanto trabalhavam com entradas facilmente danificadas.

Essa, então, era a situação no início dos anos 1970 – duas linhas principais de lógica bipolar (TTL e ECL) e o extraordinário CMOS. As variantes TTL eram essencialmente compatíveis, exceto que o 74L TTL tinha um acionamento de saída fraco (3,6 mA dissipador) e podia acionar apenas duas cargas TTL padrão (série 74) (cujas entradas forneciam 1,6 mA quando mantidas em BAIXO). Quase não havia compatibilidade entre as principais famílias (embora um TTL puxado para cima pudesse controlar o CMOS, e o CMOS de 5 V mal pudesse controlar uma única carga de 74L TTL).

Durante a década de 1970, houve melhorias constantes em todas as frentes. TTL gerou o não saturante "Schottky-

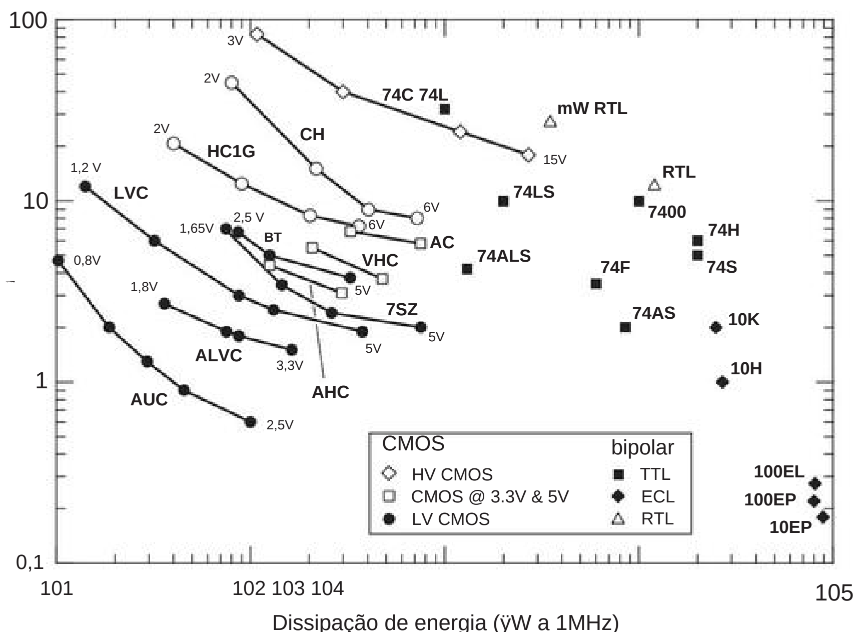


Figura 12.2. Atraso do portão versus potência para várias famílias lógicas. A dissipação de energia depende da tensão de alimentação e da frequência da comutação lógica: *P* = [illegible] 10.1 e a Figura 12.3.

famílias "grampeadas": primeiro a série 74S (Schottky), que tornou obsoleta a 74H ao fornecer três vezes a velocidade com o dobro da potência; em seguida, o 74LS ("Schottky de baixa potência"), que tornou obsoleto o TTL da série 74 "padrão", fornecendo velocidade ligeiramente melhorada em 1/5 da potência. A vida com 74LS e 74S era boa, mas Fairchild surgiu com 74F (F de FAST: "Fairchild Advanced Schottky TTL"), que é até 50% mais rápido que 74S com 1/3 da potência; ele também possui outras propriedades aprimoradas que o tornam extremamente agradável de se projetar. A Texas Instruments, criadora de muitas linhas *74xx* , surgiu com um par de famílias Schottky avançadas, 74AS ("Advanced Schottky") e 74ALS ("Advanced Low-power Schottky"); o primeiro pretendia substituir o 74S e o último pretendia substituir o 74LS. Todas essas famílias TTL têm os mesmos níveis lógicos e bastante saída de saída e, portanto, podem ser misturadas dentro de um circuito. As Tabelas 10.1 e a Figura 12.2 ilustram a velocidade e o poder dessas famílias.

Enquanto isso, o CMOS da série 4000 evoluiu para a série 4000B aprimorada, com faixa de alimentação mais ampla (3 V a 18 V), melhor proteção de entrada e maior velocidade (3,5 MHz a 5 V). A série 74C era essencialmente a mesma, com funções e pinagens de 74 famílias para aproveitar o tremendo sucesso da lógica bipolar de 74 famílias. ECL surgiram as séries ECL II, ECL III, ECL 10.000 e ECL 100.000, com velocidades de até 500 MHz.

A situação em 1980, então, era a seguinte: a maior parte do projeto foi feito com 74LS, com 74F (ou 74AS) misturado onde era necessária maior velocidade. Este mesmo TTL foi usado como "cola" para unir os circuitos do microprocessador nMOS, cujas entradas e saídas são compatíveis com TTL. O projeto de micropotência sempre foi feito com CMOS 4000B ou 74C, equivalentes e compatíveis entre si. E para as velocidades mais altas (100–500 MHz), o ECL era o único jogo da cidade. Não havia muita mistura entre as famílias, exceto a combinação ocasional de CMOS e TTL, ou talvez interfaces TTL para um circuito ECL de alta velocidade.

Durante a década de 1980, ocorreu o notável desenvolvimento da lógica CMOS com a unidade de velocidade e saída do TTL: primeiro 74HC ("High-speed CMOS"), com a mesma velocidade do 74LS e, é claro, corrente quiescente zero; depois 74AC ("Advanced CMOS"), com a mesma velocidade que 74F ou 74AS. Com oscilações de saída rail-to-rail e limite de entrada na metade da tensão de alimentação, essa lógica combinou os melhores recursos do TTL e CMOS anteriores e substituiu essencialmente o TTL bipolar. No entanto, havia uma incompatibilidade quando ambos os tipos de lógica eram usados dentro de um circuito, porque a saída lógica de +2,4 V (mínimo garantido) em ALT

a lógica padrão TTL tradicional (e também de funções mais complexas que estavam sendo executadas em nMOS) era insuficiente para acionar uma entrada HC ou CA (com seu requisito de +3,5 V, min).

Para resolver esse problema, cada família CMOS ofereceu uma variante com o limite de entrada mais baixo. Estes são denominados 74HCT e 74ACT ("High-speed CMOS with TTL thresh old"). Durante a década de 1980, também, dispositivos complexos integrados em larga escala (LSI) e integrados em escala muito grande (VLSI) (microprocessadores, memória etc.) compatibilidade CMOS de saída), ao mesmo tempo em velocidade e complexidade crescentes. E no final da velocidade extremamente alta, houve algum desenvolvimento de dispositivos lógicos GaAs (arsenieto de gálio) (por empresas como GigaBit Logic e Vitesse) para atingir velocidades de aproximadamente 3 GHz.

Previsivelmente, as coisas ficaram cada vez melhores nas duas décadas seguintes. O desenvolvimento mais importante foi a melhoria no desempenho do CMOS, provocada pela redução do tamanho do recurso no chip de silício ("scaling"). Primeiro, como as escalas de comprimento foram reduzidas, tornou-se possível colocar muito mais transistores em um chip de tamanho razoável - isso levou ao desenvolvimento de processadores massivos, memória e outros chips de funções complexas (por exemplo, vídeo), com contagens de transistor indo de milhões a bilhões. Em segundo lugar, e talvez tão importante, o dimensionamento aumentou a velocidade e também reduziu a tensão operacional e a potência por porta.[1] O resultado são novas famílias de partes lógicas CMOS de baixa tensão (74LVC, 74AUC e assim por diante; consulte a Figura 12.3) com velocidades pino a pino na faixa de várias centenas de megahertz (tempos de atraso de até 1 ns ou menos).

Essas famílias rápidas de CMOS proliferaram, com um zoológico de virar a cabeça chegando às dezenas. A maioria deles opera em uma faixa de tensões de alimentação (por exemplo, 1,8– 5 V para 74LVC) e, na maioria dos casos, a tensão lógica de entrada pode oscilar além da alimentação positiva (por exemplo, 74LVC é "tolerante a 5 V", independentemente da tensão de alimentação; consulte a Figura 12.3). Com maior integração da maior parte da lógica necessária nos grandes componentes VLSI, há pouca dependência da lógica discreta, e essas partes de "lógica padrão" são usadas principalmente como cola ocasional. Para isso vêm em embalagens pequenas, contendo uma ou duas portas, ou um único flip-flop, com nomes como TinyLogic, Little Logic, MiniGate ou PicoGate.

Esses pacotes compartilham com outros CIs de montagem em superfície a vantagem de pinos de aterramento (e alimentação) de baixa indutância, que reduzem o "ressalto de aterramento" (§10.8.3 e Figura 10.99) e outros sintomas transitórios causados por taxas de borda rápidas conduzindo a capacitância combinada de fiação e carga. O ground bounce tornou-se uma séria dor de cabeça na década de 1990, com as novas famílias 74AC e 74ACT, que combinavam transições lógicas full-swing rápidas (entre +5 V e terra) em DIPs tradicionais com alimentação de canto e pinos de terra. Alguns fabricantes (principalmente a TI) resolveram esse problema adicionando pinos extras de energia e aterramento e movendo-os para o centro (criando novos números de peça como 74AC11004, uma versão DIP-20 repintada do inversor hexadecimal DIP-14 '04); outros criaram famílias lógicas "silenciosas" com taxas de borda controladas (por exemplo, a família 74ACTQ da FSC/NSC). A situação melhorou consideravelmente com a mudança para tensões de alimentação mais baixas, encapsulamento SMT de baixa indutância e boas práticas de layout de circuito impresso (especialmente o uso de energia dedicada e planos de aterramento em PCBs multicamadas). E o uso de sinalização diferencial de baixa voltagem (LVDS) para sinais rápidos e clocks praticamente eliminou o problema completamente, por causa das mudanças de corrente balanceadas e sua oscilação relativamente pequena (ÿ0,4 V).

Todas as famílias CMOS de lógica padrão (começando com o 4000A original e estendendo-se por HC, LVC, AUC e uma dúzia de outras) têm a característica agradável de dissipação de energia "estática" zero (ou seja, nada acontecendo), com dissipação de energia quiescente típica correntes menores que um microamp. Mas o CMOS extrai corrente "dinâmica" quando os níveis lógicos estão comutando, por causa dos efeitos combinados de (a) condução transiente trilho a trilho de pares push-pull internos durante o meio da oscilação lógica e (b) curva dinâmica aluguel necessário para carregar e descarregar capacidades internas e de carga. As correntes de alimentação dinâmicas são proporcionais à frequência de comutação e podem rivalizar com a lógica bipolar à medida que você atinge as frequências operacionais máximas, conforme discutimos no Capítulo 10 – consulte a Figura 10.27. Observe, no entanto, que muitas funções VLSI implementadas em CMOS (por exemplo, FPGAs e cPLDs, consulte o Capítulo 11) geralmente têm corrente quiescente substancial; esta situação está a mudar, no entanto, com uma tendência

[1] Para ver como isso acontece, considere o processo de redução do tamanho do recurso linear (comprimento do canal *L* e largura W) em um CMOS IC por um fator de *k* (*k* < 1), enquanto ajusta as coisas para manter as intensidades do campo elétrico constantes ; isso é chamado de "escala de campo constante". Então, com *L* ÿ *k* e *W* ÿ k, a escala de campo constante requer que VDD ÿ k; isso faz com que a espessura da isolação do óxido da porta seja escalada como tox ÿ k, o que faz com que a capacitância da porta (que é proporcional a *LW/tox)* vá para Cg ÿ k. Uma consequência do dimensionamento da geometria é que a corrente de dreno de saturação vai como ID ÿ k. Finalmente, com essa corrente de dreno, uma entrada de porta pode ser acionada por VDD em um tempo ÿ ÿCgVDD/ID, que, portanto, escala como ÿ k. Voila – as escalas de tempo de atraso do portão como k; ou seja, a velocidade aumenta proporcionalmente a *1/k.* Melhor ainda, a potência (VDDID) diminui conforme *P* ÿ k2; e um razoável (velocidade/potência) vai como *1/k*3. Talvez isso explique a figura de mérito 1/P , parte do zelo incansável da indústria de semicondutores em sempre mudar para o "nó" de dimensionamento de próxima geração (fator de redução de 1/ÿ 2).

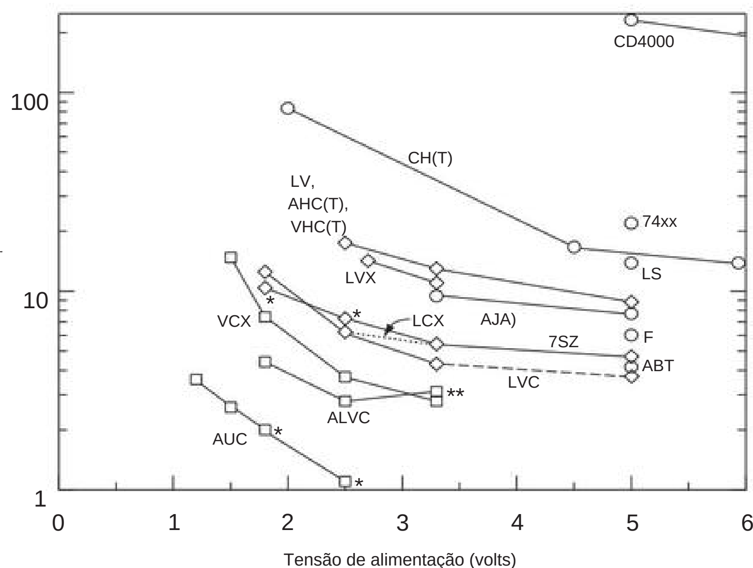


Figura 12.3. Velocidade do portão versus tensão de alimentação, para famílias lógicas populares. O atraso máximo de propagação especificado (tpd(max)) é mostrado para as tensões de alimentação padrão nas quais cada família é especificada. (Como um guia aproximado, atrasos "típicos" estão na faixa de 35–75% de tpd(max).) Círculos abertos indicam famílias para as quais Vin(max) é limitado a Vsupply, e os dados são para operação a 25ÿC; as famílias com losangos abertos têm entradas "tolerantes a 5 V" (Vin ÿ 5,5 V, independente da tensão de alimentação) e os dados são para operação na faixa de temperatura "industrial" (-40ÿC a +85ÿC); famílias com quadrados abertos têm entradas "3,3 V tolerantes" (Vin ÿ 3,6 V), dados novamente na faixa de temperatura industrial. Algumas famílias (por exemplo, LVC) possuem circuitos de estágio de saída para garantir que a saída não carregue linhas de sinal compartilhadas quando não estiver energizada. Os dados plotados são para capacitância de carga CL=50 pF para operação de 5 V e 3,3 V, 30 pF para 2,5 V e 1,8 V e 15 pF para 1,5 V e abaixo (exceto 50 pF para pontos de dados marcados com ÿÿ e 15 pF para ÿ). A lógica da série CMOS 4000 é executada em +15 V, em que tpd(max)=70 ns. Apenas alguns membros da família LVC operam em +5V. Não são mostradas as famílias ECL bipolares velozes (e com alto consumo de energia), operando apenas a 5 V: seus atrasos máximos de porta atingem 0,6 ns (família 10E), 0,44 ns (10EL) e 0,32 ns (10EP). Algumas famílias desenvolveram versões "aprimoradas", por exemplo LVCÿLVCE, que opera até 1,4 V e é 30% mais rápida em baixas tensões de alimentação. Consulte também a Figura 10.22 e §10.2.3.

em direção ao micropower VLSI que é acionado por aplicativos alimentados por bateria.

Encerramos nosso breve histórico com algumas recomendações.

• Para circuitos lógicos simples que são fáceis de montar em um protoboard e onde a velocidade cega não é necessária (nem desejada), use a lógica 74HC ou 74HCT (a última para compatibilidade com os sinais existentes de "nível TTL" ou com sinais vindos da lógica de baixa tensão, por exemplo, alimentado por +3,3 V); você pode substituir 74AC/74ACT/74ACTQ se precisar de velocidade extra, mas cuidado com o salto no solo.

• Para sistemas de baixa tensão contendo microcontroladores ou outros CIs complexos, onde alguma lógica de colagem rápida é necessária, use uma família universal como 74LVC, lembrando que está disponível apenas em pacotes de montagem em superfície; essas famílias são úteis também para sistemas com vários volts de alimentação lógica idades.

• Se você precisar conduzir saídas de 5 V (por exemplo, LEDs brancos ou relés de estado sólido) de um sistema de baixa tensão, use 74HCT

• para dados seriais rápidos e sinais de clock, use drivers diferenciais LVDS (ou PECL de baixa tensão, "LVPECL"), receptores ou SERDESs (serializador-desserializador).

• Escolha a lógica 4000B/74C mais antiga, onde a faixa de tensão de alimentação estendida é necessária e a velocidade não é importante (por exemplo, um dispositivo portátil alimentado por uma bateria não regulada de 9 V).

• Finalmente, use ICs VLSI (cPLDs, microcontroladores, ASSCs) em vez de lógica discreta – isso reduz a contagem de pacotes e a complexidade da fiação e adiciona flexibilidade.

12.1.2 Características de entrada e saída

As famílias de lógica digital são projetadas para que a saída de um chip possa acionar adequadamente muitas entradas dentro da mesma família lógica, alimentadas pela mesma tensão de alimentação. Uma capacidade típica de fan-out é de pelo menos 10 cargas, o que significa que uma saída de um portão ou flip-flop, por exemplo, pode ser conectada

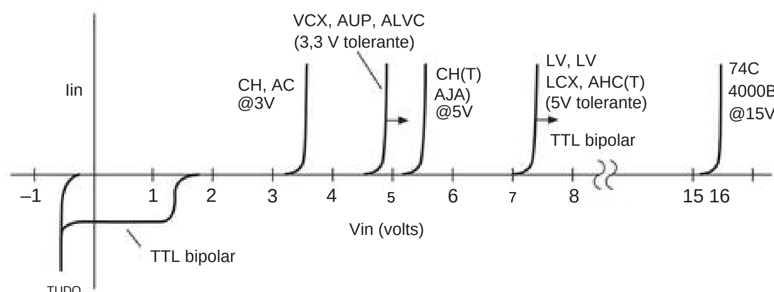


Figura 12.4. Corrente de entrada da porta lógica versus tensão de entrada. Com exceção do "TTL" bipolar, não há corrente de entrada estática dentro da faixa normal de tensão de entrada. Todas as famílias lógicas incluem diodos internos de proteção para terra. Algumas famílias (por exemplo, 74HC) prendem-se à alimentação positiva e, portanto, consomem corrente de entrada quando a tensão do sinal de entrada excede uma queda de diodo acima de V+. Famílias mais recentes (por exemplo 74LVC ou 74AUP) usam proteção interna do tipo zener e permitem entradas bem acima da tensão de alimentação; estes são chamados de "tolerantes a 5 V" ou "tolerantes a 3,3 V" (por exemplo, LVC e AUP, respectivamente) e permitem tais entradas mesmo quando não alimentados (uma situação em que um dispositivo lógico 74HC travaria em +0,6 V ou, pior, fazer com que a entrada HIGH alimente parcialmente o trilho de alimentação).

a 10 entradas e ainda funcionar dentro das especificações.2 Em outras palavras, na prática normal de design digital, você pode passar sem saber nada sobre as propriedades elétricas dos chips que está usando, desde que seu circuito consista apenas em lógica digital conduzindo mais lógica digital do mesmo tipo. Na prática, isso significa que muitas vezes você não precisa se preocupar com o que realmente está acontecendo nas entradas e saídas lógicas.

No entanto, assim que você tentar acionar um circuito digital com sinais gerados externamente, sejam digitais ou analógicos, ou sempre que usar saídas lógicas digitais para acionar outros dispositivos, você deve enfrentar a realidade do que é necessário para acionar uma entrada lógica e o que uma saída lógica pode controlar. Além disso, ao misturar famílias lógicas, ou quando você tem lógica funcionando entre diferentes tensões de alimentação, é essencial entender as propriedades do circuito de entradas e saídas lógicas. A interface entre famílias lógicas não é uma questão acadêmica. Para aproveitar os chips VLSI avançados, ou funções especiais que estão disponíveis em apenas uma família lógica, você deve saber misturar tipos de lógica e tensões. Nas próximas subseções, consideraremos as propriedades do circuito de entradas e saídas lógicas em detalhes, com exemplos de interface entre famílias lógicas e entre dispositivos lógicos e o mundo externo.

A. Características de entrada

Os gráficos nas Figuras 12.4 e 12.5 mostram as propriedades importantes das entradas lógicas digitais: corrente de entrada e tensão de saída (para um inversor) como funções da tensão de entrada. Estendemos os gráficos para tensões de entrada além da faixa normalmente encontrada em circuitos digitais, porque em situações de interface os sinais de entrada podem facilmente exceder as tensões de alimentação. Como os gráficos indicam, a lógica CMOS e o TTL bipolar são normalmente operados com o pino de alimentação negativo conectado ao terra.

Corrente de entrada (Figura 12.4)

Atualmente, a maior parte da lógica é construída com CMOS, onde as entradas não consomem corrente (exceto para corrente de fuga, normalmente 10-5 A) para tensões de entrada entre o y terra e a tensão de alimentação.3 Para tensões além da faixa de alimentação, a proteção de entrada a rede se parece com um diodo de fixação ao terra e um diodo para V+ (por exemplo, a família 74HCT) ou um grampo do tipo zener que permite oscilações de entrada além da alimentação positiva (por exemplo, a família 74LVC "tolerante a 5 V") ; consulte as Figuras 12.3 e 12.4 para obter mais detalhes. Correntes momentâneas superiores a 20–50 mA através desses diodos danificarão ou destruirão a peça, em alguns casos causando o que é conhecido como "latchup SCR" (§10.8.3B); você encontrará tais limites listados na seção "Absolute Maximum Ratings" das folhas de dados.

2 Para a lógica CMOS, que tem corrente de entrada CC zero, o carregamento excessivo apenas retarda as transições; nesse sentido, o fan-out é "infinito". No entanto, se você estiver conduzindo a lógica bipolar, há o problema adicional da corrente de entrada CC necessária (por exemplo, 1,6 mA para a família 74LS), que leva a um fan-out típico de 10.

3 Observe a peculiaridade do TTL bipolar quase obsoleto: uma entrada fornece uma corrente significativa (da ordem de 0,1–1 mA) quando mantida em nível BAIXO, mas extrai apenas uma pequena corrente quando está em nível ALTO (normalmente alguns microamperes, nunca mais que 20 A). Para conduzir uma entrada TTL, você deve ser capaz de diminuir y um miliampères ou mais enquanto mantém a entrada abaixo de 0,4 V. A falha em entender isso pode levar a um mau funcionamento generalizado do circuito em situações de interface!

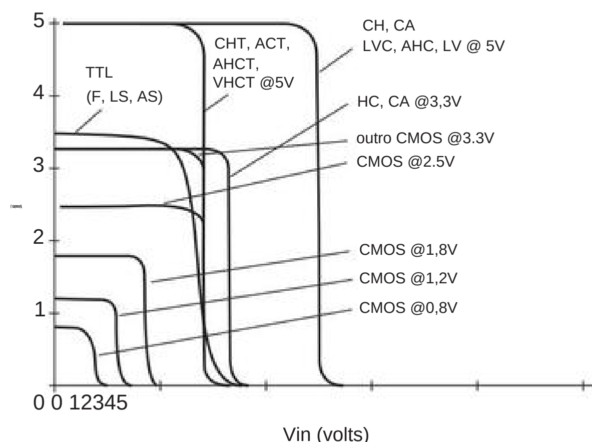


Figura 12.5. Saída versus entrada ("função de transferência") para lógica em inversores em famílias comumente usadas. Em geral, as famílias CMOS que funcionam com tensões de alimentação de 2,5 V ou menos têm seu limite na metade da alimentação. Em tensões mais altas, a maioria das famílias lógicas (e muitos outros chips mais complexos, como microcontroladores e lógica configurável) aderem à especificação de entrada "TTL", que garante que o limite esteja entre 0,8 V e 2,0 V (e normalmente é de 1,3 a 1,5 V).). As famílias HC/ AC e 4000B são exceções, com seu limite de rastreamento de suprimento V+/2 mais alto.

Limiar lógico (Figuras 12.5 e 12.6)

A tensão limite lógica (a linha divisória entre as entradas lógica BAIXA e ALTA lógica) depende tanto da família lógica quanto da tensão de alimentação (para famílias onde uma faixa de tensões de alimentação é permitida, como visto por exemplo na Figura 12.3). A autoridade final é sempre a folha de dados! Mas podemos ser úteis aqui.

- Numerosos dispositivos digitais aderem ao que é conhecido como "limites TTL", um legado da lógica bipolar da década de 1960: *V* < 0,8 V é garantido para ser interpretado como lógica BAIXA e *V* > 2,0 V é garantido para ser interpretado como lógica ALTO. (As tensões que você envia para tal dispositivo lógico devem ficar fora desses limites, para fornecer imunidade ao ruído; normalmente você forneceria um nível BAIXO abaixo de 0,4 V e um nível ALTO acima de 2,4 V.) A tensão limite real é tipicamente em torno de 1,35 –1.5 V.4 As famílias de dispositivos lógicos comuns com limites de entrada TTL (além das famílias TTL bipolares genuínas, como 74F, 74LS e 74AS) incluem as famílias 74HCT, 74ACT, 74AHCT e 74VHCT; o sufixo "T" significa a variante da família com limites de TTL (reduzidos), em comparação com o meio de fornecimento (V+/2) limiar das famílias não-T (74HC, 74AC, 74AHC, 74VHC). Curiosamente, muitos dispositivos digitais contemporâneos de alta complexidade, como lógica programável (Capítulo 11) e microcontroladores (Capítulo 15) continuam a aderir à especificação de limite de entrada TTL (BAIXO = 0,8 V ou menos, ALTO = 2,0 V ou mais) e os níveis de saída "TTL" correspondentes (BAIXO = 0,4 V ou menos, ALTO = 2,4 V ou mais).

- As entradas lógicas que não são do tipo "compatível com TTL" têm seus limites normalmente no meio da alimentação; isto é, em V+/2. Isso vale para as famílias CMOS mais antigas, por exemplo, 74HC e 74AC (que podem operar com tensões de alimentação de 2 V a 6 V) e as famílias de alta tensão 4000B/74C (que podem operar com tensões de alimentação de 3 V a 18 V). Geralmente também é válido para a maioria das famílias de baixa tensão mais recentes, como 74LVC e 74AUC. Observe, no entanto, que a tensão limite real para uma parte lógica com um "limiar de alimentação intermediária" pode variar consideravelmente: as especificações da folha de dados geralmente permitem uma faixa de cerca de um terço a dois terços de V+ *(V*+ é frequentemente chamado de VCC ou VDD).

B. Características de saída O circuito de saída dos dispositivos lógicos CMOS usa quase invariavelmente um par de MOSFETs complementares, um ON e outro OFF (Figura 12.1). A saída parece um MOS FET rON para o terra ou para V+ quando está dentro de um volt ou mais do respectivo trilho, tornando-se algo como uma fonte de corrente quando você consome tanta corrente que a saída é forçada a mais de um ou dois volts de distância dos trilhos de alimentação. Os valores típicos de rON são 30 ÿ para 74HC(T) operando em +5 V, 12 ÿ 74AC(T) operando em +5 V, 10 ÿ/15 ÿ (sink ing/sourcing) para 74LVC operando em 3,3 V e 200 ÿ para 4000B operando a 15 V.5

O circuito de saída dos dispositivos bipolar-TTL (uma espécie em extinção) usa um interruptor de transistor *npn* para o terra e um seguidor *npn* (ou Darlington) para V+ com um resistor limitador de corrente em seu coletor. Um transistor está saturado e o outro está desligado. Como resultado, um dispositivo TTL pode transferir uma grande corrente (8 mA para 74LS, 24 mA para 74F) para o solo com uma pequena queda de tensão (saturação), mas ao fornecer corrente

4 Medimos as tensões de limiar para uma amostragem de inversores de "limiar TTL" (conectando a saída de volta à entrada), e aqui está o que encontramos – 7404: 1,37 V; 74ACT04: 1,48 V; 74AS1004: 1,49 V; 74F04: 1,43 V; 74HCT04: 1,34 V; e 74LS04: 1,50 V.

5 Cuidado, no entanto, com algumas funções digitais "CMOS" (principalmente designs mais antigos que operam a partir de uma fonte de +5 V, por exemplo, alguns cPLDs e microcontroladores) onde o switch pullup do canal p é substituído por um seguidor de fonte do canal n: para nesses dispositivos a saída em estado ALTO não atinge a alimentação positiva; em vez disso, ele gira em torno de +3 V. Você pode reconhecer essas partes nas "Características DC" de sua folha de dados, que dirá algo como VOH(min)=2,4 V, os sinais reveladores de uma saída "TTL" herdada de imitação (onde um seguidor *npn* forma o pullup de saída).

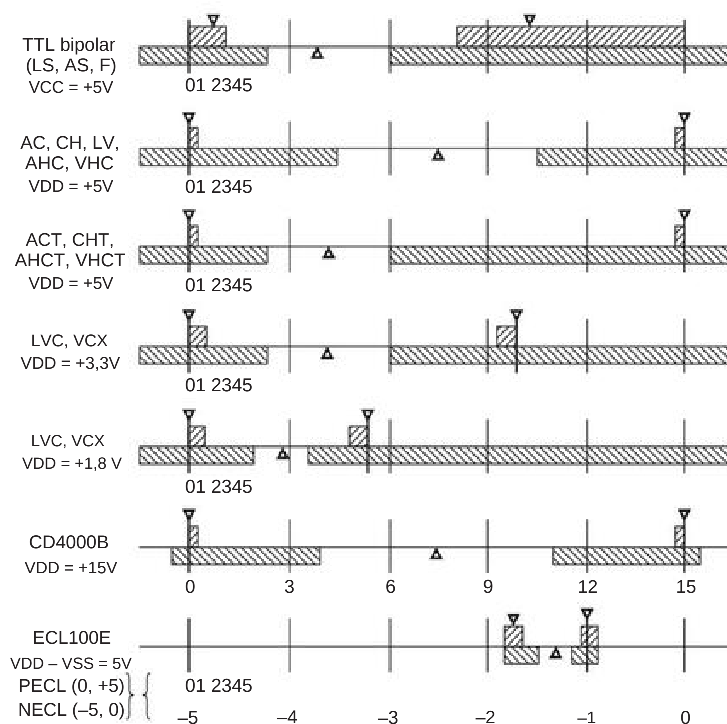


Figura 12.6. A faixa de tensões correspondente aos dois estados lógicos (ALTO e BAIXO) para famílias populares de lógica digital. As áreas sombreadas acima da linha mostram a faixa especificada de tensões de saída dentro das quais uma lógica BAIXA ou ALTA é garantida, com o par de setas indicando valores de saída típicos (BAIXO, ALTO) encontrados na prática. As áreas sombreadas abaixo da linha mostram a faixa de tensões de entrada garantidas para serem interpretadas como BAIXA ou ALTA, com a seta indicando a tensão limite lógica típica, ou seja, a linha divisória entre BAIXA e ALTA. Em todos os casos, uma lógica ALTA é mais positiva que uma lógica BAIXA. A Tabela 10.1 e a Figura 12.3 fornecem informações adicionais sobre essas famílias. Veja também a Figura 12.135.

sua saída HIGH será pelo menos 1,5 V abaixo da alimentação de +5 V (consulte as curvas 74AS e 74LS na Figura 12.7). O circuito de saída foi projetado para conduzir entradas TTL ou dispositivos com "especificações de entrada TTL" (<0,8 V garantido em BAIXO, >2,0 V garantido em ALTO) com fan-out de 10.

Na Figura 12.7, plotamos a tensão de saída típica para os estados de saída ALTO e BAIXO , em relação à corrente de saída, para uma seleção de famílias de lógica padrão populares. Para simplificar o gráfico, a corrente de saída é sempre desenhada como positiva. Observe que os dispositivos CMOS verdadeiros (isto é, um par complementar de interruptores push-pull nMOS e pMOS) puxam suas saídas até V+ ou terra, gerando uma oscilação total, a menos que estejam fortemente carregados; portanto, ao acionar apenas cargas CMOS (corrente CC zero), o balanço é totalmente trilho a trilho. Os níveis de TTL bipolar, em comparação, são tipicamente 50–200 mV (BAIXO) ou +3,5 volts (ALTO) ao acionar outros dispositivos TTL como cargas. Com um resistor pull-up (discutido posteriormente), as saídas HIGH TTL vão até +5 volts. Também plotamos dois exemplos de drivers de portão MOSFET, que aceitar uma entrada de nível lógico compatível com TTL e usar um estágio de saída CMOS de alta corrente para gerar uma oscilação de saída entre o solo e uma fonte VDD positiva escolhida ; para a série TC4420 que pode variar de +4,5 a 18 V, enquanto para a série IXDD509 a faixa é de +4,5 a 30 V. de

microcontroladores (Capítulo 15). Portanto, você realmente precisa saber o que suas saídas podem fazer, em termos de acionamento de cargas externas. A Figura 12.8 mostra as características do drive de saída de vários PLDs populares (Altera MAX7000A, Lattice Mach 4000, Xilinx Coolrunner-II) e microcontroladores (Atmel ATmega, Mi crochip PIC16F, TI MSP430). Todos eles usam CMOS verdadeiro

[6] Observe, no entanto, que os drivers MOSFET não operam em velocidades lógicas completas: embora seu tempo seja geralmente especificado na grande característica de carga capacitiva dos MOSFETs de potência, você geralmente está olhando para atrasos de propagação na vizinhança de 10–25 ns ou mais (a ser comparado com tpdÿ2 ns para famílias de lógica padrão como 74LVC).

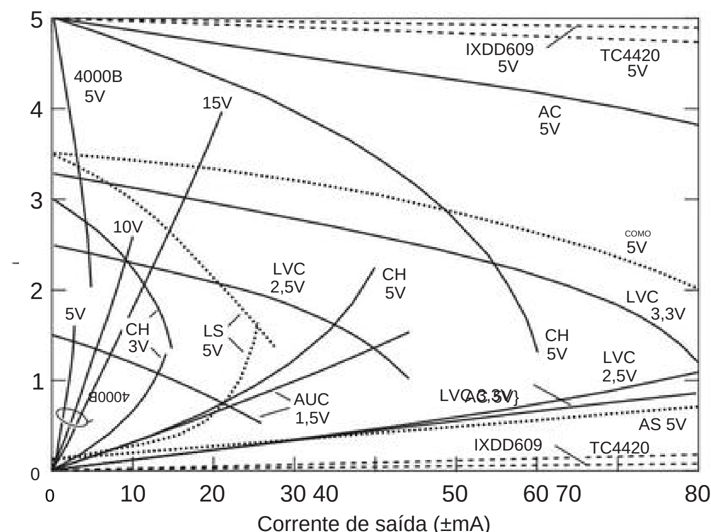


Figura 12.7. Características de saída da porta lógica. As famílias 74LS e 74AS são TTL bipolares de 5 V, com pullup do seguidor *npn* , daí a saída de ~3,5 V HIGH . Todos os outros são verdadeiros CMOS, com balanço de saída rail-to-rail. O TC4420/MCP1406 e o IXDD609 são "driver MOSFET" ICs, com saídas CMOS robustas que podem fornecer ou consumir até 6 A e 9 A, respectivamente; eles quase nem percebem uma carga de 80 mA.

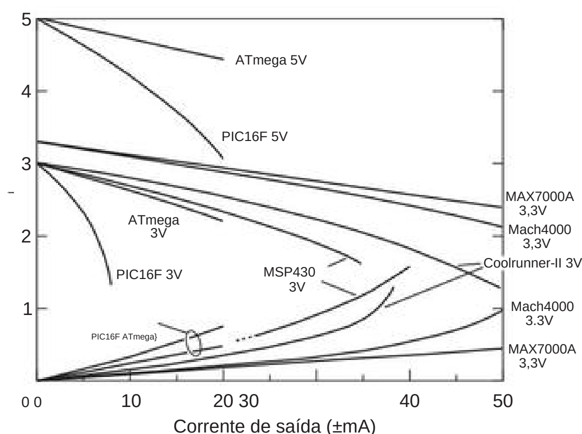


Figura 12.8. Características da unidade de saída de PLDs e microcontroladores selecionados.

saídas com oscilação de tensão rail-to-rail. Como fica evidente no gráfico, no entanto, nem todos os estágios de saída do CMOS são criados iguais.

12.1.3 Interface entre famílias lógicas

É importante saber fazer com que diferentes famílias lógicas conversem entre si, pois existem situações em que você deve misturar tipos de lógicas, ou partes de lógicas que funcionam a partir de diferentes tensões de alimentação. Em uma situação típica, você pode querer usar uma saída de um microcontrolador rodando em +2,5 V para acionar um inversor de porta única de 5 V, de modo que a saída final de oscilação total de 5 V possa acionar um relé mecânico de 5 V ou um relé de estado sólido (SSR) ou um LED branco. Ou você pode querer ir por outro caminho: uma saída lógica de 5 V full-swing precisa chegar a uma parte de baixa tensão operando em 1,8 V.

As três coisas que podem impedir que você conecte qualquer par de chips lógicos juntos são (a) nível lógico de entrada em compatibilidade, (b) capacidade de unidade de saída e (c) tensões de alimentação. Em vez de aborrecê-lo com páginas de regras e explicações sobre o que funciona e o que não funciona, reduzimos o problema da interface a um conjunto simples de métodos recomendados (Figura 12.9). Vamos fazer um tour rápido.

A. CMOS na mesma voltagem

Você sempre pode fazer uma conexão lógica direta entre dispositivos lógicos CMOS rodando na mesma voltagem de alimentação. A saída é full-swing e, portanto, conduz alegremente outro dispositivo CMOS, independentemente da tensão limite específica do último.

B. "Lógica de 5 V" conduzindo CMOS de baixa voltagem O CMOS rodando a partir de 5 V pode ser conectado diretamente ao que é chamado de lógica "tolerante a 5 V" (por exemplo, a família 74LVC) rodando em uma voltagem de alimentação mais baixa. Como mostrado aqui, os dispositivos de nível de saída CMOS (com sua saída full-swing) ou "TTL" (incluindo TTL bipolar verdadeiro ou ICs com pullups de seguidor nMOS, ambos com uma saída de estado ALTO de aproximadamente 3,5 V) satisfazem os requisitos de tensão de entrada

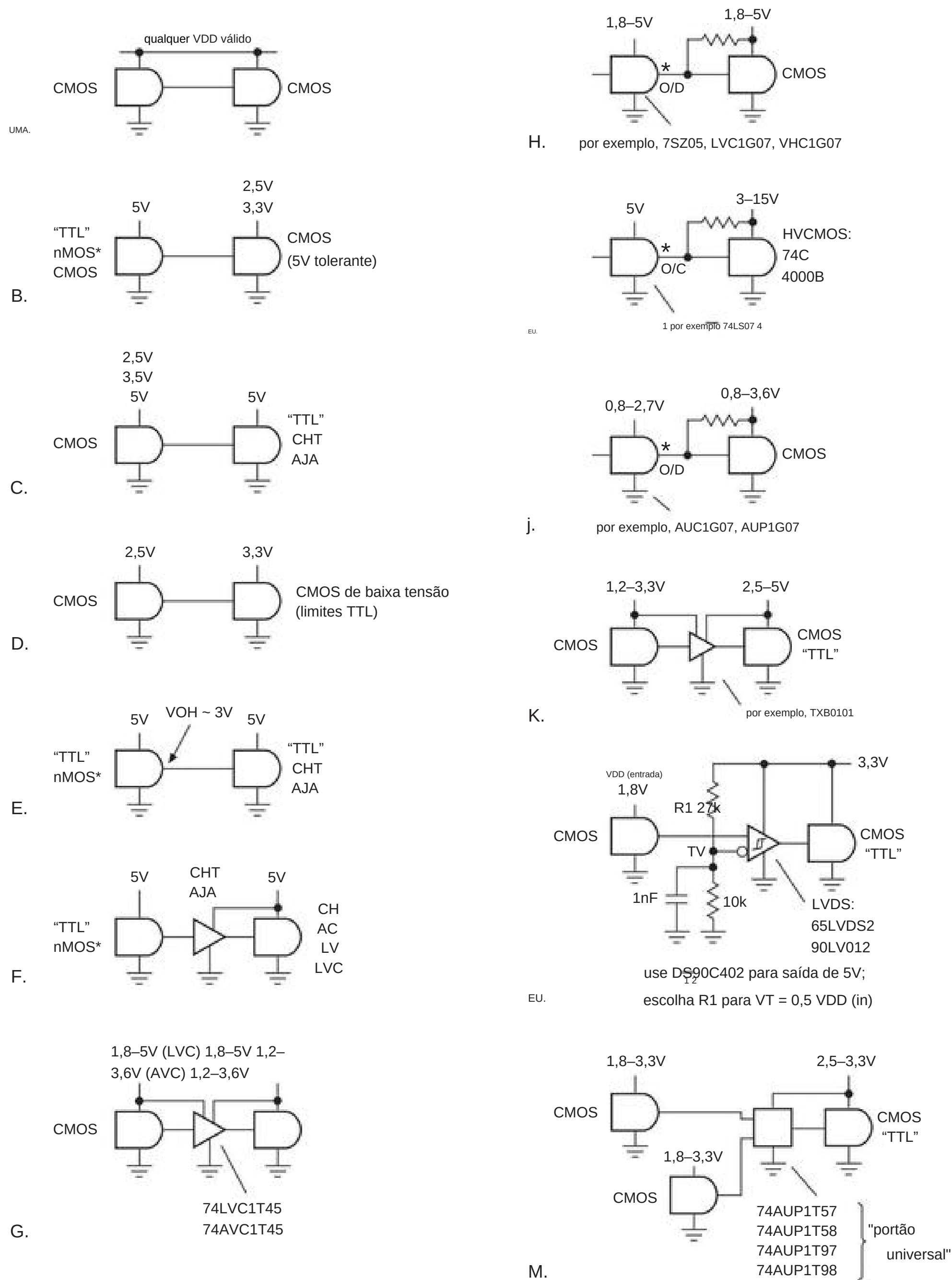


Figura 12.9. Interconexões da família lógica. Ver texto para narrativa.

de CMOS tolerante a 5 V rodando a partir de tensões de alimentação na faixa de 2,5–3,3 V. Há também a família de tradução de nível 74LV1T, que pode fazer tanto "translação descendente" (como aqui) quanto "translação ascendente" (como em C).

C. CMOS de baixa tensão conduzindo a lógica de 5 V Você pode conduzir a lógica de "entrada TTL" (limite reduzido) de 5 V diretamente das saídas CMOS que oscilam pelo menos até 2,5 V, conforme mostrado. Além das partes TTL bipolares verdadeiras, algumas

As famílias CMOS de 5 V (como 74HC, 74AC, 74AHC, 74VHC) incluem variantes de limite TTL (74HCT, 74ACT, 74AHCT,[7] 74VHCT). Há também a família de tradução de nível 74LV1T.

D. CMOS a 2,5 V conduzindo CMOS a 3,3 V
Quase todas as famílias de CMOS que podem operar em tensão de alimentação de 3,3 V têm níveis de entrada compatíveis com TTL (<0,8 V garantido como BAIXO, >2,0 V garantido como ALTO), portanto, é seguro conduzi-los da saída full-swing do CMOS alimentado por 2,5 V.

E. "Saídas TTL" de 5 V acionando a lógica de 5 V com limite reduzido Para acionar a lógica alimentada por 5 V, essas saídas – BAIXA perto de 0 V, mas ALTA apenas ÿ3,5 V (e garantidamente apenas >2,4 V) – devem ser emparelhado com entradas compatíveis com TTL; que o limita a verdadeiros TTL bipolares de 5 V (por exemplo, 74F) ou a famílias lógicas CMOS de 5 V (ou chips digitais de 5 V mais complexos) com entradas compatíveis com TTL (74ACT, 74HCT, 74AHCT, 74VHCT).

F. 5 V "saídas TTL" conduzindo lógica de 5 V incompatível
Se você está preso com a lógica normal de limiar de 5 V (ou seja, limite antigo em VDD/2, ou ~2,5 V), você pode usar um buffer CMOS ou inversor com TTL limiares (74HCT, etc) para converter a oscilação TTL em um sinal de oscilação total de 5 V. Observe também que você pode usar uma parte do tradutor de nível especial como o 74LVC1T45 (Figura 12.9G).

G. Tradutor de nível de alimentação dupla: 1,8–5 V e 1,2–3,6 V
Existem alguns bons chips projetados especificamente para tradução de nível lógico entre um par de tensões de alimentação. O 74LVC1T45 de alimentação dupla permite que você traduza entre os níveis lógicos alimentados de 1,8 V a 5 V em ambos os lados (é, de fato, bidirecional, controlado por uma entrada de pino DIR, assim como o clássico buffer bidirecional de 8 bits estilo '245). A tensão mais baixa 74AVC1T45 é semelhante, mas opera de 1,2 V a 3,6 V em ambos os lados. Você também pode obter essas peças em duplas (LVC2T45, AVC2T45). Observe, no entanto, que a parte LVC, quando operada a 5 V em seu lado de entrada, possui um limite de entrada de "alimentação intermediária" (BAIXO <1,5 V garantido, ALTO >3,5 V) e, portanto, não pode ser acionado a partir de uma saída TTL (com a saída HIGH garantida apenas como ÿ2,4 V). Veja também o tradutor de suprimento duplo TXB0101 (Figura 12.9K).

[7] Por exemplo, o 74AHCT1G125 é útil para converter um sinal lógico de 3,3 V em uma oscilação de saída necessária de 5 V; ele vem em pacotes convenientes SOT23-5 ou SC70-5 e custa menos de US$ 0,10.

H, I, J. Dreno aberto e coletor aberto Você pode traduzir para cima ou para baixo no nível de tensão com um buffer de dreno aberto (ou coletor aberto), embora você pague um preço em velocidade e corrente quiescente com o resistor pull-up passivo (o valor do resistor é um compromisso – menor é mais rápido, mas usa mais energia). A Figura 12.9H mostra a tradução entre os níveis lógicos na faixa de 1,8 a 5 V em ambos os lados, usando buffers de porta única '07 nas famílias lógicas de ampla faixa de tensão (7SZ, 74LVC, 74VHC), que suportam operação de 5 V e aceitam pullup de saída para 5 V. Se você deseja uma oscilação de saída maior, pode usar o coletor aberto de alta tensão 74LS07 (Figura 12.9I), que permite aumentar a saída para +15 V.
E se precisar converter tensões lógicas muito baixas, você pode usar um 74AUC1G07 ou 74AUP1G07 (Figura 12.9J), que opera até níveis lógicos de entrada tão baixos quanto 0,8 V.

K. CMOS de baixa tensão conduzindo a lógica de 2,5–5 V O TXB0101 é outro conversor de alimentação dupla (como o LVC/AVC1T45 na Figura 12.9G), mas tem algumas peculiaridades. Primeiro, VDD(B) (o suprimento à direita na figura) não pode ser menor que VDD(A). Em segundo lugar, é bidirecional (como o 1T45), mas não possui entrada de controle DIR; em vez disso, ele detecta transições em ambos os lados, respondendo ligando brevemente os drivers CMOS da porta oposta e, em seguida, mantendo esse estado fracamente (resistor de saída em série de ~4k) com feedback positivo (útil para debouncing de comutação, Figura 12.16).

L. CMOS de tensão muito baixa para lógica de 3,3 V ou 5 V Aqui está um bom truque: um receptor LVDS aceita um par de sinal digital diferencial, dentro de uma faixa de modo comum de 0 V a +2,4 V e com comutação garantida para uma entrada colocar amplitude de 200 mV. A saída (single-ended) é CMOS full swing, alimentada de 2,5–3,3 V (por exemplo, 65LVDS2) ou de 5 V (DS90C402, DS90C032). Assim, você pode induzi-lo a trabalhar para você como um tradutor de nível, fornecendo um nível CC de referência a meio caminho entre os estados lógicos (com um pequeno capacitor de desvio) para a entrada não utilizada. Isso funcionará com oscilações lógicas de entrada muito baixas, por exemplo, tão pequenas quanto 0,5 V, onde nenhum dos outros tradutores de nível se atreve a pisar. Os chips de interface LVDS também são *rápidos,* geralmente especificados para taxas de dados de 400 Mbps, com atrasos de propagação típicos <2 ns.

M. Tradutor CMOS de baixa voltagem com lógica configurável As elegantes portas "universais" que mencionamos no Capítulo 10 (§10.2.1A) podem ser usadas para executar alguma lógica durante a tradução através de domínios lógicos de tensão. Quando usado dessa forma, o portão funciona a partir de uma única fonte em comum com a lógica do lado da saída (que pode variar de 2,5 a 3,3 V), aceitando entradas da lógica que podem ser alimentadas de várias maneiras

de 1,8 a 3,3 V. Essas portas têm entradas Schmitt-trigger, com cerca de 0,4 V de histerese centrada no limite de aproximadamente 0,7 V.

A. Incompatibilidade dinâmica: taxas de borda lentas

Aqui está um problema que às vezes surge quando você aciona uma entrada de lógica digital rápida com um sinal digital que não passa pelo limite rápido o suficiente: a saída de comutação abrupta do dispositivo acionado pode acoplar de volta para a entrada (através da conexão do terra ou da fonte de alimentação, ou internamente no próprio chip, ou apenas capacitivamente), causando múltiplas transições de saída, como visto nos traços medidos da Figura 12.10. Para encorajar esse comportamento impróprio, usamos um inversor de coletor aberto (OC) 74LS05 com um pullup preguiçoso de 5k ÿ para +5 V, acionando um portão 74AC04 frenético . inversor muda furiosamente sua saída.

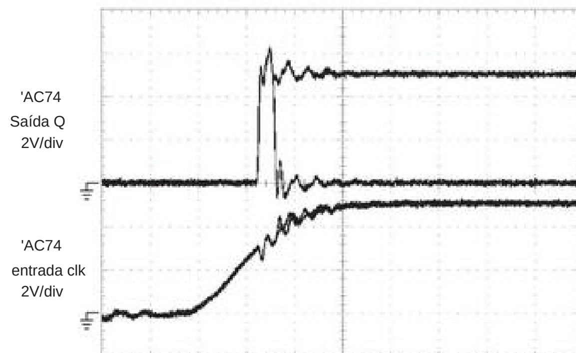


Figura 12.11. A borda de subida lenta de uma porta CD4001B, carregada com 27 pF (um valor típico de fiação e capacitância de carga), cronometra um flip-flop de alternância 'AC74 rápido. A persistência do osciloscópio exibe vários eventos de clock, alguns mais bem-sucedidos do que outros.
Horizontal: 20 ns/div.

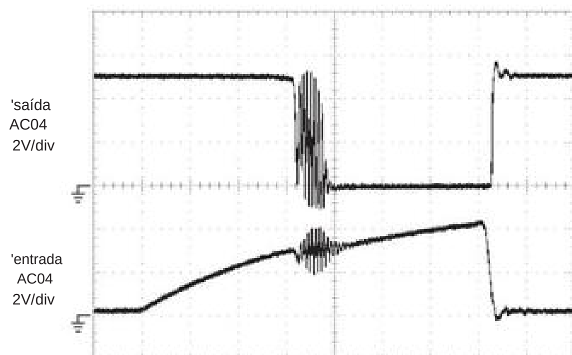


Figura 12.10. A "borda" ascendente relativamente lenta de um inversor de coletor aberto 'LS05 com pullup de 5k ÿ (traço inferior) aciona um inversor 'AC04 rápido, causando múltiplas transições de saída. A borda de fuga não apresenta comportamento ruim, porque a borda de queda do coletor aberto é rápida. Horizontal: 40 ns/div.

Múltiplas transições de saída podem ser meramente feias; mas esse problema se torna devastador quando você está conduzindo entradas sensíveis à borda (por exemplo, a entrada de clock de flip-flops ou contadores). Um flip-flop pode falhar ao alternar; ou um contador ou registrador de deslocamento pode cronometrar várias vezes em cada borda. Para ilustrar esse efeito, direcionamos a entrada de clock de um flip-flop tog gling 74AC74 da saída de onda quadrada de uma porta NOR CD4001B , com ambos alimentados por +5 V (e com um pulso de reset aplicado ao flip-flop antes próximo relógio). FIG

Figura 12.11 mostra o resultado confuso: às vezes o flip-flop alterna corretamente, mas às vezes ele alterna duas vezes em rápida sucessão.

A lição é clara: não use arestas lentas para cronometrar lógica rápida. Às vezes é suficiente limpar o sinal incorreto com um inversor Schmitt-trigger, disponível na maioria das famílias lógicas como um '14 (por exemplo, 74LVC14). A Figura 12.12 mostra as formas de onda da mesma configuração da Figura 12.10, mas com um 74AC14 (inversor com Schmitt) substituído pelo 74AC04 (inversor sem Schmitt). Melhor ainda, fique completamente longe de bordas lentas.

Você pode se deparar com o mesmo tipo de problema ao enviar sinais digitais entre placas de circuito, ou entre instrumentos, ou através de cabos, um importante conjunto de tópicos que discutiremos a seguir (§12.9).

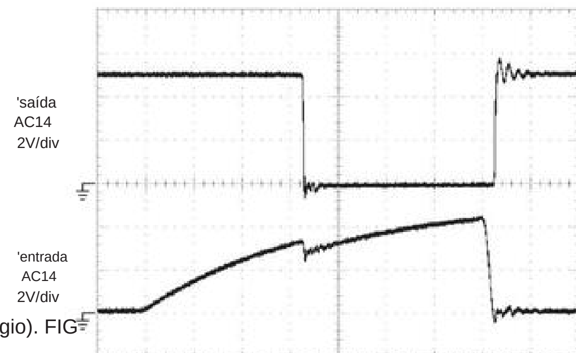


Figura 12.12. Igual à Figura 12.10, mas com o inversor 'AC04 substituído por um inversor 'AC14 Schmitt-trigger. A saída de comutação rápida se acopla à entrada, como antes, mas não o suficiente para levá-la de volta ao novo limite (inferior), graças à histerese de Schmitt. Horizontal: 40 ns/div.

[8] Descobrimos que a lógica 74AC e 74ACT é complicada, particularmente em energia de pino de canto e encarnações de solo empacotadas em DIP de passagem. Fique longe dessas coisas, a menos que precise de velocidade; e, em seguida, certifique-se de usar um plano de aterramento, mantenha os fios de aterramento curtos e faça o bypass próximo ao chip.

12.1.4 Conduzindo entradas lógicas digitais

A. Chaves como dispositivos de entrada É fácil controlar entradas digitais de chaves, teclados, comparadores, etc., se você tiver em mente as características de entrada da lógica que está usando. A maneira mais simples é gerar um nível lógico válido com um resistor pull-up ou pull-down (Figura 12.13). Com a lógica CMOS, qualquer um deles está bom, porque as entradas não consomem corrente e o limite está normalmente na faixa de *0,3VDD* a *0,5VDD.* Geralmente é mais conveniente aterrar um lado da chave, mas se o circuito for simplificado por ter uma entrada ALTA quando a chave estiver fechada, o método com resistor pull-down será perfeitamente OK. Tenha cuidado, no entanto, com TTL bipolar: suas entradas *fornecem* uma corrente substancial (por exemplo, uma família 74F em fontes de entrada de 0,6 mA quando mantidas em nível BAIXO), portanto, é melhor usar a configuração com um resistor pull-up e a chave de volta ao terra.

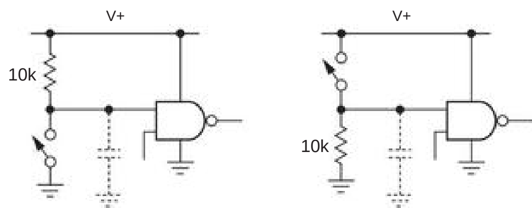


Figura 12.13. Interruptor mecânico para circuitos de nível lógico (não rebatido). Se a chave não estiver próxima da lógica, é comum ver um pequeno capacitor (ÿ100–1000 pF) usado para suprimir o ruído acoplado capacitivamente.

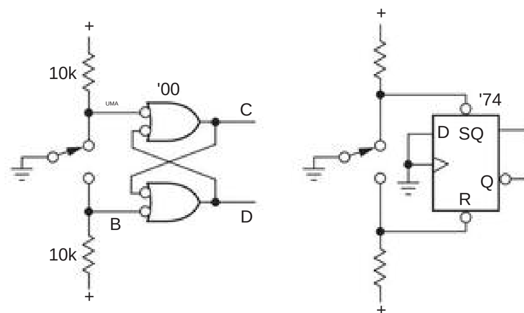


Figura 12.14. Debouncer do switch flip-flop SR, implementado com portas conectadas cruzadas ou com um flip-flop com entradas SET e RESET assíncronas.

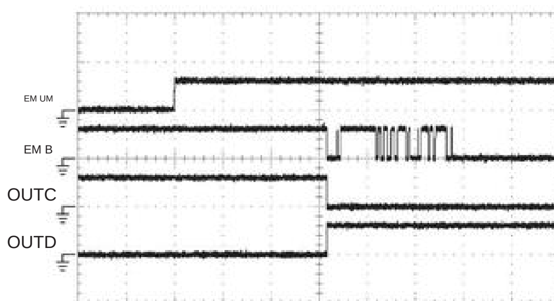


Figura 12.15. Formas de onda do debouncer da Figura 12.14, implementado com portas CMOS de 3 V ('HC00) e um botão de pressão C&K 8121 SPDT (single-pole double-throw). Observe o tempo de atraso desde a liberação do contato *A* até o primeiro fechamento do contato *B* , conforme a armadura da chave se move entre os contatos. Vertical: 5 V/div; horizontal: 100 ÿ s/div.

B. Retorno da chave

Como observamos no Capítulo 10, os contatos da chave mecânica geralmente exibem "ressalto" após o fechamento inicial, com escalas de tempo típicas de um milissegundo. Para comutadores fisicamente grandes, o salto pode durar até 50 ms. Isso pode causar estragos em circuitos que são sensíveis a mudanças de estado, ou "bordas" (um flip-flop ou contador alternaria muitas vezes se cronometrado diretamente de uma entrada de chave). Nesses casos, é essencial debounce o interruptor eletronicamente. Aqui estão alguns métodos:

- Use um par de portas para fazer um flip-flop *SR* do tipo jam. Use pullups nas entradas do debouncer, é claro (Figuras 12.14 e 12.15). Da mesma forma, você pode usar um flip flop com entradas SET e CLEAR (por exemplo, um '74); nesse caso, aterre a entrada de clock.
- Use um buffer não inversor em loop de volta em sua entrada para fazer um circuito "guardião" de travamento, como na Figura 12.16. Um buffer ou porta não inversora (por exemplo, '1G34, '08 ou '32) com sua saída em loop de volta funciona bem. Os projetistas de circuitos tímidos incluem um resistor no caminho de realimentação (como mostrado) para limitar a corrente transitória momentânea quando a chave muda de estado; mas, confie em nós, você pode facilmente omiti -lo.[9] O TXB0101 (§12.1.3, Figura 12.9K) é um dos muitos chips de deslocamento de nível bidirecional "automático" que mantém seu estado, mas pode ser sobrecarregado por uma mudança de estado de cada lado.
- Use uma rede de desaceleração *RC* para acionar um gatilho CMOS Schmitt (Figuras 12.17 e 12.18). O filtro passa-baixo suaviza a forma de onda saltitante para que a porta Schmitt-trigger faça apenas uma transição. Uma constante de tempo *RC* de 1 ms a 10 ms geralmente é longa o suficiente. Este método não é

[9] É sempre bom substituir uma saída lógica colocando-a em curto para V+ ou terra, *desde que a duração seja mantida curta.* Neste circuito não há problema, pois a saída é forçada por apenas um retardo de propagação da porta, após o qual ela se mantém satisfeita no novo estado.

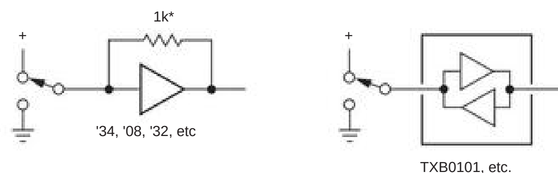


Figura 12.16. Alterne os debouncers usando um circuito "guardião" que mantém seu estado lógico quando a entrada não é acionada.

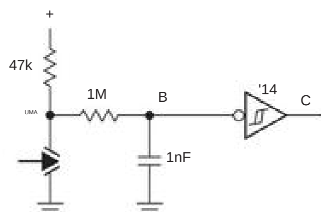


Figura 12.17. Debouncing de um interruptor SPST (single-pole single-throw) com um circuito de suavização *RC* e um inversor Schmitt trigger.

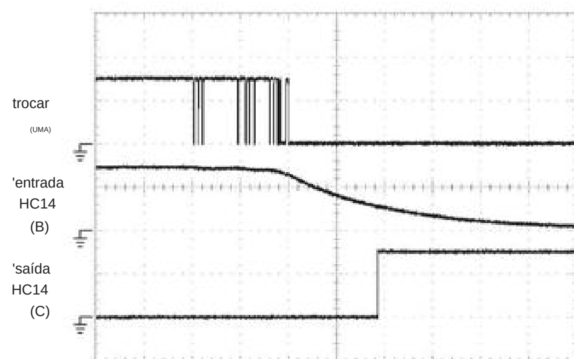


Figura 12.18. Formas de onda do debouncer da Figura 12.17, implementado com 3 V CMOS ('HC14) e um botão de pressão Microswitch 1PB13. Vertical: 2 V/div; Horizontal: 400 ÿ s/div.

adequado para TTL bipolar devido à baixa impedância de condução exigida pelas entradas TTL. • Use um circuito com clock que prove o nível de entrada de uma forma que não seja enganada pelo bounce. Uma maneira simples é cronometrar um flip-flop do tipo D com um período seguramente maior do que a duração do ressalto do switch, por exemplo, com uma frequência de clock de 100 Hz (Figura 12.19). Mas existem chips debouncers dedicados, por exemplo, o MAX6816-8 (debouncers simples, duplos e octais), que testam a transição para um estado estável por vários períodos de clock (com oscilador interno, contadores e lógica; efetivamente um digital filtro passa-baixo) e gerar uma saída debounced limpa; eles incluem resistores de pull-up internos, proteção de entrada para ±25 V e operação de 2,7 V a 5,5 V. Você apenas conecta seus interruptores SPST da entrada ao terra – nenhum componente externo é necessário (Figura 12.19). Uma peça semelhante é o debouncer hexagonal (6 seções) MC14490, que pertence à série CMOS 4000B e pode funcionar com tensões de alimentação de 3 V a 18 V; inclui pullups internos, mas requer um capacitor externo para definir a taxa de clock. Outra alternativa é o chamado chip de "supervisão da fonte de alimentação", que é normalmente usado para detectar quedas de energia (subtensão) e gerar um pulso de reinicialização limpa na restauração da energia (ou energização inicial). Muitos desses chips incluem uma entrada de redefinição manual, à qual você pode conectar um botão de pressão, seqüestrando-os para servir como um debouncer. • Utilizar um microcontrolador, com programação para realizar "software debounce" (Figura 12.20). A maioria dos microcontroladores inclui pullups internos; e um código simples (seja orientado por interrupção ou pesquisado) pode procurar por uma mudança estável de estado. Este é um método favorito usado por projetistas de circuitos para qualquer gadget que precise de um microcontrolador de qualquer maneira. • Use um dispositivo com debouncer integrado. Codificadores de teclado, por exemplo, são projetados com interruptores mecânicos em mente como dispositivos de entrada e geralmente incluem circuitos de debounce. Outro exemplo é mostrado na Figura 12.20, ou seja, um "potenciômetro digital" controlado por botão (uma cadeia de resistores internos, com seleção de derivação por meio de interruptores MOS FET). Cada pressionamento de um botão aumenta ou diminui o contador interno, portanto, deve ser livre de saltos. E isso é.

Alguns comentários gerais sobre interruptores como dispositivos de entrada: observe que os interruptores SPDT (às vezes chamados de "forma C") são necessários com os dois primeiros métodos (flip flop SR, circuito "guardião"), enquanto os interruptores SPST mais simples ("forma A ") pode ser usado com os outros métodos. Mantenha

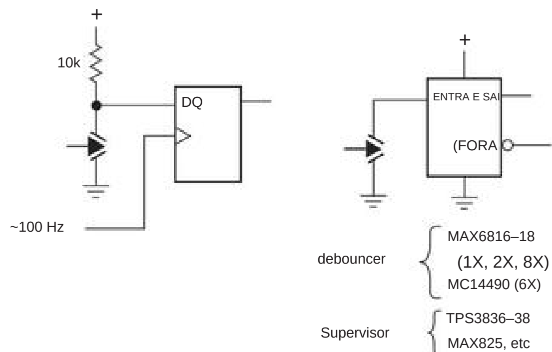


Figura 12.19. Debouncers cronometrados. O mais simples é um flip-flop *D* com clock lento. Existem métodos melhores, incorporados, por exemplo, em chips debouncers especiais, como o MAX6816-8 e MC14490, e em chips de "supervisão", como o TPS3836-8.

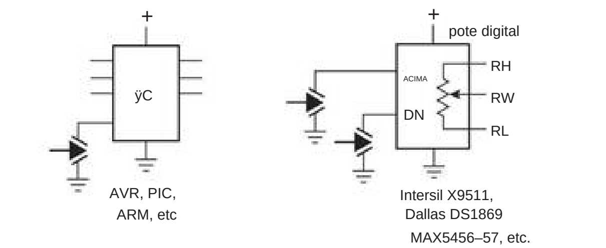


Figura 12.20. Debounce com ICs digitais complexos: um microcontrolador (C) pode usar ÿ "debounce de software"; e chips específicos de aplicativos que aceitam comandos de botão de pressão (como os potenciômetros digitais mostrados, com entradas PARA CIMA e PARA BAIXO) geralmente incluem circuitos pullup e de bounce internos.

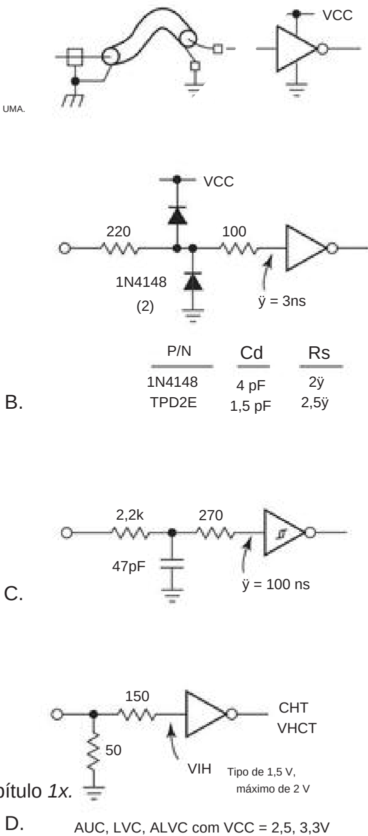


Figura 12.21. Protegendo entradas lógicas de transientes destrutivos: A. sem proteção; B. Pinça de diodo em VCC e terra, ou matriz de proteção ESD, com resistores limitadores de corrente em série; C. Filtragem *RC* mais entrada Schmitt-trigger; D. terminação do cabo e resistor em série, para diluir a energia transiente.

lembre-se, também, que muitas vezes não é necessário debounce as entradas do switch, uma vez que elas nem sempre são usadas para conduzir circuitos sensíveis à borda. Outro ponto: interruptores bem projetados geralmente são "autolimpantes" para manter uma superfície de contato limpa (desmonte um para ver o que isso significa), mas é uma boa ideia escolher valores de circuito para que uma corrente de pelo menos alguns miliamperes flui através dos contatos do interruptor para limpá-los. Com a escolha adequada de material de contato (por exemplo, ouro) e projeto mecânico, os interruptores podem ser projetados para evitar esse problema de "comutação a seco" e funcionarão adequadamente mesmo ao alternar a corrente zero. Mais sobre isso no Capítulo *1x.*

12.1.5 Proteção de entrada

Nestes exemplos de interface, assumimos que os sinais sendo aplicados às entradas lógicas são bem comportados – que eles não têm sobretensões transitórias ou outras tendências destrutivas. Isso nem sempre é o caso. Você pode ter muitos problemas com sinais vindos de fora, se montar um conector em uma caixa e conectá-lo casualmente à entrada de uma porta lógica (Figura 12.21A). Uma fonte comum de transientes é a carga estática que se acumula prontamente em tempo seco – aqueles estalos que você ouve quando tira uma jaqueta de lã sintética podem elevar o corpo a um quilovolt ou mais. Essa voltagem reside no capacitor humano (cerca de 100 pF) e pode voar para uma entrada de circuito quando você conecta um conector ou toca inadvertidamente em componentes em uma placa de circuito sem primeiro se descarregar no terra.

O problema é bem conhecido na indústria eletrônica, e os CIs são testados e avaliados quanto à sobrevivência quando submetidos a descargas eletrostáticas. Para este propósito, o corpo humano é modelado como mostrado na Figura 12.22. À maneira da "vaca esférica" do Físico, os Engenheiros Elétricos reduzem todos os humanos a um capacitor de 100 pF em série com um resistor de 1,5 kÿ,10 e usam isso para testar a robustez de seus CIs.

As tensões de carga usuais são de 1 a 2,5 kV, mas você vê ICs com classificação de até 15 kV; por exemplo, o driver-receptor serial RS-232 MAX3232E proclama "Proteção ESD para pinos de barramento RS-232 – ±15 kV (HBM)". A figura mostra o HBM (modelo do corpo humano) carregado fornecendo um pulso de corrente para a entrada de uma vítima de porta lógica, que deve sustentar uma corrente transitória de um amplificador ou mais. Essa corrente é presa aos trilhos de alimentação, mas a resistência interna do grampo permite que o pino de entrada vá dezenas de volts além do trilho (ou abaixo do solo, para um transiente negativo), fornecendo uma energia calculável a uma área muito pequena no o semicondutor morrer.

10 Padrão JEDEC JESD22-A114D, datado de 2006.

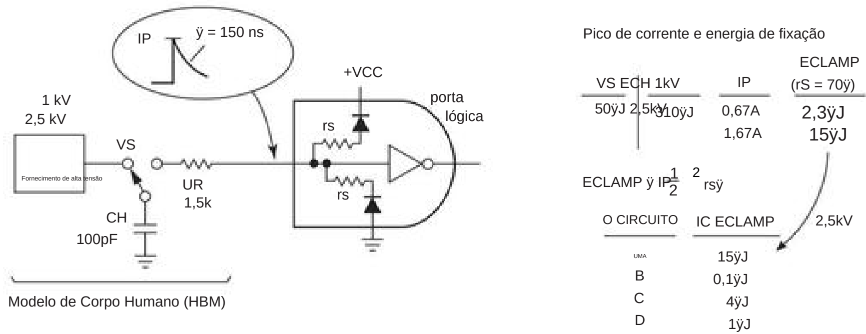


Figura 12.22. A visão do engenheiro elétrico sobre a biologia: o "modelo do corpo humano". Os ICs são testados e qualificados em tensões de 1 kV, 2,5 kV ou mais. A tabela lista os valores estimados de energia de grampo para os circuitos na Figura 12.21. Consulte também §3.5.4H.

ICs são classificados para lidar com isso. Mas muitos chips danificados atestam a sabedoria de adicionar proteção externa, especialmente se houver razão para esperar a exposição a altos níveis transitórios. Ou usuários inexperientes. Olhe novamente para a Figura 12.21. O circuito B é simples e eficaz. Diodos comuns como o onipresente 1N4148 têm mais área de junção do que grampos no chip, portanto, melhor ação de fixação; o resistor a montante limita a corrente do diodo, e o resistor a jusante, alimentado por essa tensão fixa, limita a corrente de entrada do chip. Você pode obter matrizes de diodos de fixação; estes às vezes incluem um zener, como na Figura 12.23, para proteger a lógica diferencial como LVDS ou RS-485.

O circuito C usa um filtro transiente *RC* para reduzir a corrente de entrada de pico. Para ser eficaz, a constante de tempo deve ser pelo menos comparável à escala de tempo transiente HBM, digamos 100 ns ou mais (e com uma resistência de entrada de pelo menos

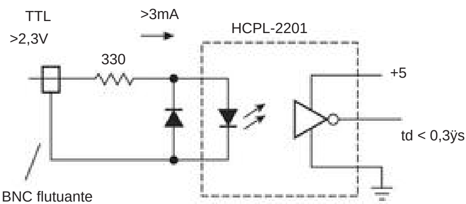


Figura 12.24. O máximo em isolamento: um optoacoplador. Isso é mais caro do que um arranjo de grampo de diodo, mas é garantido para manter as coisas ruins fora.

parábola para o valor HBM de 1,5 k) e, portanto, deve ser seguido por uma entrada Schmitt-trigger. O circuito D adota uma abordagem diferente: ele combina uma terminação combinada para cabo coaxial de 50 ÿ (consulte o Apêndice H e §12.10) com um resistor em série maior, formando um "divisor de corrente". Isso dilui a corrente de entrada transiente do chip por um fator de 4 (para os valores mostrados), que é uma redução de 16× da energia transiente; e há uma redução adicional de 2× a 5× porque a energia diluída é compartilhada entre o resistor de 150 ÿ e a resistência dinâmica do chip durante a sobretensão. Na Figura 12.22, estimamos a energia transitória fornecida para cada um desses métodos, comparada com o valor estimado de 15 J para um ÿ de HBM 2,5 kV sem proteção.

Finalmente, para o máximo em proteção, use um isolador lógico de optoacoplador, como na Figura 12.24. Não há nenhuma conexão galvânica (observe o conector BNC flutuante), e essas coisas podem resistir a potenciais de muitos quilovolts (veremos isso mais adiante no capítulo, em §12.7). Observe o resistor limitador de corrente e o diodo de proteção reversa; o último é freqüentemente omitido por engano.

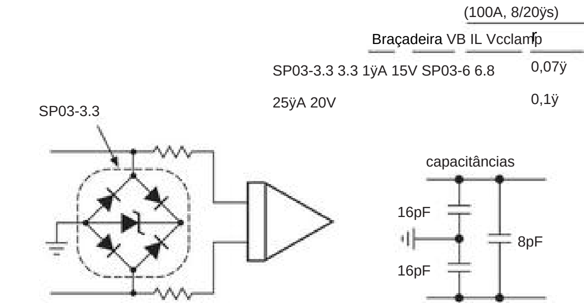


Figura 12.23. Matrizes de proteção de diodo, como esta da Littel fusível, permitem que você grampeie entradas simples ou diferenciais, com impedância de grampeador muito baixa. O zener interno define a tensão de fixação. Você pode obter matrizes de proteção de corrente mais baixa com capacitância muito baixa, por exemplo, o CTLTVS5-4 de 5 volts do duto Central Semicon: ele tem um máximo de 0,8 pF para o terra (e 0,4 pF linha a linha) a zero volts, uma classificação de corrente de pico de 2,5 A e inclui duas pontes de proteção em um único pacote SMT.

12.1.6 Alguns comentários sobre as entradas lógicas

A. Pullups e pulldowns A lógica digital mais contemporânea é CMOS, com corrente de entrada essencialmente zero. Portanto, mesmo um pullup fraco (ou pull-down)

a corrente é adequada para trazer a entrada totalmente para V+ (ou para o terra).[11] Cuidado, porém, com o acoplamento de transientes capacitivos a tal entrada, por exemplo, de um interruptor de painel com fiação que trafega próximo a linhas de transporte de sinal. Nesse caso, é uma boa ideia adicionar um capacitor de bypass pequeno (ÿ1 nF) próximo à entrada lógica de alta impedância. No caso de ICs digitais complexos (microcontroladores, FPGAs e outros produtos padrão específicos de aplicativos), é comum ver pullups internos para entradas que podem vir de switches, portanto, nenhum resistor pullup ou pulldown é necessário (embora você possa querer para adicionar um pequeno capacitor de bypass para suprimir transientes acoplados).

B. Overdrive de entrada

As entradas de lógica digital incluem proteção contra sobretensão, geralmente na forma de um diodo de fixação para o terra, e um diodo de fixação para V+ ou um grampo do tipo zener (para dispositivos com tolerância de entrada além de sua tensão de alimentação) .

As classificações da folha de dados "Absolute Maximum" informam os limites do que você pode obter (por exemplo, dispositivos 74LVC especificam ÿ0,5 V< Vin < 5,5 V, independentemente da tensão de alimentação: eles são "5 V tolerantes."). No entanto, muitas vezes é a corrente de entrada *que* causa o dano, o que está devidamente anotado na mesma tabela: "Os valores nominais de tensão negativa de entrada e saída podem ser excedidos se os valores nominais de corrente de entrada e saída forem observados." E o último (corrente do grampo de entrada, corrente do grampo de saída) é especificado, neste caso, como -50 mA, máximo. Embora seja um bom gesto manter as tensões do drive de entrada dentro dos limites especificados, não há problema em ir além se você tiver alguma impedância em série para limitar a corrente, como mostramos na Figura 12.21.

C. Entradas não utilizadas

As entradas não utilizadas que afetam o estado lógico de um chip (por exemplo, uma entrada RESET de um flip-flop) devem, obviamente, ser vinculadas a ALTO ou BAIXO, conforme apropriado. Talvez menos óbvio, mesmo as entradas que não têm efeito (por exemplo, entradas de seções de portas não utilizadas no mesmo pacote) devem ser vinculadas a HIGH ou LOW (sua escolha), porque uma entrada aberta para um dispositivo CMOS pode flutuar até o limite lógico, fazendo com que a saída vá para o meio da oferta tensão, com ambos os transistores de saída MOS conduzindo, consumindo assim considerável corrente de classe A. Isso pode resultar em corrente de alimentação excessiva e até mesmo levar à falha em dispositivos com estágios de saída pesados. Também pode causar oscilação.

[11] No entanto, esteja ciente de que os dispositivos TTL bipolares não são tão amigáveis: suas entradas fornecem uma corrente significativa (até um miliamperes) no estado BAIXO e drenam uma corrente pequena (mas diferente de zero) (até algumas dezenas de microamperes) no estado BAIXO. estado ALTO . Devido a essa assimetria, os sinais digitais externos usados como entradas quase sempre terão um resistor pull-up e puxarão para BAIXO (corrente de afundamento) quando ativos, um arranjo conveniente porque as chaves, etc., podem usar um retorno de aterramento comum. Também leva a uma maior imunidade a ruídos, já que uma linha próxima ao bipolar V+ de +5 V tem 3 V de imunidade a ruídos, em comparação com ~0,8 V de imunidade a ruídos de uma linha próxima ao solo.

12.1.7 Acionamento da lógica digital de comparadores ou amplificadores operacionais

Comparadores (e às vezes amplificadores operacionais), juntamente com conversores analógico-digitais, são os dispositivos de entrada comuns pelos quais os sinais analógicos podem interagir com os circuitos digitais (lembre-se de §4.3.2). Se o seu circuito tiver um microcontrolador ("Cÿ" Capítulo 15), você pode aproveitar os ADCs ou comparadores integrados, que são recursos comuns da maioria dos Cs. ÿ

Mas às vezes você vai querer ir de uma saída de comparador (ou amplificador operacional) diretamente para a lógica digital. Isso não é muito difícil – mas você deve respeitar a faixa de entrada de tensão permitida da lógica acionada. Vejamos alguns exemplos (para os quais pode ser útil consultar a Tabela 12.1 na página 812 e a Tabela 12.2 na página 813, para anotar a pontuação na discussão detalhada a seguir).

A. Lógica de condução do comparador

A Figura 12.25 mostra algumas maneiras comuns de conectar as saídas do comparador à lógica (e teremos muito mais a dizer sobre a interface do comparador em §12.3). O sempre popular e seriamente barato LM311 (e versões melhoradas, como o LT1011) tem um estágio de saída de coletor aberto flexível com um pino de "terra" que define o estado BAIXO (que pode estar em qualquer lugar entre V+ e Vÿ); o resistor de pull-up, é claro, define o estado HIGH , como mostrado. Estes são designados como tipo de saída "FL" nas tabelas. Alguns comparadores, como o AD790, usam pullup ativo interno, mas você pode definir o estado de saída ALTO em um pino de tensão lógica VL. Muitos comparadores de alta velocidade que operam a partir de fontes de baixa tensão simplesmente usam a tensão V+ para sua saída HIGH, enquanto ainda fornecem um pino de "terra" – o LT1016 (mostrado) é um exemplo; gostamos dele porque seu design o torna particularmente resistente a múltiplas transições e oscilações. Observe que esta parte tem níveis de saída "TTL", ou seja, terra e aproximadamente +3,5 V (embora garantido apenas como ÿ2,4 V e ÿ5 V) e, portanto, não pode ser conectada à lógica intolerante a 5 V. Em seguida, há uma grande classe de comparadores de "alimentação única" de baixa tensão (marcados como "CM para trilho negativo" nas tabelas; por exemplo, o TLC3702) que simplesmente oscilam suas saídas entre o terra e V+. Finalmente, os comparadores de alimentação única que podem funcionar com tensões mais altas e que não estão indo para a velocidade do pescoço (por exemplo, o clássico LM393) são geralmente configurados com saídas de coletor aberto (ou dreno aberto), com saídas externas

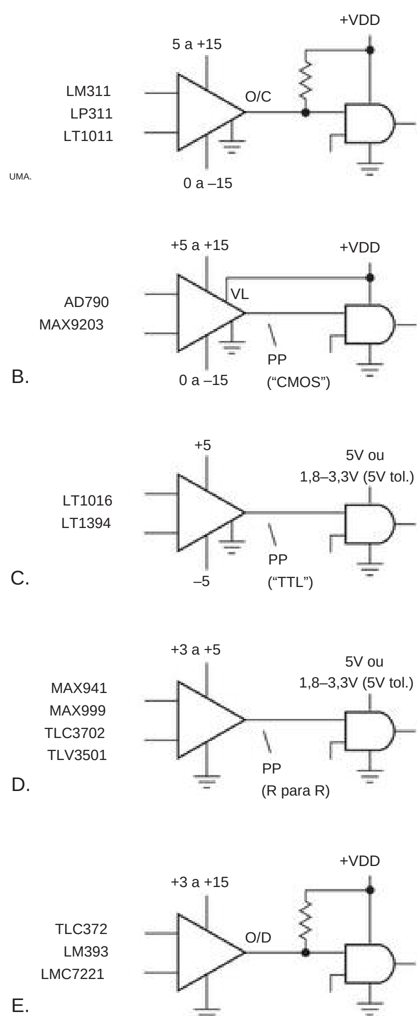


Figura 12.25. Conduzindo a lógica digital de comparadores.

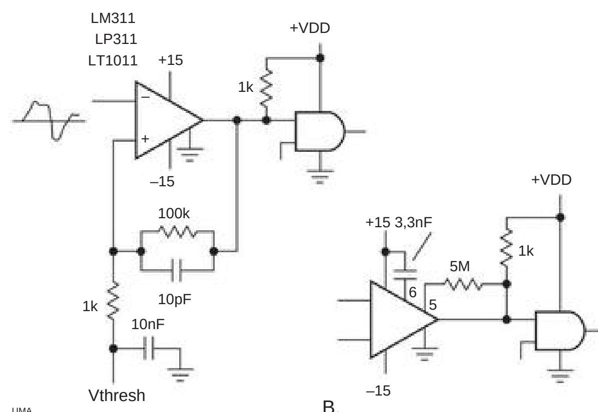


Figura 12.26. Detector de limite com histerese. A. Circuito convencional, para uso com qualquer comparador. B. Método alternativo para o tipo 311.

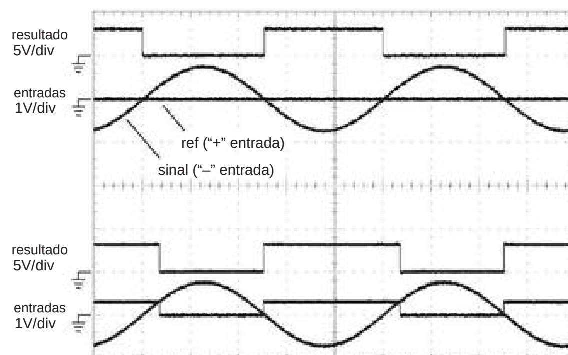


Figura 12.27. Comparadores LM311 conduzidos com onda senoidal de 1,5 Vpp 1 kHz, com pullup de saída para +3,3 V. Superior: sem histerese; inferior: 10% de histerese (100k feedback, 11k para o terra). Horizontal: 200 s/div. ÿ

resistor pull-up como mostrado; estes são marcados como tipo de saída "OC" ou "OD" nas tabelas.

Na Figura 12.25, ignoramos as sutilezas da configuração do circuito, como a histerese, que já vimos em §4.3.2B.
Vale a pena lembrar: a Figura 12.26 mostra o clássico detector de limite de disparo de Schmitt, configurado com uma quantidade de histerese igual a 1% de VDD e um pequeno capacitor de aceleração. Neste circuito, o Vthresh deve ser fornecido a partir de uma fonte de baixa impedância (1k). Isso pode ser uma séria desvantagem (embora para Vthresh lento ou estático você sempre possa usar um buffer de amplificador operacional), caso em que o circuito alternativo mostrado pode ser exatamente o que você deseja. Ele aproveita os terminais de entrada de ajuste de compensação do LM311 (pinos 5 e 6) para produzir histerese (através do resistor de 5M) e aceleração (através do capacitor de 3,3 nF).12 A Figura 12.27 mostra formas de onda medidas para um LM311 configurado sem e com 10% de histerese. Observe, no último caso, os pontos de disparo assimétricos (e o tempo da forma de onda de saída). Embora não seja visível nas formas de onda capturadas, você está procurando problemas quando envia formas de onda de entrada lentas para um comparador sem histerese (confie em nós, já passamos por isso!).

Finalmente, a Figura 12.28 mostra em detalhes o efeito de um pequeno capacitor de aceleração no caminho de realimentação do gatilho Schmitt. Sem ele, o feedback positivo para a entrada não inversora é retardado pela capacitância de entrada e fiação, portanto, um sinal de entrada com algum ruído rápido de baixo nível pode produzir vários

12 Este truque e suas variações estão bem descritos na folha de dados do LT1011; há alguma discussão, também, na extensa folha de dados LM311 da National.

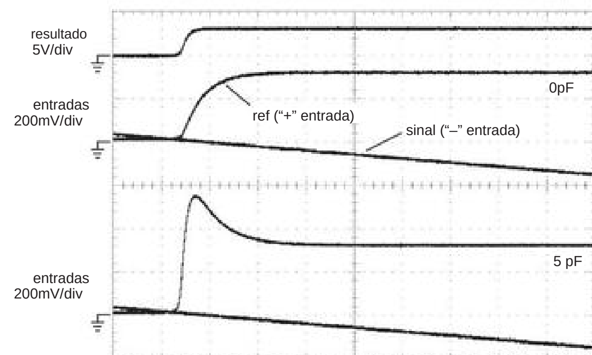


Figura 12.28. Um pequeno capacitor de aumento de velocidade (par de rastreamento inferior) compensa a desaceleração (par de rastreamento intermediário) causada pela capacitância de entrada no gatilho Schmitt. Mesmo circuito da Figura 12.27, mas com escalas horizontais e verticais expandidas (para mostrar detalhes da comutação) e com entrada de onda senoidal de 10 kHz (para que você possa ver a inclinação do sinal de entrada). Horizontal: 400 ns/div.

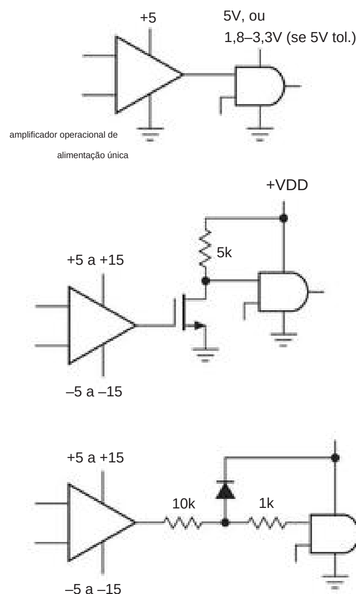


Figura 12.29. Conduzindo a lógica digital da saída de um amplificador operacional.

transições de saída enquanto o feedback positivo está relaxando. A adição de muito pouca capacitância de feedback (aqui apenas 5 pF) corrige o problema (par de rastreamento inferior). Porém, não exagere – um grande capacitor de realimentação gera um grande overshoot histerético, com um tempo de recuperação indesejavelmente longo.

B. Lógica de condução do

amplificador operacional Lógica de condução do amplificador operacional – *do que diabos você está falando?!* Bem, às vezes você usou uma seção de amplificador operacional como um comparador, por exemplo, como um detector de “bateria fraca” ou qualquer outra coisa. Portanto, sua saída oscila entre os trilhos, ou quase isso (se não tiver um estágio de saída trilho a trilho). Tudo o que você quer fazer é colocar esse estado de saída em alguma lógica digital. Assim como nos comparadores, a única tarefa é garantir que você respeite as regras de tensão de entrada da lógica.

A Figura 12.29 mostra algumas situações comuns. Se o amplificador operacional estiver funcionando em uma única fonte de baixa tensão (caso em que provavelmente tem um estágio de saída rail-to-rail), você pode conectá-lo diretamente à lógica que funciona na mesma tensão V+ , ou que é entrada tolerante a isso. No exemplo da figura, isso pode ser uma lógica de 5 V ou uma lógica tolerante a 5 V operando em uma alimentação inferior (por exemplo, LV, LVC ou LVX: consulte a Figura 12.3). Se o amplificador operacional tiver oscilações de saída maiores ou oscilar em ambas as polaridades, você precisará limitá-lo aos limites lógicos. Uma maneira é interpor um inversor nMOS, conforme mostrado; alternativamente, você pode usar um grampo passivo para o trilho lógico, combinado com o diodo de grampo negativo de proteção de entrada da lógica, conforme mostrado. Não estamos muito entusiasmados com este método, uma vez que requer três componentes (e também degrada a velocidade de comutação), mas funciona. Faça o que fizer, esteja ciente de que o (analógico e slew-rate-limited) as transições de saída do amplificador operacional serão muito mais lentas do que as transições lógicas digitais normais. Ou seja, não espere comutação de lógica limpa; essas interfaces são apenas uma maneira de colocar o estado do amplificador operacional em alguma lógica digital.

C. Entradas de clock: histerese Um

comentário geral sobre conduzir a lógica digital de amplificadores operacionais: não tente conduzir entradas de *relógio* a partir dessas interfaces de amplificadores operacionais – os tempos de transição são muito longos e você pode obter falhas conforme o sinal de entrada passa através da lógica limiar de tensão antiga. Se você pretende controlar as entradas de clock (de flip-flops, registradores de deslocamento, contadores, monoestáveis, etc.), é melhor usar um comparador com histerese (por exemplo, Figura 12.26) ou armazenar em buffer a entrada com uma porta (ou outro dispositivo lógico) com entrada Schmitt-trigger (por exemplo, um inversor '14 Schmitt-trigger). O mesmo comentário vale para sinais derivados de circuitos analógicos de transistores.

12.2 Um aparte: sondagem de sinais digitais

Recebemos perguntas invejosas (“Como vocês conseguem traçados tão bons? Como se livrar de todas as ondulações?”) sobre as formas de onda do escopo digital limpo neste livro:13 É muito fácil, uma vez que você percebe que não pode se safar com as mesmas técnicas preguiçosas que funcionam bem em baixas frequências.

13 Dê uma olhada em alguns exemplos deste capítulo, por exemplo, Figura 12.18 (lento) ou 12.108 (rápido).

Em particular, as bordas rápidas em sinais digitais produzem artefatos de sondagem (ringing e bordas suaves) quando você tenta usar uma ponta de prova passiva padrão de 10 × com seus 6 terminais de aterramento.14 A Figura 12.30 mostra como a mesma forma de onda lógica parece quando sondado de três maneiras diferentes.



Figura 12.30. Forma de onda lógica a 10 MHz de um inversor 74AC14 rodando a 3,3 V, como visto em um osciloscópio Tektronix TDS3044B quando sondado de três maneiras diferentes. Vertical: 2 V/div; horizontal: 40 ns/div.

Este é um sinal de clock de 10 MHz na saída de um inversor 74AC14, conectado em uma placa de "prototipagem sem solda"15 (uma prática duvidosa; mas, ei, funciona, na maioria das vezes de qualquer maneira). Tomamos a precaução de usar um soquete de IC com capacitor de bypass SMT integral, para dar a melhor cara a ele. O rastreamento inferior funciona normalmente, com uma ponta de prova passiva P6139A (500 MHz) 10× e 6 fios de aterramento. Está ultrapassando e tocando como um louco - isso pode ser real ou é um artefato do caminho de aterramento indutivo da sonda? Você se sai consideravelmente melhor jogando o chumbo de aterramento no lixo, removendo as mangas de plástico e usando um pouco de "contato de ponta de aterramento" elástico. O traço do meio mostra o resultado: aha! A maior parte do toque desapareceu. Melhor ainda, descarte a ponta de prova passiva de 10 × completamente (elas não vêm em velocidades superiores a 500 MHz de qualquer maneira) e faça a sua própria conectando um resistor em série (nós gostamos de 950 ÿ) em um comprimento de coaxial fino de 50 ÿ (nós gostamos RG-178); você solda temporariamente a blindagem coaxial em um aterramento conecte a outra extremidade no 'scope × probe ! próximo,

O traço superior é o mais limpo possível, especialmente com peças de passagem (DIP de 14 pinos) em uma placa de ensaio.

O truque caseiro de 50 ÿ tem a vantagem do baixo custo, então você pode fazer quatro traços facilmente; nós o usamos para quase todo o escopo digital neste livro. Mas por causa de sua baixa resistência de entrada, não é útil para sondagem de circuito generalizado.

O que acontece com a configuração mais comum de componentes de montagem em superfície em uma placa de circuito impresso e com sinais lógicos muito mais rápidos? A Figura 12.31 mostra o que você vê com quatro métodos de sondagem observando a saída de um inversor 74AUC1G04, desta vez a 4 ns/div (e a Figura 12.32 mostra como são as próprias sondas).

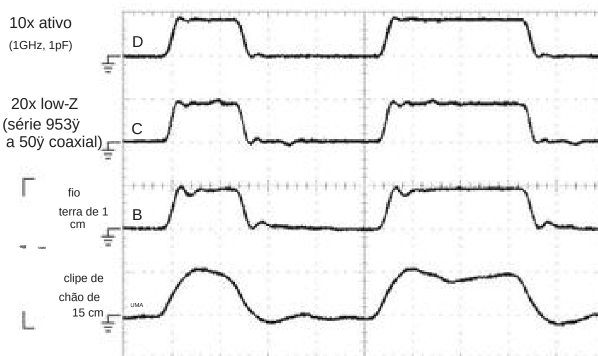


Figura 12.31. Forma de onda lógica a uma taxa de clock de 6 ns de um inversor 74AUC1G04 operando a 1,8 V, como visto em um osciloscópio Tektronix TDS3044B, quando sondado de quatro maneiras diferentes. Os rótulos A–D correspondem aos da Figura 12.32. Vertical: 2 V/div; horizontal: 4 ns/div.

Aqui, a sonda passiva com condutor de aterramento produz uma forma de onda pastosa (traço inferior) com overshoot moderado, consideravelmente ajudado pelo uso da ponta de aterramento mais curta (próximo traço). O truque el-cheapo 20 × parece ainda melhor. Mas o melhor de tudo (se você tiver dinheiro) é uma "sonda ativa" (um seguidor de FET), com capacitância de entrada típica inferior a 1 pF e com velocidades de até gigahertz (e preços correspondentes). O rastreamento superior foi feito com uma sonda ativa P6243 (largura de banda de 1 GHz, menos que – mas não muito menos que – 1 quilodólar17).

12.3 Comparadores

Os comparadores fornecem uma interface importante entre os sinais de entrada analógicos (lineares) e o mundo digital, como observamos anteriormente neste capítulo (§12.1.7A). Nesta seção, gostaríamos de examinar os comparadores com algum detalhe, com ênfase em suas propriedades de saída, sua flexibilidade em relação às tensões de alimentação e o cuidado e alimentação dos estágios de entrada.

[14] *Conduz?* Sim claro. Vou verificar com os rapazes do laboratório criminal. . . eles têm mais quatro detetives trabalhando no caso. . . eles nos fizeram trabalhar em *turnos!*

[15] Por exemplo, Global Specialties digite UBS-100 ou 3M digite 923252.

[16] Você pode obtê-los como um produto comercial, o Keysight (Agilent) 54006A "Kit de sonda divisora passiva de 6 GHz". Inclui resistores para 10:1 e 20:1, e tem uma capacitância de ponta de prova de apenas 0,25 pF (tão pouco quanto 0,1 pF, se você cortar a ponta). Você pode criar proporções maiores (portanto, maior resistência de carga) substituindo outros valores de resistores do tipo Caddock MG710.

17 Mas aproximadamente 8 dB mais barato em leilões de usados.

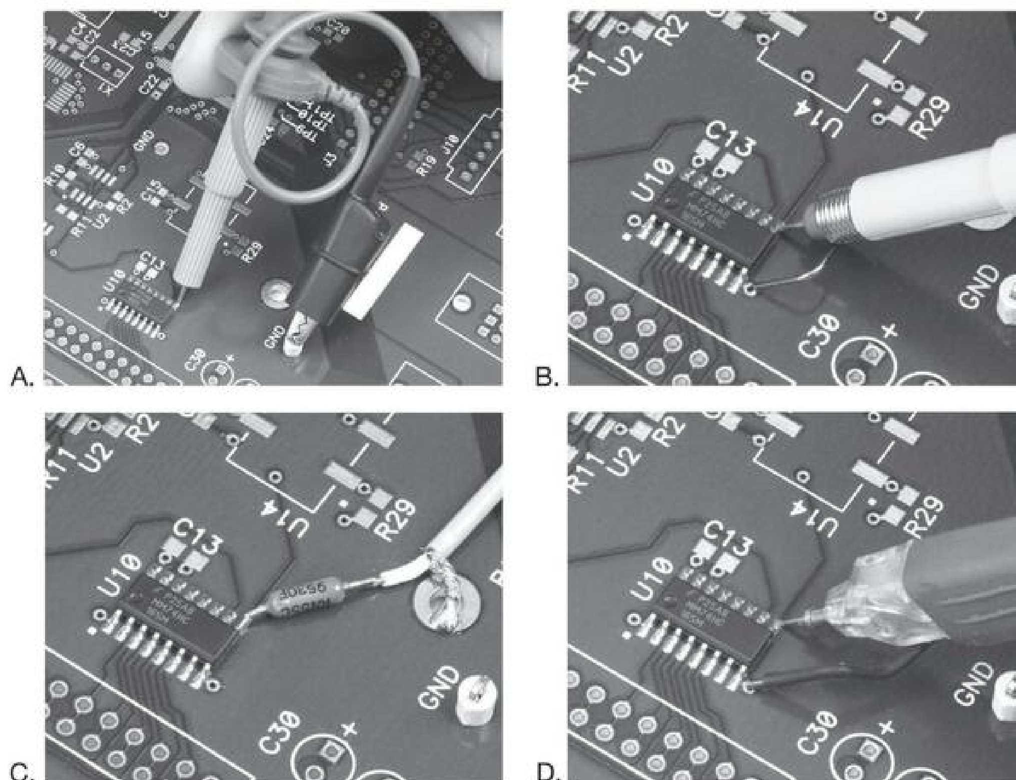


Figura 12.32. Sondagem de sinais digitais: A. Sonda passiva convencional 10× (Tektronix P6139A) com 6 condutores de terra; B. contato de ponta de aterramento curto (Tek 016-1077-00) em ponta de prova passiva de 10×. C. "Sonda" passiva simples de 20× para entrada de osciloscópio de 50 ÿ: resistor em série de 953 ÿ para coaxial; D. sonda ativa (Tek P6243) com ponta de aterramento curta. Ao sondar ICs de passo fino, é uma boa ideia usar um guia de plástico (por exemplo, adaptadores Tek "SureFoot") sobre a ponta da sonda (não mostrado), para não causar curto-circuito nos contatos adjacentes. O IC aqui é um SOIC-16, com espaçamento de contato de 1,25 mm.

Comparadores foram introduzidos brevemente em §4.3.2A para ilustrar o uso de realimentação positiva (Schmitt trigger) e para mostrar que CIs comparadores de propósito especial fornecem desempenho consideravelmente melhor do que amplificadores operacionais de uso geral usados como comparadores. Essas melhorias (tempos de atraso curtos, alta taxa de variação de saída e imunidade relativa a overdrive grande) ocorrem às custas das propriedades que tornam os amplificadores operacionais úteis (em particular, controle cuidadoso da mudança de fase versus frequência). Os comparadores não são compensados em frequência (§4.9) e não podem ser usados como amplificadores lineares.

12.3.1 Saídas

Estamos acostumados com amplificadores operacionais, onde a saída pode balançar de trilho para trilho (ou quase isso), mas onde geralmente ficamos na região linear, evitando deliberadamente a saturação nos extremos da oscilação de saída. Quando a saída está saturada, estamos com problemas!

Mas os comparadores são diferentes. Embora as entradas sejam analógicas, a saída é digital: *vive* nos extremos. Portanto, o que importa é o que a saída faz quando está em nível BAIXO e quando está em nível ALTO. Como vimos, a saída pode direcionar a lógica digital diretamente (Figura 12.25), caso em que precisamos limitar sua oscilação àquela da lógica acionada. Ou podemos querer acionar uma carga ON/OFF , por exemplo, um relé (mecânico ou de estado sólido) ou um LED brilhante, exigindo bastante corrente de saída e talvez alimentado por uma fonte CC externa.

A. Variação da produção A Figura 12.33 mostra as opções que você tem para atender a essas diversas demandas. Em cada caso, o circuito analógico do comparador é alimentado por um par de fontes, V+ e Vÿ (embora para comparadores de "alimentação única", análogos aos amplificadores operacionais de alimentação única, a tensão de alimentação negativa Vÿ é aterrada). Teremos mais a dizer em breve sobre o estágio de entrada. O que é interessante aqui são os estágios de saída: uma variedade de comparadores simplesmente muda sua saída de trilho para trilho

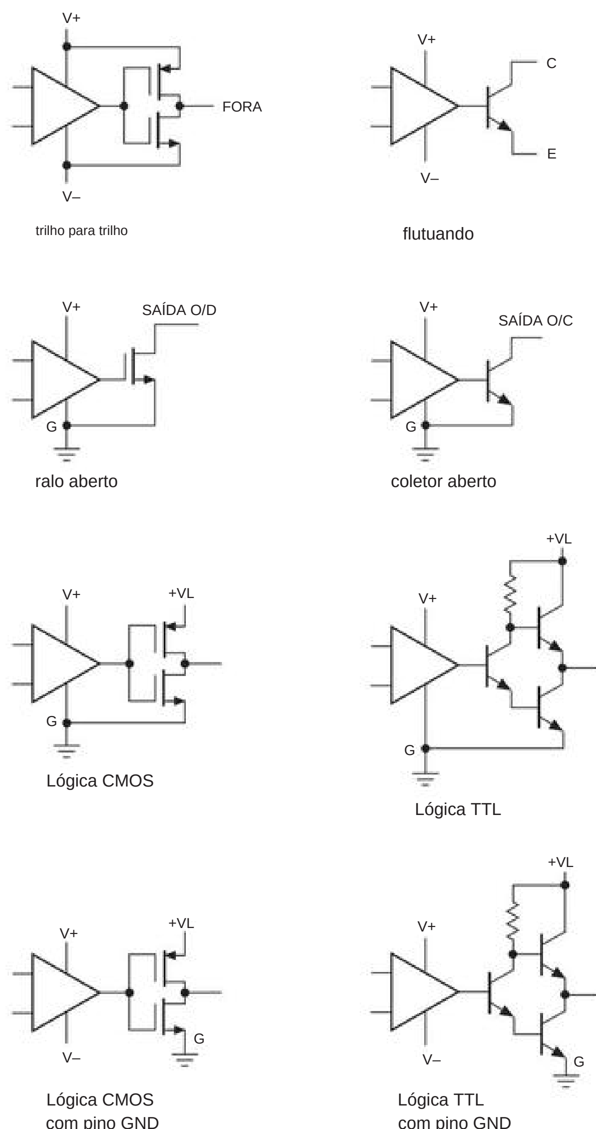


Figura 12.33. Não deixe que os comparadores o confundam: use este gráfico de estágios de saída simplificados, junto com a listagem nas Tabelas 12.1 e 12.2.

("RR" nas Tabelas 12.1 e 12.2), o que é bom se funcionar para sua aplicação (por exemplo, se V+ for +5 V, Vÿ for terra e a saída conduzir lógica de 5 V ou lógica tolerante a 5 V; veja a Figura 12.25D). E o pullup ativo tem a vantagem da velocidade. Mas você pode querer acomodar entradas que oscilam em ambos os lados do solo ("bipolaridade") enquanto aciona a lógica digital (com sua única fonte positiva), caso em que você precisa ter Vÿ abaixo do solo; e assim a escolha certa é um comparador com saída flutuante ("FL" nas tabelas) com pullup resistivo (como na Figura 12.25A), ou um comparador com pinos GND e VL (tensão lógica) separados ("RR-G" e "TTL" nas tabelas), conforme mostrado na Figura 12.25B.

Finalmente, se você estiver interessado em operação de alimentação única, com sinais de entrada apenas entre o terra e uma alimentação positiva V+, você pode usar (a) tipos de saída lógica com pullup ativo para uma tensão lógica VL ("RR-G" ou "TTL" nas tabelas); ou (b) se V+ já for uma tensão lógica baixa, você pode usar um comparador rail-to-rail com Vÿ conectado ao terra (como mencionado acima); ou (c) você pode usar um comparador com saída de dreno aberto ou coletor aberto ("OD" ou "OC" nas tabelas), com pullup para uma alimentação lógica (conforme mostrado na Figura 12.25E). O estilo de coletor aberto é bom para acionar cargas de energia ou cargas conectadas a uma alta tensão de saída (por exemplo, o clássico LM311 pode afundar até 100 mA e sua saída pode ser puxada para +40 V); mas o pullup passivo é lento (em comparação com o pullup ativo), portanto, é melhor usar um tipo de saída lógica ao conduzir a lógica digital, a menos que você não se importe com a velocidade.

B. Os comparadores

de corrente de saída variam amplamente em sua capacidade de corrente de saída. Ao conduzir a lógica digital, isso não importa muito, mas é importante ao conduzir cargas de alta corrente, como relés ou LEDs. A Figura 12.34 mostra como funciona, para a maioria dos comparadores de coletor aberto e dreno aberto na Tabela 12.1. Você pode ver algumas tendências interessantes aqui: (a) comparadores com saídas MOSFET (por exemplo, o TLC393) têm resistência (Ron) em baixas tensões, tendendo para baixo

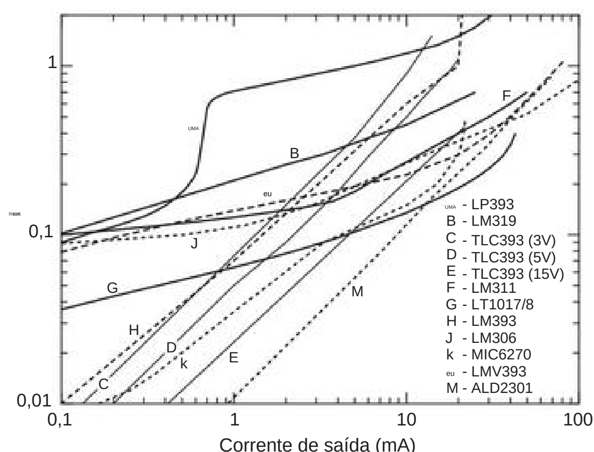


Figura 12.34. Tensão de saída BAIXA saturada versus corrente de afundamento, para uma seleção de comparadores de coletor aberto e dreno aberto. A popular série TLC372 é semelhante à TLC393. Os dados são compilados a partir de gráficos de folha de dados, exceto para a curva L e o final de baixa corrente das curvas B e J, que foram medidos.

Tabela 12.1 Comparadores representativosa

Modelo	Entrada td máximo (ns)	Vos tipo (mV)	atual tipo (nA)			V+ máx (V)	V– máx (V)	Total mín (V)	Total máx (V)	Comentários
LM393 600 650		5	25	•	-	36	-	2	36	0,4 OC jellybean dual 18 0,15 OD
TLC372		5	0,005	•	-	18	-	3		cmos dual; quad=374 16 0,02 RR cmos dual; quad
TLC3702 2500		5	0,005	•	-	16	-	3		= 3704 FL strobe, popular; dual=2311 25 TTL rápido,
LM311	200	3	60	··		30 –30 4,5 36			5	estável 5,6 TTL melhorado 1016;
LT1016	10	3	5000 - -			7-7		5	14	quad=8564 3,2 RR rápido; dual=3502 Notas:
AD8561	7	7	3000	•		7 –7 3,5 14				(a) Veja também a listagem mais extensa na
TLV3501	4.5	6,5 0,002		•	•	5.5	-	2.7	5.5	Tabela 12.2. (b) Ver “Comparadores, Saídas” no

texto; FL = saída npn flutuante, pinos de saída coletor e emissor; CO = coletor aberto; DO = dreno aberto; RR = trilho a trilho; TTL = oscilação lógica, pino VL separado.

à esquerda com inclinação unitária; (b) comparadores com estágios de saída *npn* bipolares (por exemplo, o LT1017/8) tendem a uma tensão de saturação finita; e então há (c) o LP393, que tem um estágio de saída bipolar que se comporta como um Darlington em correntes mais altas (com saturação em torno de um VBE, ou ~0,6 V), mas se torna um simples interruptor de emissor aterrado em correntes baixas , o que explica a curva estranhamente giratória.

A curva do LM311 merece um comentário adicional. Os projetistas usaram um bonito circuito de “antisaturação” no estágio de saída (Figura 12.35): as quedas VBE conectadas em série de Q13 e Q14 estão preparadas para roubar a corrente de base do driver Q12 se o coletor de Q15 ficar muito próximo de seu emissor. Se R11 fosse zero, isso aconteceria assim que Q15 saturasse (figura

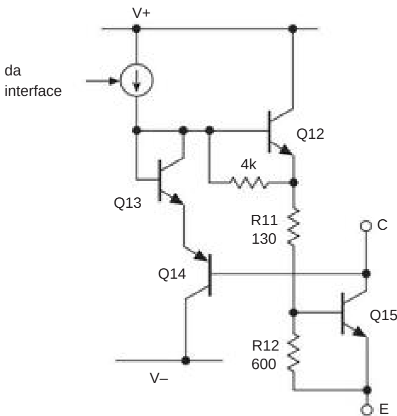


Figura 12.35. O estágio de saída do comparador LM311 incorpora um circuito antissaturação inteligente que limita a corrente do drive de base quando o transistor de saída está próximo da saturação (VCEÿ100 mV). Omitimos aqui o circuito de limite de corrente do estágio de saída. Cortesia da Texas Instruments.

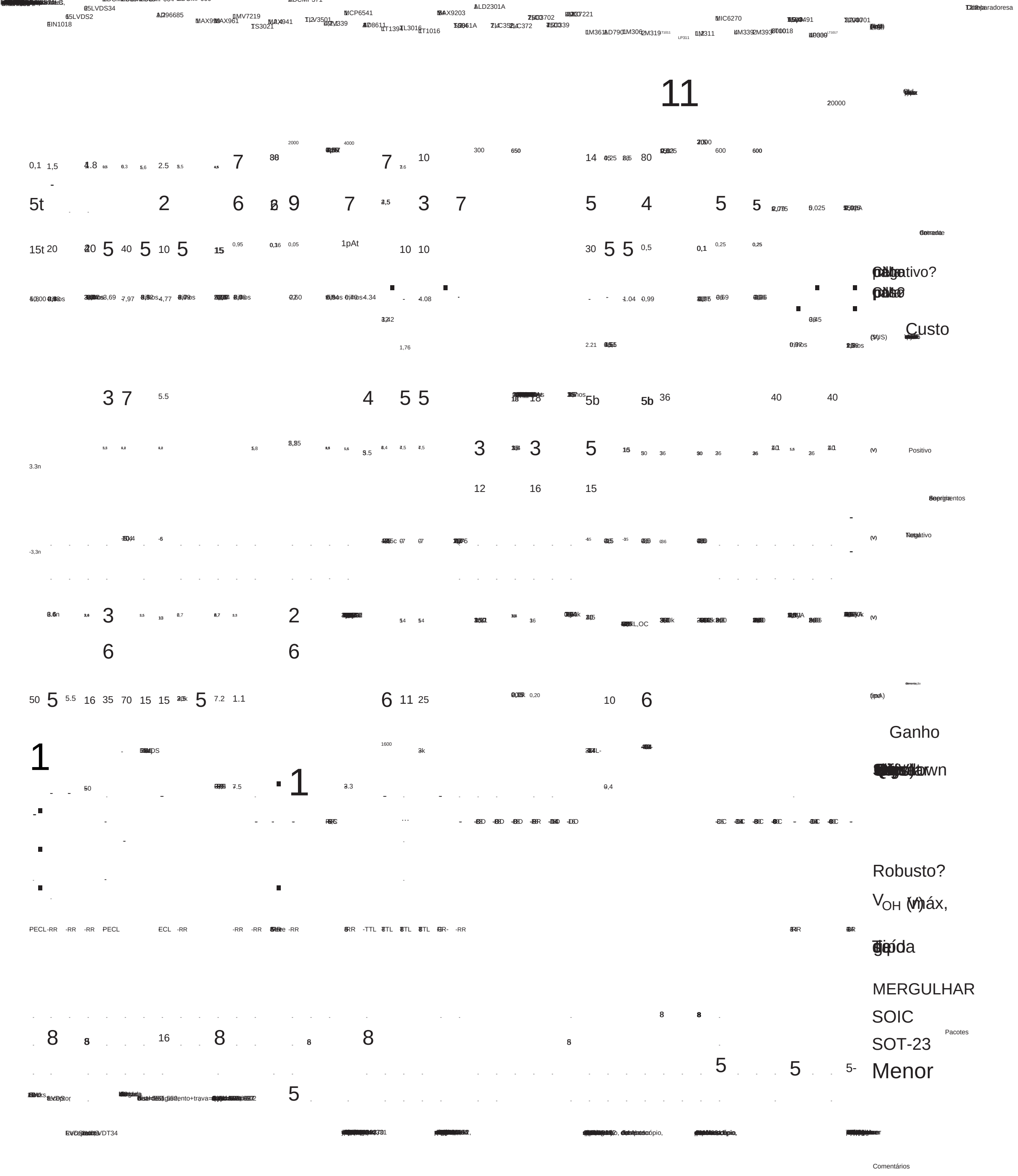
por quê!). Mas adicionar R11 faz com que essa ação de fixação ocorra quando ainda há cerca de 20% de um VBE em Q15. Isso evita a saturação profunda, que tem dois benefícios: (a) elimina o atraso excessivo no desligamento causado pela carga básica armazenada no transistor de saída; e (b) reduz o consumo de energia, não fornecendo mais acionamento de base para Q15 do que o necessário para trazê-lo quase à saturação, seja qual for a carga que esteja conduzindo.

12.3.2 Entradas

A. Faixa de modo comum de entrada

Assim como com amplificadores operacionais, você deve manter as tensões de entrada dentro da faixa de modo comum operacional. Os comparadores projetados para operação de fonte única de baixa tensão (na faixa de 3 a 5 V; consulte a Tabela 12.1) permitem que as entradas sejam aterradas (ou mesmo alguns décimos de volt abaixo) e algumas também funcionam no trilho positivo (entradas "rail-to-rail"). Exemplos são o TLC372/3702 e o LMC7221/7211, respectivamente (com as versões OD e RR listadas em cada par). Mas eles não funcionarão com sinais de ambas as polaridades (a menos, é claro, que você amarre o pino “terra” a uma tensão de alimentação negativa; nesse caso, você pode ficar insatisfeito com uma saída que cai para a alimentação negativa). Em vez disso, você deve usar um comparador de alimentação dupla (por exemplo, LM311, LT1016), muitos dos quais não operam com entradas nos trilhos ou próximos a eles. As Tabelas 12.1 e 12.2 incluem a faixa de operação em modo comum para os dispositivos listados.

B. Tensão de compensação e compensação Assim como os amplificadores operacionais, os comparadores de jardim têm tensões de compensação na faixa de milivolts. Você pode fazer melhor com um dos comparadores de “precisão”, de empresas


Custo
Ganho
Robusto?
MERGULHAR
SOIC
SOT-23
Pacotes
Menor
Comentários

como Analog Devices, Linear Technology e Maxim; ver Tabelas 12.1 e 12.2. Alguns comparadores incluem terminais de compensação externos; mas, como nos amplificadores operacionais, um comparador aparado caro (por exemplo, um LM311) terá um tempco muito maior de Vos do que uma parte intrinsecamente precisa (ou seja, precisão). Por exemplo, o LT1011A “melhorado LM311” especifica um Vos tempco de 4 V/ÿC, tipo (15 V/ÿC máx.), enquanto ÿ que para o LM311 genérico nenhum é especificado. Em aplicações nas quais você se preocupa com limites de entrada precisos, é sempre melhor evitar cargas pesadas na saída do comparador.

Aqui está um riff interessante sobre tensão offset: gradientes térmicos configurados no chip a partir da dissipação no estágio de saída podem degradar as especificações de tensão offset de entrada. Em particular, é possível ter “motorboating” (uma oscilação lenta do estado de saída) para sinais de entrada próximos de zero volts (diferencial), porque o calor dependente do estado gerado na saída pode fazer com que a entrada mude.

C. Corrente de entrada Aqui, também, a familiaridade com amplificadores operacionais pode levar a problemas se você presumir (incorretamente) que as entradas apresentam impedância essencialmente infinita e não consomem corrente. Uma característica importante das entradas do comparador é a corrente de polarização nos terminais de entrada e a maneira como ela muda com a tensão de entrada diferencial. Para um alerta, observe a Figura 12.36, um gráfico da corrente medida nas duas entradas do sempre popular LM311.[18] *Não é zero!*

O que está acontecendo aqui? Muitos comparadores usam transistores bipolares para seus estágios de entrada, com correntes de polarização de entrada variando de dezenas de nanoampères a dezenas de microampères. Como o estágio de entrada é apenas um amplificador diferencial de alto ganho, a corrente de polarização muda à medida que o sinal de entrada leva o comparador através de seu limite. Além disso, os circuitos de proteção internos podem causar uma mudança maior na corrente de polarização alguns volts do limite.

Para ver como isso funciona em detalhes, observe o circuito de entrada do LM311, que desenhamos de forma simplificada na Figura 12.37. O estágio de entrada consiste em seguidores *pnp* com polarização de corrente acionando um amplificador diferencial *npn ;* os seguidores têm impressionantes ÿ2000, mas mesmo com isso você ainda tem ÿ35 nA de corrente de entrada quando as entradas são balanceadas. De maior preocupação, as correntes nas duas entradas mudam em direções opostas em aproximadamente 10% quando as entradas ficam desbalanceadas. Isso acontece porque o segundo

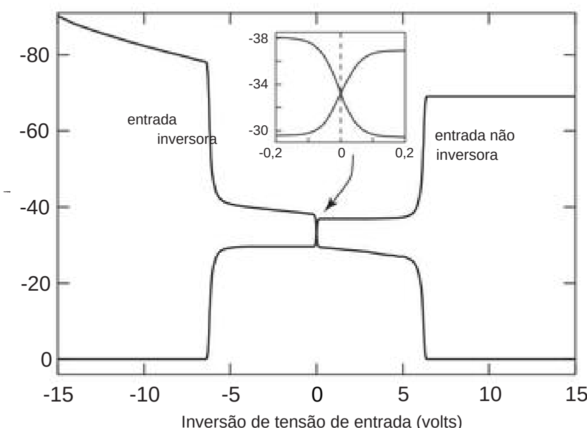


Figura 12.36. Corrente de entrada medida de um espécime LM311N (NSC, com código de data P134), com a entrada não inversora mantida no solo. A folha de dados especifica uma corrente de entrada de 60 nA (tipo), 100 nA (máx.).

amplificador diferencial de estágio transfere sua corrente operacional para um lado ou outro, desequilibrando sua carga de corrente de base no primeiro estágio. (O “passo” atual no diferencial de zero volts é, na verdade, uma transição suave ocorrendo acima de 100 mV ou mais, como visto no gráfico inserido expandido, e representa a mudança de tensão necessária para alternar totalmente o estágio do amplificador diferencial de entrada de um estado para o outro.) Portanto, diferentemente de um amplificador operacional (onde o feedback mantém as entradas balanceadas), a corrente de entrada de um comparador bipolar muda na transição de entrada, o que pode causar problemas se o sinal que o conduz não for de baixa impedância de fonte.

Por exemplo, imagine que você deseja gerar uma etapa de saída quando um sinal de entrada subindo lentamente (de resistência de fonte finita) passa por zero volts. Isso é fácil - você

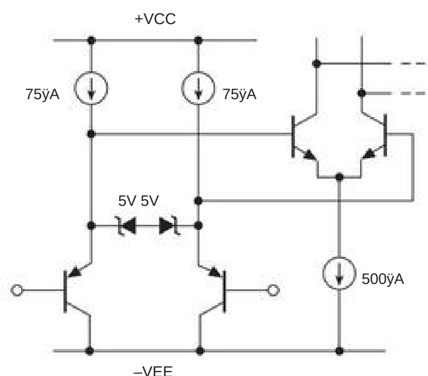


Figura 12.37. Estágio de entrada simplificado do clássico comparador analógico bipolar LM311. Não se assuste com os zeners de 5 V – a entrada diferencial máxima permitida é de ±30 V.

[18] Esta é uma verdadeira jujuba! Uma rápida pesquisa na Internet encontrou pelo menos cem variantes do 311 de meia dúzia de fabricantes (Fairchild, NJR, National, ONsemi, ST e TI), sem incluir 311s “melhorados”.

conecte esse sinal à entrada inversora e aterrará a entrada não inversora. Faça isso e a saída provavelmente exibirá transições múltiplas rápidas conforme o sinal de entrada cruza o zero. O problema é que a queda na corrente de entrada (negativa) em zero volts faz com que a tensão de entrada reverta seu aumento, causando uma transição extra; isso continua várias vezes, até que o sinal de entrada tenha saído da zona de perigo. A histerese (talvez com um pequeno capacitor de aceleração) geralmente cura esse comportamento, mas é útil entender sua causa.

O gráfico na Figura 12.36 tem mais algumas surpresas, a saber, a mudança abrupta nas correntes de entrada quando a tensão de entrada diferencial atinge 6 V. Isso é causado pelo grampo zener[19] simétrico , incluído no CI para evitar quebra reversa base-emissor no segundo par *npn* -stage . Oscilações de entrada diferencial grandes o suficiente para colocar o grampo em condução fazem com que o transistor de entrada *pnp* com a tensão de entrada mais negativa monopolize toda a corrente do emissor; então sua corrente de base dobra e a de seu gêmeo cai para zero. O gráfico preciso da Figura 12.36 mostra um recurso que você não encontrará em nenhuma das folhas de dados oficiais do LM311, ou seja, o aumento gradual na corrente de entrada em grandes tensões de entrada negativas; isso é evidentemente devido à diminuição do beta do transistor de entrada em VCE reduzido. E um quebra-cabeça para o leitor: por que essa forma não é espelhada na curva de entrada não inversora?

Para aplicações de comparadores em que é necessária uma corrente de entrada extremamente baixa, há muitos comparadores de entrada MOSFET disponíveis, por exemplo, TLC372, TLC3702, TLC393 e LMC7221. No entanto, estes são geralmente limitados a uma tensão de alimentação total máxima de 16 V (em comparação com 36 V para comparadores bipolares de "alta tensão"); e, assim como os amplificadores operacionais CMOS, eles têm uma precisão (VOS) inferior à dos comparadores bipolares de precisão. Em situações em que as propriedades de um determinado comparador são necessárias, mas com corrente de entrada mais baixa, uma solução é adicionar um seguidor FET de par combinado na entrada.

D. Tensão de entrada diferencial máxima
Cuidado com isso! Alguns comparadores têm uma faixa de tensão de entrada diferencial surpreendentemente limitada, tão pequena quanto 5 V em alguns casos (por exemplo, o AD790, LM306 e LT1016), embora possam operar a partir de uma tensão de alimentação total *(V+* ÿVÿ) tão alta como 36 V. Pode ser necessário usar braçadeiras de diodo para proteger as entradas, porque a tensão de entrada diferencial excessiva degradará beta, causará erros permanentes de compensação de entrada e até mesmo destruirá as junções base-emissor do estágio de entrada. Comparadores de uso geral que podem operar As tensões de alimentação totais de até 36 V são geralmente melhores nesse aspecto, com faixas de tensão de entrada diferencial típicas de ±30 V (por exemplo, o LM311, LM393, LT1011, etc.[20]).

E. Histerese interna Um pouco de histerese geralmente é bom. E alguns comparadores (principalmente aqueles destinados à operação de alimentação única de baixa tensão) têm alguns milivolts de histerese incorporada (consulte as Tabelas 12.1 e 12.2). Alguns comparadores (por exemplo, membros das séries ADCMP5xx e 6xx da Analog Devices) permitem o ajuste da quantidade de histerese interna.

12.3.3 Outros parâmetros

A. Tensão de alimentação Já vimos isso, porque as entradas precisam permanecer na "faixa de operação de modo comum", que no máximo se estende um pouco além dos trilhos. Grosso modo, existem três faixas de tensão: (a) os comparadores bipolares tradicionais, como o LM311 e o LM393, podem aceitar tensões totais de alimentação de até 36 V, e agora são chamados de comparadores de "alta tensão"; (b) vários comparadores de alta velocidade e CMOS, por exemplo, as partes bipolares LT1016 e CMOS TLC/LMC, ficam em uma região intermediária, operando com tensões de alimentação totais de até 10–15 V; e (c) houve uma tremenda proliferação de comparadores CMOS de alimentação única de "baixa tensão", como as séries LMV, TLV e ADCMP600, que operam apenas com alimentação total de 6 V. Na última categoria, existem alguns comparadores extremamente rápidos (ADCMP572: 0,15 ns) e alguns comparadores de micropotência (MCP6541: 0,6 A típico; ISL28197: 0,8 A típico). E há praticamente ÿ tudo no meio. ÿ

B. Velocidade É conveniente pensar em um comparador como um circuito de comutação ideal para o qual qualquer reversão na tensão de entrada diferencial, por menor que seja, resulta em uma mudança repentina na saída. Na realidade, um comparador se comporta como um amplificador para pequenos sinais de entrada, e o desempenho da comutação depende das propriedades de ganho em altas frequências. Como resultado, um "overdrive" de entrada menor (ou seja, sinal mais do que suficiente para causar saturação em CC) causa um atraso de propagação maior e (geralmente) um tempo de subida ou queda mais lento na saída. As especificações do comparador geralmente incluem um gráfico

19 Implementado como um par de transistores conectados por diodo back-to-back.

20 Eles usam transistores de entrada *pnp* integrados , que tendem a ter altas tensões de quebra da base do emissor reverso, geralmente acima de 36 V (em comparação com a quebra típica de *npn* em torno de 6 V).

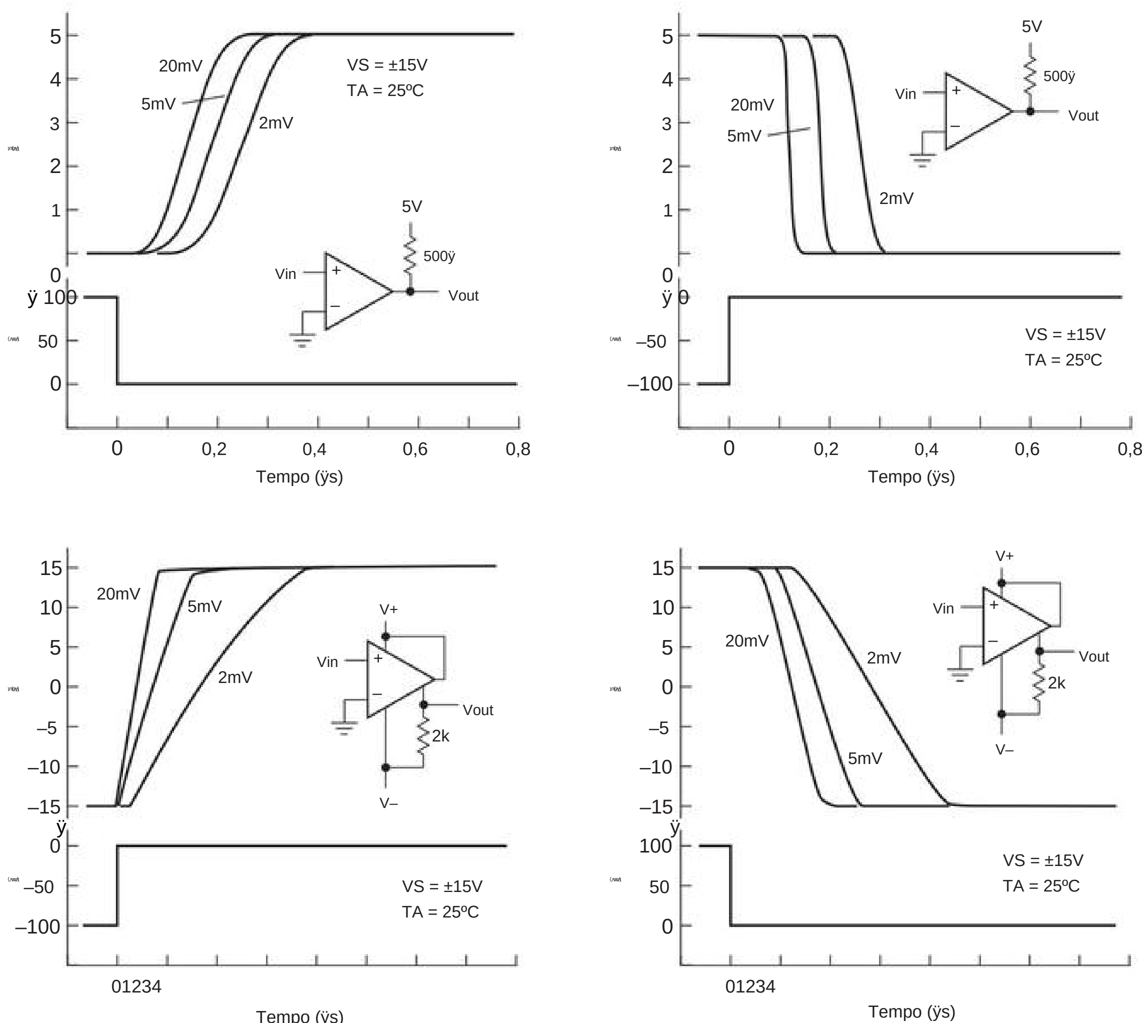


Figura 12.38. Tempos de resposta do comparador LM311 para vários overdrives de entrada. A maioria dos comparadores requer overdrive considerável, 20 mV ou mais, para uma resposta rápida. (Adaptado de National Semiconductor Corp.)

"tempos de resposta para vários overdrives de entrada." A Figura 12.38 mostra alguns para o LM311. Note principalmente o desempenho reduzido na configuração em que o transistor de saída é utilizado como seguidor, ou seja, com menor ganho. O aumento do drive de entrada acelera as coisas porque o ganho reduzido do amplificador em altas frequências é superado por um sinal maior. Além disso, correntes de amplificador interno maiores fazem com que as capacitâncias internas carreguem mais rapidamente.

Os comparadores nas Tabelas 12.1 e 12.2 abrangem uma faixa de velocidades (tempo de resposta) de 0,3 ns a 300 s – uma proporção de ÿ um milhão para um! A pressa gera desperdício – você paga o preço pela dissipação de energia (embora as peças de baixa tensão se saiam muito melhor) e pela suscetibilidade a oscilações.

12.3.4 Outros cuidados

Existem alguns cuidados gerais relativos aos circuitos de entrada dos comparadores. A histerese (§4.3.2A) deve ser usada sempre que possível, porque, caso contrário, é provável que ocorra uma comutação errática. Para ver por que, imagine um comparador sem histerese no qual a tensão de entrada diferencial acabou de passar por zero volts, girando relativamente devagar, já que é uma forma de onda analógica. Um diferencial de entrada de apenas 2 mV faz com que a saída mude de estado, com tempos de comutação de 50 ns ou menos. De repente, você tem transições lógicas digitais rápidas de 3.000 mV em seu sistema, com pulsos de corrente impressos nas fontes de alimentação, etc. Seria um milagre se algumas dessas formas de onda rápidas não se encaixassem no sinal de entrada,

pelo menos na extensão de alguns milivolts, superando o diferencial de entrada de 2 mV e, assim, causando múltiplas transições e oscilações. É por isso que quantidades generosas de histerese (incluindo um pequeno capacitor no resistor de realimentação), combinadas com um layout cuidadoso e desvios, geralmente são necessárias para fazer circuitos comparadores sensíveis funcionarem bem. Geralmente é uma boa ideia evitar acionar as entradas do comparador diretamente de sinais de alta impedância; use uma saída de amplificador operacional. Também é uma boa ideia evitar comparadores de alta velocidade, que apenas agravam esses problemas, se a velocidade não for necessária. Além disso, alguns comparadores são mais problemáticos a esse respeito do que outros; tivemos muitas dores de cabeça usando o admirável LM311.

12.4 Acionamento de cargas digitais externas a partir de níveis lógicos

Não é difícil usar um sinal de saída de nível lógico (vindo de algo tão simples como uma porta ou um flip-flop, ou de um dispositivo mais sofisticado como um FPGA ou microcontrolador) para controlar dispositivos liga/desliga como lâmpadas (LEDs), relés, monitores e até mesmo cargas CA. Em algumas situações, você pode direcionar essas cargas diretamente do sinal de nível lógico; mas com mais frequência você precisa adicionar alguns componentes para fazê-lo funcionar. Um exemplo clássico deste último pode ser a comutação de uma carga que retorna a uma tensão de alimentação *negativa* .

12.4.1 Cargas positivas: acionamento direto

Cargas que não exigem muita corrente e que retornam a uma alimentação positiva de baixa tensão podem ser acionadas diretamente de uma saída lógica. A Figura 12.39 mostra alguns métodos.

O circuito A mostra o método padrão de acionamento de lâmpadas indicadoras de LED a partir da lógica que funciona a partir de uma fonte de 3 a 5 V. Você escolhe o resistor limitador de corrente para definir a corrente do LED: os LEDs se comportam como um diodo com uma queda direta de 1,5–3,5 V (dependendo do material semicondutor e da cor emitida; consulte a Figura 2.8). Os LEDs contemporâneos de alta eficiência parecem bastante brilhantes com apenas alguns miliampères, o que é um trabalho fácil para todas as saídas da família lógica (bem como para chips digitais mais complexos, como FPGAs e microcontroladores); para que a saída lógica permaneça válida mesmo durante a condução da carga do LED (consulte os valores VOL listados). Um cuidado aqui: a queda direta de ~3,5 V de LEDs baseados em GaN (azul, branco e "verde brilhante") requer lógica de 5 V, enquanto LEDs de baixa tensão podem ser acionados por lógica de 3,3 V ou 5 V.

Por razões históricas relacionadas com as propriedades de saída altamente assimétricas das famílias lógicas bipolar e nMOS anteriores, os projetistas tendem a preferir a conexão de dissipação de corrente *da* Figura 12.39A; mas para CMOS contemporâneo famílias lógicas, não há problema em conectar um LED na configuração de origem da Figura 12.39B. O fornecimento de saída é um pouco menos musculoso do que o afundamento (consulte o VOH listado), mas é bom o suficiente para o trabalho.

Alguns LEDs montados em painel vêm com resistores limitadores de corrente integrados, destinados ao acionamento de tensão direta de 5 V. Isso economiza um resistor, mas a seleção é limitada e você pode não ficar satisfeito com a escolha da corrente operacional do fabricante (por exemplo, 10–12 mA para a série CML 5100H-LC ou a série Dialight 558).

Você pode acionar pequenos relés mecânicos de maneira semelhante, desde que a tensão de operação da bobina seja baixa (existem muitas unidades de 5 Vcc, da Coto, Omron, Panasonic, Tyco P&B e outros fornecedores; e você pode obter relés que funcionam consomem apenas 1,5 V, por exemplo, a série TXS2 da Panasonic) e sua corrente operacional é baixa o suficiente (ou seja, alta resistência da bobina). As Figuras 12.39C–F mostram vários exemplos. Os relés de "sinal" como a série TXS2 destinam-se à comutação de baixa tensão e corrente e possuem contatos banhados a ouro para "comutação a seco" (consulte *§1x.6);* sua corrente de bobina de 10–20 mA pode ser reduzida pelas famílias lógicas mostradas (e outras também). Você também pode obter relés acionados por lógica que podem lidar com a comutação de energia, por exemplo, os relés de bobina de 5 V Omron séries G5 e G6 mostrados na figura. Estes podem suportar até 5 A ao alternar a alimentação de 115 Vac (ou mesmo 240 Vac).

Para relés (e outras cargas) que requerem tensões ou correntes de acionamento um pouco mais altas, você pode usar dispositivos lógicos com saídas de coletor aberto destinadas a esse tipo de trabalho (Figuras 12.39G,H). O venerável 74LS07 é um inversor hexadecimal OC bom para oscilações de saída de +30 V e (estado BAIXO , afundando) correntes de carga de 40 mA. O igualmente grosseiro (e extremamente popular) ULN2003 é um emissor aterrado Darlington de 7 seções ("heptal"?) mA; seu primo próximo igualmente musculoso (o 75468) pode oscilar para +100 V.[21] E se você quiser conduzir esses tipos de cargas com um comparador, o vintage LM311 ou LM306 pode lidar com esses tipos de correntes, embora a saída de coletor aberto a oscilação é limitada a 40 V acima da alimentação negativa e +24 V acima do solo, respectivamente.

Ao controlar relés e outras cargas de energia de um microcontrolador (Capítulo 15), vale a pena conhecer uma classe de registros de energia de entrada serial. Estas são elaborações do registrador de deslocamento lógico '595 de 8 bits serial-in paralelo-out, mas

21 Em uma escala mais modesta, você pode usar as portas duplas de coletor aberto 75451–4 (AND, NAND, OR e NOR, respectivamente) em encapsulamentos de 8 pinos para cargas de 30 V e 300 mA.

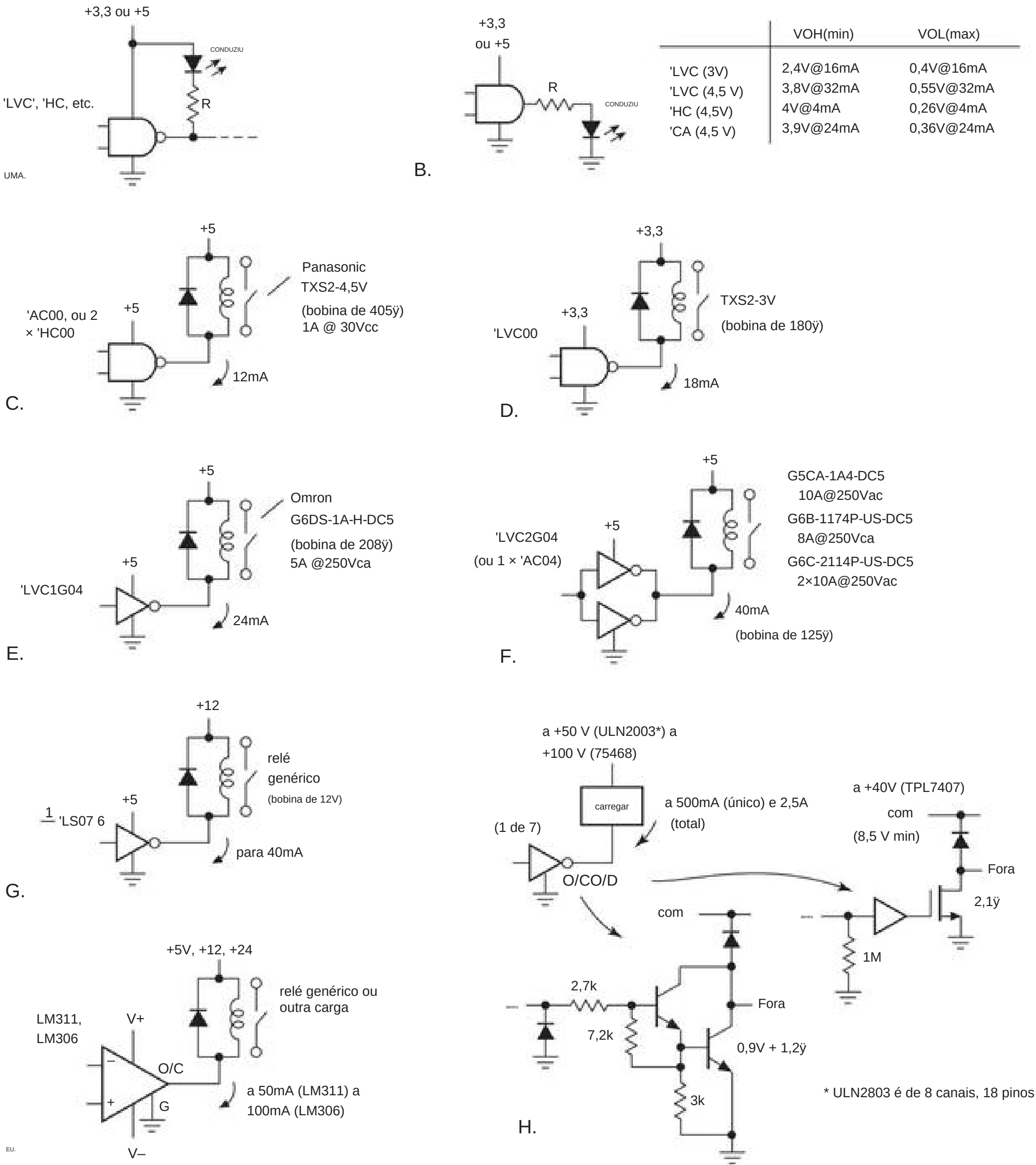


Figura 12.39. Acionamento de cargas diretamente das saídas lógicas. Bobinas de relé podem exigir muita corrente de acionamento; certifique-se de que sua escolha de driver IC pode oferecer.

com saídas de dreno aberto capazes de dissipar correntes substanciais e com tensões nominais de até 50 V. A Tabela 12.3 lista uma boa seleção delas, e a Figura 12.40 mostra o que há dentro desses dispositivos de saída, juntamente com o registro de *entrada* '597 complementar (ou seja, entrada paralela, saída serial). Estes são particularmente úteis quando você tem um microcontrolador com apenas alguns pinos de E/S disponíveis porque você pode controlar muitas saídas que consomem muita energia (por exemplo, relés); e você pode expandir além oito saídas encadeando o SDO (saída de dados seriais) de um registrador para o SDI (entrada de dados seriais) do próximo. A Figura 12.41 mostra a ideia básica.

Alguns pontos sobre relés em geral, e esses pequenos relés de montagem de PCB fáceis de conduzir em particular.

• Observe que normalmente você não usa um resistor em série, porque a resistência da bobina define a corrente operacional na tensão operacional nominal; adicione um resistor em série, no entanto,

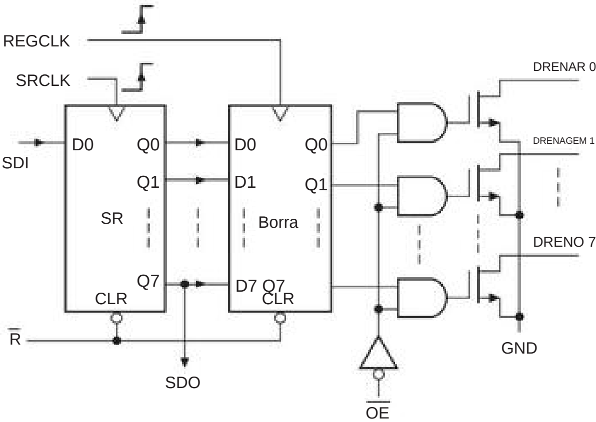


Tabela 12.3 Registros de lógica de potência

Typec Bits	Vo Io RDS Custo máx máx tipo qty25 (V) (mA) (ÿ) ($US)			PkgsdName
STP08CL596 8 SR 16 90 -	1,37 -		CS	(●) ●
STP08C596 16 SR	16 120 - 2,05 - 50 150 5		CS	(●) ●
TPIC6B259 8 AL	1,70 74HC595 8 SR 20 Vcc		- - OD -	● ●
0,16 TPIC6595 8 SR 45 250 1,3 2,50		e	RR - OD	● ●
		e	- OD -	● ●
TPIC6B595 8 SR 50 150 5 TPIC6C595	1,41	e	OD - OD	● ●
8 SR 33 100 7 TPIC6C596 8 SR 33	1,09	●	2,15 -	● ●
100 7 0,98 TPIC2810 8 I2C 40 210 5 TPIC6B273		●	OD 1,83	● ●
8 par 50 150 5	- - OD TPIC6273 8			● ●
	250 1,3 2,70	●	- OD	(●) ●

Notas: (a) SR=registrador de deslocamento, AL=latch endereçável. (b) CS=diminuição de corrente, ajuste via resistor ext, faixa 15–90mA; DO=dreno aberto; RR=rail-to-rail. (c) '596 tipos têm dados registrados. ( ) (d) " (f) reinicialização inicial de SR e trava de saída. sem estoque de distribuidor. (e) redefine SR, mas não trava de saída.

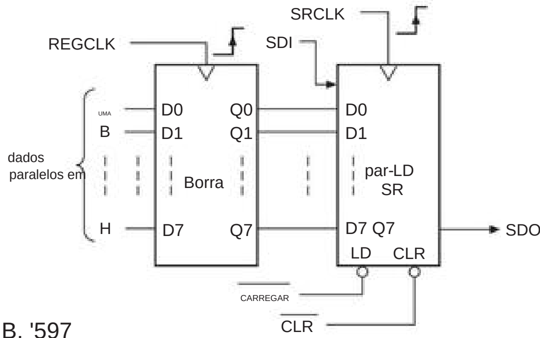


Figura 12.40. Os registradores de potência de entrada serial '595 e '596 aceitam uma entrada serial de bit de nível lógico, sincronizada em um registrador de deslocamento interno; o conteúdo pode ser travado em um registrador tipo D de saída com capacidade substancial de acionamento. O '597 funciona ao contrário, mas aceita apenas entradas de nível lógico. Consulte a Tabela 12.3 para obter detalhes.

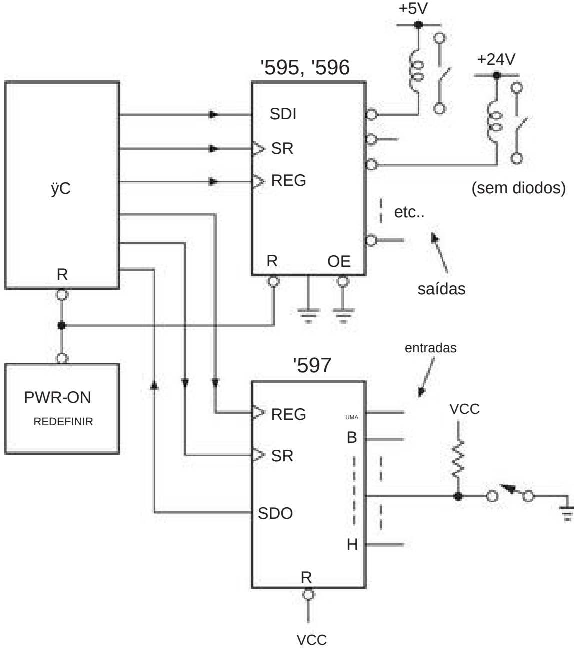


Figura 12.41. Relés de acionamento e outras cargas de energia com um registro de energia serial.

se você estiver operando com uma tensão de alimentação mais alta (por exemplo, um relé de 12 V operando com uma fonte de 15 V). Em qualquer caso, certifique-se de incluir o diodo para prender o pico indutivo.22 • Os relés estão sempre disponíveis na configuração normal "estável de lado único" (também conhecida como *não travada)* , na qual os contatos são mantidos no estado energizado posição somente enquanto a energia da bobina está sendo aplicada. Mas você também pode obter relés "travados", que permanecem em qualquer estado em que foram enviados após a remoção da unidade da bobina. Há duas variedades de relés de travamento: "bobina dupla" (você aciona um ou outro, para definir e redefinir o estado) e "bobina simples" (você aplica uma polaridade ou outra, para definir e redefinir). Os relés de travamento são uma boa escolha para algo como um temporizador de lâmpada alimentado por bateria, porque você precisa

22 Algumas partes do driver incluem um diodo, enquanto outras fornecem especificamente uma classificação de avalanche para o MOSFET de saída (com o qual absorver o pico flyback da bobina do relé). Por exemplo, as partes '6B595 especificam cada saída em 33 V e 30 mJ (algumas outras permitem 75 mJ), o suficiente para lidar com a energia indutiva *E=LI2/2* armazenada em uma bobina grande. Sempre leia o datasheet com atenção.

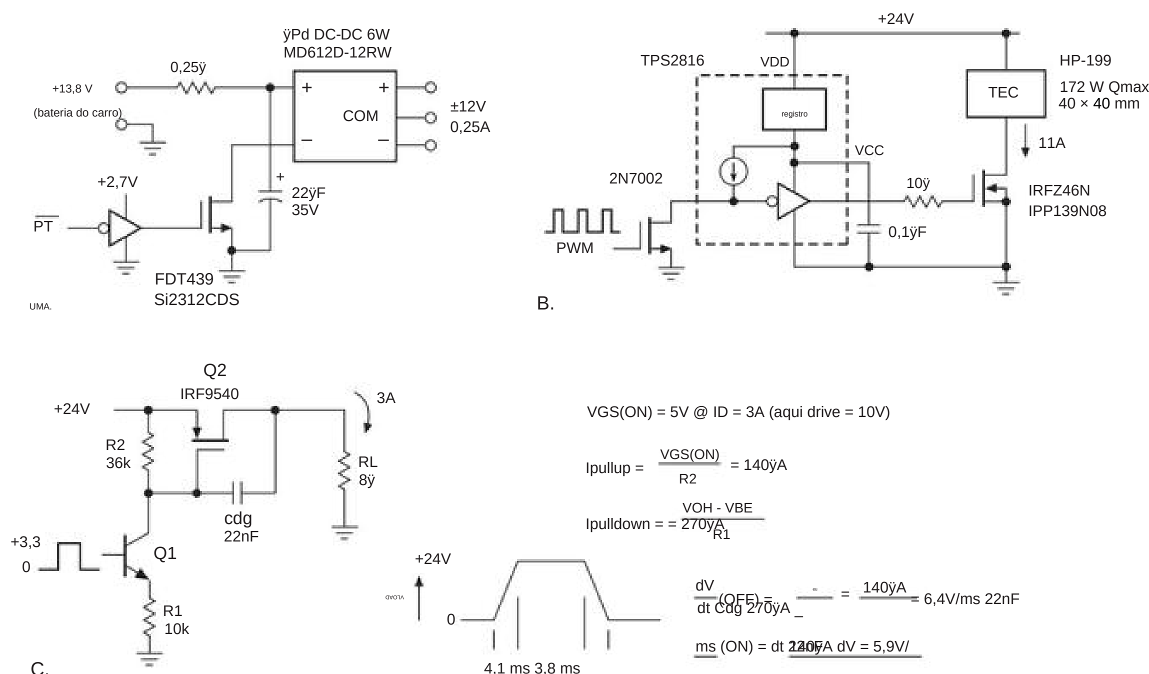


Figura 12.42. Alguns exemplos de comutação de MOSFET: A. carga com alta corrente de inrush (conversor dc–dc); B. comutação rápida (modulação por largura de pulso) do módulo termoelétrico de alta corrente (o 2N7002 é necessário porque o pullup interno do TPS2816 gera uma oscilação lógica de entrada de 12 V quando alimentado por VDD=24V); C. comutação do lado alto com taxa de variação controlada; o MOSFET Q2 tem um gate drive de 10 V completo após alguns milissegundos.

aplique apenas um pulso de energização curto (tipicamente ~10 ms mínimo) para LIGAR ou DESLIGAR a carga . •[23]

Os relés de travamento de bobina única evidentemente respeitam a polaridade do acionamento da bobina CC. Mas esteja ciente de que muitos dos relés normais (estáveis de lado único) nessas configurações de montagem de PCB fáceis de usar também exigem que a tensão da bobina seja aplicada com a polaridade correta; será indicado na folha de dados e geralmente com marcações de polaridade no corpo do relé - e elas significam isso!

12.4.2 Cargas positivas: transistor assistido

Com um MOSFET externo ou transistor bipolar, você pode controlar praticamente qualquer coisa. Olhe para trás em §3.5.3 (Figura 3.96) para alguns circuitos de drive MOSFET bons para cargas de centenas de volts e dezenas de amperes. MOSFETs (ou transistores bipolares de porta isolada, IGBTs; ver §3.5.7) são os transistores de escolha para tais aplicações robustas. Eles também são úteis para comutação de “lado alto”, como vimos em §3.5.6 (Figura 3.106).

A Figura 12.42 mostra algumas configurações adicionais. O desafio no primeiro circuito é lidar com a corrente de irrupção relativamente grande na inicialização do conversor CC-CC (pico de 5 A, comparado com 0,8 A durante a operação com potência máxima). O poderoso FDT439, em seu pequeno gabinete SOT-223, garante um RON máximo de 0,08 ÿ em VGS=2,5 V (onde sua corrente de dreno de saturação é em torno de 20 A; ver Tabela 3.4a). Portanto, ele lida com a corrente de irrupção com facilidade. O pequeno resistor de entrada e o capacitor de desvio a jusante estão incluídos para filtrar o ruído de comutação e isolar o transiente de ativação para minimizar a perturbação de outros sistemas eletrônicos que funcionam a partir da bateria do carro.

O desafio no circuito B é fazer uma comutação rápida de uma carga de alta potência (um módulo de resfriamento termoelétrico), controlada ajustando o ciclo de trabalho de seus pulsos ON (PWM, modulação por largura de pulso). Aqui precisávamos de um MOSFET de grande potência e bastante drive de porta para comutar a capacitância de porta rapidamente através de seu limite (para minimizar as perdas de comutação). O TPS2816 é um bom gate driver (consulte a Tabela 3.8), com alta tensão de saída de +10 V (e capacidade de corrente de pico de ±2 A) e com um regulador embutido para

[23] Instalamos vários Intermatic ST01C “Digital In-Wall Timers” para controlar a iluminação externa de nossa casa. Esses filhotes incluem inteligência suficiente para compensar as variações sazonais no crepúsculo e no amanhecer, e eles alternam alegremente cargas de 15 A 120 Vac, usando apenas uma única bateria de lítio CR2. Mal podíamos esperar para abrir um, e voila - um 'relé de travamento!

operação de tensões de alimentação até +40 V. Os MOS FETs de potência mostrados são bons para corrente de dreno de 30 A e vêm em pacotes de montagem em superfície (D2Pak, TO-252, TO-262).

Finalmente, o circuito C mostra uma chave de alta com taxa de variação controlada, para minimizar a produção de transientes. Não há problema em ligar a energia em escalas de milissegundos, desde que você não tente fazer isso em uma taxa alta (como em PWM) e desde que a chave possa lidar com o pulso térmico transitório.24 A taxa de variação é definido pela corrente de acionamento do gate carregando e descarregando um "capacitor Miller" Cdg, aqui organizado para cargas líquidas aproximadamente iguais e correntes de descarga.
Os cálculos na figura dizem tudo (cinco equações valem mais que mil palavras).

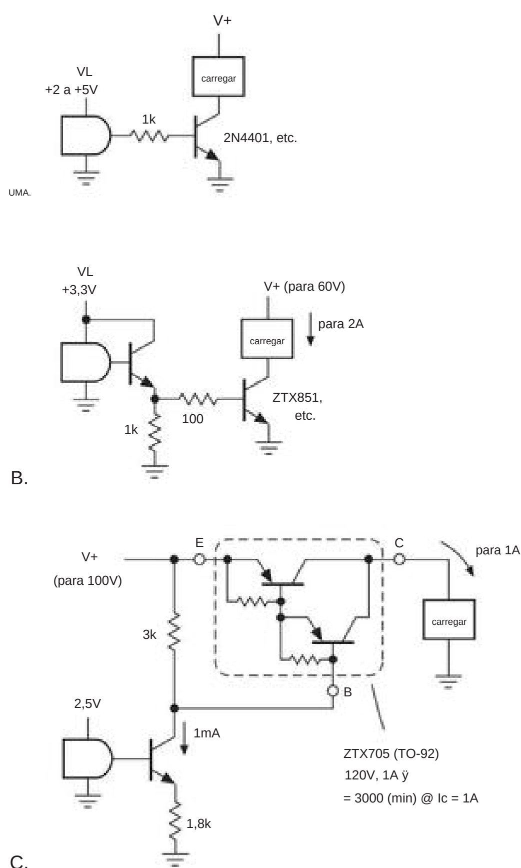


Figura 12.43. Os transistores bipolares estendem a capacidade de acionamento de tensão e corrente. O mesmo vale para MOSFETs de potência – veja as Figuras 3.96 e 12.42.

Em uma escala mais modesta, você pode usar transistores bipolares (BJTs) para essas mesmas tarefas, por exemplo, conforme mostrado na Figura 12.43. Algo como uma jujuba 2N440125 (cerca de US$ 0,06 em 100 unidades) é bom para até +40 V e 500 mA; mas cuidado – o beta mínimo cai para 40 naquela corrente, então você precisará redimensionar o resistor em série para fornecer mais de 10 mA de base para o VBE do transistor. E mesmo assim, a tensão de saturação não é impressionante: VCE(sat)=0,75 V (max) a 500 mA com 15 mA de drive de base (portanto, 0,25 W de dissipação do transistor). Uma escolha melhor para tais correntes é algo como o ZTX851 da Zetex, que vem em uma variante TO-92 que eles chamam de "E-line". É bom para 60 V e 5 A, beta mínimo de 100 a 2 A e VCE(sat)=0,15 V (máx.) a 2 A com 50 mA de inversor de base.

Isso é aproximadamente a mesma dissipação que o 2N4401, mas com quatro vezes a corrente de carga. Para obter o drive base, você usaria um driver seguidor de emissor, como na Figura 12.43B.

Você pode configurar facilmente um BJT como uma chave de lado alto usando um dissipador de corrente *npn* comutado por lógica para direcionar a polarização de uma chave *pnp* de lado alto (Figura 12.43C). Aqui usamos um Darlington da excelente série E-line de BJTs da Zetex, exigindo apenas um miliampère de base para mudar para um amplificador de corrente de carga (onde VCE(sat)ÿ0,75 V).

Nestes exemplos, não nos preocupamos em proteger as chaves de condições de falha, como uma carga em curto.
Isso não deve ser ignorado; e não o faremos – consulte §12.4.4, que será abordado em breve.

12.4.3 Cargas negativas ou CA

A Figura 12.44 mostra alguns métodos pelos quais uma entrada lógica pode controlar cargas que retornam a um trilho de alimentação negativo; também é mostrada uma interface comum da lógica para uma carga de energia CA. Nos circuitos A e B, um estado de saída ALTO ativa a chave do transistor *pnp ,* levando o coletor à saturação em uma queda de diodo acima do solo. No circuito A, o resistor (ou limite de corrente de saída do portão) define a corrente do emissor e, portanto, a corrente máxima do coletor (carga), enquanto no circuito B, mais potente, um seguidor *npn* é usado como um buffer e um diodo em série com a saída evita que a carga balance acima do solo. Em ambos os casos, a corrente de carga máxima é igual à corrente do inversor para o emissor do transistor *pnp .* O circuito C requer uma tensão de alimentação de polarização negativa de baixa tensão (-Vbias), mas tem a vantagem de saturar de forma limpa para o terra e, com um MOSFET de potência, pode

[24] Folhas de dados especificam uma "impedância térmica transitória" da junção para o invólucro, que para esses transistores é de cerca de 0,5ÿC/W em escalas de tempo de milissegundos, bom para a dissipação de 18 W (máximo) durante a comutação. Mais sobre isso em *§3x.13.*

[25] O prefixo 2N é para o pacote TO-92 de passagem. Para montagem em superfície, o número de peça base se torna MMBT4401, com sufixos malucos para os diferentes pacotes de montagem em superfície (SOT-23, SOT-323/SC70, SOT-523, SOT-723).

Machine Translated by Google

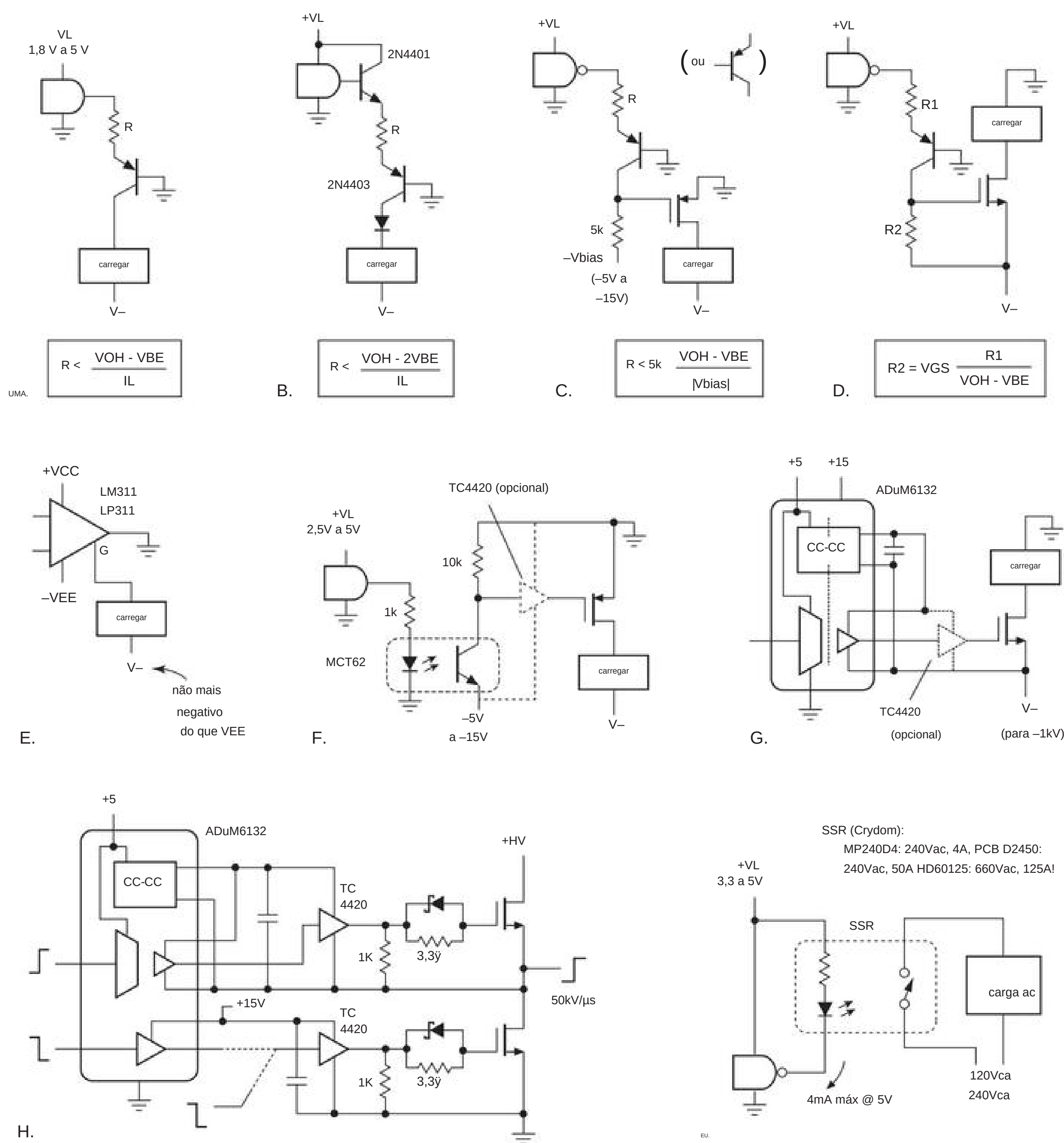


Figura 12.44. Condução de cargas negativas e CA.

lida com tensões e correntes de carga muito grandes, mesmo quando acionado por lógica de baixa tensão de corrente de saída mínima (mas você pode querer adicionar um IC de driver de porta MOSFET, como nos circuitos F-H: sua alta capacidade de corrente rail-to-rail saída produz comutação muito mais rápida na capacitância de porta grande do MOSFET). O circuito D mostra como conduzir um aterramento carga devolvida a uma tensão negativa; isso tem a propriedade agradável de não exigir uma alimentação negativa separada de baixa tensão. Circuitos como este não fornecem proteção contra falhas de carga; certifique-se de ler o §12.4.4, que trata dessa importante questão.

Comparadores com saída flutuante (LM311 e

primos) podem conduzir cargas de referência negativa modestas, como no circuito E; mas o retorno negativo não pode ser mais negativo do que o trilho negativo do comparador, e a corrente é limitada a 50 mA. O circuito F mostra como usar um acoplador óptico (consulte §12.7) para converter uma saída lógica positiva em um nível negativo que pode acionar uma porta MOSFET de potência de canal p diretamente (ou através de um driver de porta MOSFET, para comutação mais rápida; consulte Figura 3.97). Como os MOSFETs de canal n têm melhor desempenho (RON mais baixo e estão disponíveis até 1000 V, em comparação com ÿ300 V para pMOS), é bom poder usá-los sempre que puder. O circuito G faz isso gerando um sinal de acionamento do portão no trilho V , usando o elegante isolador lógico ADuM6132 da Analog Devices. O último usa minúsculos transformadores no chip para gerar uma tensão de alimentação CC isolada (flutuante) e também para acoplar o sinal lógico de entrada a uma saída isolada de forma semelhante. Mais uma vez, você pode interpor um driver de portão MOSFET, alimentado pela mesma energia isolada.

Como um aparte, o circuito H mostra como usar o mesmo ADuM6132 para gerar uma unidade de porta *de lado alto ,* para que você possa usar MOSFETs de potência de canal n para ambos os switches em um estágio de saída push-pull de alta tensão. Este chip isolador é notável por sua capacidade de funcionar adequadamente mesmo quando a saída isolada está girando em taxas de variação de ÿ S. até 50 kV. sua porta está na mesma tensão de sua fonte (quando desligada) ou está 15 V acima da fonte (quando ligada).

Finalmente, para acionar cargas CA, o método mais fácil é usar um "relé de estado sólido", como no circuito I. Esses são triacs, SCRs ou IGBTs opticamente acoplados com entrada compatível com lógica e 1–50 A (ou mais!) capacidade de corrente de carga ao alternar uma carga de 115 Vac (ou mais!). As variedades de baixa corrente estão disponíveis em embalagens SMT e DIP (por exemplo, a série photoMOS da NAiS Aromat, os relés MOSFET da Omron e a série PV de "interruptores fotovoltaicos" da International Rectifier; consulte §12.7.5 e 12.7. 6 para mais opções), enquanto os mais pesados vêm como um bloco retangular de montagem de chassi de aproximadamente 2 polegadas quadradas.26

Como alternativa, você pode alternar cargas CA com um relé comum, energizado pela lógica. No entanto, certifique-se de verificar as especificações, porque a maioria dos pequenos relés acionados por lógica não pode acionar cargas CA pesadas e você pode ter que usar um MOS FET ou relé lógico para acionar um segundo relé maior. A maioria os relés de estado sólido usam comutação "zero-crossing" (ou "zero-voltage"), que é, na verdade, uma combinação de ativação de tensão zero e desativação de corrente zero; é um recurso desejável que evita que picos e ruídos sejam impressos na linha de força. Grande parte do "lixo" na linha de força CA vem de controladores triac que não comutam em cruzamentos zero, por exemplo, dimmers controlados por fase usados em lâmpadas, banhos termostáticos, motores, etc. internamente no circuito I, às vezes você vê um transformador de pulso usado para acoplar pulsos de disparo a um triac ou SCR.

[26] Com SSRs de alta corrente, a queda de tensão diferente de zero pode produzir muita dissipação de energia, exigindo dissipadores de calor substanciais. Por exemplo, o HD60125 de 125 A com sua queda de 1,7 V dissipa um pouco mais de 200 W em plena carga! Isso é preocupante: apesar do apelo sem partes móveis dos SSRs, você pode decidir que os relés mecânicos não são tão ruins afinal.

12.4.4 Protegendo interruptores de energia

Nestes exemplos de interruptores, evitamos um tópico importante: ao acionar cargas de energia, você deve se preocupar com qualquer uma das várias "condições de falha" possíveis, por exemplo, uma carga em curto-circuito. Isso pode acontecer com mais facilidade do que você imagina, principalmente com cargas externas conectadas por meio de conectores e cabos. Sem algum circuito de proteção, o MOSFET é facilmente (e rapidamente) destruído, talvez levando consigo algum circuito adicional. Vamos olhar mais de perto.

A Figura 12.45 mostra três versões de um pMOS high

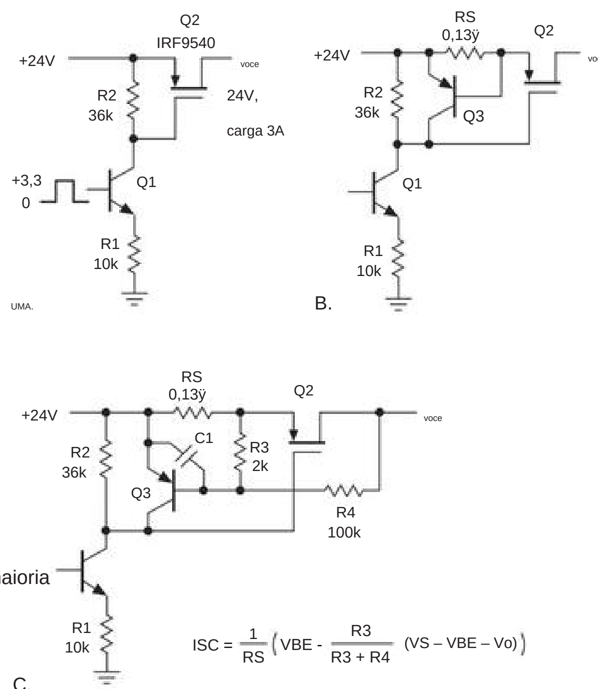


Figura 12.45. Corrente limitando o interruptor do lado alto: A. sem proteção; B. Limite de corrente fixo de 5 A; C. limite de corrente de retorno.

interruptor de alimentação lateral, destinado a uma carga com retorno de terra que consome 3 A quando alimentado por sua classificação de +24 V. Em todos os três circuitos, o transistor *npn* Q1 converte a entrada de nível lógico de +3,3 V em uma corrente de afundamento de 0,27 mA, que gera o drive de gate negativo de ~10 V para o MOSFET Q2 de potência do canal p. O IRF9540 tem um RON máximo de 0,2 ÿ naquele acionamento do gate, portanto, há no máximo uma queda de 0,6 V em carga total ou uma dissipação de 1,8 W. Você quase não precisa de um dissipador de calor.

O que acontece se a saída estiver em curto? O circuito A não tem proteção, portanto a corrente é limitada pela capacidade da alimentação de +24 V ou pela corrente de dreno de saturação de Q2, o que for menor. Para este último, o datasheet mostra ÿ50 A (em VGS=ÿ10 V e VDS=24 V). Para esta aplicação de 3 A, é provável que a fonte de 24 V seja menos forte do que isso, talvez boa para 5–10 A. Tomando o valor mais alto e usando o RON = 200 mÿ da folha de dados a 25ÿC, temos I2RONÿ Dissipação de 20 W em Q2 (aumentando para 30 W a 100ÿC), uma situação nada feliz para um transistor que normalmente está dissipando menos de 2 W.

OK, você diz, vamos adicionar *limitação de corrente* (Circuito B). Este é o circuito usual, com um resistor sensor de corrente RS dimensionado para gerar uma queda de VBE na corrente limite, trazendo assim Q3 para a condução, roubando o acionamento do gate e evitando aumentos adicionais de corrente. É melhor definir a corrente limite o suficiente acima da carga máxima normal para que as variações no VBE com a temperatura não causem uma limitação prematura. Aqui, o limite de corrente é definido em aproximadamente 5 A. A boa notícia: temos um limite de corrente. A má notícia: piora as coisas para Q2, cuja dissipação em curto-circuito sobe para IlimVin=120 W.

OK, OK, você diz, o problema com um limite de corrente simples é que ele permite uma corrente de falha pelo menos igual à corrente de carga normal máxima e com a queda total de 24 V no transistor de chaveamento. Em outras palavras, você sempre terá pelo menos 72 W de dissipação (24 V vezes 3 A) em um curto. Então, vamos montar um circuito melhor que *reduza* o limite de corrente quando vê a carga arrastando para baixo na saída; em outras palavras, um circuito de proteção que permite corrente de carga total na tensão de saída nominal, mas reduz a corrente na tensão de saída mais baixa.

Isso é chamado *de limitação de corrente de retorno* e se parece com o circuito C. Ele se comporta como o limite de corrente simples quando não há queda significativa na chave; mas se a saída for mantida no solo (por exemplo), o divisor de tensão *R3R4* cria cerca de 0,5 V de polarização direta através da base-emissor de Q3. Portanto, leva apenas um pouco mais de 1 A para colocar Q3 em condução, limitando a corrente a esse valor mais baixo e a dissipação a cerca de 30 W. É comum definir o limite de corrente de curto-circuito em algum lugar na faixa de 25 a 35% do corrente de carga total. O capacitor C1 fornece algum atraso limite de corrente de disparo anterior ou rebatimento; uma constante de tempo de ~1 ms protege contra foldback excessivamente zeloso enquanto mantém a proteção.

A Figura 12.46 mostra a situação graficamente. Entre outras coisas, você pode ver que a condição de falha de pior caso (em termos de dissipação do transistor) ocorre para uma carga que possui uma resistência pequena (em vez de zero ohms). Isso ocorre porque a corrente de carga permitida crescente mais do que compensa a queda de tensão decrescente no interruptor. Mesmo com esse esquema de foldback, mais uma vez nos deparamos com um salto enorme na dissipação do switch: de 1,8 W (máximo) para uma carga normal, aumentando para 34 W em um curto e 42 W em uma carga de condição de falha de 3 ÿ . E os circuitos foldback têm suas desvantagens: se feitos suficientemente agressivos, eles podem impedir a partida em uma grande carga capacitiva ou outras cargas (como motores ou conversores CC-CC) que tenham uma grande corrente de partida.

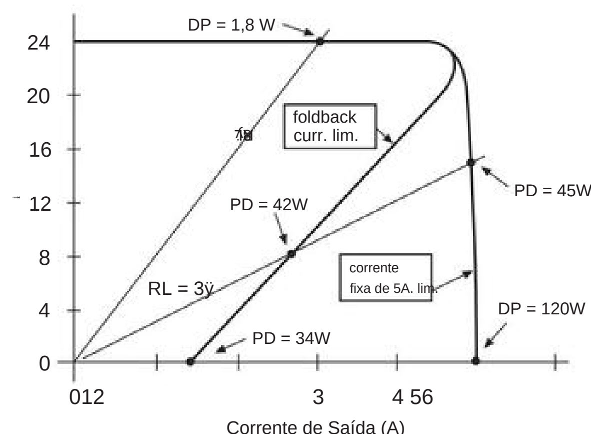


Figura 12.46. A limitação de corrente de retorno reduz a dissipação do interruptor de saída em curto em mais de um fator de 3 em comparação com a limitação de corrente simples.

A. Uma maneira mais fácil: interruptores protegidos

O que fazer? Os circuitos de dobramento podem ser mais precisos,27 por exemplo, substituindo Q3 por um amplificador diferencial.
E você pode moldar o contorno dobrável incluindo um zener no caminho de realimentação. Em seguida, use um dissipador de calor robusto, combinado com sensor de temperatura para desligar a energia quando houver aquecimento excessivo, e você poderá fazer tudo funcionar de maneira confiável.

Mas há uma maneira melhor, na forma de profissionais “inteligentes”

27 Nosso circuito sofre de incertezas em VBE, o que é importante: a corrente de curto-circuito é definida pela *diferença* entre o VBE real e os 470 mV que o divisor *R3R4* cria durante a saída em curto.

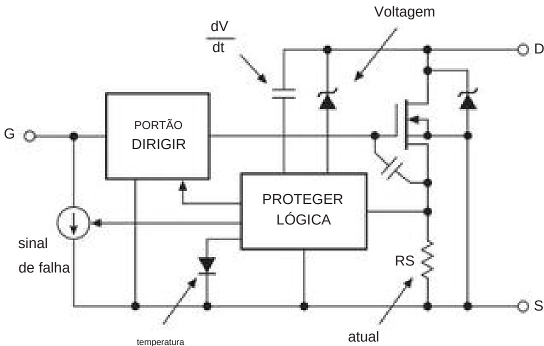


Figura 12.47. Um MOSFET protegido age como um transistor comum, mas inclui detecção de falha interna e circuitos de desligamento.

interruptores protegidos. Uma variedade consiste em MOS FETs de canal n, decorados com circuitos internos que detectam sobretensão, sobrecorrente e superaquecimento, desligando a unidade de porta de acordo (e fornecendo uma indicação na forma de resistência de entrada de porta reduzida). Esses dispositivos vêm em pacotes padrão de transistores de 3 terminais, mas internamente eles possuem um circuito integrado monitorando o MOSFET de potência (Figura 12.47). A Tabela 12.4 lista uma amostra de peças típicas.

Eles são adequados para qualquer aplicação na qual você usaria um MOS FET de potência de canal n de tensão relativamente baixa. Por exemplo, eles seriam adequados para chavear o lado de baixa de uma carga que retorna para uma alimentação positiva, como nas Figuras 12.42A,B; ou você pode usar um para mudar um

Tabela 12.4 Alguns MOSFETs Protegidos

Pacotes

Modelo VDS máx (V) ID máx (A) RDS máx (mÿ) Qg tipo (nC) Custo qty25 ($US)

BTS3207 42 0,6 500 - 0,60 - - - ●
VNN1VN04 40 1,7 250 5 0,62 - 3 VNN3VN04 40 3,5 120 ● ●
8,5 1,08 - 3 ● ●
IPS1041 36 4,5 100 1,92 - 3 D BTS117 60 7 100 S 1,97 3 ●
- - - VNN7VN04 40 9 60 18 0,90 - 3 VNP10N07 70 10 100
30 1,36 3 - - - VND14NV04 40 1[illegible] 0,60 ● ●
4,81 3 - - - VNP35NV04 40 30 13 118 4,67 3 - - -
●

Notas: (a) Todos são do tipo canal n, com corrente ativa e limites de sobretemperatura; todos requerem 5V mínimo de acionamento do portão e sinalizam condições de falha com excesso de corrente no portão; Os tipos BTS têm dV/dt lento, enquanto os tipos VN são mais rápidos, mas têm dI/dt controlado. (d) dual. (s) limite de taxa de variação 1V/ÿs.

tensão negativa para uma carga com retorno de terra, conforme a Figura 12.44D.

Para um aplicativo de comutação como o nosso, porém, você precisaria de um MOSFET *de canal p* protegido , uma raça que parece não existir. Para esta aplicação, há outra variedade de chaves protegidas, destinadas especificamente à comutação *do lado alto :* elas usam um MOSFET de potência de canal n, adequadamente protegido, com uma bomba de carga interna e um circuito de deslocamento de nível para conduzir o portão ~ 10 V além da posição. fornecimento itivo – ver Figura 12.48. Mais uma vez há detecção e proteção contra falhas de tensão, corrente e temperatura, às vezes respondendo também a subtensão, inversão de polaridade e perda de aterramento. Portanto, nosso circuito de comutação problemático de 3 A @ 24 V torna-se o mostrado na Figura 12.49: simples, barato e confiável.

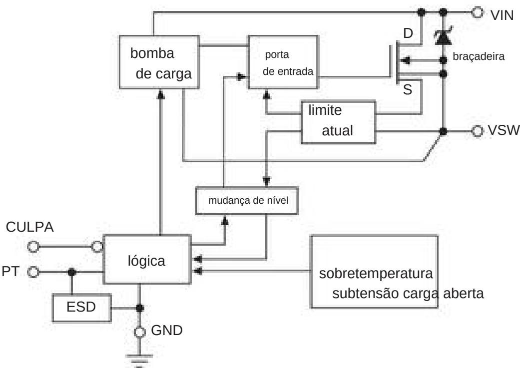


Figura 12.48. Os interruptores inteligentes do lado alto têm uma bomba de carga e circuitos de mudança de nível para acionar o portão do canal n além do suprimento de entrada do dreno; e eles monitoram de forma protetora as condições de falha, como sobretensão, sobrecorrente e sobretemperatura.

A Tabela 12.5 lista as características das chaves protegidas de alta tensão selecionadas.28 Dentro delas, há dois estilos de entrada lógica (Figura 12.50): uma versão aceita níveis lógicos digitais relativos a um pino de aterramento; o outro não possui pino de aterramento, exigindo que você puxe um pino de fonte de corrente para o aterramento com um pequeno interruptor externo. Este último estilo fornece uma indicação de corrente de carga, na forma de um pino de "saída de detecção" que fornece uma corrente aproximadamente proporcional à corrente de carga.

28 Mas um *cuidado:* a cena do interruptor inteligente do lado alto está repleta de partes descontínuas. É um setor de mercado saudável (mas competitivo) (pense em automóveis), e novas peças com desempenho (e preços) aprimorados são continuamente introduzidas. A Tabela 12.5 fornece uma lista atual e uma noção de preço e desempenho disponíveis; mas você pode ter que procurar peças comparáveis, pois elas são destinadas ao cemitério de componentes eletrônicos obsoletos.

Tabela 12.5 Chaves de lado alto selecionadasa

	Vin	Io RDS é VL tON tipo min tipo qty25 min max tipo máximo	Custo
Modelo	(V) (V)	(A) (mÿ) (mA) (V) (ms) ($US)	Pacote / Comentários

FDG6323L 1 2,5 8 TPS22960 0,6 550 B 1,5 0,01 0,35 0,5 435 0,00 1,6 • • - SC-70-6 nMOS drvr + pMOS hi-sideb - - Chave de
2 1,8 6 1,8 8 1,8 8 0,08 0,95 0,4 160 0,08 1,8 0,03 0,99 1,5c • canal p SOT-23-8 - Chave de canal p SOT-23-5 - -
FPF2110 1 160 0,08 1,8 0,03 1,05 1,5 900d 0,08 2,3 • • Chave de canal p SOT-23-5 - - SOT-23 -5 chave de
FPF2123g 1 0,01 1,90 2,7 6 0,5 90 90 0,04 0,5 0,08 0,08 • canal p - SOT-23-5 2 - SOP-8 DIP-8 TO-252-4 TO-220-5
MIC2514 1 3 14 0,01 0,01 1,90 2,7 6 0,5 90 90 0,04 0,0 0,0 • veja também BTS462T TO-220-7 TO-220-5 SO-8
STMPS2151 1 0,08 2,3 0,01 1,90 2,7 6 0,5 90 90 0,04 0,20 3,08 2,3 0,61 • • TO-220- 5 TO-220-5 TO-220-5 TO-252-5 Is = IL /
90 90 0,04 0,2 181516666. 5,5 0,7 80 0,08 2,2 2,5 2,59 6 62 1,8 150 0,8 2,5 • 10k (±20% a 30A) alimentação da porta USB
TPS2041 1 0,08 1,97 4,7 65 2,7 190 1,0 2,5 0,10 3,15 5 43 2,3 200 4 • • -
BTS452 1 4 0,20 3,17 6 32 5 135 0,7 3,3 0,05 1,76 2,8 36 2H 88 88 • • •
BTS410 1 0,7 2,70 62 0,3 0,05 1,76 26 36 2H 88 88 60 2,2 3,6 0,04 • • •
BTS611 2 2,52 5 50 20 28 2,2 3,3 0,14 4,16 BTS4122 1 4,0 5,16 4 38 530 • 1 •
IPS511 1 BTS6142 1 5,5 BTS6133 1 5,5 38,25 3,25 10 2,6 4,425 3,25 • • •
FPF2702 1 3,25 3,25,65 NE Vn133 3 5.5 38 33 10 10. 16 BTS442 1 • • - limite de corrente ajustável
IPS6031 1 4,5 63 70 15 IPS6011 1 6 35 60 14 BTS6144 1 5,5 30 37 • • •
BUK202-50Y 1 BTS555 1 5,0 44 165 1,9 • • •
• • •
•
• TO-252-5 é = IL / 9,7k (±10% a 30A)
5e 3,6 0,10 3,10 1,1 2,7 • • • TO-220-5
0,35f 5,37 2,2 3,3 0,07 4,40 • • • TO-220-5
2,2 0,8 • • • TO-220-5
9 n 0,30 4,77 ne • TO-220-7 Is = IL / 12,5k
n 0,6f 5,80 ne • TO-218-5 a 480A surge, Is = IL / 30,2k

Notas: (a) todas são chaves de canal n, com bombas de carga, a menos que marcadas; todos têm proteção contra sobrecorrente e sobretemperatura. (b) par de transistores, não inteligentes, adicione seus próprios resistores de fonte e porta. (c) ajustável 0,15-1,5A. (d) em 12V. (e) um pino sinaliza corrente de carga e falhas. (f) máx. (g) desliga após 10ms, tenta novamente a cada 160ms depois disso. (h) ajustável 0,4-2A. (n) Requer fechamento MOSFET para GND, afundando Is.

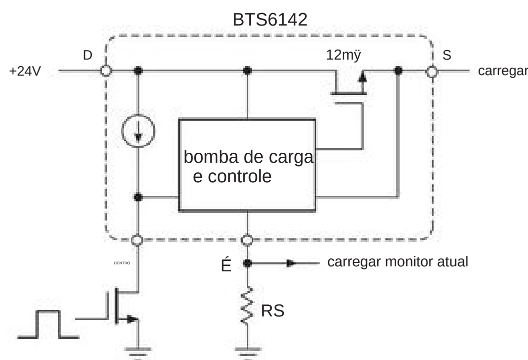


Figura 12.49. Problema resolvido! Um interruptor integrado inteligente de lado alto fornece uma solução simples e confiável.

BTS6142, etc. IPS511, etc.
+vin carregar ~1mA S 2N 7000 RS UMA. +vin carregar +5 0 DG G +5 status 10k B.

Figura 12.50. Dois esquemas de controle para interruptores inteligentes do lado alto. A. Sem pino “terra”: habilite puxando a entrada para o terra, corrente de saída relatada via pino IS de fonte de corrente proporcional. B. Unidade de tensão de nível lógico em relação ao pino de aterramento; a saída de status ativo-BAIXO relata condição de falha. Esta é a configuração mostrada na Figura 12.48.

12.4.5 interface nMOS LSI

A maioria dos circuitos LSI e VLSI tem verdadeiros drivers de saída CMOS, com oscilações completas de trilho a trilho e com praticamente as mesmas propriedades de interface das portas lógicas CMOS que acabamos de discutir. Isso é invariavelmente verdadeiro para CIs que operam a partir de uma tensão de alimentação de +3,3 V ou menos. No entanto, ainda existem ICs úteis projetados para operação de alimentação de 5 V que usam um estágio de saída MOSFET de canal n “totem-pole” (seguidor nMOS no topo de um switch nMOS; consulte a Figura 12.51), produzindo assim uma tensão de saída ALTA de apenas ÿ3,5 V, e

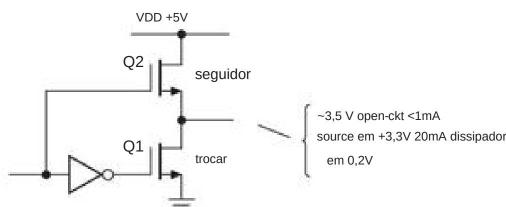


Figura 12.51. Circuito de saída de totem lógico NMOS. A tensão de saída do estado ALTO VOH é de cerca de +3,5 V, com capacidade de fonte de corrente ruim.

mesmo com quase nenhuma capacidade atual de fornecimento; você precisa saber sobre esse comportamento peculiar. (O mesmo vale para saídas bipolar-TTL, construídas com transistores *npn* no mesmo tipo de totem.) Já que estamos nisso, vamos dar uma olhada também em um típico estágio de *entrada* nMOS , ainda amplamente utilizado em CIs que pode funcionar em uma faixa de tensões de alimentação enquanto mantém um limite lógico de entrada que atende às especificações TTL canônicas (ou seja, qualquer coisa menor que +0,8 V é interpretada como BAIXA; qualquer coisa acima de +2,0 V é ALTA).

A. Saídas nMOS e TTL O problema com uma saída nMOS ou TTL é que sua saída HIGH , ficando anêmica em ~3,5 V, é inadequada para conduzir cargas como LEDs ou relés; e não pode nem mesmo conduzir legalmente a entrada de um dispositivo lógico HC de 5 V '(com seu limite de alimentação intermediária). Tomando o exemplo da família XC95xx de Xilinx cPLDs tentando acionar um LED branco brilhante, a Figura 12.52 mostra graficamente o problema: as curvas tracejadas mostram a situação de saída HIGH , onde a fonte de corrente versus tensão do cPLD cai para zero em torno de 3,4 V.

Podemos imaginar o que acontecerá se usarmos isso para acionar um LED branco cujo cátodo (terminal "-") está aterrado, plotando no mesmo gráfico a "linha de carga" do LED; fizemos isso para um resistor em série de 70 ÿ e para nenhum resistor. De qualquer forma, tivemos sorte em obter 4 mA de corrente de LED e sem nenhuma confiança no resultado. Compare isso com a configuração de *dissipação* (saída cPLD conectada ao cátodo do LED, ânodo retornado a +5 V por meio de um resistor em série), onde uma saída lógica de BAIXA saturação limpa para o terra produz um robusto e previsível ~20 mA de acionamento com o resistor em série (nem *pense* em omitir o resistor!). Os resultados com uma estrutura de saída bipolar-TTL são análogos (embora com corrente de abastecimento consideravelmente pior).

A lição é clara: ao direcionar cargas exigentes diretamente das saídas nMOS ou TTL, configure as coisas para que o estado BAIXO da saída faça o trabalho pesado.

Se você insiste em conduzir uma carga que volta ao solo

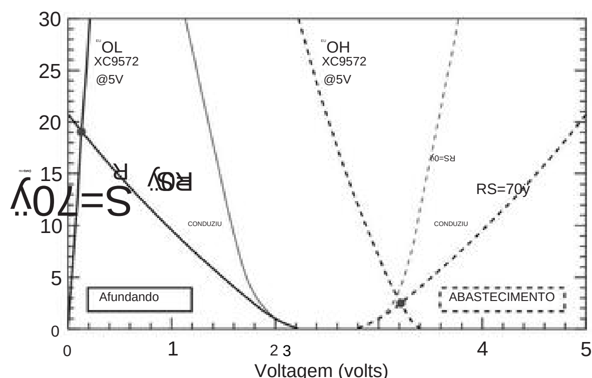


Figura 12.52. Conduzindo um LED branco com uma saída nMOS. A série XC9500 de 5 V de cPLDs fornece uma boa dissipação até o aterramento, mas uma fonte mais fraca, e isso apenas para ~3 V. Aqui usamos linhas de carga (consulte o Apêndice F) para estimar a corrente do LED tanto para a dissipação quanto para configurações de alimentação (indesejáveis), em cada caso com e sem um resistor limitador de corrente em série. (Consulte as Figuras 2.8 e 1x.48 para curvas de LED VI.)

de uma dessas saídas fracas, você tem várias opções. A maneira *errada* é dizer "hmmm, vou apenas adicionar um seguidor de emissor de aumento de corrente" (Figura 12.53). Boa tentativa, mas a queda adicional do VBE só piora as coisas.

A Figura 12.54 mostra várias maneiras que funcionam. No circuito A, a saída nMOS LOW desce 2 mA, levando o transistor *pnp* a uma condução forte; você pode usar um resistor discreto mais transistor, ou uma combinação de "transistor digital" (também conhecido como "transistor pré-polarizado" ou "transistor resistor de polarização") como o DDTA123, bom para 100 mA de corrente de carga.[29] O circuito B substitui um MOSFET de canal p de baixo limiar (RON<100 mÿ em VGS=ÿ2,5 V), com um resistor pull-up suave para garantir que a saída ALTA mantenha o transistor DESLIGADO.

O circuito C trapaceia um pouco, interpondo um inversor CMOS (ou buffer não inversor) com níveis de entrada compatíveis com TTL (portanto, compatíveis com nMOS). A saída pode facilmente conduzir uma carga de 5 V, fornecendo (ou diminuindo) dezenas de miliamperes de corrente (consulte a Figura 12.7). Para obter mais músculos, você pode substituir um driver de portão MOSFET como a onipresente série TC4420 (circuito D), que também permite aumentar a oscilação de saída até +18 V; essas coisas dificilmente transpiram em fontes ou sumidouros de centenas de miliamperes (consulte a Figura 12.7 novamente).

B. Saídas CMOS fracas

Problemas de drive semelhantes podem surgir mesmo com saídas CMOS rail-to-rail verdadeiras. Por exemplo, observe a curva de fonte PIC16F (saída ALTA) na Figura 12.8. Podemos usar um

29 Ou as mais de 300 alternativas em estoque da DigiKey, de sete fabricantes.

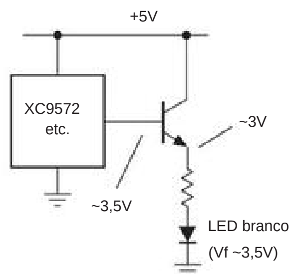


Figura 12.53. Não faça isso! A baixa tensão de saída HIGH de um dispositivo nMOS ou TTL só é diminuída pelo seguidor *npn* – é um LED preto.

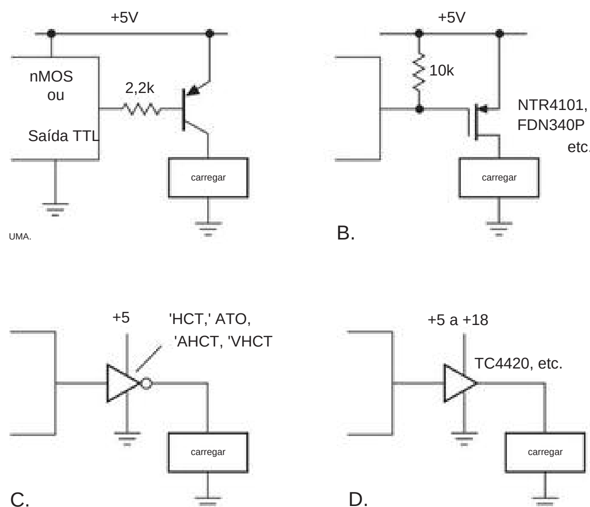


Figura 12.54. Essas saídas lógicas nMOS estão conduzindo cargas que retornam ao solo.

técnica gráfica de linha de carga semelhante para ver como essa saída se sai ao acionar uma carga como uma chave *npn* com resistor de base em série (Figura 12.55), que você pode usar para ligar uma bobina de relé de 3 V (por exemplo, um Panasonic TXS2-3V , requerendo 16,7 mA). As linhas de carga são desenhadas para várias opções de resistor de base, permitindo-nos estimar a corrente de base resultante da interseção com a curva de saída HIGH do popular microcontrolador PIC10F. Aqui, um resistor em série de 2 kÿ produz cerca de 1,7 mA de acionamento de base, o que (de acordo com o datasheet do transistor) faz com que o coletor sature a menos de 50 mV com a bobina do relé como carga. Tudo bem – menos de um miliwatt de dissipação do transistor. Mas se você quiser acionar um relé mais pesado, por exemplo o Omron G6RL-1A-3VDC, que tem contatos classificados em 8 A e 250 Vac, você terá que lidar com a resistência da bobina de 3 Vdc de 41 ÿ, ou 73 corrente da bobina mA. Agora, um resistor de base de 1 kÿ (ou menor) seria melhor: o

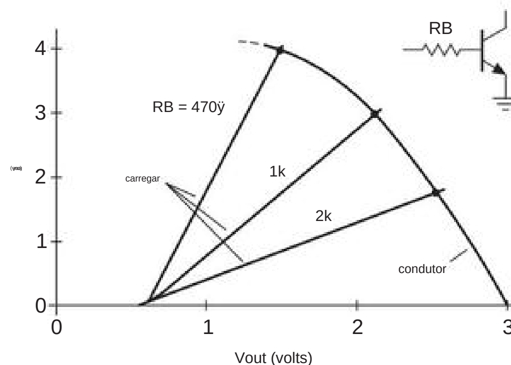


Figura 12.55. Uma saída CMOS fraca (aqui um microcontrolador PIC10F, VDD=3 V) pode comutar um transistor "driver de relé" como o DRDNB16W (que inclui um resistor de base série 1k e um diodo de fixação). Ou você pode usar o DRDN005 sem resistor com um resistor de base externo. Considere também um "transistor digital" barato de 3 pinos, que inclui um resistor de base integrado.

>3 mA base drive produz uma tensão de saturação do coletor de ~100 mV, ou 10 mW de dissipação do transistor.

C. Entradas nMOS

Você pode pensar que o nMOS está morto,30 nas mãos do vitorioso CMOS. Mas você estaria errado: muitos CIs digitais que precisam operar em uma ampla faixa de tensões de alimentação usam o circuito de entrada simples da Figura 12.56. Q1 é um inversor e Q2 é um seguidor de fonte de geometria pequena que fornece corrente de pullup (resistores ocupam muito espaço, então

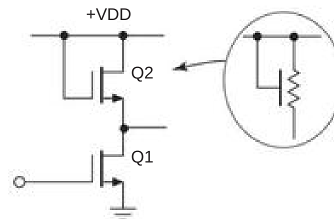


Figura 12.56. Circuito de entrada lógica NMOS.

MOSFETs são usados universalmente como cargas de dreno); o símbolo alternativo mostrado para Q2 é amplamente utilizado. A tensão limite do transistor de entrada está na faixa de 1 a 1,5 V, totalmente compatível com a especificação de longa data "nível de entrada TTL". Um exemplo clássico de um IC que funciona dessa maneira é um driver de portão MOSFET como o TC4420 (e seus muitos primos), que é executado a partir de um único +VDD positivo

30 "Ela não está apenas morta, ela está sinceramente morta", como o Coroner proclamou em *O Mágico de Oz.*

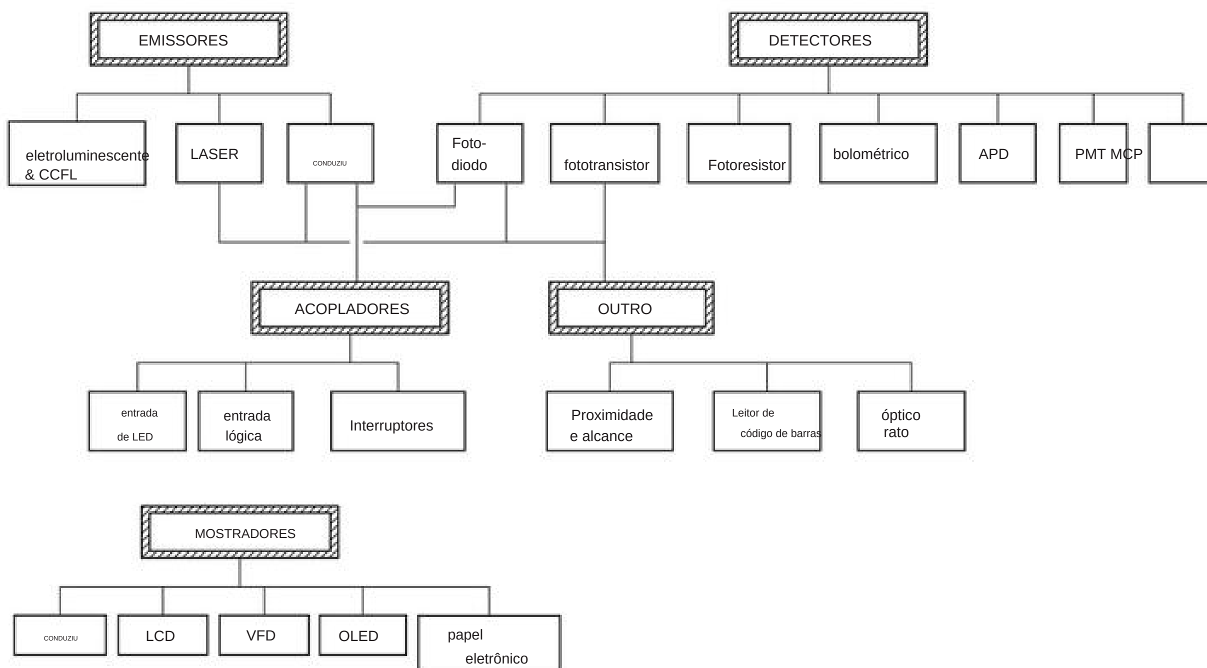


Figura 12.57. Árvore genealógica da optoeletrônica.

alimentação na faixa de 4,5–18 V. Felizmente, essa entrada aceita praticamente qualquer nível lógico ALTO que você lançar nela (incluindo todo o caminho até a alimentação positiva elevada) enquanto extrai corrente de entrada essencialmente zero.

12.5 Optoeletrônica: emissores

Nos três capítulos anteriores, usamos indicadores de LED e dispositivos de exibição numérica de LED em vários contextos de circuito, conforme necessário. Os LEDs pertencem à área geral da *optoeletrônica,* que inclui displays baseados também em outras tecnologias, notadamente cristais líquidos (“LCD”) e descarga de gás. Também inclui eletrônicos ópticos usados para fins diferentes de indicadores e displays: detectores (fotodiodos e fototransistores), fotomultiplicadores, detectores de matriz, como "dispositivos acoplados a cargas" (CCDs), isoladores acoplados a luz ("opto-isoladores"), relés de estado sólido, sensores de posição e proximidade (“interruptores” e “sensores reflexivos”), lasers de diodo, intensificadores de imagem e uma variedade de componentes usados em fibra óptica.

Embora continuemos a conjurar diversos dispositivos mágicos conforme necessário, este parece ser um bom lugar para reunir a área de optoeletrônica, uma vez que está relacionada aos problemas de interface lógica que acabamos de discutir.

Para preparar o cenário, apresentamos uma breve árvore genealógica da optoeletrônica na Figura 12.57 e no esboço abaixo. Tentamos torná-lo inclusivo, para fornecer perspectiva e orientação. E uma família precisa de um *retrato,* então reunimos uma coleção de itens optoeletrônicos de nosso laboratório para as Figuras 12.58, 12.71, 12.80, 12.84 e 12.95. Nas seções a seguir, veremos um subconjunto desses dispositivos, concentrando-nos nos dispositivos e técnicas mais importantes para o projeto diário de circuitos e instrumentos.

12.5.1 Indicadores e LEDs

Os instrumentos eletrônicos ficam mais bonitos e são mais divertidos de usar se tiverem pequenas luzes coloridas neles. Os LEDs substituíram todas as tecnologias anteriores (notadamente as lâmpadas incandescentes) para esse fim. Você pode obter indicadores vermelhos, amarelos, verdes, azuis e brancos, e pode obtê-los em vários pacotes, sendo os mais úteis (a) luzes de montagem de painel e (b) tipos de montagem de PCB. Os catálogos apresentam uma variedade desconcertante deles, diferindo principalmente em tamanho, cor, eficiência e ângulo de iluminação. O último merece alguma explicação: um LED “inundado” (ou “difuso”) tem algumas coisas difusas misturadas, de modo que a lâmpada parece uniformemente brilhante em uma variedade de ângulos de visão; geralmente é o melhor, mas você paga um preço pelo brilho.

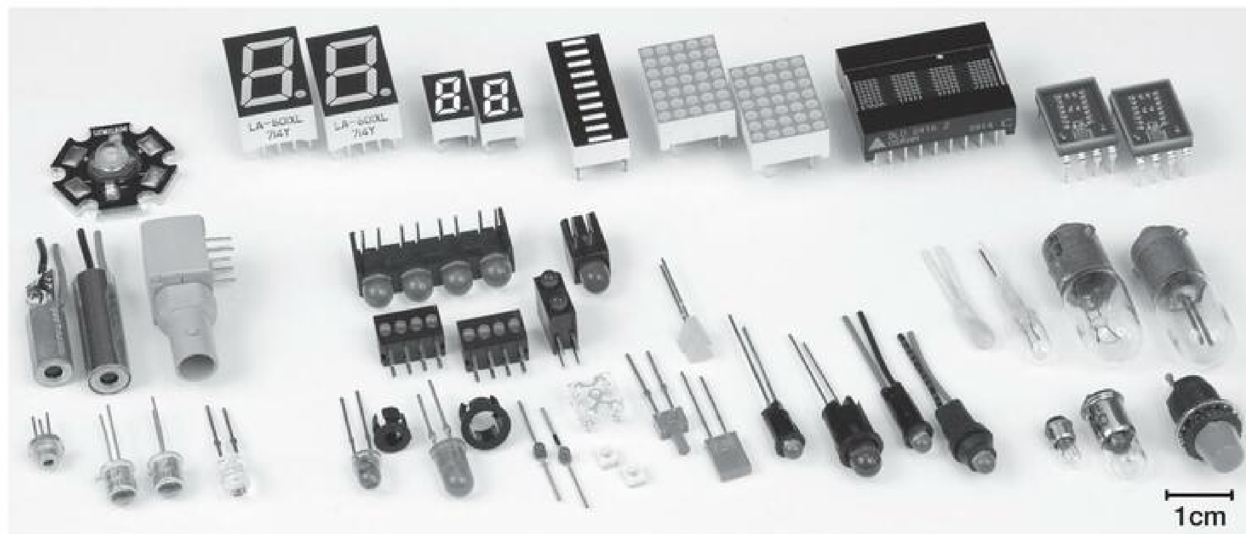


Figura 12.58. Optoeletrônica: emissores e displays. No centro frontal estão indicadores de LED visíveis, nos populares tamanhos de montagem em painel de 3 mm (T-1) e 5 mm (T-1¾) (alguns com montagem de plástico integral), juntamente com conjuntos de montagem em PCB. À esquerda estão três lasers e um ST de fibra óptica e um LED branco de alta intensidade ligado um dissipador de calor de alumínio. À direita estão seis indicadores incandescentes legados e uma lâmpada neon NE-51.

Ao longo da parte traseira estão os monitores: 7 segmentos, gráfico de barras, matriz de pontos 5 × 7, matriz de pontos de 4 caracteres e hexadecimal com latch-decoder-driver.

Se a especificação do “ângulo de meia intensidade” (ou “visão de um ângulo”) da folha de dados for de pelo menos 90ÿ (pode dizer “±45ÿ”) e, idealmente, 120ÿ ou mais, ela parecerá muito boa fora do eixo. A Figura 12.59 mostra uma comparação de plotagem polar para LEDs com ângulos de visão de 30ÿ, 60ÿ e 120ÿ. Eles mostram a intensidade relativa versus o ângulo de visão, normalizados para a unidade de intensidade no eixo (ou seja, 0ÿ). Sem essa normalização, os gráficos dos LEDs de 60ÿ e 120ÿ encolheriam drasticamente, conforme mostrado no gráfico não normalizado da Figura 12.60.

Um LED se parece eletricamente com um diodo, com uma queda direta de cerca de 1,5 V (vermelho) para 3,5 V (azul ou branco); eles usam semicondutores com um bandgap maior e, portanto, uma queda frontal maior do que o silício – consulte a Figura 2.8 na página 76.[31] Os LEDs montados em painel vêm principalmente em diâmetros de 3 mm e 5 mm (chamados T-1 e T-1¾, respectivamente), algumas vezes com um clipe de montagem integrado (consulte a Figura 12.58). Indicadores de LED tipo painel inundado típicos parecem bons em corrente direta de 4 a 10 mA; em uma placa dentro de um instrumento, você geralmente consegue 1 mA.

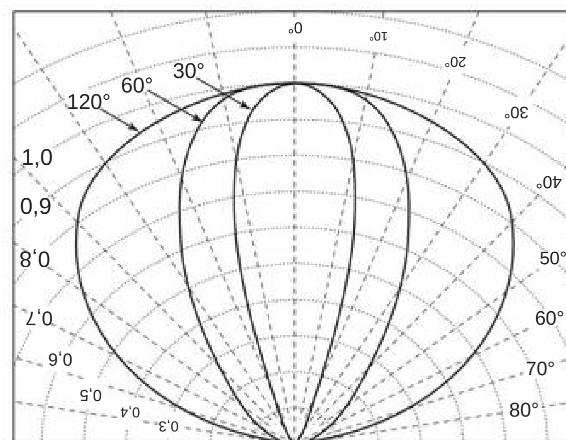


Figura 12.59. Intensidade versus ângulo para três LEDs montados em painel com “ângulos de visão” especificados (largura total a meia intensidade) de 30ÿ, 60ÿ e 120ÿ, em cada caso “normalizado” para intensidade unitária no eixo. (Depois das folhas de dados das séries Vishay TLHx460, 520 e 640)

A Figura 12.61 mostra maneiras simples de acionar pequenos LEDs indicadores. Basicamente, você só precisa fornecer alguns miliampères de corrente operacional por meio de sua queda de tensão direta (VF). Geralmente, é apenas um resistor limitador de corrente em série de valor *R = (V+ ÿVF)/ ILED,* normalmente de algumas centenas de ohms a alguns kÿ. Alguns indicadores LED vêm com resistores internos limitadores de corrente (ou mesmo

[31] Como exemplo, para os LEDs do painel cujos padrões de iluminação são plotados na Figura 12.59, a dependência da tensão direta VF com o comprimento da onda é dada aproximadamente por VF(volts)ÿ1000/ÿ + 0,02IF, onde ÿ é o comprimento de onda em nanômetros e a tensão direta corrente IF está em miliampères. O último termo representa uma resistência em série efetiva de 20 ÿ.

ÁRVORE GENEALÓGICA DE OPTELETRÔNICA

I. EMISSORES

LEDs (diodos emissores de luz) visíveis (vermelho, amarelo, verde, azul, branco) e infravermelhos (IR); diodo com polarização direta, VF varia de ÿ1–3,5 V, dependendo da cor; montagem em painel e montagem em PCB; muitas configurações; disponível como **monitor**

Diodos laser IR, vermelho e azul; transmissores de fibra ótica, ponteiros laser, leitores de CD/DVD/Blu-ray, leitores de código de barras

Luzes noturnas **eletroluminescentes ,** luz de fundo "Indiglo"™ de baixa potência

II. MOSTRADORES

Baseado em LED de 7 segmentos (numérico), matriz de pontos (caractere) e "inteligente" (decodificado – travado); organizado como em caracteres individuais ou como matrizes ("sticks")

Baseado em LCD (Liquid-Crystal Display) LCD simples (padrão ou personalizado) ou "inteligente" (decodificado com memória; interface paralela e/ou serial); somente caractere, caractere mais gráficos configuráveis ou gráficos completos; retroiluminado transmissivo, ou "transflectivo"; qualidade variável (ângulo de visão e contraste)

Emulação de LCD inteligente **baseada em VFD** (Vacuum-Fluorescent Display), com legibilidade superior; configurações personalizadas para usuários de alto volume

OLED (LED orgânico) Alternativa econômica aos LEDs semicondutores; gráficos, telas de celular etc; tamanhos maiores para a melhor TV de tela plana

Papel eletrônico Por exemplo, a tecnologia de microcápsulas E-Ink® usada em leitores de e-books; retenção de imagem em potência zero, exceto durante apagar-reescrever

III. DETECTORES

Junção de diodo **fotodiodo** *pn* (ou PIN, positivo-intrínseco-negativo); fotocorrente autogerada em curto ckt (modo "fotovoltaico"), ou quando polarizada de volta (modo "fotocondutivo"); receptores de fibra ótica (velocidades para gigabits/s); células solares são fotodiodos de grande área

Matrizes Lineares (faixa); quadra; leitura proporcional; matriz de imagem completa (CCD; CMOS)

Luz **integrada** ÿ lógica; luz ÿ tensão; luz ÿ corrente; luz ÿ frequência; par de detecção síncrona

Fototransistor Transistor com fotodi emissor-base), mas mais lento; tributo; corrente mais alta (fator de ÿ foto Darlington ainda mais **Fotoresistor**

Material linear resistivo sensível à luz (por exemplo, sulfeto de cádmio); resposta lenta **Material** "piroelétrico" bolométrico exibindo grande mudança de resistência com a temperatura; detectores de movimento ("PIR", infravermelho passivo)

APD (fotodiodo de avalanche) Alta retropolarização (ÿ100 V) multiplica a carga coletada por fóton; pode ser linear ou saturado ("modo Geiger")

PMT (fotomultiplicador) Dispositivo de tubo de vácuo com um fotocátodo e um arranjo de "dinodos" multiplicadores de elétrons (ganhoÿ106) ; opera a ~1 kV **HAPD** (APD híbrido) Dispositivo de tubo a vácuo, combinação de fotocatodo e alvo APD; opera a >5 kV **PMT pixelado**

PMT multi-ânodo para imagens grosseiras; arranjo de 4×4, 8×8

Placa de microcanais Dispositivo de tubo a vácuo, combinação de fotocátodo e capilar de multiplicação de elétrons; uma "imagem PMT"

4. ACOPLADORES

LED de entrada LEDÿfotodiodo; LEDÿfototransistor; LEDÿfoto-Darlington; LEDÿFET (via pilha PV, "PV" = fotovoltaico); LEDÿfotoresistor; LEDÿSCR/triac (via pilha PV): um "relé de estado sólido"; LEDÿsaída lógica (pullup ativo ou coletor aberto)

Entrada lógica Entrada lógicaÿsaída lógica

Interruptores Com gap, ou reflexivos

V. OUTROS

Proximidade e alcance Emissor mais detector de detecção de posição ou intensidade: torneiras, dispensadores de toalhas de papel, desligamento do monitor LCD. . . e seu iPhone (ele precisa saber que sua bochecha não está tentando controlar a tela sensível ao toque)

Leitor de código de

barras Mouse óptico LED ou emissor a laser, além de detector inteligente

circuitos de corrente) – com estes você omite o resistor externo. Para correntes mais altas (LEDs grandes) use uma chave de transistor, como nas Figuras 12.61C–F.

Listamos alguns de nossos indicadores LED de painel favoritos na Tabela 12.6. Você pode vê-los na primeira fila da Figura 12.58.

Com a tendência de lógica de baixa voltagem, junto com a voltagem direta mais alta dos LEDs do tipo nitreto de gálio

Tabela 12.6 LEDs selecionados para montagem em painelsa

Cor	Somente LED (condutores de fio desencapado) 3mm (T-1)	5mm (T-1 3/4)	Montagem integral, entrada frontalb: cabos nus curtos 3mm	5mm	cabos voadoresc 3mm	5mm
VERMELHO	TLHR4605	LX5093SRD/D	5111F1	5101H1	5110F1	5100H1
AMARELO	TLHY4405	LX5093LYD	5111F7	5101H7	5110F7	5100H7
VERDE	TLHG4605	TLHG6405	5111F5	5101H5	5110F5	5100H5
AZUL	LX3044USBD	LX5093USBD				

Notas: (a) todos são difusos, sem resistor interno. fabricantes: 51xx = CML; TLHxxx = Vishay; LXxxx = Lumex, com prefixo SSL-. (b) Montagem frontal: tamanho T-1 com furo de 5/32" (4,0 mm), tamanho T-1 3/4 com furo de 1/4" (6,4 mm). (c) Isolado, trançado bitola 24, 15 cm de comprimento.

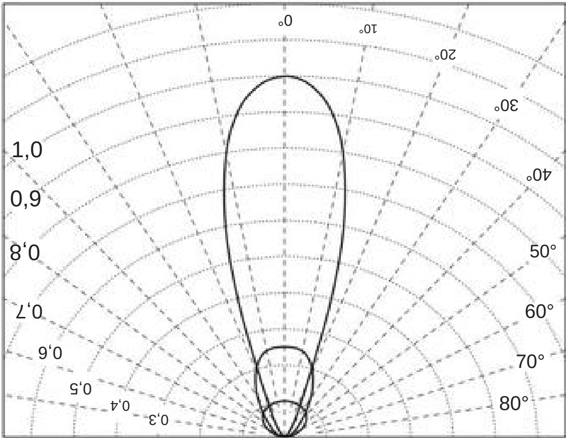


Figura 12.60. Há um preço a pagar em troca da aparência agradável de um LED difuso ("inundado"), com seu amplo ângulo de visão. Aqui plotamos a intensidade versus o ângulo (relativo à unidade de 30ÿ) para os mesmos LEDs do painel da Figura 12.59, usando os valores da folha de dados. Não é tão ruim quanto parece, porém, devido à sensibilidade logarítmica do olho.

(usado em LEDs azuis, brancos e verdes brilhantes – veja as Figuras 2.8 e *1x.48),* às vezes você precisará de uma tensão de alimentação mais alta. Por exemplo, +3,3 V é uma tensão de alimentação popular, mas insuficiente para acionar um LED do tipo GaN. Se você tiver uma tensão de alimentação mais alta (por exemplo, +5 V) disponível, use uma chave de transistor com pull-up para essa tensão (Figuras 12.61E e F).
Caso contrário, você precisará gerar a tensão de alimentação do LED necessária. A Figura 12.62 mostra alguns métodos.

Uma técnica favorita, particularmente para acionar vários LEDs ao mesmo tempo (por exemplo, uma sequência de quatro ou seis LEDs brancos para retroiluminação) a partir de uma baixa tensão de alimentação, é um conversor de aumento de comutação não isolado (step-up), com feedback obtido de um conversor de corrente -Resistor de detecção na parte inferior do Cadeia de LEDs (Figura 12.62A). Existem dezenas de opções de muitos fabricantes; listamos alguns na figura. Essas coisas funcionarão em tensões tão baixas quanto +1 V (ou seja, uma única célula), colocando dezenas de miliamperes em 20 V ou mais, conforme necessário para fornecer a corrente de operação do LED ILED =Vref/RCS; e são bastante eficientes, normalmente 80% ou mais. Algumas variações incluem detecção de lado alto, detecção de corrente interna (Figura 12.62B), controle de intensidade linear, diodo Schottky interno e grampo zener interno.32 Observe bem o último: um grampo zener *(DZ* na figura) é *obrigatório* se existe uma maneira de a carga do LED ser desconectada; caso contrário, a tensão de saída foge e destrói o IC.

Você pode obter minúsculos LEDs individuais e matrizes de LEDs - bastões de 2, 4 ou 10 LEDs em uma linha - projetados para montagem em PCB. Os últimos são, na verdade, destinados a leituras lineares de "gráficos de barras". Eles vêm em montagem vertical ou em ângulo reto. Você também pode obter indicadores de montagem em painel com vários LEDs coloridos em um pacote incolor: vermelho/verde é barato e comum; você também pode obter vermelho/azul/verde e amarelo/azul/verde.33 Eles formam um painel impressionante, com luzes que mudam de cor para indicar condições boas ou ruins. Quando você liga mais de um LED, obtém "cor aditiva", portanto, por exemplo, pode gerar *amarelo* como vermelho mais verde ou *branco* como vermelho mais azul mais verde. Você pode fazer isso alternando cada

32 Além desses conversores *boost* (step-up), você pode obter *conversores buck* (step-down) para acionamento de LED a partir de uma fonte de tensão mais alta; e você pode obter conversores *buck-boost* que funcionam com tensões de alimentação maiores ou menores que a tensão de saída que aciona a carga do LED. Você encontrará mais de mil variedades apenas no site da DigiKey.

33 LEDs multicoloridos que incluem azul custam significativamente mais e requerem a característica de tensão direta de ~3,5 V dos LEDs do tipo GaN.

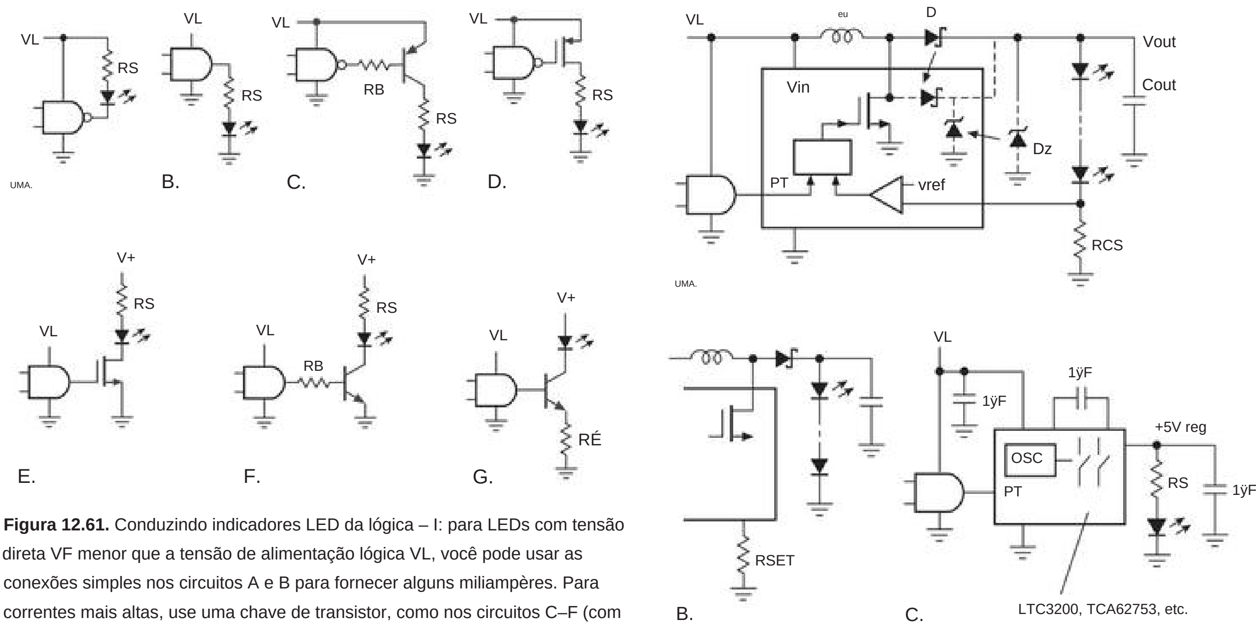


Figura 12.61. Conduzindo indicadores LED da lógica – I: para LEDs com tensão direta VF menor que a tensão de alimentação lógica VL, você pode usar as conexões simples nos circuitos A e B para fornecer alguns miliampères. Para correntes mais altas, use uma chave de transistor, como nos circuitos C–F (com V+ ligado a VL). Se você tiver uma tensão mais alta disponível (por exemplo, +5 V), você pode usar os circuitos E–G para acionar LEDs cuja tensão direta é maior que a alimentação lógica (por exemplo, um LED branco da lógica de +2,5 V). O circuito G fornece corrente de LED constante, fornecendo V+ ÿ VL +VF.

papel #	Vin (V)	b eu fora o máximo (mA)	CIN /COUT min (ÿF)	vref (V)	Dz max (V)	D	$ea (25 unidades)	notas
FAN5331	2,7–5,5	35	4,7c/1,6	1,22	20	ramal	0,67	
TPS61041	1,8–6	30	4,7c/1	1,22	24	ext	1,10	
LT1937	2,5–10	20	1/0,22	0,095	24	ext	2,70	
LT3465	2,7–16	20	1/0,22	0,20	30d	int	3,00	lin.ctrl
LT3491	2,5–12	20	1/1	0,20e	27d	int	2,70	lin.ctrl
LT1932	1–10	30	2,2/1	int	32	ramal	3,72	Rset

(a) Vin deve ser menor que Vout. (b) em Vin (min). (c) típico. (e) interno. (e) RS no lado alto, LED(s) retornam para GND.

Figura 12.62. Acionando indicadores de LED a partir da lógica – II: existem dezenas (talvez centenas) de conversores de impulso de comutação projetados especificamente para acionamento de corrente constante de cadeias de LEDs de baixas tensões de alimentação, como nos circuitos A e B. Para um único LED, você pode usar um duplicador regulado sem indutor (bomba de carga) (circuito C).

Cor do LED totalmente ON ou OFF; ou você pode produzir níveis intermediários de acionamento para cada LED variando o ciclo de trabalho (porcentagem de tempo LIGADO) de uma forma de onda de comutação (PWM). Os LEDs multicoloridos vêm em configurações de cátodo comum (o terminal ÿ) e de ânodo comum (o terminal +); LEDs de duas cores também vêm como diodos back-to-back em um pacote de 2 pinos.

A. Exemplo: “Superlâmpada”

Graças ao avanço de Shuji Nakamura na tecnologia GaN, os LEDs brancos atingiram intensidades e eficiências impressionantes e estão se tornando as alternativas preferidas às lâmpadas incandescentes e fluorescentes para aplicações de “iluminação de área”. Tínhamos um dissipador de calor da CPU Intel restante e começamos a pensar: “'Hmmm, que coisa quente podemos colar *nisso?”* Belos LEDs brancos brilhantes, é claro!

A Figura 12.63 mostra o circuito: um oscilador CMOS 555 funcionando a 28 kHz (escolhido para ficar acima da audibilidade) e configurado para um ciclo de trabalho de 0 a 100% (consulte §7.1.3B) é usado para alternar um MOSFET de potência, gerando um 12 V onda retangular. Isso aciona quatro sequências de três LEDs brancos cada (Philips Lumileds “Luxeon Star”, montados três em cima em espalhadores de calor hexagonais de metal) com limitação de corrente de 2 ÿ resistores, gerando uma corrente ON de aproximadamente 700 mA por string. Alguns detalhes de design. (a) A frequência do oscilador é alta o suficiente para gerar uma quantidade modesta de “perda de comutação” durante os intervalos quando o MOSFET está em transição entre totalmente LIGADO e totalmente DESLIGADO; adicionar um buffer de porta MOSFET (como o TC4420) reduz o tempo de comutação, portanto, a perda, se isso fosse um problema sério (não é). (b) O uso de um resistor limitador de corrente em série (ao invés de uma fonte de corrente) em cada string de LED tem um efeito colateral interessante – ele cancela (aproximadamente) a redução da saída de luz conforme o LED aquece (se alguém cuidados); isso ocorre porque a tensão direta mais baixa do LED (em temperaturas mais altas)

Figura 12.63. Nosso velho amigo, o 555, está no centro desta lâmpada de mesa brilhante com escurecimento PWM de 0 a 100%.

causa mais queda nos resistores, portanto, um aumento compensatório na corrente do LED. A compensação é quase perfeita para os valores apresentados.

Os visitantes se divertem com esta "lâmpada de mesa" fora do comum. Um deles apontou que nossa criação (Figura 12.64), embora charmosa, é completamente superada pelos brilhantes “motores leves” da Enfis Limited; eles fazem matrizes de LED densas (por exemplo, o “quattro mini”) que emitem até 5.000 lúmens de luz branca de 144 LEDs de potência compactados em uma matriz de 2 cm × 2 cm (e suas outras cores emitem até 24 *watts* de luz da mesma área34).

Somos leais ao nosso dissipador de calor reeducado. E os ÿ30 W de potência dissipada são brincadeira de criança para este dissipador de calor Xeon, que foi projetado para lidar com quatro vezes mais em seu trabalho diário normal; nós o substituímos por um ventilador muito mais lento e o reduzimos a um sussurro.

B. Acionador rápido de alta corrente do LED Você pode acionar um LED com breves pulsos de corrente muito alta (muito acima de sua classificação contínua), por exemplo, em um aplicativo de substituição de lâmpada de flash, explorando a massa térmica do LED para absorver a energia. Para este efeito pode use um resistor em série para definir a corrente (Figuras 12.62 e 12.63), mas um regulador de corrente ativo é melhor. Um exemplo é o LT3743 do LTC, mostrando sua destreza na Figura 12.65, onde está sendo instruído a fazer etapas para 2 A e 20 A.
Embora o PWM esteja operando a 500 kHz, ele é capaz de alternar a corrente do LED em apenas 2 s. Incrível.ÿ . Confira.

12.5.2 Diodos laser

Fazemos uma breve digressão sobre lasers de diodo semicondutores. Estes são o coração dos onipresentes ponteiros laser portáteis, objetos antes exóticos e caros, mas agora lugar-comum e ridiculamente baratos (US$ 5 ou menos por um ponteiro vermelho). Eles também são onipresentes em dispositivos de armazenamento óptico, como leitores e gravadores de CD, DVD e Blu-ray, bem como em transmissores de fibra óptica. Os lasers vermelhos de baixa potência vêm como pequenos módulos com circuitos para operar em 3–5 V (por exemplo, Quarton VLM-650-03-LPA); ou, para os aventureiros, você pode obter o diodo de laser nu em um encapsulamento de transistor metálico de 3 derivações (consulte a Figura 12.58). Isso inclui um fotodiodo de monitor integrado, que é usado como feedback para regular a saída de luz por meio da corrente de acionamento aplicada.
A corrente limite na qual a ação do laser começa é algo variável, geralmente na vizinhança de 20–40 mA; acima desse limite, a saída de luz aumenta rapidamente. Esse comportamento é mostrado na Figura 12.66, um 'traço de escopo de intensidade emitida versus corrente de diodo laser linearmente crescente.
O feixe de saída emerge diretamente de um pequeno ponto no

[34] Em um nível um pouco mais mundano, os LEDs brancos de alta intensidade estão substituindo as lâmpadas incandescentes residenciais, holofotes e holofotes, fornecendo iluminação comparável a 1/5 da potência CA da tomada e tempos de vida de mais de 25.000 horas; muitos deles estão sendo vendidos por cerca de US$ 10. E a indústria automobilística tem notado, usando LEDs até para os faróis (confira a série Lumileds Altilon).



Figura 12.64. Dissipador de calor da CPU do computador sequestrado para fazer uma lâmpada de mesa legal. Reduzimos a corrente para que você possa ver os quatro conjuntos de LEDs triplos, junto com os resistores de lastro montados na superfície. Com brilho total (1000 lúmens), você não pode olhar para isso! O circuito do driver de comutação da Figura 12.63 fica na caixa na parte inferior.

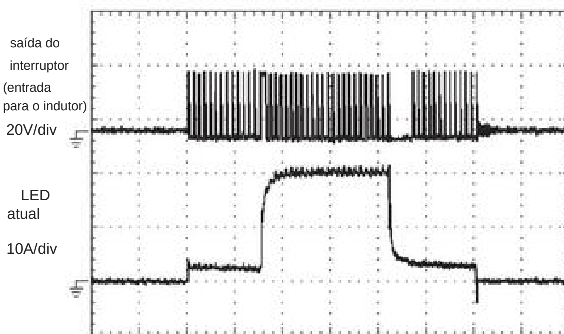


Figura 12.65. O driver de LED de alta corrente LT3743 usa inteligência para permitir a comutação de 2 s em uma faixa de escurecimento de 3000:1. Horizontal: 20 ÿ s/div. (adaptado da folha de dados LT3743)

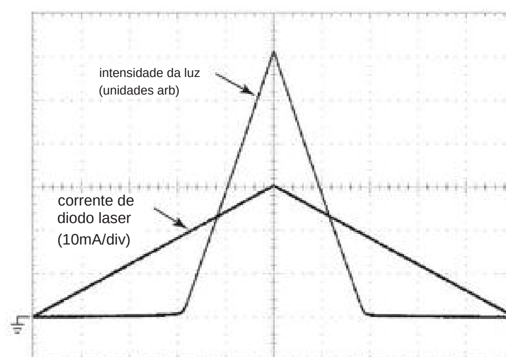


Figura 12.66. Saída de laser de diodo de uma corrente de acionamento triangular de 0–30 mA. Horizontal: 100 ÿ s/div.

chip de semicondutor emissor de luz (GaAlAs para infravermelho), divergindo com um ângulo de cerca de 10–20ÿ; pode ser colimado com uma lente para formar um feixe paralelo ou um ponto focal muito pequeno.

É fácil montar um circuito de drive decente, mesmo sem recorrer a amplificadores operacionais ou circuitos de driver especiais. Basta comparar a corrente do fotodiodo do monitor com um limite e ajustar a corrente do drive de acordo. É uma boa ideia incluir um limite de corrente, para não estourar o diodo; e você precisará compensar o loop de feedback para torná-lo estável.

A Figura 12.67 mostra um circuito de driver "suficientemente bom": ele converte a corrente do monitor em uma tensão proporcional (comutável entre dois níveis por Q3), comparada com uma tensão de referência de 1,2 V compensada por diodo. Q5 aciona o laser, com limitação de corrente via Q4. CC e RC compensam o loop, com valores finais de "cortar e tentar" conforme mostrado. Este circuito simples funciona bem de CC até 1 Mb/s.

Para tal controle ON/OFF você quase não precisa de todo o negócio de loop. Mas é necessário se você deseja um verdadeiro controle *linear* da intensidade do laser. A Figura 12.68 mostra formas de onda para este mesmo circuito, com um dissipador de corrente *npn* conectado no ponto X (substituindo R3, R4 e Q3). Aqui, a corrente de programação Iprog é uma onda triangular de 200 kHz com uma proporção de 4:1 de corrente de pico para vale; a saída do laser é exatamente proporcional. Observe que a corrente de acionamento do laser tem um grande deslocamento (todos os três traços são posicionados em relação ao mesmo

Este circuito é um exemplo simples e não se destina a alto desempenho. Os verdadeiros desafios surgem quando você está tentando modular um laser em centenas de megabits por segundo ou mais. Para isso, é melhor usar um CI projetado para modulação rápida de laser;35 melhor ainda, basta comprar o módulo laser+driver como uma unidade completa (consulte §12.8 sobre fibra óptica para alguns exemplos).

35 Por exemplo, a série Maxim MAX3735, Micrel SY88722 ou série ADI ADN2870. A série MAX3975 e a série 3930-32 vão para 10 Gb/s; obtenha o *Guia de design de fibra* em www.maxim-ic.com/design_guides/.

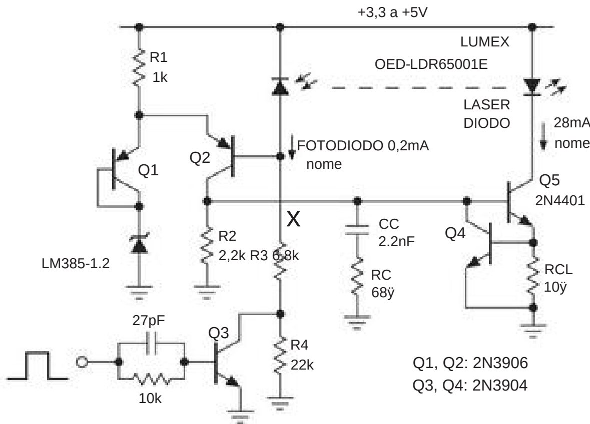


Figura 12.67. Circuito simples de acionamento a laser com feedback do fotodiodo do monitor e controle de nível lógico.

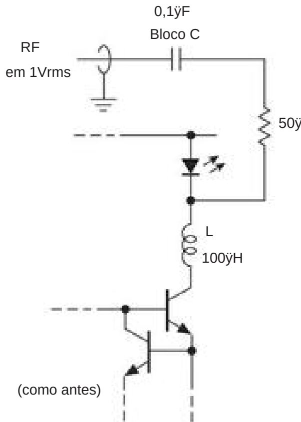


Figura 12.69. Adicionar um capacitor de bloqueio, resistor em série de 50 ÿ e indutor de isolamento de RF ao circuito de acionamento do laser da Figura 12.67 fornece uma entrada de modulação simples. Usamos este circuito com sucesso com frequências de modulação de até ÿ1 GHz.

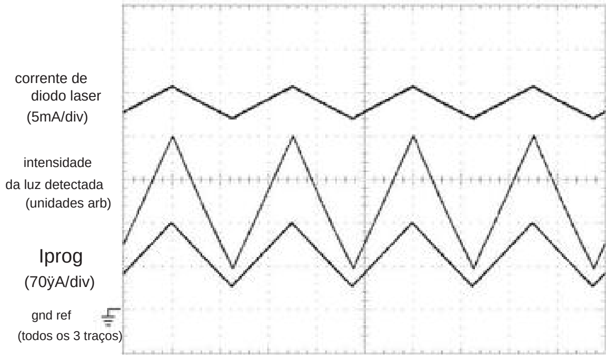


Figura 12.68. Linearizando o circuito da Figura 12.67 substituindo os componentes abaixo de "ÿ" por um dissipador de corrente *npn :* aqui uma corrente de programação triangular de 200 kHz com relação pico-vale de 4:1 causa a corrente de laser de deslocamento necessária para produzir uma saída proporcional com precisão intensidade. Horizontal: 2 ÿ s/div.

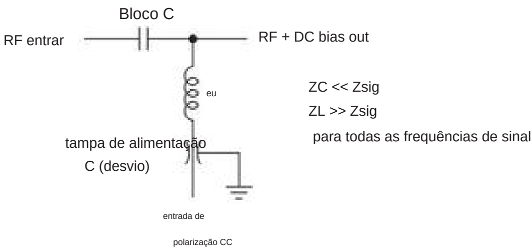


Figura 12.70. Um "T de polarização" permite que você coloque uma polarização CC em um sinal (geralmente em radiofrequências) que é acoplado da entrada à saída. Os tês de polarização disponíveis no mercado são geralmente destinados a impedâncias de linha de 50 ÿ ou 75 ÿ e usam um projeto de indutor cuidadoso para um bom desempenho em uma ampla faixa de frequência (0,2 MHz a 12 GHz para os minicircuitos ZX85-12G, por exemplo).

A Figura 12.69 mostra uma alternativa simples, se tudo o que você deseja é a modulação de intensidade de uma fonte de luz laser em alguma alta frequência e não se preocupa muito com linearidade ou resposta até CC. O sinal de entrada, bloqueado pelo bloco C, sobrepõe uma variação de corrente de alta frequência no diodo laser, CC polarizada pelo circuito de realimentação da Figura 12.67. Escolha o capacitor de bloqueio para a frequência de modulação mínima (o valor mostrado é bom até ~100 kHz) e certifique-se de desviar o trilho de alimentação de forma eficaz. O indutor *L* isola a capacitância shunt do transistor e deve ter uma reatância maior que 50 ÿ em todas as frequências de modulação. Para um bom desempenho, o indutor deve ser construído a partir de várias seções em série, projetadas de maneira inteligente (na forma de um "t de viés", Figura 12.70) para que as auto-ressonâncias não produzam baixas mínimos de impedância em toda a faixa de frequência de interesse.36

12.5.3 Exibições

Um *display* é um dispositivo optoeletrônico que pode mostrar um ou mais números (display "numérico"); ou o conjunto de dígitos hexadecimais (0–9 e a–f, "exibição hexadecimal"); ou qualquer combinação de letras, números e pontuação ("exibição alfanumérica"); ou, geralmente, qualquer gráfico que possa ser representado por uma matriz de pontos ("exibição gráfica").

36 Em vez de suprimir ressonâncias dividindo tal indutor em várias seções, você pode enrolá-lo em uma geometria *cônica ;* veja, por exemplo, a série GL de "Indutores de Banda Ultra Larga" da AVX. Estes têm excelente desempenho de 1 MHz a 40 GHz.



Figura 12.71. Uma coleção de dispositivos optoeletrônicos muito grande para caber nas Figuras 12.58, 12.80 e 12.84. Na parte traseira estão os monitores inteligentes VFD e LCD (Newhaven M0216SD-162SDARC-1 e Optrex DMC16207), o primeiro com interface serial de 3 fios. Na frente, da esquerda para a direita, estão um detector de alcance/proximidade (Sharp GP2Y0D02YK0F), um opto-isolador de saída lógica de 50 kV (Optek OPI155), um isolador TOSLINK caseiro (Toshiba TOTX/TORX177PL), um fotomultiplicador multianodo 8×8 (Hamamatsu R5900-00-M64), um PMT final de 13 mm (Hamamatsu R647) e um detector de diodo PIN de 10 mm (OSI/UDT PIN-10D).

As tecnologias de exibição dominantes (em tamanhos relevantes para instrumentos eletrônicos) são LEDs, LCDs, VFDs (visores fluorescentes a vácuo) e OLEDs (LEDs orgânicos). As Figuras 12.58 e 12.71 incluem exemplos de todos, exceto OLED.

Os monitores de LED são brilhantes, coloridos e estão disponíveis em tamanhos grandes; mas eles são famintos por energia e não são apropriados para gráficos. Os monitores LCD são bastante populares – são os monitores retangulares monocromáticos amarelados ou azulados com retroiluminação que geralmente mostram uma ou duas linhas de 16 ou 20 caracteres cada. Dependendo da tecnologia, os LCDs retroiluminados podem ser bastante legíveis em ambientes externos ou em condições de alta iluminação ambiente ("transflectivos"), ou podem ter uma aparência terrível. Os LCDs destinados ao uso sem iluminação de fundo (refletivos) parecem muito bons. A clareza e a legibilidade fora do eixo dependem consideravelmente também da tecnologia de cristal líquido (matriz ativa versus matriz passiva; "nemática torcida" versus "nemática supertorcida" e assim por diante). Além da luz de fundo, os monitores LCD podem funcionar com energia extremamente baixa (pense em um relógio de pulso digital); e você pode tê-los feito com formas e símbolos personalizados. Os monitores VFD são semelhantes aos seus primos LCD (e emulam sua interface), mas são autoluminosos; nós achamos que eles parecem ótimos.37 Os preços dos monitores VFD estão caindo bastante – por exemplo, o display "inteligente" alfanumérico de 2 linhas ×16 caracteres na Figura 12.71 custa US$ 30 em quantidades únicas; um bastão de 20 caracteres simples de 1 linha custa $ 7 em quantidades únicas. Os OLEDs estão avançando, principalmente em tamanhos pequenos.38 Eles provavelmente serão a tecnologia de exibição de tela grande do futuro (atualmente dominada por LCD e plasma), quando os custos de fabricação caírem o suficiente para torná-los competitivos.

37 Alguns engenheiros reclamaram que eles geram interferência de RF e os evitam nas proximidades de circuitos sensíveis. 38 Estamos particularmente impressionados com a clareza impressionante dos pequenos (ÿ1) módulos gráficos OLED brancos (disponíveis em fornecedores de hobby como Adafruit, bem como em distribuidores padrão como DigiKey, Mouser e Newark); eles podem funcionar a partir de uma única fonte de +3,3 V, consumindo cerca de 20 mA, e se comunicam via barramentos seriais SPI ou I2C .

Eles custam menos de $ 20 em quantidades unitárias.

A. Visores de LED A

Figura 12.72 mostra as opções que você tem em visores de LED de um único caractere (e os mesmos layouts são usados em visores de vários caracteres integrados). A exibição original de 7 segmentos é a mais simples e pode exibir os dígitos 0–9 e a extensão hexadecimal (A–F), embora um tanto grosseiramente (as letras hexadecimais são exibidas como "AbcdEF"). Você pode obter displays de 7 segmentos de um único caractere em várias cores e tamanhos, e em "bastões" contendo 2, 3, 4 ou 8 caracteres (geralmente destinados a serem "multiplexados" – os caracteres exibidos um de cada vez em sequência rápida). Exibições de um único caractere mostram derivações para os 7 segmentos e o eletrodo comum; os dois sabores são, portanto, "cátodo comum" e "ânodo comum". Os bastões de vários caracteres trazem o eletrodo comum de cada caractere, mas unem os segmentos correspondentes, que é o que você deseja para a multiplexação. No entanto, se você deseja exibir muitos caracteres, geralmente é melhor escolher um display chamado "inteligente": eles aceitam códigos de entrada para caracteres (ou símbolos gráficos) e fazem sua decodificação, multiplexação e exibição. internamente. Nós os abordaremos em breve, em §12.5.3A.

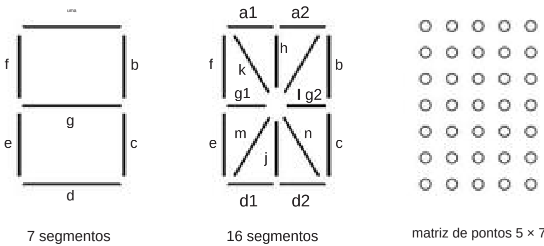


Figura 12.72. Layouts de exibição de LED.

Visores "burros" A

Figura 12.73 mostra como controlar um visor de LED de catodo comum de 7 segmentos e um dígito. O 'HC4511 é um "driver de decodificador de trava BCD para 7 segmentos", capaz de fornecer cerca de 10 mA enquanto mantém suas saídas ativas em +4,5 volts quando alimentado por +5 V. Os resistores em série limitam a corrente de acionamento do segmento (para 2 mA ou 4,7 mA, respectivamente, com alimentação de 3 V ou 5 V, assumindo uma queda típica de LED de 1,5 V). Não tente ser inteligente e apenas coloque um único resistor no cátodo comum (por que não?). Você pode obter matrizes de resistores de valor igual em SIPs convenientes (pacotes únicos em linha), em tipos de furo passante ou montagem em superfície.

Você precisa apenas de um único chip decodificador-driver, mesmo se estiver exibindo vários dígitos, contanto que multiplexe o visor, ou seja, ilumine apenas um dígito exibido por vez. Você faz isso conectando a saída do driver de segmento

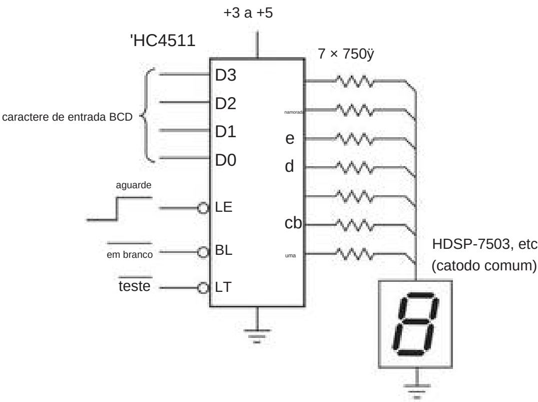


Figura 12.73. Conduzindo um único display de LED de 7 segmentos da entrada lógica BCD (0–9).

coloca a todos os dígitos, então aterrando o cátodo de cada dígito por vez, afirmando simultaneamente o valor a ser exibido nas entradas do decodificador *D0–D3.* Reveja a Figura 10.90 (§10.6.2) para ver como isso é feito em detalhes.

As Figuras 12.74 e 12.75 mostram como acionar displays de LED de caractere único em configurações de 16 segmentos ou 5×7, respectivamente. Os drivers para esses monitores geralmente assumem que você tem um microcontrolador em seu circuito em algum lugar, então eles usam protocolos de entrada serial como SPI (interface periférica serial; consulte §14.7.1). Eles incluem registradores de dados internos e drivers de fonte de corrente programados por um único resistor externo. Observe que o driver de 16 segmentos na Figura 12.74 não tem decodificador interno – ele apenas dirige os segmentos para os quais você instruí-lo. Portanto, seu microcontrolador precisa descobrir quais segmentos controlar; isso não é grande coisa para essas partes inteligentes, apenas fique atento. O motorista 5×7 (mais inteligente) em

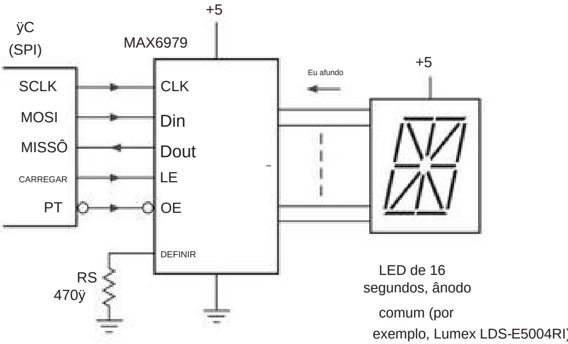


Figura 12.74. Conduzindo um único display de LED de 16 segmentos a partir de uma entrada de dados serial (SPI). Não há tabela de caracteres pré-armazenada neste chip de driver específico; em vez disso, você cria seus próprios símbolos, enviando um bit HIGH ou LOW para cada segmento.

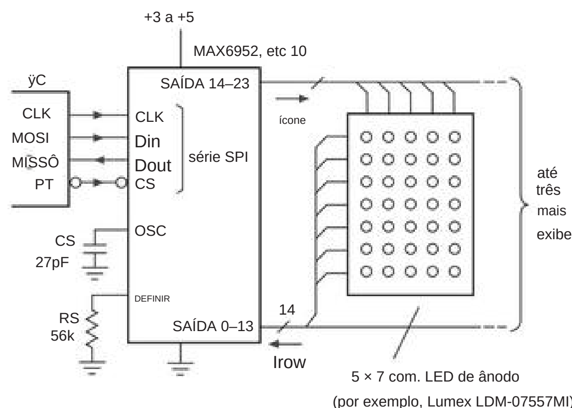


Figura 12.75. Conduzindo até quatro monitores de LED 5 × 7 de matriz de pontos a partir de uma entrada de dados serial (que também pode controlar o brilho e a intermitência). Este driver possui 104 caracteres predefinidos armazenados internamente e permite que você crie mais 24 de sua preferência.

A Figura 12.75 *inclui* um decodificador interno com memória de caracteres predefinida.

Monitores
"inteligentes" Exceto em aplicativos de alto volume que são sensíveis ao custo, geralmente é uma idéia melhor escolher um monitor que integre uma matriz de caracteres (ou gráficos), com os decodificadores e drivers incluídos. Eles vêm com LEDs, LCDs, VFDs ou OLEDs como tela ativa.

LED de caractere único O dispositivo de exibição inteligente original é provavelmente o LED de 5 × 7 pontos de caractere único, que nos encantou na década de 1970: você o apresenta com um código de 4 bits e pode *ver* (e travar) o resultado (Figura 12.76).
Eles foram fabricados pela HP e pela TI, e gostamos tanto deles que os incorporamos ao nosso curso de laboratório de circuitos eletrônicos, confiantes de que o preço unitário de aproximadamente US$ 15 cairia bastante com o tempo. Não foi bem assim, e esses cachorrinhos (ainda produzidos pela Avago Technologies, a

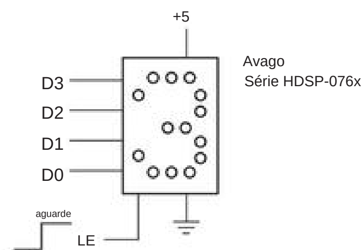


Figura 12.76. Visor hexadecimal LED com decodificador-driver de trava integral. Estes são bonitos e coloridos, mas caros.

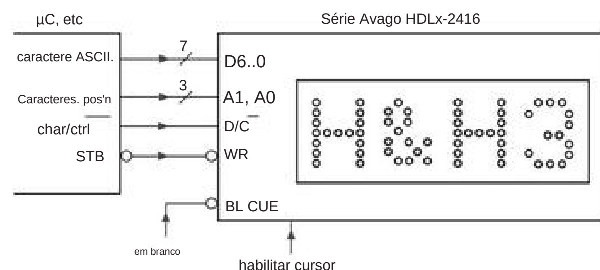


Figura 12.77. Pela metade do preço da Figura 12.76, você obtém um display LED inteligente de quatro caracteres "stick". E você pode exibir 128 caracteres ASCII com sua fonte ROM integrada.

spinoff optoeletrônico da HP) agora custam o dobro desse preço em quantidades únicas.

LED de vários caracteres Normalmente, você deseja exibir pelo menos alguns caracteres: portanto, existem belos visores inteligentes de quatro caracteres (nas cores usuais de LED) que são tão fáceis de usar quanto o visor de um único caractere. A Figura 12.77 mostra um deles, originado pela HP (agora Avago) e disponível por cerca de US$ 15. Eles exibem um conjunto completo de caracteres (ASCII de 7 bits: alfabetos maiúsculos e minúsculos, números e símbolos), travados com um pulso WR e enviados para a posição do caractere fornecida por um endereço de 2 bits (um código simplificado). forma de "interface de barramento paralelo" sobre a qual aprenderemos nos Capítulos 14 e 15). Existem funções de controle adicionais (escurecimento, cursor), escritas mantendo BAIXO a entrada D/C (que a folha de dados estranhamente chama de CU para cursor "selecionar").

Muitos caracteres LCD/VFD/OLED Como observamos anteriormente, a melhor maneira de exibir uma ou várias linhas de texto é usar um LCD inteligente (mais inteligente do que inteligente) LCD, VFD ou módulo de "caractere" OLED (Figura 12.78). Há muita concorrência,[39] com preços a partir de US$ 10 ou menos (para um LCD retroiluminado de 16 × 2 caracteres). Eles vêm em configurações padrão de 1, 2 ou 4 linhas, com 16, 20 ou 40 caracteres por linha. Eles incluem conjuntos de caracteres integrados e muitos deles permitem complementar isso com alguns (geralmente oito) caracteres personalizados. Como alternativa, você pode escolher uma versão gráfica completa, consistindo em uma matriz de pontos (por exemplo, 64×260), que você programa como um bitmap. Isso pode ser uma tarefa árdua se você deseja exibir principalmente texto, portanto, há unidades de combinação de texto e gráficos que incluem um conjunto de caracteres pré-arma

[39] Aqui está uma lista alfabética de nossos fornecedores favoritos (DigiKey, Mouser, Newark): 4D Systems, Adafruit, AND Displays, Batron, Dis playtech, Electronic Assembly, Everbouquet, Hantronix, Lumex, Ma trix Orbital, Microtips, Newhaven Display, Optrex, Powertip , Trident, Varitronix e Vishay/Dale.

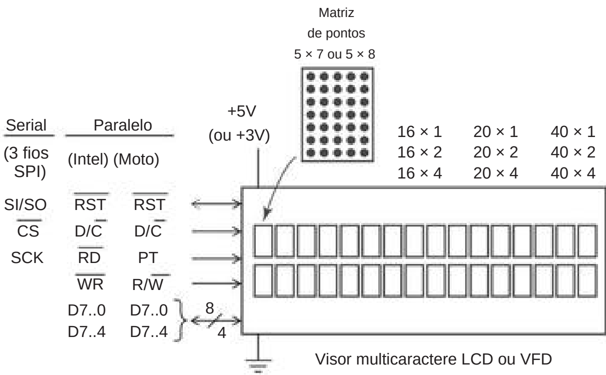


Figura 12.78. Melhor ainda, aproveite a onda popular com um display LCD ou VFD inteligente. Os arranjos de caracteres mostrados são padrão. E alguns (como aqui) têm interfaces paralelas e seriais.

além da capacidade gráfica total. Exemplos deles, escolhidos entre as ofertas de uma empresa (Matrix Orbital, consulte a Figura 12.79), são o LK162-12 (texto pré-armazenado, mais oito símbolos definidos pelo usuário), o GLK24064-25 (gráficos completos, sem em fontes) e GLK12232-25-SM (escolha de texto pré-armazenado ou conjunto completo de símbolos definidos pelo usuário, além de gráficos completos).

Para apreciar totalmente o que esses módulos oferecem, é importante entender que os LCDs devem ser acionados por uma forma de onda *CA ;* caso contrário, suas entranhas líquidas estão arruinadas. Portanto, os chips de driver de LCD geralmente têm alguma maneira de gerar uma unidade de segmento de onda quadrada, sincronizada com a forma de onda do painel traseiro do LCD. Um exemplo é o 'HC4543, o primo LCD do 'HC4511 LED 7-segment latch–decoder–driver. Outra complicação, é claro, é a necessidade de direcionar continuamente a grande matriz de pontos com o padrão a ser exibido. Acrescente a isso a necessidade de uma interface que permita alterar caracteres individuais exibidos sob comando, ou rolar a tela, ou avançar um cursor e assim por diante, e você poderá entender como as coisas podem ficar complicadas. Felizmente, os fabricantes entendem isso e, portanto, fornecem telas completas que são mais do que inteligentes; eles estão positivamente no nível do gênio.

Esses monitores são invariavelmente usados em conjunto com um microcontrolador, que se comunica por meio de uma interface simples. Os smart display sticks LCD originais usam uma interface paralela simples, com 8 bits de dados (seja o caractere ou as informações de controle, dependendo de uma linha de dados/controle: D/C na figura, mas tradicionalmente chamado de "RS") e alguns linhas de controle.40 A maioria agora oferece uma alternativa de barramento serial de 3 fios ou 4 fios, ou fornece ambas as opções (selecionável por jumper)

40 Eles permitem um modo "nybble", no qual dados de 8 bits são enviados como duas quantidades sucessivas de 4 bits.

Figura 12.79. Códigos de exibição para um "display inteligente" alfanumérico LCD (série Matrix Orbital LK) com um conjunto de caracteres padrão mais oito caracteres configuráveis pelo usuário (CG RAM). Reproduzido com permissão de Matrix Orbital.

na mesma tela, como na Figura 12.78 (que ainda oferece uma escolha de protocolos paralelos "Intel" ou "Motorola", §14.3).

Gostamos muito dessas exibições; você pode ver os tipos LCD e VFD na fotografia (Figura 12.71), o último expressando alegria fluorescente na conclusão deste volume pesado.

12.6 Optoeletrônica: detectores

A Figura 12.80 mostra uma seleção de detectores, a maioria dos quais são variações de um *fotodiodo* ou *fototransistor.* Vimos isso anteriormente, no capítulo sobre amplificadores operacionais (§4.3.1C), onde mostramos como usar um circuito simples de corrente para tensão ("transimpedância") de um amplificador operacional para converter a fotocorrente em uma saída proporcional Voltagem. Em §8.11 lidamos em detalhes com o projeto de amplificadores de fotodiodo excepcionalmente rápidos e silenciosos. E em *§4x.3* há uma discussão sobre o espinhoso problema da estabilidade em amplificadores de transimpedân

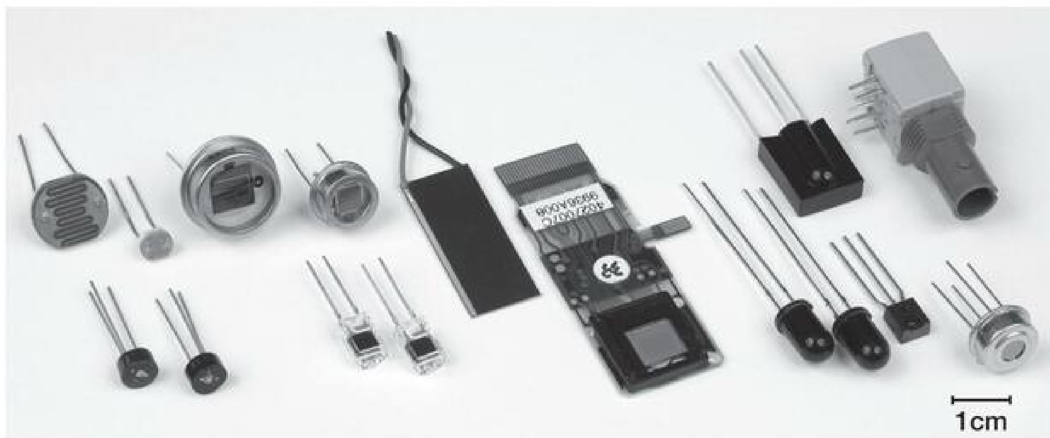


Figura 12.80. Optoeletrônica: detectores. Na parte traseira esquerda estão um par de sensores fotorresistivos de sulfeto de cádmio e um par de fotodiodos (GaAs, silício) em caixas de metal hermeticamente seladas. Abaixo deles estão fotodiodos de caixa de plástico (para cima e para o lado), e à direita está um fotodiodo simples e um pequeno sensor de imagem CMOS (com conector de circuito flexível anexado) do tipo usado em webcams e telefones celulares.
Os quatro objetos pretos opacos à direita são detectores de infravermelho (filtrados para eliminar a interferência da luz visível); o quadrado pequeno gera uma saída de nível lógico, e o quadrado grande é usado como um receptor "clicker" seletivo de frequência (30–56 kHz) em equipamentos de áudio/vídeo de consumo. No canto superior direito está um receptor de fibra ótica estilo ST e abaixo dele está um sensor infravermelho térmico piroelétrico usado em detectores de movimento PIR (apresentado no clássico filme geek "Tênis").

em consideração os efeitos desestabilizadores da capacitância de entrada.

Em breve veremos o uso onipresente de fotodetectores no contexto de optoacopladores (também chamados de optoisoladores); e um pouco mais tarde voltaremos a vê-los em conexão com a fibra ótica. Aqui nós simplesmente resumimos os circuitos anteriores de fotodiodo e fototransistor (Figura 12.81), juntamente com algumas partes interessantes que você pode obter que integram um fotodiodo com circuitos adicionais para produzir uma saída de lógica digital ou uma saída proporcional na forma de uma tensão , uma corrente ou uma frequência.

Este é um bom lugar para dizer algo também sobre *fotomultiplicadores:* esses detectores de luz sensíveis e rápidos (dois são mostrados na Figura 12.71) usam uma cascata de eletrodos multiplicadores de elétrons (dínodos) para converter um único fotoelétron (liberado, com cerca de 20% de probabilidade, quando um fóton de luz atinge o fotocátodo sensível) em um pulso rápido (ÿns) de 105–106 elétrons. O pulso de corrente resultante foi amplificado suficientemente antes de atingir qualquer circuito, de modo que o ruído do amplificador não seja um problema: um milhão de elétrons em um nanossegundo é quase 0,2 mA!

12.6.1 Fotodiodos e fototransistores

A Figura 12.81 revisa as formas padrão de uso do fotodiodo e dos fototransistores. No circuito A o fotodiodo opera em *modo fotovoltaico;* ou seja, gerando um photocurrent em um curto-circuito. O amplificador de transimpedância gera uma tensão de saída positiva (Vout = RfIP), para que você possa operar a partir de uma única fonte positiva. Você pode pensar que o amplificador operacional é desnecessário – afinal, a lei de Ohm dá a mesma resposta – mas você estaria errado! Primeiro, a fotocorrente autogerada do diodo cai para zero se for permitido desenvolver uma queda de tensão direta no diodo, então você teria que usar uma pequena carga resistiva, de modo que a tensão máxima de saída (com entrada de luz máxima) seja menor que ÿ0,5 V; e segundo, o circuito seria mais lento, definido pela constante de tempo da capacitância do diodo e resistência de carga.

No circuito B, o fotodiodo é polarizado de volta *(modo fotocondutivo),* o que aumenta a velocidade reduzindo a capacitância do diodo e fornecendo um campo elétrico para varrer a carga. Portanto, este circuito é mais rápido; mas também é mais ruidoso, e a corrente de fuga do diodo limita o desempenho de baixo nível de luz. A capacitância pode ser um problema real nesses circuitos, especialmente quando o fotodiodo fica na extremidade oposta de um cabo coaxial de conexão (§§8.11 e *4x.3).*

O circuito C usa um fototransistor, aumentando efetivamente a corrente do fotodiodo pelo beta do transistor (a junção coletor-base com polarização reversa age como um fotodiodo, cuja fotocorrente é multiplicada por beta). Portanto, um pequeno fototransistor sob iluminação de sala comum normalmente fornece correntes na faixa de aproximadamente 100 A, em comparação com aproximadamente ÿ 1 A para fotodiodos.[41] Essa configuração mais lenta de todas, mas

[41] Dados experimentais: colocamos um fototransistor FPT110 (canto inferior esquerdo em

ele pode ser acelerado adicionando um resistor de base. Isso produz um limite, no entanto, porque a corrente do fotodiodo deve desenvolver uma queda de diodo através do resistor de base para obter o fator de amplificação de corrente beta. Indo além, você pode obter detectores *foto-Darlington :* muito mais ganho, mas muito mais lento. Finalmente, a Figura 12.81D mostra algumas possibilidades integradas, baratas e bem projetadas para economizar tempo e esforço.

*Função	Exemplo de número de peça e (mfgr)
EV ÿ lógica	QSE156-159 (FSC)
EV ÿ frequência	MLX75304, série TSL230 (Melexis, TAOS)
EV ÿ atual	TPS851 (Toshiba)
EV ÿ tensão	OPT101, PNA4603, TSL250-2 etc. (TI, Panasonic, TAOS)
EV ÿ digital serial	Série TSL2560 (TAOS)

Figura 12.81. Circuitos de fotodiodo e fototransistor. A. Modo fotovoltaico. B. Modo fotocondutivo. C. Fototransistor. D. Em módulos de luz para outros integrados.

12.6.2 Fotomultiplicadores

Os fotomultiplicadores são detectores favoritos para aplicações de contagem de fótons, detecção e integração de baixo nível de luz e Detecção de raios X ou raios gama (através de um cintilador, que converte o fóton energético em um pulso de luz visível).

Há muita sofisticação, se você quiser realmente levar essas coisas a sério; mas as configurações básicas são mostradas nas Figuras 12.82 e 12.83.

A mais simples é a configuração de "contagem de fótons" (Figura 12.82), na qual o pulso de corrente no ânodo gera um pulso rápido (negativo) através do resistor de carga de 50 ÿ, amplificado por um amplificador de banda larga do tipo usado em aplicações de RF. (o UPC2710 custa cerca de $ 1 e funciona bem: temos milhares deles rodando agora).

Figura 12.82. Circuito fotomultiplicador "contagem de pulsos". A cascata de dinodos multiplicadores de elétrons produz um pulso de ÿns de ÿ106 elétrons para cada fóton de luz detectado, que desenvolve um pulso negativo de ÿmV em 50 ÿ.

Se você deseja detectar com precisão níveis de luz muito baixos e não precisa de velocidade de nanossegundos, provavelmente deseja um amplificador "integrador" com largura de banda limitada, como o mostrado na Figura 12.83.42 Aqui, o excelente (e quase exclusivo) OPA656 de banda larga o amplificador operacional de baixo IB (JFET) converte a corrente do ânodo em uma forma de onda de tensão. Embora estejamos visando apenas alguns megahertz de largura de banda, precisamos de um amplificador operacional rápido, conforme explicado em §§8.11 e *4x.3.* Por razões de largura de banda e ruído, é especialmente

Figura 12.80) em nossa bancada de laboratório e medimos sua corrente de fotodiodo com luz solar de agosto em Boston; a corrente do fotodiodo foi 250 vezes maior. ÿ polarização de 0 V) para IC = 60 A. Sob luz solar nebulosa (um dia ÿ Embora a folha de dados deste dispositivo não informe a área ativa, nós a medimos como 0,7 mm2. ÿ (100 A).

Isso resulta em uma eficiência de cerca de 5%, se você usar o fotodiodo como uma célula solar.

[42] Isso é semelhante ao amplificador projetado para nossa colega Lene Hau e foi usado em seu experimento pioneiro de "luz lenta" em 1999: 17 m/s (38 mph), mais lento que uma bicicleta em alta velocidade!

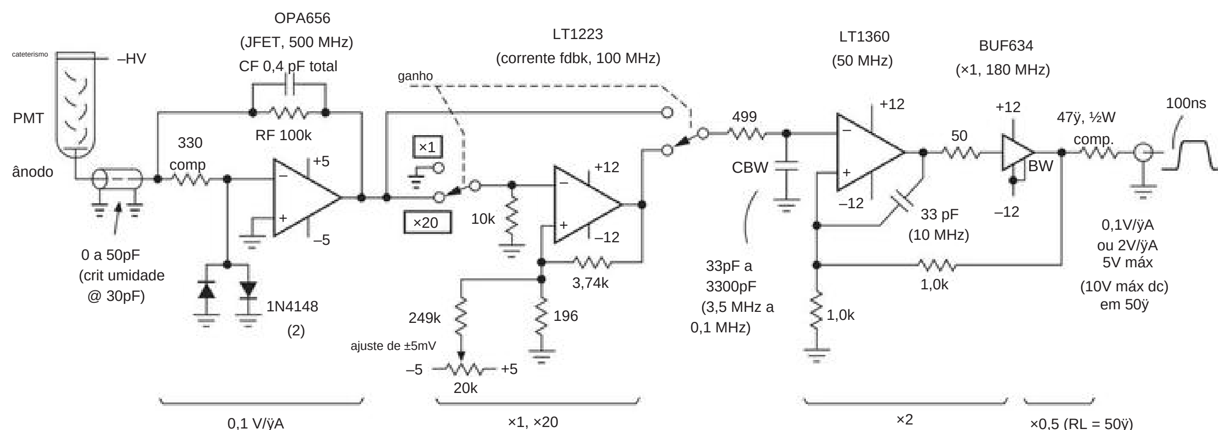


Figura 12.83. Amplificador fotomultiplicador de baixo ruído, com largura de banda de 3,5 MHz e ganho de 2V/A. Veja também a discussão em §8.11.

importante manter a capacitância de entrada no mínimo e escolher cuidadosamente a capacitância de realimentação estabilizadora.

O restante do circuito é bastante direto: o resistor de entrada em série e os diodos de fixação protegem o amplificador operacional de picos de entrada, causados, por exemplo, pela quebra do PMT (ele usa uma fonte de quilovolt). O segundo estágio é um aumento de ganho opcional de 20 ×, para o qual usamos um amplificador operacional no modo atual. Eles têm a propriedade interessante de que sua largura de banda de malha fechada é amplamente independente do ganho de malha fechada: a proporção de resistores define o ganho (como no familiar amplificador operacional "modo de tensão"), mas a largura de banda é determinada pelo valor de resistor de realimentação sozinho.

Por exemplo, este amplificador operacional específico tem largura de banda de 100 MHz com um resistor de feedback de 1k e GCL=1, caindo modestamente para 60 MHz para GCL=30; por outro lado, o ganho de um amplificador operacional com realimentação de tensão diminuiria inversamente com a largura de banda de malha fechada. Aqui escolhemos um resistor de realimentação maior (3,74k), limitando deliberadamente a largura de banda para cerca de 15 MHz, porque é tudo o que precisamos (e largura de banda extra só causa problemas).

Este amplificador operacional especifica a tensão de compensação de ±3 mV (máx), que, quando combinada com a compensação de ±2 mV (máx) do estágio de entrada, pode produzir até 100 mV de compensação de saída; então adicionamos uma guarnição de deslocamento. Há um passa-baixo limitador de largura de banda *RC* simples no caminho para o terceiro estágio; isso pode ser elaborado em um conjunto comutado de pontos de interrupção de 3 dB, se desejado. Observe, no entanto, que a largura de banda máxima de ~3,5 MHz é limitada pelo rolloff do estágio de entrada: BWÿ(1/2πRFCF). Finalmente, o estágio de saída consiste em um buffer de potência de ganho unitário de banda larga (bom para ±250 mA) fechado dentro de um estágio de realimentação não inversora de ganho de 2. Você precisa do amplificador operacional, porque o buffer sozinho não possui feedback interno para disciplinar sua saída: seu deslocamento é especificado como ±100 mV (máx). Mas você tem que admirar o bruto – é rápido e poderoso.

12.7 Optoacopladores e relés

Um emissor de LED, combinado com um fotodetector próximo, forma um objeto muito útil conhecido como *optoacoplador, optoisolador* ou *fotoacoplador* (Figura 12.84). Resumindo, os optoacopladores permitem que você envie sinais digitais (e às vezes analógicos) entre circuitos com aterramentos separados. Esse "isolamento galvânico" é uma boa maneira de evitar loops de aterramento em equipamentos que acionam uma carga remota. É essencial em circuitos que interagem com a rede elétrica CA.

Por exemplo, você pode querer ligar e desligar um aquecedor a partir de um sinal digital fornecido por um microprocessador; neste caso, você provavelmente usaria um relé de estado sólido, que consiste em um LED acoplado a um triac ou SCR de alta corrente. A maioria das fontes de comutação operadas (por exemplo, aquelas usadas em computadores, telecomunicações e instrumentação) usam optoacopladores para o caminho de realimentação isolado (consulte, por exemplo, a Figura 9.83 em §9.8). Da mesma forma, os projetistas de fontes de alimentação de alta tensão às vezes usam optoacopladores para obter um sinal até um circuito flutuando em alta tensão.

Mesmo em situações menos exóticas, você pode aproveitar os opto-isoladores. Por exemplo, um opto-FET permite alternar sinais analógicos com praticamente nenhuma injeção de carga (além dos efeitos da capacitância de isolamento de pF fracionário); o mesmo vale para circuitos e integradores sample-and-hold.

Os opto-isoladores podem mantê-lo longe de problemas ao conduzir circuitos de corrente industriais, acionadores de martelo, etc. Finalmente, o isolamento galvânico de opto-isoladores é útil em circuitos de alta precisão ou de baixo nível: por exemplo, é difícil tirar vantagem de um conversor analógico-digital de 16 bits,

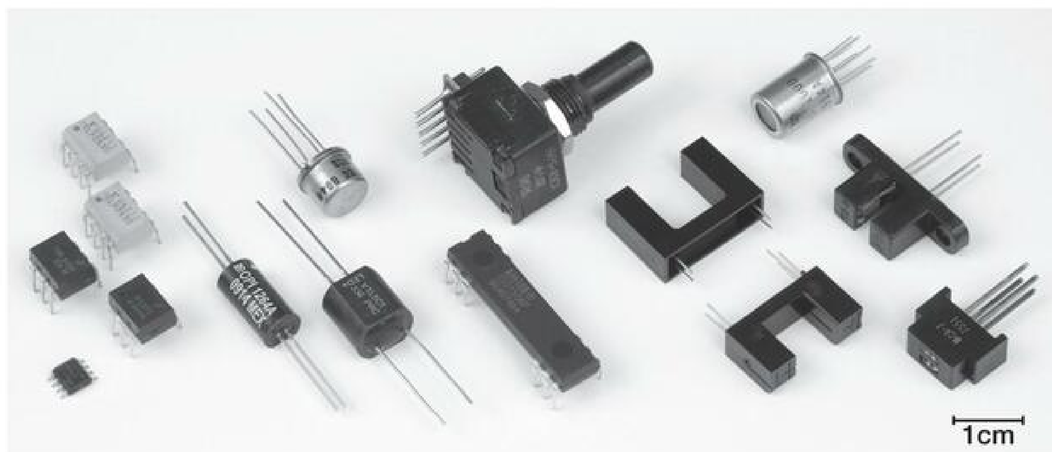


Figura 12.84. Optoeletrônica: acopladores e interruptores. Os cinco ICs à esquerda são optoacopladores, com pares LED-fotodiodo e (em alguns casos) entradas e saídas lógicas. Eles são bons para vários quilovolts ou mais de isolamento, enquanto o objeto cilíndrico adjacente com bigodes é classificado em 10 kV (e a versão esticada na Figura 12.71 é boa para 50 kV). A embalagem oval (e a lata de metal acima dela) são acopladores LED-fotorresistor, que usam um sensor resistivo CdS como os do canto superior esquerdo na Figura 12.80. O IC estendido no centro (ISO150) também é um isolador digital, mas usa um acoplador capacitivo; não pertence a esta festa, mas é muito elegante para omitir! Os três objetos com lacunas à sua direita são opto-interruptores, e a coisa quadrada sem lacuna é um sensor reflexivo (assim como o leitor de código de barras de lata de metal na parte superior). O controle do painel na parte superior central é um codificador óptico incremental, gerando 120 ciclos de quadratura por volta.

porque os sinais de saída digital (e o ruído no terra digital ao qual você conecta a saída do conversor) voltam para o front-end analógico. Você pode se livrar da "cidade do ruído" com isolamento óptico da metade digital.

Os optoacopladores normalmente fornecem isolação de 2.500 volts (rms), resistência de isolação de 1.012 ÿ e menos de um acoplamento picofarad entre a entrada e a saída.

Existem muitas variedades de optoacopladores, a escolha dependendo da aplicação pretendida – por exemplo, o acoplamento de sinais analógicos ou sinais lógicos digitais ou comutação de energia CA. Nas seções abaixo, nós os classificamos em sete categorias, ilustradas com exemplos de algumas das peças mais populares (ou mais interessantes) atualmente no mercado. A escolha das categorias é um tanto arbitrária, mas faz sentido para nós. São elas (em ordem de aparição): I. Saída do fototransistor; II. Saída lógica; III. Saída de driver de portão; 4. Analógico orientado; V. Relé de estado sólido com saída a transistor; VI. Relé de estado sólido com saída triac/SCR; e VII. optoacopladores de entrada CA.

12.7.1 I: Optoacopladores de saída do fototransistor

A Figura 12.85 mostra uma variedade de optoacopladores com saída de transistor bipolar. Eles são destinados principalmente ao acoplamento de nível lógico digital (embora seja possível explorar a configuração na Figura 12.85C para fazer um acoplador aproximadamente linear; consulte as Figuras 12.88 e 12.89). O mais antigo (e mais simples) é tipificado pelo 4N35, um LED–par de fototransistor com taxa de transferência de corrente (CTR) de 40% (min) como um fototransistor e tempo de desligamento (tOFF) de ÿ 5 s em uma carga de 100 ÿ. O circuito A mostra como usá-lo: uma saída de porta e um resistor pull-up geram um drive de 8 mA com limitação de corrente, e um resistor de coletor relativamente grande no lado da saída garante comutação saturada entre os níveis lógicos.

Observe o uso de um inversor Schmitt-trigger, uma boa ideia aqui por causa dos longos tempos de comutação. Você pode obter pares de fototransistor LED com CTRs de 100% ou mais (por exemplo, o jellybean CNY17-4, com CTR=160% min), e você pode obter LED-foto-Darlingtons, como mostrado; eles são ainda mais lentos que os fototransistores! Para obter maior velocidade, os fabricantes às vezes usam fotodiodo e transistor separados, como mostrado nos optotransistor e opto Darlingtons 6N136 e 6N139. Com optoacopladores que dão acesso à base, pode-se adicionar um resistor da base ao emissor para melhorar a velocidade (configurações B e F); no entanto, isso produz um efeito de limite (como mostrado ao lado do circuito F), porque o fototransistor não começa a conduzir até que a corrente do fotodiodo seja grande o suficiente para produzir um VBE no resistor de base externo. Em aplicações digitais, o limite pode ser útil, mas em aplicações analógicas é uma não linearidade indesejável.

12.7.2 II: Optoacopladores de saída lógica

Esses optoacopladores anteriores são bons, mas um tanto irritantes de usar porque você precisa fornecer sinais discretos

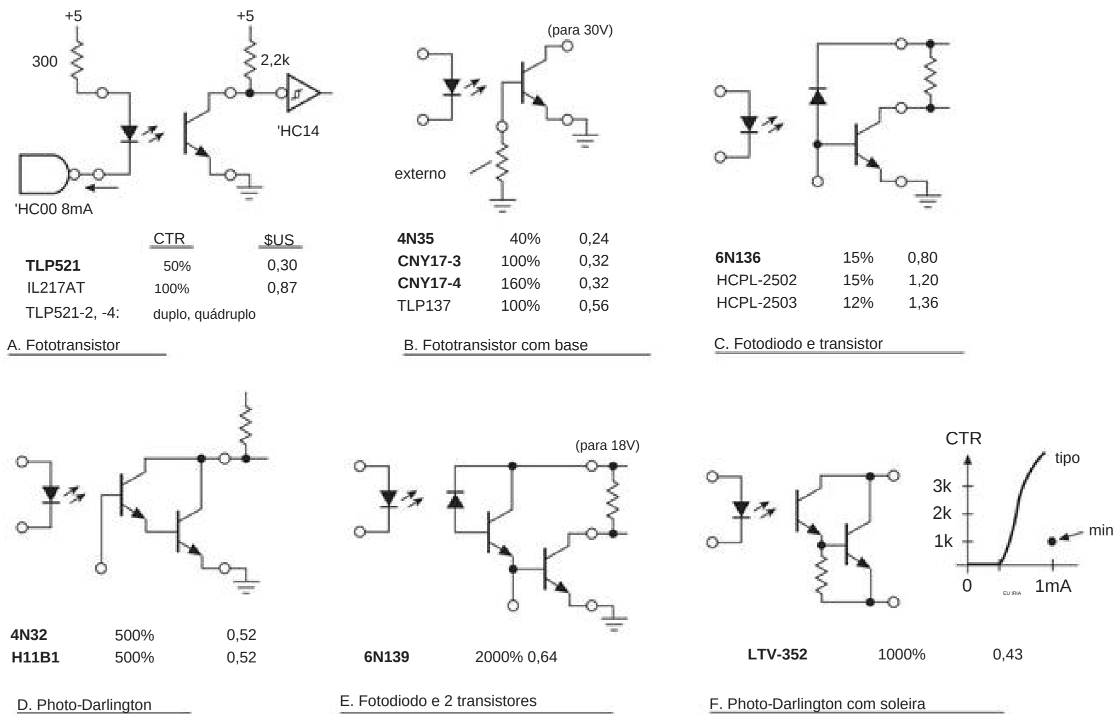


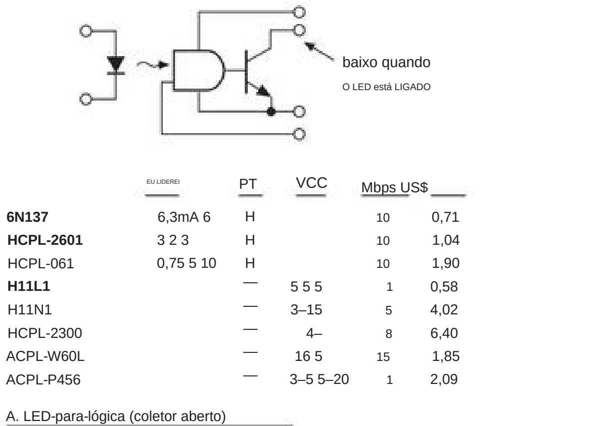
Figura 12.85. Optoacopladores-I: Saída do fototransistor. As partes em **negrito** são "jujubas" – baratas e onipresentes, embora não necessariamente as de melhor desempenho.

componentes na entrada e na saída. Além disso, a corrente necessária para acionar o LED pode exceder a capacidade de acionamento de algumas famílias lógicas; e o pullup passivo no lado da saída sofre de comutação lenta e imunidade a ruído medíocre. Para remediar essas deficiências, os magos do silício nos trazem optoacopladores "lógicos" (Figura 12.86). O 6N137 e seus amigos (configurações A e B) vão pela metade, com LED nu na entrada, mas com lógica de buffer na saída. Você ainda precisa de muita corrente de entrada (para o 6N137 é especificado como 6,3 mA, min, para garantir a comutação de saída), mas obtém oscilações lógicas limpas na saída (embora coletor aberto) e velocidades de 10 Mb/s. Observe que você deve fornecer +5 volts ao circuito interno de lógica de saída do lado da recepção. Os acopladores lógicos com acionamento reduzido são listados; entre eles estão os clássicos (e com nomes curiosos) H11L1 e H11N1, descendentes das ofertas pioneiras de optoeletrônicos da General Electric, felizmente desfrutando de grande popularidade bem depois de seu 30º aniversário. Mas observe a penalidade de custo, principalmente para alta velocidade combinada com baixa corrente de acionamento.

Contanto que você tenha um circuito lógico interno na saída, por que não fornecer um pullup ativo honesto? Por que não? Essa é a configuração B, entre as quais você encontrará versões aprimoradas, algumas mais rápidas, algumas com impressionantes taxas de variação de isolamento e algumas com saídas de três estados; mas observe o preço "melhorado"!

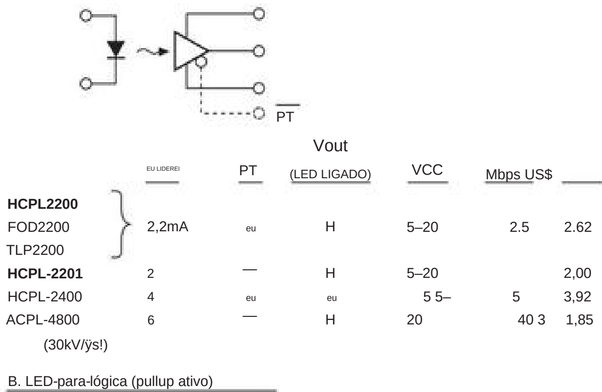
Os optoacopladores na configuração C nos levam à terra prometida (onde, no entanto, os valores imobiliários são um pouco elevados): eles aceitam entradas de nível lógico e produzem saídas de nível lógico com pullup ativo. Devido ao circuito lógico interno na entrada e na saída, ambos os lados do chip requerem tensões de alimentação lógica. Algumas variedades (por exemplo, o ACPL-772L) funcionam perfeitamente com fontes de 3 V ou 5 V em ambas as extremidades, em qualquer combinação. Esses acopladores são muito rápidos, até 50 Mb/s.

Listamos também três acopladores lógicos de isolamento que funcionam de maneira semelhante, mas que usam técnicas de isolamento capacitivas ou baseadas em transformadores no lugar da luz. Eles são mais rápidos, mas observe uma complicação: seus métodos de isolamento são todos *acoplados em corrente alternada,* usando pulsos curtos para transferir mudanças de estado através da lacuna. Ou seja, eles não são intrinsecamente "corretos em corrente contínua" e podem exibir artefatos como distorção de atraso de tempo ou exigir um sinal de inicialização para forçar a saída a um estado conhecido.



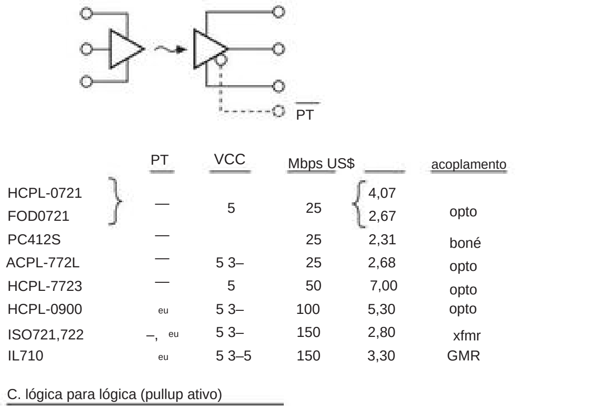
	EU LIDEREI	PT	VCC	Mbps	US$
6N137	6,3mA 6	H		10	0,71
HCPL-2601	3 2 3	H		10	1,04
HCPL-061	0,75 5 10	H		10	1,90
H11L1		—	5 5 5	1	0,58
H11N1		—	3–15	5	4,02
HCPL-2300		—	4–	8	6,40
ACPL-W60L		—	16 5	15	1,85
ACPL-P456		—	3–5 5–20	1	2,09

A. LED-para-lógica (coletor aberto)



	EU LIDEREI	PT	Vout (LED LIGADO)	VCC	Mbps	US$
HCPL2200 / FOD2200 / TLP2200	2,2mA	eu	H	5–20	2.5	2.62
HCPL-2201	2	—	H	5–20		2,00
HCPL-2400	4	eu	eu	5 5–	5	3,92
ACPL-4800 (30kV/ÿs!)	6	—	H	20	40 3	1,85

B. LED-para-lógica (pullup ativo)



	PT	VCC	Mbps	US$	acoplamento
HCPL-0721	—	5	25	4,07	opto
FOD0721				2,67	
PC412S	—		25	2,31	boné
ACPL-772L	—	5 3–	25	2,68	opto
HCPL-7723	—	5	50	7,00	opto
HCPL-0900	eu	5 3–	100	5,30	opto
ISO721,722	–, eu	5 3–	150	2,80	xfmr
IL710	eu	5 3–5	150	3,30	GMR

C. lógica para lógica (pullup ativo)

Figura 12.86. Optoacopladores II: Saída lógica.

12.7.3 III: Optoacopladores gate driver

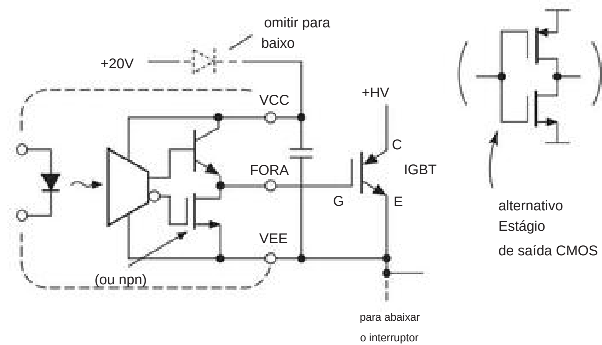
O acoplamento óptico isolado permite flutuar a saída, em relação à entrada, em tensões até a taxa de isolamento de alguns quilovolts (limitada também por uma especificação de giro máxima).

imunidade temporária, chamada de "imunidade transitória de modo comum", tipicamente alguns quilovolts por microssegundo). Sabemos o que você está pensando agora - o que pode ser uma carga de alta tensão e movimento rápido?! Bem, uma aplicação importante que precisa tanto de isolamento quanto de giro rápido é o "drive lateral alto" de MOSFETs ou IGBTs (o último preferido para comutação de energia de alta tensão, consulte §3.5.7), onde você tem um par push-pull funcionando entre o terra e um trilho positivo de alta tensão (consulte as Figuras 9.73C e D e *§9x.10).* E o que você precisa é de um isolador que possa fornecer um full gate drive de +10 V ou mais, em relação à fonte MOSFET (ou emissor IGBT) do transistor de lado alto, que está agindo como um seguidor nMOS. Por ser um seguidor, ao invés de um switch, este último está "voando" junto com a saída.

A Figura 12.87 mostra o optoacoplador básico de gate-driver. Na forma de diagrama de blocos, você pode confundi-lo com um simples acoplador lógico; mas seu estágio de saída consiste em um driver push-pull robusto que pode fornecer e dissipar correntes de um amplificador ou mais e operar a partir de um trilho de alimentação de saída de até ~30 V. Quando a saída do acoplador vai para ALTO, ele liga o IGBT, que prontamente voa até o trilho positivo de alta tensão em um quilovolt ou mais, levando a saída do acionador do portão junto com ele. É por isso que você precisa de isolamento de alta tensão e tolerância transitória de modo comum.

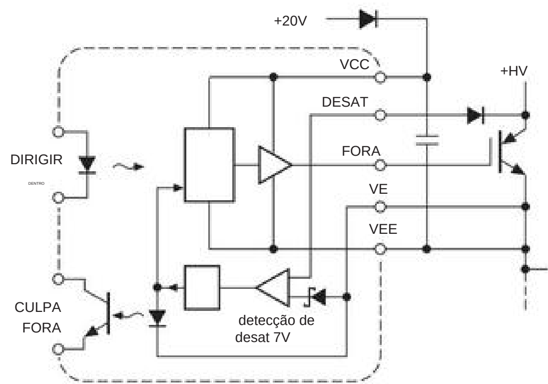
Obviamente, a alimentação de ~20 V para o lado de saída do isolador também deve voar! Parece um problema sério - mas há uma solução terrivelmente inteligente, que explora o fato de que a saída está alternando entre terra e +HV: se você conectar um diodo de alta tensão ao VCC do acoplador de uma fonte comum de +20 V (relativa ao terra do circuito), conforme mostrado na Figura 12.87A, ele conduzirá durante os momentos em que a saída estiver em BAIXO, carregando o capacitor de bypass.
Apenas faça o último grande o suficiente para manter a saída do acoplador energizada durante os estados periódicos de ALTO , e pronto; isso é bastante fácil, porque a corrente quiescente do estágio de saída do acoplador é de apenas alguns miliampères. Isso é basicamente uma "bomba de carga" de lado alto, às vezes chamada de "fornecimento de inicialização". Você pode usar um desses acopladores para acionar o lado baixo também; nesse caso basta alimentá-lo diretamente do +20 V, omitindo o diodo.

A comutação de alta tensão é repleta de perigos e não é uma atividade recomendada para os fracos de coração: um curto-circuito momentâneo na saída pode aniquilar as coisas rapidamente.
Você precisa se proteger contra tais "falhas", por exemplo, com circuitos limitadores de corrente. Mas mesmo assim você pode destruir os IGBTs ou MOSFETS, porque um curto-circuito na carga coloca toda a tensão de alimentação no IGBT do lado alto enquanto ele está funcionando naquele limite de corrente. O que você precisa fazer é sentir quando o portão do IGBT está sendo acionado, mas sua saída não entrou imediatamente na saturação de tensão. felizmente, lá



	E/ S máx	VCC	$US	
PC924	0,5A	35V	1,04	
ACPL-P302	0,4	30	1,26	
HCPL-314J	0,4 3	30	2,37	dual
FOD3184	2	30 30	1,14	
HCPL-3120			3,10	

A. Motorista de portão push-pull



	E/ S máx	VCC	$US	
HCPL-316J	1,5A	35V	4,92	lógica em
ACPL-332J	2A	33V	5,78	

B. Driver de portão com desligamento por falha

Figura 12.87. Optoacopladores III: Saída do gate driver.

são optoacopladores aprimorados de driver de porta com detecção de falha de "dessaturação", como na Figura 12.87B: o circuito interno analisa a queda no IGBT acionado e desliga seu acionamento de porta durante uma falha sem saturação.43 Ele também envia uma indicação de falha de volta através da lacuna de isolamento, como mostrado.

43 Há tempo para fazer isso: a massa térmica de um IGBT fornece cerca de 10 ÿ s em sua corrente de condução máxima, com tensão nominal total, antes que ocorram danos.

12.7.4 IV: Optoacopladores de orientação analógica

Até agora, vimos apenas aplicações de *comutação* de optoacopladores, onde a linearidade é de pouca importância. Mas às vezes você precisa isolar circuitos *analógicos* . Um método, é claro, é usar um par de conversores, convertendo a quantidade analógica em um fluxo de bits digital, acoplando-o por meio de optoacopladores lógicos e convertendo-o novamente em analógico. Mas existem optoacopladores analógicos que fazem o trabalho diretamente.

A Figura 12.88 mostra a maioria deles. O clássico H11F1 (outro vencedor dos pioneiros da GE, este desde 1979) é um opto-FET, no qual a corrente do drive do LED afeta o FET da mesma forma que a voltagem do gate faria (não estamos exatamente certeza do que está dentro desta parte). Portanto, níveis crescentes de LED drive aumentam a corrente de saturação (isto é, corrente de canal em tensões de canal superiores a alguns décimos de volt ou mais), atingindo cerca de 1 mA para um LED drive de 25 mA. Observe que a saída é completamente simétrica e funciona até ±30 V nos terminais de saída. E, como acontece com os FETs comuns, os terminais de saída parecem aproximadamente resistivos para pequenas tensões no canal; aqui, no entanto, o valor RON é definido pela corrente do acionamento do LED e varia de >300 Mÿ (sem acionamento do LED) até cerca de 100 ÿ (com acionamento do LED de 16 mA).

Mais uma vez, esta propriedade é simétrica em ambos os lados de zero volts, mas não é particularmente linear além de ±50 mV, como visto no gráfico da Figura 12.88A.

Para uma linearidade realmente boa, você pode usar um opto fotorresistor (configuração B), que é um LED iluminando um fotorresistor CdS. Os sensores são lentos e exibem efeitos de memória; mas os terminais de saída se comportam como resistores muito lineares, com linearidades de ~0,01% para oscilações de tensão de até ±1 V.44 Isso daria um excelente limitador de amplitude para um oscilador Wien Bridge de baixa distorção como o da Figura 7.22.

Há uma pequena classe de "optoacopladores de vídeo", que se baseia na linearidade inerente da intensidade do LED versus a corrente do drive (exceto em correntes baixas) e na boa linearidade da corrente do fotodiodo versus iluminação. Figura 12.88C

44 Infelizmente, a disponibilidade contínua desses dispositivos legais é ameaçada por restrições legisladas sobre substâncias perigosas (RoHS): o cádmio não é um material legal e as preocupações com sua toxicidade o colocam na lista de proibições. Ironicamente, enquanto os miligramas de cádmio em uma fotocélula CdS são um alvo da legislação RoHS, tal exposição potencial (de *comer* as coisas?) E, já que estamos reclamando, que tal as vastas quantidades de chumbo que são permitidas em baterias de automóveis? Estes pesam 22 quilos ou mais, a maior parte chumbo, e cerca de 100 milhões são fabricados anualmente: isso é mais do que uma megaton de chumbo!

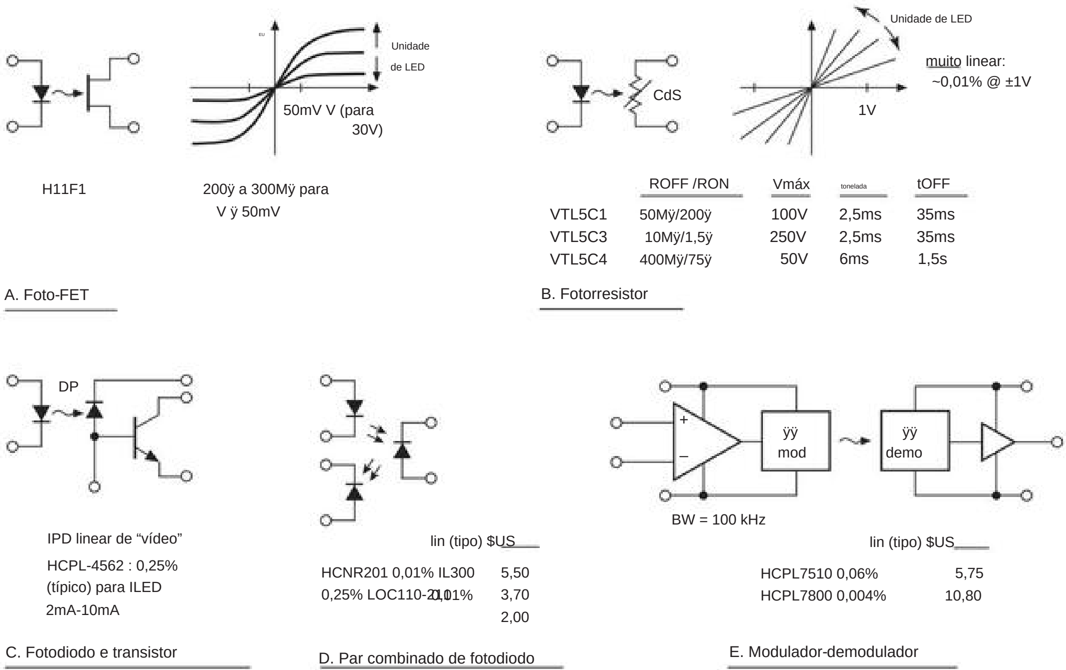


Figura 12.88. Optoacopladores IV: Saída orientada por analógico.

mostra no exemplo, com uma largura de banda reivindicada de 17 MHz quando usada no circuito da Figura 12.89. Outra maneira de obter linearidade razoável é empacotar um par correspondente de fotodiodos com um LED (Figura 12.88D) e, em seguida, usar um deles para fornecer feedback no lado do acionamento (Figura 12.90); o fotodiodo do lado mais distante exibirá linearidade limitada apenas pelo grau de correspondência. Os dispositivos listados na Figura 12.88D atingem linearidades superiores a 1% em tal configuração.

Finalmente, há uma classe interessante de optoacopladores lineares que integram um conversor A-para-D e um conversor D-para-A, com acoplamento digital. Eles usam a versão de conversão "delta-sigma" (às vezes chamada de conversão de "1 bit"), que discutiremos mais adiante em §13.9. A Figura 12.88E mostra o esquema. Estes são muito lineares, mas o processo delta-sigma leva a um ruído de saída significativo (ÿ30 mVrms, em comparação com a saída de escala completa de 3 V) e algum atraso de sinal (ÿ5s). Essas peças encontraram uso generalizado em sistemas de potência de motor de frequência variável trifásica de meia ponte, onde medem a corrente em cada perna. Como resultado, eles geralmente têm faixas de escala completa de apenas 300 mV.

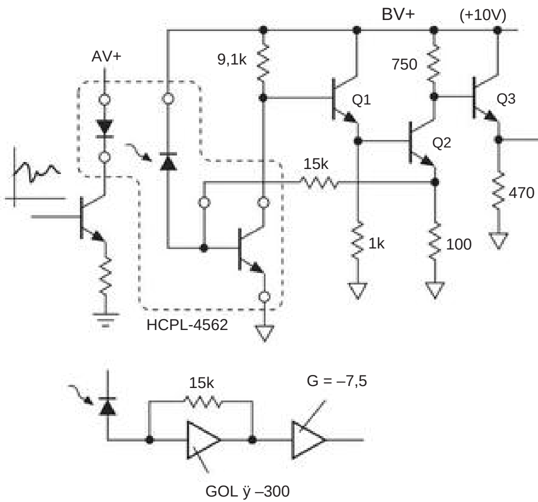


Figura 12.89. Usando o "optoacoplador de vídeo" HCPL-4562 na configuração de transresistência recomendada no datasheet (ÿ17 MHz de largura de banda para -3 dB).

12.7.5 V: Relés de estado sólido (saída do transistor)

Voltando novamente aos acopladores cuja saída é uma chave, temos a classe dos "relés de estado sólido" (SSRs; Figuras 12.91 e 12.92). Estes são caracterizados por saídas de dois terminais isoladas que são abertas (não condutoras) ou fechadas (condutoras), dependendo do estado da unidade de LED de entrada e, portanto, podem ser consideradas como substitutos para relés eletromecânicos (consulte *§1x.6).* Eles não

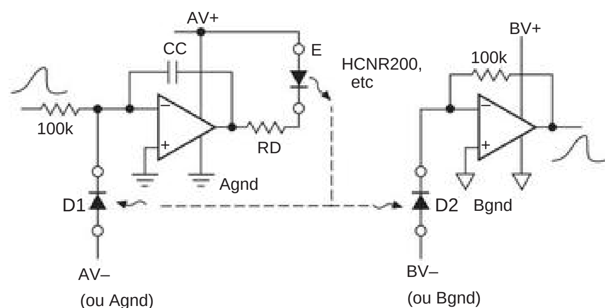


Figura 12.90. Linearização de um optoacoplador com par de fotodiodos.

exigem qualquer fonte externa de tensão de alimentação no lado da saída - eles são "apenas um interruptor". Uma classe de SSRs usa *tiristores* (SCRs e triacs) como chave de saída; esses dispositivos, uma vez acionados para condução, permanecem conduzindo até que a corrente seja removida e, portanto, são adequados apenas para cargas CA (onde a corrente passa por zero duas vezes por ciclo). Nós os tratamos abaixo, depois de olhar para os SSRs com MOSFETs como interruptores de saída, que é a classe de SSRs adequada para cargas CC (e, como veremos, eles também podem alternar cargas CA quando configurados como um par de série de MOSFET).

Para colocar o(s) transistor(es) de saída em condução, os SSRs de saída MOSFET usam uma série de uma dúzia ou mais de fotodiodos para gerar a tensão de porta necessária. Esta "pilha fotovoltaica" é iluminada pelo LED, gerando 5–10 V de polarização do portão. Ele pode fornecer apenas alguns microamperes para o gate, cuja capacitância faz com que os tempos de ativação e desativação estejam tipicamente na faixa de 0,1 a 5 ms. Você não precisa abrir um SSR para jogar com esta parte do relé, porque você pode comprá-lo à la carte (Figura 12.91A). As folhas de dados desses dispositivos não informam muito sobre o que há dentro; mas é evidente pelas especificações tOFF rápidas que a maioria deles usa um bit auxiliar de circuito para descarregar o portão para um desligamento rápido. Isso pode ser um transistor *pnp* que é colocado em condução quando a corrente de saída da pilha PV cessa, talvez auxiliado por um SCR (indicado por linhas tracejadas).

A maioria dos SSRs MOSFET usa um par de FETs de n canais conectados em série, conforme mostrado na Figura 12.91D, acionados por uma pilha fotovoltaica.45 Para uma carga CA, você usa os terminais superior e inferior (drenagem). Quando o relé está desligado, um ou outro transistor está atuando como chave aberta, dependendo da polaridade; você precisa do par de série, porque senão o inverso (corpo) o diodo conduziria. Quando o relé está ligado, ambos os transistores atuam como interruptores, caracterizados por um RON.46

É claro que você pode usar essa mesma conexão para uma carga CC, mas é melhor usar os transistores em paralelo (conectando os drenos juntos, conforme mostrado), o que reduz o RON em um fator de 4 (ao custo do aumento da capacitância de saída, se isso for importante para você). Observe que os MOSFETs do modo de aprimoramento fornecem um relé "normalmente DESLIGADO" (forma A), enquanto os MOSFETs do modo de depleção (com as portas conectadas à extremidade negativa da pilha PV) fazem um relé "normalmente LIGADO" (forma B). .

Lembre-se de que esses "relés" vêm em uma enorme variedade de recursos atuais e que os pequenos podem ser usados efetivamente para comutação de baixo nível: peças como o AQY221N3 ou NEC/CEL PS7801-1A, por exemplo, têm um RON de 10 ÿ ou menos enquanto apresenta um mero pico farad de capacitância de saída. Ao contrário dos interruptores analógicos CMOS (§3.4.1A), eles têm injeção de carga *zero* (além da capacitância de isolamento, cerca de 1 pF para a maioria das peças, mas apenas ÿ0,3 pF para o PS7801A) - você pode querer usá-los mesmo quando você não precisa do isolamento. Por exemplo, você pode usar um desses em um circuito integrador ou sample-and-hold.

Existem alguns relés FET excêntricos listados nas Figuras 12.91B e C: o H11F1 (apresentado anteriormente como "orientado para analógico") é rápido (ÿ15 s) e simétrico (DESLIGADO, ±30 V; ±100 mA quando ON). Não temos certeza de como eles fazem isso. E o LH1514 tem uma configuração interessante, destinada a sinais CA balanceados: ele usa um arranjo "T-switch", com um par de switches normalmente abertos em série em cada linha, interligados por um switch normalmente fechado (um interruptor de depleção). modo MOSFET, conduzido da mesma pilha PV). Isso resulta em uma boa atenuação do sinal quando desligado, mesmo para sinais em radiofrequências (65 dB a 1 MHz).

12.7.6 VI: Relés de estado sólido (saída triac/SCR)

Para comutação CA de linha de força, é comum usar um relé de estado sólido com um triac ou um par de SCRs (coletivamente *tiristores)* como dispositivo de comutação. Os SSRs de baixa corrente mostrados nas Figuras 12.92A e B são usados principalmente como dispositivos de gatilho para ativar um tiristor de alta corrente, conforme mostrado na Figura 12.93. Mas o grande gorila na sala é o SSR integrado, que inclui o optoacoplador e (geralmente)

45 Alguns SSRs, destinados apenas a cargas CC, usam apenas um único MOSFET; exemplos são as séries AQV100 e AQZ100 da Panasonic.

46 Em §3.5.6B sugerimos uma versão de uso geral do tipo roll-your-own deste circuito SSR (Figura 3.107). A vantagem de fornecer seus próprios MOSFETs é que você pode selecionar peças de baixa resistência e alta corrente (para mais de 1kA pulsado, 100 A contínuo) ou peças comuns de baixo custo como um IRF640 (200 V, 12 A, 0,25 ÿ) , ou incríveis peças de alta tensão (até 4,5 kV); uma mesa útil é fornecida lá.

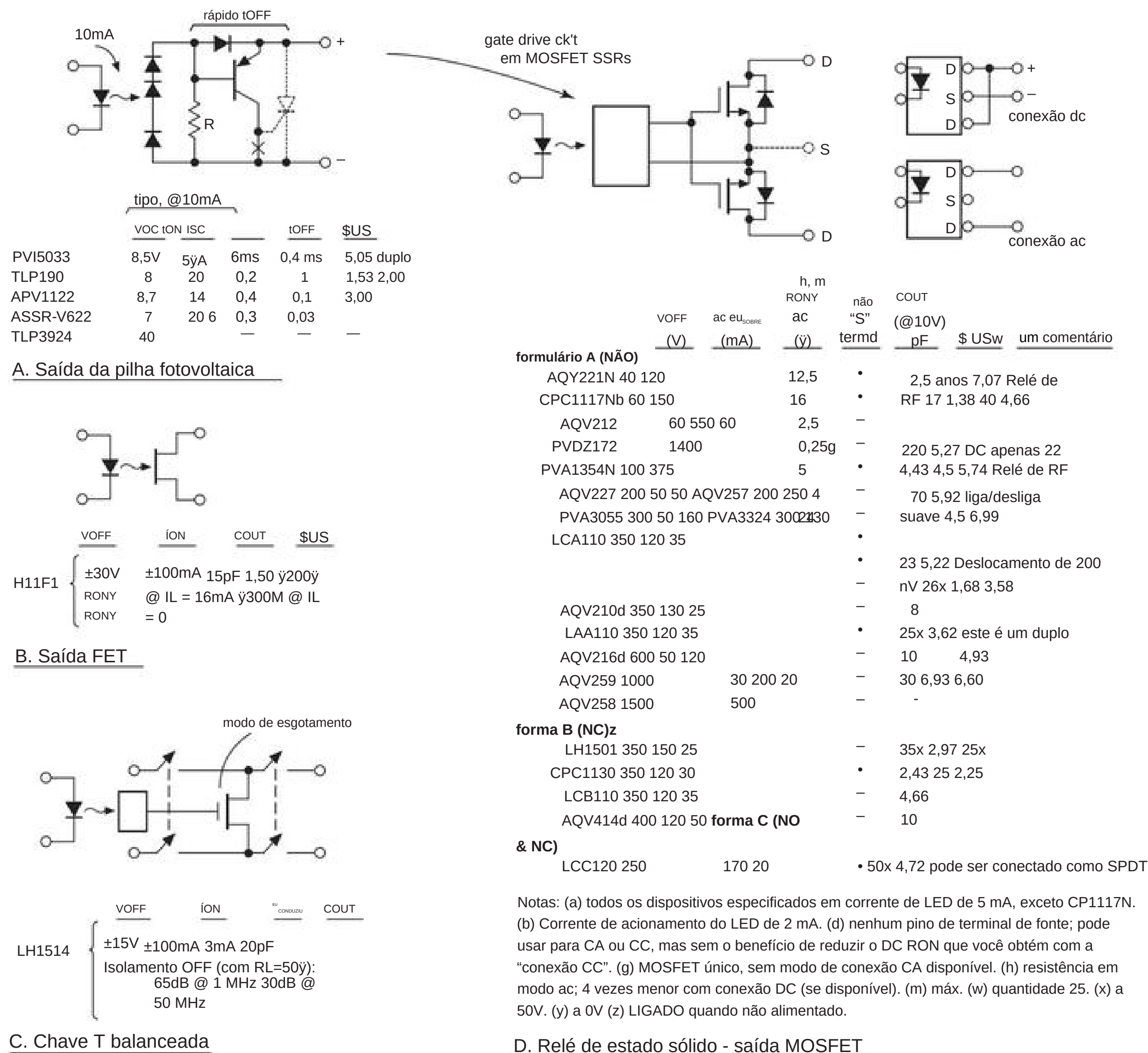


Figura 12.91. Optoacopladores V: "relé de estado sólido CC" (saída do transistor).

circuito de disparo de comutação de tensão zero (ZVS), juntamente com um triac de saída substancial ou par SCR. Isso é bom: ao conduzir cargas CA, é melhor ligar a carga durante um cruzamento zero da forma de onda CA, para evitar colocar picos na linha de força; e o triac ou SCR desliga inerentemente com corrente zero.47 Portanto, temos "ZVS/ZCS".

A Figura 12.92C lista apenas alguns das centenas de tipos disponíveis. SSRs de alta corrente não são baratos, mas são extremamente fáceis de usar. Os maiores (10 A ou mais) vêm em um pacote "tijolo" de montagem em painel (cerca de 1,75 × 2,25 × 1, destinado a dissipador de calor), enquanto os menores vêm em vários tamanhos de montagem de PCB "single in-line" pacotes (SIPs).48

[47] Uma exceção é quando comutando powerline ac através de um transformador primário: lá ZVS é o *pior* caso, porque a tensão aplicada de meio ciclo de unipolaridade completa traz o núcleo mais próximo (ou para dentro) da saturação, com enormes correntes de pico. Idealmente, você deseja alternar o ac perto de sua tensão de *pico* . Encontramos esse efeito em nosso laboratório, ao alimentar um Variac de 20 A (§1.9.5D) – cerca de metade do tempo em que você o ligava, o disjuntor de 20 A na parede disparava (mesmo que a Variac estivesse descarregada); você teve que ter sorte e pegar a forma de onda CA perto de um pico para ligá-la com sucesso.

[48] Mas veja nossa nota de rodapé de advertência em §12.4.3 sobre dissipadores de calor. Tenha certeza de

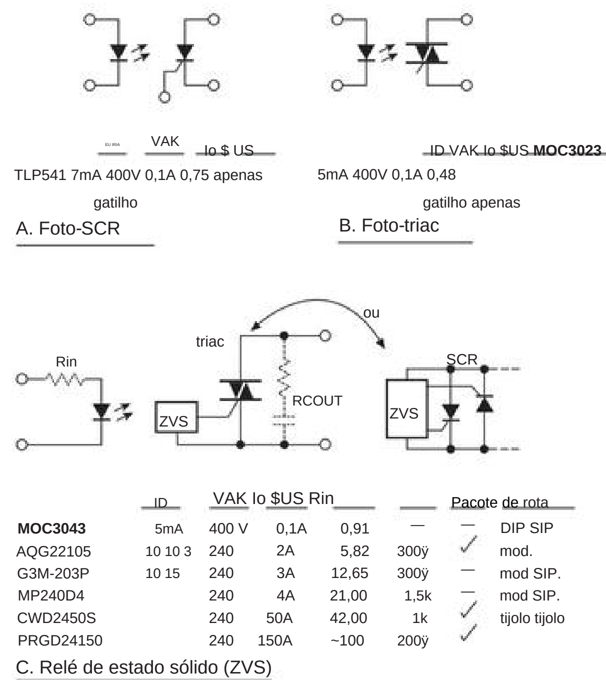


Figura 12.92. Optoacopladores VI: "relé de estado sólido ca" (saída triac/SCR).

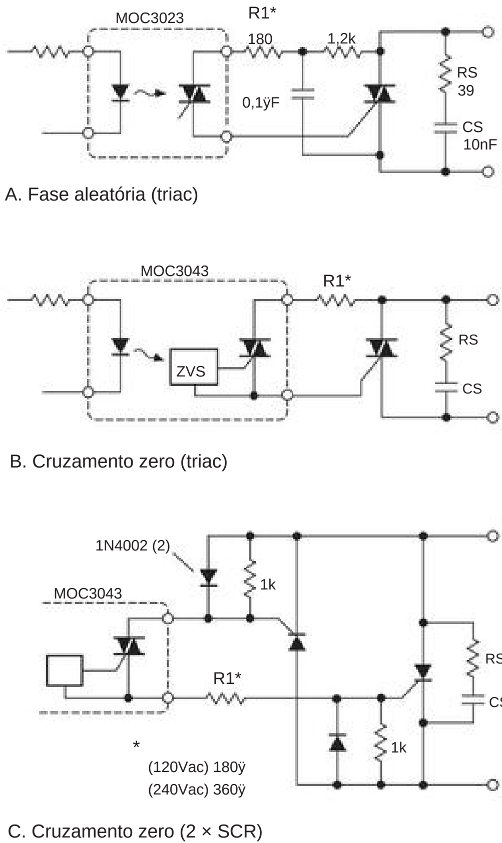


Figura 12.93. Um pequeno opto-triac aciona um grande par triac ou SCR. Escolha o resistor R1 de acordo com a tensão da linha CA.

12.7.7 VII: optoacopladores de entrada CA

Por fim, há uma classe de optoacopladores destinada ao acionamento AC in put (Figura 12.94). Alguns usam um par de LEDs lado a lado, acoplados a um fototransistor ou foto-Darlington. O fototransistor de saída conduz de acordo com a magnitude da corrente do LED, com taxas típicas de transferência de corrente de 20–100%; isso é útil para detectar cruzamentos de zero da linha de energia CA.

Módulos de entrada-saída

Existe uma categoria de "módulos de *entrada* -saída" com isolamento opto usado em configurações industriais: saída lógica de coletor aberto de baixa tensão isolada para ir para um computador ou outro controlador industrial; os módulos de *saída* usam um sinal lógico de baixa tensão de um computador ou controlador para comutar uma carga CA ou CC, geralmente em tensões de linha de energia. Em outras palavras, os módulos de saída são SSRs com saídas de tiristor ou transistor (ca e cc, respectivamente), e os módulos de entrada são optoacopladores de entrada ca com saídas de coletor aberto. Esses os últimos, portanto, são uma maneira fácil de usar uma entrada de linha de alimentação CA para criar uma oscilação de nível lógico isolada (ou superior, porque a saída O/C normalmente pode ir para +30 V), conforme mostrado na figura. Observe que esses filhotes incluem um filtro *RC* interno , portanto, a saída indica a presença ou ausência de uma forma de onda CA, mas não captura os ciclos individuais. Os módulos de entrada-saída vêm em vários tamanhos de pacote de módulo up right padrão (por exemplo, 1,7 × 1,25 × 0,6 e 1,7 × 1 × 0,4), com um arranjo de parafuso de fixação e (geralmente) um LED indicador na parte superior.

12.7.8 Interruptores

Você pode usar um par LED-fototransistor para detectar proximidade ou movimento. Um "interruptor óptico" consiste em um LED acoplado a um fototransistor através de um slot aberto. Ele pode detectar a presença de uma faixa opaca, por exemplo, ou a rotação de um disco ranhurado. Uma forma alternativa tem o LED e o fotodetector olhando na mesma direção e

consulte a folha de dados para a queda de tensão ON ao projetar um SSR em um sistema.

	CTR	US$
LTV-814	20%	0,26
ILD252	100%	3,00 duplo
ACPL-824	20%	0,46 duplo
ACPL-844	20%	0,93
IL252	100%	quádruplo 1,28
MOC256	20%	w. base 0,77 w. base

A. CA para fototransistor

LTV-8141 600% $ 0,47 B.

AC para Darlington

25k
+5
a +30V, 50mA
120Vac 5mA
RC~15ms

Crydom M-IAC5
Omron G3TC-IAC5
Tyco IAC-5

C. AC "módulo de entrada"

Figura 12.94. Optoacopladores VII: entrada ac.

ele detecta a presença de um objeto reflexivo próximo (na maioria das vezes, pelo menos!). Tal como acontece com os optoacopladores, você pode obtê-los com um fototransistor simples no lado da recepção ou com saídas de nível lógico (coletor aberto ou pullup ativo). Você pode ver alguns exemplos na Figura 12.84. Interruptores ópticos são usados em dispositivos mecânicos, como impressoras, para detectar o fim do curso do conjunto móvel. Interruptores ópticos podem ter problemas quando os níveis de luz ambiente são altos. Um bom truque em tais situações é usar a *detecção síncrona* (§8.14.1), tornando o detector seletivamente sensível à frequência na qual o emissor é acionado. A Hamamatsu oferece uma boa seleção (suas séries S4282/89, S6809/46/86 e S7136) de detectores com pré-amplificador integrado e componentes eletrônicos de processamento de sinal. Você pode obter "codificadores rotativos" ópticos que geram um trem de pulso em quadratura (duas saídas, 90ÿ fora de fase) conforme o eixo é girado; há um exemplo de um na Figura 12.84.

Eles fornecem uma boa alternativa aos controles de painel resistivo (potenciômetros) – consulte §15.5.

Em qualquer aplicação em que você esteja considerando um interruptor óptico ou sensor reflexivo, dê uma olhada nos sensores de efeito Hall (não mostrados) como uma alternativa; eles usam sensores de campo magnético de estado sólido para indicar proximidade. Eles são comumente usados em aplicações como sistemas de ignição de automóveis (como uma alternativa para pontos de disjuntor mecânico), freios ABS (sentindo a rotação da roda) e motores CC sem escovas.

12.8 Optoeletrônica: enlaces digitais de fibra ótica

A transmissão de sinais digitais por fibra ótica fornece um link conveniente isolado galvanicamente, capaz de transportar comunicações digitais a taxas de até 10 Gb/s, em distâncias de até 10 km,[49] sem qualquer suscetibilidade a interferência, mesmo nos ambientes mais eletromagneticamente ruidosos (chão de fábrica, automóvel, observatório no topo da montanha). Embora o usuário sofisticado possa querer projetar circuitos de fibra ótica Ethernet de 10 Gb, estamos interessados aqui principalmente em objetivos bem mais humildes, por exemplo, simplesmente conectar alguns instrumentos em distâncias de 10 m (ou talvez 1 km), com dados taxas de megabits por segundo (ou talvez com fast Ethernet, a 100 Mb/s). Vamos ver quais componentes disponíveis no mercado farão o trabalho.

12.8.1 TOSLINK

Um link de fibra digital de curto alcance muito simples e barato é fornecido pela família TOSLINK™ de pares transmissor-receptor (conhecidos genericamente como "EIAJ óptico", "JIS F05", "ADAT óptico" ou "Digital Audio Optical Cable"), consulte a Figura 12.95. O padrão TOSLINK foi originado pela Toshiba,[50] e é amplamente utilizado para interconexões de áudio digital, por exemplo, entre componentes de áudio e vídeo. É um dos dois conectores de "áudio digital" que você vê na parte traseira dos leitores de DVD e Blu-ray, às vezes

[49] O recorde de velocidade no momento da publicação é de 1 petabit/s (1015b/s) ao longo de 50 km de comprimento de cabo de fibra ótica, alcançado por uma colaboração da NTT (Japão), Fujikara Ltd., Hokkaido University e a Technical University of Dinamarca. O "cabo" é um feixe de 12 núcleos, cada fibra transporta 84,5 Tb/s por multiplexação em 222 comprimentos de onda separados, uma taxa de sinal de 380 Gb/s por comprimento de onda (o último obtido pela modulação de oito portadoras separadas, cada uma com polarização multiplexado 32QAM).

[50] **Cuidado:** encontramos a disponibilidade atual em grande parte por meio de fornecedores secundários, como Comoss, Sys Concept e FiberFin; as peças usadas para os exemplos nesta seção parecem não estar disponíveis nos distribuidores e podem ter sido descontinuadas pela Toshiba.

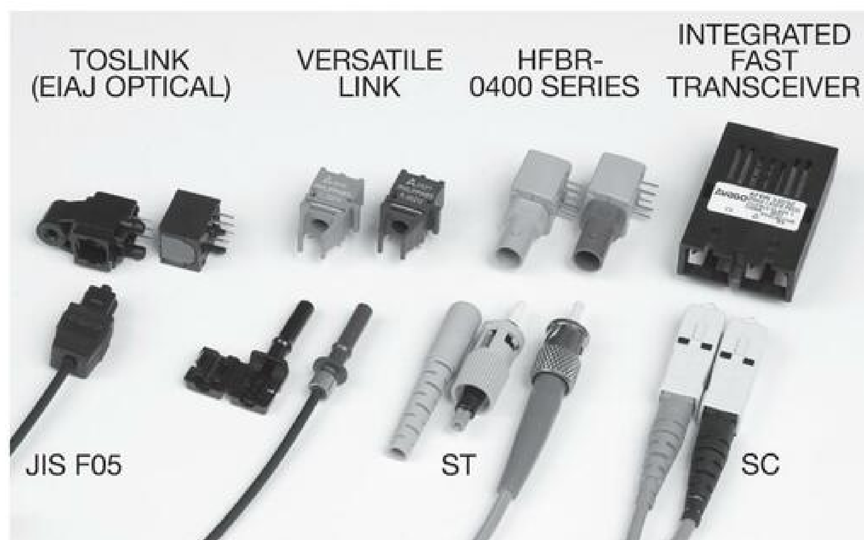


Figura 12.95. Alguns formatos populares de fibra óptica. Os dispositivos TOSLINK, amplamente usados em áudio de consumo, são mostrados aqui em uma versão de montagem em PC com veneziana (à direita) e uma versão sem obturação para montagem em painel (à esquerda). Os outros formatos de conectores podem ser terminados em campo (conectores simples são mostrados para ST e Versatile Link), mas é mais fácil comprar cabos de fibra pré-terminados.

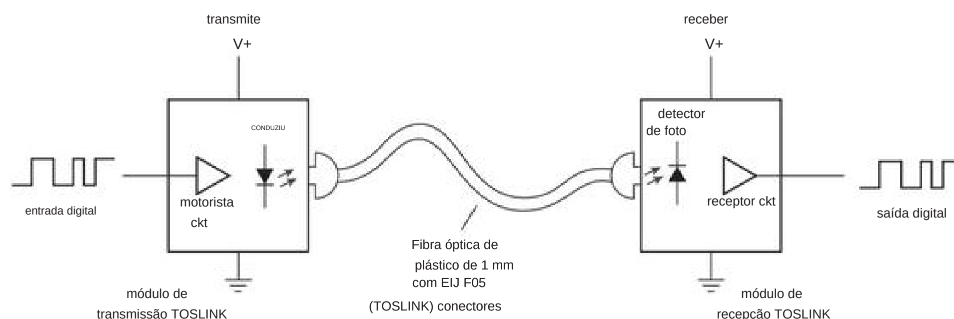


Figura 12.96. Os módulos de fibra ótica estilo TOSLINK de montagem em PC baratos incluem todos os componentes eletrônicos de acionamento e recebimento. Eles aceitam e reconstroem níveis lógicos padrão, a taxas de até 15 Mb/s em intervalos de até 10 m.

denominado “óptico digital” (sendo o outro um soquete de áudio elétrico coaxial que é fisicamente idêntico ao conector “RCA” comum, geralmente colocado ao lado do conector TOSLINK, e que transporta, eletricamente, o mesmo fluxo digital que a porta óptica) . O TOSLINK usa LEDs vermelhos visíveis, operando a 650 nm; é fácil ver quando está funcionando e qual é a extremidade do transmissor (ao contrário do caso dos módulos de fibra infravermelha invisíveis).

O charme do TOSLINK é sua simplicidade e baixo custo: o Toshiba TOTX147 e TORX147 são um típico par transmissor-receptor, custando cerca de $ 1 em cada extremidade (em pequenas quantidades). Eles funcionam com uma alimentação lógica de 2,7–3,6 V, com o transmissor aceitando entradas de nível lógico e o receptor replicando os níveis lógicos em sua saída. Aquilo é, todos os circuitos de interface lógica são integrados; tudo o que você faz é conectá-lo (Figura 12.96). Eles são destinados a links de curto alcance, operando até 15 Mb/s em uma distância de 5 metros ou menos. Você usa uma fibra plástica barata de 1 mm (APF, para fibra totalmente plástica ou POF, para fibra óptica plástica), que pode ser obtida como um cabo revestido de 2,2 mm (ou mais grosso) com conectores TOSLINK em cada extremidade; encontramos esses "patch cords" (por exemplo, na Amazon.com) por apenas um dólar ou menos e são equipamentos padrão em lojas de suprimentos de áudio e vídeo. A Figura 12.97 mostra a entrada e a saída lógicas de um par TOSLINK rodando a +3,3 V, acionado por um fluxo de dados de 15 Mb/s e conectado com um patch cord de fibra de 2,5 metros.
Você também pode obter versões de 5 V, por exemplo, números de peça Toshiba TOTX/TORX177 (os números de peça análogos da Sharp são

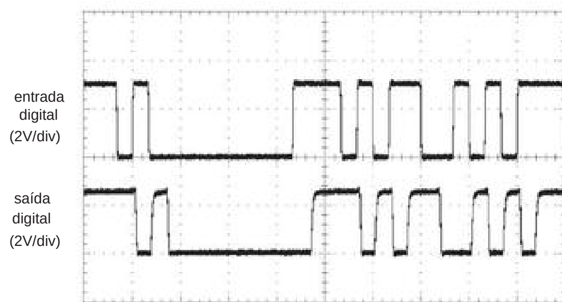


Figura 12.97. Dados transmitidos e recebidos, enviados através de 8 pés de fibra plástica de 1 mm a 15 Mb/s com componentes de áudio digital TOSLINK (Toshiba TOTX141FPT, Sharp GP1FA352RZ). Escala horizontal: 200 ns/div.

GP1FA351TZ/RZ e GP1FA551TZ/RZ, para pares transmissor-receptor de 3 V e 5 V).

Uma desvantagem desses componentes TOSLINK de áudio digital é que a largura de banda do receptor não se estende para baixo para CC e é especificado para operar corretamente apenas com uma taxa de dados mínima de 0,1 Mb/s.[51] Observe que a extremidade do transmissor é acoplada a CC; o problema está na extremidade do receptor, onde a amplitude de comutação do sinal óptico é usada para estabelecer o limiar do receptor. Isso é feito para minimizar a distorção de largura de pulso: se um limite *fixo* fosse usado (como é comum com outros protocolos de fibra, por exemplo, os dispositivos Versatile Link abaixo), a saída do receptor mostraria um alargamento ou estreitamento dos bits de dados reconstruídos, de acordo com a amplitude do sinal óptico recebido (ou seja, dependente do comprimento da fibra e outras perdas).

Se você precisar de resposta até DC, você pode obter verdadeiros receptores estilo TOSLINK acoplados DC, com desempenho geralmente melhorado: por exemplo, o par TOTX197 e TORX198 de "uso geral" (em contraste com "áudio digital") os módulos operam de CC a 6 Mb/s em uma distância de 40 metros ou menos, usando o mesmo cabo de fibra plástica e conector. A série TOTX/TORX1350 especifica taxas de dados de CC a 10 Mb/s em distâncias de até 100 metros, novamente com fibra totalmente plástica (APF). E, usando uma fibra de vidro revestida de plástico de menor perda (PCF, com diâmetro de fibra de 0,2 mm), o alcance é estendido para 1 km, por exemplo, com o par TOTX/TORX196. Como na vida em geral, existem compensações: esses dispositivos exibem maior distorção de largura de pulso (normalmente ±55 ns, em comparação com ±15 ns para os dispositivos de estilo de áudio[52] com seu limiar adaptativo circuito); além disso, você paga cerca de vinte vezes mais por eles (cerca de US$ 20 a US$ 25, em pequenas quantidades).

A. Componentes de fibra plástica sem conector Se você não gosta de conectores, pode obter transmissores e receptores de fibra sem conector da Industrial Fiber Optics, Inc. Eles aceitam fibra plástica de 1 mm, em um alojamento de pinça de porca cinch de montagem em PCB; você apenas corta a fibra, insere e torce bem a coisa. Eles fazem uma gama de graus de potência e velocidade, até 155 Mbps; cores bonitas (vermelho, verde, azul e infravermelho) também! Enquanto estiver fazendo compras, você pode pegar um de seus elegantes "Cartões de Detecção de Infravermelho" (peça # IF 850052), com o qual você pode saber se um LED IR (ou laser) está funcionando. Você o segura na frente do emissor e vê um ponto amarelo-alaranjado em sua área-alvo.[53]

12.8.2 Vínculo Versátil

A série Versatile Link (VL) de módulos de transmissão e recepção de fibra óptica foi introduzida pela Hewlett-Packard (então desmembrada como Agilent e finalmente Avago) por volta de 1990 e continua em amplo uso. Ele passa pela mesma fibra plástica de 1 mm que o TOSLINK, mas com um formato de conector um pouco diferente, ou seja, um conector de encaixe cilíndrico que se encaixa em um par de pinças de plástico (veja a fotografia, Figura 12.95). Esses módulos usam um comprimento de onda vermelha visível semelhante (660 nm) e vêm em vários modelos, a maioria usa um par totalmente acoplado em CC de 5 Mb/s (HFBR-1521Z/2521Z) que funciona até 20 m de distância e um par de 40 par acoplado DC kb/s (HFBR-1523Z/2523Z) bom para 100 m. A extremidade receptora fornece uma saída de nível lógico (usando um resistor externo ou interno); mas a extremidade de transmissão é um LED simples, então você deve fornecer um resistor limitador de corrente e uma chave de saturação para o terra, ou o equivalente (Figura 12.98).

Isso fornece alguma flexibilidade no nível óptico transmitido, mas requer componentes extras. Os módulos de transmissão e recepção custam menos de US$ 10 em pequenas quantidades. Você pode obter o cabo óptico com conectores conectados; ou você pode criar o seu próprio, o que acaba sendo simples e rápido, usando a série de conectores HFBR 4531Z "sem dobras" (ou seja, sem ferramentas necessárias); custam cerca de US$ 0,50 cada, em pequenas quantidades.

Para maiores velocidades de link, você pode obter o HFBR mais rápido

[51] Não é necessário que o fluxo de dados tenha quantidades balanceadas de 1s e 0s, apenas que haja transições em intervalos suficientemente frequentes.

[52] Tem havido alguns resmungos na comunidade audiófila sobre instabilidade nesta tecnologia de interconexão. Embora isso possa ser abordado com regeneração de clock PLL ou conversão de taxa de amostragem, é um problema que não surge com a interconexão elétrica (coaxial) de dispositivos de áudio digital.

[53] Quebra-cabeça para o leitor: converter um fóton de energia mais baixa em um de energia mais alta parece violar a conservação de energia. Entender!

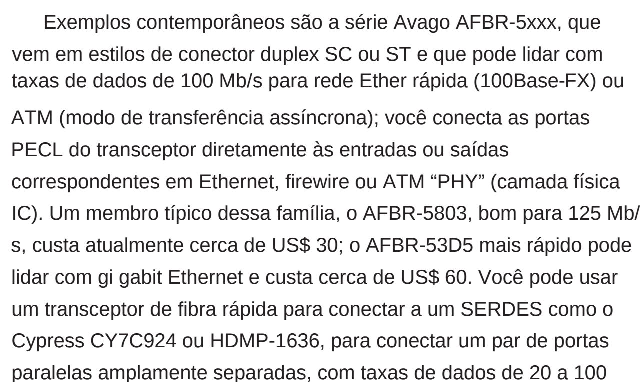


Figura 12.98. Unidade típica e circuito de recepção para o Avago dc acoplado 5 Mb/s "Versatile Link" e série de fibra óptica com conector ST. Para níveis lógicos de 3,3 V, use 50 ÿ e +3,3 V no lado do driver e suba para +3,3 V no lado do receptor. As correntes de operação mostradas aqui são adequadas para comprimentos de até 10 m (Versatile Link: fibra plástica) ou 1 km (ST: fibra de vidro); eles podem ser alterados, dependendo do comprimento do link e da taxa máxima de dados (consulte as fichas técnicas do Avago e a Nota do aplicativo 1035).

Módulos 1527Z/2526Z, que usam a mesma geometria de fibra e conector, e que permitem taxas de sinal de até 125 Mb/s (mas não acoplados em CC). Estes e dispositivos análogos (por exemplo, o TODX2402 ou TOTX/RX1701 na série TOSLINK; ou o HFBR-1424/2426 nos dispositivos conectores ST/SC de 820 nm da Avago que usam fibra de índice graduado totalmente em sílica, veja abaixo) são populares como links seriais rápidos baseados em fibra, por exemplo, para transportar sinalização Ethernet ou dados serializados entre um par SERDES (serializador-desserializador).

12.8.3 Módulos de fibra de vidro ST/SC

Por muitos anos, usamos a série HFBR-14xx/24xx de transmissores e receptores de fibra da Avago. Estes são mais caros (cerca de US$ 15 em pequenas quantidades) do que os dispositivos de fibra plástica acima, mas usando fibra de sílica revestida com sílica de índice graduado (às vezes chamada de "ASF", fibra totalmente de sílica ou "AGF", fibra totalmente de vidro). fibra) em comprimento de onda de 820 nm, eles funcionam bem mesmo através de um quilômetro ou mais de fibra. Um bônus adicional é a robustez dos cabos de fibra, que, com seu núcleo/revestimento de vidro muito fino (ÿ62,5 na m/125 ÿ m, variedade mais comum) e revestimento resistente, podem suportar muitas dobras e puxões sem danos.

Usamos o estilo de conector ST, que é um compartimento de travamento (consulte a Figura 12.95). Você pode comprar cabos de fibra pré-terminados como simplex (uma fibra, terminação ST em cada extremidade) ou duplex (também chamado de "zip cord": um par de fibras, cada uma com seu próprio conector ST em cada extremidade), de empresas como Tyco/ AMP, 3M e Amphenol, por alguns dólares o metro. Se você está disposto a gastar algumas centenas de dólares em um kit de terminação, e sofre um pouco, você pode até colocar os conectores sozinho; veja conectores e ferramentas de empresas como Tyco/AMP e 3M.

Assim como nos componentes do Versatile Link, você pode obter receptores de baixa velocidade acoplados em CC, por exemplo, o HFBR 2412Z, que vai a 5 Mb/s em distâncias de 2 km. Sua saída de coletor aberto requer apenas um resistor pull-up para gerar os níveis lógicos digitais reconstruídos. Para altas velocidades, use o HFBR-2416Z, que é bom para 155 Mb/s em distâncias de até 0,6 km. O último fornece uma saída "analógica" de alta largura de banda de seu detector de diodo PIN interno e pré-amplificador, que você acopla ao circuito amplificador-comparador externo para gerar o rápido fluxo digital reconstruído LVDS ou ECL. Para qualquer um dos receptores, você usaria o transmissor HFBR-1414Z, que, como o componente Versatile Link análogo, se parece eletricamente com um LED simples; você deve fornecer a unidade necessária, seja com uma chave de transistor e resistor, ou com uma porta lógica robusta como um 'LVC2Q34 (consulte Avago App Note 1123 e App Brief 78).

12.8.4 Módulos transceptores de fibra de alta velocidade totalmente integrados

Por que não integrar *toda* a interface de nível lógico dentro do próprio módulo de fibra óptica? De fato. Com o uso generalizado de fibra duplex para transportar dados seriais rápidos – por exemplo, como Ethernet rápida óptica (125 Mb/s), ou firewire (taxas de até 250 Mb/s), ou simplesmente entre um par de chips paralelo-seriais SERDES – existem agora muitos módulos de transceptor de fibra óptica ("FOT") fáceis de usar. Esses dispositivos possuem módulos e conectores ópticos transmissores e receptores (geralmente em formato duplex SC ou ST, para fibra de vidro; ou como o conector duplex "SMI" para fibra plástica), juntamente com circuitos de driver e receptor usando sinalização diferencial rápida (geralmente 5 V ou 3,3 V PECL); veja a Figura 12.99 (e o retrato na Figura 12.95).

Exemplos contemporâneos são a série Avago AFBR-5xxx, que vem em estilos de conector duplex SC ou ST e que pode lidar com taxas de dados de 100 Mb/s para rede Ether rápida (100Base-FX) ou ATM (modo de transferência assíncrona); você conecta as portas PECL do transceptor diretamente às entradas ou saídas correspondentes em Ethernet, firewire ou ATM "PHY" (camada física IC). Um membro típico dessa família, o AFBR-5803, bom para 125 Mb/s, custa atualmente cerca de US$ 30; o AFBR-53D5 mais rápido pode lidar com gi gabit Ethernet e custa cerca de US$ 60. Você pode usar um transceptor de fibra rápida para conectar a um SERDES como o Cypress CY7C924 ou HDMP-1636, para conectar um par de portas paralelas amplamente separadas, com taxas de dados de 20 a 100 Mbytes/s.

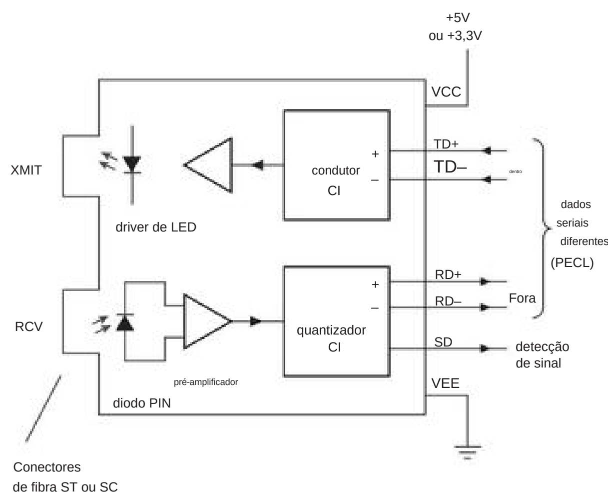


Figura 12.99. Os transceptores de fibra óptica integrados de alta velocidade, como o Avago AFBR-série 5xxx, no pacote SIP 1×9 padrão da indústria, incluem todos os circuitos de driver e receptor, para fazer interface diretamente via PECL diferencial serial de 3 V ou 5 V.

Para links curtos, estão disponíveis transceptores rápidos que combinam com fibra plástica, por exemplo, o Toshiba TODX2402 (entrada-saída PECL, SMI duplex, taxas de até 250 Mb/s; cerca de US$ 25 em pequenas quantidades).

12.9 Sinais digitais e fios longos

Problemas especiais surgem quando você tenta enviar sinais digitais através de cabos ou entre instrumentos. Efeitos como carga capacitiva dos sinais rápidos, captação de interferência de modo comum e efeitos de "linha de transmissão" (reflexões de incompatibilidade de impedância; consulte o Apêndice H) tornam-se importantes, e técnicas especiais e ICs de interface são necessários para garantir transmissão confiável de sinais digitais. Alguns desses problemas surgem até mesmo em uma única placa de circuito, portanto, o conhecimento das técnicas de transmissão digital geralmente é útil. Começamos considerando os problemas do cartão. Em seguida, passamos a considerar os problemas que surgem quando os sinais são enviados entre cartões, em barramentos de dados e, finalmente, entre instrumentos via par trançado ou cabos coaxiais.

12.9.1 Interconexões a bordo

A. Transitório de corrente do estágio de saída O circuito de saída push-pull para ICs lógicos consiste em um par de transistores indo de V+ para o terra. Como observamos anteriormente (§3.4.4B e 10.8.3B), quando a saída muda de estado, há um breve intervalo durante o qual ambos os transis tores estão LIGADOS; durante esse tempo, um pulso de corrente "disparada" flui de V+ para o terra, colocando um curto pico negativo na linha V+ e um curto pico positivo na linha de terra. A situação é mostrada na Figura 12.100. Suponha que IC1 faça uma transição, com uma grande corrente momentânea de +5 para o terra ao longo dos caminhos conforme indicado; com circuitos 74Fxx ou 74AC(T)xx a corrente pode chegar a 100 mA. Essa corrente, em combinação com a indutância do terra e dos condutores V+ , causa curtos picos de tensão em relação ao ponto de referência, conforme mostrado. Esses picos podem ter apenas 5 ns a 20 ns de duração, mas podem causar muitos problemas: suponha que o IC2, um espectador inocente localizado próximo ao chip ofensivo, tenha uma saída BAIXA constante que acione o IC3 localizado a alguma distância. O pico positivo na linha de terra do IC2 também aparece em sua saída e, se for grande o suficiente, é interpretado pelo IC3 como um curto pico ALTO .
Assim, no IC3, a alguma distância do causador de problemas IC1, um pulso de saída lógica genuíno em tamanho real aparece, pronto para bagunçar um circuito de outra forma bem comportado. Não é preciso muito para alternar ou redefinir um flip-flop, e esse tipo de pico de corrente de aterramento pode fazer o trabalho muito bem.

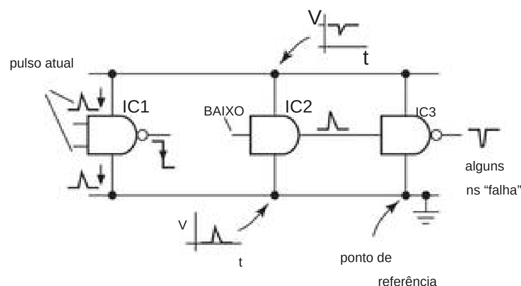


Figura 12.100. Ruído de corrente de aterramento, também conhecido como ruído de aterramento quicar.

A melhor terapia para esta situação consiste em (a) usar linhas de aterramento robustas em todo o circuito, ou preferencialmente um "plano de aterramento" (um lado de uma placa de PC de dupla face) ou uma camada interna de uma PCB multicamada, e (b) usando capacitores de desvio liberalmente em todo o circuito. Grandes linhas de terra significam picos induzidos por corrente menores (indutância e resistência mais baixas) e capacitores de desvio de V+ para terra espalhados por todo o circuito significam que os picos de corrente percorrem apenas caminhos curtos, com a indutância reduzida resultando em picos muito menores (o capacitor atua como uma fonte de tensão local, uma vez que sua tensão não muda apreciavelmente durante os breves picos de corrente). É melhor usar um capacitor cerâmico de 0,1 F perto de ÿ cada IC, embora um capacitor para cada dois ou três ICs possa ser suficiente. Além disso, alguns capacitores eletrolíticos maiores (cerca de 10 F) espalhados pelo circuito para ÿ armazenamento de energia e

amortecimento de ressonância54 é uma boa ideia. Dificilmente podemos enfatizar o suficiente a importância de desviar os capacitores das linhas de alimentação para o terra em qualquer circuito, digital ou linear. Eles ajudam a tornar as linhas de alimentação fontes de tensão de baixa impedância em altas frequências e evitam o acoplamento de sinal entre os circuitos através da fonte de alimentação. Linhas de alimentação não ultrapassadas podem causar comportamento peculiar no circuito, oscilações e dores de cabeça. *Não faça isso!*

B. Picos causados pelo acionamento de cargas capacitivas Mesmo com as fontes desviadas, seus problemas não acabaram, como mencionamos anteriormente em §10.8.3A. A Figura 12.101 mostra o porquê. Uma saída digital vê a capacitância da fiação perdida e a capacitância de entrada do chip que ela controla (5–10 pF, normalmente) como parte de sua carga geral. Para fazer uma transição rápida entre os estados, ele deve afundar ou fornecer uma grande corrente para tal carga, de acordo com I = C(dV/dt). Por exemplo, considere um chip 74LVCxx em um sistema lógico de +3,3 V, acionando uma capacitância de carga total de 25 pF (equivalente a três ou quatro cargas lógicas conectadas com fios curtos). Com tempos típicos de subida e descida de saída de aproximadamente 2 ns, a corrente durante a transição lógica é de 40 mA. Essa corrente retorna pelo terra (transição de ALTO para BAIXO) ou a linha de +3,3 V (transição de BAIXO para ALTO), produzindo aqueles pequenos picos na extremidade receptora, como antes. Para ter uma ideia dos efeitos de tais transientes de corrente, considere o fato de que a indutância da fiação é de aproximadamente 5 nH/cm. Uma polegada de fio terra transportando essa corrente de transição lógica teria um pico de V = L(dI/dt) = 0,2 V. E se o chip fosse um buffer octal, com transições simultâneas em meia dúzia de saídas, o pico de terra seria mais de um volt; consulte a Figura 10.99. Um pico de aterramento semelhante (embora geralmente menor) é gerado próximo ao chip acionado, onde os picos de corrente de acionamento retornam ao aterramento por meio da capacitância de entrada do dispositivo acionado.

Em um sistema síncrono, com vários dispositivos fazendo transições de saída simultaneamente, a situação de pico de ruído pode se tornar tão séria que o circuito não funcionará de maneira confiável. Isso é especialmente verdadeiro em uma grande placa de circuito impresso, com longas interconexões. O circuito pode falhar apenas ocasionalmente, quando um grupo inteiro de linhas de dados, infelizmente, faz uma transição simultânea de ALTO para BAIXO , gerando uma corrente de terra momentânea muito grande.

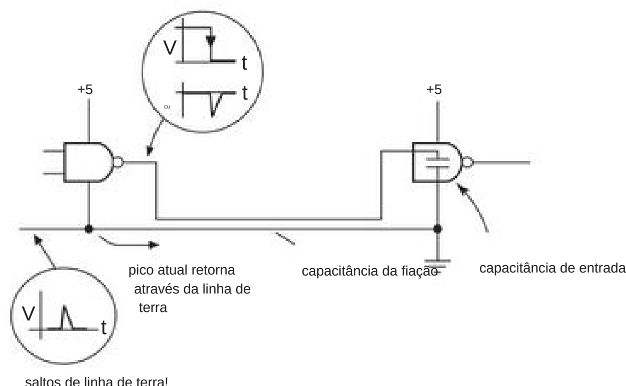


Figura 12.101. Ruído de corrente de terra de carga capacitiva.

Esse tipo de sensibilidade de padrão é característico de erro induzido por ruído e é uma boa razão para executar testes de memória extensivos em sistemas de microprocessador (onde você normalmente tem 16 ou 32 linhas de dados e 32 linhas de endereço saltando em padrões malucos).

A melhor abordagem de projeto é usar uma camada de plano de aterramento interno em uma placa de circuito multicamada ou, pelo menos, um arranjo "em grade" perpendicular de aterramentos em ambos os lados de uma placa simples de dois lados. O uso abundante de capacitores de bypass é obrigatório. Esses problemas foram mitigados consideravelmente por medidas como (a) pacotes de montagem em superfície de baixa indutância para dispositivos lógicos discretos, (b) o uso de vários pinos de aterramento em dispositivos lógicos complexos,55 (c) a adoção quase universal de multicamadas Placas de PC com alimentação dedicada e planos de aterramento, e com uso extravagante de capacitores de desvio de chip SMT e (d) projetos de chip de taxa de borda controlada (por exemplo, 74ACQ, 74ACTQ ou Gunning Transceiver Logic56) e alimentação de "pino central" redundante – pinagens de aterramento para situações em que chips de lógica rápida serão usados com layouts menos favoráveis (ou seja, pacotes de orifícios passantes, PCBs de duas camadas, etc.).

Devido a esses problemas de ruído, geralmente é melhor não usar uma família lógica mais rápida do que a necessária.57 É por isso que usamos a lógica 74HC(T), em vez da 74AC(T), para uso geral em nosso curso de eletrônica (onde os alunos montam seus circuitos usando "placas de ensaio sem solda").

[54] Um circuito com múltiplos capacitores de desvio de cerâmica de 0,1 F, conectados por fiação de barramento de alimentação indutiva, é suscetível a zumbido e até oscilação, devido às múltiplas ressonâncias de alto Q; eles geralmente estão na faixa de 5 a 20 MHz. Eles podem ser efetivamente amortecidos pela resistência equivalente em série (ESR) de um ou mais capacitores eletrolíticos paralelos. tors.

[55] Por exemplo, o FPGA "Virtex-5" que estamos usando em nosso laboratório tem 197 pinos de aterramento redundantes; a versão maior do "pacote FF1760" tem 322!

[56] Leia a nota de aplicativo AN-1072 da Fairchild para ver como funciona. GTL é uma família lógica de condução de barramento de terminação única com oscilação reduzida (<1 V) e taxas de borda controladas. 57 Este conselho também vale para circuitos *analógicos :* não use um amplificador operacional de 100 MHz ou um comparador de 2 ns, quando você não precisa da velocidade.

12.9.2 Conexões Intercard

Com sinais lógicos passando entre placas de circuito, as oportunidades de problemas se multiplicam rapidamente. Há maior capacitância de fiação, bem como caminhos de aterramento mais longos através de cabos, conectores, extensores de cartão, etc., de modo que os picos de aterramento induzidos por correntes do inversor durante as transições lógicas são geralmente maiores e mais problemáticos. É melhor evitar o envio de sinais de clock com grande distribuição entre as placas, se possível, e as conexões de aterramento das placas individuais devem ser robustas. Para sinais rápidos (tempos característicos da ordem de alguns nanossegundos, ou menos), as interconexões devem ser tratadas como *linhas de transmissão* de impedância constante (consulte §12.10.1 e Apêndice H), que podem ser de terminação única (cabo coaxial) ou diferencial (par trançado). Teremos muito mais a dizer sobre isso em breve (§12.10).

Se os sinais de clock forem enviados entre as placas, é importante usar uma porta (para sinais de terminação única) ou um receptor diferencial (para sinais diferenciais como LVDS) como um buffer de entrada em cada placa. Em alguns casos, pode ser melhor usar chips de driver e receptor de linha, como discutiremos em breve. Em qualquer caso, é melhor tentar manter os circuitos críticos juntos em um cartão, onde você pode controlar a indutância dos caminhos de aterramento e manter a capacitância da fiação no mínimo. Sinais rápidos (tempos de borda da ordem de 1 ns ou menos), e especialmente sinais de clock, que vão entre os circuitos em um único cartão serão frequentemente roteados como linhas de transmissão “stripline” ou “microstrip” (§1x.1.3).58 Isso pode assumir a forma de um traço de terminação única acima de um plano de solo (mi crostrip) ou entre planos de solo (stripline); ou pode ser um par diferencial, com dois traços lado a lado ou empilhados verticalmente. Essas rotas de impedância constante serão terminadas em sua impedância característica, geralmente 50 ÿ (terminação simples) ou 100 ÿ (diferencial), seja com “backtermination” na extremidade motriz ou com terminação na extremidade distante, ou ambos. Os problemas que você encontrará ao enviar sinais rápidos através de vários cartões não devem ser subestimados; eles podem se tornar a maior dor de cabeça de um projeto inteiro!

12.10 Cabos de Condução

Você não pode transmitir sinais digitais de um instrumento para outro apenas conectando um único condutor entre eles, porque tal arranjo é propenso a captação de interferência (além de gerar interferência própria) e também degradação séria do próprios sinais digitais.

58 Isso é obrigatório, por exemplo, com as famílias de lógica rápida conhecidas como ECL-100K, ECL-100E, ECL-100EL e ECL-100EP.

Em vez disso, os sinais digitais são geralmente canalizados através de cabos coaxiais, pares trançados, cabos de fita plana (às vezes com plano de aterramento ou blindagem), cabos agrupados multifios e, cada vez mais, cabos de fibra ótica.59 Vejamos alguns dos métodos usados enviar sinais digitais entre caixas de eletrônicos, já que esses métodos constituem uma parte importante da interface digital. Na maioria dos casos, existem chips de driver-receptor para fins especiais disponíveis para facilitar seu trabalho.

12.10.1 Cabo coaxial

Se você nunca lidou com sinais rápidos passando por cabos, terá uma surpresa.

A. O caminho errado

Aqui está um erro típico que vemos de novo e de novo: você tem alguns sinais digitais saindo de uma placa de interface “Digital I/O”, por exemplo, o PCI-6509 da popular série de aquisição de dados produtos fabricados pela National Instruments. Este filhote se conecta ao slot PCI da placa-mãe de um computador e fornece 96 bits de E/S digital bidirecional, agrupados em 12 bytes, cada byte dos quais pode ser configurado como entrada ou saída. Como saída, cada bit gera níveis lógicos CMOS de 5 V full-swing (ou seja, 0 V e +5 V), com bastante capacidade de acionamento (fonte ou dissipador de 24 mA), o suficiente para acionar facilmente cargas como relés de estado sólido, pequenos relés mecânicos, LEDs brilhantes e similares.60

O erro é conectar essa saída digital a um cabo coaxial e esperar que ela chegue com segurança na outra extremidade, como na Figura 12.102A. O pensamento é o seguinte: temos pelo menos ±24 mA de drive, que deve ser capaz de conduzir ÿ200 pF de um cabo coaxial de 2 metros (C=100 pF/m) muito bem; afinal, $I = C$ dV/dt prevê um tempo de subida de aproximadamente 20 ns, assumindo uma corrente de saída de comutação típica de aproximadamente 40 mA na carga capacitiva. Então qual é o problema?

O problema é que temos que tratar um cabo coaxial como uma linha de transmissão, em vez de uma aproximação de baixa frequência de uma capacitância concentrada, ao lidar com sinais que estão mudando em uma escala de tempo comparável (ou menor que) a rodada -tempo de retardo de disparo do cabo. Se você tentar usar a saída lógica para conduzir o cabo diretamente, obterá uma forma de onda confusa na extremidade oposta, com overshoots e inversões de polaridade, produzindo recuperação incorreta da forma de onda (e até mesmo destruição do portão da extremidade oposta). Mas você pode corrigir o problema magicamente simplesmente adicionando um 50 ÿ

59 Cabos coaxiais (carinhosamente chamados de “coax”) e pares trançados são exemplos de *linhas de transmissão,* discutidos em detalhes no Apêndice H.

60 Procure o 74LVC4245A, se quiser ver as especificações sobre a conversão de tensão (3 V ÿ 5 V) transceptores octais usados neste produto.

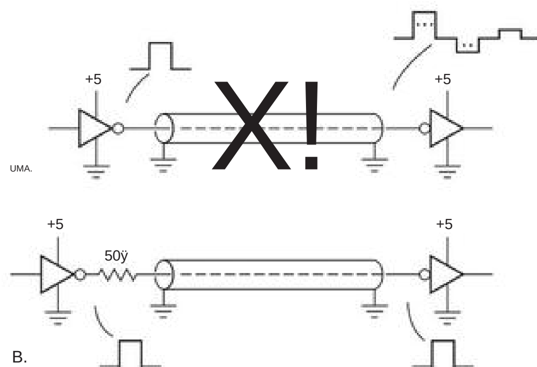


Figura 12.102. A. Conduzir um comprimento de cabo com uma saída lógica produz uma forma de onda distorcida de overshoots e inversões de polaridade. B. Adicionar um resistor em série de ~50 ÿ efetua uma cura mágica.

resistor em série na extremidade motriz (Figura 12.102B): a forma de onda da extremidade oposta torna-se uma boa réplica da forma de onda motriz.

Vamos examinar essa situação com mais detalhes, começando com o caminho "errado" e passando por três configurações que resolvem o problema, cada uma com vantagens e desvantagens. Terminaremos com a solução mágica da Figura 12.102B, conhecida como "terminação em série", que é adequada para sinais de lógica digital.61

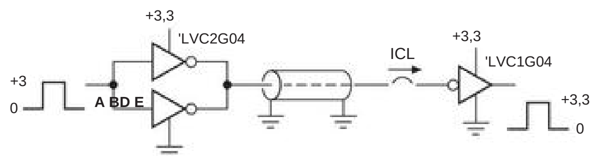


Figura 12.103. Circuito de teste que tenta enviar sinais lógicos digitais diretamente através de um comprimento de cabo cuja extremidade oposta é "indeterminada". Os resultados desastrosos podem ser vistos nas Figuras 12.104-12.106. Não faça isso!

Para ilustrar o problema, conectamos o circuito da Figura 12.103 e executamos um padrão de pulso através dele. Você pode ver os resultados medidos nas Figuras 12.104–12.106. Na Figura 12.104, a extremidade oposta foi deixada desconectada: a primeira transição atinge a extremidade oposta 12 ns depois, onde é refletida na extremidade aberta (com polaridade inalterada), produzindo uma tensão de saída quase o dobro do tamanho do passo; as coisas ficam confusas à medida que os sinais saltam para frente e para trás, invertendo a polaridade a cada ricochete da extremidade da fonte e decaindo lentamente a cada salto, mas sempre adicionando as novas transições de sinal da fonte. O sinal na outra extremidade parece terrível - e

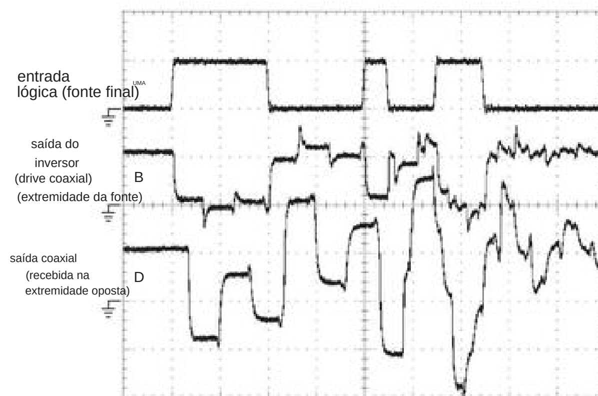


Figura 12.104. Formas de onda vistas no circuito da Figura 12.103, quando acionadas com um padrão de pulso com clock de 20 ns e com a extremidade oposta do cabo coaxial RG-58 de 8 pés (2,4 m) desconectada. A unidade de nível lógico de 3,3 V para o cabo produz oscilações de ponta a ponta de quase 15 V pico a pico! Horizontal: 40 ns/div; Vertical: 3 V/div.

oscila para +8 V e -6 V, embora estejamos conduzindo o cabo apenas com 0 V e +3,3 V. Imagine o que acontecerá quando conectarmos um inversor lógico na extremidade oposta!

Você não precisa imaginar. Na Figura 12.105, anexamos o inversor na extremidade oposta, funcionando também a partir de +3,3 V. Seus diodos de proteção de entrada prendem a forma de onda renegada, limitando as oscilações negativas a aproximadamente uma queda de diodo, mas permitindo oscilações positivas ocasionais de +8 V (o ' O LVC1G04 possui entradas compatíveis com 5 V, independentemente da tensão de alimentação). É uma situação feia e não é surpreendente que a saída lógica recuperada tenha algumas transições falsas.

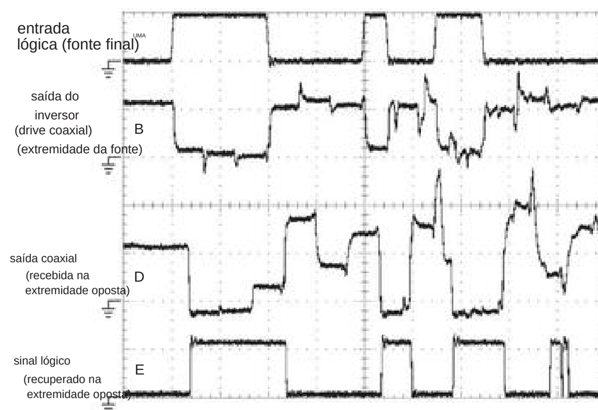


Figura 12.105. Igual à Figura 12.104, mas com o inversor 'LVC1G04 conectado na extremidade oposta. O efeito de fixação dos diodos de proteção de entrada do inversor reduz a oscilação na saída coaxial. Essa situação não saudável produz algumas transições falsas na saída; também pode destruir o inversor de saída.

61 Mas não para *todo* tipo de sinal: no mundo de RF e vídeo, o método de "terminação dupla" é usado universalmente.

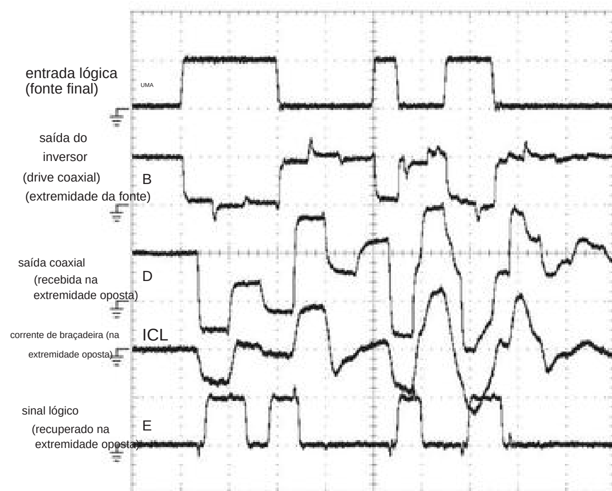


Figura 12.106. Igual à Figura 12.105, mas com lógica de 5 V (drivers 'LVC2G04, receptor remoto 'HCT04). Observe as correntes de fixação substanciais e a recuperação de sinal propensa a erros. Horizontal: 40 ns/div; vertical: 5 V/div e 20 mA/div.

Voltando agora ao cenário original – um cabo de 2 m conectando uma placa de E/S digital a algum instrumento – o sinal de condução vem de uma saída lógica robusta de 5 V, e o receptor (dentro de algum instrumento comercial) provavelmente é algo como um 'HCT04 (lógica de 5 V, com limiar TTL antigo ~1,4 V). A Figura 12.106 mostra o que acontece. Não é uma imagem bonita: mais uma vez, o sinal de oscilação do extremo remoto é parcialmente bloqueado, mas atinge picos de +10 V e -5 V, com correntes de grampo correspondentes de ±25 mA. Isso excede a especificação de corrente de grampo de entrada "máxima absoluta" de ±20 mA.62 E a saída recuperada é uma bagunça. É bastante claro que você simplesmente não pode ligar as coisas dessa maneira.

12.10.2 O caminho certo – I: Terminação remota

A solução é *terminar* o cabo em sua *impedância característica* Z0 (consulte o Apêndice H), que para a maioria dos cabos coaxiais é de 50 ÿ (resistivo) . ambas as extremidades) e encerramento próximo ("encerramento em série", "encerramento de origem" ou "encerramento de retorno").

A terminação remota é a mais fácil de entender; veja a Figura 12.107. O *fato surpreendente* sobre as linhas de transmissão (explicado no Apêndice H) é que a adição de um resistor simples de valor *R* = Z0 na extremidade oposta suprime todas as reflexões e, além disso, faz com que a entrada do cabo pareça uma resistência pura igual a R. Incrível, porque *toda capacitância desaparece.*

A boa notícia é que isso resolve o problema. A má notícia é que Z0 é desconfortavelmente baixo, geralmente 50 ÿ, o que requer correntes de saída do driver bastante altas (20 mA por volt do drive). Mas você pode fazer isso com chips lógicos robustos, normalmente vários em paralelo, operando com tensões de alimentação lógicas modestas (por exemplo, +3,3 V ou menos) .64 A Figura 12.107 mostra uma maneira de fazer isso, usando várias seções de 'LVC04 ou 'AC04 em paralelo para conduzir a extremidade próxima de um comprimento de 50 ÿ coaxial que termina com um resistor de 50 ÿ na extremidade distante. O 'LVC2G04 é totalmente especificado em corrente de saída de ±24 mA e alimentação de 3 V; o valor correspondente para o 'AC04 é ±12 mA. Portanto, estamos forçando um pouco as coisas aqui, exigindo +60 mA de corrente da fonte. (Não se preocupe, no entanto, se substituirmos a terminação única de 50 ÿ por um divisor de 100 ÿ–100 ÿ na extremidade oposta. Isso exigiria ±30 mA de drive, para o qual provavelmente poderíamos nos safar com um único 'LVC1G04.)

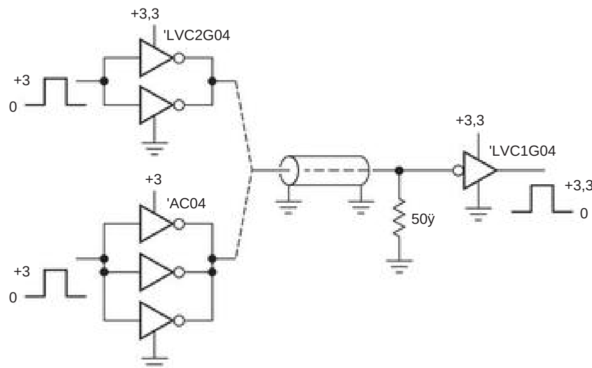


Figura 12.107. Níveis lógicos digitais conduzindo coaxial de 50 ÿ com terminação final. Além das perdas, os sinais recebidos são réplicas full-swing do sinal de condução.

Mas funciona: as Figuras 12.108 e 12.109 mostram as boas formas de onda que você obtém, neste caso com um comprimento de 10 m (33 pés), operando na mesma taxa de clock de 20 ns. Observe as formas de onda limpas (com um pequeno toque evidente com o driver 'AC04, provavelmente causado por

62 Para o qual a folha de dados adverte "Estresses além dos listados em 'classificações máximas absolutas' podem causar danos permanentes ao dispositivo. Estas são apenas classificações de estresse, e a operação funcional do dispositivo nessas ou em quaisquer outras condições além das indicadas em 'condições operacionais recomendadas' não está implícita."

63 Uma grande exceção é a comunidade de vídeo, que escolheu 75 ÿ (tipificado por RG-59 coaxial); e em circuitos de pulso você ocasionalmente vê 93 ÿ (RG-62).

64 Um bom truque que reduz a corrente de acionamento necessária por um fator de 2 é usar um par de resistores de 100 ÿ na extremidade oposta, configurado como um divisor entre a alimentação e o terra.

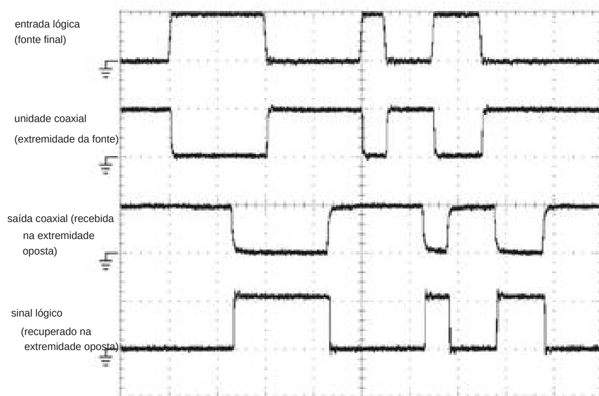


Figura 12.108. Formas de onda do circuito da Figura 12.107 (driver 'LVC2G04), com o mesmo padrão de pulso com clock de 20 ns das Figuras 12.104–12.106, mas com um comprimento de cabo coaxial de 10 m. Horizontal: 40 ns/div; vertical: 3 V/ div.

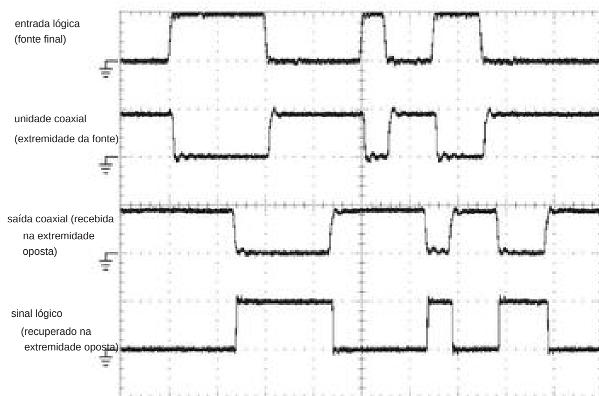


Figura 12.109. Igual à Figura 12.108, mas com driver 'AC04.

as maiores indutâncias nos condutores de alimentação e terra de seu pacote DIP-14, em comparação com o pacote compacto de montagem em superfície SOT23-6 do 'LVC2G04).

Se você está preocupado com a corrente de acionamento substancial necessária para empurrar oscilações completas de nível lógico trilho a trilho em uma carga de 50 ÿ, e se você não estiver operando em velocidades lógicas máximas, você pode substituir um "Mosfet low-side driver " IC para os inversores lógicos em paralelo que usamos. Por exemplo, a venerável série TC4420 de drivers MOSFET aceita entradas de nível lógico e gera uma oscilação robusta de saída entre trilhos entre o terra e a tensão de alimentação, que pode variar de +4,5 V a +18 V. O pico a corrente de saída varia de 1,5 A a 9 A nesta série – não há problema em conduzir 50 ÿ! Estes são drivers duplos, disponíveis em muitos estilos de pacote (incluindo DIP) e em versões invertidas ou não invertidas; custam cerca de um dólar em pequenas quantidades (ver Tabela 3.8 na página 218). Há literalmente hun dreds de chips de driver MOSFET disponíveis, com algumas opções muito boas de empresas como Fairchild, IXYS, Mi crochip, ST e TI, entre outras; a maioria fica feliz em operar com fontes de 5 V (onde eles reduziram a capacidade de saída, mas ainda são bastante robustos; o 9 A IXDD609, por exemplo, pode fornecer ou drenar 2 A quando alimentado por uma fonte de 5 V) . Não desanime com as especificações de velocidade bastante relaxadas nas planilhas de dados (por exemplo, tempos de subida e descida de 20 ns ou mais), porque eles geralmente são especificados em horrendas cargas capacitivas (1.000 a 10.000 pF, auxiliadas e auxiliadas pelo Miller efeito) de MOSFETs de potência de comutação. Você se sairá muito melhor ao conduzir um cabo coaxial de 50 ÿ, que apresenta uma carga resistiva pura para o driver. Por exemplo, o driver IXYS IXDD509 9 Um driver não inversor especifica ~25 ns de subida e descida, mas isso está em 10.000 pF! Nas curvas mais adiante na folha de dados, no entanto, você descobrirá tempos de subida e descida de 4 ns ou menos para tensões de alimentação em qualquer lugar entre +5 V e +30 V.65

A. O caminho certo – II: Terminação dupla As altas correntes necessárias para conduzir o coaxial de 50 ÿ terminado na extremidade podem ser remediadas adicionando uma resistência em série na entrada do cabo, igual em valor à sua impedância característica (ou seja, 50 ÿ; ver Figura 12.110). Então o driver vê uma carga de 100 ÿ (o resistor em série mais os 50 ÿ vistos na entrada do cabo). Às vezes, isso é chamado de "rescisão dupla". Ele tem uma vantagem adicional, ou seja, qualquer sinal refletido da extremidade oposta é engolido pelo resistor de entrada, que atua efetivamente como uma terminação para sinais que viajam para trás.

Funciona, mas agora a amplitude do sinal de saída é metade da do driver, porque a resistência de entrada do cabo forma um divisor de tensão com o resistor em série na entrada. É por isso que usamos a lógica de 5 V na entrada, combinada com inversores na saída cujos limites estão na faixa de 1,2 a 1,4 V: o limite TTL 'ACT04 (consulte a Figura 12.111) ou a lógica funcionando a partir de +3 V (consulte a Figura 12.112). O 'ACT04 especifica níveis lógicos de entrada de <0,8 V e >2,0 V; os valores correspondentes para 'LVC1G04 (alimentado por +3,0 V) são <0,8 V e >1,7 V.

[65] Apesar dos bons tempos de subida e descida, tende a haver tempos de atraso substanciais, independentemente da capacitância de carga, em baixas tensões de alimentação; para esta parte IXYS, os tempos de retardo são da ordem de 30 ns com alimentação de +5 V, caindo pela metade em VS=10 V. Do ponto de vista prático, isso limita a operação a velocidades de alguns megahertz. Um problema mais sério em altas frequências é o aumento da corrente de alimentação entre trilhos e a consequente dissipação de energia em frequências acima de um megahertz devido à alta capacitância interna dos dispositivos MOS de saída grandes. Algumas peças mostram gráficos de corrente de alimentação sem carga versus frequência em suas folhas de dados.

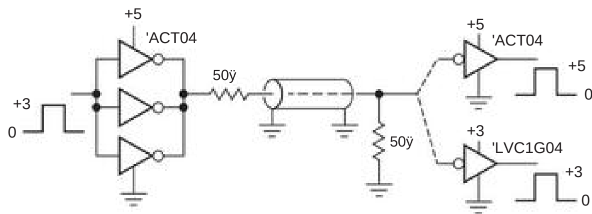


Figura 12.110. Lógica digital que conduz coaxial de 50 ÿ com terminação dupla. A amplitude do sinal recebido é metade da saída lógica do driver, portanto, aproximadamente 2,5 V neste exemplo.

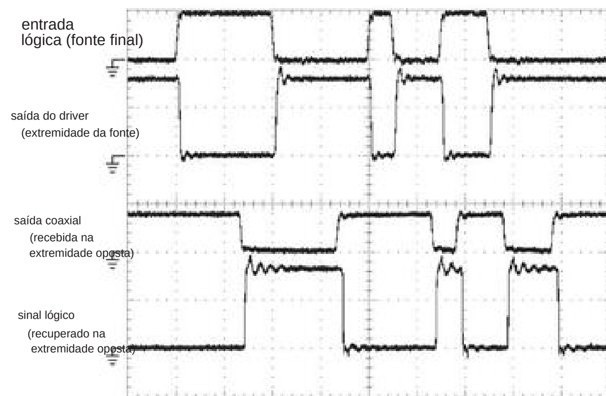


Figura 12.111. Formas de onda do circuito da Figura 12.110 (receptor 'ACT04), com o mesmo padrão de pulso com clock de 20 ns das Figuras 12.104–12.109 e com um comprimento de cabo coaxial de 10 m. Horizontal: 40 ns/div; vertical: 3 V/div.

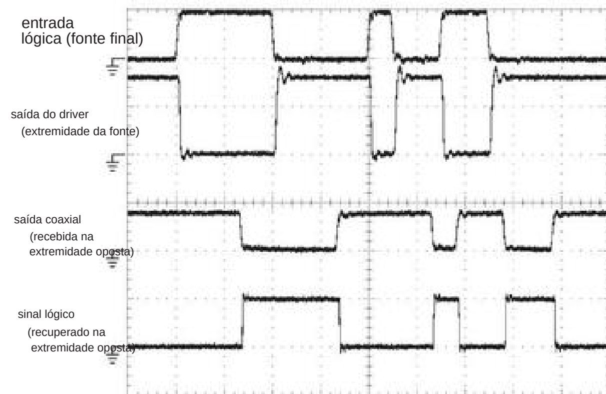


Figura 12.112. Igual à Figura 12.111, mas com o receptor 'LVC1G04.

O método de escolha, para RF e vídeo Como a terminação dupla resulta em um sinal recebido com metade da amplitude do driver descarregado, ele não é adequado para aplicações *de lógica digital* como essa. É melhor para use terminação em série (próxima subseção). Para não deixarmos a impressão errada, no entanto, notamos que o uso de terminação dupla é *universal* nos mundos de RF e vídeo: todas essas fontes de sinal são construídas com uma impedância de saída igual à impedância do cabo (50 ÿ para RF, 75 ÿ para vídeo), e a extremidade oposta de cada cabo termina na mesma resistência. E a redução de amplitude de fator de dois é abordada organizando a amplitude de circuito aberto de cada fonte de sinal para ser exatamente o dobro do que é necessário na extremidade oposta (terminada corretamente). Você vê isso em geradores de sinais e funções - a amplitude de saída, conforme medida com uma sonda de escopo, é o dobro do que você definiu (porque assume que você conectou um resistor de carga de 50 ÿ ou um cabo com 50 ÿ terminação na extremidade oposta). E no mundo do vídeo você encontrará muitos “amplificadores de buffer de vídeo” que fornecem um ganho de exatamente ×2, para compensar a perda correspondente ao conduzir um cabo terminado. A Figura 12.113 mostra um exemplo do LTC: o LT6553 é um buffer de vídeo triplo (três amplificadores independentes, para lidar com vídeo analógico colorido), com um ganho definido internamente de 2, destinado a conduzir um cabo de vídeo de 75 ÿ, conforme mostrado. Ele tem largura de banda impressionante (650 MHz) e taxa de variação (2.500 V/s) e pode gerar uma oscilação de ±3,5 V na carga de 150 ÿ que vê neste circuito, quando alimentado por fontes de ±5 V. Seu companheiro LT6554 tem as mesmas especificações, mas com ganho unitário.

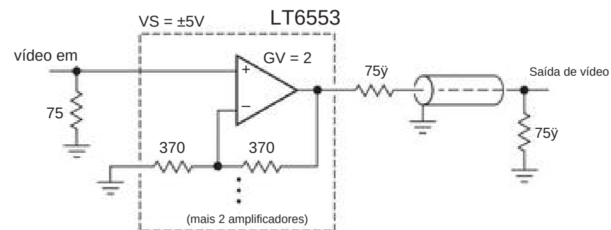


Figura 12.113. Um amplificador de buffer de vídeo conduz uma carga de 75 ÿ através de um cabo coaxial de 75 ÿ. O ganho de tensão de *GV* =2 compensa a atenuação do sinal ×2 causada pelo resistor em série na saída do amplificador.

B. O caminho certo – III: Terminação em série

Para resumir os métodos anteriores: a terminação final com acionamento direto requer muita corrente do acionamento, mas fornece o sinal completo do acionador na extremidade oposta. A terminação dupla reduz a corrente do drive, mas atenua a amplitude do sinal do driver por um fator de 2.

Há uma terceira maneira, que captura o melhor de cada uma: use um resistor em série na extremidade da fonte e *nenhuma* terminação na extremidade oposta. Às vezes, isso é chamado de “terminação em série” ou “terminação reversa” (Figura 12.114). Ele explora uma propriedade das linhas de transmissão abertas, ou seja, que há uma

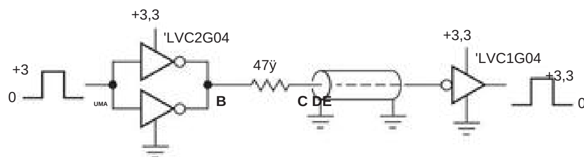


Figura 12.114. A terminação em série apresenta uma carga de duas vezes a impedância característica do cabo (portanto, 100 ÿ), enquanto fornece a amplitude total do driver na extremidade oposta. Recomendamos este método para saídas lógicas em painéis de instrumentos.

reflexão de amplitude total da extremidade oposta, do mesmo sinal que o sinal incidente, produzindo assim uma amplitude de saída de duas vezes a amplitude incidente. Mas, como a amplitude incidente é metade da saída do driver (devido ao divisor de tensão formado pelo resistor em série e pela impedância de entrada do cabo), o resultado líquido é uma saída exatamente igual à do driver. Voila – oscilação de saída total, sem a necessidade de conduzir a baixa impedância do cabo. E não temos a situação feia dos sinais indo e voltando (como nas Figuras 12.105 e 12.106), porque o resistor em série atua como uma terminação adequada para os sinais que vão para trás.

Em vez disso, você obtém uma reflexão na extremidade oposta, que é absorvida na extremidade da fonte, com a produção de algumas formas de onda escalonadas na extremidade próxima (Figura 12.115).

A terminação em série é o método de escolha para canalizar sinais lógicos através do cabo. Esta técnica tem as propriedades agradáveis de (a) apresentar uma impedância de carga (menos severa)

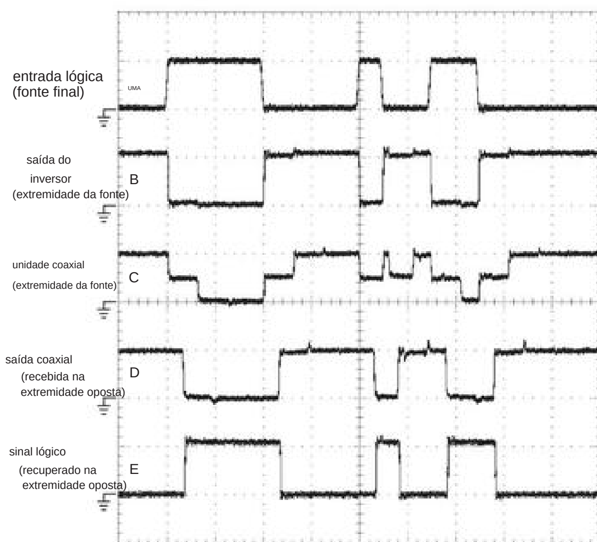


Figura 12.115. Formas de onda do circuito da Figura 12.114, com o mesmo padrão de pulso com clock de 20 ns das Figuras 12.104–12.112 e com um comprimento de cabo coaxial de 8 pés (2,4 m). Horizontal: 40 ns/div; vertical: 3 V/div.

igual a duas vezes a impedância característica do cabo, e (b) *não* necessitando de corrente contínua após uma mudança de nível lógico ter se propagado para baixo e para trás. Para expandir este último ponto: imediatamente após uma mudança de etapa, a corrente flui do gate de acionamento, *I* = VCC/2Z0, ou 50 mA para lógica de 5 volts acionando um cabo de 50 ÿ; mas isso cessa após um atraso de propagação de ida e volta. Temos +50 mA para etapas de baixo a alto e -50 mA para etapas de alto a baixo. Freqüentemente, estimaremos o ROUT do portão de acionamento e reduziremos o valor do resistor de fonte adicionado de acordo. Mas se a resistência total da fonte for muito baixa (menos de 50 ÿ), o eco de retorno ultrapassará o VCC (para etapas de baixo a alto) ou ultrapassará o solo (para etapas de alto a baixo) por um tempo igual a um prop atraso de agenciamento. Se o overshoot for alto o suficiente (ou seja, mais de 10% para uma fonte de 5 V), ele fará com que a corrente flua no diodo do grampo de saída do gate.

A família lógica conhecida como "AUC Little Logic" (uma das famílias lógicas de baixa tensão da TI, uma ou duas portas em pacotes SMT de 5 ou 6 condutores) possui uma estrutura de saída incomum que é adequada para conduzir traços ou comprimentos de PCB de coaxial. Sua impedância de saída é uma aproximação razoável para uma terminação em série, portanto, você pode conduzir uma linha de transmissão de 50 ÿ diretamente da saída da porta lógica, sem nenhum resistor em série. A família é otimizada para uma tensão de alimentação de +1,8 V. Conforme descrito no Relatório de Aplicação66, o estágio de saída consiste em três inversores em paralelo, de modo que a impedância de acionamento muda durante uma transição lógica: ela começa baixa (para alta corrente de acionamento), então se torna uma correspondência aproximada com a linha de transmissão, suprimindo o toque ou reflexões. Além disso, não há diodo de fixação da saída para a alimentação positiva, portanto a saída é "tolerante a 3,6 V" e não é danificada por reflexões inversas da linha de transmissão aberta.

Embora eles sugiram comprimentos de cabo ou traço de apenas 15 cm ou mais, descobrimos que esses dispositivos funcionam bem para extensões de cabo substancialmente mais longas. A Figura 12.116 mostra os sinais ao conduzir um cabo de 30 cm de comprimento de 50 ÿ (coaxial "magro" RG-316) com dados NRZ67 de 100 MHz (o dobro da taxa usada nas Figuras 12.104–12.112 e 12.115). Quão longe você pode ir com este driver e nessas velocidades? A Figura 12.117 mostra o padrão de entrada lógica e a saída coaxial (de extremidade aberta) (pontos "A" e "D" na Figura 12.114), ao conduzir comprimentos de 50 ÿ coaxiais68 até 5 m de comprimento. Parece muito bom, para nós!

66 *Aplicação dos dispositivos Texas Instruments AUC Sub-1-V Little Logic,* SCEA027A (setembro de 2002).

67 "Não retorno a zero", um nome sofisticado para enviar apenas o valor de cada bit, como um nível lógico, por um período de clock.

68 RG-141 para 500 cm, RG-316 para o resto.

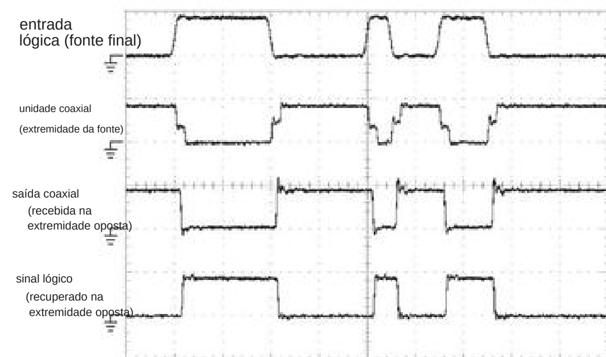


Figura 12.116. Formas de onda de um inversor 74AUC1G04 operando a 1,8 V e acionando diretamente um cabo coaxial de 30 cm de comprimento, com o mesmo padrão de pulso anterior, mas a uma taxa de clock de 10 ns. Os quatro traços (de cima para baixo) correspondem aos pontos A, C, D e E na Figura 12.114, mas sem resistor. O meio-passo aproximado na entrada coaxial confirma uma impedância de acionamento próxima a 50 ÿ. Horizontal: 20 ns/div; vertical: 2 V/div.

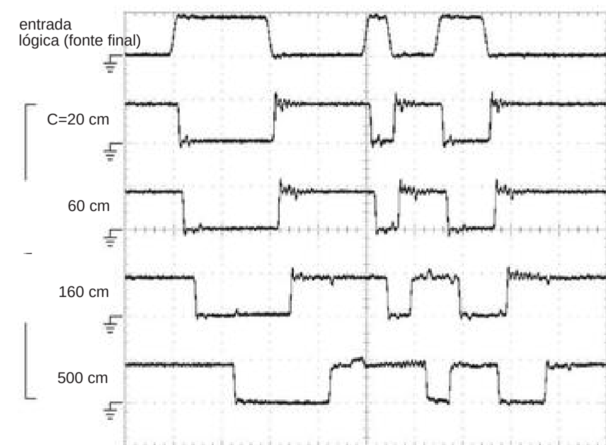


Figura 12.117. Mesma configuração da Figura 12.116, mostrando a forma de onda recebida na extremidade oposta dos cabos coaxiais com os comprimentos indicados. Horizontal: 20 ns/div; vertical: 2 V/div.

C. Pré-ênfase do driver e equalização do receptor As formas de onda medidas acima parecem muito boas. Mas não estamos realmente forçando os limites nessas taxas de dados de 50–100 Mbps NRZ. As coisas ficam muito confusas quando você tenta enviar mais de algumas centenas de megabits por segundo, porque o próprio cabo coaxial sofre perdas e atenua frequências mais altas (consulte o Apêndice H). Por exemplo, o popular RG-58A (usado para todos os patch cords BNC) atenua cerca de 10 dB por 30 m a 500 MHz. Você se sai melhor, claro, com cabos de menor perda (por exemplo, RG-8 atenua cerca de 5 dB por 30 m). Mas estes são mais volumosos – o cabo RG-8 tem 10 mm de diâmetro, o dobro do RG-58.

Em vez disso, aqui está o que você pode fazer: na extremidade do driver ou na extremidade do receptor (ou em ambas), você pode compensar a perda do cabo (e a mudança de fase) em frequências mais altas. Isso é chamado *de pré-ênfase* e *equalização,* respectivamente. As Figuras 12.130–12.132 mais adiante no capítulo mostram como funciona, no caso de um cabo de par trançado diferencial ou stripline diferencial de circuito impresso. Para uma linha coaxial (de terminação única), você pode usar um conjunto de chips como DS15BA101 e DS15EA101 da NSC; o último é um receptor com equalizador adaptativo, que pode aplicar até 35 dB de aumento a 750 MHz.69 Você pode pensar nesse truque como análogo a "aumentar os agudos" em um sistema de áudio, embora aqui precisemos se preocupe com a fase também. Ele funciona muito bem, devido à ótima relação sinal-ruído dessas grandes oscilações de sinal que passam por linhas de transmissão blindadas (ou de p Veremos isso a seguir, em conexão com a sinalização LVDS em pares diferenciais.

12.10.3 Cabo de par diferencial

Há outra maneira de transmitir sinais digitais em cabos, ou seja, usar sinalização diferencial, na maioria das vezes por meio de um cabo de par trançado.70 Um exemplo comum deste último é o cabo Ethernet "Cat-5" (ou Cat-6), que é um cabo não blindado contendo quatro pares trançados independentes, com impedâncias características de 100 ÿ. Algumas vantagens da sinalização diferencial são a supressão da interferência de modo comum e do ruído de terra, a capacidade de usar oscilações de sinal menores (portanto, correntes de acionamento menores)71 e a grande redução do ruído irradiado e das flutuações da corrente de terra da taxa de sinal (das oscilações diferenciais balanceadas, bem como das amplitudes menores). Dois padrões populares de sinalização diferencial são RS-422 e LVDS. Eles diferem de várias maneiras. Grosso modo, o RS-422 é usado para

---

[69] Este chip, como outros equalizadores de cabo adaptativo que são amplamente utilizados em sistemas de vídeo digital (em conformidade com os padrões de interface digital serial de vídeo coaxial de 75 ÿ com nomes como SMTE 259M, 292M, 344M ou 424M), deve ser acoplado, e funciona apenas até uma frequência mínima da ordem de 150 Mbps. Consulte a nota de aplicação AN-1909 da National Semiconductor.

[70] Que pode ser par trançado blindado ("STP") ou par trançado não blindado ("UTP"). No entanto, ele não precisa ser torcido: você verá pares de fios adjacentes em um cabo plano usado para sinalização diferencial, bem como pares de traços paralelos ("microstrip", "stripline") em uma placa de circuito impresso.

[71] Como o sinal é diferencial, ele não requer alinhamento preciso de limiares (como, por exemplo, com a complicada lógica ECL de terminação única 10K/ 100K, cuja oscilação de ~0,8 V exige cuidadosa compensação de temperatura); o par de sinal diferencial precisa permanecer apenas na faixa de modo comum do receptor, por exemplo, 0 V a +2,4 V para LVDS, com sua oscilação diferencial de ~0,35 V.

taxas de dados de até alguns megabits por segundo e cabos de até um quilômetro. Ele usa acionamento de *tensão* diferencial e é comum em aplicações de controle industrial. Por outro lado, o LVDS é usado para taxas de dados de vários gigabits por segundo, em distâncias de vários metros. Ele usa acionamento de *corrente* diferencial e é comum em aplicações de alta taxa de curto alcance, como backplanes (por exemplo, PCIe72) e transmissão de dados seriais (por exemplo, SATA, Firewire). Ambas são conexões ponto a ponto, mas fornecem variantes multidrop (RS-422 ÿ RS 485; LVDS ÿ M-LVDS).

A. RS-422 e RS-485 Estes compreendem um barramento de dados industrial popular, aprimorando os veneráveis padrões de link de dados RS-232 (consulte a discussão em §§12.10.4 e §14.7.8) e estendendo substancialmente os recursos deste último , consulte a Figura 12.134. Os padrões RS-422 e RS-48573 especificam as propriedades do sinal usadas em um arranjo de acionamento por tensão diferencial como o mostrado na Figura 12.118. As saídas diferenciais normalmente oscilam na maior parte do caminho entre o terra e o trilho de +5 V, embora a especificação permita oscilações de saída diferencial tão pequenas quanto ±2 V ou tão grandes quanto ±10 V. O receptor deve responder a entradas diferenciais tão pequenas quanto ±0,2 V, em uma faixa de modo comum de ÿ7 V a +7 V (ÿ7 V a +12 V para RS-485).

A impedância característica dos cabos diferenciais de par trançado é normalmente de 100 a 120 ÿ, portanto, você deve terminar a extremidade oposta com esse valor de resistor. Muitas vezes você vê ambas as extremidades terminadas (como na Figura 12.118), o que não é necessário (ou desejável) com RS-422 unidirecional, mas exigido com a variante bidirecional (ou multiponto) (RS-485).

A Figura 12.119 mostra os sinais medidos atravessando um dos quatro pares trançados em um cabo Cat-6 Ethernet de 140 m de comprimento, com um padrão de bits familiar de 10 MHz (ou seja, uma taxa NRZ de 10 Mbps). Embora isso seja dez vezes mais rápido do que o permitido pela especificação RS-422 (Figura 12.134), a natureza diferencial do sinal recebido permite a recuperação lógica limpa; observe o atraso de propagação de aproximadamente 700 ns (principalmente causado pela velocidade do sinal de 4,7 ns/m no cabo).

A sinalização diferencial fornece imunidade impressionante à interferência de modo comum. Este último pode surgir de fios de transporte de sinal próximos ou de sinais irradiados (de emissores intencionais como rádio/TV, redes sem fio, etc.);

[72] Abreviação de “PCI Express”, abreviação de “Peripheral Compo nent Interconnect Express”.

[73] Oficialmente conhecido como ANSI TIA/EIA-422 e TIA/EIA-485; no entanto, a maioria dos engenheiros continua a usar as designações originais “RS-422” e “RS-485” ou, mais vagamente, eles dizem apenas “422” ou “485”. No contexto, fica claro o que eles significam.

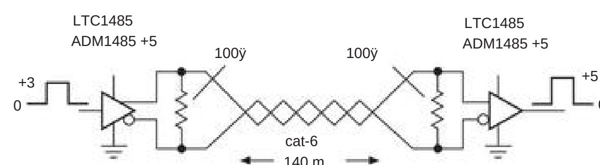


Figura 12.118. Sinalização de tensão diferencial com RS-422/485 em um comprimento de par trançado não blindado, usando chips transceptores com saídas de 3 estados (cada chip tem Tx e Rx ativados separadamente, compartilhando um par diferencial comum).

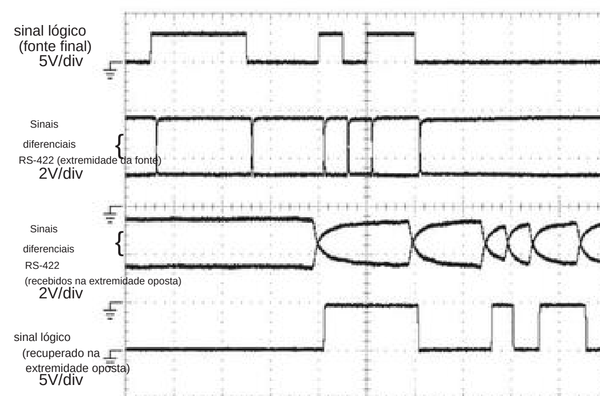


Figura 12.119. Formas de onda do circuito da Figura 12.118, com um padrão de pulso de 100 ns e um cabo de rede Cat-6 de 140 m de comprimento. Horizontal: 200 ns/div.

também é comum ver uma diferença nos potenciais de aterramento entre equipamentos conectados a diferentes tomadas. Vimos até um ou dois volts de 60 Hz CA entre instrumentos na mesma sala!

Conectamos o circuito da Figura 12.120 para ilustrar a rejeição de modo comum na sinalização RS-422. O gerador de ruído pseudo-aleatório adiciona uma tensão de ruído de aproximadamente 15 Vpp ao solo (flutuante) da fonte do sinal, conforme visto da extremidade de destino. Os resultados são mostrados na Figura 12.121: tanto o sinal lógico de 5 V quanto os sinais do par diferencial RS-485 são irremediavelmente aumentados, atingindo níveis de pico de -7 V e +12 V (a faixa de modo comum do receptor especificado) como visto de o fim do destino. Mas a magia da rejeição de modo comum recupera a lógica original intacta.

Observe que o ruído está muito “dentro da banda”, com oscilações na escala de tempo dos dados digitais. Embora a figura capture uma explosão de dados única, o resultado é robusto – nós o executamos várias vezes, sem nenhum erro.

Limitação da taxa de variação Se você não precisa de velocidade, é aconselhável escolher ICs de driver com taxa de variação mais baixa porque você obtém menos acoplamento de sinal de sinais em pares adjacentes. RS-422 e

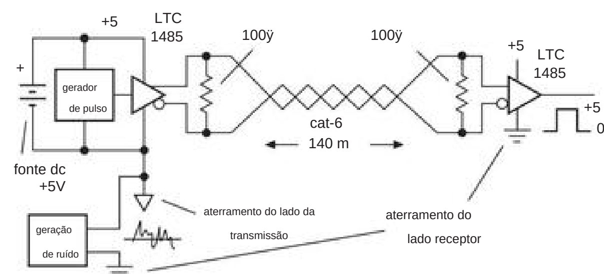


Figura 12.120. Teste de tortura para rejeição de ruído em modo comum RS-422. Flutuamos os circuitos do lado do motorista e conduzimos seu “terra” com ruído limitado em banda de amplitude de aproximadamente 15 Vpp, em relação ao solo do outro lado.

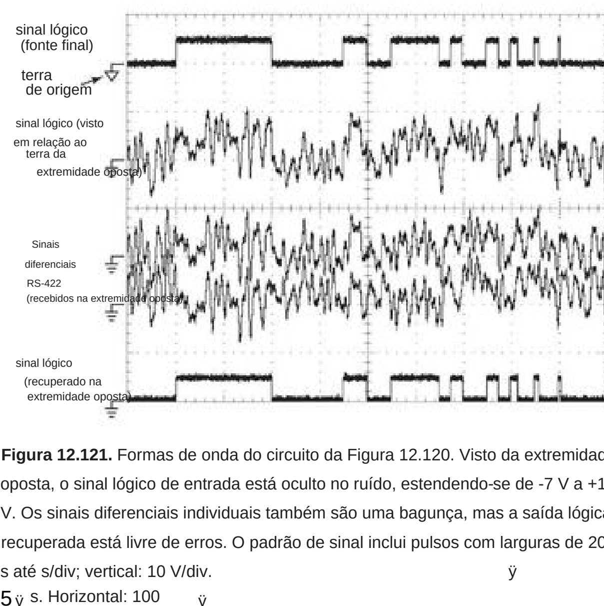


Figura 12.121. Formas de onda do circuito da Figura 12.120. Visto da extremidade oposta, o sinal lógico de entrada está oculto no ruído, estendendo-se de -7 V a +12 V. Os sinais diferenciais individuais também são uma bagunça, mas a saída lógica recuperada está livre de erros. O padrão de sinal inclui pulsos com larguras de 200 s até s/div; vertical: 10 V/div. ÿ
5ÿ s. Horizontal: 100 ÿ

Os drivers RS-485 estão disponíveis com uma seleção de taxas de variação, por exemplo, a série Maxim MAX3293-95, com taxas especificadas de 250 kbps, 2,5 Mbps ou 20 Mbps. Outros exemplos incluem as séries MAX481–489 e 1481-1487, a série LTC2856–2858 e o 65ALS176 versus o 75ALS176B.

RS-422 versus RS-485 RS-485 é basicamente RS-422 com alguns acréscimos que permitem que vários drivers compartilhem um único par de sinalização: isso requer que os drivers tenham uma entrada ENABLE , para que possam ser colocados em um estado de alta impedância (sem interferência), análogo ao uso de drivers de três estados em um compartilhado (single-ended) linha de barramento de dados.[74] Chips de interface RS-485 (por exemplo, o clássico 75ALS176 ou LTC1485) geralmente combinam um par de transmissão e recepção, compartilhando as mesmas linhas de sinal diferencial (“half duplex”),[75] com pinos ENABLE complementares (chamados DE e ER); tal chip *transceptor* se parece com a Figura 12.122.

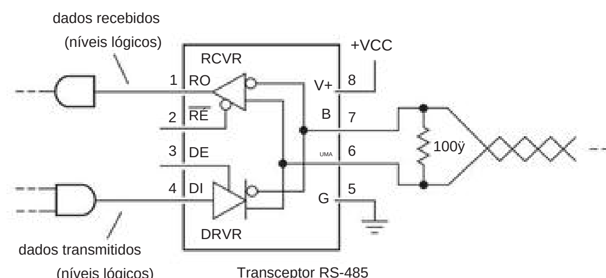


Figura 12.122. Um transceptor RS-485 combina driver e receptor em um pacote, compartilhando um único par trançado. Pinos EN ABLE separados (geralmente amarrados juntos) permitem a operação em qualquer direção. A numeração dos pinos mostrada é um padrão da indústria.

Juntamente com o recurso ENABLE necessário para vários drivers (chamado “multiponto”), a especificação RS-485 reforça algumas outras especificações RS-422: (a) expande a faixa de entrada do modo comum do receptor (-7 V a +12 V), permitindo assim oscilações de modo comum simétricas (até ±7 V) em torno da fonte de alimentação tradicional e níveis de sinalização de 0 V e +5 V; (b) reduz a resistência de carga mínima (para 54 ÿ), o que é necessário porque um driver em qualquer extremidade requer terminação na outra extremidade (portanto, 100–120 ÿ em *ambas as* extremidades). A especificação RS-485 também (c) expande a faixa de modo comum permitida que pode ser aplicada a uma *saída* de driver (no estado desabilitado), de uma queda de diodo além dos trilhos (RS-422) para o máximo de -7 V a faixa de +12 V de uma entrada RS-485. Isso é necessário, é claro, porque o driver e o receptor estão conectados permanentemente às linhas de sinal em um arranjo bidirecional (ou multiponto) típico; se a saída do driver fosse presa ao terra ou ao trilho positivo, isso anularia o alcance de modo comum mais amplo do receptor.

A maioria dos transceptores RS-485 satisfaz também as especificações RS 422 mais estreitas, então você pode usar apenas uma das centenas de chips de interface RS-485 disponíveis (de fabricantes como Analog Devices, Intersil, LTC, Maxim ou TI), mesmo se você estiver enviando dados em apenas uma direção; simplesmente habilite o que você está usando em cada extremidade. Algumas escolhas comuns são o 'ALS176 (e seus muitos imitadores -

[74] Boas referências: Analog Devices AN-960 e AN-727, National Semiconductor AN-759, Maxim AN-3776 e TI SLLA112.

[75] Um chip de interface que traz pares de driver e receptor RS-485 separadamente é chamado de “full duplex”.

65LBC176, 65HVD1176, etc.), os clássicos 75176 e 75ALS180, o LTC1480/5 e o ADM1485.

RS-422/485 isolado. Cenário: um "chão de fábrica", com uma série de máquinas-ferramentas automatizadas e com produtos movendo-se em esteiras transportadoras (pense em uma cena da sempre informativa série "How It's Made" em canais a cabo como Discovery Channel ou Science Channel). Os sensores enviam informações digitais por meio de cabos que serpenteiam ao longo de bandejas de cabos suspensas e terminam em um controle de computador central; os mesmos cabos, ou diferentes, levam os comandos de volta aos atuadores. Essa rede controlada centralmente coreografa as atividades da fábrica, em última análise, voltadas para o objetivo prático (e lucrativo) de. . . fazendo coisas. É comum ver esses sinais canalizados como RS-485 diferencial ou uma variante como o Process Field Bus (PROFIBUS®) que usa um sinal de "camada física" semelhante.[76] Essas atividades podem estar espalhadas por distâncias de centenas de pés, e pode ir entre edifícios.

Vamos ser sinceros, com todo aquele maquinário pesado trabalhando, é provável que você veja transientes de modo comum que excedem até mesmo as especificações "generosas" do RS-485.[77] A solução aqui é usar chips de interface *isolados* , nos quais o RS-485 os sinais têm seu próprio aterramento independente, isolado galvanicamente do aterramento dos sinais lógicos. Isso requer uma segunda fonte de energia CC, é claro, flutuando em relação ao terra do sinal lógico.

Existem muitos chips de interface RS-485 isolados para escolher. Os designers inteligentes usam vários truques para fazer sinais digitais rápidos cruzarem uma lacuna que pode suportar um quilovolt ou mais. Por exemplo, o LTC1535 (ou MXL1535) "transceptor RS485 isolado" usa pequenos capacitores para acoplar os sinais digitais (modulados) (Figura 12.123). Isso também

[76] Os transceptores PROFIBUS têm taxas máximas de dados mais altas, normalmente 30 Mbps ou 40 Mbps, e geralmente atendem às especificações (menos rigorosas) de RS-422 e RS-485; confira peças como 65ALS1176, ADM1486, ISO1176 ou ISL4486. Alguns outros ônibus industriais que usam a sinalização RS-485 incluem BITBUS, Data Highway (DH-485), INTERBUS-S, Measurement Bus (DIN 66348), Optomux, P-NET e Series 90 (SNP).

[77] Conforme expresso com eloquência na folha de dados do MAX1480, "O padrão RS-422/485 é especificado para comprimentos de cabo de até 4.000 pés. Ao se aproximar ou exceder o comprimento máximo de cabo especificado, uma diferença de potencial de aterramento de várias dezenas de volts pode se desenvolver facilmente. Essa diferença pode ser CC, CA, na frequência da rede elétrica ou qualquer ruído imaginável ou forma de onda de impulso. Normalmente, é uma impedância muito baixa, de modo que, se uma conexão entre os dois aterramentos for tentada, correntes muito grandes podem fluir. Essas correntes são, por natureza, instáveis e imprevisíveis. Além disso, eles podem fazer com que o ruído seja injetado em instrumentação sensível e, em casos graves, podem realmente causar danos físicos a esses equipamentos." Um homem.

inclui um oscilador de alta frequência (ÿ420 kHz), cuja saída você pode usar com um transformador para isolar e retificar para fazer o DC isolado para o lado do sinal RS-485. O ISO15/35 da TI é uma alternativa mais barata, que omite o oscilador; você precisa fornecer CC isolada desde o início (seja de um conversor CC-CC isolado ou de uma fonte CC alimentada por linha CA).[78] Outra abordagem é acoplar transformadores pequenos (escala de chip). Essa técnica é usada na série ADM2485 de transceptor isolado da Analog Devices, que também fornece uma saída de oscilador que pode ser usada para gerar CC isolada (como o LTC1535). Ou, você pode adicionar os populares chips MAX845 ou MAX253, que geram um par de saídas complementares de onda quadrada em ~0,75 MHz, adequadas para acionar diretamente um pequeno transformador de potência de isolamento, bom para meio watt ou mais de CC isolada. A indústria eletrônica facilita o uso dessa peça: grandes empresas transformadoras oferecem até "transformadores MAX845".

Uma técnica interessante é usada no IL3485 da NVE Corp, ou seja, o "efeito magnetorresistivo gigante" (GMR, amplamente utilizado em unidades de disco rígido para detectar os bits armazenados magneticamente nos pratos giratórios). Em vez do acoplamento de transformador convencional, onde um enrolamento secundário detecta *mudanças de fluxo,* a parte NVE usa GMR para detectar o campo diretamente.

Finalmente, transceptores isolados como o MAX1480/90 usam optoacopladores para os sinais digitais. E, para tornar sua vida realmente fácil, eles incluem um transformador interno para gerar energia CC isolada. Esses CIs híbridos incluem também os diodos e o capacitor para completar o circuito de alimentação, portanto, tudo o que você precisa fornecer é uma fonte lógica de +5 V. Essa é a boa notícia; a má notícia é que esses filhotes custam vinte dólares (em pequenas quantidades), em comparação com US$ 5 a US$ 8 para os chips acoplados a capacitores ou transformadores.

Ethernet PHY Ao pensar em mover dados digitais através de barreiras de isolação, não se esqueça dos acopladores ópticos e das fibras anteriores neste capítulo, e também da isolação por meio de transformadores de pulso, como usado, por exemplo, em redes locais como Ethernet . A Figura 12.124 mostra a camada física ("PHY") de um link Ethernet, com transformadores de isolamento de pulso (que todos chamam apenas de "magnéticos"). Eles fornecem excelente rejeição de interferência de modo comum (e, claro, de diferenças de potencial nas extremidades), usando um transformador e um modo comum

[78] Às vezes, você vê conexões industriais RS-485 com barramento CC (+24 V ou +48 V "telecom CC") agrupadas no mesmo cabo que o(s) par(es) de sinal RS-485; pendure um conversor dc-dc isolado nele, em cada nó do transceptor, para alimentar o lado do sinal RS-485 de um transceptor como o ISO15/35.

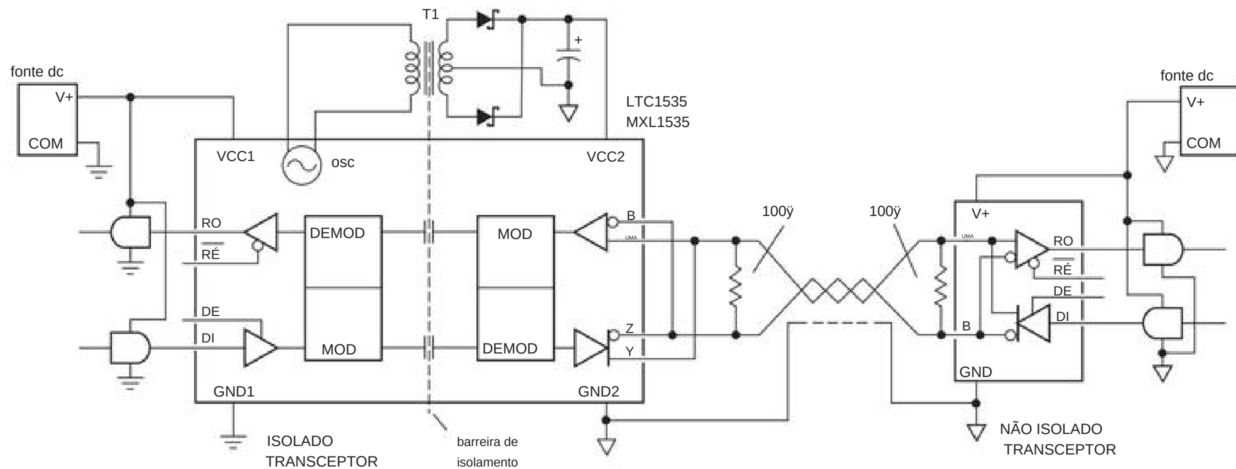


Figura 12.123. Um transceptor RS-485 "isolado" separa galvanicamente o circuito conectado ao par de cabos do circuito de nível lógico. O aterramento da extremidade oposta ("GND2", símbolo triangular) é trazido de volta ao transceptor isolado, mas nunca é conectado ao aterramento local ("GND1", símbolo normal). Esse arranjo evita loops de aterramento e pode acomodar potenciais de modo comum e compensação de aterramento de centenas de volts. Transceptores isolados adicionais podem ser conectados ("multidrop") ao longo do span, referenciados ao mesmo GND2, cada um com sua própria fonte de alimentação isolada do lado RS-485; tais "stubs" de midspan devem ser mantidos curtos em comprimento e sem resistores de terminação de 100 ÿ.

choke, como mostrado.79 Se você já tem um microprocessador em seu sistema, por que inventar seu próprio hardware de isolamento, quando a Ethernet funciona perfeitamente? E, se você precisar percorrer distâncias maiores, pode usar um conversor de mídia para transportar sinais Ethernet em fibra. Confira as ofertas de fabricantes como a Allied Telesis.

B. LVDS

Ao contrário do RS-422, que se destina a taxas de dados modestas (10 Mbps e abaixo) em cabos relativamente longos (até 1 km), o padrão LVDS (sinalização diferencial de baixa tensão, também conhecido como RS-644) destina-se a taxas de dados muito mais altas (até 1 Gbps e acima) em cabos mais curtos (até ÿ10 m) ou mesmo execuções de rastreamento de placa de circuito mais curtas. Em vez de direcionar o par de fios com *tensões* cruzadas de alguns volts de amplitude, o LVDS comuta *as correntes:* um driver LVDS afunda e fornece 3,5 mA (nominal) em um par de fios que é terminado na extremidade oposta em sua impedância característica (geralmente 100 ÿ). Isso produz uma tensão diferencial na extremidade oposta de ±350 mV. O driver é obrigado a manter uma tensão de modo comum, nominalmente +1,2 V; então o receptor vê tensões cruzadas de aproximadamente +1,0 V e +1,4 V. O

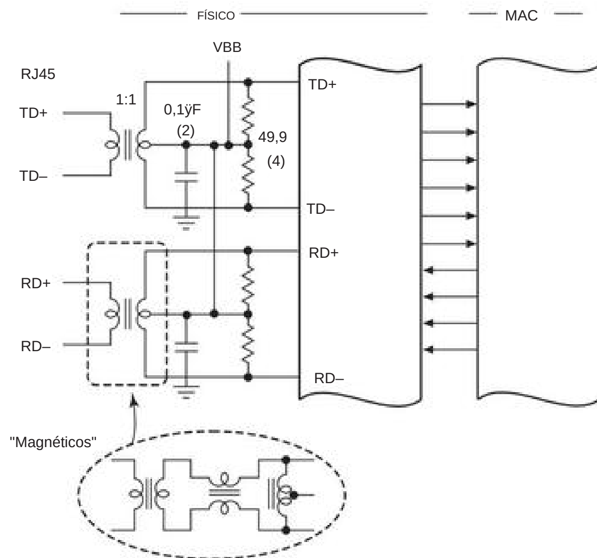


Figura 12.124. Ethernet usa acoplamento de transformador e indutores de modo comum para isolamento robusto de sua sinalização diferencial. Mais próximo da fiação está a camada física ("PHY"), seguida pela camada de controle de acesso à mídia ("MAC", como em "endereço MAC").

uma tensão de modo comum relativamente baixa foi escolhida deliberadamente para acomodar os chips do driver e do receptor operando em baixas tensões de alimentação. Isso é importante porque os chips digitais estão se movendo constantemente para voltagens mais baixas, e o

79 Você obtém robustez adicional adicionando componentes de proteção contra surtos, principalmente as Unidades de Bloqueio Transitório (TBU™) da Bourns. Estes são pequenos elementos de 2 terminais que vão em série com os condutores de sinal do transformador: eles agem como uma baixa resistência, até uma corrente crítica, momento em que entram em um estado de alta resistência.

A interface LVDS geralmente é incorporada a um chip complexo que deseja operar em baixas tensões.

Conectamos o circuito na Figura 12.125 (análoga às Figuras 12.120 e 12.121) para ilustrar a rejeição do LVDS à interferência de modo comum. Injetamos uma forma de onda trapezoidal a ~30 MHz em pares não utilizados de um cabo de rede e aumentamos a amplitude até que o sinal recebido atingisse os limites especificados do receptor de modo comum de 0 V e +2,4 V. Os resultados são mostrados na Figura 12.126 : Você pode ver as duas tensões de sinal recebidas passando uma pela outra, sob o comando do sinal de entrada (atrasado por aquele incômodo da velocidade da luz, é claro), recuperado de forma limpa pelo receptor LVDS.

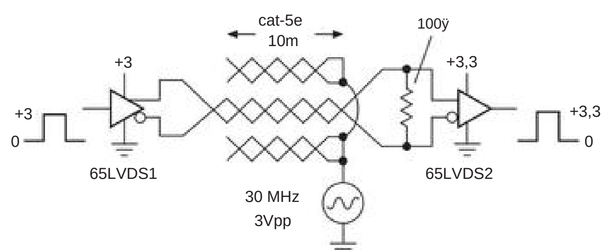


Figura 12.125. Teste de tortura para rejeição de interferência de modo comum LVDS. Aplicamos um sinal de ~30 MHz a dois pares não utilizados na extremidade oposta de um cabo de rede Cat-5e de 10 m de comprimento, enquanto transmitíamos uma sequência de pulsos (com clock de 20 ns) através de um par diferente.

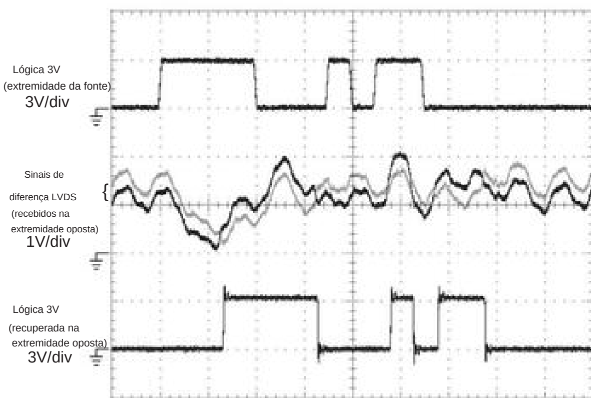


Figura 12.126. Formas de onda do circuito da Figura 12.125. O sinal injetado adiciona até ±1 V de interferência de modo comum ao sinal recebido de ~400 mV diferencial de 50 Mbps. Horizontal: 40 ns/div.

Para ilustrar o problema de transmitir sinais digitais entre instrumentos cujos aterramentos diferem em uma pequena quantidade de 60 Hz CA, montamos o circuito da Figura 12.127. Nós “flutuamos” o aterramento do dispositivo de origem, análogo ao arranjo anterior com RS-422 (Figura 12.120), então dirigimos com uma onda senoidal de 2 Vpp. Os resultados são mostrados na Figura 12.128, onde diminuímos a taxa de dados para que você possa ver a frequência da linha de força. Observe que o LVDS permite apenas 2 Vpp de sinal de modo comum adicionado, em comparação com 14 Vpp para RS-422/485; mas com LVDS você obtém muita velocidade e compatibilidade com lógica de baixa tensão.[80]

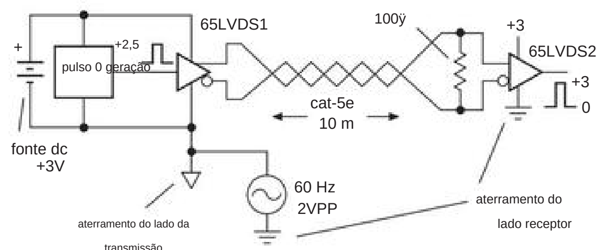


Figura 12.127. Configuração de teste de modo comum Powerline, usando uma fonte de sinal LVDS flutuante (completa com gerador de padrão de pulso e fonte de alimentação).

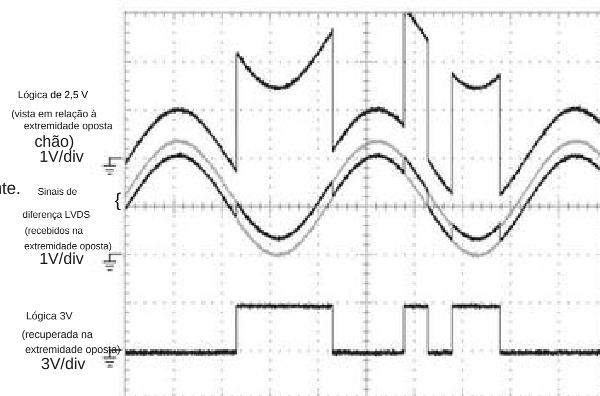


Figura 12.128. Formas de onda do circuito da Figura 12.127. O sinal diferencial de ~400 mV é sobreposto na onda senoidal de 2 Vpp 60 Hz adicionada, atingindo os limites de modo comum do receptor especificados de 0 V e +2,4 V. Horizontal: 4 ms/div.

O protocolo LVDS é amplamente usado em links desserializadores serializadores (consulte também §12.8.4, §12.10.5 e §14.7), nos quais um link serial rápido conecta um par de registradores paralelos separados. Em cada ponta você pensa que está falando com uma porta paralela (e você está!), mas no meio os dados trafegam como bits seriais. Uma largura de dados comum é de 10 bits, o que permite enviar um byte mais dois bits extras para significar o que você quiser (um novo byte ou o início de um novo “frame”

[80] Você pode obter receptores LVDS com capacidade estendida de modo comum, por exemplo, o 65LVDS34, que especifica a faixa operacional de modo comum de -4 V a +5 V (eles fazem isso com um divisor de entrada resistivo, então Rin = 250 kÿ).

de bytes). A Figura 12.129 mostra como funciona, neste caso com um par SERDES com uma especificação de velocidade relativamente relaxada: o clock de transmissão, que cronometra a entrada de símbolos de dados de 10 bits, pode estar na faixa de 16 a 40 MHz. Os bits de dados serializados que passam no link LVDS estão em uma taxa dez vezes maior, ou seja, até 400 Mbps.81 Você precisa apenas de um par diferencial LVDS, porque o desserializador executa a "recuperação de clock" do fluxo de bits transmitido. Na figura, omitimos alguns detalhes adicionais relacionados a modos e sincronização.

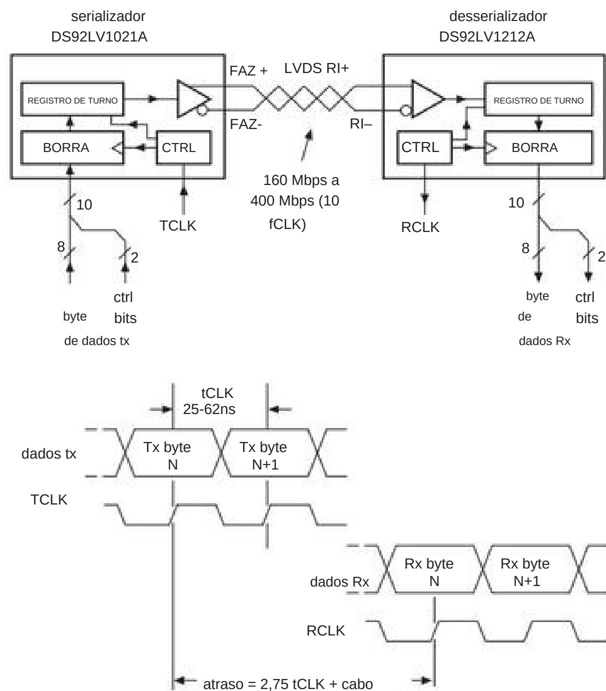


Figura 12.129. Um par serializador-desserializador permite sincronizar dados paralelos em um registro no final da transmissão; ele aparece, magicamente, como dados paralelos na extremidade de recebimento. Existem alguns ciclos de clock de atraso, mas nada para escrever.

Condicionamento de sinal LVDS Como observamos anteriormente (§12.10.2C), o uso de pré-ênfase de transmissão e equalização de recepção pode compensar a perda dependente de frequência do cabo de conexão. Essas técnicas *de condicionamento de sinal* reduziram bastante os efeitos do jitter dependente de dados, também conhecido como *interferência intersimbólica,* ou ISI.

Este efeito ISI merece algumas palavras de explicação: por causa do efeito de filtragem passa-baixa das perdas em cabos ou traços de circuito impresso, particularmente ao operar em taxas de bits muito altas (gigabits por segundo), a tensão inicial do sinal recebido no início de cada célula bit depende do bit anterior (ou bits) e, portanto, o tempo para cruzar o limite variará um pouco, dependendo do(s) bit(s) anterior(es). A interferência intersimbólica aflige a comunicação de alta velocidade em todas as formas. Você pode ver esse efeito nas formas de onda LVDS recuperadas de 1,5 Gbps na Figura 12.132, na qual os 'traços de escopo, acionados pelo sinal de clock limpo, mostram a dispersão dos níveis de sinal na linha de dados que transporta um padrão de dados pseudo-aleatório. Isso é chamado de "diagrama de olho"; é uma ferramenta padrão para visualizar ruído e jitter na avaliação da qualidade do sinal em um fluxo de dados co

O uso de pré-ênfase e equalização pode estender significativamente as taxas de bits e as distâncias de transmissão, conforme indicado anteriormente em §12.10.2C em conexão com cabos coaxiais. A Figura 12.130 mostra o esquema e a Figura 12.131 mostra como a pré-ênfase aumenta os níveis de tensão após cada transição; e quando combinado com a equalização do receptor (reforço de alta frequência), o resultado é uma réplica limpa do sinal de entrada original. Tal condicionamento de sinal é usado em vários ICs de driver e receptor, por exemplo, as séries DS25BR100/200/400 e DS25CP102 da NSC; consulte a nota do aplicativo AN-1957 para obter detalhes e formas de onda ilustrativas.

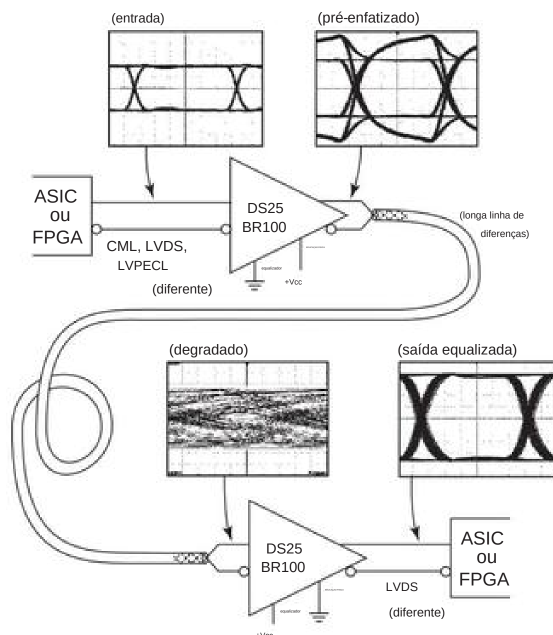


Figura 12.130. A pré-ênfase do driver, equalização do receptor ou ambos podem compensar as perdas do cabo ao transmitir em altas taxas de dados em mídia com perdas.

81 A taxa de bits serial é, na verdade, 12 vezes a taxa de clock, porque o serializador adiciona dois bits de clock.

Machine Translated by Google

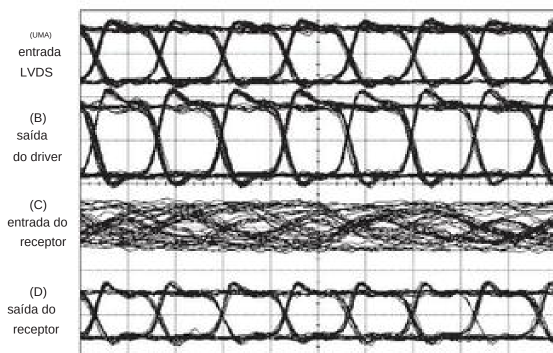


Figura 12.131. Formas de onda de um sinal LVDS pseudo-aleatório de 1,5 Gbps atravessando um comprimento de 2,5 m de stripline diferencial em uma placa de circuito impresso. A. Entrada para o driver DS25BR120; B. Saída do driver, com pré-ênfase; C. Entrada para o receptor DS25BR110; D. Saída do receptor, com pré-ênfase e equalização. Vertical: 500 mV/div; horizontal: 500 ps/div.

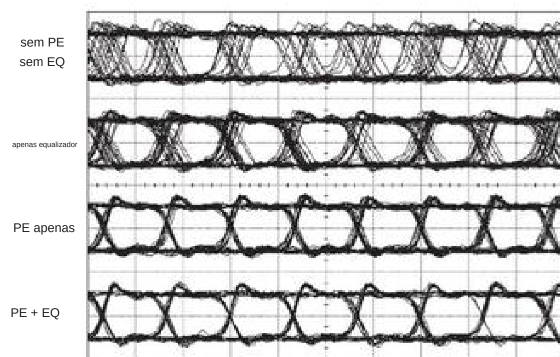


Figura 12.132. Formas de onda de saída do receptor ("diagramas de olho") da mesma configuração da Figura 12.131, mostrando o efeito de quantidades variáveis de pré-ênfase do driver e equalização do receptor. O traço inferior representa PE=+9 dB e EQ=+8 dB a 1,5 GHz. Vertical: 500 mV/div; horizontal: 500 ps/div.

12.10.4 RS-232

Este é um formato de sinalização que remonta à década de 1960, originalmente destinado a links seriais de baixa velocidade (<19,2 kbps) entre terminais alfanuméricos (por exemplo, o lendário DEC VT-100) e computadores. O RS-232 foi revisado várias vezes e agora é conhecido oficialmente como EIA232; embora as portas RS-232 ainda sejam vistas em alguns computadores e instrumentos, o padrão é considerado antiquado e, sem dúvida, destinado à lata de lixo. Ainda está conosco, no entanto (e talvez sempre esteja[82]). Embora não faça parte do padrão, os dados são geralmente enviados como bytes de dados seriais de 8 bits assíncronos, com um bit START de sincronização e um ou dois bits STOP (esses bits extras permitem que o receptor ressincronize após cada byte; consulte §14.7.8) . As taxas de bits usuais (também não especificadas no próprio padrão RS-232) são múltiplos de potência de 2 de 300 bps (portanto, 300, 600, 1200, 2400, 4800, 9600 e 19.200 bps, complementados com um conjunto intercalado consistindo em 14,4 kbps, 28,8 kbps, 57,6 kbps e 115,2 kbps). Assim, por exemplo, ao configurar uma porta serial para "9600 8N1", você está enviando grupos de 8 bits, com um bit START e um bit STOP , e sem paridade, a 9600 bits/s. Observe que os bits de sincronização (START e STOP) estão incluídos na medida geral da taxa de bits; para este exemplo, então, você está enviando uma carga útil de 960 bytes/s.

O *que* o padrão especifica são as tensões de sinalização, resistência e capacitância de carga e taxas de variação, juntamente com a pinagem do conector. Veremos novamente o RS-232, no contexto das comunicações por computador, no Capítulo 14. Mas aqui nos ateremos ao uso do RS-232, no nível físico (daí o termo "PHY"), como uma forma de conduzir cabos com dados digitais. Os níveis de tensão do RS-232 são bipolares, com tensões de saída do driver legal de ÿ5 V a ÿ15 V (lógico 1, também conhecido como "MARK") ou +5 V a +15 V (lógico 0, também conhecido como "ESPAÇO"). Os drivers e receptores RS-232 estão invertendo, então MARK corresponde à lógica HIGH na entrada de um driver ou na saída de um receptor (consulte a Figura 12.135).

Conforme indicado na figura, o RS-232 é de terminação simples; e, por causa das taxas de sinalização relativamente baixas, o cabo não tem terminação. Isso é uma coisa terrível de se fazer, normalmente, porque os sinais que mudam rapidamente (ou seja, em uma escala de tempo menor que o tempo de viagem do sinal de ida e volta) refletem da extremidade aberta, como vimos. O RS-232 resolve esse problema especificando uma taxa de variação máxima (30 V/µs) que é suficiente para extensões de cabo típicas de quinze metros (o máximo especificado original, posteriormente substituído por uma capacidade de carga máxima) ou menos. Para estar em conformidade com os padrões, a capacitância de carga deve ser de 2500 pF ou menos;[83] e a resistência de carga é nominal de 5kÿ (±2kÿ). Os drivers RS-232 devem resistir a um curto-circuito contínuo com o terra ou a qualquer tensão CC na faixa de ±25 V.

[82] É difícil descartar completamente o RS-232, quando tantos instrumentos de teste estão trabalhando bem com ele, como um de seus vários escolhas de rosto. A mudança para o USB está sendo roubada pela Ethernet (ou outras substituições), deixando um conector RS-232 como a porta fácil de implementar. Ao contrário de interfaces seriais mais avançadas, como USB e Firewire, o RS-232 não requer nenhum "smarts" – não há necessidade de inicialização ou negociação. Em parte por esse motivo, a maioria dos microcontroladores inclui um controlador de porta serial fácil de usar. E para conexão com laptops contemporâneos e similares, você pode obter adaptadores de USB para RS-232, por exemplo, da FTDI.

[83] O que corresponde a 50 m de par trançado Cat-5 (50 pF/m), ou 25 m de coaxial de 50 ÿ (100 pF/m).

Machine Translated by Google

Então, o RS-232 avança lentamente. A boa notícia é que ele pode andar em um cabo multifio não blindado, que não precisa agir como uma linha de transmissão bem comportada; a taxa de variação limitada minimiza a diafonia e as reflexões. A má notícia é que o driver precisa de tensões de alimentação positivas e negativas de pelo menos ± 5 V. Os chips originais do driver-receptor (1488/1489 e seus sucessores CMOS DS14C88/89 e MC145406) exigiam tais alimentações duplas (±9 V, nominal), o que é pedir muito em um sistema digital (como a placa-mãe de um computador) que funciona apenas com tensões de alimentação positivas. A Maxim foi a primeira a introduzir drivers RS 232 com uma bomba de carga on-chip (capacitor flutuante) dobrador de tensão e inversor de tensão, para gerar ±10 V a partir de um único +5 V; eles o chamaram (naturalmente) de MAX232.
Existem agora dezenas desses chips (alguns com os capacitores incluídos no pacote, por exemplo, o MAX203 ou LT1039), abrangendo uma faixa de velocidade máxima, consumo de energia, tensão de alimentação, número de drivers e receptores em um pacote e em breve. Como exemplo, o MAX3232E é um transceptor duplo (dois drivers, dois receptores) que funciona a partir de uma única fonte de +3 V a +5,5 V, requer quatro capacitores externos de 0,1 F e garante atender às especificações RS-232 a 120 kbps; ele vem em cinco ÿ embalagens diferentes (SMT e DIP). O sufixo "E designa maior robustez à descarga eletrostática, ou seja, ±15 kV protegido contra ESD, especificado com o modelo de corpo humano (HBM, recall §12.1.5) de um capacitor carregado de 100 pF em série com um resistor de 1,5 kÿ.

A especificação da interface RS-232 inclui vários sinais de controle adicionais, destinados ao "controle de fluxo" de hardware quando um terminal é conectado a um computador (consulte §14.7.8); eles têm nomes como Data Terminal Ready (DTR), Data Set Ready (DSR), Request to Send (RTS) e Clear to Send (CTS). Você pode ignorar tudo isso se simplesmente quiser usar um par de chips de interface RS-232 para enviar dados digitais de baixa velocidade por meio de uma conexão com fio. Na verdade, eles são muitas vezes ignorados mesmo em portas seriais de computador: você pode simplesmente usar as linhas de transmissão de dados (TD) e recepção de dados (RD), mais o aterramento, e fazer o controle de fluxo com software (mais sobre isso no Capítulo 14). Observe, no entanto, a curiosa (e confusa) nomenclatura oficial das linhas de sinal reais TD e RD: você esperaria que TD seja a saída de um driver, que deve ser conectado a RD do receptor (distante). Não tão!
Na nomenclatura RS-232, um dispositivo é um equipamento de comunicação de dados (DCE) ou um equipamento de terminal de dados (DTE); o sinal enviado por este último é chamado de TD *nas duas pontas do link!* (e da mesma forma para RD). Vai saber. Na prática, a maioria dos engenheiros ignora essa confusão; eles chamam um sinal de saída TD e um sinal de entrada RD, em qualquer extremidade que esteja acontecendo.

A Figura 12.133 mostra os sinais RS-232 recebidos e os dados digitais de nível lógico de +3,3 V recuperados. Usamos um par de transceptores RS-232 duplos MAX3232E, alimentados por +3 V e acionados por um gerador de bytes aleatórios[84] emitindo dados formatados em série padrão a 115,2 kbaud. A 'captura de escopo, desencadeada na transição do bit STOP negativo para o bit START positivo , mostra muitos desses bytes sobrepostos, de modo que os bits de dados atingem ambos os valores. O sinal lógico recuperado é limpo após 10 m de par trançado (aproximadamente seu limite nominal), mas após 140 m há uma dispersão significativa nos tempos de borda dos dados recuperados, causada pela interferência intersimbólica (§12.10.3B) na transição lenta Sinal RS-232. Aqui, o tempo de transição lenta é comparável ao tempo de um bit (1 "UI" ou intervalo de unidade), fazendo com que o tempo para cruzar o limite de 0 V varie um pouco, de acordo com os valores de bit anteriores. Você pode ver esse efeito nos dados do cabo longo na Figura 12.133, onde o sinal do cabo recebido fica aquém de seus níveis de tensão assintótica (aproximadamente ±4,5 V) em até um volt.[85] Ao enviar sinais digitais em fios em distâncias substanciais , ou em ambientes eletricamente ruidosos,

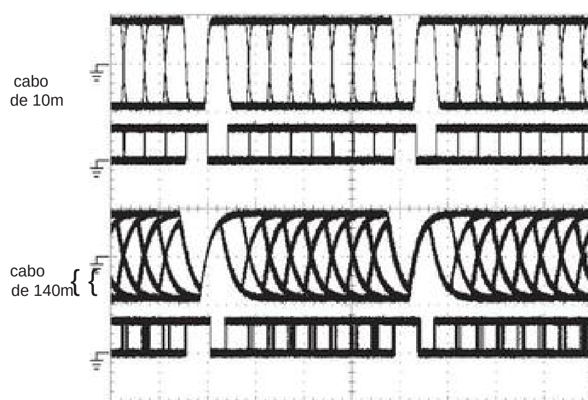


Figura 12.133. A sinalização RS-232 usa acionamento de tensão de terminação única, alternando entre níveis de tensão positivos e negativos. Essas capturas de escopo mostram bytes aleatórios recebidos ("8N1") a 115 kbaud (traço superior de cada par) após a transmissão através de dois comprimentos de cabo de rede Cat-5e/6; os drivers e receptores estão invertendo, como pode ser visto no sinal lógico recuperado (traço inferior de cada par). O desempenho marginal com o cabo mais longo é consistente com o limite da Figura 12.134 de ~10 kbaud para este comprimento de cabo.
Driver/receptor: MAX3232E em +3 V. Horizontal: 20 s/div; verticaÿl: 5 V/div.

[84] Aquele usado para gerar ÿ250 MB de bytes aleatórios no CD-ROM *Numer ical Recipes* .
[85] Os usuários do RS-232 costumam usar taxas de dados mais lentas, sendo a mais popular de 9600 baud, na qual esses efeitos são insignificantes.

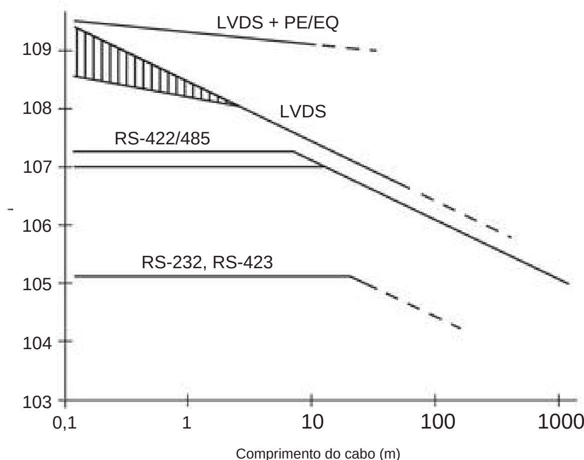


Figura 12.134. Limites aproximados da taxa de dados versus comprimento do cabo, para vários protocolos de sinalização. Sua quilometragem real pode variar, dependendo da qualidade do cabo e do ambiente de interferência. Observe a melhoria de velocidade obtida com pré-ênfase e equalização ("PE/EQ", consulte as Figuras 12.130–12.132).

são sempre os problemas das correntes de terra e do ruído injetado. O isolamento galvânico é a melhor solução. Embora o RS-232 não receba tanta atenção quanto o RS 422/485, existe pelo menos um bom driver isolado, o ADM3251E da Analog Devices. Ele usa acoplamento de transformador interno (com um par modulador-demodulador) para transmitir e receber dados, e um transformador adicional (mais retificador e regulador) para gerar o DC isolado; os únicos componentes externos são cinco 0,1 F para as bombas de carga (internas). ÿ

Um comentário final: temos falado principalmente sobre a *camada física* RS-232 (as tensões reais no cabo), com sua sinalização de bipolaridade estranha, como uma ferramenta simples para transmissão direta de dados digitais. No mundo real, o RS 232 é normalmente usado em conjunto com fontes de dados seriais assíncronas, por exemplo, entre a "porta serial COM" de um computador host e um dispositivo como um modem ou pod de programação. Nessa função, você precisa usar chips de interface de driver e receptor (como o MAX3232) em cada extremidade, para traduzir entre os sinais de nível lógico e os sinais RS-232. Embora não estejamos muito entusiasmados com os sinais RS 232, acreditamos que o uso do protocolo de dados serial assíncrono simples *sem conversão para níveis de tensão RS-232* continuará sendo útil. Isso porque é o último dos padrões de interface serial descomplicados – protocolos seriais posteriores, como USB, Firewire e SATA, exigem uma capacidade intelectual substancial para negociar e operar o link. A maioria dos microcontroladores inclui uma ou mais portas seriais (chamadas UARTs ou portas COM), que são fáceis de usar,

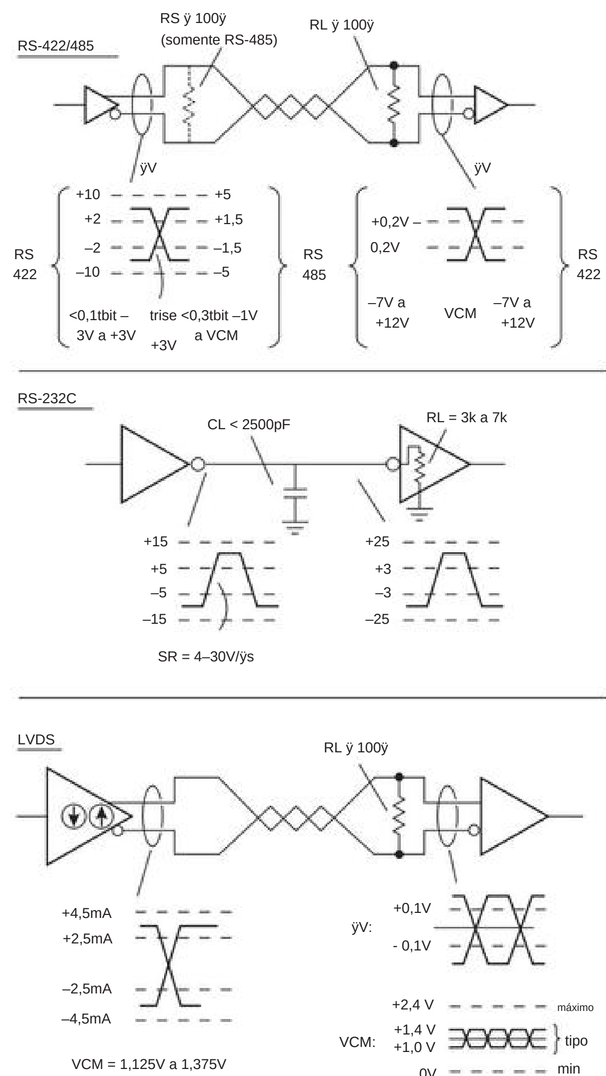


Figura 12.135. Níveis de sinal de driver e receptor permitidos para sinalização LVDS, RS-422/485 e RS-232. Com exceção do RS-232 de bipolaridade (e terminação única), as tensões de saída dos drivers são apenas de polaridade positiva. As saídas LVDS são de modo de corrente (que são convertidas em um sinal de tensão diferencial na resistência de terminação do cabo), em uma tensão de modo comum de +1,25 V; as outras são saídas em modo de tensão. Todos os receptores respondem a tensões, sejam simples (RS-232) ou diferenciais (LVDS, RS 422/485).

e que pode se comunicar com qualquer computador por meio de um conversor serial para USB, como o popular FTDI TTL-232R-3V3. Este prático dispositivo se conecta a um host USB em uma extremidade e fornece uma porta serial com níveis lógicos de +3,3 V (para conexão direta a um microcontrolador ou qualquer outro) na outra extremidade.

12.10.5 Encerramento

Na prática contemporânea, o LVDS é bastante popular devido à sua combinação de alta velocidade (até 3 Gbps e além), baixa emissão de interferência, baixo consumo de energia e compatibilidade entre famílias lógicas de baixa tensão.86 É amplamente usado para transporte de sinal de alta velocidade e distribuição em placas de circuitos e backplanes, bem como através de trechos curtos (10 m). Você pode obter drivers e receptores discretos em pacotes pequenos (por exemplo, 65LVDS1/2), e muitos ICs complexos incluem driver/receptores LVDS para dados serializados, por exemplo, um par SERDES como o DS92LV1023/1224 ou um FPGA complexo como o Xilinx Spartan -3 ou série Altera Stratix.

O RS-422/485 é usado para execuções mais longas, geralmente em ambientes industriais, onde as taxas de dados são mais baixas (até 10 Mbps), mas o ruído de modo comum é maior. E o RS-232 sobrevive, apesar das frequentes previsões de seu fim, para links de dados simples a taxas baixas. Para aplicações em que o sinal deve ser isolado de interferência (tanto de entrada quanto de saída), você verá cabos blindados, como pares trançados blindados para sinalização diferencial ou como cabos coaxiais para sinalização de terminação única (ou analógica). Também é comum ver chips de interface RS-485 isolados galvanicamente, empregando técnicas eletrostáticas (via capacitores), magnéticas (via transformadores ou GMR) ou ópticas (via LEDs) para trazer os dados através de uma barreira de isolamento de vários quilovolts. Finalmente, a fibra ótica (§12.8) fornece um link digital totalmente imune a ruído e galvanicamente isolado, capaz de taxas de dados muito altas e longas distâncias, em troca de custos mais altos em componentes de driver-receptor.

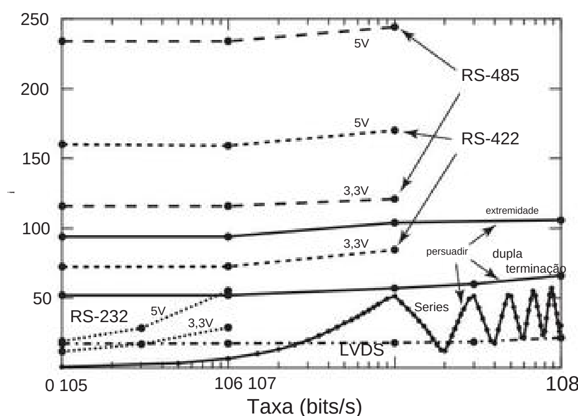


Figura 12.136. Potência medida do driver versus taxa de bits, para várias configurações de acionamento por cabo de terminação única (coaxial) e diferencial (par trançado). Todos os testes usaram um comprimento de 10 m de cabo coaxial RG-58A ou cabo de rede Cat 5e, acionado com 1s e 0s alternados (ou seja, uma onda quadrada cuja frequência é metade da taxa de bits). A resistência de terminação na extremidade distante era de 50 ÿ para coaxial (exceto circuito aberto para terminação em "série") e 100 ÿ para par trançado (exceto 5 kÿ para RS-232) com outros 100 ÿ na extremidade da fonte para RS-485 . Observe o efeito d flexões da terminação final incompatível (5 kÿ) com RS-232, particularmente evidente aqui por causa do quadrado de frequência única unidade de onda.

A Figura 12.134 é um guia aproximado para velocidades e comprimentos de sinalização LVDS, RS-422/485 e RS-232. A Figura 12.135 resume as características de sinal desses padrões de enlace. E a Figura 12.136 compara os requisitos de energia do driver (ou seja, a tensão de alimentação do chip do driver vezes a corrente), juntamente com o de 50 ÿ coaxial.87

86 Existem vários protocolos estreitamente relacionados, nomeadamente PECL (lógica positiva de emissor acoplado), LVPECL (PECL de baixa tensão) e CML (lógica de modo de corrente). O último é usado, por exemplo, em links de vídeo digital como DVI e HDMI.

87 Os CIs de driver que usamos para essas medições de potência foram: coaxial – 74LVC2G04 (ambas as seções em paralelo); LVDS – 65LVDS1; RS-232 – MAX3232E; RS-422/485 – LTC1485 (5 V) ou LTC1480 (3,3 V).

Revisão do Capítulo 12

Um resumo de A a S do que aprendemos no Capítulo 12. Este resumo revisa princípios básicos, fatos e conselhos de aplicação no Capítulo 12.

¶UMA. Interconexões Lógicas.
O assunto deste capítulo é a interconexão de sinais lógicos digitais e dispositivos lógicos para. . . *tudo,* onde "tudo" inclui (a) outros dispositivos lógicos, (b) fontes de entrada (interruptores, optoeletrônicos, cabos) e (c) dispositivos de saída (cargas de energia CC e CA, optoeletrônicos, cabos). Portanto, é um capítulo longo, rico em vários temas. Aqui tentamos organizar esses diversos tópicos em parágrafos administráveis.

¶B. Famílias Lógicas.
§12.1.1. A lógica digital contemporânea é propriedade do CMOS, com a exceção menor de algumas famílias lógicas acopladas ao emissor (ECL, PECL e LVPECL) e algumas BiCMOS (ABT, BCT). As entradas CMOS não consomem corrente e seus limites lógicos geralmente estão próximos do meio de alimentação, exceto para os tipos de sufixo -T (HCT, ACT, AHCT, VHCT) em que o limite está em conformidade com o TTL bipolar legado (ÿ1,4 V); veja a Figura 12.5.

A lógica 74HC[T] é boa para prototipagem fácil e uso geral e está disponível em DIP ou SOIC; substitua 74AC[T] ou 74LV para aplicações que precisam de maior velocidade. Para aplicações de baixa tensão em velocidades moderadas, use 74LVC ou 74VCX (disponível somente em pacotes SOIC e mini-lógica). Para operação de até 15 V, você pode usar a lógica 4000B, mas esse material é *lento.* Finalmente, para sinalização diferencial, use drivers e receptores LVDS (ou LVPECL, se especificado). Veja as Figuras 12.2 e 12.3 para velocidade versus potência da família lógica e velocidade versus tensão de alimentação.

¶C. Características de Entrada e Saída.
§§12.1.2A e 12.1.2B. As *entradas* CMOS não consomem corrente quando 0V ÿ Vin ÿ VDD (e mesmo para entradas alguns décimos de volt além). Para a maioria das famílias lógicas, os diodos de proteção de entrada prendem-se ao terra e VDD, causando assim uma corrente de entrada substancial para tensões de entrada de até um volt além de VDD ou abaixo de GND; isso pode causar travamento do SCR. No entanto, algumas famílias usam fixação do tipo zener, permitindo oscilações de entrada muito além do trilho (e mesmo quando desenergizado); exemplos incluem 74LVC tolerante a 5V e 74AUP tolerante a 3,3V. Consulte a Figura 12.4.

As *saídas* CMOS oscilam para os trilhos, parecendo resistivas para pequenas correntes de carga (Figura 12.7). A capacidade de corrente de saída varia amplamente entre as famílias; dentro de uma família aumenta com o aumento da tensão de alimentação. Veja a Figura 12.6 para obter um resumo dos limites e faixas de tensão de entrada e saída válidas. Observe que as saídas da lógica TTL bipolar (essencialmente obsoleta) (e também dos CIs digitais com saídas nMOS) não saturam no trilho de alimentação; consulte §12.4.5A.

¶D. Interface entre Famílias Lógicas.
Você pode misturar tipos de lógica desde que respeite os requisitos de entrada de nível lógico. No nível básico, isso significa que (a) você sempre pode fazer uma conexão direta entre a lógica operando na mesma tensão; (b) a lógica operando a partir de uma tensão mais alta (por exemplo, +5 V) pode acionar a lógica de tensão mais baixa se a entrada desta última for "tolerante"; e (c) a lógica de tensão mais baixa pode acionar a lógica de tensão mais alta se a última tiver "limites TTL" e a primeira for alimentada por pelo menos +2,5 V. Com dezenas de famílias lógicas, a maioria capaz de operar em uma faixa de alimentação tensões, você tem muitas possibilidades.
A maioria é tratada em §12.1.3 e apresentada pictoricamente na Figura 12.9.

¶E. Conduzindo Entradas Lógicas Digitais. §12.1.4. Uma chave mecânica com pullup (§12.1.4A) gera os níveis lógicos corretos, mas com *ressalto.* Isso pode ser bom para alguns aplicativos; mas para bordas limpas você precisa de um debouncer, ilustrado em meia dúzia de variações em §12.1.4B. Em vez disso, uma entrada lógica pode vir de um comparador (um assunto resumido em ¶*G* abaixo e tratado em detalhes em §12.3), cuja saída pode ter pullup ativo para o mesmo VDD que a lógica acionada, ou pode vir de um " terminal de dreno aberto" (ou coletor aberto); no último caso, você precisa de um pullup externo para VDD. A Figura 12.25 mostra configurações de circuito representativas.

Ao direcionar entradas lógicas de sinais de qualquer tipo, tome cuidado para não ultrapassar a entrada (seja de uma fonte de sinal de maior oscilação ou de efeitos de linha de transmissão – veja o exemplo flagrante nas Figuras 12.103 e 12.104); e não deixe as entradas lógicas não utilizadas flutuando.

Os dispositivos lógicos contemporâneos são projetados para resistir a insultos substanciais de eletricidade estática (definidos em termos do modelo do corpo humano, HBM, de 100 pF em série com 1,5kÿ, §12.1.5), mas é melhor não tentar o destino; tenha cuidado para se descarregar, use materiais antiestáticos, etc. Consulte também a discussão anterior em §3.5.4H.

¶F. Acionando Cargas Externas a partir de Saídas Lógicas.
§12.4. Você pode acionar pequenas cargas (LEDs, SSRs, pequenos relés mecânicos) diretamente das saídas lógicas (§12.4.1 e Figura 12.39), tendo o cuidado de respeitar a capacidade do acionamento de saída (oscilação de tensão, corrente) e, para um relé, adicionando um grampo de diodo em sua bobina. Conforme mostrado na figura, você pode usar um driver de coletor aberto (ULN2003, 75468) para

acomoda tensões e correntes de até 100 V e 350 mA, respectivamente. Existem drivers análogos para uso com dados seriais (de um microcontrolador), veja as Figuras 12.40 e 12.41, e a listagem na Tabela 12.3 na página 819.

Para acionar cargas mais pesadas, você pode anexar um transistor externo ou módulo de acionamento de energia. Para conduzir cargas *positivas* , consulte §12.4.2 e as Figuras 12.42 e 12.43. Para acionar cargas *negativas* ou *CA* , consulte §12.4.3 e Figura 12.44. A comutação de energia séria requer *proteção contra falhas,* consulte §12.4.4 e Figuras 12.45–12.48.

¶G. Comparadores.

Um comparador é um amplificador diferencial não compensado de alto ganho, usado para sinalizar qual das duas entradas analógicas é maior. É uma importante interface entre os sinais analógicos e o mundo digital. Comparadores foram introduzidos em §4.3.2 e tratados em detalhes em §12.3 (com listagens nas Tabelas 12.1 na página 812 e 12.2 na página 813).

Assim como os amplificadores operacionais, os comparadores vêm em uma variedade de velocidades (<1 ns a dezenas de s), tensões de alimentação totais de apenas 1,1 V a até 40 V), em tensões de deslocamento (0,25 mV a 10 mV), correntes de polarização de entrada (1 pA a >10 A), faixas de tensão de modo comum de entrada (para incluir os trilhos, ou um trilho) e correntes quiescentes (<1 A a dezenas de mA). Mas, ao contrário de um amplificador operacional, que normalmente opera na região linear onde a tensão de saída é analógica, evita a saturação, a saída de um comparador é digital (vive nos extremos. Ele pode ser usado para acionar a lógica ou pode acionar uma carga ON/OFF como um relé ou um LED. Para acomodar várias cargas, os estágios de saída do comparador vêm em meia dúzia de variações (Figura 12.33), incluindo (a) trilho a trilho (como um amplificador operacional); (b) dreno aberto ou coletor aberto; (c) nível lógico com pino de trilho lógico auxiliar VL; (d) nível lógico com pinos VL e GND ; e (e) estágio de saída do transistor flutuante.

Miscelânea de comparadores: os comparadores geralmente são configurados com alguma histerese (gatilho Schmitt) para evitar múltiplas transições e oscilações. Alguns comparadores têm faixas de tensão de entrada diferencial bastante limitadas (tão pequenas quanto alguns volts). Para comparadores com estágios de entrada BJT, as correntes de entrada podem sofrer um salto abrupto na tensão diferencial zero (por exemplo, Figura 12.36). O atraso e o tempo de comutação de um comparador dependem do overdrive de entrada (Figura 12.38).

¶H. Optoeletrônica. §12.5.

Continuando o tema da "lógica para tudo", devemos incluir entre estes últimos os *humanos,* com sentidos que luz em apresentações visuais.[88] Há muita riqueza aqui, incluindo emissores, indicadores, displays, detectores e acopladores, conforme ilustrado nas fotografias nas Figuras 12.58 (página 830), 12.71 (página 837), 12.80 (página 841), 12.84 (página 844) e 12,95 (página 853). Para lembrá-lo da amplitude da optoeletrônica, aqui está uma lista condensada de dispositivos (expandidos em ¶¶ I–M abaixo) na árvore genealógica:

Emissores: LED; Laser de diodo; ***Displays*** eletroluminescentes : baseados em LED; baseado em LCD; baseado em VFD; OLED; E tinta

Detectores: Fotodiodo; Fototransistor; Fotoresistor; Bolômetro; DPA; PMT; HAPD; Placa de microcanais ***Acopladores:*** Entrada de LED ou entrada lógica, com saída de transistor, tiristor ou lógica ***Outros:*** Opto-interruptor, proximidade e alcance; Leitor de código de barras; Mouse óptico.

¶EU. Indicadores LED.

Eles têm curvas I-V semelhantes a diodos , mas com quedas de tensão direta maiores (e dependentes da cor) (Figura 2.8). Eles vêm em vários fatores de forma (montagem em painel, montagem em PCB, raios ar, monitores de 7 segmentos), tamanhos, ângulos de visão e cores (§12.5.1). Você pode acioná-los a partir de um sinal lógico de oscilação adequada, com um resistor em série limitador de corrente (lembre-se de que os LEDs azul, verde brilhante e branco têm quedas diretas de 3 V ou mais) ou você pode adicionar um transistor externo para tensão ou corrente mais alta (consulte a Figura 12.61). Para propósitos sérios de iluminação, é melhor usar um conversor de comutação CC-CC com detecção de corrente (Figura 12.62). Por outro lado, para acionar *diodos laser ,* você usa o feedback do fotodiodo do monitor integrado para definir a corrente do acionador (consulte a Figura 12.67 e o texto associado).

¶ J. Exibições.

Um dispositivo popular para dados numéricos ou hexadecimais é o display de 7 segmentos (ou 16 segmentos) *(§12.5.3A),* disponível em bastões multicaráter de variedades "burras" e "inteligentes" (ver Figuras 10.90 e 12.77, respectivamente). Uma vez que você comprou a ideia de um dispositivo de exibição multicaracter, você deve considerar o display inteligente LCD multicaracter (e multilinha) (Figura 12.78) e o display VFD de aparência mais agradável (e compatível), visto nas Figuras 12.71 e 15.25.

¶K. Detectores.

Na arena do detector, os *fotodiodos* convertem a luz em uma fotocorrente proporcional e podem ser operados em qualquer um dos

[88] Como comentou uma vez um colega, enquanto admirávamos o pôr do sol enquanto caminhávamos pela praia, "bons gráficos".

dois modos – *fotovoltaico* (autogeração, em curto-circuito ou terra virtual); ou *fotocondutora* (back-biased) – veja a Figura 12.81. O último é mais rápido, mas sofre de vazamento de corrente e aumento de ruído. Um *fototransistor,* que opera apenas no modo fotocondutor, combina um fotodiodo e um transistor, para maior ganho, mas com velocidade reduzida; da mesma forma (e mais ainda) para uma *foto-Darlington.*

O *fotodiodo de avalanche* explora o fenômeno da multiplicação de avalanche em um fotodiodo polarizado perto da quebra; cada fóton detectado faz com que múltiplos elétrons sejam coletados, proporcionando assim maior ganho (em operação linear) ou (se polarizado ainda mais) um pulso de "modo Geiger" de tamanho completo para cada fóton detectado. Uma classe diferente de detector é o sensor *fotorresistivo* de sulfeto de cádmio , que se comporta como uma resistência linear *(I* ÿ V) que depende da iluminação; Os sensores CdS são lentos e estão se tornando uma raridade devido aos regulamentos RoHS (cádmio não é bom para você), mas são úteis em aplicações onde você deseja uma resistência linear controlada por luz (veja, por exemplo, a Figura 7.21). Finalmente, um fotodetector da velha guarda ainda popular é o tubo *fotomultiplicador* (PMT, §12.6.2), no qual um fotoelétron é acelerado e colide com dinodos multiplicadores de elétrons sucessivos para produzir uma cascata de cerca de 106 elétrons em um coletor. ânodo (Figuras 12.82 e 12.83).

¶EU. Optoacopladores e relés de estado sólido.

Os optoacopladores (também conhecidos como optoisoladores ou fotoacopladores) consistem em um optoemissor combinado com um detector em um pacote opaco (§12.7). Eles são usados para transmitir sinais digitais (e às vezes analógicos) entre circuitos com aterramentos separados; esse *isolamento galvânico* evita loops de aterramento em circuitos sensíveis, permite comutação segura de circuitos de linha de força CA e permite comunicação e controle de circuitos operando em alta tensão.

Todos os optoacopladores usam um LED na *extremidade de entrada,* na maioria dos casos simplesmente fornecendo os terminais de ânodo (+) e cátodo (-) (portanto, você deve limitar a corrente de acionamento com um resistor externo, consulte a Figura 12.85A); alguns optoacopladores incluem limitação de corrente (por exemplo, SSRs, Figura 12.92C), enquanto outros (por exemplo, acopladores lógico-para-lógico de alta velocidade, Figura 12.86C) aceitam um sinal de entrada de nível lógico. No *final da saída ,* existem muitas configurações: transistor ou Darlington (Figura 12.85), lógica digital com coletor aberto ou pullup ativo (Figura 12.86), driver MOSFET pull-up ativo (Figura 12.87), SSR de saída CA (Figura 12.92) e SSR de saída dc em vários tipos (Figura 12.91). Existem também optoacopladores analógicos orientados (Figuras 12.88, 12.89 e 12.90), optoacopladores de entrada CA (Figura 12.94) e toda uma gama de *módulos industriais de entrada/ saída* (§12.7.7).

¶M. Opto-interruptores, sensores de proximidade e codificadores de ângulo.

Um *opto-interruptor* é um par LED-detector com um gap aberto (Figura 12.84), amplamente utilizado para detectar fim de curso em dispositivos mecânicos. Um *sensor* óptico de proximidade reflete um feixe de um objeto externo; o *sensor de medição de distância* é uma variante que incorpora um detector sensível à posição que usa paralaxe (triangulação) para medir a distância do objeto (até aproximadamente 1 m). Codificadores ópticos *de ângulo de eixo* medem a posição do eixo com certeza; eles vêm em versões incrementais (onda quadrada de quadratura) e absolutas, com resoluções de 32 a 128 contagens por rotação (para controles de painel) a 30.000 ou mais para codificadores de eixo de alta resolução.

¶N. Fibra ótica.

A luz viaja feliz e desimpedida através do vidro ou da fibra plástica. Para comunicações de longa distância com alta taxa de dados, você usa fibra de vidro monomodo (com taxas de 100 Gbps ou mais por fibra); mas para comunicações de dados mais modestas, você pode usar fibras multimodo, desde a mais simples fibra plástica TOSLINK de 1 mm até a muito popular fibra de vidro de índice graduado de 62,5/125 m. Módulos transmissores e receptores estão y amplamente disponíveis (§12.8.1–12.8.3), bem como módulos transceptores de alta velocidade que incluem todos os componentes eletrônicos do driver/receptor necessários (§12.8.4).

¶O. Sinais Digitais e Fios Longos.

Totalmente 25% do capítulo (§12.9) é dedicado ao problema de enviar sinais digitais para outro lugar, onde o *lugar* pode estar no mesmo PCB, ou através de um backplane, ou através de um cabo para um dispositivo eletrônico remoto. Por mais simples que pareçam, inúmeras armadilhas aguardam os incautos: por exemplo, ficamos surpresos (mas não deveríamos ter ficado) ao encontrar erros ao enviar dados digitais paralelos de velocidade apenas modesta (lógica HC) através de apenas 4 de fita plana cabo. Leia os parágrafos seguintes, para evitar ser membro do clube dos incautos.

¶P. Links Curtos.

Para os *links curtos* que ficam em um PCB, a carga capacitiva distribuída e os consequentes picos de corrente de terra causam falhas lógicas (§12.9.1A), exigindo bypass liberal da fonte de alimentação (que é sempre salutar) e layouts de plano de terra de baixa indutância. O problema é menos grave em sistemas síncronos; mas é mais grave com lógica rápida, onde as interconexões podem exigir layouts de linha de transmissão de impedância constante (consulte *§1x.1.4).* Esses problemas são mais pronunciados para sinais que se movem entre placas de circuito ou ao longo de backplanes, onde você pode precisar usar ICs de driver de linha e receptor de linha, talvez em

combinação com traços de impedância controlada que são finalizados adequadamente; o último é uma prática padrão com sinalização LVDS (diferencial), como visto, por exemplo, na Figura 12.127.

¶Q. Cabos executados.

Sinal mais longo requer *cabo* (§12.10), geralmente *coaxial* (por exemplo, os onipresentes patch cords RG58 BNC), *fita multifio, par trançado* (por exemplo, o comparavelmente onipresente cabo de rede cat 5 ou cat-6) ou *fibra ótica* (geralmente reconhecida nizable pelo seu perfil esbelto de cores vivas). Com exceção das formas de onda “lentas”,[89] os cabos de sinal devem ser tratados *como* linhas de transmissão (Apêndice H), com sua *impedância característica* [90] Z0. Para coaxial, Z0 é geralmente 50 ÿ (mas 75 ÿ para vídeo), enquanto o par trançado é geralmente 100 ÿ. O significado de Z0 é que *um sinal aplicado a um cabo, terminado com uma resistência de carga igual à sua impedância característica, é completamente absorvido pela carga;* não reflete. Nenhuma outra impedância de carga pode fazer essa afirmação.

¶R. Terminando Coaxial Digital.

Assim, você pode (a) colocar um resistor de 50 ÿ na extremidade de uma linha coaxial (uma “linha terminada” ou “linha combinada”) e dirija-o com seu sinal digital (que vê uma carga resistiva pura de 50 ÿ – a capacitância desaparece!), como na Figura 12.107; ou (b) conduza tal linha terminada com um sinal de mesma impedância, como na Figura 12.110, observando que a amplitude do sinal de saída é reduzida em ×2; ou (c) mantenha o resistor de fonte casada, mas omita o resistor de carga, como na Figura 12.107, para preservar a amplitude total de saída. No último caso, há *uma* reflexão de amplitude substancial, que, no entanto, é hospitaleiramente absorvida pelo resistor da fonte – veja as formas de onda altamente educacionais na Figura 12.115. Consulte §12.10.1 para obter belas imagens e muitos detalhes.

¶S. Cabo Diferencial.

Os sinais diferenciais são tratados de forma semelhante, com uma terminação conectada ao par. Para longas distâncias (até aproximadamente 1 km) e velocidades modestas (10 kbps–10 Mbps), o protocolo RS 422/485 de longa duração é popular, enquanto o protocolo LVDS é usado para taxas de dados mais altas (10 Mbps–1 Gbps) em distâncias mais curtas ; veja os contornos do limite de velocidade na Figura 12.1 Para obter as taxas de dados mais altas em comprimentos significativos de cabo, geralmente se usa a *pré-ênfase do* driver e a *equalização* do receptor , consulte as Figuras 12.130–12.132 e a discussão associada.

[89] Aqueles cujos tempos de transição são muito mais longos do que o tempo de viagem de ida e volta, t=2L ÿ/c, onde o fator ÿ representa o “fator de velocidade” mais lento que a luz da propagação da onda no cabo.

[90] O que realmente deveria ser chamado de *resistência característica.*

O DIGITAL ENCONTRA O ANALÓGICO

CAPÍTULO **13**

Aqui encontramos o principal assunto de conversão entre sinais analógicos e digitais – conversores analógico-digital (A/D) e digital-analógico (D/A) (ADCs e DACs) – bem como os importantes “mixed- loop de bloqueio de fase (PLL). E não podemos resistir a dar uma olhada no fascinante tópico da geração de ruído pseudo-aleatório.

Vivemos em um mundo amplamente analógico (contínuo) – de sons, imagens, distâncias, tempos, tensões e correntes, e assim por diante – que parece exigir circuitos analógicos (osciladores, amplificadores, filtros, combinadores, etc.). Mas também vivemos em um mundo parcialmente digital (discreto) – de números e aritmética, de texto e símbolos, e assim por diante – que parece exigir circuitos digitais (lógica aritmética e armazenamento, etc.). E assim foi por muitos anos: amplificadores e filtros analógicos para áudio e vídeo; osciladores analógicos, circuitos sintonizados e misturadores para rádio e televisão; e até mesmo *computadores analógicos,* para resolver equações diferenciais[1] ou para controle em tempo real de voo ou armamento. Enquanto isso, técnicas digitais (inicialmente com mecanismos e relés, depois com tubos a vácuo, seguidos por transistores discretos, CIs de pequena escala e, finalmente, microprocessadores grandes e rápidos com mais de um bilhão de transistores que tomamos como garantidos) foram usadas para tarefas computacionais como manter rastro de dinheiro e de palavras.

Mas as melhorias quase milagrosas nas velocidades e densidades da eletrônica puramente digital produziram uma grande mudança de paradigma, ou seja, o uso de condicionamento e processamento digital para quase todas as grandezas “analógicas”.
Por exemplo, os engenheiros de áudio agora digitalizam os sinais individuais do microfone no momento da gravação e executam todas as mixagens e condicionamentos subsequentes (por exemplo, a adição de reverberação) como aritmética nesses números; o mesmo vale para vídeo digital. E no nível cotidiano, as técnicas digitais invadiram nossas vidas: as balanças de banheiro dos autores indicam 0,1 libra (às vezes para nosso pesar) – isso é uma resolução[2] de uma parte por mil; nossa luz da varanda é ligado e desligado por um interruptor de parede digital que segue a variação sazonal do crepúsculo e do amanhecer; e nossos automóveis dependem de um barramento digital, ao qual estão conectados cerca de 50 ou mais controladores digitais embutidos para funções como controle e diagnóstico do motor, frenagem, airbags, entretenimento, controle climático e assim por diante.

O resultado final é que as técnicas de conversão A/D e D/A tornaram-se centrais para todos os aspectos da medição e controle analógico. Isso é importante e é o assunto principal deste capítulo. Vamos lá.

Nosso tratamento das várias técnicas de conversão não tem como objetivo desenvolver habilidades no projeto do conversor em si.
Em vez disso, tentamos apontar as vantagens e desvantagens de cada método, porque na maioria dos casos o mais sensato é comprar chips ou módulos disponíveis comercialmente, em vez de construir o conversor do zero. Uma compreensão das técnicas de conversão e idiossincrasias irá guiá-lo na escolha entre as milhares de unidades disponíveis.

13.1 Algumas preliminares

13.1.1 Os parâmetros básicos de desempenho

Antes de entrar em muitos detalhes, gostaríamos de resumir os importantes parâmetros de desempenho que você precisa ter em mente ao escolher ADCs e DACs. Saber o que você precisa torna muito mais fácil encontrar o que você deseja.

Conversores digital-analógico

Resolução: número de bits

Precisão: monotonicidade; linearidade; referência de estabilidade dc : interna ou externa; multiplicando DAC (MDAC)?

Tipo de saída: saída de tensão ou saída de corrente

Escala de **saída:** unipolaridade ou bipolaridade; Faixas de Vout ; Iout compliance **Velocidade:** tempo de acomodação; taxa de atualização

[1] Há um bom exemplo disso na seção sobre circuitos de funções analógicas no Capítulo *4x:* modelar o fascinante comportamento caótico do sistema de equações diferenciais não lineares idealizado por Lorenz.

[2] Para ser distinguido da *precisão* – relembre a discussão em §5.1.1.

Embora a balança de banheiro leia com uma *resolução* de 0,1 libra, sua precisão provavelmente é menor (talvez para ±1 libra), com algum desvio ao longo do tempo e da temperatura.

Quantidade: DACs únicos ou múltiplos/embalagem
Formato de entrada digital: serial (I2C, SPI ou uma variante) ou paralelo
Pacote: módulo, furo passante ou vários pacotes de montagem em superfície
Outros: energia falha; estado ligado; escalonamento digital interno programável

Conversores analógico-digital
Resolução: número de bits
Precisão: monotonicidade; linearidade; estabilidade DC
Referência: interna ou externa
Escala de **entrada:** unipolaridade ou bipolaridade; alcance de voltagem
Velocidade: tempo de conversão e latência
Quantidade: ADCs individuais ou múltiplos/embalagem
Formato de saída digital: serial (I2C, SPI ou uma variante) ou paralela

Pacote: módulo, furo passante ou vários pacotes de montagem em superfície
Outros: amplificador interno de ganho programável (PGA); Faixa dinâmica sem esporão (SFDR)

13.1.2 Códigos

Neste ponto, você deve rever §10.1.3 sobre os vários códigos numéricos usados para representar números assinados. Binário de deslocamento e complemento de 2s são comumente usados em esquemas de conversão A/D, com magnitude de sinal e códigos Gray também aparecendo de tempos em tempos. Aqui está um lembrete:

	Deslocamento binário	*2s Complemento*
+Escala completa		01111111
+Escala completaÿ1		01111110 ÿ
ÿ		00000001
0+1 LSB 0	11111111	00000000
	11111110 ÿ	11111111 ÿ
0ÿ1 LSB ÿ	10000001	10000001
		10000000
ÿEscala completa+1	10000000	
ÿEscala completa	01111111 ÿ 00000001 00000000	

13.1.3 Erros do conversor

O assunto dos erros de ADC e DAC é complicado, sobre o qual volumes inteiros poderiam ser escritos. De acordo com Bernie Gordon, da Analogic, se você acha que um sistema conversor de alta precisão atende às suas especificações reivindicadas, provavelmente não olhou de perto o suficiente. Não entraremos nos cenários de aplicativos necessários para fornecer aceita a alegação de Bernie, mas vale a pena dar uma olhada nos quatro tipos mais comuns de erros do conversor: erro de deslocamento, erro de escala, não linearidade e não monotonicidade, bem ilustrados na autoexplicativa Figura 13.1. Em vez de aborrecê-lo com uma longa discussão, passaremos diretamente para uma descrição das técnicas e capacidades do conversor D/A. Em seguida, revisitaremos os erros do conversor (§13.4), que farão muito mais sentido no contexto.

13.1.4 Autônomo versus integrado

Às vezes, um ADC ou DAC (ou ambos) é integrado a um IC mais sofisticado. O exemplo mais comum é o microcontrolador (Capítulo 15), onde você frequentemente vê ADCs e DACs integrados no mesmo chip que o processador e seus outros periféricos de E/S. Até onde podemos dizer, o ADC autônomo mais barato custa significativamente mais do que o microcontrolador com ADC mais barato.[3] Os microcontroladores gostam de integrar vários periféricos úteis, juntamente com memória de programa e dados, que você tem essencialmente um "sistema em um chip". Esteja ciente, porém, de que esses conversores que vêm junto com microcontroladores de uso geral baratos não atingem o excelente desempenho de um bom conversor autônomo: você pode obter desempenho de 8 bits ou até mesmo de 10 bits; mas você não obterá 16 bits e nada que se aproxime do desempenho de 24 bits de um ADC de áudio de alta qualidade.[4] Para algumas classes de IC, porém, um conversor integrado oferece excelente desempenho. Um exemplo é um chip de síntese digital direta (DDS) (§7.1.8), onde contadores de fase no chip e uma tabela de pesquisa senoidal criam valores digitais da saída de onda senoidal sintetizada; essas coisas podem atingir velocidades de 1 GHz ou mais, com um DAC de 14 bits (por exemplo) no chip gerando o sinal de saída analógico. Outro exemplo vem do mundo do vídeo, onde é comum ver processamento de vídeo digital e funções de conversão combinadas em um único IC de alto desempenho. E no negócio de áudio, você vê peças como a série Cirrus CS470xx (seu sistema em um chip "All-In-One Audio IC"), que inclui vários ADCs e DACs de 24 bits com faixa dinâmica de 105 dB, integrado em um chip que possui um DSP de 32 bits (com 32 kB de RAM), codecs de áudio e taxa de amostragem

[3] A saber: o ADC de 8 bits ADC0831 da National custa US$ 1,85, enquanto o PIC10F da Mi crochip com seu ADC de 8 bits e multiplexador de 2 entradas custa US$ 0,48 (ambos na quantidade 25).

[4] Uma brilhante exceção é fornecida pela série de "Microcontroladores analógicos" da Analog Devices, com desempenho honesto para 16 ou 24 bits. Você pode pensar neles como consistindo em um núcleo conversor de alta qualidade, com um microcontrolador silencioso acoplado.

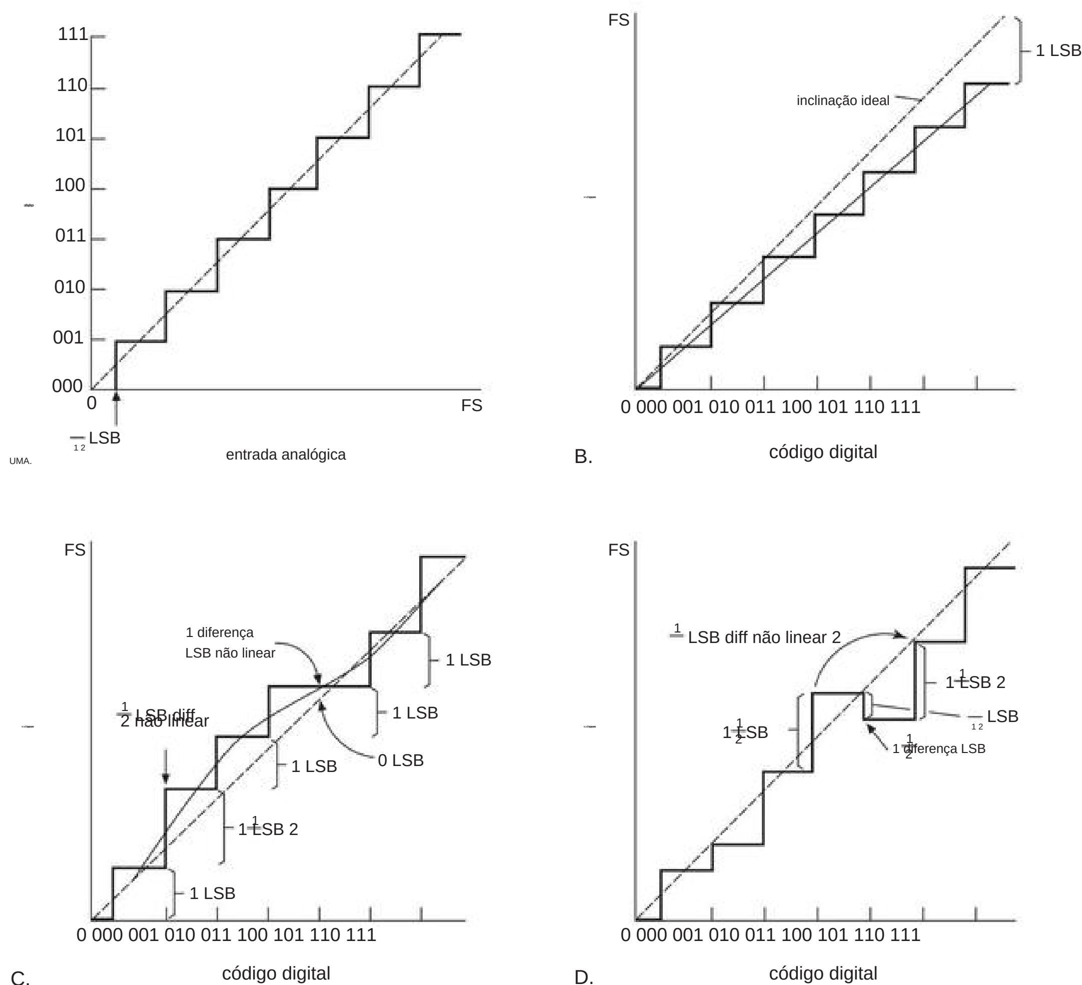


Figura 13.1. Gráficos ilustrando as definições de quatro erros comuns de conversão digital, para um conversor de 3 bits em seus 8 níveis de 0 a LSB ADC, não linearidade LSB (implica 1 LSB possível compensado em zero. B. Linear, 1 erro de escala LSB. C. ±1 escala completa (FS). A. Curva de transferência erro); 1 LSB não linearidade diferencial (implica monotonicidade). D. Não monotônico (deve ser > ± Texas $\frac{1}{2}$ LSB não linear). Usado com permissão de Instruments Inc.

conversores, portas de áudio digital (SPDIF) e uma porta de controle SPI/I2C.

Conversores autônomos são dominantes, porém, em aplicações de alta precisão e alta linearidade (voltímetros; equipamento de áudio de qualidade). Eles também fornecem uma enorme variedade de seleção, em termos dos muitos parâmetros listados, em comparação com a seleção bastante limitada de conversores no chip que você encontra nos microcontroladores.

13.2 Conversores digital-analógico

O objetivo é converter uma quantidade especificada como um número binário (ou BCD de vários dígitos, consulte §10.1.3B) em uma tensão ou em uma corrente proporcional ao valor da entrada digital. Existem vários métodos populares: (a) cadeia de resistores com chaves MOS; (b) Escada R–2R ; (c) fontes de corrente em escala binária; e (d) conversores delta-sigma (e outros de média de pulso). Vamos revezar.

13.2.1 DACs de cadeia de resistores

Este método é o mais direto possível.
Uma cadeia de *2n* resistores de igual valor é conectada entre uma referência de tensão estável e o terra, criando um divisor de tensão muito alto; e um conjunto de interruptores analógicos MOSFET é usado para rotear a tensão do tap selecionado para um buffer de tensão de saída (Figura 13.2). A figura mostra a configuração do impressionante DAC8564 da TI, um DAC quad de 16 bits (quatro

Machine Translated by Google

DACs independentes em um pacote), cada seção com uma cadeia de 216 (65.536) resistores conectados entre uma referência interna de precisão de +2,5 V e o terra. Citando a descrição concisa na folha de dados, “O código carregado no registrador DAC determina em qual nó na string a tensão é retirada para ser alimentada no amplificador de saída fechando uma das chaves que conectam a string ao amplificador.” 5

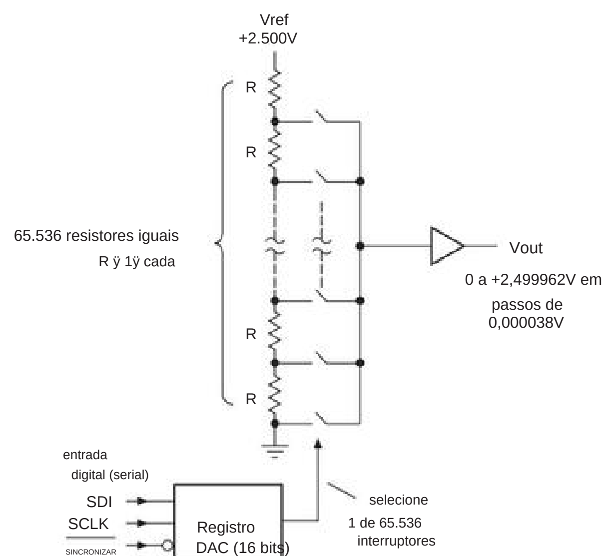


Figura 13.2. Um DAC fácil de entender: a entrada digital seleciona o comutador MOSFET correspondente em um divisor de tensão gigante.
A TI coloca quatro deles em seu DAC8564.

Este método tem a virtude da monotonicidade garantida. Como diz a folha de dados (ainda mais sucintamente do que antes), “é monotônico porque é uma série de resistores”. E este DAC em particular exibe outras boas qualidades, especificamente baixa *energia de glitch* (picos que aparecem na saída durante as transições de código), excelente precisão e estabilidade (valores de pior caso de ±0,02% de precisão inicial e 5 ppm/ ÿC tem pco), rail -to-rail output (“RRO”) com uma única fonte positiva (+2,7–5,5 V) e baixa potência (1 mA, típico). Este filhote custa cerca de US $ 12. O mesmo método é usado em DACs de desempenho mais modesto, por exemplo, o DAC121 da National: 12 bits, saída de tensão, alimentação única micropower (150 A) com entrada (RRIO). Este último é um único DAC sem referência interna (fundo de escala é a alimentação positiva), e claro que tem “apenas” 4096 resistores em sua corda; custa menos de $ 2. Ambos (e a maioria dos outros conversores atualmente) usam uma entrada digital serial, que para esses conversores em particular é o SPI simples de 3 fios (consulte §14.7). Consulte também a discussão sobre potenciômetros digitais em §3.4.3E.

13.2.2 DACs Ladder R-2R

Uma sequência de 216 resistores e interruptores combinados é uma peça de engenharia bastante impressionante. Mas o número exponencial de componentes acaba superando a sofisticação da engenharia. Uma alternativa atraente é a escada R-2R , que reduz o requisito para uma matriz de apenas *2n* resistores correspondentes (versus *2n)* para um DAC de n bits.

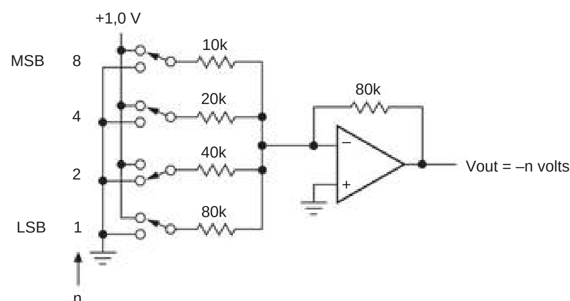


Figura 13.3. Soma de correntes escalonadas para criar um DAC simples. Simples de entender, mas nunca usado na prática: uma rede R-2R é usada em seu lugar.

Para começar, considere o esquema teórico simples mostrado na Figura 13.3: os valores do resistor estão em uma sequência binária, de modo que suas correntes ponderadas binárias na junção de soma produzem uma saída de tensão ponderada binária. Simples, mas não muito prático com mais do que alguns bits, porque os valores do resistor devem abranger uma ampla faixa e com precisão cada vez mais exigente para os valores de resistência mais baixos; de maior preocupação ainda é a necessidade de interruptor Ron muito baixo correspondente aos valores baixos de resistência.6

Exercício 13.1. Projete um BCD DAC de 2 dígitos. Suponha que as entradas sejam 0 ou +1 volt; a saída deve ir de 0 a 9,9 volts.

Em vez disso, o esquema mostrado na Figura 13.4 é usado. É fácil se convencer de que esse arranjo inteligente produz uma corrente de peso binário na junção de soma do amplificador operacional e, portanto, uma tensão de saída correspondente. E apenas dois valores de resistor são necessários *(R* e *2R,* que, no entanto, devem ser replicados com precisão e em uma proporção precisa de 2:1), independentemente do número de bits.

5 Esses caras parecem não gostar de vírgulas. Ficamos tentados a adicionar alguns, para acompanhar o fluxo ofegante da frase. Mas, ei, uma citação é uma citação, certo?

6 Este método tem a flexibilidade, no entanto, de permitir pesos de bits arbitrários.

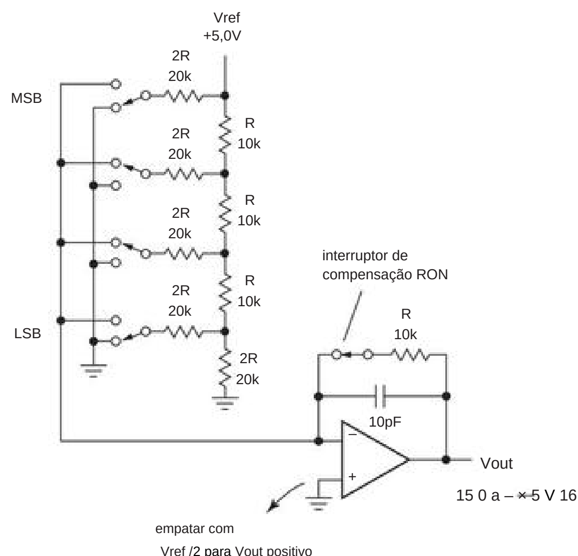


Figura 13.4. Uma rede de escada R-2R gera uma corrente de saída em escala binária na junção de soma do amplificador operacional, produzindo um DAC de saída de tensão.

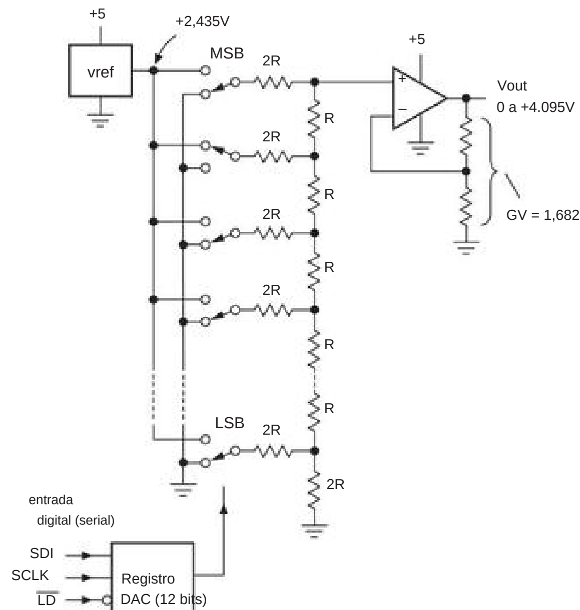


Figura 13.5. DAC de saída de tensão R–2R , na configuração de combinação de tensão mais comum.

Existem muitos DACs R-2R excelentes por aí. Por exemplo, o DAC9881 da TI é um DAC de saída de tensão de 18 bits com uma entrada serial SPI; é garantido monotônico,[7] com linearidade integral até ±2 LSB. Requer uma referência de tensão externa (Vref), que define a tensão de fundo de escala (a entrada não inversora é polarizada em Vref/2, para polaridade de saída positiva). Ele se destaca em precisão e baixo ruído e custa cerca de US$ 30.

Exercício 13.2. Prove que a escada R-2R anterior funciona como anunciado.

Na prática, a maioria dos DACs R-2R usa a configuração alternativa da Figura 13.5, na qual a saída da rede R-2R é ela própria uma tensão. Por exemplo, o TI DAC7611 é um DAC de saída de tensão de 12 bits (saída de escala total de +4,095 V, popular para DACs que funcionam a partir de +5 V) com uma entrada serial SPI e referência de tensão no chip; é linear e mono tônico em seus 12 bits completos, vem em um pacote de 8 pinos e custa cerca de US $ 4.

[7] Observe que, ao contrário de um DAC de cadeia de resistores, um DAC R–2R não é monotônico *garantido* quando as tolerâncias do resistor são levadas em consideração. o semi a indústria de condutores faz um bom trabalho, no entanto, e a maioria dos DACs R-2R são monotônicos para 1 LSB.

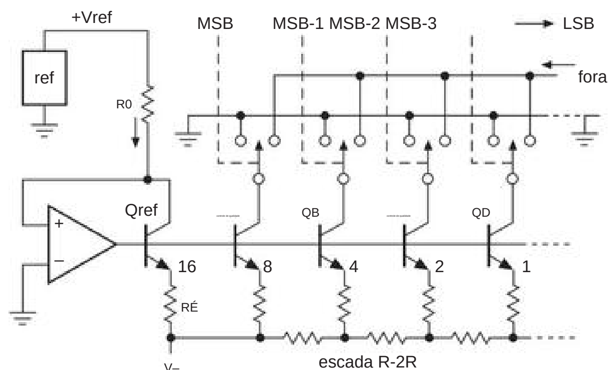


Figura 13.6. DAC clássico com comutação de corrente.

13.2.3 DACs de direção atual

Os conversores anteriores geram saídas *de tensão* . Isso geralmente é mais conveniente, mas o amplificador operacional tende a ser a parte mais lenta do circuito conversor. Em situações em que você pode usar um conversor com saída de *corrente* , você obterá melhores velocidades e, geralmente, a um preço mais baixo. Algumas vantagens adicionais dos DACs de saída de corrente são: (a) escolha flexível de amplificador operacional corrente para tensão, por exemplo, para minimizar o ruído ou para produzir uma maior oscilação da tensão de saída; (b) a capacidade de combinar várias saídas DAC diretamente; e (c) a disponibilidade de *DACs multiplicadores* (ver próxima subseção), em que

a corrente de saída é o produto do código de entrada digital e um sinal analógico aplicado à entrada Vref .

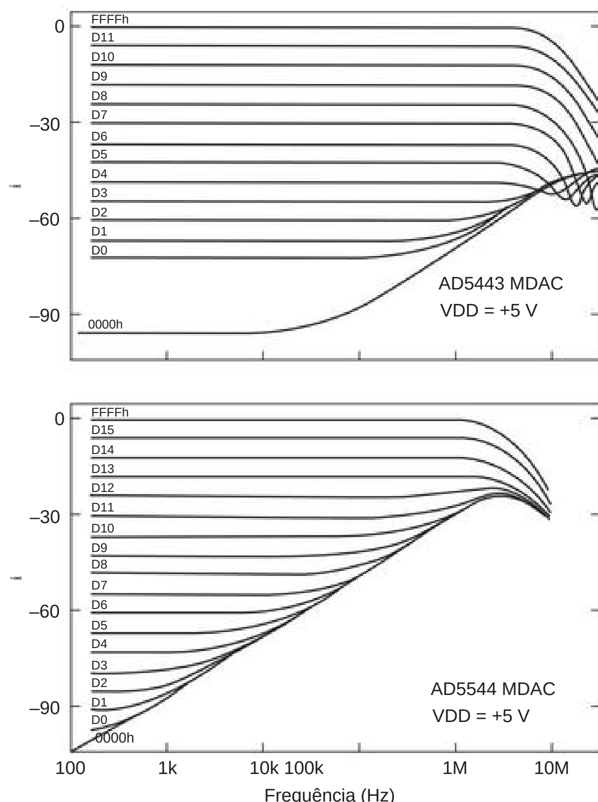


Figura 13.7. A "largura de banda de multiplicação de referência" analógica de um MDAC listada na folha de dados geralmente é especificada apenas para o código de entrada digital máximo; para esses MDACs de dispositivos analógicos, esses valores são 2 MHz e 10 MHz. Esses gráficos, encontrados posteriormente nas folhas de dados, contam toda a história. Embora o AD5544 e o AD5443 sejam projetos semelhantes com números de peça semelhantes, o último tem uma capacidade consideravelmente melhor na região de 0 dB a -40 dB até 10 MHz.

A Figura 13.6 mostra como funcionam esses conversores de "direção atual". As correntes podem ser geradas por uma matriz de fontes de corrente de transistor com resistores de emissor escalados, embora os projetistas de ICs geralmente usem uma escada R-2R de resistores de emissor. Na maioria dos conversores deste tipo, as fontes de corrente estão ON o tempo todo, e sua corrente de saída é comutada para o terminal de saída ou para o terra, sob controle do código de entrada digital. Cuidado com a conformidade de saída limitada em DACs de saída de corrente; pode ser de apenas 0,5 V, embora valores de alguns volts sejam típicos.

Alguns exemplos de DACs de direcionamento de corrente (com entradas digitais seriais e referências internas de tensão) são o LTC1668 (16 bits, 20 ns de tempo de acomodação em uma carga de 50 ÿ como "saída de tensão", conformidade de saída para ± 1 V, cerca de US$ 20) e o TI DAC5682 (duplo, 16 bits, tempo de estabelecimento de 10 ns, conformidade de saída para V+±0,5 V, cerca de US$ 45). Para velocidade *real* , existe o AD9739 (14 bits, 2500 Msps!). Em uma escala mais modesta, há o padrão da indústria DAC/LTC8043 (entrada de referência de tensão externa, 12 bits, tempo de acomodação de 0,25 ÿs, cerca de US$ 6) e o AD/LTC7541 de entrada paralela semelhante.

13.2.4 Multiplicando DACs

Observe que esses dois últimos conversores requerem uma referência de tensão externa, uma aparente desvantagem que pode ser transformada em vantagem: eles aceitam uma faixa contínua de tensões de entrada Vref , *de qualquer polaridade.* Em outras palavras, a saída (corrente) é proporcional ao produto da entrada digital e a tensão de referência analógica: é um "DAC multiplicador" (MDAC). Além disso, o produto pode ser positivo ou negativo; portanto, seu nome completo é "DAC multiplicador de quatro quadrantes". Exemplos de MDACs de quatro quadrantes de resolução mais alta são o DAC8814 de 16 bits (entrada serial) e o DAC8820 (entrada paralela) bastante semelhante. Os DACs multiplicadores especificam sua precisão de conversão (linearidade, monotonicidade) e a largura de banda da entrada multiplicadora analógica (ou seja, Vref); para esses dois conversores, as "larguras de largura de banda multiplicadoras de referência" são 10 MHz e 8 MHz, respectivamente, com preços respectivos de US$ 25 e US$ 15.

Observe que nem todos os DACs são otimizados para uso dessa maneira, portanto, é melhor verificar as folhas de dados dos conversores que você está considerando para obter detalhes. Um DAC com boas propriedades de multiplicação (ampla faixa de entrada analógica, alta velocidade, etc.) geralmente será chamado de "DAC multiplicador" logo no topo da folha de dados. A Tabela 13.3 na página 894 lista os DACs Múltiplos selecionados.

Um cuidado: a largura de banda especificada pode ser seriamente enganosa, devido aos efeitos da passagem capacitiva. A Figura 13.7 mostra esse comportamento, conforme ilustrado nos respectivos datasheets desses dois MDACs.

A multiplicação de DACs (e o equivalente ADC) abre a possibilidade de medições e conversões *raciométricas* . Se algum tipo de sensor (por exemplo, um transdutor de resistência variável como um termistor) for energizado pela mesma tensão que também fornece a referência para o ADC, as variações na tensão de referência não afetarão a medição. Este conceito é muito poderoso, pois permite medição e controle com precisão maior que a estabilidade de referências de tensão ou fontes de alimentação; por outro lado, ele relaxa os requisitos de estabilidade e precisão do fornecimento. O princípio raciométrico é usado em sua forma mais simples no circuito de *ponte* clássico , no qual duas relações são ajustadas à igualdade anulando o sinal diferencial tomado

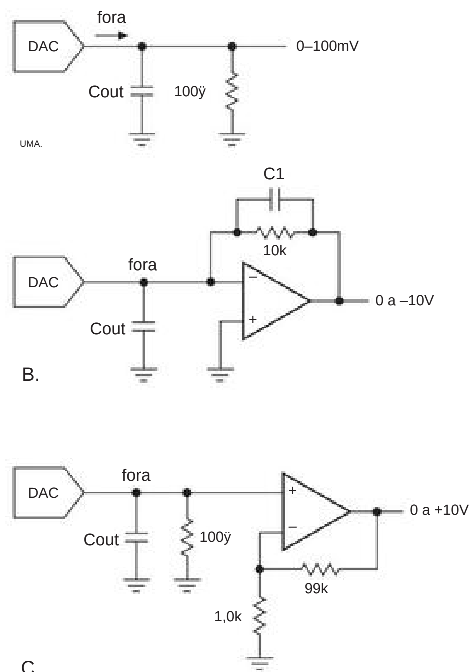


Figura 13.8. Gerando tensões a partir de DACs de saída de corrente.

entre as duas saídas do divisor de tensão. Dispositivos como o 555 (ver §7.1.3) alcançam boa estabilidade da frequência de saída com grandes variações de tensão de alimentação usando essencialmente um esquema raciométrico: a tensão do capacitor, gerada por uma rede *RC* da alimentação, é comparada com uma fração fixa de a tensão de alimentação (3VCC e 3VCC), fornecendo uma frequência de saída que depende apenas das constantes de tempo RC. Teremos mais a dizer sobre esse assunto importante em relação aos ADCs mais adiante neste capítulo.

13.2.5 Gerando uma saída de tensão

Se você escolheu um DAC de saída de tensão, está feito! Mas com um DAC de saída de corrente, você precisa usar um dos vários esquemas para gerar uma saída de tensão. A Figura 13.8 mostra algumas ideias. Se a capacitância de carga for baixa e grandes oscilações de tensão não forem necessárias, um simples resistor para aterramento funcionará bem (mas veja o aviso abaixo). Isso é o que geralmente é feito com DACs de vídeo. Por exemplo, o DAC de vídeo triplo de 10 bits THS8133 gera correntes de saída em escala total de 26,7 mA, que produzem um sinal de vídeo analógico padrão de 1,0 V ao acionar coaxial de 75 ÿ com terminação dupla.

Este método também funciona bem para aplicações gerais: com a corrente de saída normal de 1 mA em escala total, um resistor de carga de 50 ÿ fornecerá uma saída de escala total de 50 mV com impedância de saída de 50 ÿ. Se a capacitância da saída do DAC combinada com a capacitância de carga não exceder 100 pF, você obterá um tempo de estabilização de 50 ns no exemplo anterior, já que a soma do DAC é tão rápida. Ao se preocupar com o efeito das constantes de tempo *RC* na resposta de saída DAC, não se esqueça de que são necessárias algumas constantes de tempo *RC* para que a saída se ajuste dentro do LSB da tensão final. São necessárias 7,6 constantes de tempo, por exemplo, para se ajustar a 1 parte em 2048, que é o que você deseja para uma saída de conversor de 10 bits.

Para gerar grandes oscilações ou amortecer pequenas resistências de carga ou grandes capacitâncias de carga, um amplificador operacional pode ser usado na configuração de transresistência (amplificador de corrente para tensão), conforme mostrado. O capacitor no resistor de realimentação pode ser necessário para estabilidade, porque a capacitância de saída do DAC em combinação com a resistência de realimentação introduz uma mudança de fase atrasada; infelizmente, isso compromete a velocidade do amplificador. É uma ironia deste circuito que um amplificador operacional relativamente caro de alta velocidade (ajuste rápido) possa ser necessário para manter a alta velocidade até mesmo de um DAC barato.[9] Na prática, o último circuito pode oferecer melhor desempenho em alta velocidade , já que nenhum capacitor de compensação é necessário. Cuidado com o erro de tensão de compensação, porque a tensão de compensação de entrada do amplificador operacional é amplificada pelo ganho de tensão (aqui um fator de 100)

Um aviso importante: ao usar DACs de saída de corrente, observe que tanto a precisão inicial (por exemplo, fundo de escala Iout) quanto a estabilidade da saída de corrente podem ser grotescamente ruins, em relação à resolução dos DACs. Não é incomum ver uma dispersão de até 2:1 (!) na corrente de fundo de escala. O que fazer? A maioria dos DACs de saída de corrente inclui um resistor de realimentação integrado, compatível com os resistores R - *2R* , destinado a ser usado com um amplificador operacional externo (Figura 13.9). Se você não usá-lo, poderá ter erros de ganho de ±25% ou mais; e mesmo se você eliminar esse erro de ganho, haverá *desvio de* ganho residual (geralmente não especificado nas folhas de dados) que normalmente será 100 vezes maior do que o obtido com o resistor interno.

Para dar um exemplo, o LTC8043 é uma versão aprimorada do padrão industrial DAC8043 multiplicador de 12 bits.

[8] Mostramos esquemas raciométricos análogos em §§4.3.5, 4.6.4, 7.1.3D e 10.4.5A.

[9] Alguns DACs de saída de corrente têm capacitância de saída surpreendentemente alta, Cout, por exemplo, até 200 pF para o MDAC LTC7541 de 12 bits. Então você precisa de um capacitor estabilizador C1, de valor C1> Cout/2 *f* TRf, conforme discutido anteriormente, cuja por exemplo, §§8.11.6 e *4x.3.* Escolha um amplificador operacional, então, com um fT alto o suficiente para que C1 seja pequeno o suficiente para a velocidade desejada. Alguns DACs de saída de corrente rápida se esforçam para manter Cout pequeno, tão baixo quanto 5 pF.

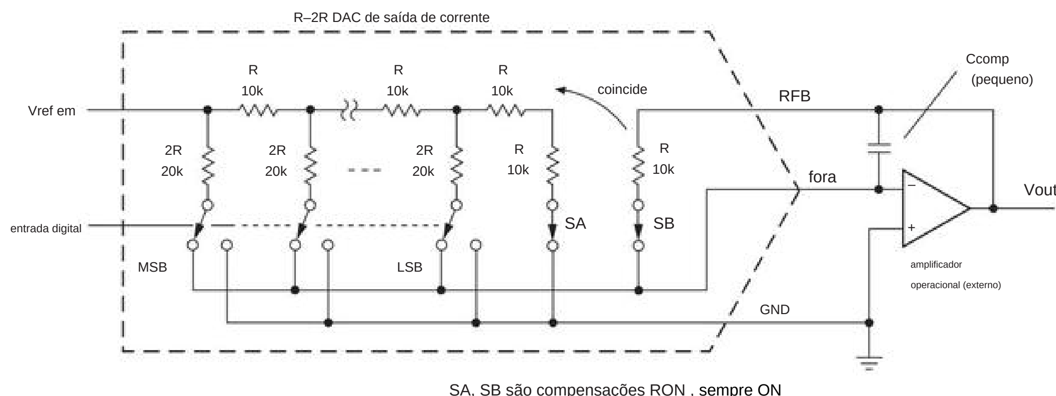


Figura 13.9. R-2R DAC de saída de corrente com resistor de feedback interno compatível com os resistores de rede de precisão, tanto na resistência inicial quanto no coeficiente de temperatura. Ignore a RFB por sua conta e risco!

DAC. No melhor grau (sufixo -E), ele especifica um erro de ganho de ±1% (max) e um tempco de ganho de 5 ppm/ÿC (max). (Também garante não linearidades integrais e diferenciais máximas de ±0,5%; consulte a discussão em §13.4.) Especificações impressionantes. Observe, no entanto, que as especificações de ganho indicam "Usando resistor de realimentação interno". E se você não fizer isso? A ficha técnica não diz! Mas você pode provocar a resposta pelo que ele *diz* , ou seja, que a resistência de entrada da rede R– *2R* (vista na entrada Vref) é 11 kÿ (nominal), com limites de 7 kÿ (min) e 15 kÿ (max). Ou seja, este DAC, que garante uma precisão de ganho admirável de ± 0,024% quando o resistor de feedback interno correspondente é usado em conjunto com um amplificador operacional externo, forneceria um erro de ganho absoluto chocantemente pobre de 10 ± 35% como um conversor de corrente. dispositivo de saída (ou, de forma equivalente, com um resistor de feedback externo e amplificador operacional, para saída de tensão).11

Resumindo: se um DAC de saída de corrente oferece um resistor de feedback interno, você precisa pensar muito antes de decidir não para usá-lo.

Outro resultado final: se você deseja uma faixa de tensão de saída de bipolaridade, pode ficar tentado a reduzir uma corrente de referência (derivada de Vref) da junção de soma na Figura 13.9. *Não faça isso!* Em vez disso, anexe um amplificador de diferença a Vout, usando um deslocamento de Vref/2 para a outra entrada.

13.2.6 Seis DACs

Para dar uma noção melhor do que está por aí, vejamos alguns exemplos de DACs relativamente simples de desempenho modesto. Por "modesto" queremos dizer que esses conversores não ultrapassam os limites de velocidade ou precisão; em vez disso, eles são baratos, compactos e fáceis de usar. Você pode soltá-los em uma placa de circuito e pronto. Mais adiante, em §13.3, veremos algumas aplicações que exigem DACs de maior desempenho; nessas situações, você precisará de circuitos envolventes cuidadosamente projetados para explorar totalmente os recursos avançados do conversor.

Dê uma olhada na Figura 13.10, com referência à Tabela 13.1. Estes foram escolhidos de forma um tanto arbitrária entre os muitos milhares (sem brincadeira!) de DACs disponíveis, embora tenhamos feito um esforço para selecionar dispositivos de vários fabricantes. Eles variam de 8 a 14 bits, com tempos de acomodação de 4 a 10 s. Com exceção de E, todos são dispositivos de saída de tensão.
ÿ

Tomando-o da parte superior da Figura 13.10: A–C são peças de baixa tensão de alimentação única com interfaces seriais, para que possam caber em pequenos pacotes SOT23 ou (ainda mais minúsculos) SC70. O par em A utiliza como referência a tensão de alimentação, sendo a tensão de saída de fundo de escala VFS igual à VDD de alimentação; um usa uma interface SPI (com a seleção de chip usual), enquanto o outro usa uma interface I2C (com o pino de entrada A0 selecionando entre os endereços de barramento predefinidos de fábrica de decimal 76 ou 77).12 Se você deseja uma tensão de referência fixa e estável idade, ao invés de usar VDD, um conversor como o LTC2630 em B é uma boa escolha. Sua referência interna possui adec

[10] Estou chocado, chocado ao descobrir que a imprecisão do ganho e o desvio estão acontecendo aqui!

[11] Você pode perguntar por que um fabricante de circuitos integrados cujos chips fornecem uma precisão excepcional tem problemas para fabricar resistores com uma precisão absoluta "muito boa". Boa pergunta. Acontece que o processo é otimizado para melhor *rastreamento,* com escala geral do resistor apenas de importância secundária.

[12] O DAC7512 do mesmo fabricante substitui SPI por I2C; e o AD5601/11/21 são versões de 8 a 12 bits mais baratas do AD5641 de 14 bits.

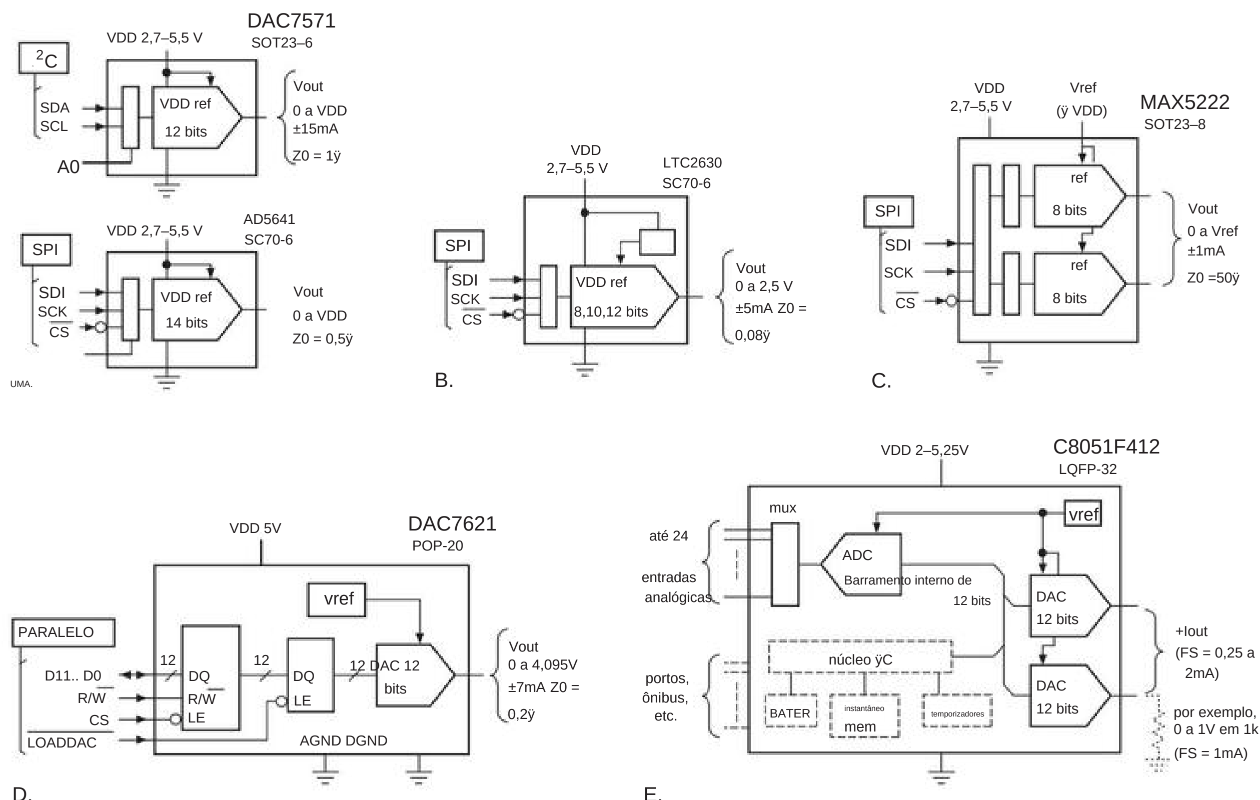


Figura 13.10. Seis DACs, cujas especificações estão listadas na Tabela 13.1. O DAC7571, LTC2630 e MAX5222 na linha superior são típicos de conversores de entrada serial baratos em pacotes pequenos (consulte §14.7 para discussão das interfaces seriais SPI e I2C). O DAC7621 usa uma entrada de dados paralela tradicional; e o C8051 é um microcontrolador de uso geral que inclui um par de DACs de saída de corrente entre seus muitos ativos internos.

estabilidade para um conversor com esta precisão (±10 ppm/ÿC, tipo), embora sua precisão absoluta seja apenas modesta (erro de fundo de escala de ±0,2% tipo, ±0,8% no pior caso). A família LTC2630 inclui uma variante de "alta tensão" com uma referência interna de 4,096 V (portanto, 1,0 mV/LSB), para a qual a faixa VDD é reduzida para 4,5–5,5 V (5 V nominal); também inclui variantes de 8 e 10 bits.

Embora você *possa* imaginar espremer dois conversores em um pacote de 6 pinos (por exemplo, com uma interface I2C de 2 fios e sem escolha de endereço), o conversor em C faz a escolha racional de adicionar dois pinos, que acomodam a porta SPI (três fios, incluindo CS) e permite uma referência externa.[13] Ao reduzir o passo de chumbo (de 0,95 mm para 0,65 mm), este dispositivo de 8 pinos se encaixa no mesmo tamanho de pacote geral (1,6 × 2,9 mm) que o SOT23 de 6 pinos -6.

[13] Uma pequena mosca na pomada aqui é a falta de buffer duplo junto com uma carga útil de dados de 8 bits; assim, os dois canais não podem ser atualizados para valores diferentes simultaneamente.

A linha inferior ilustra um conversor com uma porta de entrada paralela, uma interface que perdeu popularidade, exceto para conversores que operam nas velocidades mais altas (por exemplo, 2500 Msps AD9739 em §13.2.3). Mas existem aplicações para as quais isso é útil, mesmo em velocidades modestas, por exemplo, se você quiser usar a saída de n bits de um contador diretamente: sem microcontrolador, sem programação. . . apenas fios.

Finalmente, o último "conversor" E é na verdade apenas uma bagagem de mão pertencente a um microcontrolador de função completa, completo com memória de programa on-chip (flash ROM), SRAM, temporizadores, portas (paralela, SPI, UART), oscilador preciso e até mesmo um ADC de 24 canais (multiplexado) de 12 bits e 200 ksps. Os DACs duplos usam uma referência interna e produzem uma saída de fonte de corrente (com faixas programáveis de escala completa de 0,25–2 mA, por fatores de 2) com conformidade para 1,2 V abaixo do trilho de alimentação (que percorre uma ampla faixa de 2,0–5,25 V). Ah, e nós mencionamos que essa coisa inclui um núcleo computacional qu

50 milhões de instruções por segundo? Ou que inclui depuração no sistema de velocidade total no chip? Ou que você também pode obtê-lo em um pacote QFN-28 quadrado diminuto de 5 mm? Um desempenho e tanto!

13.2.7 DACs Delta-sigma

A técnica DAC final é um tanto estranha e não tão facilmente compreendida em toda a sua riqueza. (Consulte a Tabela 13.11 na página 939.) Descreveremos isso em detalhes mais adiante no capítulo (§13.9). Grosso modo, a técnica consiste em gerar um trem de pulsos de amplitude fixa, a uma alta taxa de clock, em uma única linha de saída. Esses pulsos são todos da mesma largura e estão presentes ou ausentes em cada intervalo de clock, de acordo com o código de entrada digital. (Você poderia simplesmente gerar um trem regular de pulsos, com um ciclo de trabalho proporcional ao código de entrada; mas o processo delta-sigma é consideravelmente mais sofisticado, conforme explicado em §13.9.) Esse trem de pulso é então filtrado passa-baixa, com um corte bem abaixo da frequência do clock, para gerar a saída analógica.

Às vezes, isso é chamado de "DAC de 1 bit". Esse é um nome seriamente enganoso, porque essas coisas, na verdade, fornecem sinais de saída incrivelmente lineares de alta resolução. Eles são amplamente utilizados em áudio profissional. Um bom exemplo é o ADC duplo (estéreo) ADI AD1955, que fornece saída de áudio analógico de 20 bits (faixa dinâmica de 120 dB) quando sincronizado a 12 MHz.14

13.2.8 PWM como conversor digital-analógico

Um último método de conduzir um sistema analógico a partir de uma grandeza digital é através *da modulação por largura de pulso* (PWM). Isso é qualitativamente diferente dos verdadeiros DACs descritos, porque não gera uma saída analógica diretamente; mas é amplamente utilizado para cargas de energia, como um aquecedor. A ideia é executar um ciclo repetitivo de *N* ciclos de clock, durante o qual a carga é ligada por um número menor de ciclos de clock k e desligada pelo resto, com a fração (ciclo de trabalho) k/N proporcional ao digital entrada (Figura 13.11).
Isso é feito facilmente com um contador, comparador de magnitude e relógio de alta frequência (consulte o Exercício 13.3). A carga de resposta lenta faz a média durante o ciclo completo.
Isso é mais eficiente do que conduzir a carga com um sinal analógico devidamente suavizado, porque o driver é um switch, com pouquíssima dissipação; um interruptor também é mais simples do que um amplificador linear. Essa técnica é popular em amplificadores de potência de áudio "classe D" (§2.4.1C) e em outras aplicações de controle de potência, como motores de passo e servomotores CC (§9.9). Muitos microcontroladores são configurados com modos de timer PWM interno; mesmo faltando isso, você sempre pode programá-lo em software.

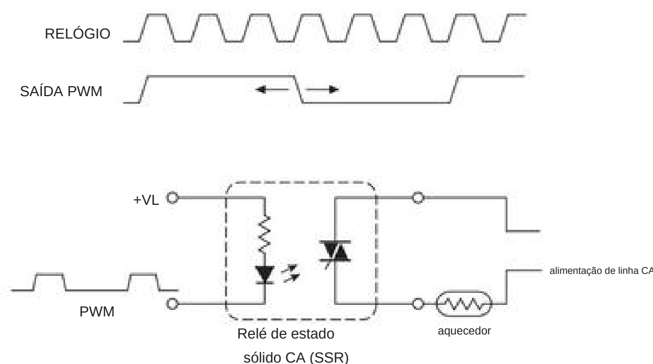


Figura 13.11. Modulador de largura de pulso (PWM) como DAC de tempo médio, para cargas de energia lentas. Para uma carga alimentada por CA (conforme mostrado), o relógio deve estar sincronizado com a linha de força.

Embora um simples filtro passa-baixa possa ser usado para gerar uma tensão de saída proporcional ao tempo médio gasto no estado ALTO (ou seja, proporcional ao código de entrada digital), os moduladores de largura de pulso são mais frequentemente usados quando a própria carga é lentamente sistema de resposta. O modulador de largura de pulso gera então parcelas precisas de energia, calculadas em média pelo sistema conectado como uma carga. Por exemplo, a carga pode ser capacitiva (como em um regulador de comutação, consulte o Capítulo 9), térmica (um banho termostatizado com aquecedor), mecânica (um servo de velocidade de fita, motor de velocidade variável ou motor de passo) ou eletromagnética (um grande controlador de eletroímã).

As saídas PWM são atraentes tanto por sua simplicidade quanto por sua combinação natural com dispositivos digitais como contadores e interruptores de controle de potência (MOSFETs); mas há algumas compensações sérias. Por exemplo, para obter alta resolução de PWM para a fração k/N , precisamos de um grande N. Mas o temporizador tem uma taxa de clock máxima fclk, que define uma taxa de ciclo mais baixa fc = fclk/N. Para um PWM que está dentro de um loop de realimentação (como na discussão sobre PWM em §15.6), isso implica em ganho e largura de banda de loop reduzidos.

Na prática, você provavelmente encontrará hardware PWM digital em um microcontrolador. Às vezes, você pode escolher um C específico por causa de seus recursos de PWM, mas na maioria das vezes não. § Por exemplo, mais adiante em §13.9.11B, escolhemos o MSP430F2101 da TI porque ele possui um comparador de log analógico. Então, que tipo de PWM se obtém na família MSP430x2xx? Esta informação não está no

14 Ele trapaceia, no entanto, gerando vários fluxos paralelos de 1 bit internamente; é um ADC delta-sigma "multibit". Mais sobre isso e outras diversões delta-sigma, em §13.9.

Tabela 13.1 Seis Conversores Digital-Analógico

Canais Resultado bits	Total V Cost tsettle mín max É qtd 1 \$US (ÿs) (V) (V) (ÿA) barramento/Mbps	Erro de tipo de referência	Resultado Zout Iout (ÿ) (mA) pkg alfinetes
DAC7571 12 1 V 10 2,7 5,5 140 I2C / 4,8 VDD 0,2% 1 ±15 SOT23 6 4,65 VDD 0,04% 0,5 ±5 SC70 6 5,40 2,5c 0,8% 0,08 ±15			
AD5641 14 1 V 6	2,7 5,5 75 SPI / 30	SC70 6 3,70	
LTC2630 12a 1 V 4.4	2,7 5,5 180 SPI / 50		
MAX5222 8 2 V 10 2,7 5,5 380 SPI / 25		ext 10mV 50 ±1 SOT23 8 3,00	
DAC7621 12 1 V 7	4,7 5,3 500 paralelo 4,096 0,4% 0,2 ±7 SSOP 20 7,00 2 5,3 Iout ÿC interno 2mAe 2% CS		
C8051F412 12 2 E 10	NA LQFP 32 7,80		

Notas: (a) 10 bits e 8 bits disponíveis, US\$ 2,63. (b) lógica 5V OK. (c) escolha de VDD ou Vref, 2,5 V ou 4,096 V disponíveis. (d) tamponamento duplo. (e) software seleciona 0,25mA a 2mA, por fatores de 2. (f) conformidade com VCC–1,2V. (m) máx.

folhas de dados de 52 ou 88 páginas; tivemos que consultar o "Guia do usuário da família MSP430x2xx" de 693 páginas, onde 40 páginas foram dedicadas aos temporizadores A e B.

A Figura 13.12 mostra o membro MSP430F2002 desta família de microcontroladores (que possui um ADC de 10 bits em vez de um comparador) acionando um motor de torque CC. Arranjamos quatro MOSFETs com um driver H-bridge e o sinal PWM do controlador para definir a corrente. Ingenuamente, você esperaria que um ciclo de trabalho de 50% correspondesse a zero de corrente do motor; mas isso é verdade apenas quando o motor está parado, porque o "back EMF" do motor perturba esse conceito simples. Aqui usamos dois resistores de detecção para medir as correntes direta ou reversa, com um par de amplificadores de instrumentação G=80 (§5.15) para informar o ADC do C para que ele possa servir o PWM para definir a corrente do motor desÿjada e

torque.15 Os amplificadores podem operar a partir de uma única fonte se seu pino de referência de saída for de pelo menos +0,8 V (consulte a Tabela 5.8 na página 363); aqui usamos um IC do tipo zener de 1,25 V, consulte ence.

O microcontrolador possui um par de temporizadores de 16 bits com seletores e divisores de entrada programáveis. Eles podem rodar a uma velocidade de até 16 MHz, o que resulta em uma frequência de ciclo de fc=244 Hz se usarmos a resolução total de 16 bits. Você pode programar o comprimento *N* para menos de 216, mas lembre-se de que os outros usuários do temporizador terão que aceitar sua escolha.

O Timer A tem dois registros de captura/comparação (CCR1 e CCR2), que podem ser usados no modo de comparação para gerar duas saídas PWM (CCR0 já é usado para definir N). Por exemplo, digamos que precisamos de uma taxa de ciclo mais rápida de fc=10 kHz e mantemos o clock máximo de 16 MHz. Definimos o módulo do contador N= fclk/ fc =1600 contagens, e nosso PWM

[15] Em vez disso, você poderia usar um amplificador diferencial entre os dois resistores de detecção, com um único canal ADC digitalizando o sinal de bipolaridade resultante.

resolução será limitada a. . . cerca de 10 bits. Minha nossa, apenas 10 bits?16

Este exemplo ilustra que uma alternativa favorável ao PWM pode envolver a conexão de alguns DACs externos a um microcontrolador. Outra possibilidade é conduzir o comutador MOS FET com o fluxo de bits interno (se fornecido em um pino externo) de um DAC delta-sigma, com sua resolução melhorada-largura de banda (em comparação com fc = fclk/N para o PWM simples).17

Exercício 13.3. Projete um circuito para gerar um trem de pulsos de 10 kHz de largura proporcional a um código de entrada binário de 8 bits. Use contadores e comparadores de magnitude (devidamente expandidos).

A. Um PWM DAC incomum

Encerramos a discussão sobre PWM mencionando um DAC incomum da Linear Technology. Seus LTC2644 (dual) e 2645 (quad) são conversores PWM para DAC (um DAC com uma entrada PWM digital). Cada canal mede o ciclo de trabalho (fração de tempo ALTO) durante cada ciclo PWM de entrada e imediatamente apresenta *e mantém* a tensão de saída correta correspondente. Esses dispositivos específicos estão disponíveis em versões de resolução de 8, 10 ou 12 bits, com referência de tensão interna de 10 ppm/ÿC e saída de tensão monotônica trilho a trilho. Eles são uma grande melhoria em relação à técnica clássica de filtragem passa-baixa de uma entrada PWM. As possibilidades são alucinantes!

[16] Em aplicações acionadas por motor, muitas vezes é desejável manter a frequência de acionamento acima da audibilidade, para que você não enlouqueça as pessoas. Neste exemplo, teríamos que usar um módulo N=800 ou menos, descartando outro bit de resolução de controle.

[17] Existem famílias de ICs, destinadas a estágios de saída de potência de áudio de alto-falante, que aceitam um fluxo de entrada digital em um padrão de áudio para esteira (como I2S) e criam como saída uma forma de onda de comutação semelhante a ÿÿ para acionar um MOSFET H- ponte. Alguns deles incluem os MOSFETs on-chip – uma solução de PCM para alto-falante de chip único.

Machine Translated by Google

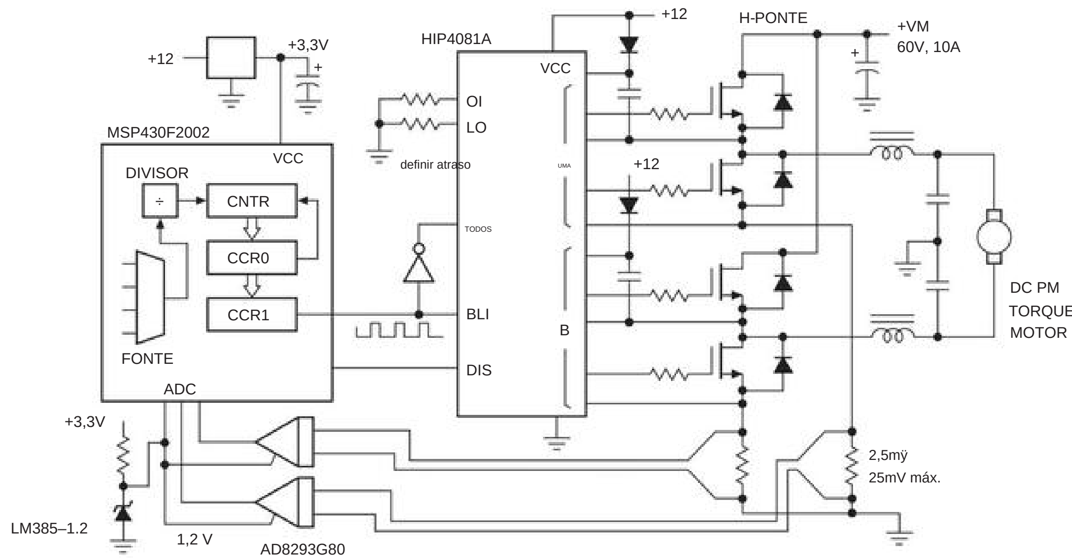


Figura 13.12. Controlando um motor de torque com modulação por largura de pulso.

13.2.9 Conversores de frequência para tensão

Em aplicações de conversão, a entrada "digital" pode ser um trem de pulsos ou outra forma de onda de alguma frequência; nesse caso, a conversão direta para uma tensão às vezes é mais conveniente do que a alternativa de contar por um tempo predeterminado e, em seguida, converter a contagem binária como nos métodos anteriores. Na conversão F/V direta, um pulso padrão é gerado para cada ciclo de entrada; pode ser um pulso de tensão ou um pulso de corrente (ou seja, uma quantidade fixa de carga).

Um filtro passa-baixa *RC* ou integrador calcula a média do trem de pulso, fornecendo uma tensão de saída proporcional à frequência média de entrada. É claro que alguns resultados de ondulação de saída e o filtro passa-baixa necessário para manter essa ondulação menor que a precisão D/A (por exemplo, $\frac{1}{2}$LSB) irão, portanto, causar saída lenta. Para garantir uma ondulação menor que a saída, o filtro de $\frac{1}{2}$LSB constante de tempo deve ser pelo menos ÿ de um passa-baixa *RC* ÿ simples ÿ 0,69(n + *1)T0,* onde T0 é o período de saída do conversor F/V de n bits correspondente à frequência máxima de entrada. A saída desta rede *RC* se ajustará a $\frac{1}{2}$LSB, após uma mudança de escala completa no in coloque, em 0,69(n + 1) constantes de tempo do filtro. Em outras palavras, o tempo de acomodação da saída para $\frac{1}{2}$ aproximadamente LSB será 0,5(n + 1)2 T0. Um conversor F/V de 10 bits com frequência de entrada máxima de 100 kHz, suavizada com um filtro *RC* , terá um tempo de ajuste da tensão de saída de 0,6 ms. Com filtros passa-baixo mais complicados (corte preciso), você pode obter um desempenho aprimorado. Antes de se deixar levar pelo design sofisticado do filtro, no entanto, você deve se lembrar que F/V

As técnicas são usadas com mais frequência quando uma saída de tensão não é necessária. Para obter alguma perspectiva, consulte a discussão anterior sobre cargas intrinsecamente lentas em relação à modulação por largura de pulso (§13.2.8).

13.2.10 Multiplicador de taxa

Este é um método um tanto rarefeito, de utilidade ocasional *(muito* ocasional!). Um "multiplicador de taxa" é um bit de lógica síncrona de clock que aceita uma quantidade de entrada digital multibit (binária ou BCD) e que passa (ou bloqueia) pulsos de clock para sua única linha de saída com uma taxa *média* proporcional a essa quantidade digital. Você pode obtê-los como lógica padrão (CD4089, CD4527 ou SN7497) ou pode criar o seu próprio. Então a média simples, como no conversor F/V anterior, pode ser usada para gerar uma saída CC proporcional ao código de entrada digital, embora neste caso a constante de tempo de saída resultante possa ser intoleravelmente longa, porque a saída do multiplicador de taxa terá que ser calculada a média por um tempo igual ao período de saída mais longo que ele pode gerar (ou seja, *2n/* fclk para um multiplicador de taxa com uma entrada de configuração de taxa de n bits). Assim como no PWM, os multiplicadores de taxa são mais úteis quando a média da saída é intrinsecamente calculada pelas características de resposta lenta da própria carga.

Uma aplicação para a qual isso é adequado é o controle digital de temperatura, em que ciclos completos de energia CA são alternados no aquecedor para cada pulso de saída do multiplicador de taxa. Nesta aplicação, o multiplicador de taxa é organizado de forma que sua frequência de saída mais baixa seja um submúltiplo integral

de 120 Hz, e um relé de estado sólido (ou triac) é usado para alternar a energia CA (em cruzamentos zero de sua forma de onda) de sinais lógicos.

Observe que as últimas quatro técnicas de conversão envolvem alguma média de tempo, enquanto os métodos resistor-ladder e fonte de corrente são "instantâneos", uma distinção que também existe nos vários métodos de conversão analógico-digital. O fato de um conversor calcular a média do sinal de entrada ou converter uma amostra instantânea dele pode fazer uma diferença importante, como veremos em breve em alguns exemplos.

13.2.11 Escolhendo um DAC

Para orientá-lo na escolha de um DAC para uma aplicação específica, reunimos nas Tabelas 13.2 e 13.3 uma seleção representativa de DACs de várias precisões e velocidades.
Esta lista não é exaustiva, mas inclui muitos dos conversores mais populares e algumas entradas mais recentes que deveriam ser substituições aprimoradas.

Ao procurar um DAC para alguma aplicação, aqui estão algumas questões a ter em conta:

1. resolução;
2. velocidade (tempo de acomodação, taxa de atualização); 3. precisão (linearidade, monotonicidade; ajuste externo necessário?); 4. estrutura de entrada (paralela ou serial? travada? Compatível com CMOS/TTL/ECL?);
5. referência (fornecida interna ou externamente? se externa, MDAC?);
6. estrutura de saída (saída de corrente? conformidade? saída de tensão? faixa?); 7. tensões de alimentação necessárias e dissipação de energia; 8. DACs simples ou múltiplos por pacote; 9. estilo do pacote; 10. preço.

13.3 Alguns exemplos de aplicativos DAC

É sempre útil fazer um tour guiado por um exemplo de aplicação do mundo real, para ter uma noção dos detalhes onde o diabo reside. É incrivelmente fácil montar um circuito que não oferece nem de longe o desempenho de que seu conversor é capaz. Os quatro exemplos nesta seção ilustram algumas das coisas com as quais você deve se preocupar ao usar um DAC.

13.3.1 Fonte de laboratório de uso geral

Em nossos laboratórios de pesquisa é comum o controle de parâmetros experimentais com tensões analógicas de baixo ruído, que precisam ser altamente estáveis em temperatura e tempo. Por exemplo, armadilhas eletromagnéticas para íons e moléculas requerem tensões precisas aplicadas a pares de placas eletrostáticas e correntes precisas através de bobinas. Dada a diversidade de aplicações, a faixa de saída deve ser selecionável tanto em polaridade quanto em amplitude.

A Figura 13.13 mostra a extremidade comercial de um produto popular (o “BabyDAC”18) do Laboratório de Projeto de Instrumentos Eletrônicos de nossa universidade. O núcleo é o AD5544, um DAC multiplicador de saída de corrente quádruplo de 16 canais que aceita uma tensão de referência externa e gera um conjunto de quatro correntes em um nó externo mantido no aterramento. Você gera uma saída de tensão com um amplificador operacional externo, usando o resistor de realimentação interno correspondente. A estrutura interna de cada canal é uma escada R-2R acionada por Vref e um conjunto de chaves que conectam cada perna *2R* à saída Io ou ao terra. A tensão de referência externa pode ser de qualquer polaridade, na faixa de ±10 V. Na verdade, pode ser um *sinal* cuja tensão instantânea é multiplicada pelo código de entrada digital para produzir um sinal de saída (portanto, um "DAC multiplicador") ; em tal aplicação, ele tem uma largura de banda de sinal para frequências de áudio e além.19 Para esta aplicação, o projetista usou um Vref estático, derivado da série ADR440 de baixo ruído de referências de tensão (§9.10.3) com base em um JFET analógico da referência de bandgap BJT padrão. O circuito externo é montado para fornecer faixas de tensão de saída selecionáveis por jumper, tanto unipolaridade quanto bipolaridade; assim, J1 seleciona uma tensão de referência de +5 V ou +10 V. O jumper J3 seleciona um ganho de -2 para o amplificador de saída, dobrando o alcance da saída de *U1a ;* e o jumper J2 compensa a saída pelo valor selecionado de Vref.

Com esses três jumpers, você pode selecionar qualquer uma das seis faixas Vout listadas na figura.

Esse é o circuito básico. Com componentes ideais, a saída seria precisa, silenciosa e sem desvios. Porém, vivemos em um mundo real, no qual temos que escolher entre os componentes disponíveis para fornecer o melhor equilíbrio entre os compromissos necessários. Para o tipo de aplicações de laboratório que temos em mente, estabilidade e baixo ruído são fundamentais. No departamento de ruído, a referência de tensão é geralmente o maior causador de problemas, portanto, a escolha do

18 Uma das centenas de circuitos e instrumentos elegantes do sempre prolífico Jim Macarthur, o guru do design da EIDL.

19 Cuidado, aqui: a folha de dados lista uma “largura de banda de multiplicação de referência” de 2 MHz, mas é medida em código digital em escala total. A largura de banda é mais ou menos 20 kHz se você quiser um controle digital de 0 a ÿ50 dB. Consulte §13.2.4.

J1	J2	J3	VOUT
—	—	—	0 a +5
×	—	—	0 a +10 –
—	×	—	5 a 0 –10
×	×	—	a 0 –5 a
—	×	×	+5 –10 a
×	×	×	+10

CC: 10nF (~1kHz); R1, R2: matrizes de precisão 10.0k, por exemplo, tipo Vishay PRA100I4

Figura 13.13. Fonte de laboratório programável de uso geral, projetada com o DAC5544 de quatro canais para baixo ruído e boa estabilidade. Use um isolador para os sinais de link digital SPI para minimizar o ruído digital acoplado.

ADR445 de "ruído ultrabaixo", entre os mais silenciosos com seu ruído típico de baixa frequência (0,1–10 Hz) de aproximadamente 2 Vpp. Sua ÿ especificação de desvio também é muito boa (1 ppm/ÿC típico, 3 ppm/ÿC máx).20 O ruído de referência pode ser reduzido pela filtragem *RC* (consulte a Figura 13.19 na página 898 para obter um exemplo) ou, se você re desesperado, paralelizando as saídas de várias referências (com pequenos resistores de lastro para garantir o compartilhamento de corrente). Os amplificadores operacionais são silenciosos em comparação: 0,1 Vpp (máximo) de ruído de baixa frequência; da ÿ mesma forma, o ruído contribuído pelo DAC é insignificante.

Neste circuito, os ganhos do amplificador operacional são reduzidos em torno de 1 kHz para minimizar o ruído de alta frequência na saída (com origem na referência e nas falhas de alteração de código do DAC). Essa largura de banda foi escolhida de forma um tanto arbitrária, na suposição de que as saídas não vão mudar rapidamente. A largura de banda de saída poderia ser ampliada em uma década se o DAC estivesse sendo programado perto de sua taxa máxima. Ou, para um aplicativo que é basicamente quase estático, você pode limitar ainda mais a largura de banda.

Para a *estabilidade* de saída é comum procurar especificações de desvio com a temperatura e com o tempo. Os tempcos de tensão típicos aqui são 1 ppm/ÿC para a referência e para o DAC (portanto, o ganho: o tempco em escala total correspondente é 5 V/ÿC ou 10 ÿ/ÿC), e 0,3 ÿV/ÿC (típico) para os amplificadores operacionais. Com amplificadores operacionais de entrada BJT, você precisa se preocupar com a corrente de polarização de entrada e seu tempco. Para esses amplificadores operacionais, a corrente de polarização é de 3 nA (tipo), sem tempco tabelado; no entanto, há um gráfico insatisfatório de IB versus temperatura que sugere um tempco na faixa de 5 pA/ÿC. Com a impedância de 5k (ou menos) do circuito vista nas entradas do amplificador operacional, isso equivale a um desvio de 25 nV/ÿC , totalmente insignificante em comparação com tudo o mais que está acontecendo.

Os fabricantes tendem a ser tímidos em especificar o desvio ao longo do *tempo.* Para os componentes aqui, não há especificação de desvio de longo prazo para o DAC ou amplificadores operacionais. A referência de tensão ADR445 especifica um desvio típico de 50 ppm em 1.000 horas, mas com uma nota de rodapé interessante que diz "A especificação de estabilidade de longo prazo não é cumulativa. O desvio no período subseqüente de 1.000 horas é significativamente menor do que no primeiro período de 1.000 horas."21

[20] Você obteria um desvio menor com o MAX6350, o melhor da categoria, a 1 ppm/ÿC no máximo, mas com ruído um pouco maior: 3 ÿ Vpp.

[21] Curiosamente, alguns fabricantes preferem especificar o desvio de longo prazo por *raiz quadrada* do tempo, sugerindo um desvio decrescente à medida que a peça envelhece ou talvez um passeio aleatório. Um exemplo é o surpreendente zener LTZ1000, com um desvio de longo prazo especificado de V/ÿ kHr (typ) e ÿ um tempco típico declarado de 0,05 ppm/ÿC. 2

Tabela 13.2 Conversores D-para-A selecionadosa

Pacotes, Pins

colono Custo Quantidade total de fornecimento 25 min máx .

Part # Bits (ÿs) ($US) (V) (V) (mA)

AD5300 8 6 1 V 2,28 2,7 5,5 · 0,14 S - · - - 86 - 1 V 0,60 2,7 5,5 · 0,21 I - - -66 · N,Z6 5,5 · 0,001 S - · --16 16 - B,D 2,6 P · - · - - ▪ A,J

MCP4706 8 6 · · 16 16 - E 3,6 P · - · - - · · 16 16 - E,F 0,06 2 - - 1,28 O - C,K 0,52 3,3 RS 5 I - 1,25 6 - A 0,56 S - A,G,K,L 5 M - 2,5

AD8801 8 0.6 8 V 6.20 3 DAC0808 8 0.15 1 1.30 7 - ··· - ▪

36 - DAC08 8 0.085 1 1.70 2.75 5.5 0.12 AD5330 12 1 V 3.81 4,5 - ▪

5,5 · DAC121 12 1 V 2,07 2,7 5,5 · DAC7551 12 1 V 1,75 - ▪

-

- ▪

10 -

8 - ▪

7 - - - - · 88 --- - ▪

6 1 V 0,80 2,7 5,5 · 0,20 E - · - Vs · · - - - - -6 -

AD7845 12 5 1 V 10,00 28 32 - 4,6 P · · - ▪ - - ▪ ▪ ▪

MCP4921 12 4,5 1,2 V 1,64 2,7 5,5 · 0,20 S - · - ···· - 88 8 - - 2 V 10,56 2,7 5,5 · 4,3 S - · 2 ··· - · - 8 20 - - 8 V 14,87 2,7 5,5 · 16 S - · 2 - 20

TLV5638 12 1 TLV5630 20 - - 3,3n 100 P - · 1,2 · - · - - - 48 - - I 56,00 1,8 3,3 · 250 - L 16 16 A,V 0,050 0,5 S - - 208 20 Z3 - W 1,1

12 1 DAC5672 14 0,020 ▪ ▪ - - ▪

2 I 22,42 ▪ - -

AD9739 14 0,013 1 AD5660 -

16 10 1 V 5,90 4,5 5,5 DAC8564 16 10 4 V 11,91 2,7 5,5 · LTC2656 -

16 8,9 8 V 29,50 2,7 5,5 0,20 16 16 AD5060 16 1 V 12,07 2,5 5,5 14 14 46 - ▪

▪ ▪

- ▪ ▪ - ▪ ▪

I 18,81 +5 e -5n - 3,33 P · · 2,5 · - - - · - - 28 - - -

· 1.2 · - · - - ··· - 64 - Z2

AD5780 18 2.5 1 V 32,23 5 33 - 10,10 S · · 1 V 28,98 2,7 5,5 · 0,85 S - · 1 V - ▪ - ▪ - ▪ ··· - 24 · A,Z3

DAC9881 18 5 53,53 10 33 - 4,2 S · · - ··· - - ··· - 24 · C,Z4 - - 20 - -

AD5791 20 1 - · - - - - ▪ Z5

Notas: (a) ver também MDAC Tabela 13.3; listados aumentando a resolução e, em seguida, a velocidade. (b) tensão V; I-atual. (c) opera a partir de uma única fonte positiva. (d) serial 2 - 2 fios; I - I2C; L - LVDS paralelo; P - paralelo; S - SPI. (e) 2 = 2,048; 4 = 4,096. (g) pode usar ext ref. (n) nominal. (o) versão não-R. (t) típico.

Comentários: **A:** power-on para 0V. **B:** ligar para midscale. **C:** power-on para 0V ou midscale. **D:** TrimDAC, substituição do potenciômetro, Zout=5kÿ. **E:** multiplicando, para ~1MHz. **F:** conformidade com –10V e +18V. **G:** buffer duplo para atualização simultânea. **H:** 14 bits=AD5640, 16 bits=AD5660; 0,2%, 5ppm/ºC ref. **J:** ganho digital e ajuste de offset. **K:** DAC8512 2ª fonte. **L:** liga em 0V mais um pino CLR. **M:** estado de inicialização da EEPROM no chip. **N:** multiplicando, para 600kHz. **O:** multiplicando, para 450kHz; Dual de 14 pinos = 4922. **P:** ligar para hi-Z. **Q:** tempo de acomodação programável. **R:** 10 bits=TLV5631; 8 bits = TLV5632. **S:** 275Mps; 1,5 ns a 90%; DAC2904, AD9767 2ª fonte. **T:** Síntese de RF, 2,5 Gsps. **U:** versão ref ext =5662; 0,2%, 5ppm/ºC ref. **V:** 14 bits=DAC8164; 12 bits=DAC7564; baixa falha; 0,004%, 2ppm/ºC ref. **W:** 0,2%, 2ppm/°C ref; também 4.096 Vref e versões de 12 bits. **X:** 2ppm/°C ref. **Y:** multiplicando, para ~1MHz; baixa falha; 0,1 ppm/°C; 12nV/ÿHz; saída sem buffer. **Z:** baixa falha; 50Mps; Versões de 12 bits e 14 bits. **Z2:** 1 Gps; FIF; relógio PLL; filtros digitais no chip. **Z3:** 8nV/ÿHz; 0,02ppm/ºC; 3 suprimentos pwr; "sistema pronto." **Z4:** 0,3ppm/ºC; 24nV/ÿHz. **Z5:** 0,05ppm/ºC; 7,5 nV/rtHz. **Z6:** 10 bits=MCP4716; 12 bits = MCP4726.

Como observamos no início, para a aplicação pretendida, o ruído e o desvio são os mais importantes. Em contraste, a precisão absoluta não é particularmente impressionante: as especificações de pior caso são ±200 ppm para a referência de tensão, ±75 V para os amplificadores operacionais e erro de ganho de escala ÿ total de ±3 mV para o DAC. Traduzido para unidades de passos LSB de 16 bits e considerando a faixa de saída como ±10 V (para o qual um LSB é 0,3 mV), eles correspondem a ±13 LSB, ±0,5 LSB e ±10 LSB.

13.3.2 Fonte de oito canais

Se sua aplicação não precisa da flexibilidade de polaridades de saída e fatores de escala do último exemplo, e se você pode tolerar um pouco mais de ruído e desvio, você pode se sair muito bem com um DAC de saída de tensão de seção múltipla totalmente integrado, por exemplo o LTC2656 na Figura 13.14. Este IC específico inclui uma referência de tensão interna de boa estabilidade (±2 ppm/ÿC típico, ±10 ppm/ÿC máx.), com um tempco típico de escala completa de 1 ppm/ÿC para o DAC

Tabela 13.3 Multiplicando conversores D-para-A

Papel #		Suprimentos de energia	tipo	@Vpp	Pacotes, Pins	Comentários
bits tsettle type (ÿs) Canais Custo 25 ($US) Positivo Negativo qtde min max min max (V) (V) (V) (V) (V)		Interface tipo (ÿA) tipo (dB) @Vpp (V) Ruído	(MHz)	(V)	Feedthrough (MHz) SOIC TSSOP Menor	
AD8842 8 2,9 8 V 13,71 4,75 5,25 4,75 5,25 ±3 TLC7528 8 0,1 2 I 3,47	±3	10 S -80 4 78 - ±25 ±25 2000	1,5	0,1	0,25 24 24 - - 20 20	UMA
4,75 15 MCP4921 12 4,5 1 V 1,64 2,7 5,5	-	P -85 6 - 0 a Vs 0 a Vs 200 S -73 0,4 - - ±10 ±0,5 100	-	-	20 - 8 8 8 - 18 18 - 20	B
	-	P - - ±10 ±0,3 0,005 S,P -83 17 35 - ±10 ±0,5 100m S	0,45	0,4	-	C
AD/LTC7541 12 0,6 1 I 6,00 5 16 I 7,78 3 5,5	-	-108 17 17m - ±10 ±0,3 0,6m S -81 3,5 25 - ±15 ±0,3	-	-	-	D
AD7943,5,8 12 0,6 1 I 8,10 4,75 5,25 - I 4,87	-	0,8 P -105 - 18 AD5544 16 0,9 4 I 27,43 2,7 5,5 0 5,5	-	-	2 16 20 20 - 1 888- 7	E
LTC8043 12 0,25 1 3 5,5 I 6,38 2,5 5,5		±15 ±0,3 5m S -98 5 7	-	-	10e - - 10 - 7 0,8 - -	F
AD5443 12 0,06 1	-		10		20 - 5 - 28 32 0,3 2828 - 48	G
DAC7821 12 0,05 1	-		10			H
			5		- -	EU J
DAC8814 16 0,5 4 I 29,06 2,7 5,5 I 16,98 2,7 5,5 I	-	- ±15 ±0,3 2 S -105 5 12 - ±15 ±0,3 5m P -105 17 10	10		-	J
DAC8820 16 0,5 1 1 57,43 2,7 5,5	-	- ±15 ±0,3 0,5 P -110 5 13	8		0,15 - 1e	k
LTC2757 18 2.1	-		-	-	-	eu

Notas: (a) listadas por aumento de precisão e velocidade; todos são monotônicos e possuem travas, exceto AD/LTC7541; veja também DAC Tabela 13.2. (b) o acoplamento capacitivo causa uma saída ascendente de 6dB/oitava (a partir do valor digital desejado de atenuação) em altas frequências; o valor listado é a frequência na qual há um aumento de +3dB em relação a uma atenuação programada de –40dB (ou seja, uma atenuação real de –37dB). (c) serial 2 - 2 fios; I -I2C; P - paralelo; S - SPI; L - LVDS paralelo. (d) passagem de 65dB a 100kHz. (e) Perda de 3dB, em vez de passagem. (m) mín ou máx. (n) nominal. (t) típico.

Comentários: **A:** transportador de corrente, Vout=Vin x (D/128 – 1). **B:** 2ª fonte para AD7528. **C:** MCP4922=dual. **D:** feedthru de 80dB @ 10kHz e full-swing.
E: AD7543, -45 e -48 melhorados; AD7545 e -48 são interface paralela. **F:** também DAC8043. **G:** 10 bits=AD5432, 8 bits=AD5426. **H:** leitura paralela.
I: 14 bits=AD5554. **J:** redefinir para zero ou meio de escala. **K:** redefinir para zero. **L:** buffer duplo, readback, redefinido para zero.

saídas. O ruído de saída de baixa frequência (0,1–10 Hz) do DAC é de 8 Vpp, típico. Isso é quatro vezes a tensão de ruído do exemplo anterior, levando em consideração o span de saída mais limitado (0–2,5 V), representa uma contribuição de ruído relativo ainda maior. A boa notícia é a relativa simplicidade desta parte: nenhuma referência externa ou amplificadores e operação a partir de uma única fonte positiva.

A interface digital SPI é simples e limpa: cada transferência é de 24 bits, com 4 bits para especificar o número do canal (com opção de carregar todos os canais com o mesmo valor), 4 bits para especificar a operação e 16 bits para transportar o valor digital. Cada canal tem buffer duplo, então você pode carregar o próximo valor no buffer de entrada de cada canal e, em seguida, transferi-los simultaneamente para o registro do DAC para que todas as saídas mudem para seus novos valores ao mesmo tempo.

13.3.3 Fonte de corrente de bipolaridade de ampla conformidade Nanoamp

Aqui está uma aplicação incomum e uma implementação de circuito de considerável sutileza, usando um DAC de saída de corrente de alimentação dupla: suponha que você precise de uma fonte de corrente programável que possa operar em uma ampla faixa de tensão (digamos ± 10 V) durante a alimentação (ou dissipação) correntes muito pequenas (na faixa de nanoamp, digamos). Você pode precisar disso para medir as características V-I de um semicondutor no baixo fim de sua faixa atual, ou talvez para uma aplicação de pesquisa, como as propriedades elétricas de nanofibras. Outra aplicação pode ser cancelar a corrente de fuga de entrada de um dispositivo de medição de alta impedância, por exemplo, um multímetro digital de 8 dígitos com um frontend JFET (um par JFET discreto combinado ou um amplificador operacional de entrada JFET de precisão), no qual o a corrente de fuga aumenta rapidamente (mas previsivelmente) com a temperatura.[22] Tal instrumento poderia armazenar uma tabela de fuga versus temperatura, medida durante a calibração inicial, para ser usada em conjunto com um sensor de temperatura para programar a corrente de cancelamento durante a operação normal. Os DACs de saída de corrente não operam com sucesso nessas correntes e, além disso, eles geralmente não fornecem saídas que podem fornecer e drenar corrente sob o controle de um código de entrada digital.

Este circuito (Figura 13.15) é complicado e muito confuso no início. Trabalhe conosco, aqui, e você conseguirá (eventualmente). Um componente essencial é o circuito de fonte de corrente flutuante simples (Figura 13.16), no qual um amplificador operacional seguidor com uma tensão adicional V0 na saída inicializa um resistor de realimentação *R* para criar uma corrente V0/R. Essa tensão pode ser criada polarizando uma referência do tipo zener, conforme mostrado; ou

[22] Foi um circuito análogo no multímetro 34420A da Agilent (consulte §5.12.5) que inspirou este exemplo. (O circuito deles usava uma referência de tensão no lugar de R3, permitindo o uso de uma única saída DAC. Eles também usavam um Rs menor , de modo que a faixa de saída era de ±2 nA.)

Machine Translated by Google



Figura 13.14. DAC de saída de tensão de oito canais.

pode surgir de uma corrente que flui através de um resistor que retorna à saída do amplificador operacional.

Agora, para o circuito completo da Figura 13.15. O DAC08 é antigo (por volta de 1984), com um par de saídas de dissipação de corrente de rampa opostas que somam uma corrente constante Iref (definida pela corrente fornecida por R1, aqui igual a 5 V/39,2 kÿ). Um código de entrada binário de deslocamento de 8 bits define as correntes de saída individuais. Por exemplo, o código mínimo (00h) faz com que Io [illegible] são 96 A e 32 A; e assim por diante. Com fontes de +18 e -15 V, a compatibilidade de saída se estende de -12 V a +18 V.

O circuito externo faz a verdadeira mágica, (a) convertendo este par unipolar de dissipação de corrente em uma corrente de saída de bipolaridade (origem ou dissipação) e (b) simultaneamente reduzindo a corrente por um fator de 10.000, para gerar um terminal de saída que fornece ou drena de forma programável correntes com uma faixa de fundo de escala de ±12,8 nA, em etapas LSB de 0,1 nA.

Figura 13.16. Um seguidor com uma tensão aplicada em série com um resistor cria uma fonte de corrente flutuante simples e o pino de saída do amplificador operacional fornece um "monitor de tensão". A. O esquema básico. B. Implementação com uma referência de tensão bandgap.

Para entender primeiro a escala de corrente, desconecte U2b e olhe apenas para o amplificador operacional superior: a corrente absorvida pelo DAC gera uma pequena tensão em Rs, aproximadamente *IoRs* (para Ro Rs). Esse é o Vo da corrente flutuante

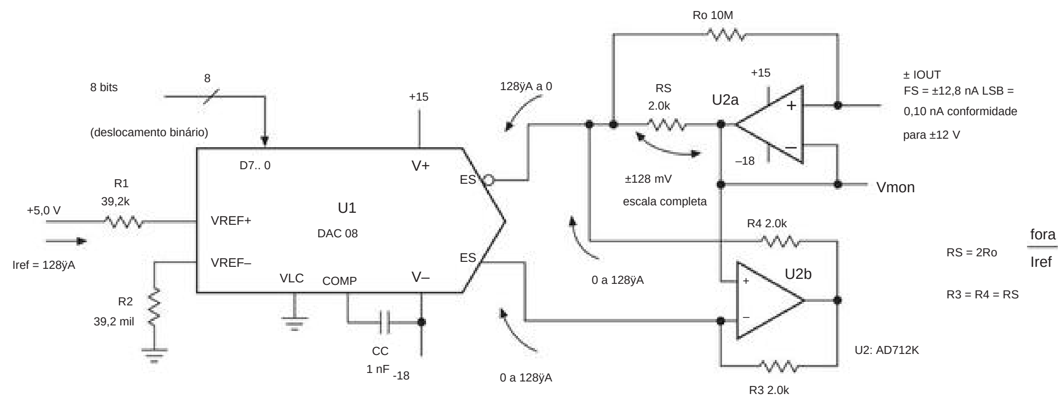


Figura 13.15. Fonte/sumidouro de corrente nanoamp programável de ampla conformidade. A tensão de saída é armazenada na saída *de U2a ,* para aplicações de “medição de fonte” (ou seja, fonte de corrente, meça a tensão correspondente). Para uma faixa de 2 nA, defina *Rs=R3=R4=316ÿ* (ou aumente Ro).

fonte da Figura 13.16, aqui absorvendo uma corrente IoRs/Ro da carga; ou seja, a corrente é reduzida por um fator de 5.000. Isso é realmente apenas um “divisor de corrente” em roupas sofisticadas. (Para o circuito completo, a razão é 10.000:1, porque R4 está em paralelo com Rs.)

Agora reconecte o amplificador operacional inferior e, por enquanto, ignore a saída superior do DAC, *I* o. O DAC coloca a saída *do U2b* acima de suas entradas por *IoR3,* que *fornece* uma corrente através do par em série R4 e Rs.[23]

Assim, com tudo reconectado, a corrente líquida proveniente do lado esquerdo de Rs é a corrente (positiva) igual à magnitude da saída Io do DAC , menos a corrente (negativa) igual à magnitude da saída *I* o do DAC .

Portanto, a corrente líquida vai de -128 A (ÿ no mínimo no código de entrada, 00h) para +128 A (ÿ no código de entrada máximo, FFh). Essa corrente é dividida por um fator de 10.000 *(Ro/ [RsR4])* para gerar a corrente de saída líquida, com sua faixa de fundo de escala de ±12,8 nA.

Se você precisar de mais precisão, substitua o similar de 10 bits DAC10. Ele difere por ter complacência um pouco menos negativa e por fornecer uma corrente de dissipação de saída em escala total igual ao *dobro* da corrente de referência.

E um comentário final: existem outras maneiras de fazer uma fonte de corrente de nanoamp de ampla conformidade; veja, por exemplo, o projeto relativamente simples da Figura 5.69A.

A. Variações na fonte de corrente flutuante Voltando ao circuito simples da fonte de corrente flutuante da Figura 13.16, existem diversas variações úteis que permitem controle através de uma tensão de entrada CC (em relação ao terra) ou por um código digital. A Figura 13.17 mostra como substituir a saída flutuante de um amplificador de diferença (§5.14) no lugar do zener polarizado da Figura 13.16B. Aqui o amplificador de diferença G=0,1 converte a tensão de programação, na faixa de ±10 V em relação ao terra, em uma saída de ±1 V referenciada à saída do amplificador operacional, portanto, uma corrente de saída de *I* = Vprog/10R.

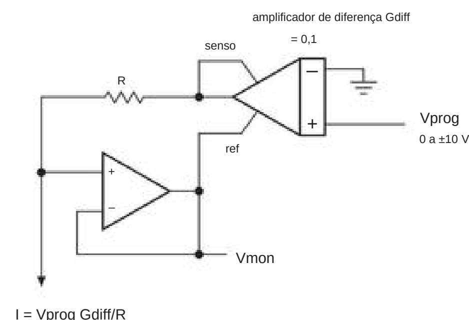


Figura 13.17. Fonte de corrente flutuante análoga à Figura 13.16, programada com um amplificador diferencial. Veja também a Figura 5.69.

Alguns instrumentos comerciais são capazes de fornecer correntes programáveis em uma ampla faixa de tensão (digamos, ±200 V). Eles fazem isso (Figura 13.18) alimentando o amplificador operacional com uma fonte CC flutuante (digamos ±5 V), com um DAC (alimentado pela mesma fonte) substituindo o amplificador de diferença na Figura 13.17. Tanto o amplificador operacional quanto o DAC voam sobre a ampla faixa de conformidade, com os dados de entrada digital do DAC alimentados por opto-isoladores. Neste esquema, a saída do amplificador operacional é armazenada em buffer e usada para inicializar a fonte CC comum, mantendo assim o amplificador opera

23 Essa configuração de amplificador operacional é, na verdade, um espelho de corrente, fornecendo ao nó em sua entrada não inversora uma corrente proporcional à corrente dissipada de sua entrada inversora, na proporção do resistor de saída para R3.

entradas e saídas próximas do meio de abastecimento; o bootstrap atua também para prevenir correntes dinâmicas causadas pela capacitância da fonte para sua fonte de alimentação primária. Essas fontes de corrente programáveis com saídas de monitor de tensão são exemplos do que é chamado de "unidade de medida de fonte" (SMU), tipificada por unidades da Keithley (sua série 2400) ou Keysight (sua série B2900).

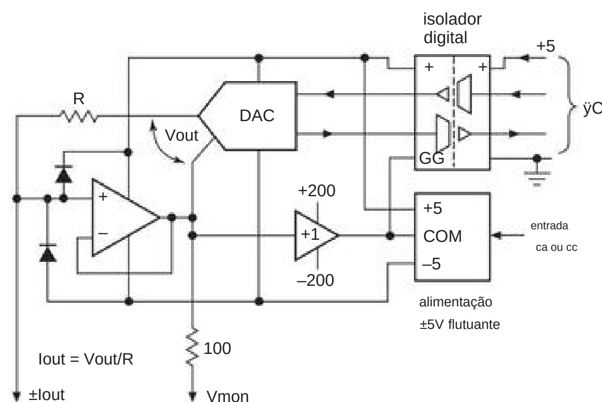


Figura 13.18. Esquema de fonte de corrente flutuante de alta tensão usado em instrumentos de "medição de fonte". O buffer de alta tensão de ganho unitário pode ser um simples seguidor push-pull, pois seu trabalho é apenas inicializar a fonte flutuante de ± 5 V. Adicionar um divisor e um buffer à saída Vmon produz uma réplica de baixa tensão.

13.3.4 Acionador da bobina de precisão

Aqui está um aplicativo que ultrapassa os limites da resolução e estabilidade do DAC: um driver de fonte de corrente para fornecer uma tabela definida e corrente estável (de qualquer polaridade) através de um par de bobinas que cortam o campo magnético em um aparelho de ressonância magnética. Esse tipo de aplicativo pode exigir resolução e estabilidade de partes por milhão (ppm). É um exemplo instrucional digno de uma discussão detalhada.

A. DAC e referência de tensão A

Figura 13.19 mostra uma implementação, com o notável DAC AD5791 de 20 bits em seu núcleo. Olhando primeiro para o circuito ao redor do DAC, escolhemos novamente a referência ADR445 (no grau B de melhor desempenho) por seu baixo ruído e excelente estabilidade (uma alternativa é o MAX6350, com o capacitor recomendado de seu pino de redução de ruído à terra). Adicionamos um filtro passa-baixo *RC* de 10 Hz para suprimir o ruído de banda larga: de acordo com o datasheet, o ruído do ADR445 na banda de 0,1 a 10 Hz é de cerca de 2,3 Vpp, aumentando para 66 V quando essa banda é estendida para 10 kHz.
ÿ ÿ

Quando você está trabalhando com níveis de erro de ppm, você precisa se preocupar com tudo! Por exemplo, apenas 1,5 nA de corrente de fuga ÿ no capacitor de filtro de 10 F (C3) causaria um erro de quase 1 ppm na referência de +5,0 V que aciona o DAC (da queda de IR em R10). O filtro de ruído mostrado explora um bom truque[24] para eliminar esse erro: a perna inferior (R11C4) inicializa a parte inferior de C3 para que não haja tensão CC através dela e, portanto, nenhuma corrente de fuga; isso é análogo à técnica de um eletrodo de *proteção* , que é usado para eliminar correntes de fuga em medições sensíveis de baixa corrente (ou para eliminar os efeitos da capacitância shunt onde os sinais estão presentes).

O AD5791 pode operar com uma única referência positiva ou com referências positivas e negativas. Para nossa aplicação, queremos uma faixa de saída de ± 5 V, mas podemos explorar o par de resistores combinados com precisão interna do DAC (que retorna à referência positiva) para que apenas uma referência positiva seja necessária. O DAC fornece uma saída de "sentido" de ambos os nós de referência internos, usados com feedback conforme mostrado para eliminar erros de IR. Observe as resistências de entrada correspondentes nas entradas de U2, para aproveitar a correspondência de corrente de entrada (*ÿIB* <1 nA); o tempco da corrente de entrada, estimado a partir dos gráficos na folha de dados, é inferior a 10 pA/ÿC. A tensão de compensação do amplificador operacional é de 12 ÿV (típico) (50 ÿV máx.) e seu desvio de tensão é 0,6 ÿV/ ÿC máx. (0,2 V/ÿC típico). ÿ ÿ

Na escala da referência de +5,0 V que o amplificador operacional está armazenando, esses valores se traduzem em 0,7 ppm, 0,007 ppm/ÿC, 2,4 ppm e 0,12 ppm/ÿC, respectivamente. Em outras palavras, os erros de corrente de polarização e tensão de deslocamento somam cerca de 3 ppm, ou 3 LSBs; mas os desvios são apenas 0,13 ppm/ÿC (máx.), ou um LSB para uma mudança de 8ÿC na temperatura. Estamos felizes com essa estabilidade, que é o que realmente importa para este aplicativo. O erro de escala de ~3 ppm não é importante, porque na prática a corrente será ajustada até que a corrente da bobina esteja fazendo a coisa certa. Finalmente, temos que considerar o erro e o desvio contribuídos pelo próprio DAC, que são comparáveis: seus erros de escala total e escala zero são cada um ± 2 ppm (2 LSB) máximo e sua temperatura de saída (em zero, escala média ou escala total) é ±0,05 ppm/ÿC típico, ±0,5 ppm/ÿC máx. Seu ruído típico de saída de baixa frequência é de 0,6 Vpp, aproximadamente ÿ a metade da contribuição da referência.

B. Loop do amplificador

O trabalho aqui é usar a tensão de saída estável do DAC para controlar a corrente da bobina[25] em uma faixa de ±0,1 A enquant

[24] Originado por Walter Jung, tanto quanto sabemos.

[25] Tomamos como projeto de referência um par de bobinas, cada uma com 30 cm de diâmetro com 500 voltas, espaçadas axialmente por 15 cm no chamado "Helmholtz"

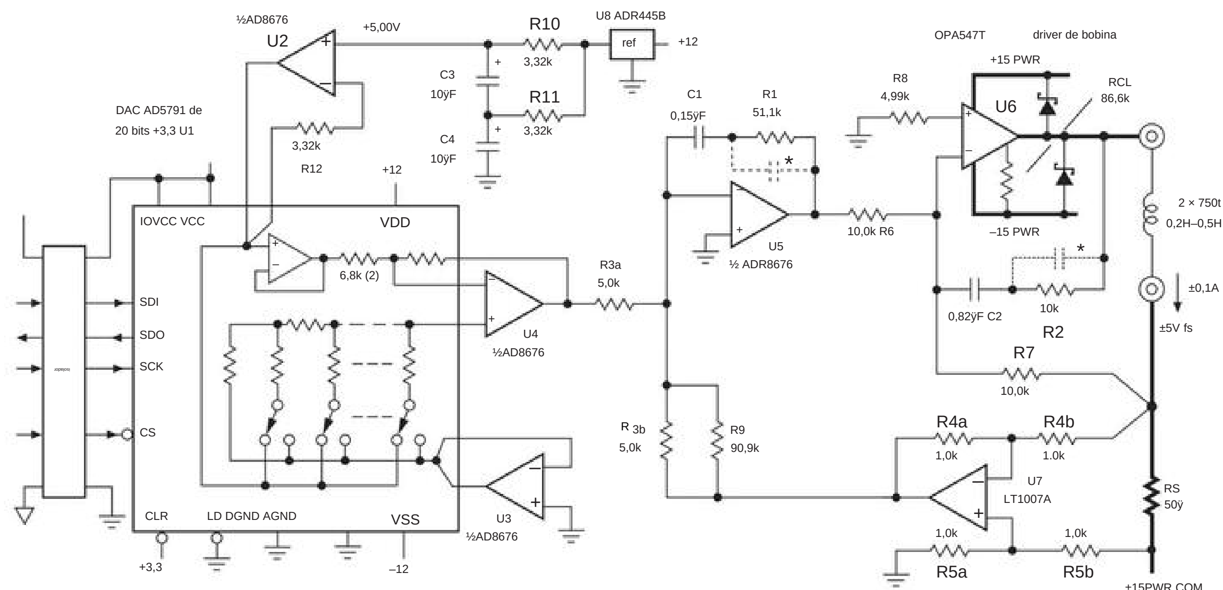


Figura 13.19. Driver de bobina Helmholtz programável de precisão com DAC AD5791 de 20 bits. O caminho de alta corrente é indicado com linhas grossas. Os resistores R3–R5 são pares combinados Vishay MPM (rastreamento de 2 ppm/ÿC) e Rs é um resistor de potência de folha a granel Vishay VPR221 (Y0926) (2 ppm/ ÿC tempco) com dissipação de calor.

preservando ruído e estabilidade de parte por milhão dc. Há também *outro* tipo de estabilidade – liberdade de oscilação.

Ignorando o último por enquanto (ou seja, negligenciando todos os capacitores no circuito), no nível superior, o loop do amplificador funciona assim: um resistor sensor de corrente estável à temperatura Rs = 50ÿ gera uma tensão em escala total de ± 5 V, cuja réplica é subtraída da saída do DAC pelo par de resistores correspondente *R3ab.* O amplificador de erro U5 fornece o ganho de loop, aplicando o erro amplificado ao driver da bobina U6, que opera como um inversor de ganho unitário. As fases estão corretas: muita corrente através de Rs reduz a saída de U7 , U5 aumenta e U6 diminui.

No próximo nível, há a precisão e o desvio de CC com os quais se preocupar. Mais uma vez, escolhemos os amplificadores operacionais BJT de precisão, o agora familiar AD8676 para o amplificador de erro e o vintage LT1007A para o amplificador de diferença de ganho unitário. Este último tem o menor ruído e tensão offset, à custa de uma corrente de entrada maior; contornamos o último problema reduzindo a resistência vista nas entradas, o que é possível devido à baixa impedância da fonte (50 ÿ). O amplificador operacional de potência U6 não precisa ser preciso, porque está dentro de um loop de realimentação geral cujo ganho aumenta em baixas frequências como 1/ *f* .

configuração. Com fio de bitola #20, a resistência CC total é de 30ÿ, a indutância é de cerca de 400 mH e uma corrente de 0,1 A produz um campo central de 3 gauss (cerca de seis vezes o campo da Terra).

O resistor de detecção Rs é um resistor de potência de precisão Vishay "folha metálica a granel" de 4 fios (conexão Kelvin) em um pacote TO 220, com dissipação nominal de 8 W; o melhor grau tem precisão de ±0,01%, com um tempco típico de 2 ppm/ÿC. Os pares de resistores R3–R5 são duplos combinados com precisão em pacotes SOT23 convenientes, com correspondência de 0,05% e rastreamento de 2 ppm/ÿC (tipo). O desvio do resistor R3b compensa a redução da resistência efetiva de Rs devido ao carregamento de R7 e *R4b.*

Supondo que haja muito ganho de loop (e há, veja o próximo parágrafo), a estabilidade DC em escala de ppm da saída DAC é razoavelmente bem preservada com esses amplificadores operacionais, auxiliada por resistores dessa estabilidade e rastreamento.

Finalmente, há o sério problema de estabilidade contra oscilações, que aqui é complicado pela carga indutiva. O último sozinho causa uma redução de 6 dB/oitava começando na frequência na qual a reatância indutiva é igual à resistência de detecção, cerca de 20 Hz para o par de bobina nominal de 400 mH. Resolvemos isso tornando o amplificador de erro um integrador em frequências mais baixas (para bastante ganho CC), achatando para um ganho de ×10 a 20 Hz.26 Isso evita que a curva de ganho geral do loop versus frequência caia mais de 6 dB/oitava, pelo menos até bem além da frequência de ganho unitário. O amplificador de saída U6

26 Em linguagem sofisticada, um pólo em CC e um zero em 20 Hz.

recebe o mesmo tratamento. Um pequeno capacitor adicional em R1 (e similarmente em R2) reduz o ganho local em frequências mais altas ainda, para se estabilizar contra oscilações de alta frequência. Os valores adequados são 150 pF e 4,7 nF (descendo a 20 kHz e 3 kHz, respectivamente).

Em vez de tagarelar sobre isso, apresentamos os diagramas de Bode autoexplicativos da Figura 13.20. Os leitores que provavelmente se deparam com situações como essa podem se beneficiar do raciocínio ali apresentado.

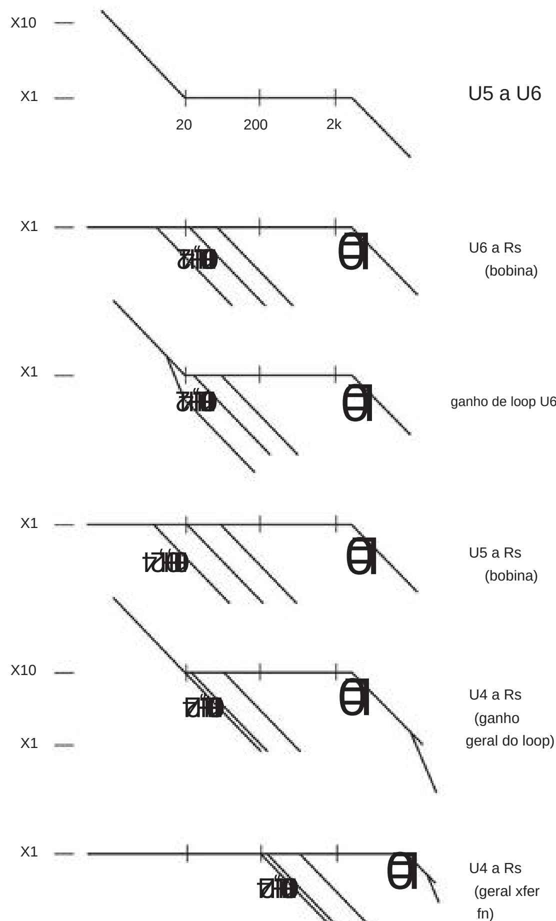


Figura 13.20. Gráficos de Bode para o amplificador do driver da bobina na Figura 13.19, mostrados com vários valores de indutância de carga.

13.4 Linearidade do conversor – um olhar mais atento

Em §13.1.3 mencionamos, brevemente, os tipos de erros que afligem os DACs (e também os ADCs). O negócio dos *erros de linearidade* merece um pouco mais de discussão.

Dê uma olhada nas Figuras 13.21 e 13.22. Ambos os DACs de 3 bits sofrem de erros de linearidade. Mas há algum sub

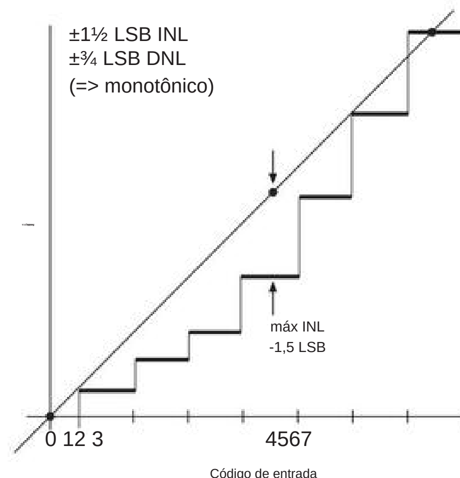


Figura 13.21. Um DAC pode exibir monotonicidade (DNL <1 LSB) e não linearidade integral relativamente grande (aqui INL = 1,5 LSB).

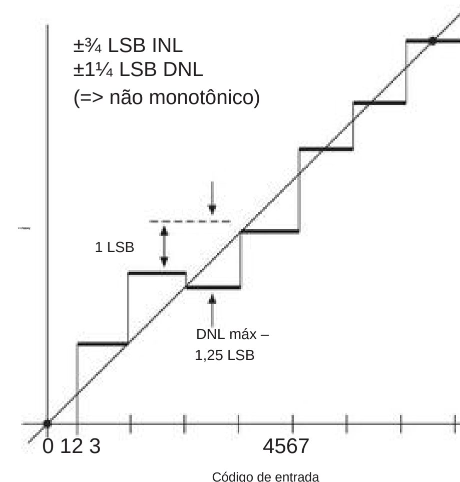


Figura 13.22. Esse conversor tem menos INL (0,75 LSB) do que na Figura 13.21, mas seu maior DNL (1,25 LSB) permite a não monotonicidade. O que importa mais depende da aplicação.

tlety aqui. Precisamos de algumas definições: a não linearidade *integral* (INL) é o desvio máximo da linha reta ideal da saída analógica versus a entrada digital, em toda a faixa de conversão;27 enquanto a não linearidade *diferencial* (DNL) é o erro máximo em qualquer passo (isto é, de n=2 a n=3 neste exemplo) de seu tamanho de passo adequado de 1 LSB.

Quando você se preocupa com INL versus DNL? Se você precisar

27 Há um pouco de margem de manobra aqui, porque você pode definir a linha como passando pelos pontos finais ("linearidade do ponto final", conforme usado aqui) ou pode fazer as coisas parecerem um pouco melhores usando a linha reta de melhor ajuste.

um DAC para atingir uma tensão desejada com erro mínimo, os termos INL e erro de ganho dominarão e você não se importa com a monotonicidade. Se, no entanto, você estiver fechando um loop de controle, é exatamente o oposto: a ação de servo do loop removerá o INL, mas um DNL grande pode causar zonas ocultas de instabilidade, que são particularmente difíceis de depurar.

A arquitetura de um DAC influencia a mistura de INL/DNL. Considere dois bons DACs de 16 bits, o DAC8564 e o AD5544. O primeiro usa uma série de resistores, então você tem que trabalhar muito para acabar com um DNL maior que 1 LSB. E você tem monotonicidade *garantida* . No entanto, nada está controlando o INL exceto a distribuição estatística dos valores do resistor, então não é surpreendente que o INL seja ±8 LSBs, e isso é para a parte cara. São 12 LSBs na arquibancada.

Em contraste, na arquitetura R-2R , um grande INL de dez será convertido em um grande DNL; o mesmo processo que mantém o DNL sob controle também mantém o INL baixo, até certo ponto, então a especificação INL do AD5544 é de ±4 LSBs, com um DNL de 1,5 LSBs. Portanto, todas as outras especificações sendo iguais (o que não são), seria possível escolher o AD5544 para definir tensões com precisão e o DAC8564 para uso em um loop de controle.

E, enquanto emitimos avisos, cuidado, cuidado, cuidado ao usar *DACs* de áudio em aplicativos que não são de áudio. Se um DAC não fornece uma especificação DNL, é porque é embaraçosamente grande. Isso geralmente é aceitável em áudio, mas não para uso de loop de controle ou configuração de tensão. Da mesma forma, as especificações de desvio de ganho para DACs de áudio geralmente são muito grandes para uso em aplicativos de configuração de tensão.

13.5 Conversores analógico-digital

Reveja a seção anterior sobre "Preliminares" (§13.1) para se lembrar de algumas das coisas a serem consideradas ao escolher um conversor (seja DAC ou ADC). No nível superior, você se preocupa muito menos com os detalhes de como a coisa realmente faz sua conversão e muito mais com as principais questões de (a) desempenho (velocidade, precisão, etc.), (b) interface digital (paralela ou serial; terminação única ou LVDS; etc) e (c) integração (unidades únicas ou múltiplas; autônomas ou integradas a um microcontrolador ou outra função complexa). Na maioria dos casos, você usará um chip ou módulo ADC comercial em vez de construir o seu próprio. Mas é importante saber sobre o funcionamento interno dos vários métodos de conversão A/D, para não ser pego desprevenido por suas idiossincrasias.

13.5.1 Digitalização: aliasing, taxa de amostragem e profundidade de amostragem

Entraremos no âmago da questão da conversão de analógico para digital em breve, mas primeiro um breve riff sobre o negócio de *amostragem,* que surgirá repetidamente à medida que visitamos vários métodos ADC.

Quando você converte um sinal analógico (por exemplo, uma forma de onda de áudio) em uma série de quantidades digitais (ou seja, números correspondentes à tensão instantânea em momentos sucessivos no tempo), você precisa escolher a precisão das medições de tensão (a *profundidade* de amostragem) e a taxa na qual essas amostras são tomadas (a *taxa de amostragem).* Vimos isso brevemente no Capítulo 6, em conexão com filtros passa-baixo anti-alias (§6.3.7A); vamos olhar um pouco mais profundamente aqui, no contexto da amostragem ADC de formas de onda analógicas.

A. Profundidade da amostragem Vamos examinar primeiro os efeitos da profundidade de bits (porque eles são mais facilmente compreendidos): a amostragem para *n* bits igualmente espaçados quantiza as amostras da forma de onda em *2n* níveis, limitando efetivamente a faixa dinâmica a *6n* dB. Uma forma de onda assim amostrada, quando devidamente dimensionada para explorar toda a faixa de conversão, também exibirá distorção de quantização, na ordem de 2-n (isto é, 100/2n por cento).

Por exemplo, a quantização de áudio de 16 bits (o padrão usado em áudio de CD) tem uma faixa dinâmica limitada a 96 dB e distorção mínima de 0,0015%. Obviamente, o próprio sinal é normalmente limitado tanto na faixa dinâmica quanto na distorção; um sistema de digitalização bem projetado deve ter profundidade de bits suficiente (e taxa de amostragem) para não degradar a qualidade do sinal.

Em um nível mais profundo, há mais na história do que mera profundidade de bits: não linearidade (mesmo não monotonicidade!), ruído, esporas, etc., todos contribuem para a fidelidade do sinal digitalizado. Uma métrica comum que captura muito disso é "ENOB" (número efetivo de bits); veremos mais sobre isso mais tarde (veja, por exemplo, a Figura 13.56).

B. Taxa de amostragem e filtragem A história aqui é mais sutil (e mais interessante). Ao contrário da intuição, uma forma de onda perfeitamente amostrada a uma taxa pelo menos duas vezes maior que a do componente de frequência mais alta presente não sofre *nenhuma perda de informação.* Nada é perdido na porção não amostrada da forma de onda entre as amostras; este é o teorema da amostragem de Nyquist (que tem seu grupo de incrédulos, que juram que o áudio digital remove a própria alma da música).28

[28] Pode-se mostrar matematicamente que o sinal original (excluindo um conjunto de formas de onda patológicas) é perfeitamente recuperado:

Os leitores que desprezam a autoridade podem se perguntar o que acontece se alguém violar o estatuto por subamostragem. Fácil de tentar: observe a Figura 13.23, onde amostramos uma onda senoidal de 100 Hz (requer fsamp ÿ 200 sps) a 90 sps, violando seriamente a prescrição de Nyquist. Os pontos amostrados traçam um sinal falso, neste caso 10 Hz. Isso é chamado de "alias" e, na maioria das vezes, é algo que você não deseja .) de modo que nenhum sinal significativo permaneça acima de fsamp/2. Por outro lado, para um sinal analógico que se estende até uma frequência máxima fmax, a taxa de amostragem mínima é de 2 fmax. (Você pode, é claro, amostrar mais rapidamente do que o limite de Nyquist fsamp>2 fmax e, de fato, é aconselhável fazer um grau modesto de "oversampling" porque isso permite uma filtragem passa-baixa mais relaxada do sinal analógico, como veremos ver atualmente.)

É útil examinar o negócio de aliasing no domínio da *frequência* . Na Figura 13.24A, anexamos um filtro *RC* fraco de 2 seções a um sinal de banda larga, colocando o ponto -3 dB de cada seção no limite de Nyquist (fsamp/2). Componentes de frequência na região proibida são falsamente digitalizados como mostrado,30 contaminando a banda de sinal pretendida; eles não podem ser removidos posteriormente por filtragem – na saída digitalizada, eles agora estão "dentro da banda".

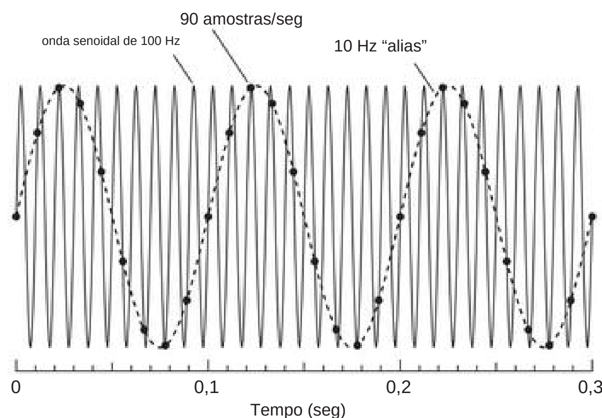


Figura 13.23. Digitalizar a menos que a taxa de Nyquist produz "aliases". Uma onda senoidal de 100 Hz (linha sólida) amostrada a 90 sps (bem abaixo da taxa de Nyquist de 200 sps) produz um alias de 10 Hz (pontos, conectados por uma linha tracejada).

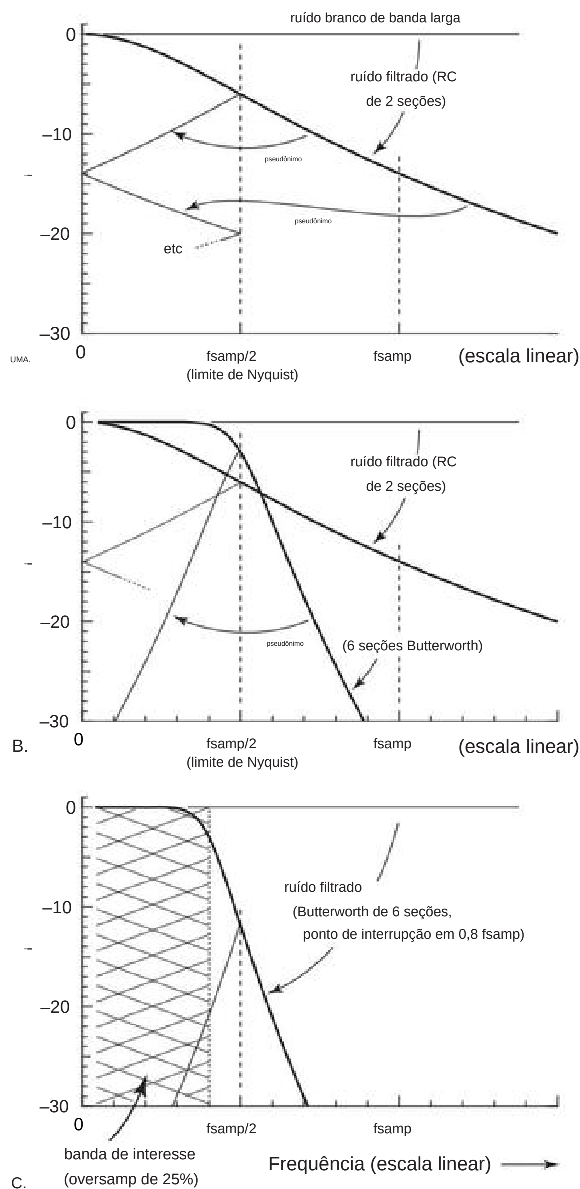


Figura 13.24. Subamostragem, sobreamostragem e aliasing. UMA. A amostragem de um sinal com componentes de frequência acima do limite de Nyquist (fsamp/2) produz versões digitalizadas com alias que se enquadram no sinal adequadamente amostrado; aqui, um suave rolloff *RC* de 2 seções permite que uma energia significativa de sinal fora da banda com alias contamine o sinal pretendido. B. Um filtro mais inclinado é mais eficaz; mas o aliasing ainda contamina a borda da banda de Nyquist. C. O oversampling (configurando a frequência de Nyquist acima da banda de interesse, aqui em 25%) dá ao filtro anti-alias uma banda de guarda na qual rolar, reduzindo bastante o aliasing.

---

v(t)=ÿamplitude ÿ *(fst* ÿ i), onde *fs* é a taxa de amostragem e *vi* é a de visinco da i- ésima amostra.

29 Veja §13.6.3 para uma exceção importante.

30 Para desenhar esses "esboços de elevação", apenas espelhe os contornos vistos além dos múltiplos da frequência de Nyquist.

Um filtro anti-alias mais inclinado faz um trabalho melhor, como visto na Figura 13.24B, onde incluímos um Butterworth de 6 polos cujo ponto de -3 dB é definido como fsamp/2. Mas a situação ainda está longe do ideal, com bastante sinal de alias presente, especialmente na extremidade de alta frequência.

O que você faz, então, é rodar o relógio de amostra um pouco mais rápido que o mínimo de Nyquist, como visto na Figura 13.24C, ilustrando uma sobreamostragem de 25% em relação à banda de sinal que nos interessa. Isso dá ao filtro anti-alias uma banda de guarda na qual fazer a transição de banda passante para banda proibida. Observe que definimos o ponto de -3 dB do filtro na borda da banda, não na frequência de Nyquist.

É assim que é feito, em aplicações onde a pureza do sinal é importante. Usando novamente o exemplo de áudio de CD, a banda de áudio de 20 kHz, se limitada por um filtro passa-baixas perfeito em 20 kHz, pode ser amostrada no limite de Nyquist de fsamp=40 ksps; mas o padrão CD define a taxa em 44,1 ksps (oversampling de 10%), permitindo uma banda de proteção de filtro de 20% . conversão.

Observe que há concessões envolvidas no projeto do filtro anti-alias. Por exemplo, um filtro analógico de múltiplas seções com transição mais acentuada para corte (por exemplo, um filtro Chebyshev) exibe desempenho inferior no domínio do tempo (overshoot e toque, características de fase ruins, sensibilidade a valores de componentes, etc.) – consulte as Figuras 6.25 e 6.26. Para saber mais sobre tipos e características de filtro, consulte a extensa discussão no Capítulo 6 (particularmente §6.2.5). E, enquanto folheia os capítulos anteriores em busca de sabedoria, esteja sempre atento aos efeitos degradantes do ruído (Capítulo 8).

13.5.2 Tecnologias ADC

Há meia dúzia de técnicas básicas de conversão A/D, cada uma com suas vantagens e limitações peculiares. Nas subseções a seguir, analisaremos cada um deles, junto com alguns exemplos de aplicação. Aqui, em forma de esboço, está um resumo compacto dessas técnicas.

Flash, ou "paralelo" (§13.6) A tensão de entrada analógica é comparada com um conjunto de tensões de referência fixas, simplesmente acionando uma matriz de *2n* comparadores analógicos para gerar um resultado de n bits. As variações desse tema incluem arquiteturas em pipeline ou dobradas, nas quais a conversão é feita em várias etapas, cada uma das quais converte o "resíduo" da conversão anterior de baixa resolução.

[31] Uma superamostragem muito maior – em *muitas* vezes a taxa de Nyquist – é explorada na técnica de conversão delta-sigma, veja §13.9.

Aproximação sucessiva (§13.7) A lógica interna gera códigos de tentativa sucessivos, que são convertidos em tensões por um DAC interno e comparados com a tensão de entrada analógica. Requer apenas *n* dessas etapas para fazer uma conversão de n bits. O DAC interno pode ser implementado como uma escada de resistor R-2R convencional de n estágios ou, curiosamente, como um conjunto de *2n* capacitores em escala binária; o último método é conhecido como DAC *de redistribuição de carga .*

Tensão para frequência (§13.8.1) A saída é um trem de pulso (ou outra forma de onda) cuja frequência é precisamente proporcional à tensão de entrada analógica. Em um V/F *assíncrono,* o oscilador é interno e funciona livremente. Por outro lado, um V/F *síncrono* requer uma fonte externa de pulsos de clock, ativando uma fração deles de modo que a frequência *média* de saída seja proporcional à entrada analógica.

Integração de inclinação única (§13.8.2) O tempo necessário para uma rampa analógica gerada internamente (capacitor carregado por uma fonte de corrente) ir de zero volts para a tensão de entrada ana log é proporcional ao valor da entrada ana log. Esse tempo é convertido em um número de saída ativando um relógio rápido de frequência fixa e contando o número de pulsos de relógio. Observe que a modulação por largura de pulso emprega o mesmo esquema comparador de rampa que a integração de inclinação única para gerar o tempo ON de cada ciclo.

Integração de inclinação dupla e multiinclinação (§§13.8.3–13.8.4, 13.8.6) Essas são variações da integração de inclinação única, eliminando efetivamente os erros dos deslocamentos do comparador e da estabilidade do componente. Na *integração de dupla inclinação,* o capacitor é aumentado por um tempo fixo com uma corrente proporcional ao sinal de entrada e desacelerado novamente com uma corrente fixa; o último intervalo de tempo é proporcional à entrada analógica. Na *integração quad-slope,* a entrada é mantida em zero enquanto um segundo ciclo de "auto-zero" é feito. A chamada técnica *multislope* é um pouco diferente, com uma única conversão que consiste em uma sucessão de ciclos rápidos de dual-slope (nos quais a entrada é integrada continuamente, combinada com ciclos subtrativos de corrente fixa) e com uma correção baseada na parcial resíduo do ciclo em ambas as extremidades. Em alguns aspectos, é um primo próximo do método delta-sigma.

Delta–sigma (§13.9) Há duas partes: um *modulador* converte a tensão de entrada analógica em um *bitstream serial;* em seguida, um filtro passa-baixa digital aceita esse fluxo de bits como entrada, produzindo a saída digital final de n bits. Simplificando (e nunca é muito simples!), o modulador consiste em um integrador atuando na diferença entre o

tensão de entrada analógica e o valor do fluxo de bits serial de saída de 1 bit para determinar o próximo bit de saída. As variações incluem moduladores de ordem superior (uma sucessão de integradores ponderados), ou fluxos de bits com vários bits de largura (um "fluxo de palavras"?), ou ambos. Os conversores delta-sigma são populares e confusos e merecem uma seção extensa mais adiante neste capítulo.

13.6 ADCs I: Codificador paralelo ("flash")

Este é provavelmente o conceito ADC mais simples; é também o mais rápido (consulte a Tabela 13.4). Neste método, a tensão do sinal de entrada é alimentada simultaneamente a uma entrada de cada um dos *n* comparadores, cujas outras entradas são conectadas a *n* tensões de referência igualmente espaçadas. Os níveis de saída dos *n* comparadores formam um "código de termômetro", que é convertido (em um *codificador de prioridade)* em uma saída binária *(log2n) de bits* correspondente ao comparador mais alto ativado pela tensão de entrada. A Figura 13.25 mostra a ideia *teoricamente* – aqui implementada de forma desajeitada com comparadores discretos e lógica padrão. Você não faria isso, é claro; muito melhor deixar que os magos do silício façam sua mágica integrada. Neste esquema simples (estágio único), o tempo de atraso da entrada para a saída é a soma dos atrasos do comparador, do codificador e da trava de saída (se houver). Um exemplo de codificador flash comercial que usa esse esquema é o MAX1003: ele faz conversões de 6 bits em cada um dos dois canais de entrada, em taxas de amostragem de 90 Msps, com o resultado digitalizado e travado disponível um ciclo de clock após a amostragem.

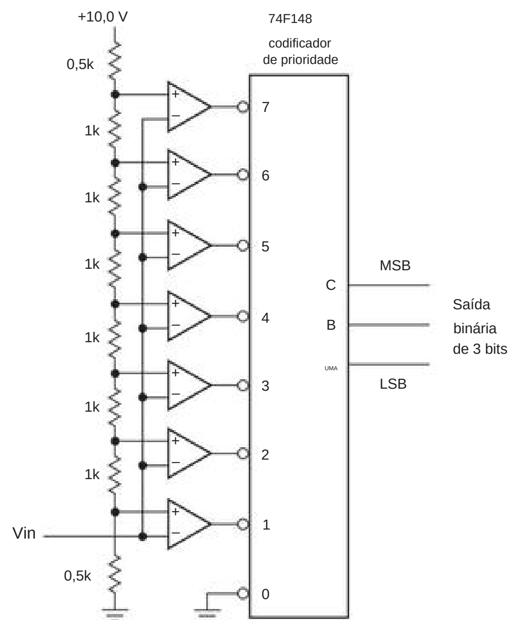


Figura 13.25. ADC codificado em paralelo ("flash").

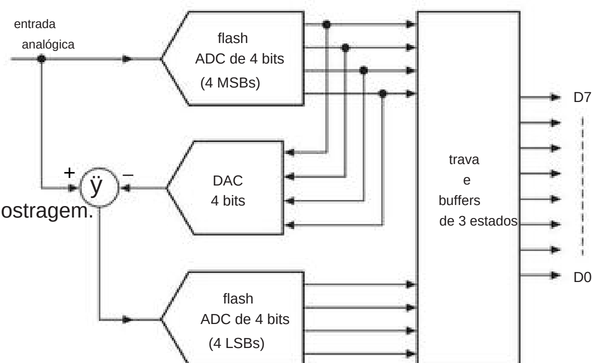


Figura 13.26. ADC de meio flash.

13.6.1 Codificadores flash modificados

Na prática, o esquema de flash simples foi amplamente substituído por variantes de flash modificadas, com nomes como "half flash", "subrange flash", "folding/interpolating architecture" ou "pipelined flash". Isso geralmente envolve estágios sucessivos de conversão parcial, portanto, há algum atraso (ou *latência)* desde o momento da amostragem de entrada até a saída digital válida. Isso não reduz necessariamente a taxa de amostragem máxima. Na verdade, muito pelo contrário: ao subdividir a conversão em uma sucessão de quantizações mais grosseiras, esses conversores podem atingir taxas de amostragem muito altas, com os "resíduos" analógicos parcialmente quantizados propagando-se em um pipeline baseado em capacitores como novas amostras iniciar sua conversão. Nesse conversor, uma conversão grosseira inicial (digamos, para resolução de 2 bits) é seguida por estágios sucessivos que operam no resíduo (a diferença entre a entrada analógica e essa estimativa grosseira). Um exemplo é o ADC10D1500, um ADC duplo de 10 bits e 1,5 Gsps (as duas seções podem ser intercaladas, para atingir 3 Gsps); tem uma latência de 35 ciclos de clock.

Talvez a mais simples dessas arquiteturas de conversores seja o *half-flash,* um processo de duas etapas no qual a entrada é convertida em flash para metade da precisão final; um DAC interno converte essa aproximação digital de volta para analógica, onde a diferença "erro" entre ela e a entrada é convertida rapidamente para obter os bits menos significativos (Figura 13.26).

Essa técnica produz conversores de baixo custo que operam com potência relativamente baixa. Exemplos são o TLC0820 da TI, o AD7820 da ADI e o TLC5540 da TI, ADCs baratos de 8 bits com latências de dois ou três ciclos de clock e velocidades de conversão modestas (40 Msps para o último).

Como observado acima, arquiteturas ADC mais sofisticadas realizam a conversão com vários esquemas de pipeline, nos quais os resíduos analógicos são transportados por uma sucessão de quantizadores relativamente grosseiros. Um exemplo é o AD9244 da ADI, que usa um pipeline de 10 estágios para obter conversões de 14 bits a 65 Msps, com uma latência de oito ciclos de clock. Seu AD9626 troca alguma precisão por velocidade: 12 bits e 250 Msps, com seis clocks de latência. Sua folha de dados diz tudo:

> A arquitetura em pipeline permite que o primeiro estágio opere em uma nova amostra de entrada, enquanto os estágios restantes operam em amostras anteriores. Cada estágio do pipeline, excluindo o último, consiste em um flash ADC de baixa resolução conectado a um capacitor comutado DAC e amplificador de resíduo interestágio (MDAC). O amplificador de resíduo amplia a diferença entre a saída DAC reconstruída e a entrada flash para o próximo estágio do pipeline....
>
> O último estágio consiste simplesmente em um flash ADC.

Tecnologia semelhante é oferecida pelo ADS5547 da TI, um ADC com pipeline de 14 estágios que atinge conversões de 14 bits a 210 Msps, com uma latência de 14 clocks (esses caras gostam do número quatorze). Seus ADCs de alta resolução mais rápidos no momento da escrita são 400 Msps de 14 bits (ADS5474) e 370 Msps de 16 bits (ADC16DX370).

A arquitetura de “dobragem” (geralmente implementada como um esquema combinado de dobra/interpolação) atinge um objetivo semelhante (criar a conversão final por meio de quantizações grosseiras e finas), mas por um método inteligente que não envolve um pipeline de etapas sucessivas. Em vez disso, a entrada analógica passa por um circuito dobrado analógico (feito de uma cadeia de pares diferenciais conectados) que mapeia toda a faixa de tensão de entrada para uma saída que consiste em um conjunto de dobras repetidas. Essa saída é convertida em flash para produzir os bits de ordem inferior, enquanto uma conversão flash grosseira do sinal de entrada de faixa total determina simultaneamente em que dobra o sinal se encontra (ou seja, os bits de ordem superior); veja a Figura 13.27. A família “Ultra High Speed ADC” da National Semiconductor usa essas técnicas, com ofertas atuais indo para velocidades de 3,6 Gsps em resolução de 12 bits (ADC12D1800). Existem muitos truques envolvidos para fazer isso funcionar bem; como diz o ditado, eles estão “bem além do escopo deste livro”.

Vale a pena considerar os codificadores Flash em aplicações de digitalização de forma de onda, mesmo quando a taxa de conversão é relativamente lenta, porque sua alta velocidade (ou, mais precisamente, seu intervalo de amostragem de *abertura* curto) garante que o sinal de entrada não seja efetivamente alterado durante a conversão . A alternativa – os conversores mais lentos que descrevemos

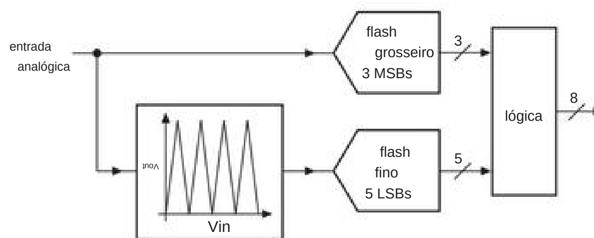


Figura 13.27. Flash ADC com arquitetura “dobrável”.

próximo – geralmente requer um circuito analógico de amostra e retenção para congelar a forma de onda de entrada enquanto a conversão está em andamento. Observe que a latência de um conversor pode ou não importar, dependendo da aplicação: a latência não seria uma preocupação em um front-end de osciloscópio ou em um “rádio de software”; mas seria um desastre em um loop de controle digital rápido.

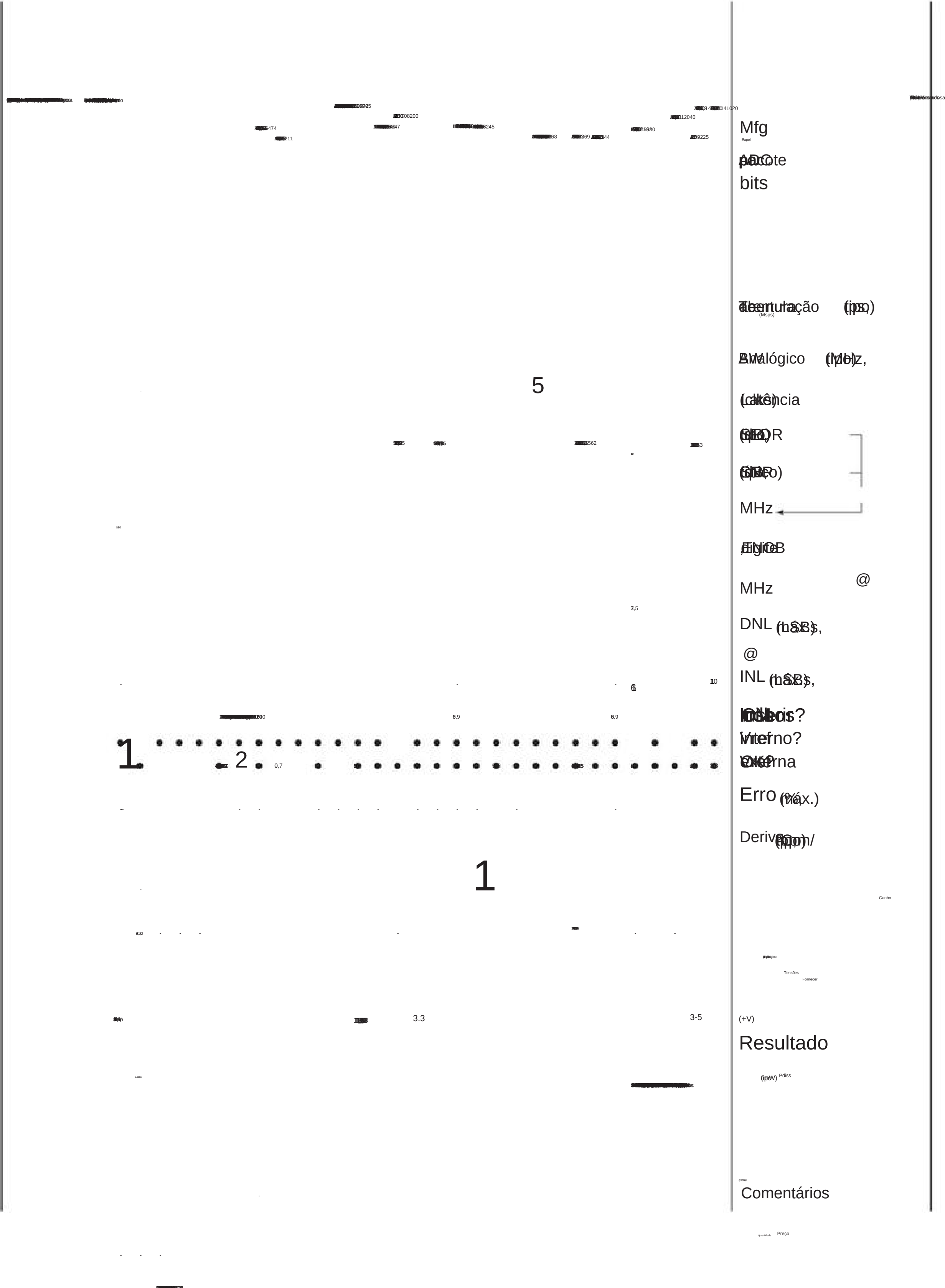
13.6.2 Driving flash, dobrável e ADCs de RF

Os ADCs de hoje não são os simples conversores de seu pai. É verdade que eles são muito mais capazes do que os conversores das gerações anteriores, mas são rabugentos, não obedecem mais à regra de falar apenas quando se fala com eles e podem ser muito exigentes em recursos, especialmente energia e ativos digitais. Isso é especialmente verdadeiro para conversores de alta velocidade e baixa tensão com entradas diferenciais. Você não pode mais contar com simplesmente pegar um amplificador operacional e conectá-lo ao seu ADC.

Para ilustrar com um exemplo, a Figura 13.28 mostra um ADC flash de 16 bits de canal duplo capaz de operar em baixas frequências de RF, ideal para digitalizar sinais I,Q para rádios de software. Ele emprega um amplificador diferencial IC discutido em §5.17, realizando as tarefas mostradas nas Figuras 5.102 e 5.103. À medida que desenhamos esses circuitos, à primeira vista eles podem parecer semelhantes, mas nos encontramos gastando tempo com os detalhes, procurando regras e sugestões de folhas de dados, considerando peças alternativas com novas regras e aprimorando o projeto.

O conversor AD926932 é um tipo flash, mas mais adiante no capítulo encontraremos os mesmos problemas com os outros tipos primários de ADC. Por exemplo, alguns conversores de registro de aproximação sucessiva (SAR) (e muitos dos conversores delta-sigma também) exigirão a configuração distinta de dois resistores mais capacitores em suas entradas. Muitos tipos de SAR vão além, sendo bastante exigentes quanto

32 O AD9269 (listado na Tabela 13.4) é um ADC duplo com saídas lógicas CMOS convencionais, mas ADCs com taxas de dados um pouco mais rápidas geralmente atualizam para saídas LVDS diferenciais ou 32 linhas por canal ADC de 16 bits.



Mfg
bits
MHz
MHz
Erro
Resultado
(+V)
3-5
3.3
Comentários

Machine Translated by Google

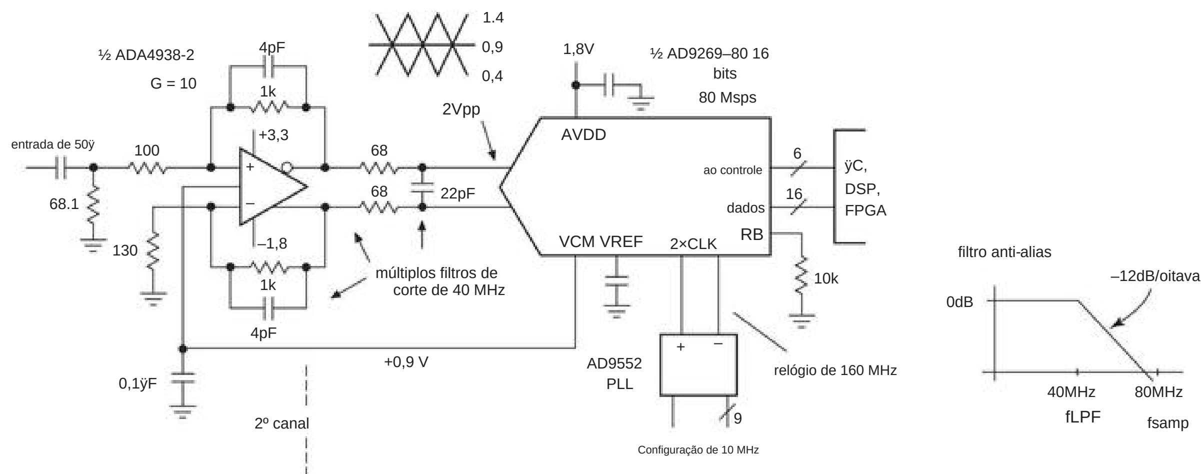


Figura 13.28. Os ADCs rápidos geralmente são acionados diferencialmente, como no digitalizador de RF de 80 Msps (40 MHz) de 16 bits e dois canais. Aplicações de radiofrequência como esta requerem uma fonte de clock precisa e estável em algum múltiplo da taxa de conversão, aqui fornecida por um loop de bloqueio de fase (§13.13).

quais valores de *R* e *C* são permitidos para atingir o desempenho especificado.

Um conversor de 80 Msps tem um limite Nyquist de 40 MHz, definido aproximadamente com nosso filtro de entrada passa baixa diferencial 2R+C . As partes do filtro R,C desempenham duas outras funções: o ADC responde ao ruído (branco e outros) até sua largura de banda de entrada de 700 MHz; portanto, precisamos silenciar a saída do amplificador agressivamente acima de 40 MHz; e o S/H do capacitor chaveado de entrada do ADC precisa obter alguma carga de um capacitor de entrada para funcionar corretamente. Os dois R's também servem para isolar o capacitor do amplificador operacional, importante porque amplificadores operacionais de 1000 MHz não toleram cargas capacitivas diretas. Portanto, temos três motivações para essas novas peças, não vistas nos bons velhos tempos.

Por que usamos um amplificador de saída diferencial? Geralmente, ao acionar um equipamento que apresenta entrada diferencial, temos a opção de aterrar de um lado e alimentar o outro. Mas fazer isso com os ADCs de hoje nos custará uma penalidade substancial de distorção e também metade da faixa de entrada da escala completa. Mas, ao escolher o amplificador diferencial IC, ficamos encurralados: olhando na região de 500–1500 MHz da Tabela 5.10 na página 375, não conseguimos encontrar uma parte com "Zin(diff)" alto. Queríamos filtragem anti-alias adicional de 40 MHz, que excluísse partes atraentes com resistores internos de ajuste de ganho porque as junções de soma não são expostas. E queríamos um ganho de pelo menos 10 ou 20 dB. Então escolhemos, finalmente, um Analog Devices ADA4938 com uma largura de banda nominal de 1000 MHz.33 Olhando para seus gráficos de resposta de frequência, vemos seu GBW=800 MHz, portanto, um fÿ3dB=GBW/G=80 MHz para G=10, então temos algum ganho de loop restante em 40 MHz.

Amplificadores de configuração D como este (Figura 5.96) têm impedâncias de entrada bastante baixas, especialmente em ganhos altos, porque Zin=2Rg e Rg = Rf/G. Tendo jogado a toalha em altas impedâncias de entrada, optamos por igualar a onipresente impedância de fonte de 50 ÿ de sinais de banda larga. Se escolhermos Rg=100 ÿ, o ruído Johnson34 de dois deles será de 1,8 nV/ ÿ Hz, ou bem abaixo do valor nominal do amplificador en=2,6 nV/ ÿ Hz.

Temos que fornecer uma carga de 50 ÿ para a entrada, e reconhecendo que Zin não é exatamente Rg, fornecido no datasheet, 35 nos voltamos para a fórmula, Zin = Rg/(1 ÿ Rf/2[Rg + Rf]), para determinar que precisamos um resistor de carga de 68 ÿ; então igualamos a impedância vista dirigindo a entrada não inversora usando um resistor de 130 ÿ para aterrar na entrada inversora.

Essa resistência adicionada perturba a relação usual Rf = *GRg* , e somos forçados a aumentar Rf em 11% para manter *G* = 10, conforme detalhado em §5.17.4. Finalmente, avaliamos a conversão single-ended para diferencial examinando as especificações Vocm da folha de dados . A especificação Vocm ÿ3dB é de 230 MHz, o que significa que, com nossa atenuação de realimentação, o drive ADC de diferencial total será reduzido em 3 dB a 24 MHz.36

33 Também poderíamos ter escolhido um TI LMH6552 ou LMH6553.

34 Ver §§8.1 e 8.2.

35 Uma fração da tensão de saída diferencial aparece nas entradas como um sinal de modo comum, inicializando parcialmente a tensão no resistor de entrada Rg.

36 Se isso não for aceitável, precisamos reduzir o ganho do amplificador pela metade ou

Nosso ADC AD9269 precisa de um relógio de amostragem, para o qual escolhemos o upconverter AD9552 PLL capaz (consulte §13.13.6H e Tabela 13.13). Parecia uma boa ideia aproveitar a opção interna de divisão por dois do ADC, para ajudar a garantir um ciclo de trabalho interno de 50%, portanto, precisaremos de um clock de 160 MHz para amostragem de 80 Msps; assim, se usarmos uma referência de 10 MHz, definimos a multiplicação PLL para 16. Se quisermos outras taxas de amostragem, podemos empregar os poderosos recursos de síntese de frequência fracionária do modulador delta-sigma do AD9552, e também podemos escolher outra divisão ADC índices.

Uma preocupação final (se você ainda não teve o suficiente) é o *tremor do relógio.* Os gráficos da folha de dados do AD9269 mostram que, para obter a melhor relação sinal-ruído (SNR) de 75–78 dB disponível, o clock jitter deve ser (suspiro!) Não superior a 0,2 ps (cerca de 15 ppm do período de amostragem) .
Nossa folha de dados AD9552 PLL especifica o jitter (para uma entrada de referência de 4–80 MHz ser 0,11 ps, então deslizamos sob o fio naquele (mas sem muito sobrando).

13.6.3 Exemplo de conversor de flash com subamostragem

A Figura 13.29 mostra, de forma um tanto simplificada, uma aplicação de "conversor de subamostragem", na qual um sinal de entrada centrado em alguma frequência bastante alta (digamos, 500 MHz) é digitalizado a uma taxa bem menor (digamos, 200 Msps) do que pareceria necessário do critério de Nyquist. Isso funciona com sucesso se duas condições forem satisfeitas: (a) a largura de *banda* do sinal deve satisfazer o critério de amostragem de Nyquist, ou seja, a taxa de amostragem deve ser pelo menos o dobro da largura de banda ocupada pelo sinal; e (b) todo o espectro do sinal (incluindo a alta frequência da portadora) deve estar dentro da largura de banda de entrada analógica do ADC.

A primeira condição exige que o sinal de entrada seja estritamente limitado em largura de banda, geralmente com um filtro passa-faixa. A segunda condição implica que o ADC foi projetado para uma aplicação de subamostragem. O ADC08200 na figura, por exemplo, especifica uma largura de banda de potência total de 500 MHz, embora sua taxa de amostragem máxima seja de 200 Msps (o que normalmente seria apropriado para sinais somente até 100 MHz). Você pode pensar nisso como uma exploração do espectro aliased produzido pela subamostragem; tudo bem, contanto que não haja outros componentes espectrais competindo por aquela parte do espectro de "banda básica" (consulte a Figura 13.30).37 No circuito de exemplo, usamos um circuito relativamente lento

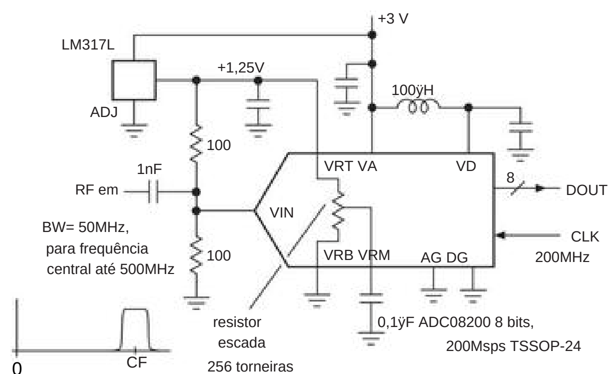


Figura 13.29. Um flash ADC barato digitaliza um sinal de banda limitada bem acima da frequência de corte de Nyquist, um trabalho que tradicionalmente exige conversão de frequência para baixo com um oscilador local ("LO") e mixer.

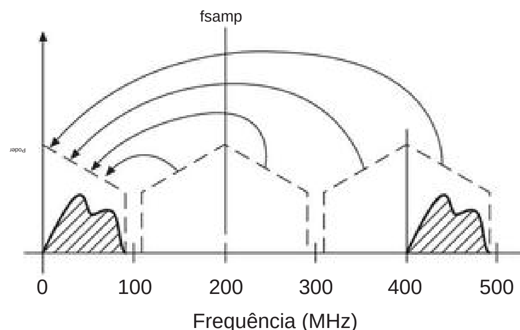


Figura 13.30. Colocando o alias para funcionar: uma taxa de amostragem de 200 Msps amostra corretamente os sinais na "banda de base" estendendo-se até 100 MHz; mas cria aliases de bandas sucessivas de 100 MHz.
Você pode usar isso a seu favor filtrando todos os sinais de entrada, exceto aqueles na banda de 400–500 MHz (por exemplo); essa banda é então devidamente digitalizada e aparece como um fluxo de sinal de 0 a 100 MHz.

membro da família de conversores flash da National Semiconductor. Este filhote opera a partir de uma única fonte de +3 V, converte em taxas de 200 Msps com saída de largura de byte por meio de uma porta de saída paralela simples e custa menos de $ 15 em quantidades únicas.38 Você pode fornecer a parte superior e inferior da conversão faixa (aqui terra e +1,25 V), e a folha de dados aconselha severamente que você ignore o ponto médio da cadeia de resistores de 256 toques. O indutor de 100 H desacopla o pino anÿalógico da alimentação VD digital. Com a faixa de conversão somente positiva é necessário polarizar o sinal de entrada para metade da faixa de conversão, conforme mostrado; o par

procure um IC amplificador mais rápido, como um ADA4937, com uma especificação Vcm de 440 MHz .

37 Às vezes chamada de "operação super-Nyquist". Consulte, por exemplo, a Nota de Aplicação AN-939 da Analog Devices.

38 Uma parte relacionada, o ADC08B200, inclui um buffer de saída de 1024 bytes, uma coisa útil se você quiser amostrar em rajadas e precisar ler o fluxo de saída em velocidade menor que a máxima.

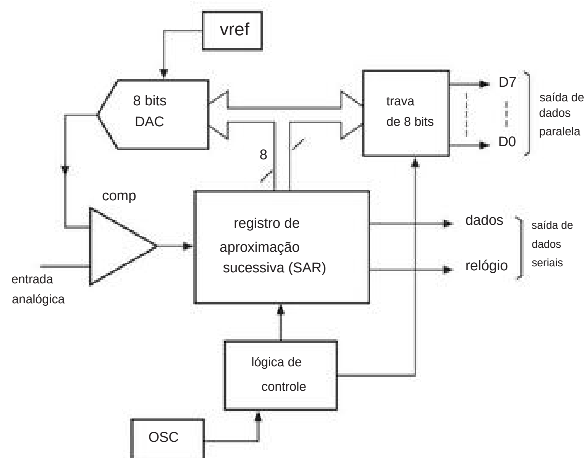


Figura 13.31. ADC de aproximação sucessiva.

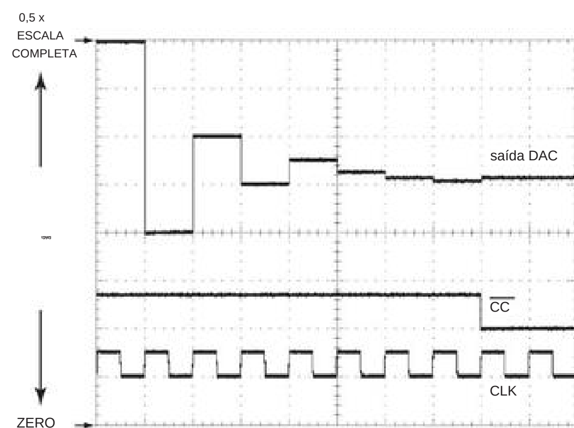


Figura 13.32. 'Scope trace da saída analógica de um DAC de aproximação sucessiva de 8 bits convergindo para o valor final. É uma pesquisa binária, com primeira estimativa igual à metade da escala completa. Observe a forma de onda do relógio e o sinalizador de conversão completa.

de resistores de 100 ÿ termina a entrada do sinal com os 50 ÿ usuais esperados pelos sinais de RF.

13.7 ADCs II: Aproximação sucessiva

Na técnica clássica de aproximação sucessiva (às vezes chamada de “SAR”), você tenta vários códigos de saída alimentando-os em um DAC e comparando o resultado com a entrada analógica presente em um comparador de entrada (Figura 13.31).
A maneira como isso geralmente é feito é definir todos os bits inicialmente como 0. Então, começando com o bit mais significativo, cada bit por sua vez é definido provisoriamente como 1. Se a saída D/A não exceder a tensão do sinal de entrada, o bit será deixado como 1; caso contrário, é definido de volta para 0. Para um ADC de n bits, *n* tais etapas são necessárias. O que você está fazendo é chamado de *busca binária,* na linguagem da ciência da computação.39 Um ADC de aproximação sucessiva tem uma entrada BEGIN CONVER SION e uma saída CONVERSION DONE . A saída digital pode ser fornecida em formato paralelo (todos os bits de uma vez, em *n* linhas de saída separadas), em formato serial *(n* bits de saída sucessivos, MSB primeiro, em uma única linha de saída) ou ambos.

Em nosso curso de eletrônica os alunos constroem um ADC de aproximação sucessiva, completo com DAC, comparador e lógica de controle. A Figura 13.32 mostra as saídas sucessivas do DAC, juntamente com os oito pulsos de clock, conforme a saída analógica de teste converge para a tensão de entrada. E a Figura 13.33 mostra a “árvore” completa de 8 bits, uma bela imagem que você pode gerar observando o DAC

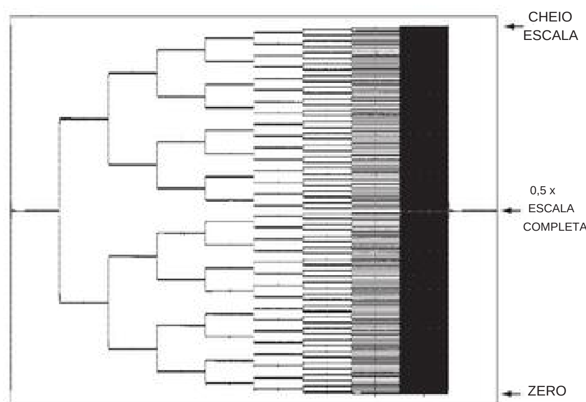


Figura 13.33. Rastreamento de escopo acumulado da "árvore" completa do SAR de 8 bits.

coloque enquanto aciona a entrada com uma rampa lenta que percorre toda a faixa de entrada analógica.

ADCs de aproximação sucessiva são intermediários em velocidade e precisão (comparados com os conversores flash mais rápidos, ou com as técnicas mais precisas, porém mais lentas, usadas em conversores “delta-sigma” e conversores de integração multislope); ver Tabelas 13.5 e 13.6. Eles exigem *n* tempos de estabelecimento do DAC para precisão de n bits. Os tempos de conversão típicos estão próximos de 1 s, com precisões de 8 a 18 bits comumente disponíveis. Este tipo de conversor amostra da tensão de entrada, e se a entrada estiver mudando durante a conversão, o erro não é maior que a mudança durante esse tempo; no entanto, picos na entrada são desastrosos. Embora geralmente bastante precisos,

[39] Historicamente, isso remonta : em 1556, um matemático chamado Tartaglia propôs o uso de um conjunto de pesos (1 lb, 2 lb, 4 lb. . . 32 lb) exatamente dessa maneira para determinar o peso de um objeto no número mínimo de tentativas em uma balança.

esses conversores exigem redes de resistores ajustados com precisão e podem ter estranhas não linearidades e "códigos ausentes". Uma maneira de evitar a falta de códigos é usar uma cadeia de *2n* resistores e interruptores analógicos para gerar as tensões analógicas de teste, da mesma forma que os DACs de cadeia de resistores de §13.2.1; essa técnica foi usada nos ADCs de 8 bits da série ADC0800 da NSC.

Nos ADCs contemporâneos de aproximação sucessiva, o DAC resistivo convencional (R-2R ou cadeia de resistores, usado internamente para gerar as tensões analógicas para os códigos de teste) é geralmente substituído por uma arquitetura DAC *de redistribuição de carga* (Figura 13.34).40 Esse esquema requer um conjunto de *capacitores* de peso binário , que hoje em dia é bastante fácil de fabricar e aparar no chip. (Portanto, um conversor de 18 bits como o AD7641 contém, notavelmente, um conjunto41 de 18 capacitores em escala binária indo de alguns C0, 2C0, . . . , até um final de 131.072C0; esses capacitores são realmente pequenos, com a capacitância de C0 medida em femtofarads – 1 fF, ou 0,001 pF.)

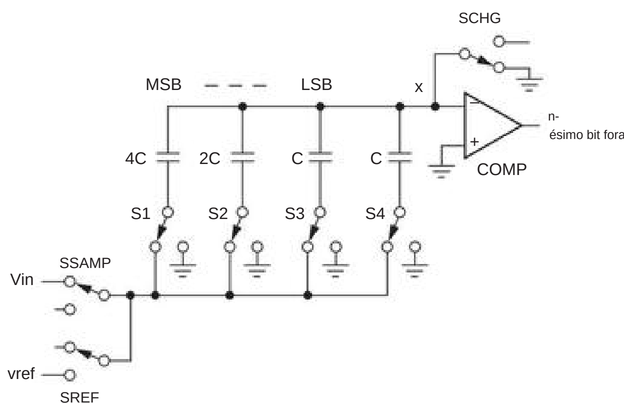


Figura 13.34. Um esquema de "redistribuição de carga" baseado em capacitor substitui a escada do resistor R-2R em muitos ADCs de aproximação sucessiva. O capacitor além do LSB não é usado no teste de bit, mas é necessário para preservar as taxas fracionárias exatas.

Para entender como funciona, observe o funcionamento do conversor simplificado de 3 bits na figura.

1. As chaves são mostradas na parte de *amostra* do ciclo, durante a qual a tensão em cada um dos capacitores segue (ou *rastreia)* o sinal de entrada.
2. A chave SSAMP é aberta, deixando todos os capacitores retendo a tensão de entrada amostrada.
3. A chave SCHG é então aberta, de modo que a entrada para o comparador possa se mover conforme os códigos de tentativa são aplicados às chaves de bit *S1–S3;* por exemplo, se todos os interruptores de bit estiverem aterrados, a entrada do comparador *X* estaria em uma tensão ÿVin.
4. Agora, para medir o valor retido de Vin, as chaves de bit são operadas sucessivamente: primeiro a chave MSB S1 é comutada para +Vref (a faixa de fundo de escala do ADC), enquanto S2, S3 e S4 são comutados à terra; isso adiciona um deslocamento de Vref/2 a esse ÿVin (é um divisor de tensão capacitivo: chame-o de "redistribuição de carga" se preferir).
5. A saída do comparador agora indica o MSB: HIGH se Vin>Vref/2, LOW caso contrário.
6. Como no procedimento clássico de aproximação sucessiva, essa chave é ou retornada ao solo ou deixada em Vref, de acordo; o próximo valor de bit inferior é então testado de forma semelhante, com o processo continuando em *n* etapas (aqui n = 3) para determinar o valor total convertido de n bits.

13.7.1 Um exemplo simples de SAR

Os ADCs de aproximação sucessiva podem ser extremamente fáceis de usar, conforme ilustrado pelo circuito da Figura 13.35. A interface serial SPI é a própria simplicidade: a afirmação de CS inicia a conversão, com bits sucessivos cronometrados por SCK (pois cada pulso de clock aciona a conversão SAR de um novo bit).
A sincronização permite que você mantenha ambas as linhas seriais silenciosas antes da ativação do CS , conforme mostrado, para minimizar o ruído digital acoplado. Esta família de conversores de velocidade relativamente baixa integra track-and-hold no chip e inclui três graus de velocidade, três resoluções (8, 10 e 12 bits) e quatro opções de embalagem (single, dual, quad e octal): 36 opções!
(A figura mostra como construir os números de peça.) As unidades individuais, como o espécime de 1 Msps de 12 bits na figura, vêm em minúsculos pacotes SOT23-6, com preços (em quantidades únicas) variando de cerca de US$ 2 (8 bit, 200 ksps) para US$ 4,50 (12 bits, 1 Msps).

A entrada de um ADC geralmente é menos benigna do que algo como um amplificador operacional, onde esperamos uma alta impedância (corrente de entrada muito baixa) e baixa capacitância.
A Figura 13.36 mostra o circuito de entrada equivalente deste conversor, com seu capacitor de amostragem de 26 pF que o sinal de entrada deve acionar. Isso não é um grande fardo nas frequências relativamente baixas aqui; mas é algo para se ter em mente, por exemplo, no circuito da Figura 13.37 com sua resolução muito maior (18 bits) e velocidades um pouco mais altas.

13.7.2 Variações na aproximação sucessiva

Uma variação conhecida como "tracking ADC" usa um contador up-down para gerar sucessivos códigos de teste; é lento em responder a saltos no sinal de entrada, mas segue

40 Existem também projetos híbridos, nos quais um DAC de redistribuição de carga é usado para subdividir as etapas de um DAC de corda de resistor grosseiro. 41 Na verdade, *dois* desses conjuntos, porque sua entrada é diferencial.

Tabela 13.5 Conversores A-D de Aproximação Sucessiva Selecionadosa

Entrada analógica Fornecer Pacotes, Pins

Tipo de potência em (mW) sps (W) (V) Vin Ibias min máx máx mín máx (ÿA) Vs h IPD

Papel # máx. –3dB (Msps) (MHz) bits (V) (V) (μA) quantidade 25 ($US)

AD7927 1 12 0,2 8,2 8 • - - S 3,6m 200k, 3 0 Vref 2,7 5,25 0,5m - 20 1 - - 1,2 3,6 0,3m - - 6 - 0,4 200k, 1,6 0 Vs 1 5,33 A

ADS7866 1 12 0,2 8 1 ADC121S 1 12 1 • - - S 3,17 C 0,75t 4,5t 4,5t 5,25 2,5m - 48 - 48 12,52 ... 2M, 5 0 Vref -

1 ADS7881 1 12 4 50 1 11 • - - S 4,75 5,25 0,5 ...

• p • P 2 500k, 5 0 Vref 5 ... [illegible]

MAX11131 1 12 3 50 16 • • - ADS7945b 1 14 2 15 2 S 95 100m - 16 - ... [illegible]

- • MAX1300d 1 16 0,11 0,7 8 • • • - S 15 20

S

LTC1609 1 16 0,2 1 1 • - • S -

AD7685 1 16 0,25 2 1 MAX11046 8 - • - S

16 0,25 4 1 MAX11166 1 16 0,5 6 1 • - • • - • P

S

ADS8326 1 16 0,2 0,5 1 - • - S

AD7699 1 16 0,5 14 8 • - • S 5.2

ADS8319 1 16 0,5 15 1 AD7985 1 16 - • -

2,5 19 1 AD7690 1 18 0,4 9 1 • - •

- • -

AD7982 1 18 1 - • -

ADS8881 1 18 1 - • -

- • -

- • • - 48 - 48 43,56 N - 16 - -

AD7767-2 1 24 0,032 - AD7767 1 - • - - 14,32 S - 16 - - 14,32 T

24 0,128 - -

Notas: (a) listadas por precisão e velocidade; todos apresentam "sem códigos ausentes"; todos permitem entrada Vref externa. (b) o ADS7946 é o mesmo, sem entrada diferencial. (c) o poder escala linearmente com a taxa de amostragem. (d) MAX1301 tem metade do número de entradas, em TSSOP de 20 pinos. (e) ou para 2Vref, ver folha de dados. (f) com ext ref. (g) ou 4,5-5,5V. (h) fornecer corrente durante o desligamento, desligamento ou repouso. (k) S=serial, P=paralelo. (p) pseudo-diferencial.

Comentários: **A:** sequenciador; AD7928=1Msps. **B:** 10 bits='67, 8 bits='68, $1,80; 280 kps em Vs>1,6 V; 8nA tip off, power-off após cada conversão, 0,4ÿW a 100 por segundo, 44ÿW a 20ksps e Vs=1,2V. **C:** ADC121S051=500ksps, ADC121S021=200ksps. **D:** alimentação de E/S digital 2,7V-5,25V. **E:** alimentação de E/S digital 1,5V-3,6V. **F:** alimentação de E/S digital 1,65 V a Vs. **G:** alimentação de E/S digital 2,3V-5,25V. **H:** alimentação de E/S digital 1,8 V a Vs. **J:** alimentação digital 2.4V-2.6V; alimentação de E/S digital 1,8 V-2,7 V. **K:** alimentação de E/S digital 1,7V-5,3V. **L:** alimentação de E/S digital 2,4 V-5,5 V. **M:** PGA, 7 opções de ganho; 8 entradas single-ended ou 4 entradas diferenciais; Vin até ±3Vref ou 6Vref, ou até ±16V com Vs=5V. **N:** SAR de redistribuição de carga (capacitiva); a potência aumenta linearmente com a taxa de amostragem. **O:** 8 ADCs independentes, amostragem simultânea; 6 canais=MAX11045, 4 canais=MAX11044. **P:** verdadeiro "Beyond-the-Rails" sem divisores de entrada, ±5V com Vs simples=+5; int Vref 17ppm/°C máx. **P:** FIFO; média; 1, 2, 4, .. Sequenciador de 32 canais. **R:** int ref 10ppm/ºC,tipo; alimentação digital 2,4-2,6V. **S:** oversampling de 32x, filtro FIR no chip. **T:** oversampling de 8x, filtro FIR no chip. **U:** 100dB min SNR, 125dB típico THD. **V:** alimentação de E/S digital 1,65-3,6 V; ADS886x são versões de 16 bits diff'l e single-ended; família inclui versões mais lentas, para 100ksps.

mudanças suaves um pouco mais rapidamente do que um conversor de aproximação sucessiva. Para grandes mudanças, sua taxa de variação é proporcional à sua taxa de clock interno. A sucessão de bits up-down é em si serial, uma forma simples de *modulação delta.*

Outra variação é *CVSD* (modulação delta de inclinação continuamente variável), um esquema simples que às vezes é usado para codificação serial de 1 bit de fala, por exemplo, em telefones sem fio. Com a modulação CVSD, os 1s e 0s representam passos (para cima ou para baixo) da forma de onda de entrada, mas com o tamanho do passo mudando de forma adaptativa de acordo com o histórico passado da onda. Por exemplo, o tamanho do passo correspondente a 1 aumenta se os últimos bits forem todos 1s, de acordo com a uma regra predefinida. O decodificador conhece a regra, então pode recriar uma réplica aproximada da entrada analógica original (quantizada). No passado, você poderia obter chips CVSD, mas na prática contemporânea isso é implementado em software em um microcontrolador ou chip DSP.

13.7.3 Um exemplo de conversão A/D

Antes de continuar com as importantes técnicas de conversão de “integração” (V-para-F, multislope e *delta-sigma),* vamos ver um exemplo de aplicação exigente usando um ADC de aproximação sucessiva: um 18- conversor de bits com taxa de conversão de 2 Msps.

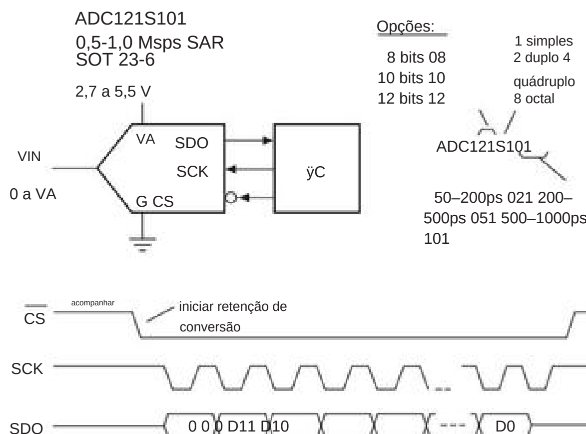


Figura 13.35. Família ADC08/10/12S da National Semiconductor de ADC de aproximação sucessiva simples de usar com saída serial SPI.

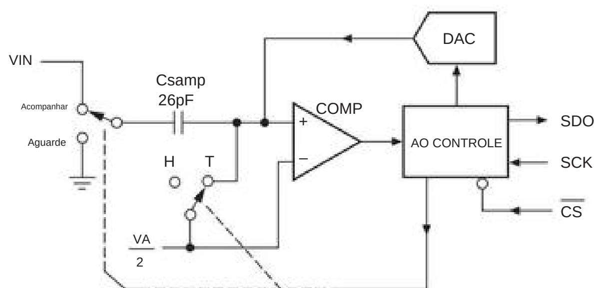


Figura 13.36. Diagrama de blocos do ADC na Figura 13.35. O sinal de entrada aciona o capacitor track-and-hold Csamp durante a aquisição.

A Figura 13.37 mostra um ADC típico de alto desempenho, neste caso, o conversor AD7641 da série PulSAR de 18 bits e 2 Msps da Analog Devices. O AD7641 utiliza três fontes de alimentação positivas,42 com a bela característica de poderem ser ligadas e desligadas em qualquer sequência.

O AD7641 tem uma escala completa de ±Vref, como é comum com ADCs de baixa tensão. Para manter conversões silenciosas, é desejável usar uma grande referência de tensão e faixas de tensão de sinal. A alimentação do AVDD é de 2,5 V, portanto as entradas analógicas (diferenciais) são limitadas a 0 V a +2,5 V. Se usarmos a referência máxima permitida de +2,5 V, obteremos até ±2,5 V (diferencial) fundo de escala: como +IN vai de 0 V para +2,5 V, ÿIN terá que ir de +2,5 V para 0 V (caso contrário teríamos apenas um conversor de 17 bits). Para um conversor de 18 bits, isso corresponde a um passo LSB diferencial de apenas 19 V. ÿ

Você tem que ter muito cuidado com sinais tão pequenos, especialmente quando a taxa de amostragem do conversor é de 2 MHz, e a largura de banda de ÿ3dB correspondente ao seu tempo de abertura é de 50 MHz – há bastante ruído analógico nessas larguras de banda,43 auxiliado e auxiliado por ruído digital acoplado dos acontecimentos na extremidade de saída.

Tanto o sinal quanto as entradas de referência de tensão experimentam pulsos de injeção de carga do processo de conversão de redistribuição de carga, portanto, usamos capacitores consideráveis (recomenda-se 2,7 nF no datasheet) nesses pinos para manter uma tensão silenciosa.44 Amplificadores operacionais não. como cargas capacitivas diretas, porque causam zumbido em combinação com a impedância de saída de malha fechada indutiva (consulte §4.6.2 e a seção sobre cargas capacitivas no Capítulo 4x), daí os resistores em série de 15 ÿ. Este *RC* também atua como um filtro passa-baixo de 4 MHz para reduzir o ruído fora da banda; nesta largura de banda, um LSB corresponde a uma densidade de ruído mais relaxada de 9,6 nV/ÿ Hz. Observe que o resistor em série no caminho Vref é maior (120 ÿ) porque precisamos limitar a corrente de pico durante a inicialização da fonte de alimentação e a referência CC não precisa da largura de banda dos caminhos de sinal.

O circuito mostra uma configuração de amplificador otimizada para operação de banda larga com uma entrada de terminação única na faixa de 0 V a +1,25 V. O AD8021 é um amplificador operacional de baixo ruído de banda larga sugerido no datasheet do ADC. Essa pode não ser a melhor parte a ser usada,45 mas continuaremos nossa narrativa com o amplificador operacional sugerido pelo fabricante. O par de amplificadores gera uma saída diferencial de unipolaridade precisa a partir da entrada de terminação única de unipolaridade: o estágio superior tem um ganho de tensão não inversora de +2, e o inferior no estágio vertical um ganho de -2. Observe os valores baixos do resistor, para manter a largura de banda e também reduzir o ruído Johnson. Para ajudar a garantir atrasos de tempo iguais, caminhos de sinal separados são usados, em vez da alternativa de amplificadores em cascata. Observe como o amplificador operacional inversor é polarizado em Vref/ 3 para criar o sinal desejado de +2,5 V a 0 V. Os dois caminhos do amplificador operacional têm ganhos de ruído diferentes, mas o AD8021 nos permite adicionar um capacitor de 10 pF ao seu nó de compensação para eliminar a resposta e obter larguras de banda aproximadamente iguais. Para lidar com a alta ÿ corrente de polarização de entrada de 7,5 A

42 Pinos separados de +2,5 V para as seções analógica e digital, e um pino de E/S digital que aceita +2,3 V a +3,6 V. CIs de baixa tensão geralmente precisam de várias tensões de alimentação, exigindo reguladores separados.

43 Em uma largura de banda de 50 MHz, 19 ÿ O ruído V rms corresponde a um ruído den sidade de apenas 2,7 *nV* / ÿ Hz.

44 Considere o que está acontecendo dentro deste ADC de aproximação sucessiva ao operar em sua velocidade total de "modo warp" de 2 Msps: seu comparador tem que fazer um novo 19 ÿ V decisão a cada ~20 ns. Frenético!

45 A escolha é um pouco curiosa, porque este amplificador operacional não é de "precisão" – sua tensão de deslocamento máxima é inexpressivo de 1 mV e sua corrente de polarização de entrada é bastante alta de 7,5 A – evidentemente, compensações de design necessárias para ÿ atingir muito mais velocidade do que é necessário aqui (largura de banda de 100 MHz, tempo de estabilização de 20 ns).

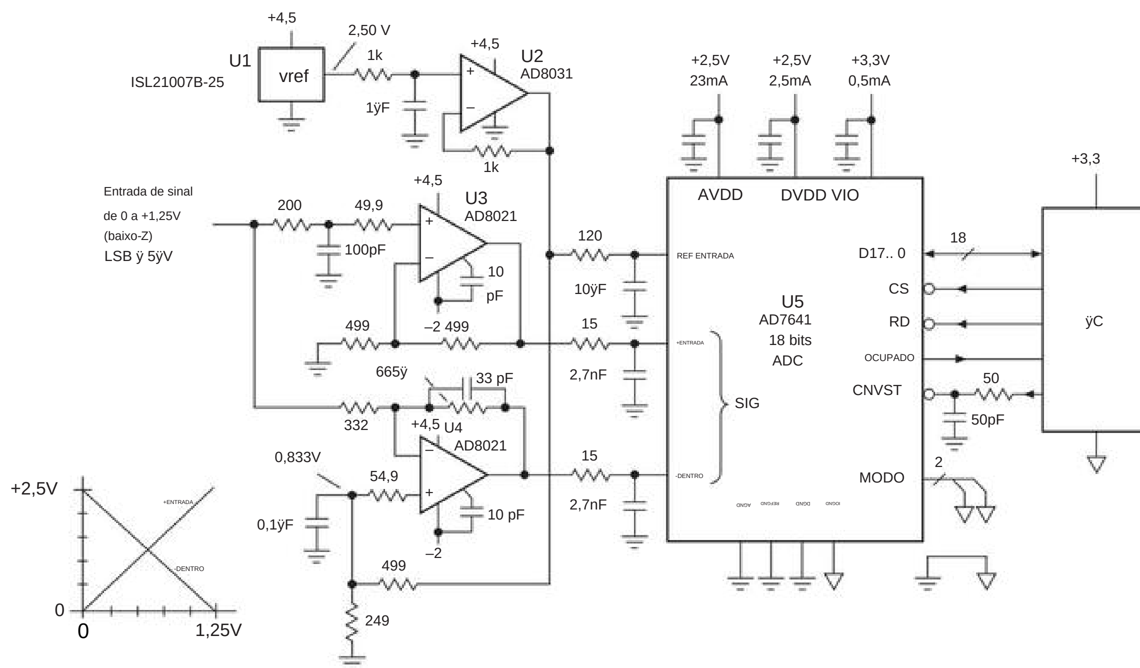


Figura 13.37. O ADC de aproximação sucessiva AD7641 de 18 bits, configurado com amplificadores operacionais rápidos para conversões de 2 Msps.

até resistências CC iguais vistas nas entradas inversoras e não inversoras: isso é eficaz aqui, porque a corrente de deslocamento típica (0,1 A) éÿ75 vezes menor que a própria corrente de polarização.

A referência de tensão Intersil ISL21007/9BFB825 (Tabela 9.8 na página 678) explora a tecnologia de porta flutuante (ou seja, um capacitor carregado enterrado, §9.10.4) para atingir um desvio notavelmente baixo ao longo do tempo (<10 ppm/ÿ kHr). Possui excelente precisão inicial (0,02%) e baixa temperatura (3 ppm/ÿC). Adicionamos um filtro silenciador de ruído e um amplificador operacional é usado para armazenar em buffer a corrente de carga de 3,3 mA para minimizar a dissipação de energia no IC de referência. Os amplificadores operacionais são alimentados por +4,5 V e -2,0 V, derivados da mesma alimentação de ± 5 V que fornece a CC regulada para o ADC (Figura 13.38), de modo que os amplificadores operacionais sejam alimentados ao mesmo tempo que o ADC, minimizando assim as correntes de grampo nos diodos de entrada do conversor na inicialização. Outra maneira de evitar o overdrive de entrada ADC é usar um amplificador operacional de fixação como o AD8036, mas esta parte tem erros dc ainda maiores do que o AD8021. Mas há uma boa solução aqui, ou seja, prender o pino CCOMP do amplificador operacional AD8021 com um par de diodos SD101 Schottky de baixa capacitância (2 pF), um no aterramento e outro na fonte de +2,5 V do ADC, conforme mostrado na Figura 13.39.[46]

O conversor AD7641 é mostrado em seu modo de dados paralelos de 18 bits, selecionando aterrando ambos os pinos de MODO.[47] O sinal de conversão de início CNVST é filtrado por *RC* (2,5 ns) para diminuir seu tempo de queda e ajudar a evitar o undershoot, etc., como sugerido por Analog Devices. O sinal CNVST não deve retornar ao estado HIGH até que a conversão seja concluída, cerca de 400 ns em seu modo "warp" de alta velocidade.

13.8 ADCs III: integrando

13.8.1 Conversão de tensão para frequência

Continuamos nosso tour pelas técnicas de conversão A/D com o conversor V-para-F (ou V/F). Neste método, uma tensão de entrada analógica é convertida em um trem de pulso de saída cuja frequência é proporcional ao nível de entrada. Isso pode ser feito simplesmente carregando um capacitor com uma corrente proporcional ao nível de entrada e descarregando-o quando a rampa atingir um limite predefinido. Para maior precisão, geralmente é usado um método de feedback. Em uma técnica você compara

[46] A folha de dados do AD8021 não informa sobre esse truque. Mas mostra um esquema simplificado, a partir do qual você pode ver que o sinal em o pino CCOMP é a saída (de alta impedância) dos estágios de ganho, a caminho dos seguidores emissores complementares de deslocamento zero que formam o estágio de saída (Figura 13.39); isto é, é uma réplica de alto Z grampeável do sinal de saída.

[47] As outras opções são paralelo de 16 bits (dois ciclos READ), paralelo de 8 bits (três ciclos READ) ou SPI (com clock máximo de 18 ciclos de clock).

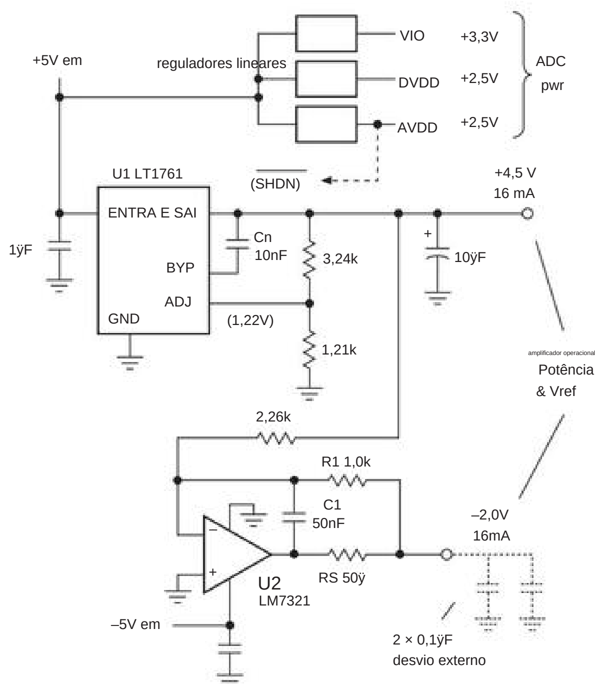


Figura 13.38. Os reguladores lineares fornecem CC de baixo ruído para os amplificadores operacionais e ADC. O LM7321 é um amplificador operacional de alta corrente, bom para 50 mA de corrente de saída. O caminho de realimentação dividida (cruzamento em ÿ3 kHz) o mantém estável na carga capacitiva dos capacitores de bypass dos amplificadores operacionais enquanto mantém a precisão CC.

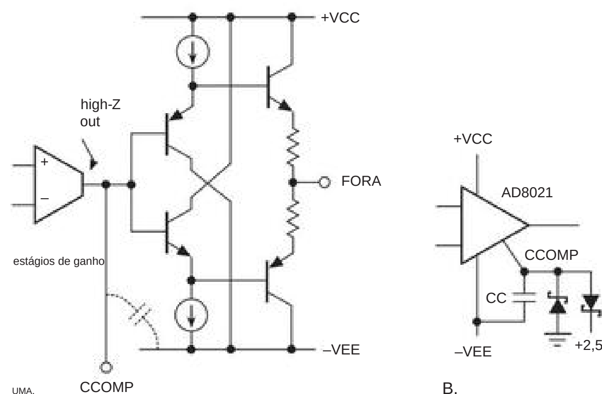


Figura 13.39. O pino de compensação de alguns amplificadores operacionais pode ser usado para fixar o sinal de saída. R. O estágio de saída do AD8021 é um arranjo push-pull de seguidores complementares "zero-offset", com o pino CCOMP conectado na saída de alta impedância dos estágios de transcondutância de alto ganho. B. Fixar esse nó com diodos Schottky limita a oscilação de saída às tensões de referência, aqui definidas para a faixa de conversão do ADC.

a saída de um circuito F/V com o nível de entrada analógica e gerar pulsos a uma taxa suficiente para trazer as entradas do comparador para o mesmo nível. Nos métodos mais populares, uma técnica de "balanceamento de carga" é usada, como será descrito em mais detalhes posteriormente (em particular, o método de "dispensação de carga armazenada em capacitor").

Freqüências de saída V/F típicas estão na faixa de 10 kHz a 1 MHz para tensão de entrada em escala total. Os conversores V/F comerciais estão disponíveis com resolução equivalente a 13 bits (precisão de 0,01%); eles são exemplos de osciladores controlados por tensão de alta qualidade (§7.1.4D). Por exemplo, o excelente AD650 da Analog Devices tem uma não linearidade típica de 0,002% ao operar de 0 a 10 kHz. Eles são baratos e úteis quando a saída deve ser transmitida digitalmente por cabos ou quando uma frequência de saída (em vez de código digital) é desejada. Se a velocidade não for importante, você pode obter uma contagem digital proporcional ao nível médio de entrada contando a frequência de saída para um intervalo de tempo fixo. Esta técnica é popular em medidores de painel digital de precisão moderada (3 dígitos).

Um VCO como o AD650 é um conversor V-para-F *assíncrono :* sua oscilação é livre e gerada internamente, e não possui entrada de clock. Mas você pode fazer as coisas de maneira diferente, ou seja, tendo uma entrada de clock e gating através de pulsos de clock de forma que a *taxa média* que sai seja proporcional a uma tensão de entrada analógica. Para tal conversor V/F *síncrono ,* os pulsos de saída, quando presentes, ocorrem coincidentes com o clock de entrada; mas os pulsos estão presentes ou ausentes, conforme necessário para manter sua taxa média proporcional a Vin. Em geral, os pulsos não são igualmente espaçados (embora seus espaçamentos sejam múltiplos exatos do período do relógio de entrada); ou seja, você não obtém uma única frequência. O trem de pulso tem "jitter". Isso é bom para alguns aplicativos, particularmente aqueles que inerentemente calculam a média da saída; um exemplo é um elemento aquecedor resistivo, talvez dentro de um circuito de temperatura controlada com um sensor de temperatura analógico.

Montamos um conversor V/F síncrono AD7741, com clock de 5 MHz, e medimos sua frequência de saída (média de vários segundos) versus tensão de entrada. É muito bom (Figura 13.40).

O conversor V/F síncrono é um exemplo simples de ADC de "1 bit". Existem maneiras melhores de gerar um fluxo de bits cujo valor médio representa a conversão de um sinal de entrada analógico. Em particular, os chamados *conversores delta-sigma* fazem um trabalho muito melhor. Trabalho melhor, mas um pouco mais difícil de entender. Abordaremos isso em breve, em §13.9, onde tentaremos bravamente (mas talvez sem sucesso) desfazer a confusão da situação.

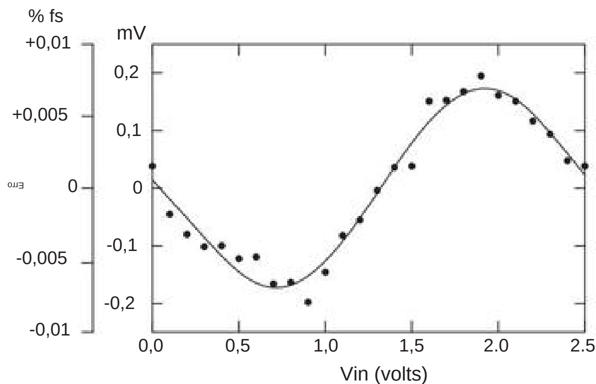


Figura 13.40. Não linearidade medida de um conversor V/F síncrono AD7741 em função da tensão de entrada. A linearidade especificada é de ±0,015%.

13.8.2 Integração de inclinação única

Nesta técnica um gerador interno de rampa (fonte de corrente + capacitor) é acionado para iniciar a conversão, e ao mesmo tempo um contador é habilitado para contar pulsos de um clock estável. Quando a tensão da rampa iguala o nível de entrada, um comparador para o contador; a contagem é proporcional ao nível de entrada, ou seja, é a saída digital. A Figura 13.41 mostra a ideia.

Ao final da conversão o circuito descarrega o capacitor e zera o contador, e o conversor está pronto para outro ciclo. A integração de inclinação única é simples, mas não é usada onde é necessária alta precisão porque impõe requisitos severos à estabilidade e precisão do capacitor e do comparador. O método de "integração de inclinação dupla" elimina esse problema (e vários outros também) e agora é geralmente usado onde a precisão é necessária.

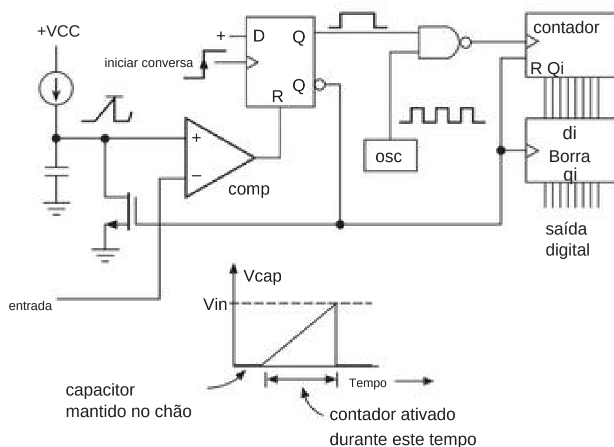


Figura 13.41. ADC de inclinação única.

A integração de inclinação única ainda está viva e bem, especialmente em aplicações que não exigem precisão absoluta, mas precisam de conversão com boa resolução e espaçamento uniforme de níveis adjacentes. Um bom exemplo é a análise de altura de pulso, em que a amplitude de um pulso é mantida (detector de pico) e convertida em um endereço. A igualdade de largura de canal é essencial para esta aplicação, para a qual um conversor de aproximação sucessiva seria totalmente inadequado. A técnica de integração de inclinação única também é usada na conversão de tempo para amplitude (TAC).

13.8.3 Integrando conversores

Existem várias técnicas que têm em comum o uso de um capacitor para acompanhar a relação entre um nível de sinal de entrada e uma referência. Todos esses métodos calculam a média (integram) o sinal de entrada para um intervalo de tempo fixo para uma única medição. Existem duas vantagens importantes.

1. Como esses métodos usam o mesmo capacitor para o sinal e a referência, eles perdoam relativamente a estabilidade e a precisão do capacitor. Esses métodos também exigem menos do comparador. O resultado é melhor precisão para componentes de qualidade equivalente ou precisão equivalente a custo reduzido.
2. A saída é proporcional à tensão de entrada *média* ao longo do tempo de integração (fixo). Ao escolher esse intervalo de tempo para ser um múltiplo do período da linha de força, o conversor torna-se insensível ao "zumbido" da linha de força de 60 Hz (e seus harmônicos) no sinal de entrada (Figura 13.42).

Essa anulação da interferência de 60 Hz requer um controle preciso do tempo de integração, pois um erro de até mesmo uma fração de porcentagem no tempo do relógio resultará no cancelamento completo do zumbido. Uma possibilidade é usar um oscilador de cristal. Uma alternativa elegante é o uso de um *loop de travamento de fase* (§13.13) para sincronizar o funcionamento de um conversor integrador a um múltiplo da frequência da rede elétrica, tornando a rejeição perfeita.

Essas técnicas de integração têm a desvantagem de baixa velocidade, em comparação com a aproximação sucessiva; mas eles se destacam em precisão, particularmente em encarnações de inclinação dupla ou multiinclinação, ou como sofisticados conversores delta-sigma (§13.9).

13.8.4 Integração de inclinação dupla

Esta técnica elegante e muito popular elimina a maioria dos problemas de capacitores e comparadores inerentes à integração de inclinação única. A Figura 13.43 mostra a ideia. Primeiro, uma corrente exatamente proporcional ao nível de entrada carrega um

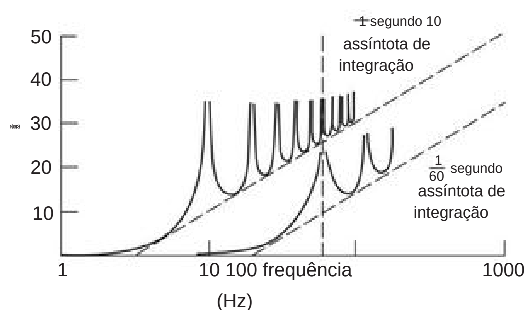


Figura 13.42. Rejeição de modo normal com conversão A/D integrada ers.

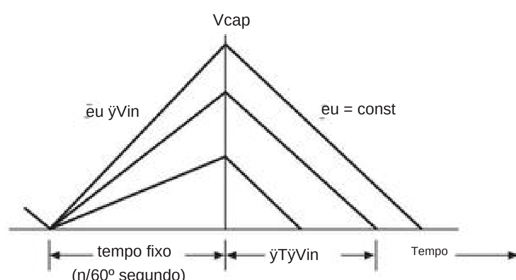


Figura 13.43. Ciclo de conversão de inclinação dupla.

capacitor por um intervalo de tempo fixo; então o capacitor é descarregado por uma corrente constante até que a tensão atinja novamente zero. O tempo para descarregar o capacitor é proporcional ao nível de entrada e é usado para habilitar um contador acionado por um relógio funcionando em uma frequência fixa. A contagem final é proporcional ao nível de entrada, ou seja, é a saída digital.

A integração de inclinação dupla alcança uma precisão muito boa sem colocar requisitos extremos na estabilidade do componente. Em particular, o valor do capacitor não precisa ser particularmente estável, porque o ciclo de carga e o ciclo de descarga ocorrem a uma taxa inversamente proporcional a C.
Da mesma forma, desvios ou erros de escala no comparador podem ser eliminados iniciando e terminando cada ciclo de conversão na mesma tensão e, em alguns casos, na mesma inclinação. Nos conversores mais precisos, o ciclo de conversão é precedido por um ciclo de zeramento automático no qual a entrada é mantida em zero. Como o mesmo integrador e comparador são usados durante esta fase, a subtração da saída de "erro zero" resultante da medição subsequente resulta no cancelamento efetivo de erros associados a medições próximas de zero; no entanto, não corrige erros na escala geral.

Observe que mesmo a frequência do clock não precisa ser de alta estabilidade na conversão de inclinação dupla, porque o valor fixo o tempo de integração durante a primeira fase da medição é gerado pela subdivisão do mesmo relógio usado para incrementar o contador. Se o relógio desacelerar em 10%, a rampa inicial será 10% maior que o normal, exigindo um tempo de desaceleração 10% maior. Como isso é medido em pulsos de relógio 10% mais lentos que o normal, a contagem final será a mesma! Somente a corrente de descarga deve ser de alta estabilidade em um conversor de inclinação dupla com zeramento automático interno. As referências de tensão e corrente de precisão são relativamente fáceis de produzir, e a corrente de referência (ajustável) define o fator de escala neste tipo de conversor.

Ao escolher componentes para conversão de inclinação dupla, certifique-se de usar um capacitor de alta qualidade com absorção dielétrica mínima (efeito "memória"; consulte §5.6.2 e a discussão expandida em *§1x.3)* – polipropileno, poliestireno, ou capacitores de Teflon funcionam melhor. Embora esses capacitores não sejam polarizados, você deve conectar a folha externa (indicada com uma banda) ao ponto de baixa impedância (a saída do amplificador operacional integrador). Para minimizar os erros, escolha os valores *R* e *C* do integrador para usar quase toda a faixa analógica do integrador. Uma frequência de clock alta melhora a resolução, embora você ganhe pouco quando o período de clock se torna mais curto do que o tempo de resposta do comparador.

Ao usar conversores de inclinação dupla de precisão (e, na verdade, qualquer tipo de conversor de precisão), é essencial manter o ruído digital fora do caminho do sinal analógico. Os conversores geralmente fornecem pinos separados de "terra analógico" e "terra digital" para essa finalidade. Freqüentemente, é aconselhável armazenar em buffer as saídas digitais (digamos, com um driver octal de três estados '541, ativado apenas ao ler a saída) para desacoplar o conversor do rugido digital de um barramento de microprocessador (consulte os Capítulos 14 e 15). Em casos extremos, você pode usar opto-acopladores (§12.7) para colocar em quarentena o ruído de um barramento p
Certifique-se de usar o bypass de fonte de alimentação liberal diretamente no chip conversor. E tenha cuidado para não introduzir ruído durante o ponto final crítico da integração, pois a rampa atinge o ponto de disparo do comparador. Por exemplo, alguns conversores permitem que você verifique o fim da conversão lendo a palavra de saída: *não faça isso!48* Em vez disso, use a linha BUSY separada , adequadamente isolada.

A integração de inclinação dupla é amplamente usada em multímetros digitais de precisão. Ele oferece boa precisão e alta estabilidade a baixo custo, combinado com excelente rejeição de interferência de linha de energia (e outras), para aplicações onde a velocidade não é importante. Os códigos de saída digital são estritamente monotônicos com entradas crescentes.

A alternativa, para maior precisão, é o delta-sigma

48 OK, se você insiste, vá em frente e verifique – mas só depois de ter certeza de que está pronto.

Tabela 13.6 Conversores A-D Micropower selecionadosa

Part # Bits (ksps)	Conv Avaliar máximo		em Vs (V)	c Corrente de alimentação, é @ @velocidade máxima (sps) (ÿA)	(ÿW)						Custof qtde 100 (US$) Packageh	
MCP3021 10 22		1 -•- - 2,7 1 - • - - 1,8 1 -		17 5k 175 6,3 5k	0,092	0,01 I	-	Vs	-		I2C 0,81 SOT23-5 SPI 2,75	-
ADS7866 12 200		•- - 1,6		275 3,8 5k 150	0,023	0,01 S	-	Vs	-		SOT23-6 SPI 4,80 SOT23-6	-
ADS7466 12 200					0,012	0,01 S	-	Vs	-		SPI 2,30 SOT23-6	-
ADC121S 12 1000		1 -•- -	2,7 15	5k 600	0,081	0,5 S	- Vs		-			-
AD7091R 12 1000		1- •- -	3,0	57 20k 350 70 128	0,086	0,26 S 1% • 0,05 I 0,1 I			•	-	4,10 MSOP-10	-
ADS1100 16	0,128 1 • - • 1-8 3,0 0,24 1 • - •			70 e 0,6 1 145 150	16,4 18	0,1 S 0,01 S	- Vs • 0,05%			-	4,37 SOT23-6 - 1,65	
MCP3425 16	1-8 3,0 1 - • •- 2,7			20k 1850	0,20		36%	-		-	SOT23-6 SPI 9,10	w
ADS8326 16 250							-	•	-		MSOP-8 8,20 MSOP-10	-
AD7685 16 250		1 - • • -	2.5	0,6 100 1350	0,15		-	•	•	-		-
LTC2379-18 18 1600		1 - • • -	2,5 25 2,7	5k 7200 14	0,13	0,9 S 10	-	•	•	-	36.37 MSOP-16	x
MCP3551 22	0,014 1 • -• - 0,008 2 • - •		100 2,7 170	100 8 170	190	S 1,5 S	-	• 1% •		-	3.01 SOIC-8 - 5.05	
LTC2412 24	- 0,48 1 • 1-16		3,6	235 480 235	570 18	0,4 S	-	2% de			SSOP-16 3.29 QSOP-16	y
MAX11210 24		•-					-	diferença SPI • •				z

Notas: (a) classificados por resolução e velocidade máxima. (b) todos os tipos de SAR têm S/H ou T/H e nenhum atraso de pipeline. (c) a maioria dos tipos de SAR tem potência proporcional à taxa de amostragem. (d) I=I2C, S=SPI. (e) no modo de 12 bits (10ÿA para 16 bits). (f) grau mais barato. (g) assumindo linearidade, e no mesmo Vs listado para Is. (h) outras embalagens podem estar disponíveis, consulte as fichas técnicas. (w) MCP3422 = 18 bits. (x) tem compressão de ganho digital, veja folha de dados. (y) sem latência, seleção de canal de ping-pong. (z) quatro bits de E/S, podem ser usados para MUX externo.

conversor. Há muita confusão em torno dessa técnica elegante. Em uma seção subsequente (§13.9), pretendemos afastar a fumaça e fornecer alguma intuição sobre o funcionamento dessas coisas. Primeiro, porém, uma olhada no que há de mais moderno em conversores integrados – a chamada técnica “multislope” desenvolvida pela Hewlett-Packard (posteriormente Ag ilent, agora Keysight) e comercializada em sua classe mundial 81

2 multímetros de -dígitos – precedidos por um desvio relevante no uso de interruptores analógicos em aplicações de conversão.

13.8.5 Chaves analógicas em aplicações de conversão (um desvio)

As chaves analógicas, vistas pela primeira vez em §3.4.1, são importantes em aplicações de conversão, tanto como componentes do próprio conversor (consulte, por exemplo, Figuras 13.2, 13.9,, 13.34 e 13.36) quanto como auxiliares externos. Em sua função anterior, eles são uma parte essencial do conversor multislope de precisão (§13.8.6) e do conversor delta-sigma (§13.9). Aqui, exploramos brevemente algumas aplicações de conversores nas quais uma chave analógica CMOS de família lógica discreta é particularmente útil.

A. Chaves analógicas da família lógica A

família amplamente disponível de chaves CMOS '4051 a '4053 é particularmente útil para aplicações analógicas, porque essas peças possuem uma linha de alimentação VEE negativa para as chaves, juntamente com os shifters de nível lógico interno; portanto, os interruptores funcionam em uma faixa analógica de -VEE a +VDD e, na verdade, 0,25 V adicional ou mais além desses trilhos de alimentação. A Tabela 13.7 mostra as famílias lógicas nas quais essas chaves estão disponíveis. Há três partes na família: o '4053 é especialmente atraente, com seus três interruptores SPDT controlados independentemente; há também o '4052 com um par de switches de 4 para 1 linha e o 4051 com um único switch de 8 para 1. Embora esses interruptores sejam atraentes porque são baratos (menos de US$ 0,50) e disponíveis em meia dúzia de empresas, eles são ainda mais atraentes para os projetistas porque são muito rápidos e têm baixa capacitância.

Por exemplo, o 74HC4053 normalmente tem 40 ÿ de resistência ON , comuta em 20 ns e tem 8 pF de capacitância para o terra. Comparado com ICs oficialmente destinados a comutação e multiplexação de log analógico, um '4053 tem uma oscilação de tensão mais limitada e nenhuma proteção contra descarga eletrostática (ESD). Quando comparado com os interruptores CMOS, tem maior resistência ON , mas não sofre com sua alta capacitância. Está em um ponto ideal que é ideal para comutar sinais entre os circuitos na mesma placa de circuito.

Versões únicas de SPDT estão disponíveis em SOT23 e outros pacotes SMT que economizam espaço. Essas peças, por exemplo, os tipos '1G3157 (o 1G significa porta única), não

Tabela 13.7 Chaves SPDT estilo 4053

Abastecimento Vcc Vtotc (V) (V)	-	td(on)f RON ÿRON Vtotc typb type maxe (ns) (ÿ) (ÿ) (V)	tampa @ tip type type (pF)	Vazamento na (pA) (nA)	Qinj (pC)	-
triplo de 16 pinos						
CD4053 3-15 20 - 120 120 10 10 8 5d 40 8 20 10 9 30d - 49 120 10m				10 50		•
74HC4053 2-7,5 15	•	18	45d 9 9	100		•
74VHC4053 2-7,5 15	-	18		500		•
74VHC4053o 2-7 14				100		•
DG4053A 2-7 14	•	31	66 3 10 4 60 6m 10 2	20 1	0,25 -	
MAX4053A 3-17 17	•	50	60 6m 10 9	2 0,1	2	•
ISL84053 2-15 15	•	75		2 0,1	2	-
ADG633 2-6 13	•	70	52 0,8 9 7 80 4m 10 6	5 0,2	2	-
MAX4583 2-12 13	• 90		8d - 4,6 35 1,3 9 - 23m	1	0,5	•
74LV4053 2-7 14	10m 6 10 - 23m 26 10m 6 10		26	100		•
74LVX4053 2-7 7 NLAS4053				100 9		-
1,7-7 7 g 2-11 MAX4693				0,1	9	-
11	•	55	25 2,5 10 20	2	1.8	-
MAX4619 2-6 na	•	7	10 1 5 8,5	2 1	8	•
MAX4783 1,6-4,6 na	•	17	1 0,2 3 75	2 2 20 -		
SMT, solteiro						
ISL84544 2-15 na	•	35	30 0,8 5 8 13 3m 3 10	10 0,1	1	•
74LVC2G53 1.7-6 na -		2	1m 2,3 4,5 6f	100		n / D
74AUC2G53 0,8-3,6 na	•		15	100		n / D
1.1 74LVC1G3157 1.7-6 na - 3.6			9 0,1 3	2ÿA 4 na 10 9 na		
NX3L1G3157 1.4-4.6 na	•	14	0,5 0,02 2,7 35			

Notas: (a) Níveis lógicos TTL, ou TTL disponíveis. (b) OFF, nó comum para gnd. (c) Vtot = Vcc–VEE. (d) depende do fabricante. (e) a 25ÿC, se mostrado, reflete a capacidade ATE. (f) tempo de atraso da entrada lógica para ligar, em Vtot; td(OFF) é um pouco menor. (g) em pacote QFN de 16 pinos; quad também disponível. (m) máximo. (na) sem pino VEE . (o) ON Semi.

incluem o recurso de fornecimento negativo, para que não usem "4053" em seu nome.

Vejamos dois exemplos nos quais os switches estilo '4053 formam uma boa ponte entre os mundos analógico e digital. O segundo exemplo (geração dente de serra com interruptores de direção de corrente) nos levará diretamente aos conversores multislope e delta-sigma.

B. Gerador programável de pulsos de alta tensão É bom poder gerar um pulso controlado por um sinal lógico, mas cuja amplitude é definida separadamente. Para o último, você pode usar um DAC sob controle de computador, ou talvez apenas um botão de painel.49 O circuito simples na Figura 13.44 faz o trabalho, neste caso permitindo amplitudes de saída de até +100 V.

A chave analógica estilo '4053 aplica o nível selecionado pela chave S1 do painel ao amplificador operacional de alta tensão OPA454, aqui configurado para um ganho não inversor de 20. Este amplificador operacional não é muito rápido (tempos ÿde comutação de aproximadamente 10 s), mas é bastante barato (US$ 5) e pode fornecer saídas pulsadas de 100 mA para carregar cargas capacitivas. Você poderia substituir um amplificador operacional mais rápido para explorar a capacidade de comutação rápida (ÿ 20 ns) da chave analógica . nível de alta tensão (HV) com um DMM, etc. Gostamos de instrumentos fáceis de usar que combinam controles de painel com comutação de sinal CMOS.

C. Gerador dente de serra de direção de corrente Aqui está um circuito (Figura 13.45) que explora as boas características de comutação dos interruptores analógicos estilo '4053, no

[49] De volta ao Capítulo 5, mostramos uma maneira de gerar formas de onda de alta tensão programáveis (Figura 5.47), porém sem o recurso de gating.

[50] Por exemplo, o Cirrus/Apex PA85 gira a 1.000 V/s (com ganho ÿde malha fechada de 100) e pode operar com alimentação total de 450 V. Aqui você pode alimentá-lo nos barramentos de +400 V e -15 V. Esteja preparado para desembolsar muito dinheiro: esse filhote custa cerca de US $ 300. (Veja a seleção de amplificadores operacionais de alta tensão na Tabela 4.2b.) Uma solução mais econômica é construir seu próprio amplificador de alta tensão, seguindo as linhas da Figura 3.111; consulte também a seção sobre um amplificador de alta tensão de precisão no Capítulo 4.

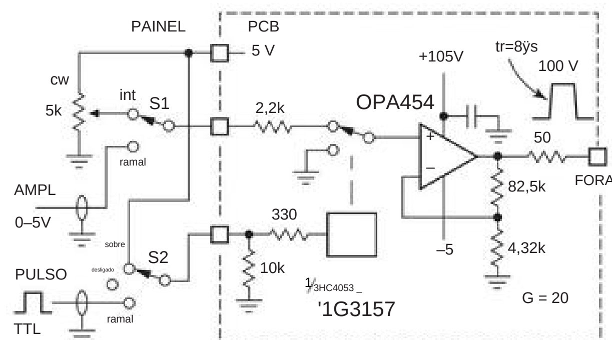


Figura 13.44. Gerador simples de pulsos de alta tensão, com amplitude e forma de onda programáveis. O switch '4053 inclui um pino ÿVEE para comutação de sinal de bipolaridade (para ± 5 V), enquanto o '3157 de seção única opera apenas com polaridades positivas.

mesmo arranjo de direção de corrente que é usado no notável conversor multislope que veremos na próxima subseção. Op-amp U1 é um integrador, com sua junção de soma polarizada na metade da tensão de alimentação (para operação de alimentação simples de +5 V). As chaves S1 e S2 são seções de um 'HC4053, rodando no mesmo +5 V; eles programam individualmente as taxas de rampa ascendente e descendente, definidas pelos resistores R1 e R2. O fechamento de S1 gera uma corrente Vcc/2R1, fazendo com que o integrador desacelere de acordo com dVramp/dt = *I/C;* S2 causa uma rampa ascendente análoga. O comparador possui limiares em 1/3 e 2/3 de Vcc, girando a rampa após passar por *ÿV* = Vcc/3. É fácil mostrar que os intervalos de rampa resultantes são dados por trise = 3R2C e tfall = 3R1C, ef2 = *1,5/C(R1* + R2). 2

Exercício 13.4. Vá em frente, mostre!

Tanto os interruptores quanto o comparador são rápidos, permitindo operação de pelo menos alguns megahertz, para os quais valores adequados podem ser resistores de alguns milhares de ohms e *C* na faixa de 100–500 pF. Com um capacitor integrador tão pequeno, você precisa se preocupar com os efeitos da capacitância do interruptor Csw, normalmente na faixa de 5 a 10 pF. Considere, por exemplo, a chave S1, na posição mostrada na figura: sua capacitância é carregada para +5 V, e assim ela transfere um pacote de carga *ÿQ* = CswÿV (onde *ÿV* = Vcc/2) para a junção somadora quando a interruptor move-se para o terminal inferior. Essa transferência de carga causa um degrau na saída do integrador, como na Figura 13.46. A solução aqui (e no ADC multislope veremos a seguir) é manter o outro terminal do interruptor na mesma tensão da junção de soma (o circuito pontilhado).

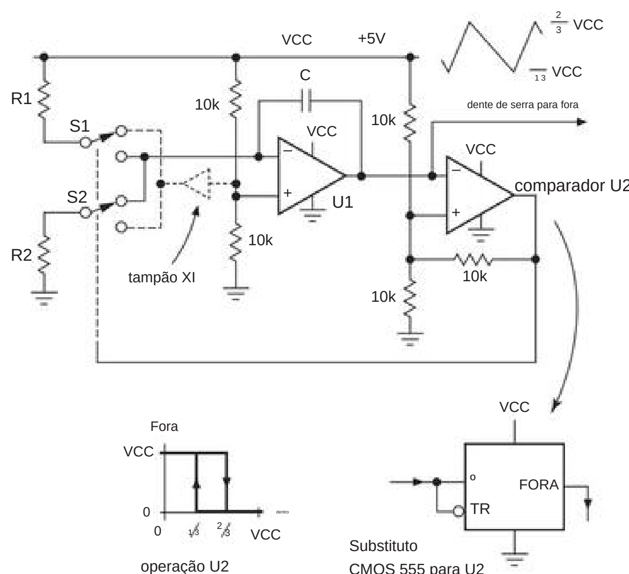


Figura 13.45. Geração dente de serra com interruptores de direção de corrente. O comparador U2 é configurado como Schmitt Trigger com limites em Vcc/3 e 2Vcc/3, para o qual uma parte adequada (com saídas rail-to-rail ativas) é o rápido TLV3501 (tp=4,5 ns); um CMOS 555 poderia ser substituído, embora não seja tão rápido (tp=100 ns).

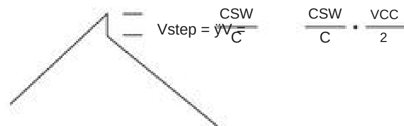


Figura 13.46. A injeção de carga produz uma mudança na saída do integrador, quando um nó de circuito (de capacitância Csw) em uma tensão diferente é ligado.

13.8.6 Projetos dos mestres: da Agilent conversores "multislope" de classe mundial

Com essas aplicações de chave analógica em mente, estamos em boas condições para entender as técnicas de "multislope" usadas em instrumentos como o Keysight51 34420 71 2 Multímetros 3458A 81 2 de dígitos e de dígitos.52 Este é o instrumento topo de linha da Agilent há mais de vinte anos, com um preço atual (ano de 2015) de US$ 9,5 mil. Uma variante simplificada ("Multislope III") é usada na série contemporânea de instrumentos DMM de alto desempenho da Keysight (o medidor 34420A de nanovolts e microohms de 7,5 dígitos, o medidor 34401A de 6,5 dígitos

51 Anteriormente Agilent, 1999–2014, e antes disso Hewlett–Packard ou "HP", 1939–1999. 52 Este último descrito em seu site como "Reconhecido em todo o mundo como o padrão em DMMs de alto desempenho".

Machine Translated by Google

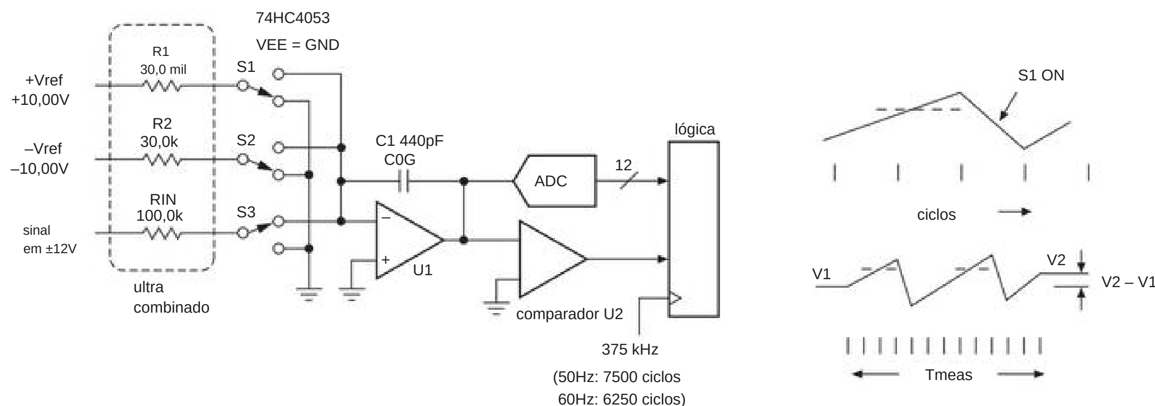


Figura 13.47. Conversor “Multislope III” da Keysight, um integrador de balanceamento de carga com clock com correção de ponto final por meio de um ADC de baixa precisão.

DMM de bancada padrão da indústria e o sistema de aquisição de dados de 6,5 dígitos 34970A). Veremos em detalhes como funciona o Multislope III, e revelaremos um pouco do funcionamento do Multislope IV de última geração (lançado em 2006).

A. A técnica básica Para colocar em perspectiva, a técnica multislope é uma evolução do integrador dual-slope, explorando um esquema de integração de balanceamento de carga multiciclo que é mais para fornecer imperfeições do capacitor e que leva em consideração o resíduo restantes após o ciclo final de integração. Ele combina aspectos da conversão dual-slope e delta-sigma, e é um trampolim natural para o último.

O circuito básico é extremamente simples (Figura 13.47) e usa principalmente peças de baixo custo (exceto as referências de tensão e resistores de precisão). Há um integrador U1, um “mecanismo lógico” que monitora a saída do integrador (via comparador U2) a cada pulso de clock de 375 kHz e um par de interruptores *(S1* e S2) que são operados sincronizadamente pela lógica para manter o integrador aproximadamente equilibrado (afundando ou fornecendo uma corrente precisa no integrador). Há também um ADC de precisão modesta (12 bits) que é usado para ler a tensão de saída do integrador no início e no final de uma medição multiciclo.

Basicamente, funciona assim: para iniciar uma medição, a chave S3 é fechada,[53] fazendo com que o integrador aumente ou diminua a rampa (de acordo com dV/dt = ÿIin/C1 = ÿVin/RinC1). A cada clock sucessivo, o motor lógico faz com que a chave S1 ou S2 feche (dependendo da polaridade da saída do integrador), adicionando ou subtraindo a corrente de referência correspondente (±10 V/30 kÿ) para forçar a entrada. tegrator para voltar para o chão. Isso ocorre por muitos ciclos de clock (para rejeição máxima do pickup da linha de força, é desejável usar um tempo de medição correspondente a um número inteiro de ciclos da linha de força; por exemplo, 6250 tiques do relógio equivalem a 1/60 de segundo), após o que a lógica registra aumentar o número de ciclos positivos (n+) e negativos (nÿ) . Isso fornece uma estimativa de *primeira ordem* da tensão média de entrada durante o tempo de medição:

$$\text{Vsig(1)}\ \text{ÿ}\ \text{Vref}\ \frac{\text{nÿ}\ \textit{ÿn}\text{+ nÿÿ}}{\text{Nciclos}}\ \frac{\text{Rin}}{\text{R1}} = \text{Vref}\ \frac{}{6250}\ \frac{100\text{k}}{30\text{k}}.$$

Isso não é muito preciso: uma entrada em escala real de ±12 V produz uma contagem líquida (nÿÿn+) de ±2250 (descubra o porquê), então a resolução é de aproximadamente 12 bits. Agora, um bom truque: como a medição é cronometrada por um número inteiro de ciclos de clock (em vez de um cruzamento zero, como no método de inclinação dupla), o nível do integrador residual contém informações adicionais. Ele nos permite efetivamente executar uma subdivisão semelhante a um vernier de um ciclo de clock. Esse é o motivo do ADC na Figura 13.47, que é usado para medir a tensão do integrador no início e no final do ciclo de medição. Para o ADC de 12 bits na figura, isso fornece cerca de 512 níveis de subdivisão do LSB de primeira ordem, adicionando 9 bits à estimativa de primeira ordem de ÿ12 bits, para um resultado final de resolução de ÿ21 bits.[54] Mais precisamente, a resposta de segunda ordem (e final!) é dada por

$$\text{Vsig(2)} = \text{Vsig(1)} + (V_f\ \text{ÿ}V_i)\frac{\text{RinC1}}{\text{Tmeas}} = \text{Vsig(1)} + 0{,}00264(V_f\ \text{ÿ}V_i),$$

53 Usamos o termo “fechado” para significar que uma determinada chave está conectada à junção de soma.

54 A faixa de conversão do ADC corresponde à do integrador, mas ambos são ÿ8× maiores que a rampa do integrador ao longo de um pulso de clock quando o sinal de entrada está em ± escala total. É por isso que o ADC efetivamente perde 3 bits de resolução ao digitalizar o resíduo *(Vf* ÿVi).

onde o coeficiente do termo ÿV "vernier" representa a contribuição decrescente da correção do ponto final com o aumento do tempo de medição. Mais especificamente, é fácil mostrar que o termo ÿV por si só fornece a tensão de entrada correta para uma medição cuja duração é igual a um único ciclo de clock (ou seja, Tmeas = 1/ fclk).

Exercício 13.5. Aceite o desafio: mostre que isso está correto.

B. Detalhes, detalhes. . .

Essa é a visão de nível superior da técnica de conversão multislope. Há muito mais a dizer – há o diabo de sempre nos detalhes; e há muitos refinamentos possíveis para extrair o máximo de desempenho dessa ideia central. Aqui nos restringimos, restringindo nosso comentário a um resumo conciso dos aspectos mais interessantes e instrutivos.

Componentes não críticos Para *S1–S3,* a Agilent usa um conjunto de chaves padrão 74HC4053 (da NXP) e, para C1 , um capacitor de chip de cerâmica comum da variedade estável NP0/C0G (da AVX). Este tipo de capacitor, que é incrivelmente barato,55 exibe um baixo coeficiente de temperatura (±30 ppm/ÿC) e absorção dielétrica desprezível ("memória", ver Figura 5.4 em §5.6.2 e os números mais extensos em *§ 1x.3),* imensurável nas escalas de tempo de comutação aqui. Da mesma forma, nenhuma grande precisão ou estabilidade é necessária para o comparador ou ADC de quantização de ponto final.

Componentes críticos As referências de tensão definem a escala da medição e devem ser altamente estáveis. Na prática, esses instrumentos usam uma única referência do tipo zener de 7,0 V e um par de amplificadores operacionais de precisão para produzir as tensões de referência de ±10,0 V.56 A tensão de "10,0 V" não precisa ser precisa para a precisão máxima do instrumento, que passa por calibração de fábrica; ele precisa ser *estável,* é claro, para manter essa precisão calibrada.57 Dois outros componentes críticos são as matrizes de resistores combinados (R1–R3 e os resistores de ajuste de ganho nas referências de tensão) e o amplificador operacional integrador . Este último é, de fato, um amplificador composto (um OP27+AD711), alcançando alta taxa de variação e alto ganho de loop junto com tensão de deslocamento muito baixa (Figura 13.48). os resistores

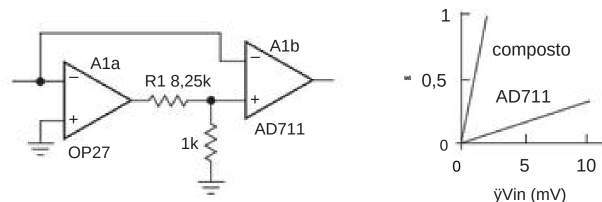


Figura 13.48. Um "amplificador composto" aumenta muito a taxa de variação. O valor de 8,25k (nominal) do atenuador interestágio é escolhido grande o suficiente para garantir a estabilidade de U1

são matrizes especialmente empacotadas para correspondência próxima e rastreamento. O que importa aqui é o desvio (ao longo do tempo e da temperatura) das relações do resistor, porque pequenas incompatibilidades nas relações iniciais do resistor são tratadas na calibração de fábrica.
Não mostrado, mas igualmente crítico, é o amplificador de entrada de ganho selecionável. Deve ter ganhos precisos e estáveis, e meios para realizar calibrações e correções; ver §5.12.

As chaves A chave 74HC4053 é usada em uma corrente esquema de direção como o da Figura 13.45, organizado de forma que as tensões em todos os pinos da chave '4053 permaneçam sempre próximas de zero volts. As chaves servem apenas para orientar as correntes, adicionando ou subtraindo uma taxa de variação à saída do integrador que está em uma proporção precisa da taxa de variação produzida por uma tensão de entrada. A resistência dos interruptores, é claro, figura no valor dessas correntes. Mas, desde que o Ron dos interruptores seja bem combinado, estável e pequeno em comparação com *R1–R3,* o efeito é corrigido pelo ciclo de calibração que o instrumento executa automaticamente antes de cada medição (consulte o próximo parágrafo). Para o NXP 'HC4053 usado nos instrumentos Keysight, por exemplo, Ron normalmente é 85 ÿ, combinado com 8 ÿ. É importante que esses interruptores operem como "break-before-make", para que seus pares de terminais de saída não fiquem momentaneamente em curto (o que conectaria a junção de soma do integrador ao terra, agindo como um sinal de entrada diferencial igual à tensão de compensação do amplificador operacional). Alguns fabricantes incluem tal especificação, outros não. Por exemplo, o mesmo datasheet do NXP especifica os tempos de ligar e desligar , cuja diferença representa um intervalo break-before-make de 4 ns; mas não especifica esse intervalo diretamente, ao passo que o datasheet do DG4053 da Siliconix lista um tD de "Break-Before-Make Time Delay" de 6 ns tip (2 ns min).

Calibração A topologia simples de entrada comutada por corrente é adequada para calibrar e eliminar os efeitos de incompatibilidades de relação de resistor, referência de tensão

[55] $ 0,06 em quantidades de 100 peças, cerca de 50.000 em estoque na DigiKey esta manhã.

[56] Fontes confiáveis nos disseram que a Keysight usa o espetacular LTZ1000, veja §9.10.1B. 57 Para o DMM de bancada padrão 34401A, por exemplo, a precisão CC inicial calibrada de fábrica está dentro de aproximadamente 2 ppm; ele é especificado para derivar não mais que ±0,0015% em 24 horas, mas ±0,0035% após um ano.

incompatibilidades, compensações de amplificadores operacionais, atrasos de comutação e similares. Por exemplo, quando S3 está desligado (ou seja, sem sinal de entrada) e S1 e S2 são alternados por um certo número de ciclos sucessivos, o ponto final *ÿV* é uma medida da incompatibilidade das correntes de referência positiva e negativa. Da mesma forma, roteando Vref para a entrada de sinal e realizando uma medição de tensão, você obtém uma medida da incompatibilidade de sinal e correntes de referência. Os instrumentos da Keysight executam um conjunto dessas calibrações antes de cada medição em suas configurações de resolução mais alta (onde isso faz a diferença). Claro, não há como determinar o desvio de sua referência de tensão primária; para isso você precisa de uma fonte externa de tensão conhecida. Este é o modelo de negócio dos laboratórios de calibração.

Intervalo de medição Usamos o exemplo de um tempo de medição Tmeas igual ao período de um ciclo de linha de energia (PLC), neste caso 6250 ciclos de 375 kHz, ou 1/60 de segundo. Um tempo de medição que é um número inteiro de PLCs (“NPLCs”) rejeita poderosamente a interferência acoplada e os tempos de medição mais longos melhoram a precisão final; consulte a Tabela 13.8. Mas, como mostra a tabela, você pode fazer medições mais rápidas, em detrimento da rejeição da linha de energia e da precisão.58 Também é possível fazer medições *contínuas ,* nas quais a chave de sinal S3 está sempre ligada (neste modo, o ADC terminal deve colher amostras cronometradas com precisão).

“Multimultislope” Voltando ao DMM de 8,5 dígitos HP3458A original que mudou o jogo, ele usa um truque divertido: ele tem quatro conjuntos de resistores e interruptores de entrada, de modo que pode reduzir drasticamente a taxa de variação do integrador (por um fator de ~600) conforme se aproxima do ponto final.59 Estranhamente, ele não mede o resíduo final; em vez disso, ele diminui para 0 V, perdendo um truque muito poderoso.

Miscelânea Há muitos detalhes na implementação final dessa técnica de conversão, conforme descrito nos manuais de serviço e nos artigos do *HP Journal ,* bem como nas patentes relevantes.60 Por exemplo, é necessário apenas para evitar a saturação do integrador; portanto, você pode usar mais de um comparador e ligar as chaves de corrente de referência *(S1* e S2) apenas quando necessário para manter o integrador dentro do alcance. Isso minimiza o número de ciclos de comutação e os erros que o acompanham. Existem também algumas peculiaridades curiosas do circuito; por exemplo, há esferas de ferrite com perdas nas saídas analógicas '4053 e há um capacitor da junção de soma do integrador para o terra. Vai saber....

Evolução da técnica Em 2006, a Agilent introduziu versões mais rápidas do “Multislope IV”,61 o 34410A, 34411A e o 34972A, todos com links de dados USB e Ethernet; eles custam mais, e os clássicos 34401A e 34970A tiveram seu preço reduzido. Posteriormente, eles introduziram os modelos 34460A e 34461A, com recursos adicionais, como processamento de sinal do painel de exibição e interfaces de sensor (o 34461A tem as mesmas velocidades e recursos de medição que o 34401A, listados na Tabela 13.8). O 34420A permaneceu como o único medidor de 7,5 dígitos (20 ppm) da linha e não foi atualizado.

Tabela 13.8 ADCsa Multislope-III da Keysight

duração da medição			dígitosd	rdgs por secc	50/60Hz rejeitado (dB)
(PLCb)	(msc)	(relógiosc)			
0,024	0,4	150	4.5	1000	–
0,2	3	1500	5.5	300	–
1	16.7	6250	5.5	60	60
10	167	62,5k	6,5	6	95
100	1,67s	625k	6,5f	0,6	105
200g	3,33s	1,25M	7.5	0,3	110

Notas: (a) 34401A DMM, 34420A MicroVolt, 34970A DAQ. (b) ciclos powerline; selecionável 50/60 Hz através do menu de configuração. (c) quando definido para 60 Hz; a taxa de clock é de 375 kHz. (d) relatado. (e) rejeição de modo normal, na freq. (f) 7,5 dígitos para o 34420A. (g) 34420A apenas.

C. De multislope para delta-sigma O conversor multislope nos leva naturalmente à popular técnica de conversão delta-sigma, com a qual tem muito em comum. No nível mais básico, ambos são

58 Melhorando a técnica básica multislope, os recentes DMMs de bancada Keysight 34411A se saem melhor: 1.000 leituras/s em resolução de 6,5 dígitos e 50.000 leituras/s em resolução de 4,5 dígitos.

59 Este conjunto de taludes pode ser a origem do “multi” em multislope. Eles criaram o nome “Multislope III” para o esquema subseqüente (e mais simples) descrito anteriormente. 60 *HP Journal,* abril de 1989; Patentes dos EUA 4.357.600 e 4.559.521.

61 Olhando para as formas de onda Multislope IV com um osciloscópio, você vê uma besta muito diferente. A1b foi substituído por um amplificador operacional AD829 mais rápido (120 MHz, 230 V/s), com o capacitor de integração C1 ÿ reduzido em 5×. Um mecanismo de hardware força o integrador de erros a produzir rampas consistentes de 10 Vpp com um período de 2 s, usando dados grosseiros de um digitalizador AD9283 de 80 MHz ÿ cronometrado na rampa em intervalos de 14 ns e dados finos de um conversor AD9200 de 10 bits com um 2 V limitado faixa, cronometrada em intervalos de 75 ns perto de zero volts. As mudanças de inclinação e o registro do contador são feitos em intervalos de 75 ns, e o AD9200 faz leituras iniciais e finais com resolução de 0,02%. Como resultado, um conversor Multislope IV pode medir 4,5 dígitos em 20 ÿs (0,001 PLC), ou 20× mais rápido que o Multislope III.

métodos de integração nos quais um deslocamento discreto é aplicado à entrada em intervalos periódicos, com base no nível de saída do integrador. Como veremos, no entanto, a técnica delta-sigma tem vários truques sutis na manga, permitindo-lhe oferecer um desempenho surpreendente.

13.9 ADCs IV: delta-sigma

Agora, finalmente, uma seção estendida sobre o que se tornou uma técnica de conversão A/D (e às vezes D/A) favorita: o conversor "delta-sigma". Essas coisas são confusas, mas valem a pena um esforço sério para entender, porque oferecem desempenho de alto nível em resolução e precisão (por exemplo, monotônico para 31 bits ou mais) de "voltímetro" a velocidades de áudio e além. Sua arquitetura de "oversampling" simplifica bastante o filtro anti-alias lowpass de entrada e realiza alguma mágica ao deslocar a especificação de ruído para fora da banda passante. E eles fornecem esse desempenho a um custo surpreendentemente baixo. Nas próximas subseções, apresentamos a ideia básica; em seguida, analisamos seriamente como esses conversores oferecem desempenho muito melhor do que parece ser possível. Concluímos com alguns exemplos de aplicação.

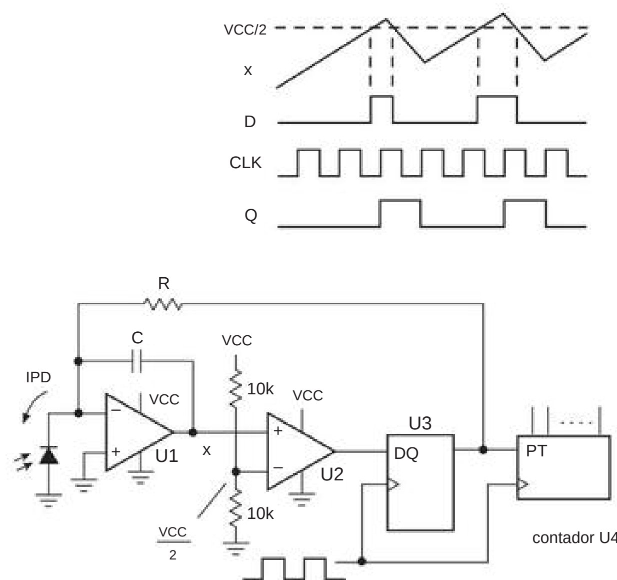


Figura 13.49. Monitor de bronzeamento solar discreto delta-sigma com integração de fotocorrente.

13.9.1 Um delta-sigma simples para nosso monitor de bronzeado

Para começar, vamos revisitar a saga do nosso monitor de bronzeamento (ver §§4.8.4; para ser revisitado mais uma vez e finalmente colocado em repouso, em §15.2), desta vez implementado com o integrador digital delta-sigma mais simples. A Figura 13.49 mostra a implementação, usando um integrador dispensador de carga com clock que opera da mesma forma que o integrador multislope. Na verdade, é mais simples, porque não se preocupa com a correção do ponto final do ciclo fracionário: simplesmente acumula a dose de luz solar integrada, contando o número de ciclos de clock durante os quais é obrigado a injetar uma corrente de referência (aqui Vcc /R) para equilibrar o IPD atual do fotodíodo de saída . Não é mostrado aqui o circuito para soar um alarme quando a contagem predefinida é atingida: o leitor que chegou até aqui sabe bem como fazer isso!

Este é o integrador delta-sigma mais simples: ele acumula (sigma) a diferença (delta) entre a entrada analógica e a corrente medida que é combinada na junção de soma. Ele *poderia* se tornar um *conversor* analógico-digital completo (em vez de um mero *integrador),* se alguns circuitos fossem adicionados para (a) limpar o contador para iniciar uma conversão e (b) ler o valor do contador após um intervalo de tempo fixo que é muito mais longo do que o período do relógio. De fato, esse esquema funcionaria como um ADC. Mas, na prática, você obtém um desempenho muito melhor substituindo o contador por um dig-

filtro italiano; e você melhora ainda mais as coisas ao colocar em cascata vários estágios de amplificador de diferença mais integrador.

Nós vamos chegar a tudo isso, em breve. Primeiro, porém, vamos reserve um tempo para entender este exemplo simples.

Neste circuito, U1 é um amplificador operacional de alimentação única que opera com entradas para (e ligeiramente além) do trilho negativo, e U2 é um comparador com pullup ativo. Para uma aplicação de baixa velocidade como essa, você pode usar um amplificador operacional RRIO duplo como nosso LMC6482 favorito, funcionando na mesma fonte de +3,3 V ou +5 V da lógica digital. O integrador acelera (com declive proporcional à corrente do fotodiodo IPD) até a próxima borda de subida do relógio em que sua saída é maior que VCC/2, ponto em que desacelera com declive proporcional à corrente líquida na junção de soma, VCC/R-IPD. O resultado é que o ciclo de trabalho *D* (fração de tempo em que a saída *Q* de U3 é ALTA), calculado em muitos ciclos, é *D=IPDR/ VCC,* portanto *IPD=DVCC/ R.* O ciclo de trabalho *D* é obtido da contagem *N* em U4 durante o intervalo de tempo *T* por *D=N/* fclkT; note que este resultado não depende da tensão de comparação VCC/2 (ou da tensão no ponto X).

O design é assim.

(a) Escolha um período de clock muito menor do que o tempo de cozimento esperado, por exemplo fclk=10 Hz; mais rápido está OK, mas então você precisa de um contador maior. (b) Escolha *R* para fornecer mais corrente do que a corrente de entrada de fundo de escala antecipada; para IFS=1 A e VCC=5 V, R deve ser menor que 5 MΩ.

(c) Escolha *C* para manter a excursão máxima do integrador seguramente menor que VCC/2 durante um ciclo de clock.

Aqui podemos escolher fclk=10 Hz, R=3,3 Mÿ e C=100 nF. O integrador acelera no máximo 1,5 V por período de clock (no *IPD mínimo),* portanto, não pode saturar. A taxa de contagem de pico é igual à frequência do clock (e a taxa média de contagem de idade é um pouco menor, neste caso 0,6 fclk), portanto, um contador de 16 bits é conservadoramente adequado para configurações de cozimento de até 2 horas equivalentes à luz solar total.

Alguns pontos importantes.

(a) A calibração geral depende da tensão de alimentação VCC, que supomos ser +5 V estável; e aproveitamos a saturação limpa da lógica CMOS para os trilhos.

(b) Observe que a forma de onda do integrador não é periódica com precisão; suas excursões acima e abaixo do limite em VCC/2 vagam um pouco, sendo a garantia apenas que ele será invertido no próximo relógio após o cruzamento do limite. Isso, no entanto, não degrada sua precisão geral, calculada em média ao longo de muitos ciclos: a natureza integradora do sistema delta-sigma mantém o controle adequado dos déficits e superávits; o integrador recebe crédito por sua milhagem extra.

(c) A faixa dinâmica do conversor é limitada pela tensão de compensação do amplificador operacional, que causa um erro de corrente de entrada equivalente a Vos/R; para este projeto que é de cerca de 0,2 nA (pior caso) para o grau -A, portanto, uma faixa dinâmica de 5 × 103. A corrente de polarização do amplificador operacional é insignificante em comparação (4 pA, máx., superaquecimento). (d) A faixa dinâmica seria muito estendida se *R* fosse substituído por uma fonte de corrente comutada, assumindo, é claro, que o sinal de entrada permanece na forma de uma corrente.

(e) Neste circuito, o comparador U2 não precisa ser preciso; na verdade, ele poderia ser omitido completamente, com o limiar lógico do flip-flop tomando seu lugar. Da mesma forma, a operação não requer uma comparação precisa da tensão limite antiga; escolhemos VCC/2 por conveniência.

Veremos alguns exemplos adicionais de versão delta-sigma con em §13.9.11. O leitor impaciente pode pular as subseções a seguir, nas quais exploramos mais profundamente a operação e o desempenho da frequentemente confusa técnica delta-sigma.

13.9.2 Desmistificando o conversor delta-sigma

Como observamos, o integrador delta-sigma torna-se um *conversor* da tensão de entrada analógica média, se você limitar ture a contagem acumulada ao longo de um tempo de medição fixo Tmeas. O tempo de medição deve ser muito maior que o período do clock, é claro, para obter uma resolução decente, porque a contagem máxima é apenas Tmeas/Tclk. Assim, por exemplo, se você fosse projetar um ADC para converter a 100 ksps, poderia usar um clock de 10 MHz, zerado no início de cada conversão e lido 10 s depois. A contagem em escala total seria 100, e você poderia descrever como uma conversão de (quase) 7 bits. Para atingir 16 bits, você precisa rodar o clock em 216×100 kHz, ou 6,5536 GHz!

Isso não parece promissor. Parece uma má ideia projetar um conversor de “1 bit” – que é o que você tem no fluxo de bits que está dirigindo o contador neste projeto. Portanto, será uma surpresa que o impossível *possa* ser feito: há muitos ADCs delta-sigma de 16 bits que convertem em taxas de áudio (por exemplo, 96 ksps) e, de fato, existem alguns que atingem 20 bits ou mais de resolução nessa velocidade (consulte §13.10.1 e Tabelas 13.9 e 13.10). Como isso pode ser?! Leia....

Em algum momento da década de 1990, os materiais promocionais para tocadores de CD de áudio de consumo começaram a alardear o uso de “conversores digital-analógico de 1 bit”, como se houvesse algo de bom em *reduzir* a resolução dos anteriormente alardeados 16 bits.[62] Isso pareceu intrigante para muitos de nós; mas não reclamamos porque, bem, os jogadores soaram muito bem.

Como diria Bob Pease, afinal, o que é todo esse conversor de 1 bit?

13.9.3 ÿÿ ADC e DAC

Como veremos, a conversão ÿÿ (também conhecida como ÿÿ) pode ocorrer em qualquer direção – D/A ou A/D. Na prática contemporânea, *DACs* ÿÿ são usados principalmente para aplicações de áudio, onde se destacam em linearidade, monotonicidade e baixo custo. Um DAC ÿÿ de áudio típico pode integrar seis conversores de 192 ksps de 24 bits, com faixa dinâmica efetiva de 114 dB, por cerca de US *$* 10,63 . conversores lentos, para conversores de taxa de áudio de alta resolução (por exemplo, 24 bits, 96 ksps) e até ADCs rápidos com mais precisão do que você imagina (por exemplo, 16 bits, 20 Msps).

[62] Toques de trombeta ainda ecoam. Aqui está um exemplo contemporâneo: “Praticamente não há ruído ou degradação do som durante a transmissão do sinal e o processo de amplificação, pois os sinais de 1 bit são digitais.” Como se os sinais de n bits *não* fossem digitais?! [63] Para aplicações de áudio, o desempenho DC é irrelevante e, em geral, nem mesmo é especificado. Uma exceção é o excelente DAC ÿÿ DAC1220 de 20 bits da Texas Instruments.

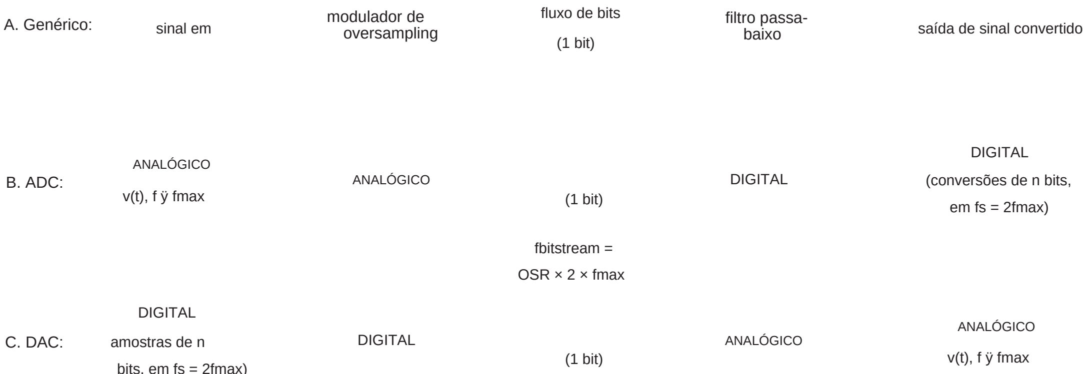


Figura 13.50. Um conversor delta-sigma, seja A/D ou D/A, consiste em duas partes: um modulador de sobreamostragem que produz um bitstream intermediário, seguido por um filtro passa-baixa que recupera a saída convertida.

Na discussão a seguir, falamos principalmente sobre ADCs ÿÿ, tanto por sua importância quanto porque sua arquitetura explora as características ideais da filtragem digital.

Ao longo do caminho, tentaremos chegar ao fundo do que, para nós, parecia um *grande mistério,* a saber: *como é possível que conversões de 1 bit, em alguma taxa modesta de "oversampling" (digamos, 64 vezes o usual Taxa de Nyquist de* 2 fmax), *pode produzir amostras de saída digitalizadas de grande precisão (digamos, 16 bits)?* Para reformular o mistério: ingenuamente, pode-se esperar que conversões de 1 bit a uma taxa de oversampling de 64 vezes nos permitam recuperar uma saída digital final com resolução de 6 bits (porque 26 = 64), mas não melhor . Você verá, porém, que é possível (e obrigatório, para aplicativos de áudio!) fazer consideravelmente melhor.65

13.9.4 O processo ÿÿ

A Figura 13.50 mostra o processo ÿÿ básico. Um sinal de entrada, largura de banda limitada a alguma frequência máxima fmax (geralmente por um filtro anti-alias66), é convertido em um fluxo de bits67 por um *modulador.* O último é cronometrado em algum múltiplo da taxa mínima de amostragem de Nyquist 2 fmax, gerando um fluxo de bits de saída de taxa fbit=OSR×2 fmax, onde OSR é chamado de *taxa de sobreamostragem.* Este fluxo de bits é a etapa intermediária no conversor geral: para obter a saída convertida, o fluxo de bits deve ser filtrado por um filtro passa-baixo.

Observe que tanto o modulador quanto o filtro passa-baixa podem ser analógicos ou digitais, dependendo do tipo de conversor: um ADC delta-sigma consiste em um modulador analógico seguido por um filtro digital, enquanto um DAC delta-sigma consiste em um modulador digital seguido por um filtro analógico.68 A seguir, trataremos principalmente da parte do modulador do conversor geral.

A. O modulador Em ambos os casos, o filtro passa-baixo é "apenas um filtro", que simplesmente limita a largura de banda do bitstream de entrada.69 O

[64] Esse é, de fato, o caso do PWM filtrado, usado, por exemplo, para controle de motor ou escurecimento de LED: ali pode-se dividir o período de Nyquist em 64 intervalos de tempo, configurando os primeiros como 1s e os demais como 0s. Delta-sigma é mais sutil e melhor, com 0s e 1s espalhados pelo período de Nyquist de forma a produzir uma saída filtrada de alta precisão.

[65] Spoiler de enredo, para os impacientes: pensando no domínio do tempo, é uma conspiração voluntária entre um filtro passa-baixo de saída que visualiza um longo trecho do fluxo de bits e um modulador de construção de fluxo de bits muito inteligente cuja saída filtrada representa uma conversão precisa. Um entendimento melhor (e quantitativo) vem no domínio da frequência, onde o modulador oversampling atua para reduzir o ruído de quantização dentro da banda, "moldando-o" para frequências mais altas (fora da banda).

[66] O que, como veremos mais adiante, não precisa ser cortado abruptamente, graças aos efeitos benéficos do oversampling; veja a Figura 13.60.

[67] Aqui mostrado como 1 bit de largura, para simplificar, embora na prática possa ter vários bits de largura (ou seja, mais de 2 níveis).

[68] Uma terceira possibilidade interessante (analógica/analógica) é exemplificada pelo opto-isolador analógico Avago HCPL-7800A: um modulador de entrada interno cria um fluxo de bits que é opticamente acoplado a um demodulador de saída analógica interna, para fornecer uma réplica analógica precisa (0,004% não linear de alta estabilidade (alteração de ganho de 3 ppm/ÿC , típico), isolamento em nível de kilovolt e largura de banda de 100 kHz. Outro exemplo de delta-sigma "A-to-A" é o Super Audio CD (SACD), um armazenamento de áudio tipo CD para mat no qual o próprio bitstream intermediário (criptografado) de 2,8 Mbps é gravado e distribuído ao usuário, com filtragem passa baixa aplicada na reprodução.

[69] O fluxo de bits pode ser pensado como *digital* (1s e 0s), que é então filtrado por um filtro digital (se este for um ADC), ou como um *sinal de onda analógico.*

uma ação interessante (e a *mágica)* ocorre no modulador. A Figura 13.51 mostra um diagrama de blocos de um modulador com sobreamostragem de "primeira ordem", que aceita tensões de entrada analógicas entre -1 V e +1 V, limitada em banda a uma frequência máxima de fmax e produz um fluxo de bits de saída de 1 bit a uma taxa Tempo OSR maior que a taxa de amostragem crítica de Nyquist 2 fmax.

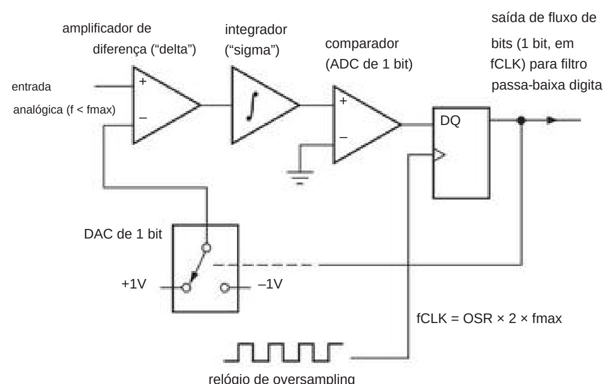


Figura 13.51. Um modulador analógico delta-sigma de primeira ordem.

A cada ciclo de clock, o valor do fluxo de bits atual, convertido em uma tensão analógica (neste caso ±1 V), é subtraído da entrada analógica, sendo o sinal de diferença integrado (em um integrador analógico de amplificador operacional padrão, aqui como somado ser não inversor) e apresentado a um comparador latched. O ganho do integrador é tal que uma entrada de log analógico em escala total para o integrador (ou seja, +1 V) produz uma alteração em escala total (+1 V) na saída do integrador após um período de clock. Ou seja, você pode pensar no integrador como um "acumulador analógico": para uma tensão de entrada (fixa) V, sua tensão de saída aumenta em *V* durante um período de clock.

O resultado é um fluxo rápido de 1s e 0s (a, digamos, 64 vezes a taxa de amostragem usual de 2 fmax), respondendo às mudanças relativamente lentas (64 vezes mais lentas, digamos) no sinal de entrada. Pensando nesses bits como ±1 V, o modulador produz um fluxo cujo *valor médio* corresponde ao sinal de entrada. Podemos entender isso pensando no circuito modulador como um loop de feedback negativo que se esforça para minimizar o erro médio (ou seja, integrado) entre o sinal de entrada e o fluxo de saída (que foi convertido de volta para analógico por um "1 -bit DAC"). Olhando mais de perto, porém, podemos ver que está fazendo um *péssimo trabalho:* amostra por amostra, seu fluxo de bits de saída simplesmente salta entre os extremos. Como Bob Adams escreveu,70 concisamente: "Os conversores de sobreamostragem obtêm maior resolução não diminuindo o erro entre a entrada analógica e a saída digital, mas fazendo com que o erro ocorra com mais frequência".

forma que alterna entre dois níveis de tensão fixos (se for um DAC).

Observe também que a frase "apenas um filtro" não significa que o projeto do filtro seja simples ou trivial. Em particular, o projeto de filtro *digital* é uma arte sofisticada, com problemas de funções de janela, nulos na resposta e assim por diante. Consulte §6.3.7.

B. A faixa dinâmica (resolução) do ADC

O filtro digital passa-baixo de saída (normalmente um filtro digital FIR – veja a Figura 13.52 – neste caso, um registrador de deslocamento de 1 bit com os valores de marcha de 1 e 0 bits ligando ou desligando um conjunto de coeficientes digitais fixos71 que são adicionados digitalmente para criar as amostras de saída multibit) cria os números digitais de n bits que são a saída do conversor. Como eles emergem do filtro na taxa de superamostragem total, eles são submetidos a uma operação de "decimação", simplesmente descartando saídas supérfluas e gerando apenas uma saída convertida para cada ciclo de clock OSR.72

Ingenuamente, então, alcançamos maior resolução tendo bastantes amostras de 1 bit para calcular a média, para cada meio ciclo da frequência mais alta na forma de onda de entrada. Como o valor médio do fluxo de bits rastreia o sinal de entrada, entendemos a afirmação de Bob Adams e está tudo bem.

Ou é? Considere um exemplo: suponha que estamos digitalizando áudio, com um fmax de 20 kHz. Um ADC convencional (digamos, um conversor de aproximação sucessiva) pode amostrar a 48 ksps, confortavelmente acima do mínimo crítico de 40 kHz. Imagine, em vez disso, que montamos um ADC ÿÿ, com uma taxa de sobreamostragem típica de 64; ou seja, executamos o modulador a 3,072 Msps (64×48 kHz), criando o fluxo de bits (1 bit) nessa taxa. Agora filtramos esse fluxo de bits, por exemplo, obtendo uma média de execução, 73 digitalmente, que captura 64 bits sucessivos por vez. Como é a saída?
Bem, quando você pega o valor médio de 64 bits, existem apenas 64 valores possíveis. Então, inventamos um insignificante ADC de 6 bits.

Seguindo essa lógica, precisaríamos sobreamostrar em 216 (ou seja, 64K) para alcançar a conversão de 16 bits. Isso exigiria uma taxa de amostragem de aproximadamente 3 gigahertz! A versão delta-sigma con não parece boa.

70 "Projeto e implementação de um conversor analógico-digital de áudio de 18 bits usando técnicas de oversampling," *J. Audio Eng. Sociedade* **34,** 153-166 (1986).

71 Para uma primeira aproximação, os coeficientes da série temporal são uma função sinc (com sinal), a transformada de Fourier de uma função passa-baixo "brickwall". Consulte §6.3.7, sobre filtros digitais.

72 Em implementações práticas, a filtragem e a dizimação são combinadas, usando um "filtro de dizimação multitaxa".

73 Em vez da média ponderada de função sinc mais complicada que é necessária para implementar um passa-baixo ideal de "parede de tijolos"; ver §6.3.7.

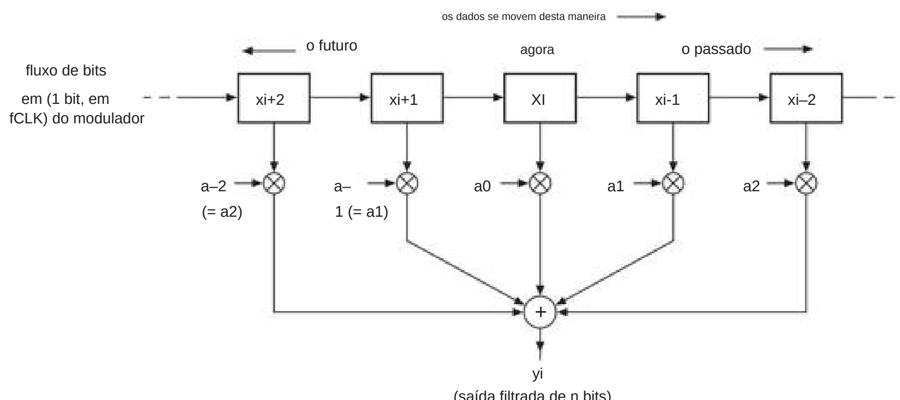


Figura 13.52. Um filtro digital usa memória digital e elementos aritméticos para gerar uma sequência de saída digital que representa uma versão filtrada de uma sequência de entrada digital (consulte §6.3.7). Aqui, um registrador de deslocamento, multiplicadores digitais e um somador formam um filtro simétrico não recursivo (resposta finita ao impulso, FIR), adequado como filtro passa-baixa de saída em um ADC delta-sigma de 1 bit.

C. Então, o que está acontecendo? (intuição no domínio do tempo) A resposta a esse paradoxo pode ser formulada de diferentes maneiras. Na literatura, a abordagem usual é dizer que a operação do digitalizador de 1 bit consiste em uma conversão perfeita, mas com "ruído" de banda larga adicionado (consistindo na diferença entre a forma de onda analógica real e as amostras quantizadas de 1 bit) . Este "ruído de quantização injetado" tem um amplo espectro (devido à freqüência de clock sobreamostrada), estendendo-se até a freqüência de clock e além. De maior importância, o "ruído de quantização de saída" resultante (o que permanece na saída) é menor em baixas frequências, sendo "formatado" pelo processo de modulação de forma que a maior parte do ruído de quantização de saída esteja bem acima de fmax. Devido a essa chamada "formatação de ruído", o filtro passa-baixa final atua para eliminar seletivamente a maior parte do ruído de quantização do fluxo de bits, enquanto preserva o sinal convertido. Voila: resolução e faixa dinâmica muito melhores do que nossa estimativa ingênua acima.

Tudo isso é bastante correto, mas, para nós, insatisfatório (embora vamos dar uma breve olhada nessa abordagem em §13.9.5). Queríamos entender o segredo da faixa dinâmica do ADC *no domínio do tempo,* sem recorrer ao domínio da frequência. Nós lutamos com isso, lendo exposições com títulos como "Desmistificando ADCs Sigma-Delta" e "Delta-Sigma ADCs em poucas palavras". Não ajuda muito – todos chegam ao passo crítico, então punt (". . . conversores sigma-delta superam essa limitação com a técnica de modelagem de ruído. . . " e ". . . ruído para frequências mais altas, facilitando a produção de um resultado de maior resolução", trechos desses dois artigos, respectivamente).

Veja como pensar nisso no domínio do tempo:74 Em primeiro lugar, o filtro passa-baixo não obtém simplesmente uma média contínua ("box car") do fluxo de bits. Em vez disso, ele pondera as amostras individuais de 1 bit com coeficientes cuidadosamente ajustados para produzir uma melhor característica de filtro passa-baixa (consulte §6.3.7D) Como os bits individuais são ponderados de forma diferente, há muito mais do que 64 resultados possíveis (tomando o exemplo acima). Além disso, um filtro digital FIR típico irá ponderar e somar muito mais bits, e ao longo de um intervalo de tempo (amostras) muito maior do que a taxa de sobreamostragem (ou seja, estendendo-se além do que poderíamos chamar de um único "intervalo de Nyquist", pelo qual queremos dizer o intervalo de tempo igual a meio período de fmax). Para um ADC de sobreamostragem de 64×, o filtro passa-baixa digital pode usar cerca de mil "taps" (amostras ao longo do fluxo de bits), cada um com seu coeficiente de multiplicação e abrangendo talvez dez a vinte intervalos de Nyquist, para gerar cada final (decimado) número de saída. Portanto, é pelo menos *plausível* que você possa obter uma resolução muito maior do que a possível com uma média simples.

Continuando nessa linha, vale a pena notar que cada bit no fluxo de bits contribui para muitos números de saída de n bits finais (após a decimação). Então, em uma veia conspiratória, é plausível que um modulador engenhosamente planejado possa gerar um fluxo de bits que, após a filtragem passa-baixa, possa produzir uma saída digitalizada de n bits com uma faixa dinâmica consideravelmente melhorada. Pensando assim, não estaríamos errados75 ao concluir que "a mágica está no modulador".

[74] Somos gratos a Bob Adams, da Analog Devices, pelas discussões úteis e pelo extermínio de teias de aranha mentais. Ele não é responsável, no entanto, por quaisquer erros (notórios ou não) aqui cometidos.

[75] "Você não está *errado,* Walter; você é apenas . . . ."

Portanto, a pergunta se torna "Como um dispositivo tão simples (Figura 13.51) se comporta de maneira tão inteligente?"

13.9.5 Um aparte: "formação de ruído"

Como observamos, a descrição usual de conversores delta-sigma fala sobre *modelagem de ruído* no domínio da frequência: o "ruído de quantização" de espectro plano introduzido no quantizador (o comparador da Figura 13.51) é "empurrado" para altas frequências, principalmente acima da taxa de amostragem de saída. E menos ruído dentro da banda equivale a maior precisão – fim do argumento.

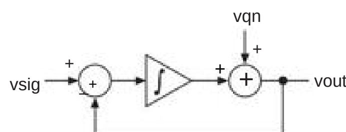


Figura 13.53. Modelagem de ruído em um ADC delta-sigma de primeira ordem: um modelo totalmente analógico, com quantizador substituído por uma fonte de ruído de quantização aditiva.

Para muitos engenheiros, esta é uma explicação satisfatória. Mas mesmo que você não esteja particularmente convencido por esse argumento, vale a pena entendê-lo. Para ver de forma mais simples como isso funciona, observe a Figura 13.53, na qual o modulador é construído com um integrador *analógico* e converte a entrada analógica (contínua) em uma saída analógica de 2 estados (±1 V). Nesse modelo analógico equivalente, substituímos o quantizador de 1 bit (comparador) por uma quantização aditiva de ruído , tensão, vqn, cujo espectro plano se estende até a frequência de clock de sobreamostragem (e além).76 Você pode pensar no integrador como estando no caminho direto do loop para a entrada do sinal (portanto, passa-baixo), mas no caminho de realimentação para a entrada de ruído (portanto, passa-alto).77 A partir desse loop analógico simples, podemos calcular facilmente as respostas de frequência para o sinal de entrada e ao sinal de ruído de quantização. Existe apenas um parâmetro de ganho, ou seja, o do integrador, cujo ganho escrevemos como $G = \omega_0/j\omega$ (ou seja, o ganho do integrador é proporcional a $1/\omega$) é tal que sua magnitude é a unidade em $f_0 = \omega_0/2\pi$. De fato, a frequência do relógio de entrada de sobreamostragem do conversor.

Vamos calcular os ganhos, para os quais temos que fazer corretamente

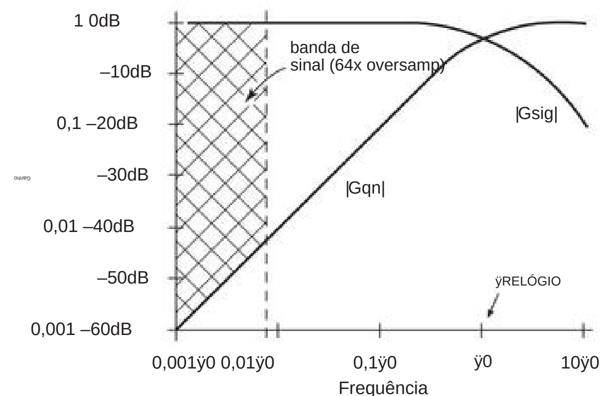


Figura 13.54. Ganho de sinal e ganho de ruído de quantização versus frequência para um ADC delta-sigma de primeira ordem. A frequência do relógio $\omega_{clk} = \omega_0 = 2\cdot OSR \cdot \omega_{máximo}$ aqui é igual a 128 vezes $\omega_{máx.}$

todo o negócio de números complexos. Para obter o ganho do sinal de entrada Gsig , definimos vqn=0; então

$$v_{out} = \frac{\omega_0}{j\omega}(v_{sig} - v_{out}),$$

$$\text{assim}\quad \frac{v_{out}}{v_{sig}} = \frac{\omega_0/j\omega}{1+\omega_0/j\omega},$$

$$\text{e } G_{sig} \equiv \left|\frac{v_{out}}{v_{sig}}\right| = \frac{1}{\sqrt{1+(\omega/\omega_0)^2}}.$$

Esse é um filtro passa-baixo, com ponto de interrupção em $\omega = 2\pi f = \omega_0$ (Figura 13.54).78 Da mesma forma, para o ganho de ruído de quantização Gqn , definimos vsig=0; então

$$v_{out} = v_{qn} - \frac{\omega_0}{j\omega} v_{out}$$

$$\text{assim}\quad \frac{v_{out}}{v_{qn}} = \frac{1}{1+\omega_0/j\omega}$$

$$\text{e } G_{qn} \equiv \left|\frac{v_{out}}{v_{qn}}\right| = \frac{\omega/\omega_0}{\sqrt{1+(\omega/\omega_0)^2}}.$$

E esse é um filtro passa-alto, com o mesmo ponto de interrupção.79

Então, neste ADC delta-sigma de ordem mais baixa, o ruído de quantificação é atenuado em baixas frequências, seu espectro

[76] Você geralmente pensa em "ruído" aditivo como sendo pequeno em comparação com o sinal que é culpado de degradação. Aqui, o ruído de quantização (a diferença entre o sinal analógico e a tensão de saída de 2 níveis vout) é realmente maior do que o próprio sinal.

[77] Explicado muito bem por Ewe Beis, em seu site em http://www.beis.de/Elektronik/Electronics.html.

[78] Um pouco de intuição pode ser útil aqui: em *baixas* frequências (bem abaixo de ω_0) o integrador tem muito ganho, então o loop é fechado com bastante ganho de loop, criando uma saída de ganho unitário (apesar do integrador dentro). Na verdade, a combinação de somador de entrada e integrador não é diferente de um amplificador operacional padrão com sua redução de 1/ *f* (compensação). Mas em altas frequências não há ganho de loop, então você obtém o rolloff do integrador de $\sim 1/f$.

[79] Intuição, novamente: desta vez o "sinal" (ou seja, o ruído de quantização vqn) age como uma perturbação de saída aditiva para o amplificador de ganho unitário de malha fechada. Portanto, é *removido* pelo ganho do loop, que é alto em baixas frequências (sua magnitude é ω_0/ω), mas ineficaz acima ω_0.

inclinando-se linearmente até a frequência do relógio de oversampling. Mas este é um ADC com overclock, então a faixa de frequência do sinal de entrada de interesse fica na extremidade inferior desse espectro (pela taxa de sobreamostragem). Em outras palavras, o ruído de quantização está principalmente fora da banda do sinal. E, para moduladores de ordem superior, o efeito é mais pronunciado: a curva de ruído é quadrática para um modulador de segunda ordem, cúbica para um modulador de terceira ordem e assim por diante. Assim, a conclusão que você costuma ver: um conversor delta-sigma atinge sua precisão "ajustando o ruído para frequências mais altas" . Mas, ei, pelo menos você já viu isso ser feito, de forma simples e explícita.

13.9.6 A linha de fundo

Tanto a partir de argumentos de plausibilidade no domínio do tempo quanto de cálculos explícitos no domínio da frequência, parece que o circuito modulador é a chave para o desempenho do ADC sigma-delta; ou seja, sua capacidade de quantizar um sinal de entrada analógico com uma resolução consideravelmente maior que a taxa de sobreamostragem. Além disso, essa figura de mérito (Neff/log2OSR, onde Neff é o número efetivo de bits na saída digital quantizada) cresce com a complexidade do modulador: os ADCs contemporâneos empregam moduladores de "ordem superior", o que significa que o amplificador e integrador de diferença única é substituído com vários estágios em cascata de amplificador de diferença mais integrador, cada um acionado a partir do fluxo de bits comum (consulte a Figura 13.55).81 Os moduladores de ordem superior são amplamente usados porque estendem a faixa dinâmica sem ter que aumentar a taxa de sobreamostragem (consulte abaixo); eles também suprimem em grande parte os *tons ociosos* (ver §§13.9.9 e 13.9.10) que afligem os moduladores de primeira ordem.

Embora nossas reflexões sobre o domínio do tempo acima possam ser úteis (pelo menos para tornar plausíveis as excelentes faixas dinâmicas reivindicadas), qualquer análise séria deve usar a abordagem do domínio da frequência. O último mostra que um modulador de ordem superior (construído com *m* integradores) modifica a modelagem do ruído de modo que o ruído de quantificação dentro da banda (ou seja, dc para fmax) seja suprimido como OSRm+0,5, onde *m* é a ordem do modulador (m =1 para a Figura 13.51). Em outras palavras, cada duplicação da taxa de oversampling suprime o ruído de quantização de modo a aumentar a faixa dinâmica em m+ 1 2 bits; ou, em termos de ordem do modulador, o número efetivo de bits (ENOB) é dado log2 da taxa de sobreamostragem (por exemplo, 6 para OSR=64) multiplicado por m+ 1 2 (assim, por exemplo, ENOBÿ15 para um segundo modulador de ordem com taxa de oversampling de 64). O gráfico na Figura 13.56 mostra a faixa dinâmica máxima teórica de um ADC delta-sigma em função da taxa de sobreamostragem e da ordem do modulador.82

Outra técnica para estender a faixa dinâmica, velocidade ou ambos, é projetar um modulador que gere um "fluxo de palavras" modulado com mais de um bit de largura. Na Figura 13.51, por exemplo, o ADC de 1 bit, o DAC de 1 bit e o registrador de 1 bit seriam substituídos por componentes análogos de 2 bits (4 níveis). Existem muitos truques inteligentes para lidar com imperfeições nos conversores multibit dentro do modulador (por exemplo, trocar posições de bit ciclicamente para compensar não linearidades causadas por compensações); eles estão muito além do escopo deste livro.

13.9.7 Uma simulação

Queríamos ver por nós mesmos como os sinais se movem através de um ADC delta-sigma - particularmente o fluxo de bits produzido por algum sinal de entrada analógico de aparência aleatória e, claro, os números de saída resultantes (traçados como pontos discretos ao lado da forma de onda de entrada analógica). . Também queríamos ver como as coisas se parecem na freqüência principal, onde a modelagem do ruído deveria ser evidente.

A simulação foi codificada83 no Mathematica®, com a seguinte receita:

(a) uma forma de onda pseudo-aleatória espectralmente plana com distribuição de amplitude gaussiana foi gerada, avaliada em 8192 intervalos de tempo sucessivos;
(b) esta forma de onda foi filtrada com um passa-baixo ideal aproximado de parede de tijolos, com corte em 1/8 da frequência máxima; foi então normalizado para que sua amplitude fosse limitada por ±1, gerando a "entrada analógica

80 Às vezes declarado como "empurrando o ruído para cima para frequências mais altas". Em nosso modelo *linear* aqui, nada é *empurrado;* ele apenas é atenuado na extremidade de baixa frequência e passa sem atenuação na extremidade alta. No entanto, um modelo de ruído de quantização totalmente preciso deve levar em consideração o fato de que o fluxo de bits de 2 estados tem amplitude unitária (sempre ± 1), com o resultado de que a redução da potência do ruído de quantização na extremidade de baixa frequência faz com que sobe na parte alta.

81 Uma simples cascata de integradores pode ser usada até a segunda ordem, mas não além dela (porque seu deslocamento de fase acumulado produz instabilidade); uma soma ponderada de saídas do integrador em cascata é usada em vez disso, em um modulador de ordem superior. Os ADCs ÿÿ de áudio contemporâneo normalmente usam moduladores de quinta ordem e oversampling de 64 × para atingir uma faixa dinâmica efetiva de 20 bits.

82 Observe, no entanto, que os moduladores práticos de ordem maior que 2 usam uma estrutura modificada (soma ponderada das saídas do integrador), para a qual a fórmula não é estritamente correta. 83 Pelo sempre talentoso Jason Gallicchio, a quem somos gratos.

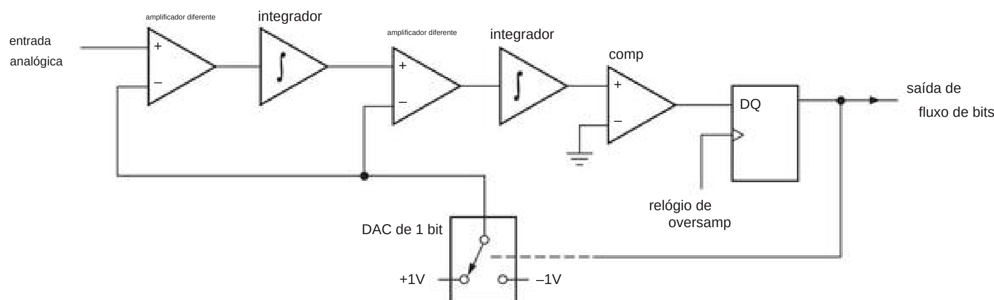


Figura 13.55. Um modulador analógico delta-sigma de segunda ordem. Os filtros passa-baixa podem ser substituídos por um ou mais dos integradores.

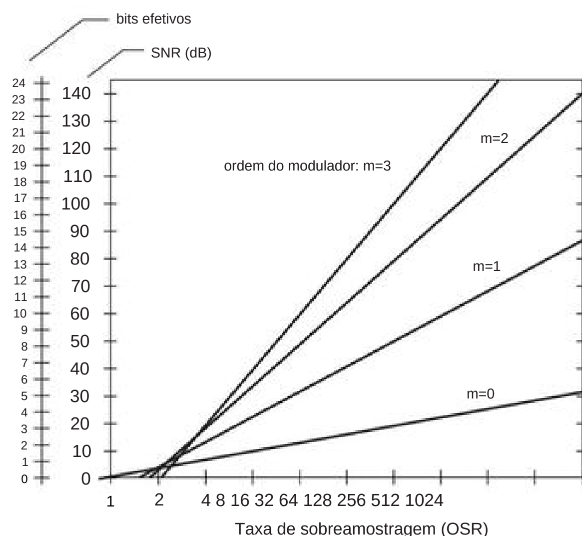


Figura 13.56. Faixa dinâmica (SNR) e número efetivo de bits (ENOB), como funções da taxa de sobreamostragem (OSR) e ordem do modulador (m), para um ADC de sobreamostragem de 1 bit. (Para um modulador de 2 bits, as inclinações são dobradas.)

sinal"; a frequência máxima presente neste sinal foi definida como a frequência de Nyquist, fnyq; (c) este sinal é usado para gerar um bitstream com valores de ±1, simulando numericamente um modulador delta-sigma de primeira ordem sobre amostragem (no qual o integrador é realizado como um acumulador digital discreto); a taxa de sobreamostragem é 8× e, portanto, a frequência do clock fclk=16 fnyq (lembre-se de que a amostragem "1×" crítica requer fclk=2 fnyq); finalmente, (d) o bitstream, considerado como uma forma de onda analógica em si, foi filtrado com a mesma função de filtro do passo (b), para produzir as amostras de saída; estes emergem na taxa total de sobreamostragem de 8 × e normalmente seriam dizimados (por exemplo, preservando apenas cada oitavo ponto) para produzir a saída digitalizada do ADC na taxa "1 ×" (duas vezes a frequência mais alta presente na forma de onda de entrada).

A Figura 13.57 plota uma parte típica da simulação (mais longa), mostrando o que está acontecendo no domínio do tempo. As marcas no eixo do tempo correspondem à amostragem de 1 × (Nyquist crítico), com pontos individuais plotados na taxa de sobreamostragem de 8 ×. O sinal de entrada é a linha sólida sinuosa, aproximada pelos pontos discretos que são os números de saída digitalizados (traçados em sua taxa total de 8×). Você pode ver a forma de onda do fluxo de bits, na mesma escala de amplitude, como pontos em ±1. Finalmente, o erro (ou seja, saída digitalizada menos entrada analógica, em cada ponto de sobreamostragem) é a forma de onda pontilhada de pequena amplitude. A partir desses gráficos, você pode fazer uma estimativa visual da precisão do conversor; para nós, parece exibir algo como ±6% de erro de amplitude pico a pico, que se traduz em uma amplitude SNR de 16:1 (24 dB), em boa concordância com o gráfico da Figura 13.56.

A partir dessa mesma simulação, plotamos também os espectros de frequência do sinal de entrada, a "forma de onda" digitalizada de saída e a diferença (um "sinal de erro"); Vejo

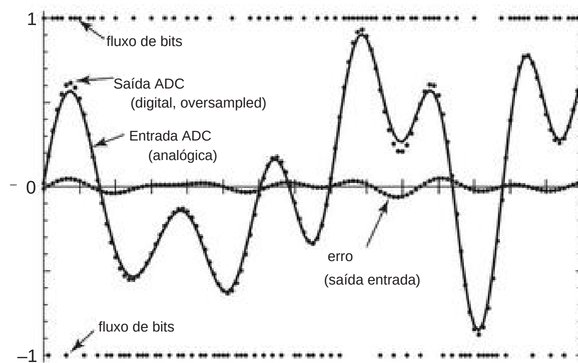


Figura 13.57. Simulação numérica de um DAC delta-sigma de primeira ordem com sobreamostragem de 8×.

Figura 13.58. Os espectros84 se estendem até a metade da frequência do relógio de oversampling, o que corresponde a 8 vezes a frequência de entrada mais alta. O gráfico superior mostra o espectro de entrada plano, cortando bruscamente (quase "parede de tijolos") na frequência unitária. O gráfico do meio mostra o espectro do próprio fluxo de bits bruto, considerado como uma "forma de onda", onde esperaríamos uma réplica aproximada da entrada, além de "ruído" adicional que se estende até a frequência do clock de sobreamostragem. Na verdade, vemos exatamente isso – quase o mesmo espectro de entrada até a frequência unitária, com um ruído de quantização adicional que aumenta aproximadamente proporcional à frequência. Tomando a diferença desses dois espectros, você pode extrair aproximadamente o espectro do ruído adicionado introduzido pela quantização (gráfico inferior), mostrando um crescimento aproximadamente linear de zero até pelo menos metade da frequência do clock de amostragem excessiva. O ruído de quantização acima da frequência unitária é, obviamente, removido pelo filtro passa-baixa digital que aceita o bitstream como entrada e que completa o circuito conversor (Figura 13.50).

A forma linear do espectro de ruído de quantização, para este modulador de primeira ordem, seria substituída por uma forma quadrática para um modulador de segunda ordem, e assim por diante para ordens superiores. Essa modelagem de ruído de ordem superior corresponde à precisão aprimorada (ou SNR, ou número efetivo de bits), conforme mostrado graficamente na Figura 13.56.

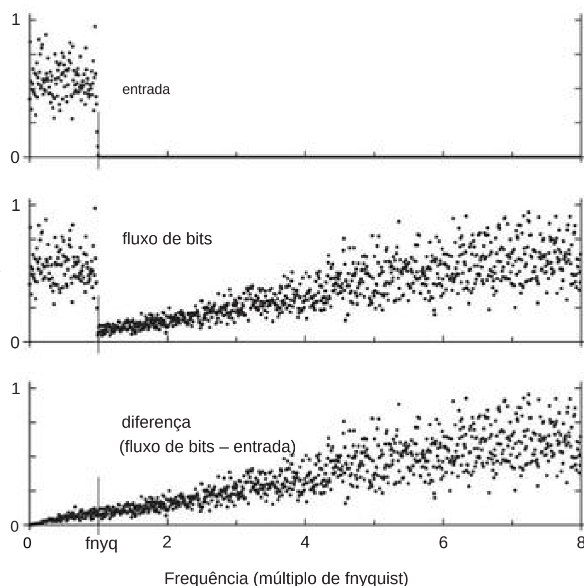


Figura 13.58. Espectros de frequência do ADC delta-sigma de primeira ordem simulado com sobreamostragem de 8×.

84 As amplitudes espectrais foram agrupadas em grupos de quatro para gerar uma figura mais esparsa e, portanto, mais facilmente plotada.

13.9.8 E os DACs?

Como indicamos no início, o mesmo esquema de filtragem passa-baixa de um fluxo de bits produzido por um modulador upstream também é usado para fazer conversores ÿÿ *digital-analógico* . Observe a Figura 13.59. Desempenhando esse papel, o modulador aceita amostras de entrada digital de n bits que representam o sinal de entrada. Comparando-o com o modulador usado para o ADC (Figura 13.51), o amplificador de diferença é substituído por um subtrator digital e o integrador é substituído por um acumulador digital com clock. (A cada clock, o acumulador substitui seu valor travado atual pela soma desse valor e o valor de entrada.) O comparador analógico é substituído por um comparador digital, simplesmente encaminhando o bit de sinal (ou o MSB, para deslocamento sem sinal binary) para criar o bitstream de 1 bit de acordo com o valor do acumulador estar acima ou abaixo do ponto médio. E, finalmente, o DAC de 1 bit é substituído por um "ADC de n bits" que simplesmente gera uma ou outra das quantidades de n bits em escala total , em resposta à saída de fluxo de bits de 1 bit. Para binário não assinado (offset) de 16 bits, por exemplo, esses valores seriam 0000h e FFFFh (todos os bits LOW ou todos os bits HIGH). ser de ordem superior, com vários estágios de subtrator e acumulador (ou filtro passa baixa

digital); da mesma forma, o modulador digital não está restrito a um fluxo de saída de 1 bit. Ele poderia (e frequentemente gera) um fluxo de palavras de vários bits, caso em que os vários bits mais significativos formam o fluxo de palavras de saída e o feedback digital. Tomando o exemplo de um modulador de 2 bits (4 níveis), o fluxo de saída de 2 bits seria (a) convertido em uma tensão analógica de 4 níveis com uma escada de resistores e, em seguida, filtro passa-baixo analógico para formar o (analógico) sinal de saída e (b) mapeado simultaneamente para um dos quatro códigos de n bits abrangendo toda a faixa de entrada (por exemplo, 0000h, 5555h, AAAAh e FFFFh) e usado como entrada para o subtrator digital de n bits na entrada.

O estágio de saída de um ÿÿ DAC é, como no ADC, um filtro passa-baixa. Aqui, no entanto, é um filtro *analógico* , que nega os benefícios da filtragem digital sofisticada. O resultado é algum comprometimento nas características do filtro, incluindo passagem de relógio e (com um filtro analógico ou de "tempo contínuo") sensibilidade ao jitter de temporização do relógio.86

85 Para quantidades de 16 bits do complemento de 2, os valores correspondentes são 8000h e 7FFFh (correspondente a ÿ32768 e +32767, os valores mais baixo e mais alto).

86 O filtro passa-baixo pode alternativamente ser implementado como um filtro de capacitor comutado (ou "tempo discreto"), que, compartilhando o mesmo sinal de clock, suprime efetivamente o jitter do clock.

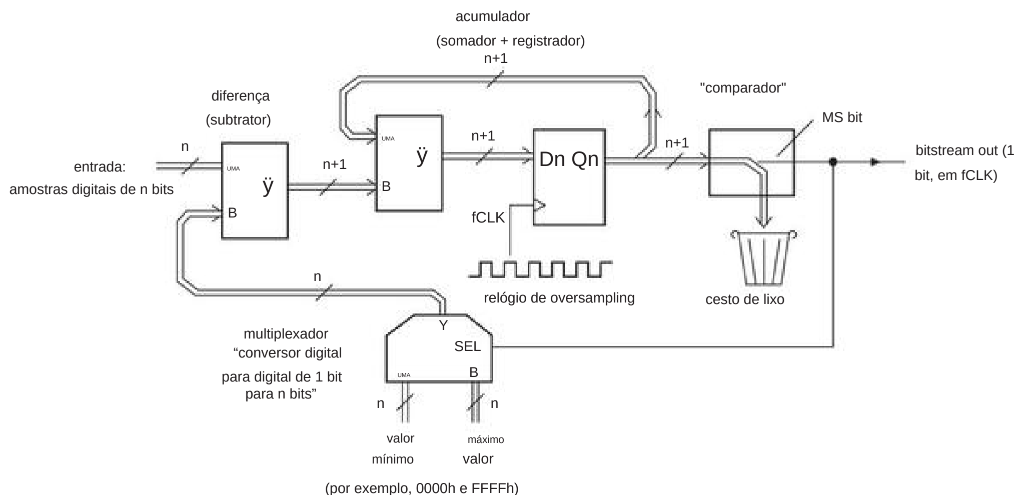


Figura 13.59. Um modulador digital de primeira ordem em um DAC delta-sigma. A saída do somador é deslocada um bit para evitar o crescimento da palavra.

13.9.9 Prós e contras dos conversores de oversampling ÿÿ

A. Vantagens Os conversores **lineares, monotônicos, precisos** Delta-sigma de 1 bit são monotônicos garantidos; eles são inerentemente lineares e podem alcançar resolução de 24 bits em taxas de áudio e abaixo.

ADCs Delta-sigma baratos usam filtragem digital low-pass barata (e **precisa)** e (devido ao excesso de amostragem) requerem apenas um filtro anti-alias analógico de baixa ordem na entrada (consulte a Figura 13.60).

B. Desvantagens

Largura de banda limitada Até ÿ10–100 Msps no máximo (limitada pelo relógio de sobreamostragem em escala de gigahertz).

Atraso de tempo O filtro digital de pós-conversão do ADC integrado atinge o corte quase ideal da "parede de tijolos" usando muitos toques, resultando em atraso significativo (ou "latência", normalmente dezenas de tempos de amostra de saída, portanto, ~ milissegundos para ADCs de áudio) .87

Ruído DAC Os DACs Delta-sigma usam um filtro passa-baixa pós-conversão analógico, que permite alguma passagem de comutação digital (em contraste, um *DAC* R-2R é completamente "silencioso").

Tons ociosos Um ADC com modulador de primeira ordem pode produzir "tons ociosos" (veja abaixo) quando apresentado a um entrada estática que faz com que a saída do integrador circule com um período suficientemente longo para estar dentro da banda (e causando apoplexia entre os aficionados por áudio); moduladores de ordem superior suprimem esse artefato, mesmo se presente no quantizador, devido ao maior ganho de loop dentro da banda.

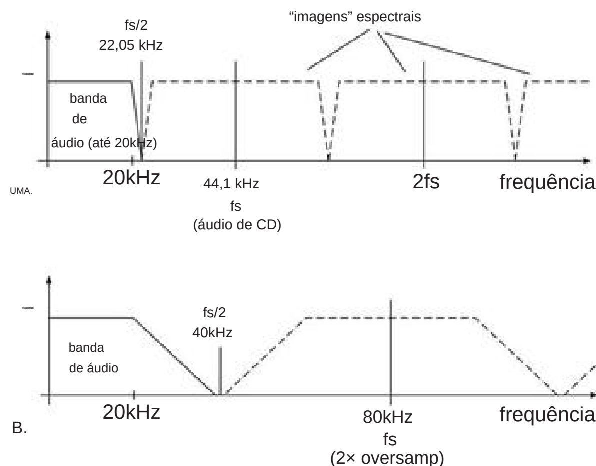


Figura 13.60. O espectro de um sinal analógico que foi digitalizado ("amostrado") periodicamente em uma frequência de amostragem fs inclui cópias espelhadas ("imagens") centralizadas em múltiplos de fs. O sinal analógico deve ser filtrado passa-baixo, antes da amostragem, para eliminar componentes acima de fs/2 (a "frequência de Nyquist"); caso contrário, as bandas espelhadas criam "aliases" dentro da banda que não podem ser removidos posteriormente. O oversampling relaxa a inclinação necessária de tal "anti-alias LPF", como visto aqui para a amostragem convencional de áudio de CD *(A,* ÿ10% oversampling) em comparação com 2× oversampling (B).

[87] No entanto, observe que o atraso de tempo é o mesmo que seria produzido por um filtro anti-alias de entrada preciso (com características de corte semelhantes às do filtro digital pós-conversão delta-sigma) seguido por um filtro convencional (latência zero) ADC.

13.9.10 Tons ociosos

Uma idiossincrasia distintiva dos conversores delta-sigma é a possibilidade de produzir um "tom ocioso" – um sinal de saída periódico de baixo nível (você espera) dentro da banda.
Esta característica indesejável afeta particularmente os moduladores de primeira ordem, que por esta razão nunca são usados para aplicações de áudio sérias. Você pode obter tons ociosos dentro da banda (ou seja, na banda passante do filtro passa-baixa de saída) para valores particulares de entrada estática (dc); eles geralmente são suprimidos quando há atividade de sinal na entrada, daí o termo "ocioso".

Para ver como isso acontece, considere o modulador de primeira ordem da Figura 13.51, que tem uma faixa de entrada de fundo de escala de ±1 V. Se você aplicar uma entrada CC fixa de valor 0,625 V e observar o que acontece com ciclos de clock sucessivos, obterá os estados mostrados na Figura 13.61. O modulador (e, portanto, o fluxo de bits de saída) passa periodicamente por um ciclo de comprimento de 16 clocks. Esse padrão de repetição pode ter um período longo o suficiente para produzir um sinal na saída filtrada passa-baixa final: se, neste exemplo, a taxa de sobreamostragem fosse 4 ×, o tom ocioso cairia no ponto médio da frequência da banda de saída.

Isso pode ser visto na Figura 13.62, onde calculamos e plotamos dois ciclos completos desse tom ocioso. Observe particularmente a saída filtrada passa-baixa de parede de tijolos, onde o tom ocioso senoidal pode ser visto claramente. Sua amplitude (118 mV pp) é de cerca de 6% do fundo de escala; isso é uma supressão escassa de apenas 25 dB, totalmente inaceitável mesmo para dispositivos de áudio de consumo baratos.

Os conversores delta-sigma destinados a aplicações de áudio normalmente usam moduladores de terceira ordem (ou superior), tanto para suprimir 89 tons ociosos quanto para aumentar a faixa dinâmica (número efetivo de bits de conversão, ENOB).

13.9.11 Alguns exemplos de aplicação delta-sigma

Chega de teoria! Vejamos alguns exemplos simples de aplicação delta-sigma (com alguns de maior complexidade em §§13.11 e 13.12). Pedimos ao leitor que tenha exemplares das planilhas de dados relevantes em mãos enquanto lê esses exemplos (obtenha-os nos sites dos fabricantes ou, geralmente mais rapidamente, vinculados por meio de um distribuidor como DigiKey, Mouser ou Newark).

Delta Sigma Bit Feedbk
0 0 -1
0 13/8 13/8 -3/8 1 1
10/8 -3/8 7/8 1 1
-3/8 4/8 -3/8 1/8 1 1
-3/8 -2/8 13/8 11/8 1 1
- 3/8 8/8 -3/8 5/8 1 1
-3/8 2/8 -3/8 1/8 0 -1
13/8 12/8 -3/8 1 1
9/8 -3/8 6/8 83 / 1 1
3/8 -3/8 0/8 13/8 1 1
13/8 -3/8 10/8 -3/8 1 1
0 -1
1 1
1 1
1 1
1 1
0 -1
1 1
1 1 1
Entrada 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5/8 5 /8 5/8 5/8 5/8 7/8

Figura 13.61. Sequência de estados do modulador delta-sigma de primeira ordem (Figura 13.51), com uma entrada CC fixa de 625 mV. "Delta" e "Sigma" são a entrada e a saída, respectivamente, do integrador, "Bit" é a saída do fluxo de bits e "Feedbk" é a tensão de saída do DAC de realimentação.

A. Um ADC delta-sigma ainda mais simples Em §13.9.1, apresentamos "o delta-sigma mais simples" na forma do monitor bronzeador integrador dispensador de carga.
Com a sofisticação das seções anteriores, agora podemos reformular esse exemplo como um modulador delta-sigma de primeira ordem com acumulação simples do fluxo de bits de 1 bit. Se for disso que você precisa, você pode implementá-lo de forma ainda mais simples, com um microcontrolador.

Esses dispositivos (Capítulo 15) são a massa flexível da eletrônica, e um deles pode facilmente substituir a parte lógica do exemplo anterior, como na Figura 13.63. Aqui, o pino rotulado *Q* é um bit de porta de saída que oscila perfeitamente de trilho para trilho, e Ain é uma entrada que define o limiar, análogo a U2 na Figura 13.49. Pode ser um comparador interno, fornecido em muitos microcontroladores (veja, por exemplo, Figura 13.64); ou pode ser um ADC de baixa resolução interno ao microcontrolador (também bastante comum); ou, no nível mais grosseiro, pode ser uma entrada lógica, cuja tensão limite (imprecisa) substitui um comparador honesto.

Uma implementação de microcontrolador como esta permite que você faça

---

[88] Jason, de novo.

[89] Os moduladores de ordem superior não *eliminam* os tons ociosos, eles apenas os suprimem o suficiente para torná-los quase inofensivos. Como diz o guru delta-sigma Bob Adams, "moduladores de ordem superior têm menos probabilidade de cair em um padrão de repetição simples, mas ainda é possível. O benefício real dos moduladores de ordem superior é que eles têm excelente supressão do ruído de quantização (porque o ganho do loop em baixas frequências é extremamente alto), de modo que, mesmo que o quantizador decida cair em um padrão de produção de tom ocioso, será suprimido por uma quantidade tão grande que será enterrado no ruído térmico."

mais: no nível mais simples, você pode escrever um software que implemente o contador e outras lógicas necessárias para completar o monitor de bronzeado (incluindo recursos como uma exibição do progresso do cozimento, tempo restante, hora e data do relógio, seu próximo compromisso e assim por diante . . .). Em um nível mais sofisticado, você poderia implementar um filtro digital para criar uma sequência de valores convertidos, na forma de um ADC delta-sigma totalmente integrado. Você poderia, mas provavelmente não deveria, porque muitos projetistas altamente qualificados estão produzindo ADCs delta-sigma excelentes, cuja amostra veremos em breve. E há um perigo em seqüestrar um microcontrolador para controlar os ciclos de carga do integrador, ou seja, que a precisão da integração sigma-delta depende de um tempo de chaveamento estável; e a estabilidade de um conversor depende também de uma frequência de relógio de amostragem estável. Você deve garantir que o controlador lhe dá

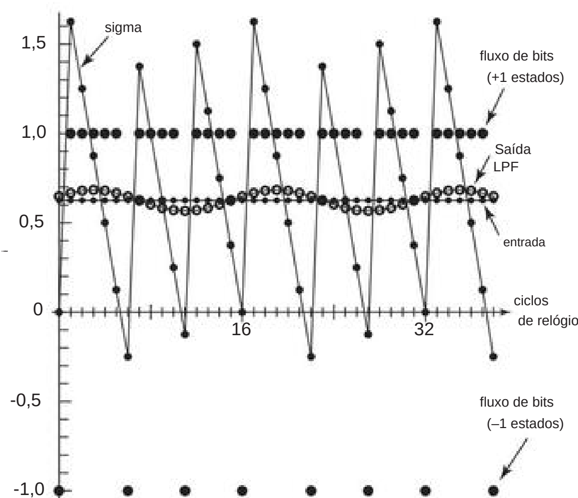


Figura 13.62. Sinais do modulador, juntamente com a forma de onda de saída filtrada alinhada no tempo, para o exemplo de tom ocioso da Figura 13.61. O tom está abaixo de ~25 dB, em relação à escala completa, e cairia na banda média (metade da frequência de Nyquist) para 4 × oversampling.

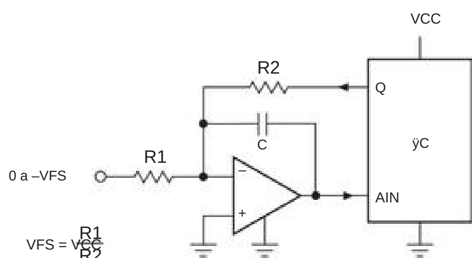


Figura 13.63. Um microcontrolador pode substituir a parte lógica de um ADC delta-sigma discreto.

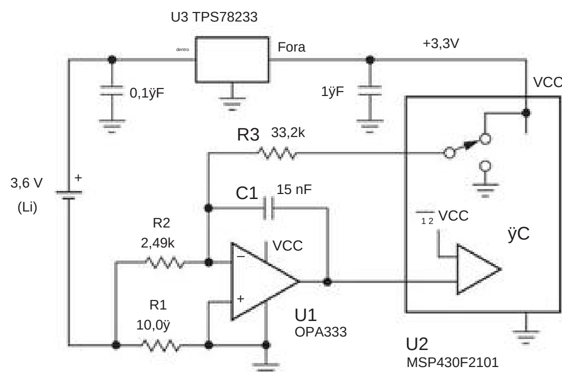


Figura 13.64. Monitorando a capacidade da bateria com um integrador de carga delta-sigma discreto.

controle sobre esse tempo; e, mesmo assim, você pode descobrir que a codificação do firmware fica inconvenientemente restrita. Esses exemplos destinam-se apenas a ilustrar o tipo mais simples de circuito delta-sigma. Se o que você quer é um conversor de alta qualidade, você deve escolher um entre as centenas disponíveis, fáceis de usar e extremamente baratos; vários deles são ilustrados abaixo.

B. Contador de Coulomb

Aqui está um exemplo de um conversor assistido por microcontrolador com baixa corrente quiescente e uma ampla faixa dinâmica. Com toda franqueza, uma admissão: primeiro projetamos o conversor, depois procuramos uma aplicação plausível. A Figura 13.64 mostra o que criamos – um “medidor de nível” de bateria com sensor de nível baixo para acompanhar o estado de descarga de uma célula de lítio que alimenta um instrumento portátil.

Veja como funciona: usamos um pequeno resistor de detecção de corrente (10 ÿ) para limitar a carga de tensão a 0,25 V na corrente de carga máxima prevista de 25 mA (causada, por exemplo, por cargas comutadas, como um extensômetro de 350 ÿ). Em seguida, escolhemos um amplificador operacional chopper de alimentação única (tensão de compensação máxima de 10 ÿV); aqui a tensão de compensação corresponde a um erro de corrente detectado de 1 A (máx.) ou uma faixa dinâmica de 25.000:1.

A tensão desenvolvida através do resistor de detecção conduz o integrador através de R2, com uma corrente de entrada em escala total se 100 ÿA. (Você pode pensar em *R1R2* como um “divisor de corrente”, se você gosta desse conceito.)

Em seguida, escolhemos R3 para definir a corrente de entrada de fundo de escala do conversor (IFS =VCC/R3), ou seja, para fornecer a corrente de fundo de escala na junção de soma quando a chave está ligada. Finalmente, tomando uma frequência de clock de 10 kHz, escolhemos o valor do capacitor integrador C1 de modo que o integrador

rampa não superior a VCC/5 em um ciclo de clock. É fácil descobrir que esta condição torna *C* = 5/ *f* R3, ou 15 nF.

Exercício 13.6. Certifique-se de entender esse projeto, executando os cálculos de corrente de carga máxima e faixa dinâmica e o projeto dos componentes do integrador R2, R3 e C1.

O MSP430 é uma série de microcontroladores de baixa potência da TI. Essa variante particular inclui convenientemente um comparador cuja entrada de referência pode ser polarizada em VCC/2, que usamos em conjunto com um bit de saída digital que alternamos entre terra e VCC. [90] Com um relógio fre- frequência de 1 MHz, o microcontrolador consome 0,3 mA quando ativo e 25 A quando executado no "modo de baixa potência 2"; pense no último como um modo de "suspensão", durante o qual um cronômetro ÿ interno continua a funcionar e do qual o processador pode despertar para o estado de alerta total em um ciclo de clock. Isso é importante porque é comum colocar equipamentos portáteis em modo de baixo consumo de energia para conservar a carga da bateria.

Observe que este "medidor Coulomb" registra *todas as* cargas, incluindo a corrente quiescente do regulador, a corrente operacional do microcontrolador, cargas adicionais alimentadas pela linha VCC regulada e até mesmo a corrente necessária para operar o amplificador operacional do integrador delta-sigma. . Excluindo cargas adicionais, o orçamento de energia é dominado pelo processador, seguido pelo chopper op-amp (17 A, típico) e o regulador (1,3 A, máx.); isso equivale a uma duração de ÿ bateria de vários meses (com o processador ativo por um ciclo de clock a cada 1 ms). As cargas periféricas ÿ provavelmente reduziriam consideravelmente a vida útil da bateria e normalmente seriam trocadas pelo processador.[91] Observe que o erro zero de 1 A (do deslocamento de pior caso do amplificador operacional) é completamente insignificante em comparação com a corrente do sistema, mesmo no modo de hibernação. A faixa dinâmica de ÿ 25.000:1 é extravagante para esta aplicação.

C. Três ADCs delta-sigma totalmente integrados

Concluímos esses exemplos delta-sigma com três elegantes ADCs integrados de três fabricantes diferentes.

Para mais peças a serem consideradas, consulte a Tabela 13.9.

[90] Este processador fornece vários "registradores de controle de captura" pelos quais podemos garantir que esses pulsos sejam de duração precisa e estável, uma condição necessária para a integração delta-sigma.

[91] Com uma bateria muito menor, pode-se colocar o processador no modo de hibernação também, acordando apenas o suficiente para garantir que a corrente do sistema durante o hibernação não faça com que a rampa do integrador sature entre os cochilos. Para este sistema, a corrente quiescente total de 480 A ÿ exigiria medições a cada 4 ms para limitar a amplitude da rampa não observada a 1 V. Este microcontrolador pode fazer isso facilmente, porque tem a boa propriedade de acordar em um único relógio de 1 s ciclo. ÿ

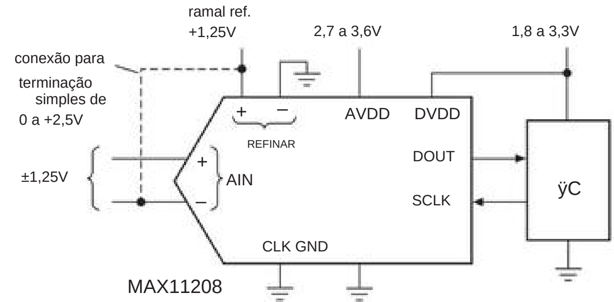


Figura 13.65. ADC de baixo ruído de 20 bits MAX11208B da Maxim com relógio interno. A entrada diferencial pode ser reconfigurada para terminação simples de 0 a +2Vref conectando a entrada AIN à referência, conforme mostrado.

Maxim MAX11208B: ADC de 20 bits barato Da Maxim vem este conversor compacto (10 pinos) (Figura 13.65), barato (US$ 3,75 em quantidades individuais) e silencioso (0,7 Vrms de ruído). Ele oferece uma resolução eficaz de 20 bits em 13,75 sps e ÿ de 80 dB de frequências de linha de força de rejeição de 50 Hz e 60 Hz com seu relógio de sistema interno preciso (ativado pelo aterramento do pino CLK).[92] A escala total a faixa de conversão da entrada diferencial é ±Vref, sobre a faixa de modo comum de 0 a +AVDD.

Ele executa uma calibração de ganho e deslocamento ao ligar e também mediante solicitação por meio de um divertido comando digital (dois SCLKs extras anexados ao final da leitura serial normal). Em comum com a maioria dos conversores, ele possui um pino de alimentação digital separado para compatibilidade com a lógica digital de baixa tensão.

Analog Devices AD7734: ADC versátil de 24 bits Da Analog Devices vem este conversor multiplexado de 24 bits de 4 canais (Figura 13.66), com uma estrutura de entrada incomum de resistores ajustados que fornece uma faixa de entrada completa de ±10 V (durante a operação de um alimentação única de +5 V) e, de fato, com um bit de sobrefaixa que estende a faixa de conversão para 11,6 V, permitindo assim uma calibração de ganho precisa na entrada de escala total. É extremamente tolerante ao overdrive de entrada: até ±16,5 V sem afetar a precisão das outras entradas e até ±50 V sem danos.

Há muita flexibilidade no processo de conversão, com seleção programável de parâmetros como comprimento do filtro, zero automático e modo "corte". O último consiste na reversão da entrada diferencial em conversões sucessivas, com as saídas calculadas para cancelar compensações no buffer e no modulador delta-sigma. Com o modo de corte ativado e com a configuração de filtro mais longa, o conversor oferece uma

[92] A versão do sufixo ÿA roda a 120 sps, com baixa rejeição de frequências powerline, mas profunda rejeição a 120 Hz e seus harmônicos.

Tabela 13.9 Conversores Delta-sigma A-para-D selecionadosa

Erros CC
Power Offsetb Ganho
de alimentação desvio do tipo, desvio do tipo, desvio
Conv
ADCs Taxa Pwr Pacotes, Pins
por bits máxima tipo PGA min máx (V) (V) (μV) (ppm/ºC) (ppm) (ppm/ºC) qtd 25
Parte # pacote (ksps) mW Ganhos ($US)

ADS1158 1 16 125 16 f S 42 ADS1100 1 16 - 25 2 - 48 11,77 A - - 6
0,128 1 • I 0,2 ADS1115 1 16 0,86 4 • I 0,5e 1-8 2500 1,5 1000 0,4 2 2,7 5,5 5,5 - • - - 4,80 B - 10 - 10 5,53 C
1-16 50 AD73360 6 16 4 1 • S 86e 1-80 20000 100 5 2 2,7 • - • - -
- 10000 - 5,5 • - - 28 44 - - 9,24 -
MAX11208B 1 20 0,12 1 ? S 0,8 3 CS5513 1 20 0,33 1 ? S 1,9 120 0,05 3c 0,05 2,7 3,6 - • - • - - 10 - - 2.18 -
MCP3551 1 22 0,014 1 ? S 0,3e 3 LTC2412 1 24 0,008 2 ? S 0,2 0,06 - 1 0 6o3 - • • - - 8 - - - 4,96 D - 8 8 - - 3,31
0,5 AD7730 1 24 0,2 2?S 65m quatro 2c AD7794 1 24 0,47 6 • S 1z 0,1 2 0,01 0,028 2,7 5,5 0,03 2,7 - • - • E - 16 - - 6,34 F 24 24,24 G - 16,10 -
INA 1c,k - 2,5 •,h • 100c 0,5 g,h - 0,01k 2c 2,7 5,25 • • - •,h MAX11210 -
2,7 3,7 h 1 24 0,12 1 ? S 0,25 1-128 50 1,2 0,05 ADS1246 1 24 2 4 PS 1,4 5 6 1 20 0,0 5 0m 5 m 0,2 7
5,25o1 - • •,h - 0,64b 1 6 5,5o2S 7 CS5532-BS 1 24 3,8 2 S 2 - ? - 24 - - 10,80 H - 16 - -
•,g,h • - 24 - - 10,89 M 0,05 500y 0,5 4,75 5,25o1 • • •,g,h - - 20 - - 12,15 N - 13000m,x 2,5 4500m,x 3,2m 4,75 5,25 - • • - g,h - 28 - 18,84 - 3,32 J - 16 - - 8,38 K
O 0,06c 0,15 4,75 5,25 • • g,h - 18 18 - - - 22,84 P 4,75 5,25o1 • • g,h • - - - 48 18,80 Q 2,7 5,25 1 • • - 64 - 64 40,40 R - - - 64 -
2 0 -- 20 -- - 12,80L
AD7190 1 24 4,8 4 pS 1b 1-128 0,5k 0,005 50m 1 -
ADS1259 1 24 14 1 d S 13 - 40 -
AD7734 1 24 15 4 f S 85
ADS1210 1 24 19,5 1 ? S 26 1-16 0,15c ADS1258 1 24 23,7 16 w 1
S 42 ADS1298 8 24 32 1 d S 10 1-12 500 ADS1278 8 24 144 0,2 1,2 d 0,02 50 2 -
S 530 250 AD7764 1 24 312 1 - S 300 ADS1472 1 - S 300 2 2000 5 • - -
ADS1472 21 LC 350 AD7760 1 24 2500 1 - P 960 ADS1675 1 4000 24 0,8 1000 1,3 v v - • - - - 39,57 S
1 - LC 575 ADS1281 1 32 4 1 d S 12 - 240 0,6 180 0,5 - • - - 28 - - 16,94 T
- 2000m 2 10000 2 4,75 5,25 - • 64 22.06 -
- 400 0,3 1600 2-6000 0m 1c 4 10000m 4 r r • - - --- - 64 42,49 U
4,75 5,25 - • 0,4 4,75 - - - - 64 35,88 V -- 24 - -
- 5,25o1 -• - - 49,68 W

Notas: (a) ordenadas por precisão e velocidade; todos, exceto AD7734, possuem entradas diferenciais; todos não têm códigos ausentes, exceto conforme observado. (b) com ganho mínimo de PGA. (c) após a calibração. (d) entrada não utilizada influenciada no meio da alimentação. (e) em Vs=3,3V. (f) pseudo-dif'l. (g) xtal nu externo. (h) opte pela entrada ext osc. (k) no modo helicóptero. (m) mín ou máx. (n) 0,1 a V_-0,1 com buffers ativados. (o1) tem alimentação negativa, 0 a –2,6 V, com alimentação total máxima de 5,25 V. (o2) tem alimentação negativa, 0 a –3,5 V, com alimentação total máxima de 5,5 V. (o3) tem alimentação negativa, 0 a –6V, com alimentação total máxima de 6V. (p) 2 diferenciais, 4 pseudo-diff'l com retorno comum único. (q) S=SPI, P=paralelo, LC=LVDS ou serial CMOS. (r) cinco suprimentos: +5 ±5%, +2,5 ±5%, +3,15 a +5,25 (2x) e +1,67 a +2,7. (s) na dizimação máxima. (u) quatro suprimentos: +5 ±5% (3x), +2,5 ±5%. (v) 4,75-5,25 V e 1,65-2,2 V. (w) 8 dif'l, 16 single-ended (pseudo-diff'l); (x) antes da cal. (y) 2ppm após cal. (z) 0,4 mW sem buffer.

Comentários: **A:** 16 single-ended (pseudo-diff'l) ou 8 diff'l; Saída MUX e pinos de entrada ADC. **B:** clk interno; auto-cal. **C:** 4 single-ended (não pseudo-diff'l) ou 2 diff'l; desligamento automático no modo de disparo único. **D:** CS5512 tem ext osc; CS5510/11 = 16 bits. **E:** baixo ruído, 2,5ÿVrms; desligamento automático no modo de conversão única. **F:** sem latência; Ruído de 0,8ÿVrms; Um favorito. **G:** subsistema de ponte com DAC offset e saída de excitação ac. **H:** baixo ruído; opte pelo buffer de entrada para hi-Z; INA PGA; inclui 2 fontes atuais; modo helicóptero; desligamento automático no modo de conversão única; int ref 4ppm/ºC tipo; AD7793 tem menos canais; Um favorito. **J:** opta por buffer de entrada para hi-Z. **K:** baixo ruído; ADS1247 de 20 pinos tem 2 canais, ADS1248 de 28 pinos tem 4 canais, ambos têm int 10ppm/ºC ref. **L:** CS5534 diferencial de 4 canais; burro de carga industrial; 6nV/ÿHz. **M:** baixo ruído. **N:** detectores fora de escala. **O:** possui modo chopper; AD7732 tem duas entradas diferentes. **P:** ADS1211 tem 4 ch diff'l MUX; aumento da taxa de amostragem para 312kSps; sem códigos ausentes para 22 bits. **Q:** baixo ruído; pinos para saída diferencial MUX e entrada ADC. **R:** medições de biopotenciais (ECG, EEG, etc); ADS1294=quad. **S:** ADS1274 = quad. **T:** buffer de entrada diferencial; AD7765 a 156kSps. **U:** buffer de entrada diferente. **V:** programado por pinos (sem registradores); Saída serial LVDS ou CMOS. **W:** sem códigos ausentes para 31 bits.

conversão efetiva de 21 bits a 372 sps para sinais de entrada de ±10 V em escala total; esse valor vem de uma consideração do nível de ruído do conversor, que é de 9,6 Vrms ÿ (21 bits é a relação de um span de ±10 V para ~ 10 V). ÿ nessas condições
A folha de dados especifica a resolução alternativamente como “resolução pico a pico em bits”, que para essas mesmas condições é listada como 18,1 bits. Essa acaba sendo a especificação mais conservadora, que é explicada como “representando valores [bit] para os quais não haverá oscilação de código dentro de um limite de 6 sigma”. Em outras palavras, você pode confiar qualquer conversão única seja precisa para 18 bits, levando em consideração o fato de que as excursões de pico ocasionais de um sinal de uma determinada tensão de ruído rms são substancialmente maiores que Vrms.[93] Se você conhece a tensão de ruído rms Vrms,

93 O datasheet do Cirrus' CS5532 explica da seguinte forma: “ 'Resolução livre de ruído' não é o mesmo que 'resolução efetiva'. resolução efetiva é baseado no valor de ruído RMS, enquanto a resolução livre de ruído é baseada em um valor de ruído pico a pico especificado como 6,6 vezes o valor de ruído RMS.”

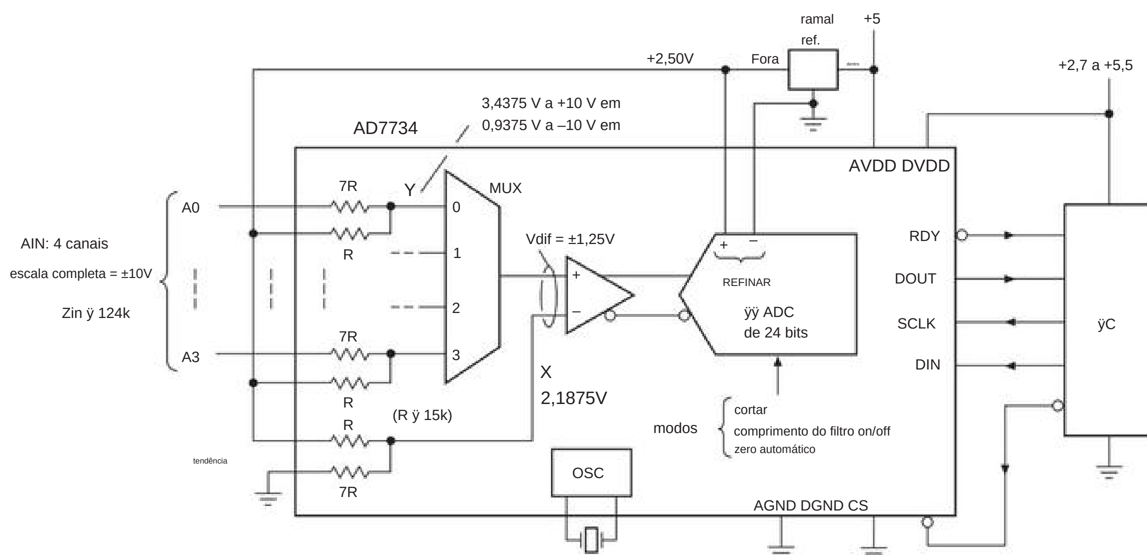


Figura 13.66. Analog Devices AD7734 conversor multiplexado de 4 canais e 24 bits (ENOB de 21 bits) com ampla faixa de tensão de entrada e tolerância de overdrive robusta, cortesia da Analog Devices, Inc.

você pode calcular a resolução efetiva limitada por ruído como ENOB = log2 Vspan/Vrms = 1,44loge Vspan/Vrms ; disso, você obtém a resolução pico a pico subtraindo 2,7 bits.

Este conversor pode ser operado em taxas de conversão de 12 ksps, com resolução correspondentemente degradada. Ele tem offset máximo e desvios de ganho de ±2,5 V/ÿC e ±3,2 ÿppm/ÿC, respectivamente. Ele vem em um pacote de 28 pinos e atualmente custa cerca de US $ 15 em quantidades únicas.

Cirrus CS5532 ADC "industrial" de alto desempenho Da Cirrus Logic (anteriormente Crystal Semiconductor) vem o conversor delta-sigma CS5532-BS de longa duração (por volta de 1999) de 24 bits (consulte a Figura 13.67), com um PGA estabilizado por chopper (ganhos de 2, 4, 8, 16, 32 e 64) e com características particularmente boas de ruído, desvio e linearidade: en = 6,4 nV/ ÿ Hz (típico) a 0,1 Hz com *G* = 64,94 in = 1 pA/ ÿ Hz (típico), ÿVos = 15 nV/ÿC (típico) com *G* = 64, desvio de escala completa de 2 ppm/ÿC (típico) e ±0,0015% (máx.) não linearidade. Ele pode converter a taxas de 6,25 sps para 3,8 ksps.
Nas taxas mais lentas, oferece resolução sem ruído variando de 20 bits (para *G* = 64) a 23 bits (*G* ÿ 8); ou, se preferir, correspondentes "resoluções efetivas" (ENOBs) de 23 e 24 bits, respectivamente.

Com seu PGA de baixo ruído e alto ganho e capacidade de operar com fontes de ±3 V divididas,95 este conversor tem o que leva para processar os sinais de baixo nível de um termopar (ÿ40 V/ ÿC) ou um medidor de tensão (escala completa ÿ ±2 mV por volt de excitação). Com um ganho PGA de 64, a escala completa é de ±2,5 V/64, ou ±40 mV, e um LSB (com resolução de 20 bits) corresponde a 80 nV, que é 500 × menor que a alteração de tensão térmica correspondente a uma mudança de temperatura de 1ÿC. Da mesma forma, neste ganho, um LSB de 20 bits corresponde a 0,0008% da escala completa do extensômetro. Com esse ganho, as entradas em escala total desses sensores permanecem dentro da faixa de conversão. Evidentemente, não há necessidade de estágios externos de ganho front-end ou similares. Este conversor custa cerca de $ 16 em quantidades unitárias.

Em nosso circuito, balanceamos os sinais do termopar em relação ao terra para minimizar os efeitos da captação em modo comum nos fios condutores, que geralmente não são blindados. E para ambos os sensores adicionamos um filtro *RC* simples (constante de tempo de 0,1 ms) para suprimir picos e proteger as entradas. Escolhemos o ADR441 porque precisávamos de uma referência de baixa queda de tensão que operasse com 500 mV de headroom.

D. ADCs de áudio

profissional Os conversores Delta-sigma são adorados pela comunidade de áudio profissional devido à sua combinação de resolução,

---

[94] O AD7190 da Analog Devices chega perto, a 8,5 nV/ ÿ Hz

[95] Outros conversores delta-sigma de alta resolução que permitem entrada bipolar suprimentos e sinais incluem (a) o ADS1281 de 32 bits, com suprimentos de log analógico de ± 2,5 V e sinais de entrada para esses mesmos limites (mas infelizmente não para ± 3 V, com seu limite de fornecimento total de 5,25 V) e (b) três conversores de 24 bits: o ADS1258 de 16 canais, o ADS1259 com sua referência de tensão de 2 ppm e a família ADS1246 com PGA interno.

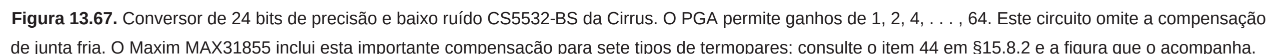


Figura 13.67. Conversor de 24 bits de precisão e baixo ruído CS5532-BS da Cirrus. O PGA permite ganhos de 1, 2, 4, . . . , 64. Este circuito omite a compensação de junta fria. O Maxim MAX31855 inclui esta importante compensação para sete tipos de termopares; consulte o item 44 em §15.8.2 e a figura que o acompanha.

Tabela 13.10 ADCs Delta-Sigma de áudio selecionados

fsamp máximo bits Canais SNRk THD+Nk

sigma, alimentação , mas diferem muito de suas partes Vcc Pdiss (dBa) (dBb) do contador ADC industrial na tabela delta-sigma. Eles geralmente têm baixa (kHz)

(V) (mW), outra precisão

-81 3 13 pré-amplificador de mic CS4382 -80 2 4 96 105 -98 5 600 diferencial; ganho de canal estéreo. Eles geralmente são conectados com acoplamento CA e também possuem um filtro passa-alto digital interno (normalmente ÿ1 Hz) . , TDM, etc.). Comparado com indus PCM4222g 2 24 216 123 -108 4 340 dif. ADCs de teste configuráveis têm altas latências (atrasos de saída de dados) de 12 a 63 intervalos de amostragem, embora possam anunciar "baixa latência" (com o que eles querem dizer pequeno em comparação com, digamos, um milissegundo de atraso). Eles

AK5384 2 24 96 107e -94 5 275 dif

AK5388 4 24 192 120 -107 5 590 dif.

AK5394A 2 24 192 123 -94f 5 705 dif; popular CS5381 2 24 192 120 -110 5 260 dif; preferido AD1974 4 24 192 105 -96 3,3 430 dif, com PLL

PCM4204 4 24 216 117 -103 4 615 dif.

Notas: (a) Filtro ponderado A. (b) na taxa de amostragem máxima. (c) codec: 4 entradas + 6 saídas. (d) codec: 2 entradas + 6 saídas. (e) a 48 kHz. (f) -110dB a 96kHz. (g) considere também o PCM4420. (h) codec estéreo (ADC + DAC) com entrada/saída S/PDIF para USB. (k) SNR e THD+N é em relação ao fundo de escala; O SNR é normalmente medido com um sinal de entrada de -60dB, processado com um filtro ponderado A; THD é normalmente medido em 1kHz, com um sinal de -1dB.

anti-aliasing inerente, modelagem de ruído e monotonicidade. (Consulte a Tabela 13.10.) Se você abrir o equipamento de áudio de alta qualidade de praticamente qualquer pessoa, provavelmente encontrará um circuito baseado em um ADC delta-sigma de sobreamostragem de 128× e 192 ksps de 24 bits; e é provável que seja uma peça da Cirrus (por exemplo, o CS5381) ou AKM (por exemplo, o AK5394A). Essas partes parecem ter "pernas longas" – elas existem há muitos anos e representam um bom valor em termos de preço e desempenho.

Os ADCs de áudio usam universalmente a tecnologia delta-

têm especificações de áudio exclusivas, como SNR ponderado A e especificações de distorção THD+N derivadas da análise espectral.

A Figura 13.68 mostra um circuito de condicionamento de sinal direto, adaptado da placa de avaliação da AKM, não muito diferente das entranhas de muitos digitalizadores de áudio comerciais. O amplificador operacional 5534 parece ser o perene

[96] Você descobrirá isso se ignorar os capacitores de acoplamento. No entanto, muitos desses conversores oferecem um modo CC e alguns (como o CS5381 e o AK5394A) fornecem uma função CC-auto-zero acionada por lógica, que é conveniente para aplicações muito lentas ou CC.

favorito (já existe há pelo menos três décadas), barato e “bom o suficiente”. Embora você possa fazer melhor em termos de distorção, o que parece mais importante para os fãs de áudio é a faixa dinâmica (definida pela resolução do ADC e pelo nível de ruído); distorção harmônica em 0,001% é inaudível.

No entanto, preferimos circuitos de condicionamento de sinal totalmente diferencial para ADCs de áudio de alto desempenho, conforme descrito detalhadamente no Capítulo 5 (consulte as Figuras 5.70 e 5.102).97 Consulte §5.14.2E para obter mais informações sobre níveis de sinal de áudio profissional.

13.10 ADCs: escolhas e compensações

A boa notícia é que o mundo dos CPMs é um mundo rico, com muitas opções. A má notícia é que o mundo dos ADCs é um mundo rico, com muitas opções.

Nas seções a seguir, oferecemos algumas orientações para ajudar a navegar na confusão de opções.

13.10.1 Delta-sigma e a competição

A. Conversores analógico-digital Os conversores delta-sigma são uma das várias tecnologias de conversão ADC, que (como vimos) incluem também (a) conversores integradores de inclinação dupla e quádrupla, (b) conversores de aproximação sucessiva conversores, (c) conversores flash, e (d) conversores flash pipelined.

Baixa velocidade Para a conversão de “velocidade do voltímetro” (por exemplo, 10/seg), os conversores de integração multislope têm sido os eternos favoritos, mas seu domínio está sendo desafiado por excelentes ÿÿ's do LTC (por exemplo, o LTC2412: 24 bits) e ADI (por exemplo , o AD7732: 24 bits, faixa de ±10 V), entre outros.

Os CIs conversores Delta-sigma de **velocidade média** (até aproximadamente 100s de ksps) dominam em resoluções acima de 16 bits, com bons produtos de empresas como Cirrus e AKM (por exemplo, o AK5384: 24 bits, 96 ksps, 4 canais ou os conversores em Figura 13.68). Existem muitos ADCs de áudio delta-sigma bons, mas suas especificações DC tendem a ser ruins (muitos por cento) ou inexistentes. Para resoluções de 16 bits ou menos, considere os conversores de aproximação sucessiva altamente utilizáveis.

Velocidade média-alta (para alguns Msps) Aqui há uma batalha feroz entre ÿÿ's e ADCs de aproximação sucessiva usando um ADC de redistribuição de carga de switch-capacitor: precisão comparável, mas os SARs são mais rápidos (por exemplo, o ADI AD7690: 18 bits , 400ksps; um membro da série AD76xx/79xx PulSAR™). Veja o “tiroteio” abaixo.

Alta velocidade (até 100s de Msps) Para essas velocidades você escolhe um conversor de flash pipeline (anteriormente conhecido como “half-flash”), com estágios sucessivos de conversão de flash de baixa resolução operando no resíduo analógico dos estágios anteriores, ou com o arquitetura de “amplificador dobrável” (Figura 13.27). Pipelining resulta em alto rendimento, mas com a latência de tipicamente 10 intervalos de amostragem. Exemplos são o ADI AD9626 (12 bits, 250 Msps) e o TI ADS6149 (14 bits, 250 Msps).

Velocidade vertiginosa (>250 Msps) Variantes no flash básico (como dobrar/interpolar) dominam aqui, mas a compensação é a resolução modesta (6 a 10 bits). A National tem alguns bons, por exemplo o ADC08D1520 (8 bits, 3000 Msps), ADC10D1500 (idem, 10 bits) e ADC12D1800 (12 bits, 3600 Msps).

Esses tipos de conversores são amplamente usados em 'scope front-ends,99 e em rádio digital. No extremo (e não temos certeza de como eles fazem isso), a Fujitsu apresenta um conversor de 8 bits de 56.000 Mbps (!) 100

B. Conversores digital-analógico As tecnologias DAC concorrentes são (a) escada R-2R , (b) escada linear de resistores com matriz de chaves e (c) matriz de chaves de direção de corrente.

Os DACs Delta-sigma de **maior linearidade** são os melhores, com precisão e linearidade de até 20 bits em velocidades de áudio e, às vezes, também com especificações CC excelentes (por exemplo, o TI DAC1220 de 20 bits com velocidade de milissegundos); no entanto, fique atento ao ruído de clock e banda larga (o DAC1220 tem ÿ1000 nV/ÿ Hz a 1 kHz em comparação com ÿ10 nV/ÿ Hz para conversores de escada de resistor).

Velocidade média, alta precisão Muitos excelentes DACs R-2R e escada linear competem, por exemplo:

• TI DAC8552 (duplo 16 bits, entrada serial, saída de tensão, ext

[97] Curiosamente, tanto o AKM quanto o Cirrus usam esse esquema simples e amplificadores '5534 baratos em seus kits de avaliação ADC. No entanto, o kit Cirrus “design de referência” substituiu o amplificador operacional LT1128 de baixo ruído. Por outro lado, a TI usa um amplificador diferencial verdadeiro (o OPA1632) no kit de avaliação para seu delta-sigma de áudio PCM4222 comparável conversor.

[98] Merriam–Webster: “Um grande número de itens sem ordem; uma massa confusa. *Sinônimos:* confusão, emaranhado, emaranhado, bagunça, miscelânea, mish mash, massa; ninho de rato *informal* .

[99] Os escopos digitais atualmente disponíveis atingem larguras de banda analógicas de 32 GHz com taxas de amostragem de 80 Gsps (por exemplo, série Agilent 90000X), números que certamente aumentarão com o tempo.

[100] Evidentemente, eles estão tão empolgados com isso que negligenciaram, até agora, atribuir um número de peça.

Tabela 13.11 Conversores D-para-A de Áudio Selecionados

filtro de escavação Suprimentos Pwr

bits fsamp THD+N SNR Output Ripple Stopn max Potência de Tensão Preço

máximo tip type min tipo digital analógico (±dB) (dB) qtde 25

Papel # (ksps) (dB) (dB) (V) (V) (mW) pacote ($US)

AK4386 24 2 96 84d 100 mbDS Vse - - 0,01 64 2,2-3,6 50 - 20 H TSSOP-16 1,00 A,J 75 SOIC-8 1,63 B,J

CS4334/5/8/9 24 2 96 88d 88d DS Vse - - 0,2 5 - 150 S SSOP-16 1,65 C

PCM1753 24 2 192 94 106 mbDS Vse - - 0,5 50 5 -

TLV320DAC3100 24 2 192 82e 95 mbDS SP/HP • - - 3.3 1,8 QFN-32 3,03 D 3,3 168 H,I,S TSSOP-24 4,38 E

PCM1789 24 2 192 94 113 C-seg Vdiff - p - 0,0018 75 5 2,7-5,5 1,8-4,5 50h I WQFN-32 5,15k F

LM49450 24 2 192 64 g 88 DS SP/HP •q - -

AK4358 24 8 192 92d 112 mbDS Vdiff • - 0,02 54 5 - 0,0018 75 5 - 5 560 I,S LQFP-48 5,22 G,J,N 3,3 620 H,I,S HTSSOP-48

PCM1690 24 8 192 94 113 DS Vdiff • 0,002 75 5 CS4398 24 2 5,23 G 3,3 236 H,S PQFP-48 7,74 HH,I TSSOP-28 8,86

PCM4104 24 4 216 100d 118 DS Vdiff - 192 107 120 mbDS Vdiff •- NL

0,01 102 5 PCM1794A 24 2 192 102d 127 AS Idiff - 1,8-5 192

- 0,00001 130 5 3,3 335 H SSOP-28 10,83 2,5 521m I,S LQFP-80

ADAU1966 24 16 192 98 118 DS Vdiff • - 0,01 68 5 11,71 J,M 5 210 S SSOP-28 12,35 J,N 5 530 S LQFP-44

AD1955 24 2 192 110 120 DS Idiff • - 0,0002 110 - 5 15,00 P 175d - SOIC-20 68,20 Q

AK4399 32 2 192 102d 123 DS Vdiff • 0,005 95

PCM1704K 24 1 96 102d 120 R-2R Ise - - - - 5 ±5 -

Notas: (a) por ordem crescente de preço. (b) H="hardware", isto é, programável por pinos; I=I2C; S=SPI. (c) AS=TI "segmento avançado"; C-seg=segmento-atual; DS=delta-sigma; mbDS=delta-sigma multibit; R-2R=escada. (d) a 96 kps. (e) áudio de 48 kps. (f) Idiff=corrente diferencial; Ise=corrente unidirecional; SP/HP=alto-falante ou fone de ouvido; Vdif=tensão diferencial; Vse = tensão de terminação simples. (g) 0,6W em 8ÿ, com Vs=5V. (h) apenas alimentação analógica; amp classe D tem 80% de effy. (k) quantidade 100. (m) a 48 kHz. (n) atenuação da banda de parada, em modo de rolagem acentuada, em f/fs=0,546. (o) a 192ksps. (p) mono de 2,5 W. (q) 1,9 W estéreo, 1% THD em 4ÿ com Vs=5V. (t) típico.

Comentários: **A:** baixa potência. **B:** 8 pinos, "nível de entrada"; escolha p/n para formato de dados. **C:** PCM1754=Interface H/W. **D:** drivers de fone de ouvido estéreo e amplificador spkr mono classe D, 2,7-5,5V. **E:** áudio/vídeo de consumo de alto desempenho. **F:** áudio de consumo portátil; 100dB SNR na saída de fone de ouvido. **G:** octal, áudio/vídeo de consumo multicanal. **H:** quad, áudio profissional e de alta qualidade, alto desempenho. **J:** baixo jitter. **L:** premium; DSD1794A=IIC/SPI. **M:** 16 canais; automóvel, etc. **N:** suporta saída SACD. **P:** prêmio. **Q:** lendário, o melhor dos DACs de áudio R-2R herdados; precisa de filtro externo.

ref, glitch muito baixo, 10 lar, ÿ s resolver; DAC8560/4/5 simi com ref int) • ADI AD5544 ou TI DAC8814 (quad 16 bit MDAC, s liquid com externo I entrada serial, saída de corrente, ÿ amplificador operacional de 0,5–2 a V) • LTC1668 (16 bits, entrada paralela, saída de corrente diferencial, 20 ns acomodados em 50 ÿ como "saída de tensão") • TI DAC9881 (entrada serial de 18 bits, saída de tensão rail-to-rail, ext ref, baixo ruído, 5 s de estabilização) ÿ

Velocidade mais alta Aqui você não pode vencer os conversores de direção atual, por exemplo, o TI DAC5681/2 (16 bits, 1 Gsps) ou o ADI AD9739 (14 bits, 2,5 Gsps).

C. Interlúdio: tiroteio no curral ADC Para ilustrar as importantes diferenças de desempenho entre ADCs delta-sigma e de aproximação sucessiva, convidamos dois competidores capazes e bem combinados do mesmo campo de treinamento (Analog Devices) para se enfrentarem. Eles apresentaram suas respectivas (e respeitáveis) especificações, que se parecem com isto:

SAR ÿÿ

Unidades AD7641 AD7760

Introduzido 2006 2006 ano CE

Preço $ 47 $ 53 dólares

taxa de conversão 2,0 2 2,5 americanos

frequência de amostragem 1 40 Msps MHz

Alias acima 18 20 MHz bits 200

Resolução 60 24 ppm máx.

Zero erro 0,5 0,1 ppm/ÿC tipo 0,016%

" erro de máx/tipo 2 ppm/ÿC tipo 100 dB tipo

ganho de temperatura 0,25% ÿ103 dB tipo ±7,6 ppm tipo

" 1 tempco SNR 93 12

THD ÿ101 INL

±7,6 Atraso de

dados 0,5

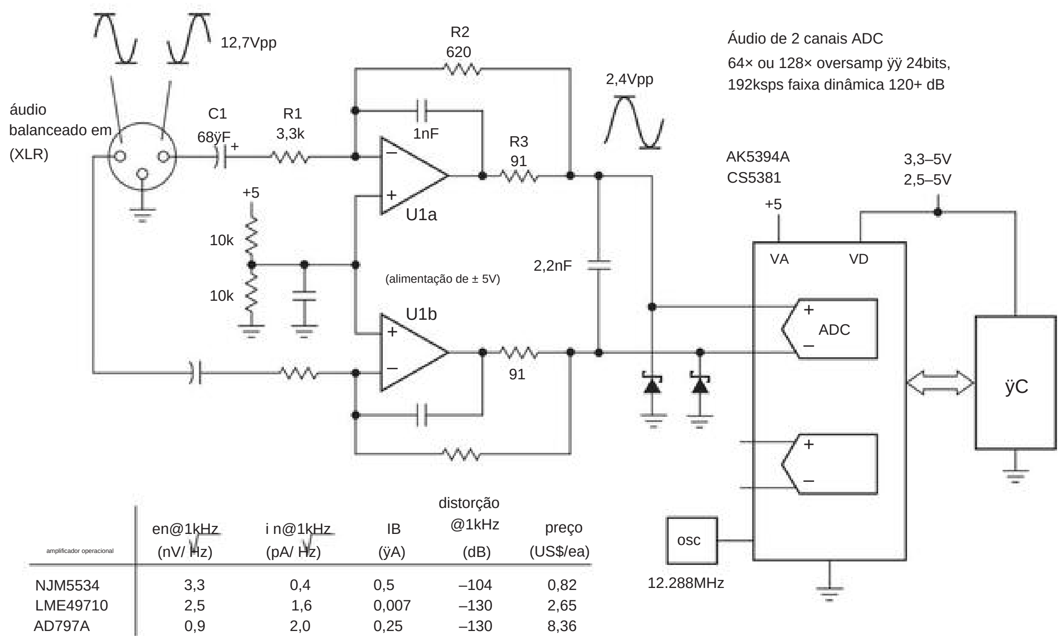
Referência int Fontes de ÿ s

alimentação ramal

1 3

75 960 mW

O contendor delta-sigma deu alguns bons jabs, com sua resolução superior e a facilidade com que o usuário poderia



amplificador operacional	en@1kHz (nV/√Hz)	i n@1kHz (pA/√Hz)	IB (ÿA)	distorção @1kHz (dB)	preço (US$/ea)
NJM5534	3,3	0,4	0,5	–104	0,82
LME49710	2,5	1,6	0,007	–130	2,65
AD797A	0,9	2,0	0,25	–130	8,36

Figura 13.68. Os ADCs AKM e Cirrus delta-sigma são onipresentes em digitalizadores de áudio profissionais. Eles geralmente são implementados com um frontend analógico simples como este, embora uma abordagem melhor explore um verdadeiro amplificador diferencial (§5.17). Reproduzido com permissão de Asahi Kasei Microdevices, Tóquio, Japão.

projete um filtro passa-baixa limitador de largura de banda de entrada (anti-aliasing) (devido à sua taxa de sobreamostragem de 8×). O SAR respondeu que o número de bits não é grande coisa, é realmente a *linearidade* (para a qual ambos são iguais) que conta. E, a propósito, o SAR produz bits de saída 25 vezes mais rápido, com sua baixa latência superior. O sigma-delta contra-atacou com sua reivindicação de SNR superior, ao qual o SAR rejeitou com desaprovação a necessidade do ÿÿ de pelo menos duas fontes de alimentação e uma referência externa, e seu desperdício perdulário de 13 vezes mais energia. O sigma-delta, embora um tanto castigado, se recuperou com uma alegação de erro de ganho 15 vezes menor, ao qual o SAR respondeu que o delta-sigma estava trapaceando porque dependia de um registro de correção de ganho para fazer a calibração "inteligente" . Isso preparou o delta-sigma para entregar o insulto final, ou seja, que o SAR não era inteligente o suficiente para trapacear. Ambos os contendores reivindicaram a vitória (enquanto cambaleavam de volta para seus respectivos cantos), mas os espectadores julgaram que foi uma partida acirrada, com bons socos de cada lado.

13.10.2 Amostragem versus média de ADCs: ruído

Os conversores delta-sigma são inerentemente *integrados;* ou seja, uma medição leva em conta a variação do sinal ao longo do tempo de conversão; você pode pensar nisso como simples *média.* Com um conversor SAR, ao contrário, a tensão instantânea do sinal de entrada é capturada em um track and hold (durante o chamado tempo de *abertura)* quando o conversor é acionado. Essa distinção tem algumas consequências importantes, entre elas a capacidade dos conversores SAR de operar com um consumo médio de energia excepcionalmente baixo durante a amostragem lenta (consulte a próxima seção).

Outra consequência importante é a largura de banda efetiva na qual o sinal de entrada é amostrado. Uma abertura curta corresponde a uma largura de banda larga e vice-versa. A intuição serve bem aqui: altas frequências são eliminadas durante um longo intervalo de média, enquanto uma amostra rápida pode registrar a amplitude do sinal à medida que ele gira rapidamente. Dito de outra forma, a média de um sinal em algum intervalo de tempo ÿ atua como um filtro passa-baixa, cuja largura de banda é aproximadamente 1/ÿ; matematicamente falando, eles estão relacionados pela transformada de Fourier.[101]

Para tornar essas afirmações quantitativas, observe a Figura 13.69, que ilustra a função de filtro passa-baixa de uma janela de média de duração de tempo T. As frequências baixas passam, mas as frequências mais altas sofrem com a média;

[101] E particularmente pelo teorema da convolução, onde a amostragem em intervalo é representada por uma janela retangular de amplitude unitária no tempo. Sua transformada de Fourier é a função sinc, *(sint)/t,* com um primeiro zero em f=1/ÿ .

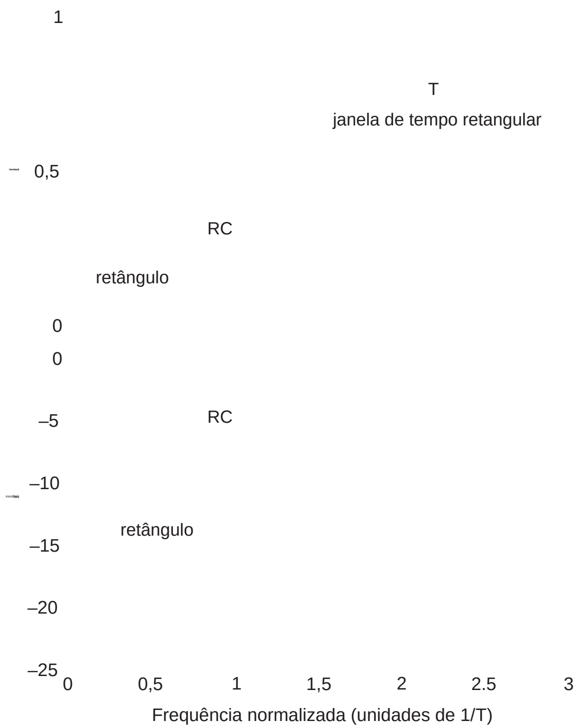


Figura 13.69. Espectro de um pulso retangular *ÿ(t)* de comprimento T. Um sinal de entrada, fechado (em janela ou multiplicado) por *ÿ(t),* é efetivamente filtrado em passa-baixo pelo espectro de potência indicado. Um filtro passa-baixo *RC* com rolloff de 3 dB em f=1/2T é mostrado para comparação.

um sinal de frequência f=1/T completa um ciclo completo durante o tempo de duração da janela T, portanto, a média é zero. Zeros adicionais ocorrem em múltiplos de *1/ T,* onde um sinal da frequência correspondente completa um número inteiro de ciclos.102

Portanto, uma janela curta admite ruído de banda larga que pode estar presente, degradando a precisão de um sinal intrinsecamente lento que se beneficiaria da média. Tenha isso em mente ao projetar um circuito de conversão, particularmente um que opere em amostras intermitentes de um sinal de variação lenta (por exemplo, um sensor de temperatura ou medidor de tensão). Não há problema em usar um ADC de aproximação sucessiva de amostragem rápida, desde que você esteja disposto a adicionar um filtro passa-baixa na entrada. Com um conversor de média (delta-sigma, dual-slope ou multislope), você obtém esse benefício gratuitamente.

102 É esta rejeição completa de frequências de sinal em 1/T e todos os seus harmônicos que permitem que você faça medições de DMM de bancada sem se preocupar com pickup de linha de força: o intervalo de integração do DMM é escolhido para ser um número inteiro de ciclos de linha de força (PLCs), lembre-se de §13.8 .3, e particularmente a Figura 13.42.

13.10.3 Conversores A/D Micropower

Pequenos dispositivos alimentados por bateria geralmente precisam de algumas informações sobre o mundo real, que podem obter de um sinal de sensor e um ADC de baixa potência. Freqüentemente, um ADC simples de 8 ou 10 bits incluído no IC do microcontrolador serve, mas para aqueles que precisam de melhor desempenho, oferecemos uma seleção de ADCs de micropotência na Tabela 13.6 na página 916. A tabela lista os conversores SAR e ÿÿ, com a maioria das entradas que aparecem também nas Tabelas 13.5 ou 13.9. Vamos dar uma olhada em uma comparação desses tipos de conversores para uma aplicação típica de micropotência.

Os tipos SAR são conhecidos por velocidades de conversão rápidas, mas isso ocorre à custa de maior consumo de energia. Os ADCs SAR capturam uma amostra do sinal quando são acionados, permitindo que você desligue o sensor imediatamente; isso economiza energia com algo como uma ponte de extensômetro faminta. Os conversores SAR rápidos consomem mais corrente, mas também terminam mais rápido e entram em suspensão. Por exemplo, o AD7685 consome 2,7 mW durante conversões contínuas de 16 bits a 200 ksps (seu máximo, quando executado em 3 V); mas para uma aplicação de sensor, podemos fazer medições com muito menos frequência, digamos em 100 amostras por segundo, onde a dissipação de energia média é de apenas 1,4 ÿW (2.000 × menos). Como para a maioria dos tipos de SAR, a dissipação de potência é proporcional à taxa de amostragem, portanto, há muitos outros candidatos de baixa potência a serem encontrados na Tabela 13.5.

Como observado acima, os conversores delta-sigma são integrados por natureza e demoram mais para realizar uma conversão. Além disso, uma conversão de 16 bits pode demorar 16 vezes mais do que uma conversão de 12 bits. Mas os ADCs ÿÿ geralmente consomem menos energia operacional do que os SARs comparáveis. O delta-sigma MCP3425 dissipa 0,44 mW ao operar continuamente em seu máximo de 15 amostras/segundo (para conversões de 16 bits), seis vezes menos que o SAR acima operando em seu máximo de 200 ksps. Nesta fase, você pode concluir que o delta-sigma é o vencedor de baixa potência. Mas a comparação é desigual, porque as taxas de amostragem diferem por um fator de mais de 10.000. Observe, a propósito, que esses requisitos de energia são muito maiores do que os números promissores que você pode encontrar na folha de dados, onde, por exemplo, o MCP3425 reivindica a capacidade de operar em níveis de energia tão baixos quanto 1,8 ÿW em média; mas há uma pegadinha, porque essa figura rosada se aplica à operação no modo de 12 bits e em apenas uma amostra por segundo.

Tiroteio ADC de baixa potência. Para comparar esses dois conversores de forma justa, vamos supor que queremos fazer dez medições por segundo com resolução de 16 bits e queremos escolher o conversor que minimiza a dissipação de energia. Nessa taxa, o conversor delta-sigma requer 290 ÿW

potência média, a ser comparada com os 0,14 W necessários do SAR. O SAR supera o ÿÿ – está usando apenas 1/2000 da potência! ÿ Com base apenas nessa figura de mérito, é um slam dunk.103 Mas há mais a considerar. A conversão de integração delta-sigma leva 66 ms, o que produz uma medição mais silenciosa do que um SAR ADC amostrando o sinal em uma fração de microssegundo, conforme descrito em §13.10.2.104 Em comparação, o AD7685 SAR mencionado acima pode realizar 2.000 medições para o mesma energia total de uma medição ÿÿ – mas você pode precisar fazer uma média de todos eles para reduzir o ruído.

Sugerimos sempre um estudo cuidadoso do datasheet de qualquer peça candidata. Ao avaliar ADCs de micropotência, considere também se eles incluem um amplificador de entrada no chip, referência de tensão interna e oscilador de conversão. Caso contrário, essas funções podem exigir alimentação externa adicional. Alguns ADCs usam a fonte como referência de tensão, o que é adequado para um sensor raciométrico como um termistor ou medidor de tensão. Para outros sensores, você pode ter que operar todo o ADC a partir de uma referência de tensão externa. Alguns ADCs usam o deslocamento de dados da interface como o clock de conversão, o que pode forçar o controlador a desperdiçar tempo e energia criando uma taxa lenta de clock de dados. Observe também que alguns conversores de clock externo requerem frequências bastante altas, por exemplo, o AD7091R SAR ADC precisa de um clock de 50 MHz para operar em sua velocidade máxima de 1 Msps; requisitos como esse podem ter um impacto severo no consumo de energia.105 Ao considerar conversores para aplicações em que você planeja alimentá-los intermitentemente, lembre-se também de que alguns conversores têm um tempo de atraso de inicialização não trivial a partir do modo de hibernação.

Uma última consideração é a tensão de alimentação. A maioria das peças na Tabela 13.6 requer uma tensão de alimentação mínima moderadamente alta, como 2,7 V. Mas ADCs capazes de operar em tensões mais baixas podem economizar energia considerável. Por exemplo, o AD7466 consome 620 W a 100 ksps ÿ ao operar com uma fonte de alimentação de 3,0 V, mas usa apenas 120 W em ÿ 1,6 V.106 Este ADC sofre penalidades de desempenho modestas em 1,6 V, mas o maior problema pode ser projetar circuitos analógicos para operar em uma tensão tão baixa. Olhando pelo lado positivo, você pode ser recompensado com um arranjo de bateria simplificado.

13.11 Alguns conversores A/D e D/A incomuns

Aqui estão alguns CIs conversores interessantes, instrutivos e úteis, que não podemos deixar de mostrar. Todos eles vêm da Analog Devices, líder tradicional em ICs de conversão e outros produtos analógicos de alto desempenho. (Veja também os ADCs de baixa potência na Tabela 13.6 e os “conversores especiais” incomuns na Tabela 13.12.)

Tabela 13.12 Conversores de especialidade A-para-Dsa

Papel #	bits	Conv Avaliar máximo (ksps)	Canais	ADCs	SAR	Integrando	Comentários

AMC1203 1 10M 1 1-• modulador ÿÿ , corrente do motor CA AD7873 12 125 6 1 • - tela sensível ao toque resistiva X,Y AD7490 12 1000 16 1 • - sequenciador flexível AFE5401 12 25M 4 4•- radar automotivo AFEe AFE5804 12 40M 8 8•- Ultrassom de 8 canais, 0,9nV/ÿHz AD6620 12 67M 2 1 • - Filtro FIR + prog RAM, para FPGA AD9869 12 80M 1 1 • - transceptor, 200Msps DAC AD6655 14 150M 2 2 - • Diversidade IF rcvr , 32-bit NCO LMP90080 16 0.21 8 1 • - sensor AFEe, muitas interfaces ADE7753 16 14c 2 - • 2 alimentação AC men. monofásico DDC316 16 100 16,16 - • 16 entradas de corrente, 3 a 12pC AD7147 16 250 13 1 - • 13 entradas de capacitância, toque AD7609 18 200f 8f 1 • - amostragem simultânea, diferencial DDC232 20 6 32 32 - • 32 entradas de corrente, 3 a 12pC 78M6631 22 2,5 6 1 - • alimentação trifásica, c/ 8051 CPU AD7746 24 0,09 2 1 - • capacitância precisa, ±4pF FS ISL26102 24 4 2 1 - • silencioso, 7nV/ÿHz, linearidade de 2ppm LDC1000 24b d 2 2•• indutância, resistência à perda ADS1298 24 32 8 8 - • padrão 12 -derivação ECG TPA5050 24 192 2 2 - • áudio, atraso de sincronização labial até 120ms Notas: (a) onde encontramos indutância, capacitância, ultrassom, ECG, poderosos sensores analógicos front-ends e comunicação RF, etc. (b) 24 bits para L (indutância), 16 bits para Rp (resistência paralela equivalente). (c) largura de banda RMS de 14 kHz. (d) resposta mais rápida = 192 ciclos LC, por exemplo 10 ksps para 2MHz. (e) front-end analógico do sensor. (f) amostragem simultânea, 200 kHz em todos os canais.

103 E, claro, há também a economia de energia se o sensor externo for ligado.

104 Lembre-se de que a largura de banda está inversamente relacionada à largura de pulso,ÿ , como BWÿ 1/ e que a potência do ruído cresce com a largura de banda (*Pn=en·BW* para ruído branco). Portanto, uma medição mais lenta corresponde a uma largura de banda reduzida; ele calcula a média do ruído de alta frequência.

105 Tomando o AD7091R como exemplo, o driver SCLK consome *P=CV2 f ;* considerando C=5 pF, isso equivale a 2,25 mW para uma oscilação lógica de 3 V a 50 MHz, que é significativamente maior do que a própria dissipação de energia especificada do conversor de 1 mW. Felizmente, o clock de 50 MHz no pino SCLK é necessário apenas durante os 12 ou 13 deslocamentos dos dados de saída, reduzindo assim a potência média do SCLK para 0,6 mW (ou seja, um fator de 13/50); muito melhor, mas ainda um contribuinte significativo para a potência total.

106 A relação de potência de 5,2× é mais do que o quadrado da relação de tensão de alimentação de 1,9×, revelando que a corrente operacional cai mais rapidamente do que lin early versus tensão de alimentação. Isso não deve ser uma surpresa, considerando o efeito da corrente “disparada” classe A na lógica CMOS, veja a Figura 10.101.

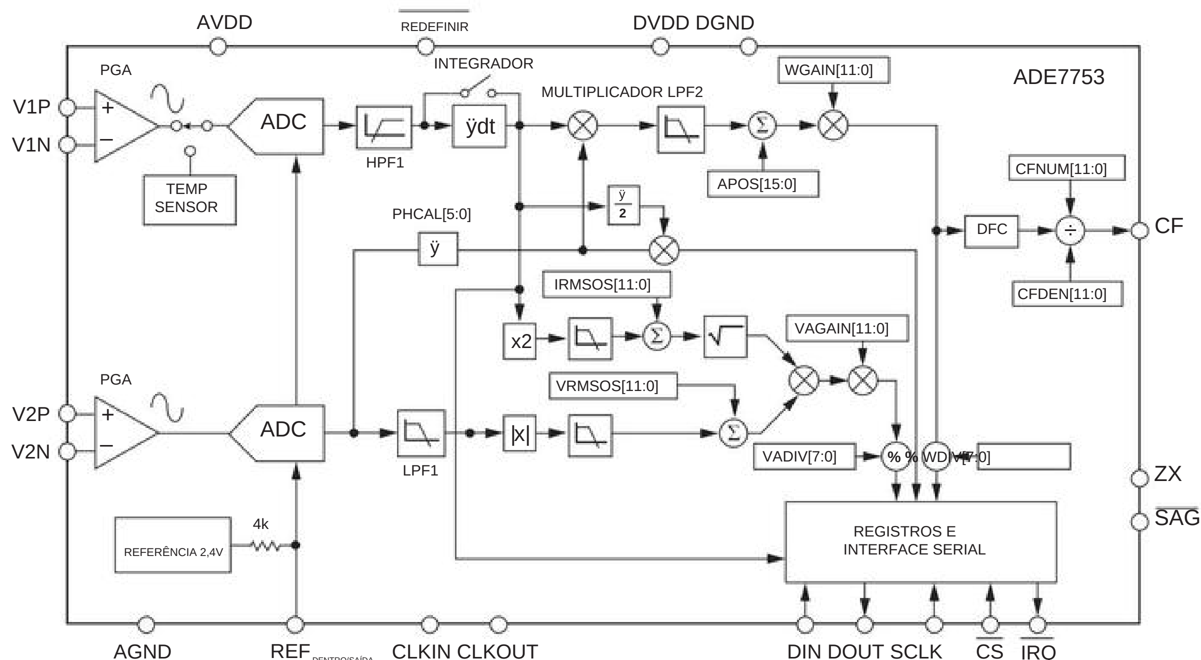


Figura 13.70. Analog Devices ADE7753: um elegante CI de monitor de energia CA, cortesia da Analog Devices, Inc.

13.11.1 Medição de potência CA multifuncional ADE7753 CI

Em ambientes industriais (e, cada vez mais, também no contexto residencial consciente da energia) é importante acompanhar o uso de energia elétrica, à maneira do medidor de energia tradicional com o disco giratório e os mostradores de watt-hora acumulados. Tão ou mais importante é a necessidade de monitorar e minimizar a potência *reativa ;* ou seja, para compensar cargas reativas (tais como motores) para manter o fator de potência (§1.7.6) próximo à unidade. A empresa de energia se preocupa com a energia reativa e, de fato, transmite esse cuidado na forma de sobretaxas aos usuários industriais, porque produz perdas de aquecimento I2R em suas linhas e transformadores, embora não forneça energia útil à carga.

É bom também poder monitorar a potência instantânea (tanto real quanto reativa) e, já agora, a presença de quedas (quedas) ou picos (surtos) de tensão.

O elegante ADE7753 da Analog Devices[107] (Figura 13.70) é um bom exemplo de conversão A/D, adaptado especificamente para esta aplicação. Normalmente seria emparelhado com um microcontrolador, conforme mostrado na Figura 13.71 (e na Figura 15.21). Aqui vamos simplesmente admirar seus muitos recursos de design bem pensados.

[107] Escolhemos a parte monofásica, para simplificar; o similar ADE7758 lida com energia trifásica.

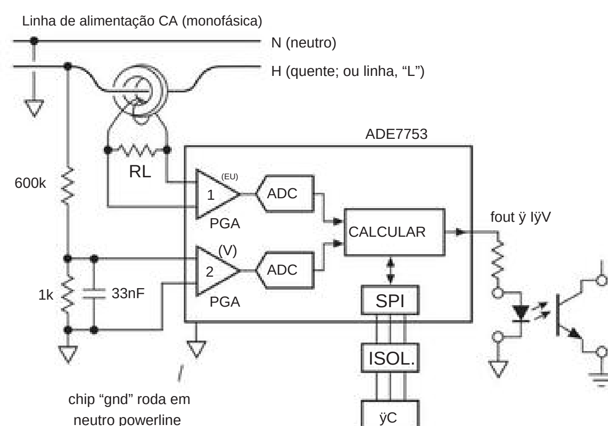


Figura 13.71. Conexão powerline básica, com sensor de transformador de corrente de corrente de linha CA. O trem de quatro pulsos fornece uma contagem contínua do uso de energia, da mesma forma que os tradicionais medidores de potência de disco rotativo.

Visão geral A partir de um par de sinal de entrada analógico que fornece uma amostra de tensão e corrente de linha, este chip usa técnicas puramente digitais (depois dos amplificadores front-end) para calcular continuamente os valores de potência real ("ativa"), potência reativa , e o produto volt-amp ("potência aparente"). Ele também acumula energia ativa e aparente e detecta quedas e picos de tensão. É altamente configurável

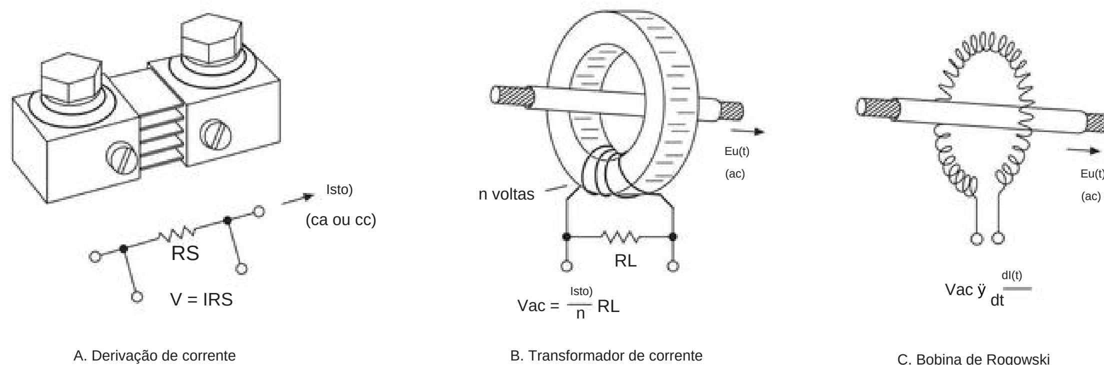


Figura 13.72. Técnicas de detecção de corrente. O shunt resistivo de 4 fios (A) funciona com CA ou CC, mas não fornece isolamento. Os métodos do transformador de corrente (B) e da bobina de Rogowski (C) funcionam apenas com CA.

por meio do barramento SPI simples de 3 fios (§14.7); é assim que um microcontrolador embutido se comunica com os 64 registradores internos do chip, que são usados tanto para configurar modos de operação quanto para relatar valores medidos. Ele também fornece uma saída de trem de pulso cuja taxa é proporcional à potência ativa (o disco giratório em um medidor de potência mecânica); assim, uma vez calibrado, ele pode ser usado no modo autônomo (sem microcontrolador) se tudo o que você deseja é uma contagem contínua do uso de energia acumulada.

Detalhes, detalhes Um par de amplificadores de diferença de ganho programáveis aceita as entradas de sinal de baixo nível (±0,5 V) das amostras de tensão e corrente da linha. Existem três maneiras de derivar o último (Figura 13.72): (a) um resistor em série de 4 fios calibrado de pequeno valor (um "shunt"); (b) um transformador de corrente toroidal (como na Figura 13.71) com carga resistiva; ou (c) uma "bobina de Rogowski". Este último produz um sinal de tensão proporcional a *dI/ dt,* comparado com ÿ *I* para os outros dois, exigindo assim uma integração adicional.

Em troca desse incômodo, ele tem as vantagens de linearidade (sem núcleo magnético) e fácil instalação[108] (sem necessidade de interrupção de energia). Os amplificadores têm compensações ajustáveis digitalmente; suas saídas são digitalizadas com um par de ADCs ÿÿ de segunda ordem de 16 bits, produzindo o fluxo digitalizado de ~28 ksps de amostras *V* e *I.*

Agora vem a diversão. O caminho superior através do diagrama de blocos da Figura 13.70 é o cálculo da potência ativa (real): o canal 1 é o sinal de corrente de linha, com CC removido, alimentando um integrador opcional (para Rogowski); que é multiplicado pela forma de onda de tensão do canal 2, com 0,05ÿ ajuste de fase (PHCAL) para garantir uma multiplicação em fase precisa. O resultado – potência ativa instantânea – tem ajustes de offset e ganho, e então gera uma frequência de saída proporcional (no pino CF) por meio de um conversor de frequência digital (DFC); ele também vai para o banco de registros, onde ele (e seu valor acumulado) pode ser lido.

O caminho do meio é o cálculo da potência reativa: é semelhante, mas com uma mudança de fase de 90ÿ no caminho da corrente. Por fim, o caminho inferior é o cálculo do produto volt-amp (potência aparente), feito como o produto da magnitude da tensão vezes a corrente rms, com os deslocamentos ajustáveis usuais e ganho configurável.

O bloco denominado "registros e interface serial" esconde timidamente sua considerável inteligência. Ele está realmente no comando aqui, com todas as configurações de ajuste e ganho, configurações de modo para coisas como os detectores de pico e queda, o integrador opcional e a escala de frequência da saída CF. Ele também abriga os acumuladores de energia (potência × tempo) de 49 bits (reais e aparentes) e registros que armazenam dados sobre quedas e picos. Ele pode ser configurado para *interromper* (§14.3.7) o processador quando coisas ruins acontecerem.

No geral, um desempenho bastante impressionante para uma peça que custa cerca de US$ 4 em pequenas quantidades.

13.11.2 AD7873 digitalizador touchscreen

Uma "tela sensível ao toque" é a combinação familiar de um dispositivo de exibição (geralmente um LCD colorido retroiluminado), sobre o qual há uma sobreposição sensível à pressão de contato (pela ponta do dedo ou caneta). Essas coisas são usadas em smartphones, PDAs, tablet PCs, caixas eletrônicos, terminais de ponto de venda e similares, para permitir a manipulação digital simples (isso é um trocadilho, entendeu?) dos objetos exibidos. Um tipo simples e eficaz, chamado *touchscreen resistivo,* consiste em duas folhas finas de

[108] É ainda melhor do que a figura sugere, porque, na prática, um condutor serpenteia de volta pela bobina de modo que ambos os condutores saiam na mesma extremidade. Consulte as fichas técnicas do RoCoil da DENT Instruments ou RopeCT da Magnelab.

material transparente, cada um com um revestimento condutor, que são pressionados juntos pela força de contato do dedo.

Como você pode descobrir onde isso acontece? Fácil: há um eletrodo de tira de metal ao longo de duas bordas opostas de cada folha; portanto, se você aplicar uma tensão CC em uma dessas folhas, ela agirá como um divisor de tensão resistiva, com um aumento linear da tensão de uma extremidade à outra. O sanduíche da tela sensível ao toque é um par empilhado, um orientado na direção *x* e o outro na direção *y* . Para ler a posição de contato, você primeiro energiza uma folha (digamos, a folha *x)* com uma tensão CC e lê a tensão que o ponto de contato transfere para a outra *(y)* folha não acionada; que lhe dá a coordenada *x* do local pressionado. Então você inverte os papéis, energizando a folha *y* e lendo a tensão transferida para a folha *x* .

O AD7873 (Figura 13.73) faz tudo o que você precisa e muito mais. Ele se comunica com o processador embutido usual (Capítulo 15) através de uma porta serial SPI de 3 fios (§14.7 e §15.8.2), tanto para configuração quanto para leitura. Inclui interruptores MOSFET internos para energizar alternadamente as folhas *x* e *y ;* uma referência de tensão interna; um sensor de temperatura interno; e um SAR ADC de 12 bits com multiplexador de entrada para selecionar e digitalizar entre (a) a folha não acionada, (b) a tensão de acionamento, para fazer a medição raciométrica, (c) a tensão da bateria, (d) a temperatura e (e) uma entrada analógica não comprometida de sua escolha. Essa coisa funciona com uma única fonte (+2,2 V a +5,25 V), com consumo de energia de alguns miliwatts e um preço de cerca de US$ 2 em quantidades modestas de fabricação (1.000 unidades).

Uma técnica alternativa de tela sensível ao toque substitui *capacitância* por resistência, com vários esquemas para determinar o ponto de proximidade. Você pode obter conversores de capacitância completos, com referência no chip, excitação, conversor delta-sigma e interface serial, por exemplo, as séries AD7140/50 e AD7740 da Analog Devices. Eles vêm em variedades de canal único e múltiplo, com resoluções de 16 a 24 bits. Eles não são rápidos (ÿ100 sps), mas são bastante baratos (um conversor duplo de 12 bits de 200 sps ou um conversor de 8 canais de 16 bits de 45 sps custa cerca de US$ 2 em quantidades de 25).

13.11.3 AD7927 ADC com sequenciador

Muitos ADCs incluem um multiplexador analógico no chip, para que você possa amostrar e converter uma sucessão de entradas analógicas. O AD7927 (Figura 13.74) permite que você faça isso; mas adiciona um modo de sequenciador programável, de modo que você pode designar um subconjunto (na verdade, dois subconjuntos) de canais de entrada a serem convertidos em sequência, repetidamente. A amostragem e a versão de conversão são acionadas pelo pino de seleção de chip, sem os atrasos de pipeline característicos dos conversores delta-sigma. Isto

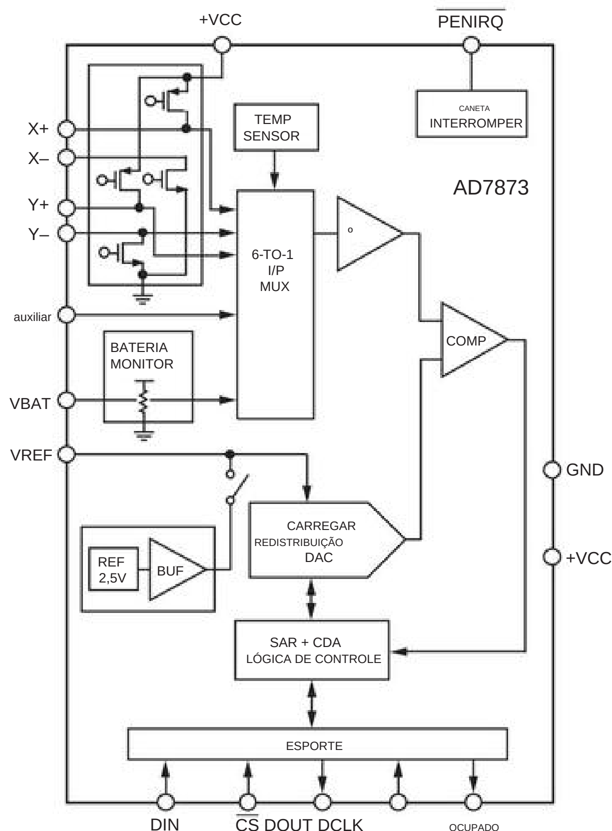


Figura 13.73. O digitalizador touchscreen resistivo AD7873. A posição *x* e *y* da ponta do dedo é determinada em duas fases, energizando cada plano em sucessão e lendo a saída de voltagem dividida do outro, cortesia da Analog Devices, Inc.

usa uma porta serial SPI tanto para controle/programação quanto para leitura de dados; é descrito neste contexto em §14.7.1.

13.11.4 Subsistema de medição de ponte de precisão AD7730

Aqui está um bom chip (Figura 13.75), que visa o mercado de balanças onde transdutores de ponte resistiva (strain gauges) são usados. Sua folha de dados bem organizada facilita a navegação em seu host de recursos inteligentes. Possui amplificadores diferenciais de front-end de ganho programáveis com ganho adequado para entradas de escala total de 10 mV e uma entrada de referência diferencial para medições totalmente raciométricas. Ele pode ser operado em modo de corte, para minimizar desvios e erros de voltagem compensada; e possui modos de calibração interna para corrigir erros de escala. Assim, você pode conectar os terminais do medidor de tensão diretamente a este chip, sem nenhum pré-amplificador externo.

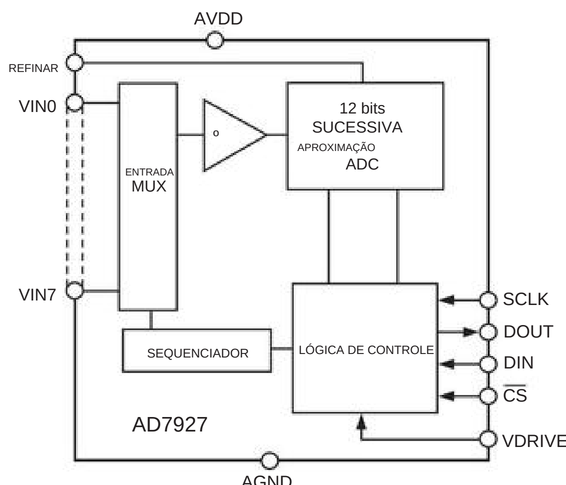


Figura 13.74. O ADC de aproximação sucessiva multiplexada AD7927 com modos de "sequenciador" programados de forma flexível, cortesia da Analog Devices, Inc.

Digno de nota é o sinal de "excitação ca" embutido, que você pode usar para inverter a polaridade do acionamento da ponte em medições sucessivas, cancelando assim os deslocamentos residuais – incluindo deslocamentos *externos* causados, por exemplo, por tensões termoelétricas nas junções de metais diferentes. O banner da primeira página proclama "Desvio de compensação: 5 nV/ÿC, Desvio de ganho: 2 ppm/ÿC". No lado digital da cerca, há muita flexibilidade de programação no controle de seu conversor delta-sigma de 24 bits e filtro digital, por meio da porta serial SPI (§14.7). Este filhote funciona com uma única fonte de +5 V; está disponível nos estilos de pacote DIP e SMT e custa cerca de US $ 15 em pequenas quantidades.

13.12 Alguns exemplos de sistema de conversão A/D

Nesta seção, veremos alguns exemplos de *sistemas de conversão completos.* Eles ilustram os tipos de trade-offs de design e interação de subcircuitos com os quais você deve se preocupar ao incorporar um conversor em um sistema maior, que inclui amplificadores de front-end, referências de tensão e interfaces digitais.

13.12.1 Sistema multiplexado de aquisição de dados de 16 canais

Este exemplo de aplicação usa um ADC de aproximação sucessiva para criar um sistema de aquisição de dados A/D multiplexado de 16 canais (DAQ). A Figura 13.76 mostra a configuração do circuito, que permite digitalizar qualquer combinação de 16 entradas analógicas diferenciais (ou 32 entradas simples), sob controle flexível de um microcontrolador embarcado (o último é o assunto do Capítulo 15). Por exemplo, os vários canais de entrada podem ser configurados on-the-fly como single-ended ou diferencial e com diferentes ganhos front-end (definidos pelo amplificador de ganho programável PGA), juntamente com carimbos de data/hora para cada medição; e os canais podem ser amostrados (ou ignorados) em qualquer ordem, com intervalos de amostragem programáveis. Um subsistema como esse poderia formar o "front-end" de um experimento de coleta de dados controlado por microprocessador, no qual uma varredura rápida de uma dúzia de voltagens é programada para ocorrer, com varreduras sucessivas feitas em intervalos de 100 ms ou mais.

Embora pareça bastante direto, um circuito finalizado como esse geralmente é o resultado de muitos malabarismos de recursos e compromissos, enquanto você luta para encontrar componentes com as propriedades certas. Este exemplo não foi exceção. Vamos fazer um "passo a passo de design" para visitar as várias escolhas que fizemos e o desempenho resultante.

Multiplexador de entrada Multiplexadores analógicos são abundantes (a DigiKey lista quase mil); mas menos em variedades que lidarão com uma faixa de entrada analógica completa de ±10 V. E menos ainda em dispositivos que permitem oscilações além dos trilhos de alimentação de ±15 V, ou que não travam a entrada quando não alimentados. O MPC506[109] de longa duração da TI (originalmente Burr-Brown, líder em ICs analógicos) é excelente nesse aspecto, embora às custas de uma resistência relativamente alta (1,5 kÿ). Seu processo CMOS com isolamento dielétrico permite oscilações de entrada de 20 V além dos trilhos, sem "latchup SCR" ou diafonia entre as entradas; e seus interruptores são "break-before make", o que significa que os vários canais de entrada não se encontram em curto durante as mudanças de endereço no MUX. Fique atento a considerações desse tipo ao comprar interruptores lineares. Às vezes, eles envolvem um compromisso. Por exemplo, "break-before-make" resulta em uma especificação de tempo de comutação mais lenta (aqui 0,3 s típico) porque o "make" deve ser atrasado (por 80 ns aqui) para permitir que a chave seja ÿ aberta.

Uma observação: o que acontece se uma entrada analógica oscilar mais de 20 V além dos trilhos de alimentação do MUX? Haverá alguma corrente de entrada, começando em cerca de 15 V além dos trilhos e aumentando para cerca de 20 mA quando você estiver 40 V além dos trilhos. Além disso, você corre o risco de danificar a peça. Se você está esperando sobretensões de entrada sérias e quer proteção *real* , você pode incluir um

[109] Ou o HI-506A original da Intersil, que geralmente é listado com um número de peça do mecanismo de pesquisa como HI3-0506A-5Z. Comutadores comuns de ±15 V sem capacidade além do trilho têm números de peça como DG506, HI-506 ou ADG1206.

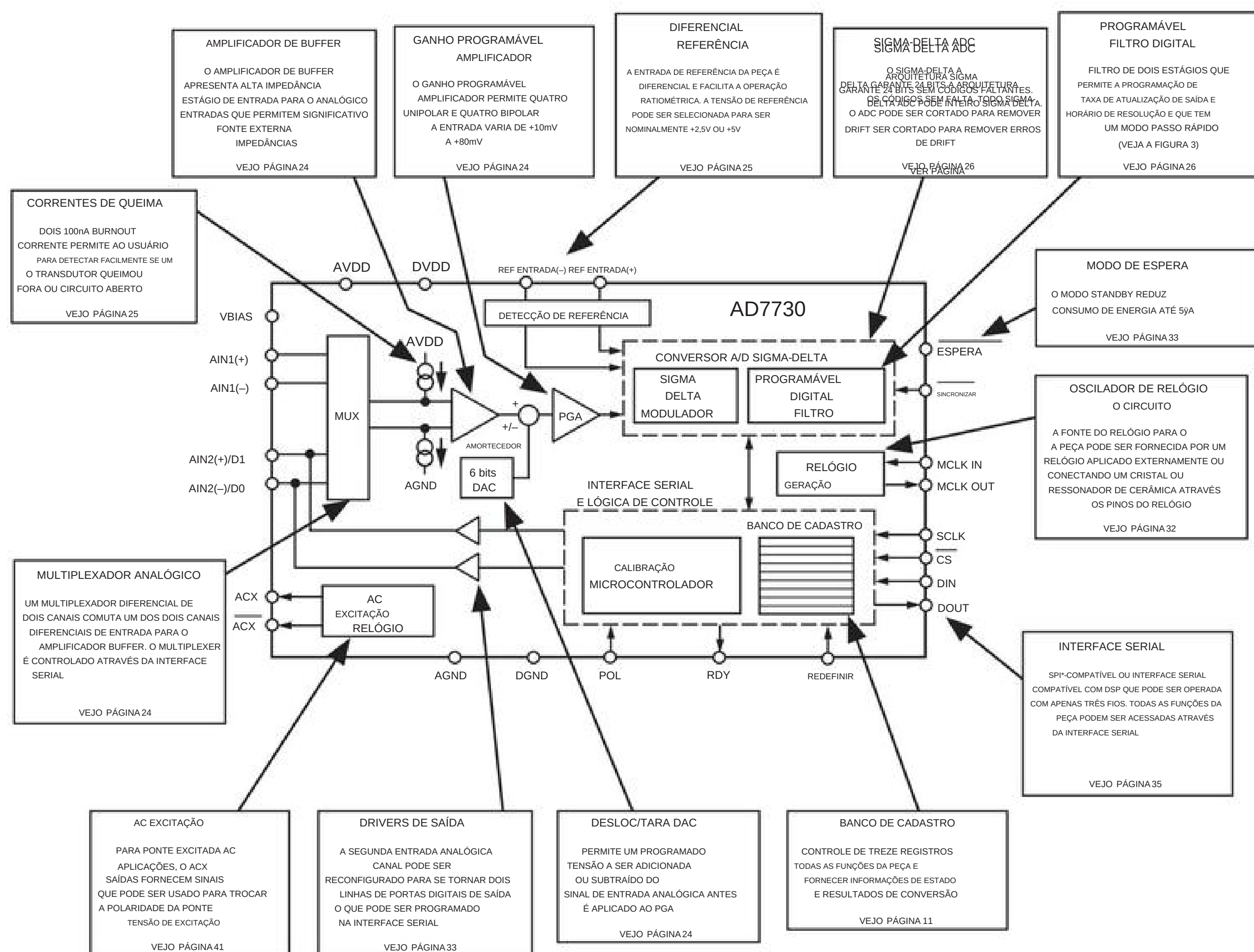


Figura 13.75. Subsistema analógico front-end adaptado para transdutores do tipo ponte, como extensômetros, balanças e transdutores de pressão. A folha de dados do AD7730, da qual esta figura foi retirada, é um modelo de clareza e uma delícia de ler, cortesia da Analog Devices, Inc.

circuito de limite de corrente de entrada como o da Figura 13.77: os MOSFETs de modo de depleção back-to-back, em pacotes convenientes TO-92 ou SOT-23, podem conter 500 V e limitar a corrente a ÿ1 mA. 110 Veja §5.15.5 e Figura 5.81 e discussão associada para mais detalhes.

Chaves seletoras de terminação única/diferencial Chaves analógicas SPDT duplas, sob controle digital, direcionam as saídas dos multiplexadores: no modo diferencial de 16 canais, S1 e S2 sempre olham para U1 e U2; em single de 32 canais modo terminado (SE) S2 olha para o sinal comum, enquanto S1 olha para U1 ou U2 para os canais 1–16 ou 17–32, respectivamente. (Isso geralmente é chamado de entrada *pseudo-diferencial* , porque o terminal comum é compartilhado por todos os canais SE.) A comutação de modo e canal pode ser feita canal a canal (explicado abaixo). Observe a ausência de um filtro anti-alias, que limitaria a velocidade de multiplexação: assumimos que os sinais de entrada são adequadamente limitados em banda a montante dos multiplexadores.

As chaves analógicas IH5043111 SPDT S1 e S2 foram escolhidas por seu baixo vazamento, baixa capacitância e baixa injeção de carga. Isso ocorre às custas de um Ron relativamente alto (80 ÿ máx.). (Você pode obter muitos recursos analógi

110 Em condições normais, a resistência em série é de 2Ron+Rs, ou cerca de 2,7kÿ. O 1 kÿ adicionado de resistência em série não é muito de um com promessa; você poderia omitir o resistor e a saturação IDSS ÿ 2 mA ainda protegeria o MUX, mas o limite de dissipação dos transistores significa que você precisaria limitar as sobretensões de entrada sustentadas a 100 V ou então.

111 Os números de peça alternativos são HI5043 e DG403.

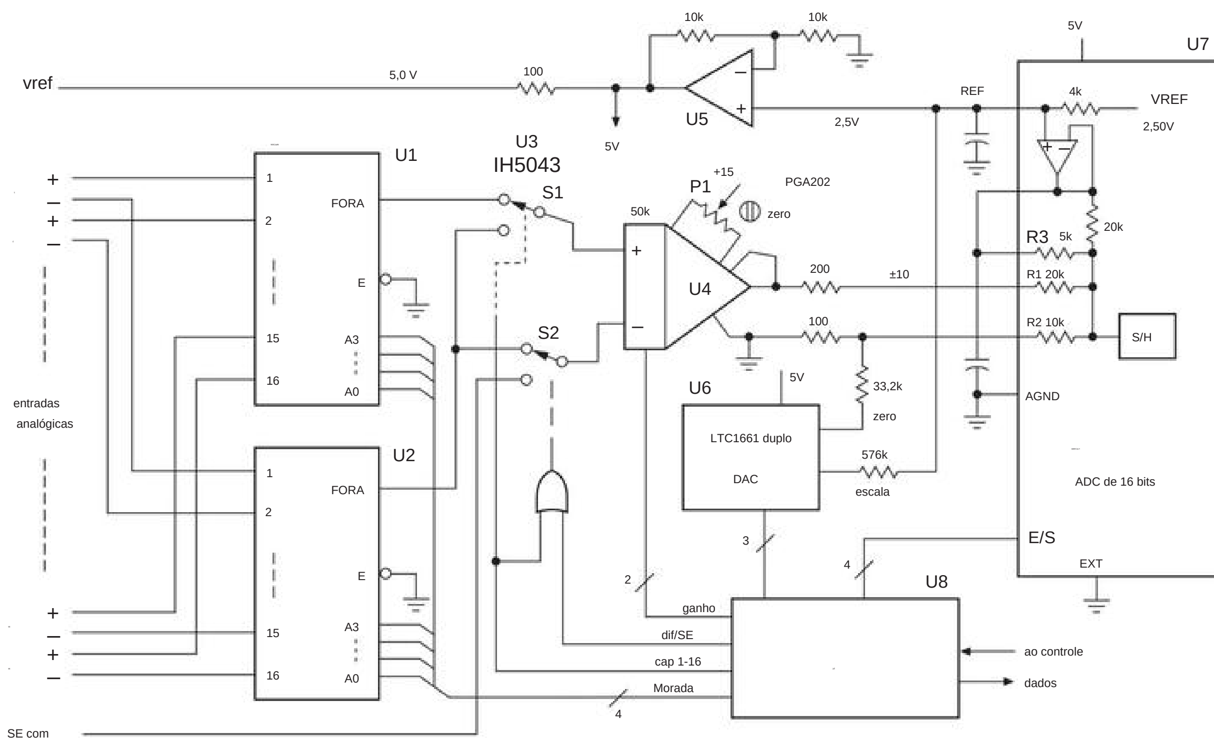


Figura 13.76. Um sistema ADC de aproximação sucessiva de 16 canais (diferencial) ou de 32 canais (SE) de 16 bits. Os ICs analógicos no caminho do sinal (U1–U5) são alimentados por ±15 V; os outros CIs funcionam a partir de uma única fonte de +5 V.

interruptores com Ron muito baixo, até 0,5 ÿ ou menos; mas você não precisa disso aqui e pagaria o preço em vazamento, capacitância e injeção de carga.112)

Amplificador de instrumentação Idealmente, queremos um amplificador de instrumentação (consulte §5.15 e Tabela 5.9) com ganho programável digitalmente (um PGA), que possa acomodar toda a faixa de sinal analógico de ±10 V e que tenha tempo de estabilização rápido, ganho estável, baixa tensão de deslocamento, baixo ruído e baixa corrente de polarização. Não há problema em listar uma lista de características desejáveis - mas quão bom cada um deles precisa ser? O que importa, em última análise, é que as limitações do amplificador não degradem o desempenho geral do sistema.

Dado o sistema circundante, o PGA202 da TI (Burr-Brown) é uma boa escolha aqui: tem ganhos programáveis de 1, 10, 100 e 1000 (definidos por um par de pinos de entrada de nível lógico), com um tempo de acomodação (para 0,01%) de 2 s (para todos, exceto GV = 1000), ÿ adequado para a taxa de conversão de 200 ksps do ADC downstream. As três configurações de ganho mais baixas correspondem às faixas de entrada em escala total de ±10 V, ±1 V e ±0,1 V. Sua alta impedância de entrada e baixa corrente de entrada (10 Gÿ, 50 pA) não degradam as características combinadas do multiplexador upstream e switch (o MUX especifica uma corrente de fuga típica de 2 nA).

Finalmente, e quanto à tensão e ao ruído do offset do amplificador? Escolhemos um amplificador de instrumentação de entrada JFET para sua entrada high-Z; mas, olhando para amplificadores comparáveis na Tabela 5.9, vemos que pagamos um preço, em termos de tensão de compensação e ruído, em comparação com o PGA204 de entrada bipolar. Precisamos comparar esses efeitos com a resolução (tamanho do passo LSB) do ADC downstream, que analisa a saída do amplificador. Mas o deslocamento e o ruído do amplificador são sempre especificados na *entrada* ("RTI", referido à entrada); então precisamos descobrir o tamanho do passo RTI do conversor, que depende do ganho do amplificador. Isso é bastante fácil: a faixa de entrada do conversor de ±10 V, dividida por seus 216 passos, equivale a um LSB

112 Por exemplo, a chave analógica ADG884 tem um Ron muito baixo = 0,4ÿ (max); mas sua capacitância shunt CS(on) é 295 pF, comparada com 22 pF para nosso IH5043 escolhido. Também é uma parte de baixa tensão, com oscilação analógica máxima de 5 Vpp. O ADG1413 opera em toda a faixa de ±15 V, com um baixo Ron de apenas 1,5 ÿ, mas sua injeção de carga (±300 pC) é cinco a dez vezes maior que a do '5043/DG403.

Machine Translated by Google

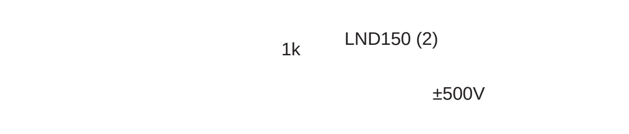


Figura 13.77. Circuito limitador de corrente de entrada, bom para ±500 V sobre o drive.

tamanho do passo de 0,3 mV. Assim, o tamanho do passo, referente à entrada do amplificador, é ÿ300 V, 30 V e 3 ÿ respectivamente para ganhos de 1, 10 e 100,

Estamos seriamente desafiados aqui, porque o amplificador especifica uma tensão de compensação RTI típica de (0,5+5/G) mV; ou seja, 0,5 mV em seu amplificador frontal, combinado com 5 mV em seu estágio interno de saída. Sem alguns truques adicionais, estamos enfrentando erros típicos de compensação de 5,5 mV, 1 mV e 0,55 mV em ganhos de 1, 10 e 100; isso é 18, 33 e 180 vezes os tamanhos de etapa RTI do conversor, respectivamente. Claramente, precisamos ajustar manualmente seu deslocamento e também incluir alguns circuitos eletrônicos de anulação ;

Em nosso projeto, temos o ajuste manual recomendado (definido uma vez, no ganho máximo) e um DAC de 10 bits para zerar o deslocamento; o último tem uma saída de 0–5 V, para uma faixa de compensação de ±7,5 mV na saída do amplificador ("RTO"). Sua resolução de 10 bits fornece um tamanho de passo de 15 V, muito ÿ melhor do que o necessário, considerando o tamanho de passo LSB de 300 V do conversor. ÿ

Portanto, para usar isso para medições de precisão total, zeramos o erro de compensação (através do ADC) no início de um conjunto de medições e esperamos que os desvios de compensação de curto prazo sejam pequenos. Estamos em terra firme? Bem, o desvio de deslocamento típico especificado do amplificador é (3+50/G) ÿ V/ÿC, 50 V/mês, e (10+250/ G) ÿ V/V(fornecimento). Usamos suprimentos regulados e nos preocupamos apenas com desvios de curto prazo; portanto, geralmente estamos bem, com desvios térmicos um problema potencial apenas no ganho mais alto (G = 100), onde uma alteração de 1ÿC causa um erro de 1-LSB. Há também desvio de *ganho* do amplificador com temperatura para se preocupar. Aqui são 3 ppm/ÿC (tipo) para G=1 ou 10 e 40 ppm/ ÿC para G=100. Um LSB corresponde a 30 ppm em ±escala completa, portanto, mais uma vez, estamos em boa forma, exceto no ganho mais alto (G=100), onde o tempco de ganho do amplificador causa um erro de 1-LSB para uma mudança de temperatura de 1ÿC .

[113] Ou subtração de compensação de software: poderíamos dedicar um canal (em curto) para medição de erro zero. E poderíamos usar outro para medir a referência de tensão para calibração em escala total. As correções de erro de deslocamento zero geralmente são armazenadas como parâmetros que foram medidos durante a calibração.

Finalmente, e quanto ao ruído de tensão do amplificador? Os valores especificados de RTI são 1,7 ÿpp (típico) para a banda de baixa intensidade 1/f de 0,1–10 Hz e uma densidade en=12 nV/ÿ Hz (típico) a 10 kHz (o canto 1/ *f* é de aproximadamente 100 Hz). Portanto, uma banda que se estende de 0,1 Hz a ~10 kHz tem uma tensão de ruído RTI de cerca de 3 V, comparável ÿ ao tamanho do passo RTI em G=100; é insignificante em ganhos mais baixos.

Conversor analógico para digital Precisamos de um conversor para lidar com toda a faixa de sinal de ±10 V, com velocidade suficiente para varredura a taxas de 100 kHz ou mais. (Existem ADCs de varredura, com multiplexadores de entrada e lógica de sequenciador, como o AD7699 de 8 canais, 16 bits e 500 ksps, mas eles o forçam a viver com sua faixa de entrada limitada, por exemplo, 0–5 V ou ±2,5 V, em vez do que os ±10 V que temos aqui.) O LTC1609 faz o trabalho e funciona com uma única fonte de +5 V, que podemos regular e filtrar individualmente para mantê-lo silencioso. Ele converte até 200 ksps, com tempo de aquisição (ajuste de entrada) de 2 s e ÿ uma interface serial com vários modos (dados seriais com clock interno ou externo, etc.; consulte §15.9.2 para detalhes de interface e programação) . Seus erros de deslocamento zero (±10 mV) e ganho (±1,5%) de pior caso devem ser calibrados (feito aqui com o DAC duplo, U6), após o que ele tem um deslocamento aceitavelmente baixo e desvios de ganho de ±2 ppm /ÿC e ±7 ppm/ÿC, tip, respectivamente. (Lembre-se de que um LSB em escala total é de 30 ppm.)

Referência de tensão Grande parte do erro de ganho e desvio é devido à referência interna de +2,5 V, com sua precisão de ±1% (pior caso) e temperatura típica de ±5 ppm/ÿC. Esta é, de fato, uma especificação de desvio muito boa para um ADC de referência interna. Mas se você quiser um melhor desempenho, use uma referência externa de precisão (consulte as Tabelas 9.7 e 9.8), a melhor das quais tem precisão de ±0,02% (pior caso) e ±1 ppm/ÿC ou tempcos típicos melhores. O pino REF do LTC1609 convida uma referência externa, que simplesmente sobrecarrega a fonte interna de 4 kÿ. Com essa referência de tensão externa, o erro de ganho não compensado é reduzido para ±0,5% (que podemos eliminar com o DAC) e o desvio de ganho é reduzido para ±2 ppm/ÿC (típico). Esses desvios de ganho são comparáveis aos do amplificador upstream, exceto no ganho mais alto deste último (G=100), onde o desvio do amplificador é uma ordem de grandeza maior e se torna problemático

Programação e operação Com sistemas que incluem microcontroladores, ainda há muito trabalho a fazer! Aqui você executaria uma configuração de calibração, armazenando os ajustes do ADC na memória não volátil do microcontrolador. Então, na inicialização, você programaria o DAC, bem como as faixas e os modos de comunicação do ADC. Veja primeiro o §15.9.2

diagrama de temporização na Figura 15.23 para ver como uma única conversão ADC é tratada. Mas há muito mais envolvido no controle de um sistema completo de aquisição de dados como este: você precisa configurar com antecedência detalhes como os canais de entrada ativos e sua sequência, e para cada canal se é único ou diferencial, seu ganho, etc. Isso normalmente seria feito com uma tabela de consulta, acessada em tempo de execução. Você também precisa especificar a taxa de varredura, modos de interrupção, quais dados devem ser armazenados no tempo de execução (número do canal, modo, ganho, registro de data e hora e assim por diante), junto com as informações do cabeçalho que vão para o arquivo de dados (como máquina ID, tipo de experimento, data, operador, configuração do sensor e assim por diante). Poderíamos divagar . . . mas você entendeu: há muito acompanhamento na organização e programação para fazer tudo voar. Para essas tarefas, descobrimos que é bom ter dedicado alunos de pós-graduação, que têm muito tempo, muitas habilidades e cujo diploma depende de fazer tudo funcionar.

13.12.2 Multicanal paralelo sistema de aquisição de dados de aproximação sucessiva

O exemplo anterior é *multiplexado,* com um único ADC digitalizando os canais de entrada sucessivamente em alguma sequência programada. Isso é bom em muitos aplicativos; mas às vezes é importante capturar *simultaneamente* os níveis de entrada em várias entradas analógicas. Uma maneira de fazer isso é capturar cada entrada analógica em seu próprio sample-and-hold (ou track-and-hold) e então multiplexar essas tensões analógicas estáveis em um único ADC. Mas os ADCs são baratos, então geralmente é melhor (e sempre mais rápido) usar um conjunto deles para digitalizar as entradas simultaneamente. Neste exemplo, ilustraremos isso com ADCs de aproximação sucessiva e, em §13.12.3, faremos isso com conversores delta-sigma.

A Figura 13.78 mostra uma implementação, usando um conjunto de chips da Analog Devices que funcionam bem juntos nessa aplicação. Vamos passar por isso.

Amplificador de entrada Problema: você deseja aceitar sinais de entrada de bipolaridade, digamos em uma faixa de ±10 V – mas você tem um ADC funcionando a partir de uma única fonte positiva, que aceita apenas sinais positivos. Solução: use um estágio de entrada do amplificador operacional para compensar o sinal e reduzir sua escala. Você pode fazer isso, mas precisará de resistores combinados de alta precisão para não comprometer a precisão dos ADCs.

Aqui, aproveitamos o elegante driver ADC de tradução de nível AD8275, que faz o que você deseja: é basicamente um amplificador de diferença de suprimento único. fier com *G* = 0,2 e com um terminal de offset de entrada. Como aqui configurado, ele converte uma faixa de entrada de bipolaridade (±10,24 V) em uma saída somente positiva centrada na metade da tensão de referência, ou seja, 0–4,096 V. Tem bastante largura de banda (0,45 s ajustando-se para 0,001%, que é menos ÿ que um LSB), saída rail-to-rail (para que possa funcionar com os mesmos +5 V do conversor, protegendo contra overdrive ADC), ganho preciso e estável *(G* = 0,2±0,024%, tempco 1 ppm/ÿC máx) e deslocamento e desvio aceitavelmente baixos (Vos < 0,5 mV máx, tempco 7 V/ÿC máx).

ÿ

Dois pontos importantes. (a) As especificações de deslocamento e desvio *referem-se à saída* (RTO), não à entrada. Em outras palavras, o offset de entrada é cinco vezes maior, ou ±2,5 mV (max), e o mesmo para o drift. Essa quantidade de offset não é insignificante: o LSB do conversor de 16 bits, referente à entrada do amplificador (RTI), corresponde a 2×10,24 V/216, ou 0,31 mV; portanto, o deslocamento de pior caso do amplificador é de cerca de 8 LSBs. O desvio, em comparação, *é* insignificante: seria necessária uma mudança de temperatura de 45°C para mover 1 LSB . Portanto, os canais devem ser calibrados na entrada zero (e também na entrada de fundo de escala). (b) A tensão de referência não arredondada (4,096 V) é popular porque produz um ganho de conversão de número redondo, ou seja, passos precisos de 10,0 mV no nível de 11 bits (que você pode imaginar como subdividido por 25 no nível de 16 bits). resolução de bits). Além disso, como a faixa de fundo de escala ex tende a ±10,24 V, você pode calibrar o sistema usando uma referência de 10,0 V sem ultrapassá-la.

ADC O AD7685 é um conversor de aproximação sucessiva de 16 bits de alimentação única com uma saída serial SPI rápida o suficiente para lidar com sua taxa de conversão máxima de 250 ksps. A interface SPI permite encadeamento em série com conversores adicionais, conforme mostrado; e a interface serial permite o empacotamento em um pequeno pacote de 10 pinos. Possui boas propriedades de linearidade e precisão: sem códigos ausentes, ±3 LSB (max) não linearidade integral, desvio de ganho de ±0,3 ppm/ ÿC (típico).114 **Referência** O ADC requer uma referência externa, que define a faixa de escala total positiva . A série ADR440 de referências de tensão "XFET" (§9.10.3) explora a tensão de pinçamento de um par de JFETs, em uma configuração inteligente que atinge baixo ruído e baixo desvio: 1,8 Vpp (típico) e 3 ppm/ÿC (máximo). ÿ

Isolação de porta serial Sistemas silenciosos ficam barulhentos se você permitir hash digital e correntes de aterramento no analógico

114 Este é um ADC de redistribuição de carga, para o qual às vezes é aconselhável colocar um capacitor na entrada analógica, isolado do amplificador controlador com um pequeno resistor, como na Figura 13.37; uma escolha adequada aqui seria 2,7 nF e 33 ÿ.

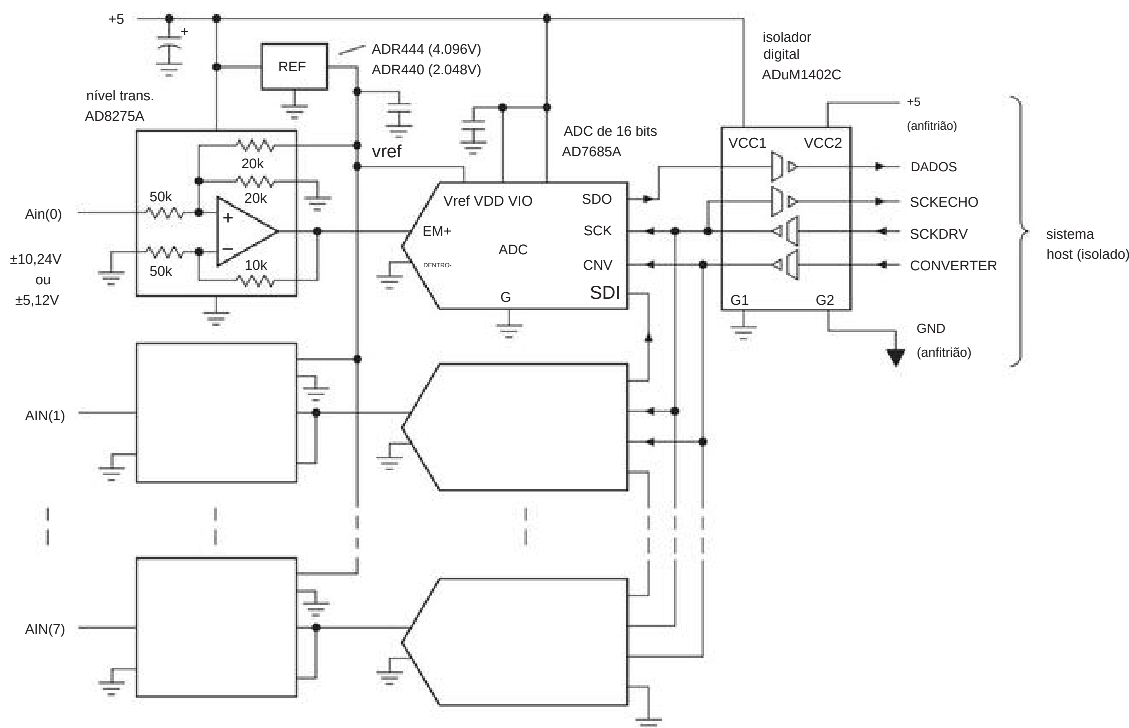


Figura 13.78. ADC de aproximação sucessiva paralela multicanal com porta de saída serial SPI isolada.

parte. Com uma interface de 3 fios, é fácil adicionar isolamento galvânico completo, neste caso com o isolador de 4 canais ADuM1402C. Este filhote usa acoplamento de transformador no chip e é bom para 90 Mbps. Observe a leitura do sinal de relógio SPI: isso é necessário porque o atraso do sinal através do isolador (27 ns típico) é comparável ao período da taxa máxima de relógio de leitura (ÿ50 Mbps); ao ecoar de volta o SCK recebido pelo ADC, o sistema host vê os dados de saída sincronizados com precisão com o relógio ecoado. Isso é impreciso apenas na medida em que o tempo de atraso do isolador varia entre os canais (distorção), o que para esse isolador é de impressionantes 2 ns (máx.).

Custo dos componentes Os blocos amplificador e ADC, que são replicados para cada canal, não são caros: cerca de US$ 3 e US$ 10, respectivamente (em quantidades de 25). Adicionando $ 5 para a referência e $ 9 para o isolador, temos cerca de $ 118 para um sistema de 8 canais.

A. Uma solução SAR multicanal paralela integrada Por que construí-la, quando você pode comprá-la? Por acaso, o pessoal inteligente da Maxim integrou um sistema ADC de aproximação sucessiva simultânea de 8 canais e 16 bits em um chip, com desempenho comparável ao do anterior

seção: 250 ksps, alimentação única de +5 V, faixa de conversão de bipolaridade (±5 V) e boa precisão e linearidade (±0,01% de deslocamento máximo, ±2,4 V/ÿC deslocamento típico tempco, sem códigos ausentes, máximo de ±2 LSB não linearidade integral).

O MAX11046 usa uma interface de dados paralela, com um pino de alimentação digital separado para compatibilidade com um microcontrolador de baixa tensão. A Figura 13.79 mostra o esquema.

Esta parte é incomum por acomodar uma bipolaridade na faixa de tensão de entrada enquanto opera a partir de uma única fonte positiva.115 Um único pulso CONV inicia a conversão, simultaneamente em todos os canais; os sinais são amostrados na borda ascendente de CONV, com uma distorção de temporização típica de 0,1 ns (!). As conversões são concluídas em ÿ3 s, e os dados de 16 bits, um canal por pulso RD , conforme mostrado.

A Figura 13.80 mostra com mais detalhes o que está incluído no chip. As entradas analógicas são fixadas em cerca de 0,3 V além da faixa de conversão (isto é, ±5,3 V), mas você deve incluir resistores limitadores de corrente em série para limitar a corrente de fixação a 20 mA. Um conjunto de track-and-hold rápido (BW=4 MHz)

115 A folha de dados não diz como isso é feito, mas é mais provável que seja um gerador de alimentação negativa de bomba de carga no chip. A impedância de entrada muito alta exclui algo como o esquema de conversão de tensão anterior.

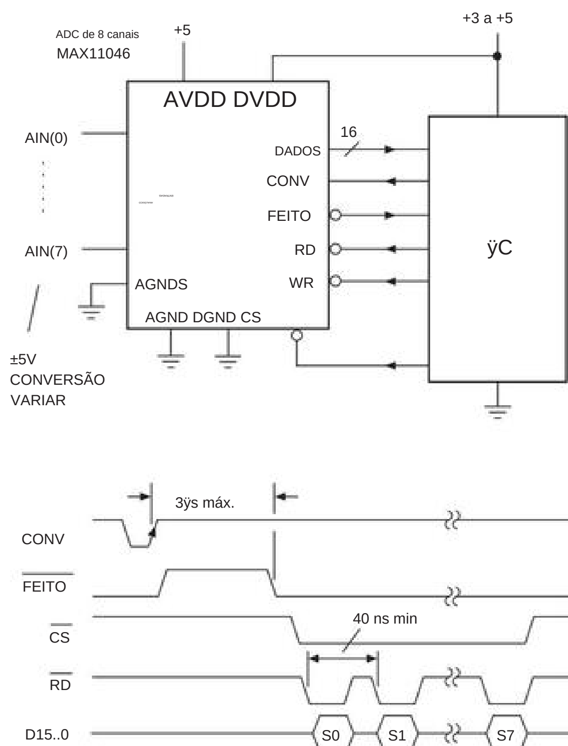


Figura 13.79. O MAX11046 integra um ADC paralelo de aproximação sucessiva de 8 canais em um único chip.

os circuitos capturam os sinais de entrada, seguidos pela matriz de ADCs travados e o multiplexador de saída. A porta digital permite alguma configuração, através das quatro linhas de dados bidirecionais de baixa ordem: referência interna ou externa, offset binário ou complemento de 2, e modo de conversão simples ou contínua. Você poderia pensar em adicionar isolação galvânica às linhas digitais – mas você teria que usar 21 canais de isolação, e você teria que providenciar sinalização bidirecional nas quatro linhas de dados de baixa ordem D3..D0 (com o direção definida por WR). Ah, a elegância da comunicação serial!

Comparado com nosso projeto à la carte da seção anterior, este sistema é uma pechincha: cerca de US$ 42 (preço de peça única) para o sistema conversor de 8 canais completo. Como seria de esperar no mundo competitivo do silício, a Maxim não está sozinha na integração de um ADC multicanal de amostragem simultânea. O AD7608 da Analog Devices fornece oito canais de T/H (abrangendo uma faixa completa de ±10 V) multiplexados em um ADC de 18 bits capaz de 200 ksps em todos os canais, com um filtro digital on-chip e formatos de saída paralela e serial . Observe a abordagem diferente: esta última parte usa um único ADC rápido para converter os níveis capturados nos oito T/Hs, enquanto a parte Maxim usa oito ADCs.

13.12.3 Sistema paralelo de aquisição de dados delta-sigma multicanal

Aqui está outro exemplo de um sistema de amostragem simultânea multicanal, desta vez explorando as vantagens da conversão delta-sigma: alta precisão, baixo custo e requisitos bastante relaxados para o filtro anti-alias (cujo rolloff é definido pela frequência de sobreamostragem muito maior).
ADCs delta-sigma com PGA integral e saída serial (I2C ou SPI) estão disponíveis em pacotes de baixo número de pinos como o SOT23-6, com preços de apenas alguns dólares e com resoluções de conversão de 16 para 22 bits. Um sistema de aquisição de dados multicanal não multiplexado é facilmente montado encurralando um monte desses CIs elegantes (Figuras 13.81 e 13.82), neste caso visando um sistema semelhante a um “voltímetro” relativamente lento, mas preciso.

O projeto de circuito envolve a fina arte do compromisso, negociando os vários benefícios e desvantagens envolvidos na seleção de componentes, na escolha da topologia e complexidade do circuito e em seu impacto no custo do sistema. As escolhas que enfrentamos, ao elaborarmos este exemplo, ilustram bem o processo. Vamos levá-lo em etapas.

A. Primeira tentativa Começamos com a noção de uma matriz de ADCs I2C com barramento (Figura 13.81), que minimiza o número de pinos do microcontrolador necessários (em comparação com uma interface SPI), porque não há necessidade de seleção de chip individual (CS) linhas. O conversor ADS1100 da TI (US$ 4,50 em quantidade unitária) parecia bom: ele se descreve como um “ADC de 16 bits autocalibrável” que é um “sistema completo de aquisição de dados em um minúsculo pacote SOT23-6”. Ele contém uma entrada diferencial PGA (ganhos de 1, 2, 4 ou 8), funciona com uma única fonte de +2,7 V a +5,5 V (a 90 A), inclui um relógio interno e garante conversões de 16 bits com ÿ sem códigos perdidos em sua taxa de conversão mais baixa de 8 amostras/s. Ele tem uma não linearidade integral máxima (INL) de 0,013% e um erro de ganho típico de 0,01% (o VDD de alimentação positiva é a referência, com fundo de escala de ±VDD/G).

Essa é a boa notícia. Aqui está a má notícia: o protocolo I2C (§14.7.2) exige que cada dispositivo com barramento tenha um endereço exclusivo (de 128 possíveis); esse é o preço que você paga por um barramento de 2 fios sem linhas individuais de seleção de chip. Isso geralmente é feito dedicando alguns pinos do dispositivo para definir o endereço (por exemplo, três pinos para selecionar 1 de 8 endereços dentro de um subconjunto dos 128 endereços possíveis). Mas uma peça com apenas seis pinos não pode se dar a esse luxo: conte-os – entrada diferencial (2 pinos), alimentação e terra (2 pinos), barramento I2C (2 pinos) – não há pinos restantes!

O ADS1100 resolve esse problema pré-atribuindo os endereços, com um número de peça diferente para cada um dos oito

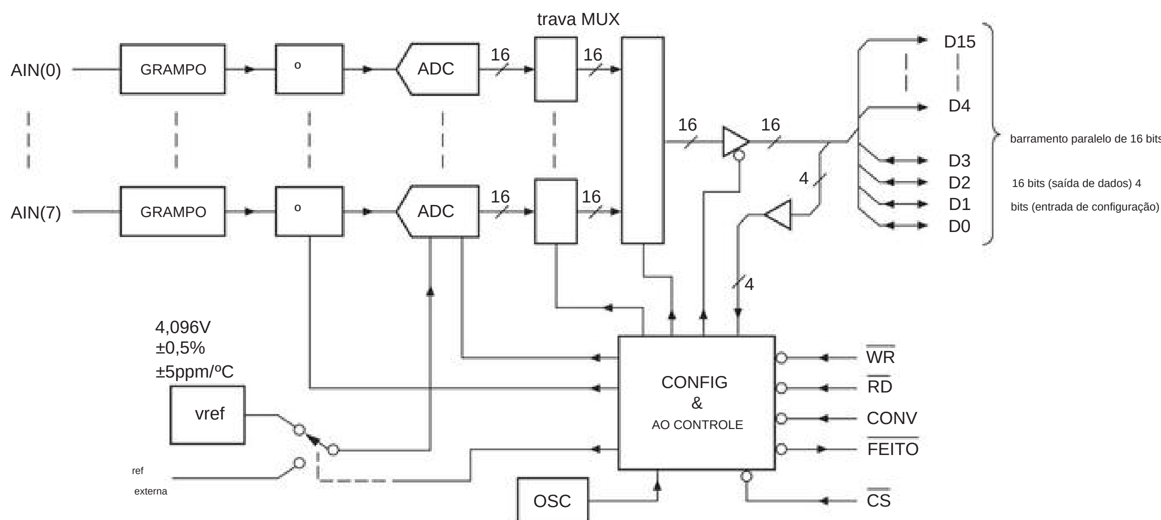


Figura 13.80. Diagrama de blocos das entranhas do MAX11046.

endereços possíveis (decimal 72 a 79). Para um sistema de oito canais, portanto, você precisa solicitar oito peças diferentes (se puder encontrá-las em estoque: no momento em que escrevo, a DigiKey tem os endereços 72 e 74; a Mouser tem os endereços 75 a 79; e a Newark tem os endereços 72 a 74) e com menos oportunidades de preços por quantidade.

Mais uma má notícia: o ADS1100 tem um relógio interno de precisão grosseira (±20%), sem opção de relógio externo (sem pinos restantes!). Portanto, você não pode obter a alta rejeição de frequências powerline (60 Hz ou 50 Hz) que vem com uma taxa de amostragem que é um número inteiro de ciclos powerline (por exemplo, exatamente 10 con versões/s). Você acaba com uma rejeição medíocre de ~30 dB do sinal de modo normal a 50 Hz ou 60 Hz.

B. Segunda tentativa O ADS1115 é uma peça relacionada do mesmo fabricante, com preço em torno de $ 5 (em quantidades de 25), desta vez alojado em um pacote de 10 pinos, com um dos pinos adicionais permitindo algum grau de seleção de endereço. Isso é feito de forma inteligente: um único pino define um dos *quatro* endereços (decimal 72-75), de acordo com o fato de estar em nível ALTO, em nível BAIXO ou conectado a uma das duas linhas de interface serial I2C (Figura 13.81). Esta é uma melhoria em relação ao ADS1100 de 6 pinos, mas com apenas quatro endereços I2C possíveis , você teria que usar um segundo canal I2C para obter oito canais de entrada.

Há um segundo canal de entrada, que pode ser usado para conversão multiplexada. Mas queremos conversões simultâneas em todos os canais, então usamos o segundo canal para calibração zero, conforme mostrado, o que você faria entre as conversões ativas. Algumas outras características interessantes deste chip são sua operação de +2,0–5,5 V, uma ampla gama de ganhos PGA (0,66× e 1× a 16×, por fatores de dois), uma ampla gama de taxas de conversão (8–860 sps em resolução total de 16 bits) e um relógio interno e referência de tensão.

Até agora tudo bem. Mas ainda há problemas no paraíso. Assim como no ADS1100, o clock interno é apenas de precisão grosseira (±10%), então você obtém apenas cerca de 30 dB de rejeição de linha de força.116 Da mesma forma, a referência de tensão interna não é de grande precisão e não há opção para uma referência externa: isso é especificado como *erro de ganho,* que para esta parte é 0,01% (typ), 0,15% (max). Para dar uma perspectiva, um LSB (com resolução de 16 bits) é 0,0015% (15 ppm); assim, o pior caso de erro em escala total corresponde a 100 passos LSB. Além disso, o desvio de ganho (tempco) é especificado como 40 ppm/ÿC (max), o queÿC corresponde a 3LSBs/

C. Terceira tentativa Não satisfeitos com essas opções, exploramos os conversores com uma interface digital SPI. Em vez dos anúncios de barramento I2C, você precisa fornecer uma linha de seleção de chip separada para cada conversor (Figura 13.82). Essa é a má notícia. A boa notícia é que existem alguns conversores fantásticos por aí.

Examinamos muitos candidatos; o primeiro a passar na reunião

116 Você precisa ler a folha de dados cuidadosamente, aqui: ela lista a rejeição típica *de modo comum de* 105 dB em 50 Hz e 60 Hz, mas nenhum valor listado para sinais de linha de força *de modo normal* (ou seja, diferencial). Mais adiante há um gráfico que mostra o valor de ~30 dB.

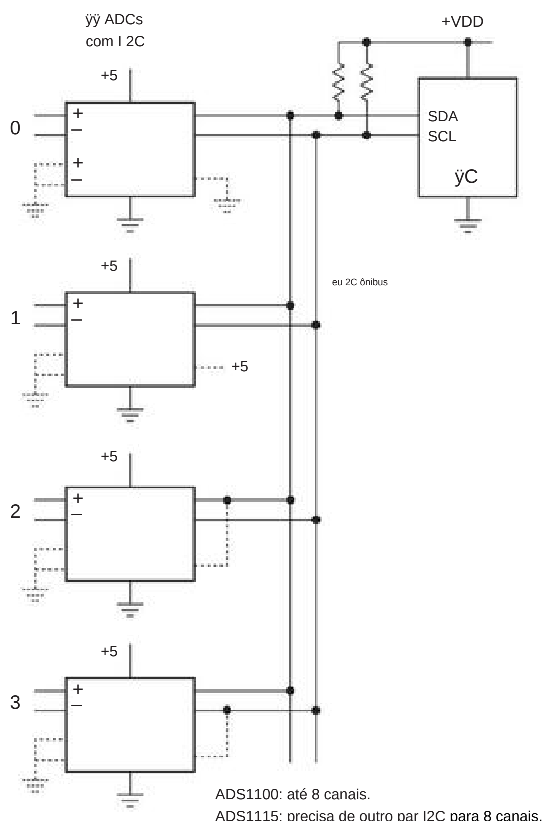
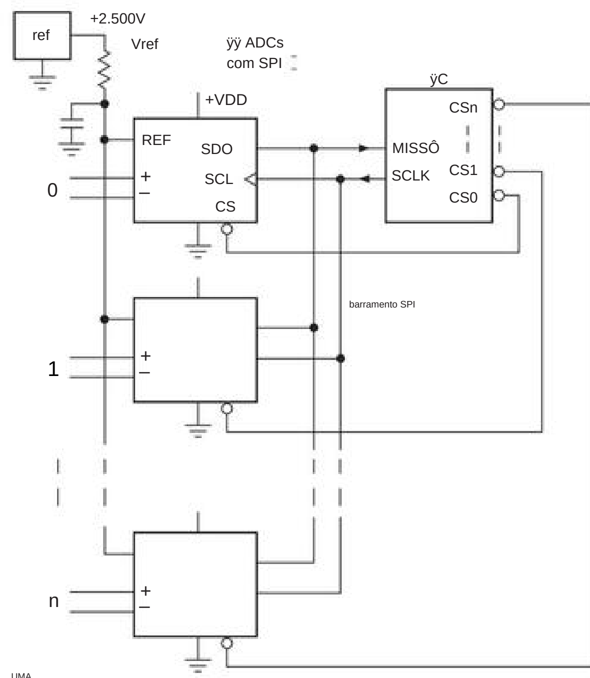


Figura 13.81. Multicanal paralelo ÿÿ ADC com porta de saída I2C . As linhas tracejadas mostram as conexões para o conversor ADS1115 só.



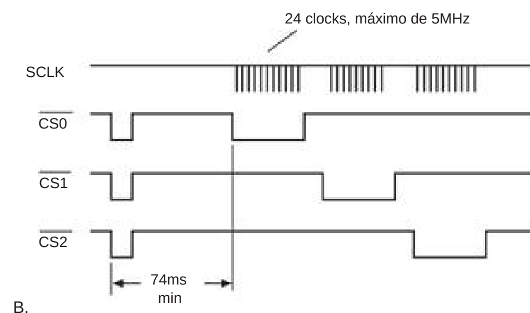


Figura 13.82. Multicanal paralelo ÿÿ ADC com porta de saída SPI (por exemplo, um CS5512 ou um MPC3551). O diagrama de temporização se aplica à família MCP3551, para a qual a primeira asserção de CS inicia a conversão (simultânea em todos os canais), com a leitura subsequente de dados seriais (dos canais individuais) cronometrada por SCLK durante a reafirmação de CS .

era o CS5512 da Cirrus Logic. Este é um conversor delta-sigma de 20 bits de alimentação única (+5 V) em um SOIC de 8 pinos, com preço de cerca de US$ 4,25 (em quantidades de 25). Uma fonte de relógio externo (32,768 kHz nominal) vezes as conversões e também o relógio SPI. A frequência de clock precisa é explorada para a verdadeira rejeição de linha de força *de modo normal :* o filtro digital do chip é configurado com um notch amplo de 80 dB (mínimo) estendendo-se de 47 Hz a 63 Hz, com rejeição simultânea de aproximadamente 90 dB em 50 Hz e 60 Hz.

Este chip também se destaca em linearidade (±0,0015% da escala total, máximo) e oferece resolução de 20 bits sem códigos ausentes. E seus desvios típicos de tensão e ganho de offset são 0,06 V/ÿC e 1 ppm/ÿC, respectivamente. Este é um chip conversor ÿ elegante!

Agora o trovão: este chip requer uma referência de tensão externa, o que normalmente é uma boa característica (porque você pode usar uma referência de alta qualidade, cuja voltagem também define a escala analógica). Imagine nossa surpresa, então, quando lemos a especificação da folha de dados do tamanho real faixa de entrada analógica: VFS=0.8VREF, ±10%. Em outras palavras, este é um conversor altamente linear e estável, mas com um ganho de conversão incerto para ±10%.

D. Quarta tentativa Da Microchip (uma empresa tradicionalmente conhecida por seus microcontroladores) vem o candidato vencedor. O MCP3551 deles é um conversor delta-sigma de 22 bits em um SOIC de 8 pinos (ou MSOP menor), com preço em torno de US$ 3,25 (em

quantidades de 25), com um relógio interno preciso (±0,5%) que oferece excelente rejeição de linha de força. Funciona de uma única fonte de +2,7 V a +5,5 V, consumindo cerca de 0,1 mA. Requer uma referência de tensão externa, que (ao contrário do conversor anterior) define com precisão o fator de escala analógica; e permite entradas de 12% acima e abaixo da faixa, sinalizadas com dois bits de dados adicionais. E realiza conversões de ciclo único sem tempo de acomodação do filtro digital, durante o qual também realiza uma compensação e calibração de ganho.117 O diagrama de tempo da Figura 13.82 mostra o esquema para conversão multicanal simultânea, seguida de leitura de dados sequencial.

As especificações são impressionantes: resolução de 22 bits sem códigos ausentes; Vos de ±12 ÿV (máx), erro de escala completa ÿV de ±10 ppm (máx), INL de 6 ppm (máx) e rejeição de linha de força de modo normal de 85 dB (típico) em 50 Hz e 60 Hz (Figura 13.83).118 Os desvios típicos de compensação e ganho são 0,04 ppm/ÿC e 0,028 ppm/ÿC, respectivamente. O que há para não gostar neste conversor? A única coisa que realmente podemos reclamar é a ausência de um PGA: sem isso, é preciso toda a capacidade de 22 bits do conversor para alcançar a solução 1.2, a mesma que você obteria com um ÿ V res conversor de 16 bits com um built-in PGA com ganho de 64×.

Totalizando o custo de um sistema de conversão simultânea delta-sigma de 8 canais, temos $ 34 para os ADCs e cerca de $ 4 para uma referência ADR441A, ou $ 38 muito econômicos.

E. Uma solução ÿÿ multicanal paralela integrada Nunca subestime o que pode ser feito em uma única peça de silício. Aqui, novamente, os magos do Vale do Silício apareceram, com vários ADCs multicanais interessantes apresentando conversão simultânea em todos os canais.

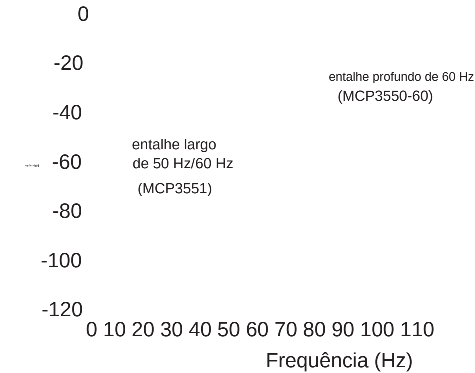


Figura 13.83. O filtro digital do MCP3551 é configurado para criar um entalhe amplo cobrindo frequências de linha de energia de 50 Hz e 60 Hz e um pouco mais. Por outro lado, o MCP3550-60 (ou -50) é configurado para um único entalhe profundo.

Para conversão de velocidade relativamente baixa, existe o AD73360, que abriga seis conversores delta-sigma de 16 bits e 64 ksps, cada um com seu próprio amplificador de ganho programável (0-38 dB). Ele vem em um conveniente SOIC de 28 pinos e custa cerca de US$ 8 (em quantidades de 25). Ele tem um relógio de amostragem programável e uma porta de saída serial otimizada para transferir dados automaticamente para um chip DSP downstream (de até oito conversores em cascata). Seus seis canais são ideais para medições de tensão e corrente em um acionamento de motor trifásico ou para monitoramento de energia industrial. Requer calibração no sistema (±10% de precisão de ganho) e geralmente é usado com acoplamento CA (deslocamento CC no pior caso ~10% da escala total).

E a versão multicanal delta-sigma *realmente* rápida? Nosso projeto é executado em uma taxa de conversão lenta de apenas 15 amostras por segundo (o AD73360 supera isso em três ordens de magnitude, mas com resolução mais baixa e precisão degradada). A tarefa análoga torna-se extraordinariamente difícil se você aumentar isso por um fator de um milhão ou mais. Difícil, mas evidentemente não impossível: o impressionante ADC12EU050 da National Semiconductor (Figura 13.84) contém oito ADCs delta-sigma de entrada diferencial de 12 bits simultâneos que rodam a 50 Msps (!). Isso cria uma mangueira de saída digital, para a qual dedica um par LVDS para cada canal de saída; ele consome cerca de 0,4 W em plena inclinação e custa cerca de US$ 100.

13.13 Loops bloqueados por fase

13.13.1 Introdução aos loops de bloqueio de fase

O loop de bloqueio de fase (PLL) é um bloco de construção interessante e útil, disponível como um único

[117] Nas palavras da folha de dados, “Uma autocalibração de compensação e ganho ocorre no início de cada conversão. Os dados de conversão disponíveis na saída do dispositivo são sempre calibrados para compensação e ganho por meio desse processo. Esta autocalibração de offset e ganho é realizada internamente e não tem impacto na velocidade do conversor, pois os erros de offset e ganho são calibrados em tempo real durante a conversão. Os esquemas de compensação e calibração de ganho em tempo real não afetam o processo de conversão.”

[118] Como eles conseguem rejeição simultânea em ambas as frequências? De acordo com a folha de dados, “O filtro SINC de decimação digital foi modificado para oferecer zeros escalonados em sua função de transferência. Esta modificação destina-se a alargar o entalhe principal de forma a ser menos sensível sensível ao desvio do oscilador ou ao desvio da frequência da linha. O filtro MCP3551 tem zeros escalonados espalhados para rejeitar as frequências de linha de 50 Hz e 60 Hz simultaneamente.” Para rejeição máxima em uma *única* frequência de linha de alimentação, use o MCP3550-50 ou -60, que oferece rejeição de modo normal de 120 dB (típico) na frequência correspondente, novamente com o relógio interno.

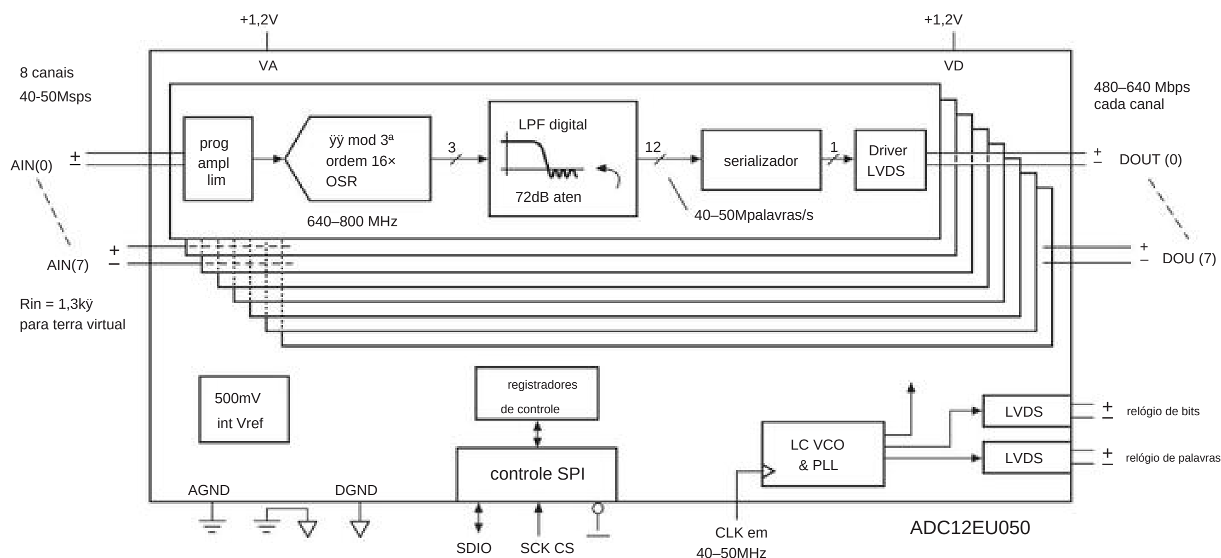


Figura 13.84. O ADC12EU050 é um conversor delta-sigma rápido de 8 canais com fluxos de palavras de 3 bits gerados por moduladores de terceira ordem. Seu PLL inclui um *LC* VCO integrado para gerar o clock de sobreamostragem de 16× a partir da entrada do clock de taxa de amostragem de 40–50 MHz.

circuito integrado, e também muitas vezes incorporado dentro de CIs mais complexos. Um PLL contém um detector de fase, amplificador e oscilador controlado por tensão (VCO) e representa uma mistura (às vezes chamada de "sinal misto") de técnicas digitais e analógicas. Algumas de suas aplicações, que discutiremos em breve, são multiplicação e síntese de frequência, geração e recuperação de clock, decodificação de tom e demodulação de AM, FM e sinais modulados digitalmente.

No passado, houve alguma relutância em usar PLLs, em parte por causa da complexidade dos circuitos PLL discretos e em parte por causa da sensação de que não se pode contar com eles para funcionar de forma confiável. Com PLLs baratos e fáceis de usar agora amplamente disponíveis, a primeira barreira à sua aceitação desapareceu. E com projeto adequado e aplicação conservadora, o PLL é um elemento de circuito tão confiável quanto um amplificador operacional ou flip-flop.

A Figura 13.85 mostra a configuração PLL clássica. O detector de fase é um dispositivo que compara duas frequências de entrada, gerando uma saída que é uma medida de sua diferença de fase (se, por exemplo, diferem em frequência, dá uma saída periódica na diferença de frequência). Se fin não for igual a fVCO, o sinal de erro de fase, depois de filtrado e amplificado, faz com que a frequência do VCO se desvie na direção de fin. Se as condições estiverem corretas (muito mais sobre isso em breve), o VCO irá rapidamente "travar" para fin, mantendo uma relação de fase fixa com o sinal de entrada.

Nesse ponto, a saída filtrada do detector de fase é um sinal CC, e a entrada de controle para o VCO é uma medida da frequência de entrada, com aplicações óbvias para decodificação de tom (às vezes usado em linhas telefônicas) e demodulação FM. A saída do VCO é uma frequência gerada localmente igual a fin, fornecendo assim uma réplica limpa de fin, que pode ser ruidosa. Como a saída do VCO pode ser uma onda triangular, senoidal ou qualquer outra, isso fornece um bom método para gerar uma onda senoidal, digamos, travada em um trem de pulsos de entrada.

Em uma das aplicações mais comuns de PLLs, um contador módulo-n é conectado entre a saída do VCO e o detector de fase, gerando assim um múltiplo da frequência de referência de entrada fin. Este é um método ideal para gerar pulsos de clock em um múltiplo da frequência da linha de energia para integrar ADCs (inclinação dupla, balanceamento de carga) para ter rejeição infinita de interferência na frequência da linha de energia e seus harmônicos. Ele também fornece a técnica básica de sintetizadores de frequência.

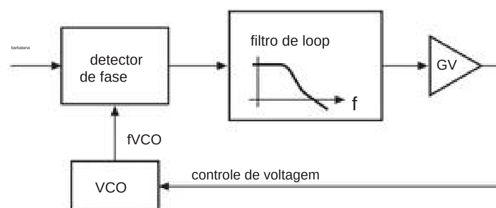


Figura 13.85. Loop bloqueado por fase.

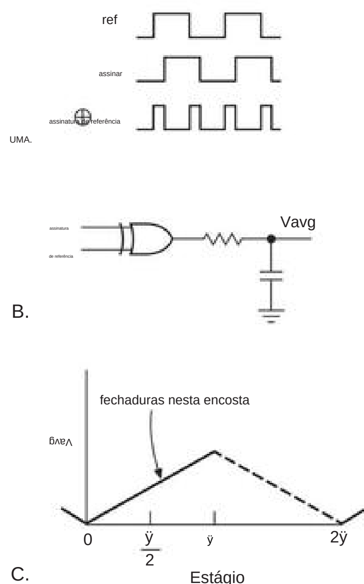


Figura 13.86. Detector de fase com porta OR exclusiva (tipo I).

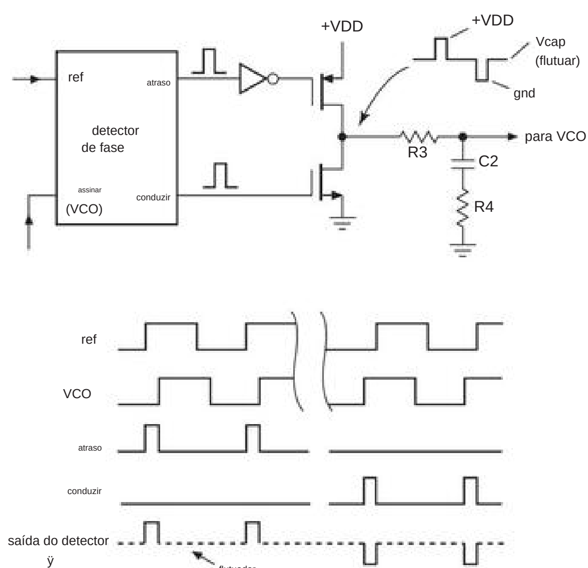


Figura 13.87. Detector de fase lead-lag sensível à borda (tipo II).

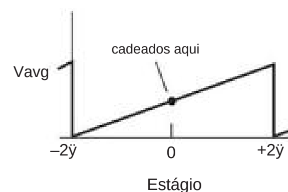


Figura 13.88. Saída do detector de fase tipo II.

13.13.2 Componentes PLL

A. O detector de fase

Vamos começar com uma olhada no detector de fase (PD). Existem dois tipos básicos, às vezes referidos como tipo I e tipo II.

O **detector de fase tipo I** é aplicável a sinais de entrada analógicos ou digitais e executa uma simples multiplicação das entradas. Para sinais *digitais* , trata-se apenas de uma porta OU exclusiva (Figura 13.86). Com filtragem passa-baixa, o gráfico da tensão de saída versus diferença de fase é uma rampa, conforme mostrado, para ondas quadradas de entrada de 50% do ciclo de trabalho. Para sinais *analógicos* , o detector de fase "linear" tipo I é um verdadeiro multiplicador analógico (chamado de "multiplicador de quatro quadrantes" ou "misturador balanceado"), com características de tensão de saída versus fase semelhantes às do detector de fase digital XOR . Detectores de fase altamente lineares deste tipo são essenciais para detecção síncrona (também conhecida como *detecção de lock-in).*

O **detector de fase tipo II,** por outro lado, é uma fera puramente digital, impulsionada por transições digitais (bordas). Ele é sensível apenas ao tempo relativo das *bordas* entre o sinal e a entrada do VCO, conforme mostrado na Figura 13.87. O circuito do comparador de fase gera pulsos de saída de *avanço* ou *atraso* , dependendo se as transições da saída do VCO ocorrem antes ou depois das transições do sinal de referência, respectivamente. A largura desses pulsos é igual ao tempo entre as respectivas bordas, conforme mostrado. O circuito de saída então afunda ou alimenta corrente (respectivamente) durante esses pulsos e, por outro lado, está em circuito aberto, gerando uma diferença média de tensão de saída versus fase como a da Figura 13.88. Isso é completamente independente do ciclo de trabalho dos sinais de entrada, ao contrário da situação com o detector de fase tipo I.

Outra característica interessante deste detector de fase é o fato de que os pulsos de saída desaparecem totalmente quando os dois sinais estão bloqueados. Isso significa que não há "ondulação" presente na saída para gerar modulação de fase periódica no loop, como ocorre com o detector de fase tipo I. E enquanto elogiamos o tipo II, vamos apontar que ele tem a agradável propriedade de produzir uma saída CC média que é indicativa do *sinal* do erro de frequência (Figuras 13.89–13.91). Por esse motivo, às vezes é chamado de "detector de frequência de fase" (PFD). Veremos como isso garante o travamento imediato em um PLL.

O clássico 74HC4046 PLL (que inclui oscilador e detector de fase) oferece uma escolha (contém ambos os tipos de detector de fase). Aqui está uma comparação das propriedades dos dois tipos básicos de detector de fase:

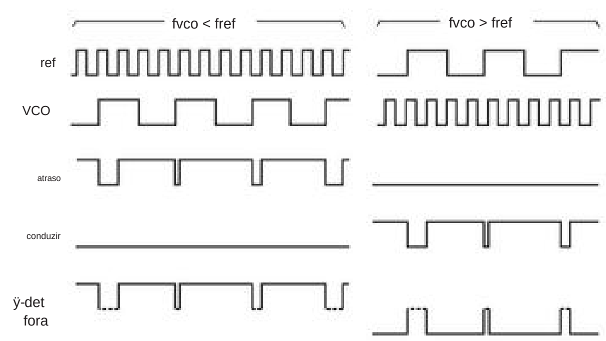


Figura 13.89. O detector de fase tipo II produz uma saída CC média que indica o sinal do erro de frequência.

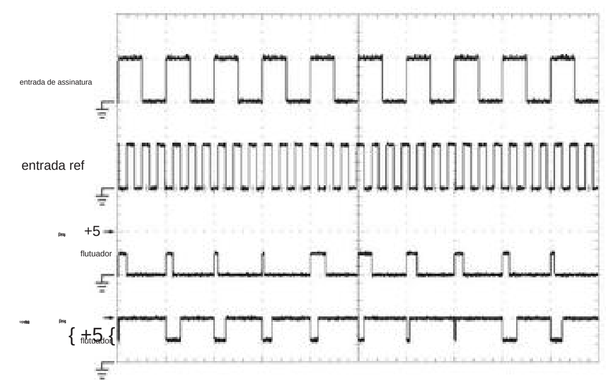


Figura 13.90. Formas de onda medidas de um detector de fase tipo II conduzido com frequências muito incompatíveis. O sinal de 1 kHz e as ÿ entradas de referência de -kHz mostradas produzem a saída do detector de fase mostrada no terceiro traço ao acionar um divisor resistivo de 10k–10k que flutua até +2,5 V. O traço inferior mostra o que acontece quando as entradas são trocadas. Horizontal: 1 ms/div.

Parâmetro	*Tipo I edge triggerd OU exclusivo (“bomba de carga”)* 50% ótimo Irrelevante	*Tipo II*
Ciclo de trabalho de entrada Bloquear no harmônico?	Sim	Não
Rejeição de ruído	Bom	Pobre
Ondulação residual em 2 fIN de altura		Baixo
Faixa de bloqueio (L)	Faixa completa de VCO	Faixa completa de
Faixa de captura	VCO *f* L(f < 1)	*L*
Frequência de saída quando fora de bloqueio	fcenter	fmin

Há um ponto adicional de diferença entre os dois tipos de detectores de fase. O detector tipo I está sempre gerando uma onda de saída, que deve então ser filtrada pelo filtro de loop (muito mais sobre isso mais tarde). Assim, em um PLL com detector de fase tipo I, o filtro de loop atua como um filtro passa-baixa, suavizando esse sinal de saída lógica de oscilação completa. Haverá

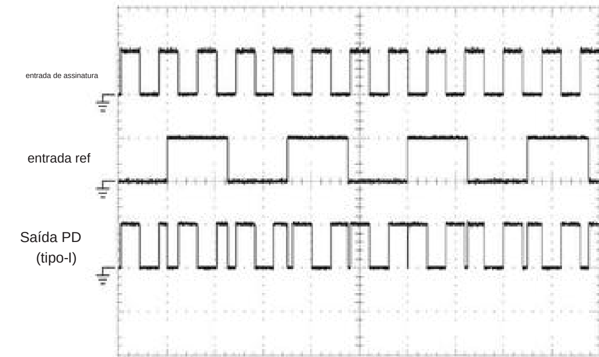


Figura 13.91. Em contraste, o detector de fase tipo I (XOR) , apresentado com o sinal e as frequências de referência da Figura 13.90, produz uma saída frenética trilho a trilho cuja média CC é VDD/2. Horizontal: 0,4 ms/div.

sempre haverá ondulação residual, e consequentes variações periódicas de fase, em tal loop. Em circuitos onde os PLLs são usados para multiplicação ou síntese de frequência, isso adiciona “bandas laterais de modulação de fase” ao sinal de saída.

Por outro lado, o detector de fase tipo II gera pulsos de saída somente quando há um erro de fase entre a referência e o sinal VCO. Como a saída do detector de fase parece um circuito aberto, o capacitor do filtro de loop age como um dispositivo de armazenamento de tensão, mantendo a tensão que fornece a frequência correta do VCO. Se o sinal de referência se afasta em frequência, o detector de fase gera um trem de pulsos curtos, carregando (ou descarregando) o capacitor para a nova voltagem necessária para colocar o VCO de volta no bloqueio. É um integrador de erro de fase.

“Zona morta” e “reação”

Um problema persistente com os primeiros PLLs usando detectores de fase tipo II era a presença de uma *zona morta:* os pulsos de fase tornavam-se extremamente pequenos com erro de fase quase zero, de modo que o loop tendia a “caçar” (salto para frente e para trás), produzindo modulação de fase e nervosismo. E isso foi exacerbado pelos efeitos da carga capacitiva na saída do detector de fase. Para aplicações que precisam de um sinal limpo (por exemplo, o oscilador sintetizado em um telefone celular, receptor de comunicações ou sintetizador de frequência de RF), isso era (e é) um problema sério. A solução, agora quase universalmente adotada, é introduzir alguma sobreposição intencional dos pulsos de saída de fonte e descarga; para fazer isso funcionar, você precisa reconfigurar o detector de fase para produzir pulsos de *corrente* (em vez de pulsos de tensão).

A Figura 13.92 mostra como isso é feito: a fonte ou dissipador de corrente é ativado pela primeira borda de subida dos sinais que estão sendo comparados (referência ou sinal, respectivamente), mas não é desligado até um curto intervalo após a transição complementar.

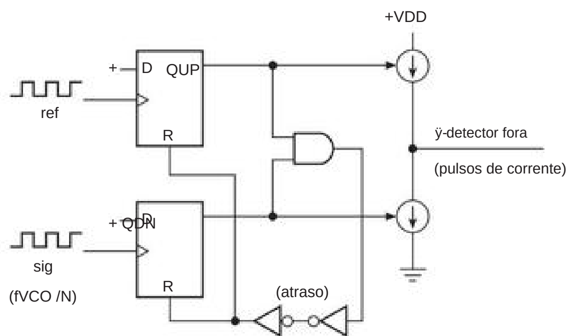


Figura 13.92. O detector de fase tipo II aprimorado (a versão '9046 é mostrada aqui) substitui as chaves por fontes de corrente e evita uma zona morta e folga criando sobreposição intencional de pulsos de fase.

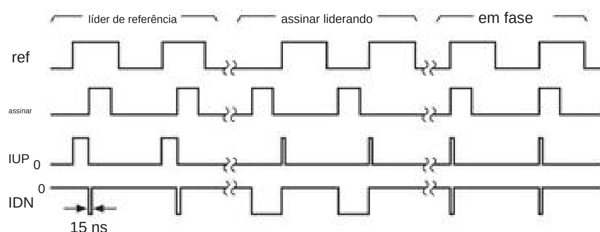


Figura 13.93. Pulsos de corrente (fonte e dreno) para o detector de fase da Figura 13.92. Os pulsos de 15 ns são criados pelo circuito anti-folga.

fonte atual está ligada. Este circuito "anti-backlash" garante que os pulsos de saída nunca desapareçam. Quando os dois sinais estão exatamente em fase (o loop está *bloqueado),* os pulsos de corrente são curtos (ÿ15 ns para o 74HCT9046, uma versão melhorada do clássico '4046) e de sinal oposto, cancelando-se (Figura 13.93). Afastando-se do bloqueio, uma pequena diferença de fase produz um par desbalanceado de pulsos de corrente. Este comportamento linear em torno da fase zero resolve o problema; e o carregamento capacitivo não causa problemas, porque se comporta como um integrador perfeito.

Uma cura barata para a folga, se você precisar, é colocar um resistor grande no capacitor do filtro de loop *(C2* na Figura 13.87), que polariza o loop para longe da zona morta. A compensação é que você introduz uma mudança de fase diferente de zero, que não é bem definida; mas pelo menos você se livrou do nervosismo.

B. O VCO Um componente essencial de um PLL é um oscilador cuja frequência pode ser controlada pela saída do detector de fase. Discutimos VCOs no Capítulo 7 (§§7.1.4D e 7.1.5D), e os veremos novamente agora, em um exemplo de projeto de PLL. Por enquanto, vamos apenas olhar para a tensão *RC* simples

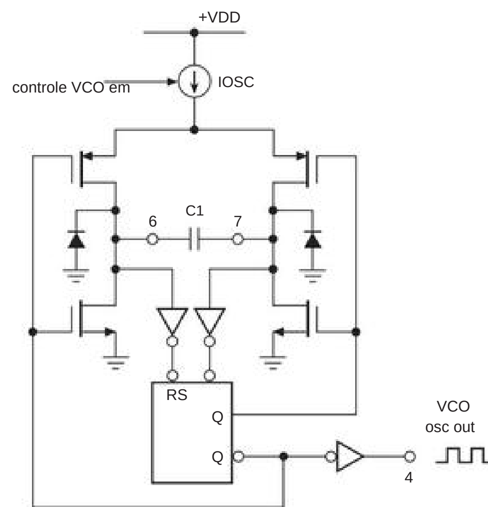


Figura 13.94. Oscilador *RC* controlado por tensão usado no clássico '4046 PLL. A frequência de saída é aproximadamente proporcional à corrente controlada Iosc, que carrega o capacitor externo C1 alternadamente através das chaves pMOS.

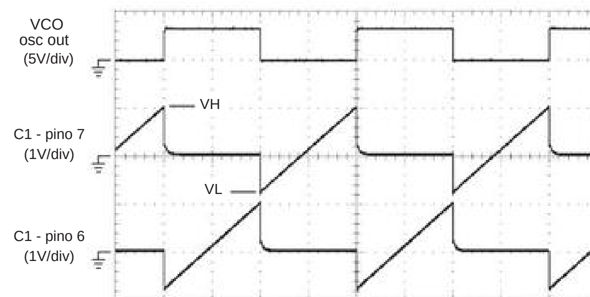


Figura 13.95. Formas de onda observadas de um oscilador 74HC4046, com VCC=3,3V; com uma alimentação de 5 V, a rampa começa na mesma tensão, mas termina 0,2 V acima. Horizontal: 10 ÿ s/div.

oscilador controlado usado no '4046 e seus sucessores (Figura 13.94).

A operação é simples: a saída do flip-flop mantém um lado do capacitor externo C1 no terra (através de uma chave nMOS) enquanto acopla a corrente de carga Iosc ao outro lado (por meio de uma chave pMOS). O ciclo reverte quando a tensão crescente atinge o limite do inversor, aproximadamente +1,1 V. A Figura 13.95 mostra as formas de onda medidas para um 'HC4046 alimentado por +3,3 V, com C1=10 nF e Iosc=0,85 mA. Observe que cada ciclo começa em aproximadamente -0,7 V, fixado em uma queda de diodo abaixo do solo quando o lado alto é comutado para o terra.

Em um PLL, você geralmente deseja restringir a faixa de sintonia do oscilador, para abranger uma faixa modesta de frequência centrada no

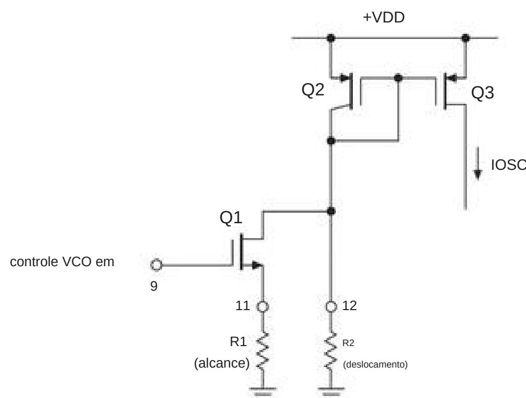


Figura 13.96. Os resistores externos definem a faixa e o deslocamento da tensão de programação referenciada ao terra no clássico CD4046 VCO de alta tensão. Os tipos 74HC4046 usam amplificadores operacionais para controlar com mais precisão as correntes R1 e R2 .

freqüência de saída desejada. Por exemplo, o PLL em um rádio FM precisa abranger ±10 MHz em torno de uma frequência central de aproximadamente 100 MHz; e veremos exemplos posteriormente nos quais essa faixa pode ser tão estreita quanto ±0,01% (um "oscilador de cristal controlado por tensão", VCXO). O oscilador no '4046 ac acomoda isso de forma bastante simples (Figura 13.96), permitindo que você use um par de resistores: R1 define o span (fmax– fmin) e R2 define a frequência mínima. Neste circuito, Q1 é um dissipador de corrente programável, refletido em um espelho de corrente pMOS para criar a corrente de carga Iosc.

Em breve veremos outros PLLs, com e sem osciladores on-chip integrados. Primeiro, porém, queremos nos divertir com um design PLL, usando nosso novo amigo, o '4046. Tenha em mente, porém, que os PLLs (e seus VCOs) não precisam ser restritos a velocidades máximas na casa das dezenas de megahertz. Na verdade, é provavelmente correto dizer que a maioria dos PLLs no mundo ganha a vida em frequências de centenas a milhares de megahertz. Nessas frequências, você não usa temporização *RC* - em vez disso, usa circuitos *LC* (sintonizados com um capacitor de tensão variável, conhecido como *ator var)* ou um *oscilador de anel* (uma cadeia de inversores) sintonizado ajustando a corrente operacional (uma "cadeia de inversores famintos"), ou técnicas mais exóticas, como um oscilador de linha de atraso de onda acústica de superfície (SAW) ou um ressonador feito de um sistema microeletromecânico (MEMS) de ícones de silício. Um VCO para uso em um loop de bloqueio de fase não precisa ser particularmente linear em sua característica de frequência versus tensão de controle, mas se for altamente não linear, o ganho do loop (veja abaixo) variará de acordo com o sinal freqüência, comprometendo a estabilidade do loop.

13.13.3 Projeto PLL

A. Fechando o loop O detector de fase nos dá um sinal de erro relacionado à diferença de fase entre o sinal e as entradas de referência.
O VCO nos permite controlar sua frequência com uma entrada de tensão. Parece simples tratar isso como qualquer outro amplificador de realimentação, fechando o loop com algum ganho, assim como fizemos com os circuitos de amplificadores operacionais.

No entanto, há uma diferença essencial. Anteriormente, a grandeza ajustada pela realimentação era a mesma grandeza medida para gerar o sinal de erro, ou pelo menos uma grandeza proporcional. Por exemplo, em um amplificador de tensão, medimos a tensão de saída e ajustamos a tensão de entrada de acordo. Mas em um PLL há uma integração; medimos a *fase,* mas ajustamos *a frequência,* e a fase é a integral da frequência. Isso introduz uma mudança de fase atrasada de 90ÿ no loop.

Este integrador incluído no loop de realimentação tem consequências importantes, uma vez que 90ÿ adicionais de deslocamento de fase atrasado em uma frequência onde o ganho do loop é unitário pode produzir oscilações. Uma solução simples é evitar quaisquer outros componentes atrasados dentro do loop, pelo menos em frequências onde o ganho do loop é próximo da unidade. Afinal, os amplificadores operacionais têm uma mudança de fase de atraso de 90ÿ na maior parte de sua faixa de frequência e funcionam muito bem. Essa é uma abordagem e produz o que é conhecido como "loop de primeira ordem". Ele se parece com o diagrama de blocos PLL mostrado anteriormente, com o filtro passa-baixa omitido.

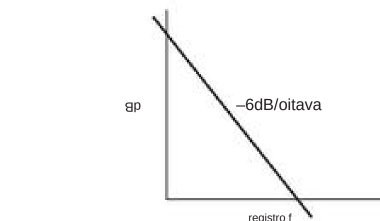
Embora sejam úteis em muitas circunstâncias, os loops de primeira ordem não têm a propriedade desejável de atuar como um "volante", permitindo que o VCO suavize ruídos ou flutuações no sinal de entrada. Além disso, um loop de primeira ordem não manterá uma relação de fase fixa entre os sinais de referência e VCO, porque a saída do detector de fase aciona o VCO diretamente. Um "loop de segunda ordem" possui filtragem passa-baixa adicional dentro do loop de realimentação (como desenhado anteriormente), cuidadosamente projetado para evitar instabilidades. Isso fornece ação do volante e também reduz o "alcance de captura" e aumenta o tempo de captura. Além disso, com detectores de fase tipo II, um loop de segunda ordem garante o bloqueio de fase com diferença de fase zero entre a referência e o VCO, como será explicado em breve. Loops de segunda ordem são usados quase universalmente, porque as aplicações de PLLs geralmente exigem uma frequência de saída com baixo ruído de fase e alguma "memória" ou ação do volante. Loops de segunda ordem permitem alto ganho de loop em baixas frequências, resultando em alta estabilidade (em analogia com as virtudes de alto ganho de loop em amplificadores de realimentação). vamos pegar

direto ao ponto, ilustrando o uso de loops de bloqueio de fase com um exemplo de design.

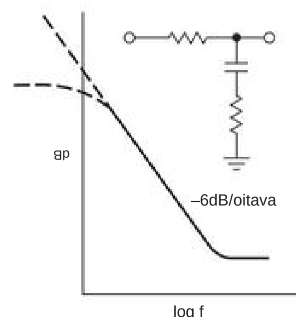
13.13.4 Exemplo de projeto: multiplicador de frequência

Gerar um múltiplo fixo de uma frequência de entrada é uma das aplicações mais comuns dos PLLs. Isso é feito em sintetizadores de frequência, nos quais um múltiplo inteiro *n* de um sinal de referência estável de baixa frequência (1 Hz, digamos) é gerado como uma saída; *n* é configurável digitalmente, oferecendo uma fonte de sinal flexível, facilmente controlada por meio de uma interface digital. Em aplicações mais mundanas, você pode usar um PLL para gerar uma frequência de clock bloqueada para alguma outra frequência de referência já disponível no instrumento. Por exemplo, suponha que queremos gerar um sinal de clock de 61,440 kHz para um ADC de inclinação dupla. Essa escolha particular de frequência permite 7,5 ciclos de medição por segundo, permitindo 4.096 períodos de clock para a aceleração (lembre-se de que a conversão de inclinação dupla usa um intervalo de tempo constante) e 4.096 contagens de fundo de escala para a desaceleração de corrente constante. A única virtude de um esquema PLL é que o clock de 61,440 kHz pode ser bloqueado para a linha de força de 60 Hz (61.440 = 60 × 1024), dando rejeição infinita de pickup de 60 Hz presente em qualquer entrada de sinal para o conversor, como discutimos em §13.8.4.

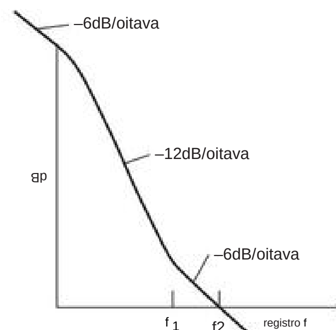
Começamos com o esquema PLL padrão, com um contador divisor por n adicionado entre a saída do VCO e o detector de fase (Figura 13.97). Neste diagrama, indicamos as unidades de ganho para cada função no loop. Isso será importante em nossos cálculos de estabilidade. Observe particularmente que o detector de fase converte fase em tensão e que o VCO converte tensão em derivada de fase no tempo (ou seja, frequência). Isso tem a importante consequência de que o VCO é na verdade um integrador, com a fase representando a variável na parte inferior do diagrama; um erro de tensão de entrada fixo produz um erro de fase linearmente ascendente na saída do VCO. O filtro passa-baixa e o contador de divisão por n têm ganho sem unidade.



A. VCO (integrador)



B. filtro passa-baixo (lead-lag)



C. ganho de loop

Figura 13.98. Gráficos de Bode PLL.

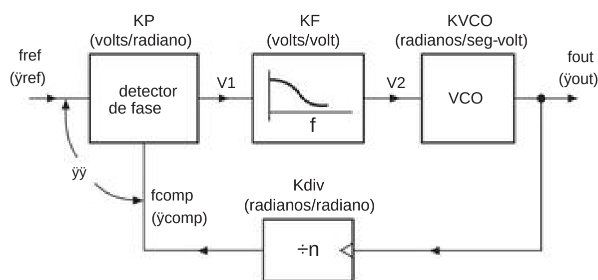


Figura 13.97. Diagrama de blocos do multiplicador de frequência.

A. Estabilidade e mudanças de fase O truque para um PLL de segunda ordem estável é mostrado nos gráficos de Bode do ganho de loop na Figura 13.98. O VCO atua como um integrador, com resposta 1/ *f* e deslocamento de fase 90ÿ atrasado (ou seja, sua resposta é proporcional à fonte 1/ f uma corrente acionando um capacitor). Para ter uma margem de fase respeitável (a diferença entre 180ÿ e a mudança de fase ao redor do loop na frequência de ganho de loop unitário), o filtro passa-baixa possui um resistor adicional em série com o capacitor para interromper o rolloff em alguma frequência (nome chique: um "zero"). A combinação dessas duas respostas produz o ganho de loop mostrado. Enquanto o ganho do loop

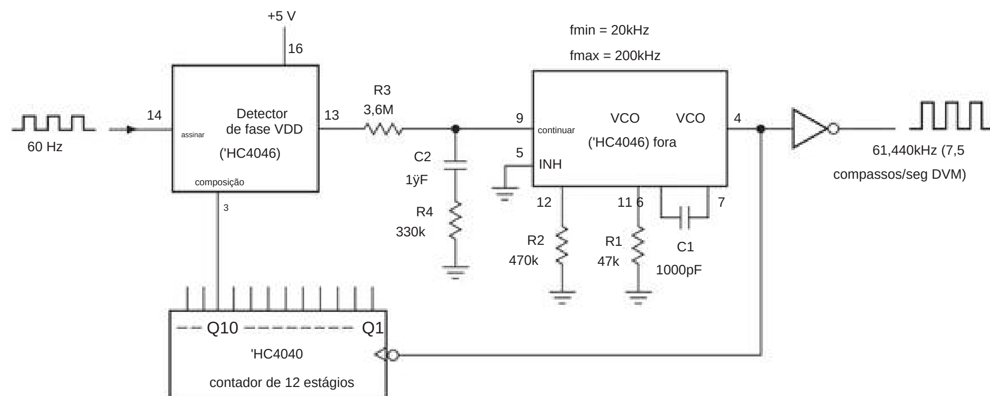


Figura 13.99. Usando um multiplicador PLL para gerar um clock travado na linha CA de 60 Hz. Os valores das peças são para CD74HC4046A da TI.

diminui a 6 dB/oitava na vizinhança do ganho de loop unitário, o loop será estável. O filtro passa-baixo "lead-lag" faz o truque, se você escolher suas propriedades corretamente (isso é o mesmo que a compensação de lead-lag em amplificadores operacionais). A seguir, veremos como isso é feito.

B. Cálculos de ganho de loop A

Figura 13.99 mostra o esquema do sintetizador PLL de 61,440 kHz. Tanto o detector de fase quanto o VCO são partes de um 'HC4046 CMOS PLL. Usamos o detector de fase disparado por borda (tipo II) neste circuito (lembre-se de que o 4046 contém os dois tipos). Sua saída vem de um par de transistores CMOS gerando pulsos saturados para VDD ou terra. É realmente uma saída de três estados, conforme explicado anteriormente, pois está no estado de alta impedância, exceto durante os pulsos de erro de fase reais.

O VCO permite que você defina as frequências mínima e máxima correspondentes às tensões de controle de zero e VDD, respectivamente, escolhendo *R1, R2* e C1 de acordo com alguns gráficos de projeto. Fizemos as escolhas mostradas, com base em um projeto inicial da folha de dados, validado (e ajustado!) por algumas medições de bancada – veja o comentário do "mundo real" a seguir, em §13.13.4E.

Observação: o 4046 tem uma doença crônica grave de sensibilidade ao suprimento; verifique os gráficos na folha de dados. O restante do loop é o procedimento PLL padrão.

Tendo configurado a faixa de VCO, a tarefa restante é o projeto do filtro passa-baixa. Esta parte é crucial. Começamos anotando o ganho do loop, como na caixa "Cálculo do ganho PLL", considerando cada componente (consulte a Figura 13.97). Tome cuidado especial aqui para manter suas unidades consistentes; não mude de *f* para ou (pior) de hertz para kilohertz. Tendo ÿ escolhido os componentes do divisor e as tensões de alimentação, precisamos determinar a um termo de ganho restante (aquele do filtro de loop), KF. Fazemos isso anotando o ganho geral do loop, lembrando que o VCO é um integrador:

$$ÿ_{Fora} = V2KVCOdt.$$

O ganho do loop é, portanto, dado por

$$\text{Ganho do circuito} = K_P K_F \frac{K_{VCO}}{j\,ÿ} K_{div}$$

$$= 0{,}40 \times \frac{1 + j\,ÿR4C2}{1 + j\,ÿ(R3C2 + R4C2)} \times \frac{3{,}77 \times 10^5}{j\,ÿ} \times \frac{1}{1024}.$$

Agora vem a escolha da frequência na qual o ganho do loop deve passar pela unidade. A ideia é escolher uma frequência de ganho unitário alta o suficiente para que o loop possa seguir as variações de frequência de entrada que você deseja seguir, mas baixa o suficiente para fornecer ação do volante para suavizar ruídos e saltos na frequência de entrada. Por exemplo, um PLL projetado para demodular um sinal de entrada FM, ou para decodificar uma sequência rápida de tons de entrada, precisa ter uma resposta rápida (para o sinal de entrada FM, o loop deve ter a mesma largura de banda que o sinal de entrada, ou seja, , resposta até a frequência máxima de modulação; já para decodificar os tons de entrada, seu tempo de resposta deve ser curto em relação ao tempo de duração dos tons). Por outro lado, um loop como este, projetado para gerar um múltiplo fixo de uma frequência de entrada estável e lentamente variável, deve ter uma frequência de baixo ganho unitário. Isso reduzirá o ruído de fase na saída e tornará o PLL insensível a ruídos e falhas na entrada. Dificilmente notará uma pequena queda do sinal de entrada, porque a tensão mantida no capacitor do filtro instruirá o VCO a continuar produzindo a mesma frequência de saída.

Nesse caso, escolhemos a frequência de ganho unitário f2 como 2 Hz ou 12,6 radianos por segundo. Isso está bem abaixo

CÁLCULO DE GANHO DE PLL

Componente	*Função*	*Ganho*	*Cálculo de ganho* (VDD = +10V)
Detector de fase	*Vi* = KPÿ ÿ	KP	KP = (0 a VDD ÿ ÿ360ÿ a +360ÿ) $\frac{VDD}{4ÿ}$
filtro passa-baixo	V2 = *KFV1*	KF	KF = volts/volt $\frac{1+j\,ÿ\,R4C2}{1+j\,ÿ\,(R3C2+R4C2)}$
VCO	$\frac{d\,ÿ_{Fora}}{dt}$ = KVCOV2	KVCO	20kHz *(V2* = 1V) a 200kHz *(V2* = 4V) ÿ KVCO = 60kHz/volt = 3,77 × 105 radianos/segundo-volt
Dividir por n	ÿ comp = $\frac{1}{n}$ ÿ Fora	Kdiv	Kdiv = $\frac{1}{n} = \frac{1}{1024}$

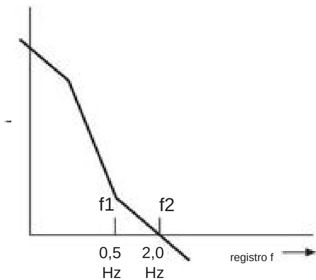


Figura 13.100. Estabilizando um PLL de segunda ordem: ÿ6 dB/oitava rolloff de ganho de loop em torno da frequência de ganho de unidade.

a frequência de referência, e você não esperaria variações genuínas de frequência da linha de força em uma escala menor que essa (lembre-se de que a potência de 60 Hz é gerada por enormes geradores com muita inércia mecânica). Como regra geral, o ponto de interrupção do filtro passa-baixo (seu "zero") deve ser menor por um fator de pelo menos 3 a 5 para uma margem de fase confortável. Lembre-se que o deslocamento de fase de um *RC* simples vai de 0ÿ a 90ÿ em uma faixa de frequência de aproximadamente 0,1 a 10 vezes a frequência de ÿ3 dB (seu "pólo"), com um deslocamento de fase de 45ÿ na frequência de ÿ3 dB . Nesse caso, colocamos a frequência do zero, f1, em 0,5 Hz ou 3,1 radianos por segundo (Figura 13.100). O breakpoint f1 determina a constante de tempo *R4C2 : R4C2* = 1/2 f1. Tentativamente, tome C2 = 1 F e R4 = 330k. Agora tudo o que fazemos é escolher R3 para que a magnitude do ganho do loop seja igual a 1 em f2. Nesse ÿ caso, isso resulta em R3 = 3,6 MΩ.

Exercício 13.7. Mostre que essas escolhas de componentes de filtro realmente fornecem um ganho de loop de magnitude 1,0 em f2 = 2,0 Hz.

Às vezes, os valores do filtro são inconvenientes, então você precisa reajustá-los ou mover um pouco a frequência de ganho unitário. Com um loop de bloqueio de fase CMOS, esses valores são aceitáveis (o terminal de entrada do VCO tem uma impedância de entrada típica de 1012 ÿ). Para VCOs com baixa impedância de entrada, você pode querer usar um buffer de amplificador operacional externo.

Usamos um detector de fase acionado por borda (tipo II) neste exemplo de circuito por causa de seu filtro de loop simplificado. Na prática, isso pode não ser a melhor escolha para um PLL travado na linha de força de 60 Hz por causa do nível de ruído relativamente alto presente no sinal de 60 Hz: muitos engenheiros tropeçaram neste ponto, com um sinal de referência ruidoso causando tipo falso -II desencadeamento. Com um projeto cuidadoso do circuito de entrada analógica (por exemplo, um filtro passa-baixa seguido por um gatilho Schmitt), o detector de fase tipo II provavelmente funcionaria satisfatoriamente; caso contrário, um detector de fase OU exclusivo (tipo I) deve ser usado.

C. "Corte e experimente"

Para algumas pessoas, a arte da eletrônica consiste em mexer nos valores dos componentes do filtro até que o loop "funcione". Se você for um desses,119 faremos o favor de olhar para o outro lado. Apresentamos esses cálculos de loop em detalhes porque suspeitamos que grande parte da má reputação do PLL é resultado de muitas pessoas "olhando para o outro lado". No entanto, não podemos resistir a fornecer uma dica quente para ad dicts cut-and-try: *R3C2* define o tempo de suavização (resposta) do loop,

[119] Você pode obter algum conforto (e talvez até manter a cabeça erguida) de algumas observações na nota do aplicativo TI (referindo-se ao design do filtro de loop) "A otimização por tentativa e erro deve ser considerada em todos os casos."

e R4/R3 determina o amortecimento, ou seja, ausência de overshoot para mudanças de passo na frequência. Você pode começar com um valor de R4 em algum lugar na faixa de 10% a 20% de R3.

D. Amortecimento de loop e jitter

Um efeito colateral do resistor de "amortecimento" diferente de zero R4 é a criação de algum jitter na saída PLL. Uma maneira fácil de ver isso é perceber que, mesmo em altas frequências, o filtro de loop permite que uma fração R4/(R3 + R4) da saída do detector de fase bruta alcance o VCO. Para proporções típicas, R3 ÿ *10R4,* isso pode adicionar jitter substancial à saída do VCO. A solução usual é adicionar um pequeno capacitor (ÿ C2/20) da entrada de controle do VCO ao terra, de preferência próximo ao pino do VCO para filtrar também qualquer outro ruído de alta frequência.

E. Projeto do mundo real de PLL

Navegamos por este exemplo de projeto, acreditando que as informações nas folhas de dados para o IC que escolhemos (o popular 'HC4046) eram confiáveis. Essa fé foi, talvez, um pouco equivocada. Para dar algum contexto a esta seção de advertência, aqui está a história (a versão curta) de nossas escolhas de componentes do oscilador na Figura 13.99: Queríamos uma margem de segurança de 3× para nossa frequência central de 61 kHz, então definimos fmin=20 kHz e fmax= 200 kHz. Escolhemos o CD74HC4046A da TI porque era o design original da RCA comprovado pelo tempo. Com base nos gráficos da folha de dados, um bom valor para o capacitor de temporização C1 era 1000 pF. Para os resistores de tempo, um de nós começou com os gráficos de R1 e chegou a 30k e 300k para R1 e R2, e editamos a figura de acordo. O outro autor começou com o gráfico R2 (conforme sugerido por dois fabricantes, mas não deveria ter importado) e chegou a 40 k e 410 k. Preocupados com essas e outras inconsistências (por exemplo, uma especificação na folha de dados TI dá fosc=400 kHz, tip, para C1=1 nF e R2=220k, enquanto a Figura 27 sugere que deveria ser mais como 33 kHz), fomos à bancada e encontrei valores reais de 45k e 482k para a faixa de frequência desejada. Os valores que escolhemos inicialmente teriam funcionado, apesar do fator de 1,5 desvio da realidade, mas teriam usado metade de nossa margem de segurança de 3×.[120] Então, o que está acontecendo aqui? Cada um dos menus do 'HC4046 fabricantes usam um circuito diferente para seu projeto de VCO.[121] Embora pretenda ser previsível e linear, na prática o controle de VCO é não linear e seus parâmetros variam com a corrente de controle, tensão de alimentação e frequência operacional, especialmente acima de 10 MHz. Embora você possa encontrar expressões analíticas para a frequência do VCO (nota do aplicativo ON Semi AN1410), o método recomendado ainda é começar com os valores dos componentes de temporização (R1, R2 e C1) dos gráficos da folha de dados; então o projetista é severamente advertido a ajustar e validar esses valores com medições de bancada cuidadosas antes de se comprometer com a fabricação.

Esse tipo de variabilidade e falta de previsibilidade confiável nos leva a dar este conselho:

(1) escolha um fabricante para seu projeto de produção, e não permite substitutos;
(2) escolha uma ampla margem de segurança para fmin e fmax, como o fator 3× em nossa Figura 13.99; (3) substitua seus cálculos de papel iniciais com medido valores de bancada para produção.

A regra (1) aplica-se a qualquer funcionalidade linear em um IC lógico, por exemplo, funções de sinais mistos, como comparadores de fase, osciladores, VCOs, misturadores, disparadores Schmitt, monoestáveis ou comparadores.

13.13.5 Captura e bloqueio de PLL

Uma vez travado, fica claro que um PLL permanecerá travado enquanto a frequência de entrada não sair da faixa do sinal de feedback e não mudar mais rapidamente do que a largura de banda do loop pode acompanhar. Uma pergunta interessante a fazer é como os PLLs são bloqueados em primeiro lugar. Afinal, um erro de frequência inicial resulta em uma saída periódica do detector de fase na frequência de diferença. Após a filtragem pelo filtro passa-baixa, ele é reduzido a oscilações de pequena amplitude em vez de um bom sinal de erro CC limpo.

A. Capturar transientes A resposta é um pouco complicada. Os loops de primeira ordem sempre travarão, porque não há atenuação passa-baixa do sinal de erro. Laços de segunda ordem podem ou não travar, dependendo do tipo de detector de fase e do passa-banda do filtro passa-baixa. Além disso, o detector de fase OR exclusivo (tipo I) tem um alcance de *captura* limitado que depende da constante de tempo do filtro (este fato pode ser usado como vantagem

[120] Fizemos medições de bancada adicionais em antigos e novos 74HC4046A da TI, NXP, ON Semi e Fairchild. Encontramos uma boa autoconsistência em todas as peças de um único fabricante; as variações no intervalo e na frequência zero dentro de um lote e ao longo de um período de 15 anos foram geralmente inferiores a 5%. As frequências medidas para as partes NXP, ON Semi e Fairchild desviaram em +5%, +160% e -60%, respectivamente, daquelas das partes TI, quando configuradas com os valores dos componentes de temporização mostrados na Figura 13.99.

[121] Por exemplo, TI polariza R2 de VDDÿ0,7 V, enquanto ON Semi polariza-o de VDD/3. Seus espelhos de corrente possuem ganhos nominais de 7,5 e 25 respectivamente. Achamos que o 74HCT9046 da NXP é indiscutivelmente a peça '4046 mais bem manejada disponível, e as folhas de dados da NXP têm gráficos melhores.

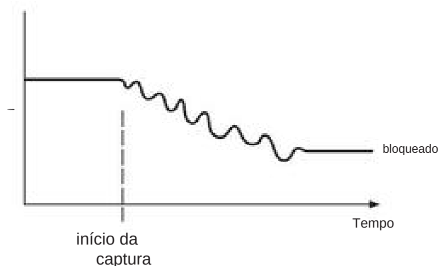


Figura 13.101. Transitório de captura de PLL.

se você quiser um PLL que bloqueie os sinais apenas dentro de uma determinada faixa de frequência).

Para um detector de fase tipo I, você pode se perguntar como o loop pode travar, porque, com a saída do detector de fase sendo periódica na frequência de diferença, a frequência do VCO deve oscilar para frente e para trás para sempre. Mas, olhando mais de perto, o transiente de captura é assim: conforme o sinal de erro (de fase) aproxima a frequência do VCO da frequência de referência, a forma de onda do sinal de erro varia mais lentamente e vice-versa. Portanto, o sinal de erro é assimétrico, variando mais lentamente na parte do ciclo durante a qual fVCO está mais próximo de fref. O resultado líquido é uma média diferente de zero, ou seja, um componente CC que trava o PLL.122 Se você observar cuidadosamente a tensão de controle do VCO durante esse *transiente de captura,* verá algo parecido com o que é mostrado na Figura 13.101. Essa ultrapassagem final tem uma causa interessante. Mesmo quando a *frequência* do VCO atinge seu valor correto (conforme indicado pela tensão de controle VCO correta), o loop não está necessariamente travado, porque a *fase* pode estar errada. Portanto, pode ultrapassar. Assim como os flocos de neve, cada transiente de captura é individual – parece um pouco diferente a cada vez.

Para um PLL com um detector de fase tipo II, a situação é consideravelmente mais simples: como esse tipo de detector produz uma componente dc indicando a direção do erro de frequência (lembre-se de que é um “detector de frequência de fase”), a frequência do VCO é direcionada rapidamente na direção certa.

B. Faixa de captura e bloqueio

Para o detector de fase OU exclusivo (tipo I), a faixa de captura é limitada pela constante de tempo do filtro passa-baixa. Isso faz sentido, porque se você começar suficientemente longe em frequência, o sinal de erro será atenuado tanto pelo filtro que o loop nunca será bloqueado. Deve ser evidente que uma constante de tempo de filtro mais longa resulta em uma faixa de captura mais estreita, assim como o ganho de loop reduzido. O detector de fase disparado por borda não tem essa limitação, pois atua como um verdadeiro integrador dos pulsos de carga de erro de fase. Ambos os tipos têm uma faixa de bloqueio que se estende até os limites do VCO, dada a tensão de entrada de controle disponível.

C. PLLs de tempo de captura com detectores de fase tipo II (integração) sempre travarão (supondo que o VCO tenha faixa de sintonia suficiente, é claro), com uma constante de tempo característica da largura de banda do loop.

Um detector de fase do tipo I (multiplicador ou misturador), se seguido por um filtro de loop integrador, também travará – mas pode levar muito tempo se a largura de banda do loop for estreita. Pode-se mostrar que o tempo de bloqueio é aproximadamente (ÿf)2/BW3, onde *ÿf* é o erro de frequência inicial e BW é a largura de banda do loop. Portanto, um PLL com largura de banda de loop de 100 Hz e frequência de comparação de 100 kHz pode levar um minuto para travar se a frequência inicial do VCO estiver 10% distante do travamento.

Em tais casos, às vezes você vê um truque bonito: um dente de serra lento de alcance total é aplicado à tensão de controle do VCO do loop desbloqueado, até que o bloqueio ocorra. Por exemplo, tenho em minhas mãos (estou digitando com uma mão) um padrão de frequência de rubídio FRS modelo Efratom, que usa a ressonância atômica fraca, mas extremamente estável, em uma célula de vapor bombeada opticamente como referência para a qual um cristal de alta qualidade oscilador está travado em fase. O oscilador de cristal fornoizado de 20 MHz (XO) é controlado por tensão (um VCXO), com uma faixa de sintonia estreita (da ordem de ±1 kHz); é o volante em um PLL de baixa largura de banda (o integrador de loop tem R=2M, C=1 F).

ÿ

Sem alguma ajuda, essa coisa levaria uma eternidade para travar. O útil “Manual de Operação” explica como eles fazem isso: “Quando nenhum sinal de 'bloqueio' está presente. . . [há] uma varredura lenta da tensão de controle do cristal de cerca de 250 mV por segundo. A varredura continua até que 'Lock' ocorra. 'Lock' então desativa o circuito de varredura desconectando [interruptor analógico] U3 pinos 13 e 14 e conectando U3 pinos 12 e 14. Essa comutação coloca o integrador sob controle de loop fundamental.”

Tais truques não são necessários com detectores de fase tipo II, como observamos acima, graças à sua indicação de diferença de fase e (sinal de) frequência. Mas os detectores de fase do tipo misturador passivo (portanto, tipo I) prevalecem em sistemas de comunicação em frequências de rádio muito altas, onde o detector de frequência de fase digital é impraticável.

122 Outra maneira de ver isso é perceber que o sinal de erro modula fracamente o VCO na diferença de frequência ÿf=| *fref-fVCO*|. Essa modulação de frequência coloca bandas laterais simétricas fracas no fVCO, espaçadas por *ÿf* . Um deles está exatamente no fVCO, produzindo um componente de saída CC médio do detector de fase, que o filtro de loop integra (tipo II) para travar o sistema.

13.13.6 Algumas aplicações PLL

Já falamos do uso comum de loops de bloqueio de fase na multiplicação de frequência. A última aplicação, como no exemplo anterior, é tão direta que não deve haver hesitação em usar esses misteriosos PLLs. Em aplicações simples de multiplicação de frequência (por exemplo, a geração de frequências de clock mais altas em um sistema digital) não há nenhum problema de ruído no sinal de referência, e um loop de primeira ordem pode ser suficiente.

Como ficará evidente, o que importa em um PLL depende da aplicação: há uma compensação entre ampla faixa de sintonia versus alta qualidade (baixo ruído de fase, baixo jitter, componentes de baixa frequência espúria) versus tamanho do passo de frequência versus largura de banda do loop (e velocidade de comutação) versus baixa contagem de componentes externos. Por exemplo, para um microprocessador ou aplicativo de clock de memória, você não precisa de formas de onda de alta qualidade e precisa apenas de etapas de ajuste grosseiras; para um sintetizador de celular, você deseja baixo ruído de fase e esporas, com faixa de sintonia e tamanho do passo compatível com a banda da célula e canalização; para um sintetizador de onda senoidal de uso geral, você deseja baixo ruído de fase e esporas, pequenos passos de ajuste e ampla faixa de ajuste; para links seriais de alta velocidade, você se preocupa com o jitter, como faz ao registrar ADCs de alta qualidade (onde o jitter se traduz em distorção); e para um gerador de clock da placa-mãe, você gostaria de uma solução de chip único que gerasse um conjunto de clocks padrão (para o processador, memória, vídeo, barramentos internos como PCIe e SATA, portas seriais externas como USB e Ethernet e assim por diante) sem grande preocupação com a qualidade do sinal.

Gostaríamos agora de descrever duas variações importantes (conhecidas como síntese "n/m" e "n fracionário") neste esquema básico de multiplicação de frequência; continuaremos com algumas outras aplicações interessantes de técnicas de bloqueio de fase, para dar uma ideia da diversidade de usos do PLL. Finalmente, concluiremos a discussão sobre loops de bloqueio de fase com exemplos de ICs PLL contemporâneos, que usam uma variedade de truques inteligentes para criar osciladores no chip com desempenho admirável.

A. Síntese de n fracionário O esquema de multiplicação de frequência da Figura 13.97 gera uma frequência de saída que é restrita a um múltiplo inteiro da entrada de referência: fout=n fref. Isso é bom para uma aplicação como a da Figura 13.99, mas não é muito útil para algo como um sintetizador de onda senoidal de uso geral, onde você deseja gerar qualquer frequência de saída antiga, talvez configurável para 1 Hz ou mesmo 0,001 Hz.

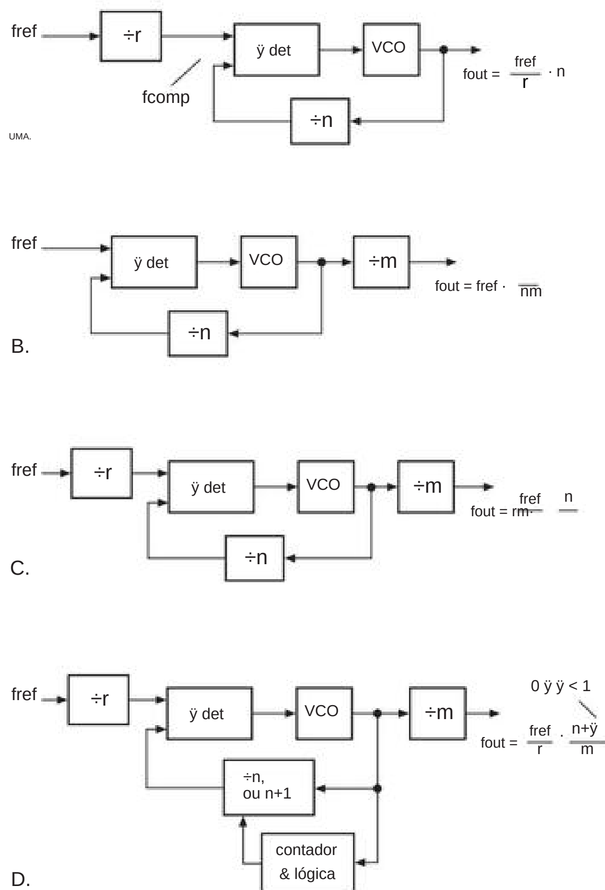


Figura 13.102. Chegando ao n fracionário. A-C. Integer-n com prescaler de entrada, scaler de saída e ambos. D. "N fracionário" permite que o divisor de feedback assuma efetivamente valores não inteiros. Para simplificar, o filtro de loop entre o detector de fase e o VCO foi omitido.

Pré-escalador de entrada Analisando -o em vários passos (veja a Figura 13.102A), a primeira coisa que você pode fazer é reduzir a frequência de referência para o tamanho do passo de resolução, digamos 1 Hz. Isso pode ser feito "pré-dimensionando" a frequência de entrada de referência com um contador módulo-r: *r* é um número inteiro, escolhido de forma que fcomp= fref /r seja igual ao tamanho do passo desejado; por exemplo, se tivermos uma referência de entrada de 10 MHz (um padrão comum) e quisermos uma tabela de ajuste de 1 Hz, escolheríamos r=107. A frequência de saída é então fout=n · fref/r.

OK, isso funcionaria. Mas o detector de fase agora está trabalhando em um par de sinais de 1 Hz, o que requer uma constante de tempo de loop muito longa (muitos segundos). Isso não é bom: leva muito tempo para travar em uma nova configuração de frequência; e há mais ruído de fase, porque as estabilidades intrínsecas do VCO não são corrigidas em escalas de tempo curtas (sem loop

ganho nessas frequências). E (se você precisar de mais convencimento), os pulsos de correção do detector de fase para o VCO estão em baixa frequência, produzindo bandas laterais de modulação espúrias ("spurs") que têm frequência próxima à frequência de saída desejada (para ser preciso, eles são espaçados por fcomp, subindo e descendo de fout).

Escalador de saída A próxima coisa que você pode tentar é manter uma frequência de referência alta, mas dividir a frequência de *saída* (Figura 13.102B). A frequência de saída agora é fout= fref · *n/ m.*
Isso parece muito bom: podemos manter bastante largura de banda de loop (porque o detector de fase está operando na fref de alta frequência) e obtemos um tamanho de passo tão pequeno quanto desejamos, escolhendo um grande módulo divisor de saída m.

E isso funciona bem, contanto que você esteja satisfeito com baixas frequências de saída. O problema é que o VCO agora tem que rodar em frequência *m* vezes maior para gerar um dado fout. Por exemplo, com uma entrada de referência de 10 MHz e com m=107 (para tamanho de passo de 1 Hz), o VCO teria que operar a 1 GHz apenas para gerar uma frequência de saída de 100 Hz (n=100).
Este é claramente um perdedor.

Escaladores de entrada e saída Um compromisso está em ordem: use divisores de frequência inteiros na entrada *e* na saída (Figura 13.102C). Dessa forma, podemos definir a frequência de comparação do detector de fase em algum lugar entre o tamanho do passo de saída (muito pequeno) e a frequência de referência de entrada (maior que o necessário). A frequência de saída agora é fout=(fref/r)·(n/m). Esta é a configuração padrão de um loop bloqueado de fase "inteiro-n" (porque todos os três divisores de frequência operam com uma taxa de divisão inteira).

Tomando nosso exemplo padrão com referência de 10 MHz, podemos escolher r=104 (então fcomp=1 kHz) e m=103. O tamanho do passo de saída é 1 Hz, a frequência de saída é *n* Hz e podemos gerar frequências de saída para 100 kHz (com resolução de 1 Hz) com um VCO que vai até 100 MHz.

A enchilada inteira: "n fracionário"

Temos um compromisso entre os fatores concorrentes de tamanho do passo, largura de banda do loop, frequência máxima de saída e frequência máxima do VCO. No exemplo acima, podemos obter uma frequência de saída mais alta com o mesmo tamanho de passo de 1 Hz e frequência de entrada de 10 MHz (ou seja, mantendo o produto m·r constante), mas apenas à custa de uma largura de banda de loop menor (menor m, maior r) ou frequência de saída máxima reduzida (maior m, menor r).

Podemos fazer melhor? A resposta é sim, se pudermos, de alguma forma, enganar um dos divisores (digamos, o divisor *n)* em uma proporção de divisão "intermediária" não inteira. Podemos fazer isso *no* *média* com um divisor de n inteiro , se organizarmos as coisas para alterar o módulo de modo que ele gaste parte de seu tempo como n e o resto de seu tempo como n+1.123 Essa é a síntese *de n fracionário* (Figura 13.102D). A frequência de saída ainda é fout=(fref/r)·(n/m), mas com *n* agora permitido assumir um valor fracionário. Com a síntese de n fracionário, você tem (principalmente) o melhor dos dois mundos: ampla faixa de frequência de saída com alta resolução (pequeno tamanho do passo), mantendo alto fcomp (que permite bastante largura de banda de loop e, portanto, bloqueio e rastreamento rápidos , juntamente com esporas amplamente compensadas da frequência sintetizada).

Fractional-n requer alguns contadores e lógica adicionais, para descobrir com que frequência alternar entre *n* e n+1. Há uma situação cotidiana análoga: é bom manter o calendário anual (do tipo que você pendura na parede) sincronizado com o movimento da Terra em torno do sol.
O problema é que não há um número inteiro de dias em um ano. A solução do calendário gregoriano (anos bissextos) é n fracionário: alterne o módulo entre 365 e 366, com uma proporção de 3:1, para obter o valor (aproximadamente) correto de 365.25.124,125

Detalhes, detalhes. . .

A síntese de n fracionário126 é uma boa técnica, mas também tem seus próprios problemas. Por exemplo, o detector de fase é periodicamente apresentado com uma descontinuidade de fase (ou seja, cada vez que o módulo é alternado), o que cria uma modulação de fase periódica na saída se não for corrigida ou filtrada de outra forma. Existem vários truques para corrigir esse problema, envolvendo a injeção de pulsos de carga de compensação na saída da bomba de carga do detector de fase ou (provavelmente melhor) uma correção pré-computada na forma de onda de saída para criar ciclos de saída igualmente espaçados (veja mais adiante). Talvez a melhor técnica, porém, seja o uso de delta-sigma

[123] Às vezes, você ouve o termo visualmente gráfico "deglutição de pulso" usado para este subcircuito.

[124] Astrônomos e outros leitores exigentes reclamarão que o número de rotações da Terra em um ano é na verdade um maior (366,25) e que a Terra gira uma vez *não* em 24 horas, mas em 23h 56m 4s (aproximadamente).
Claro que eles estão certos. Mas todo mundo odeia um espertinho.

[125] Isso deixa o calendário próximo, mas não perfeito: há 365,242374 dias solares em um ano. Daí a correção de próxima ordem: os anos bissextos são *omitidos* em anos divisíveis por 100 (ou seja, a virada de cada século, que, sendo divisível por 4, normalmente seria um ano bissexto), a menos que também sejam divisíveis por 400; tivemos um ano bissexto em 2000, mas nós (mais propriamente, nossos descendentes; até então este livro e seus autores estarão esgotados) não teremos um em 2100, ou 2200, ou 2300. Isso manterá o calendário no caminho certo por cerca de 8.000 anos. 126 Alguns PLLs fazem o negócio de n fracionário no divisor de referência de entrada *(r) ;* eles ainda são chamados de "n fracionário".

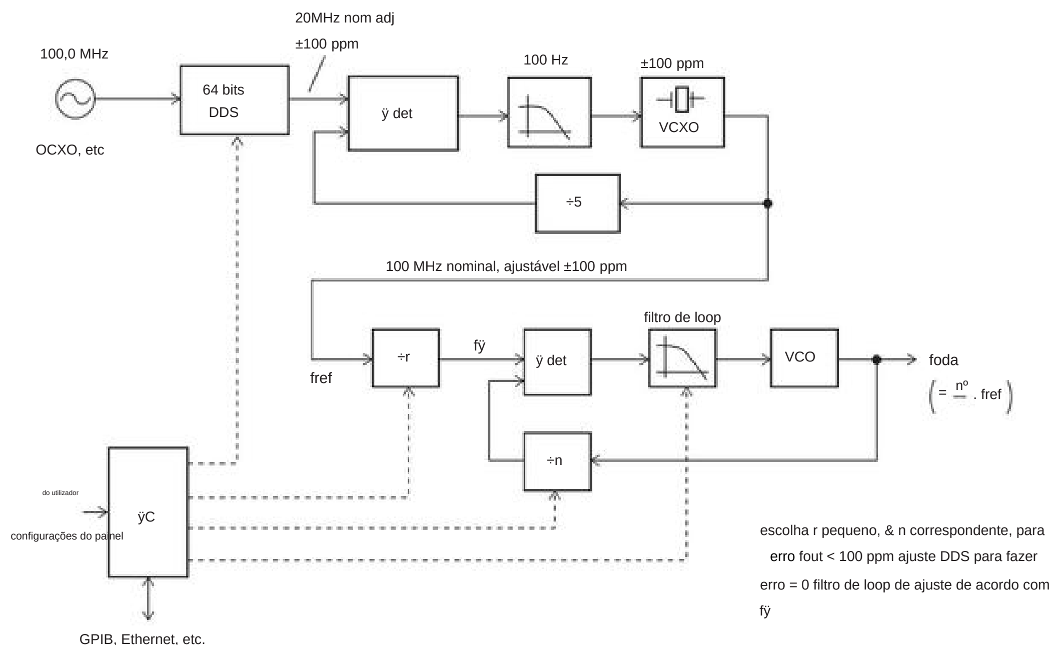


Figura 13.103. Ao fazer pequenos ajustes de frequência em seu relógio de referência oscilador de cristal limpo, o método de "síntese de frequência de aproximação racional" usado nos sintetizadores SRS atinge a resolução de microhertz enquanto opera seu detector de fase PLL em frequências de megahertz. A saída resultante tem excelente pureza, com ruído de fase muito baixo e ausência de "esporas" espectrais.

modulação do módulo: ao invés de simplesmente alternar entre os dois módulos que circundam o módulo (fracionário) desejado, o módulo do divisor é distribuído entre um conjunto maior, de tal forma que a produção de bandas laterais de modulação é moldada para frequências mais altas, e a produção de esporas discretas é minimizada. Como com os moduladores delta-sigma que vimos anteriormente no capítulo, loops de ordem superior junto com alguma randomização ("dithering") podem ser empregados para reduzir esporas próximas (análogo ao seu uso lá para suprimir tons ociosos). Este é um negócio complicado e é melhor deixá-lo para os verdadeiros profissionais.127 Resumindo: deixe o projeto do conversor para outros; mas esteja ciente dos benefícios e das armadilhas e examine as planilhas de dados cuidadosamente para ver as coisas importantes para sua aplicação.

B. Síntese de aproximação racional Com uma variação engenhosa na síntese de n inteiro, o sempre criativo John Willison, da Stanford Research Systems, concebeu um sintetizador que combina o melhor dos dois mundos: ele opera com um pequeno valor inteiro *r* (portanto, um valor relativamente entrada de alta frequência de referência para o detector de fase, para ampla largura de banda de loop VCO e, portanto, baixo ruído e jit

[127] Dê uma olhada no App Note 1879 da National Semiconductor, se você quiser mergulhar o dedo do pé nas águas turbulentas.

ter bandas laterais), juntamente com o inteiro *n* (evitando modulação de fase VCO); mas, com um pouco de mágica, ele permite uma resolução de frequência essencialmente infinita *(ajuste de frequência em microhertz),* mesmo que a entrada de referência do detector de fase esteja tipicamente na região de megahertz.

Como isso pode ser? O truque é escolher um pequeno inteiro *r* (e n correspondente) de modo que a frequência sintetizada esteja *próxima* (digamos, dentro de ±100 ppm) da frequência alvo; você então ajusta o oscilador mestre de referência correspondentemente, para trazer a frequência de saída sintetizada inteira para o alvo. Essa técnica, que eles chamam de "síntese de frequência de aproximação racional" (RAFS), foi introduzida na série SG380 de geradores de sinal de RF da SRS, que atualmente inclui modelos que fornecem saídas de dc a 6 GHz, configuráveis com resolução de microhertz. O uso da síntese PLL inteira com um loop de largura de banda larga produz excelente pureza de saída, vista, por exemplo, na especificação de ruído de fase de -116 dBc (relativo à "portadora", ou seja, a amplitude do sinal) em um deslocamento de 20 kHz de um sinal de saída de 1 GHz; e o uso de um oscilador de referência de baixo ruído (o OCXO) mantém o ruído de fase próximo a impressionantes -80 dBc em um deslocamento de apenas 10 Hz de uma saída de 1 GHz.

A Figura 13.103 mostra o esquema, reduzido a sua

Fundamentos. Um microcontrolador comanda o sistema, começando com a escolha128 de *r* e *n* para se aproximar do fout desejado. O microcontrolador também sintoniza o filtro de loop de acordo com a frequência de entrada do detector de fase resultante (aqui chamada de *f*). Finalmente, ele ajusta o relógio mestre, na faixa necessária de ±100 ppm, por meio de um sintetizador digital direto de 64 bits (resolução efetivamente infinita) executado a partir do relógio de entrada de frequência fixa limpa. A saída DDS não é tão pura quanto sua entrada de referência (devido a saltos de fase irregulares inerentes ao processo DDS), então sua saída é limpa pelo bloqueio de fase de um oscilador de cristal de alta qualidade, cuja frequência pode ser "puxada" eletricamente uma faixa de ±100 ppm por meio de um varactor (portanto, um "VCXO" – oscilador de cristal controlado por tensão). Olhando para trás, podemos ver que é a faixa de sintonia do VCXO que restringe a seleção inicial de *r* e n.

Para ilustrar com um exemplo, suponha que desejamos sintetizar uma saída em 1234,56789 MHz. Você pode mexer em uma calculadora de bolso (alguém com menos de 50 anos ainda usa isso?), trabalhando em sucessivos valores inteiros *r* , até descobrir que r = 26 fornece um " n fracionário" (320,9876514) que está dentro de 100 ppm de um inteiro (n=321). Portanto, escolhemos *[r,* n]=[26, 321] e compensamos o clock mestre em ÿ38,469 ppm (para 99,9961531 MHz) para obter o que queremos. Com esta escolha, a frequência *f* de referência do detector de fase é agradavelmente alta (ÿ3,85 MHz), permitindo bastante largura de banda de loop (portanto, baixo ruído de banda lateral e ausência de esporões próximos que seriam causados por um *f* baixo) no PLL de síntese.

Na prática, há uma série de detalhes (como em qualquer sistema sofisticado e bem projetado) não vistos nesta descrição simplificada. Por exemplo, (a) o dimensionador do sintetizador de saída sintoniza apenas uma oitava (faixa de frequência 2:1), acionando um conjunto de divisores binários e filtros passa-baixa para gerar a saída final; (b) os instrumentos de produção atuais usam vários VCXOs escalonados e ajustados, relaxando bastante as restrições em *r* e *n* (e resultando em valores de *f* tipicamente maiores que 10 MHz, com um pior caso de 2,4 MHz); (c) existem DDSs e PLLs adicionais no sistema, usados entre outras coisas para criar frequências de clock favoráveis (que geralmente são escolhidas para não serem o tipo de frequências de "número redondo" mostradas aqui, para evitar artefatos de colisão de clock); (d) o DDS de 64 bits é dithered para reduzir bandas laterais espúrias de frequência fixa ("spurs"); e (e) existem subcircuitos adicionais para fornecer modulação, controle de amplitude e similares. Estes são o tipo de mundo real questões que desafiam o projetista do instrumento, a quem grande satisfação pode advir quando uma boa solução é encontrada.

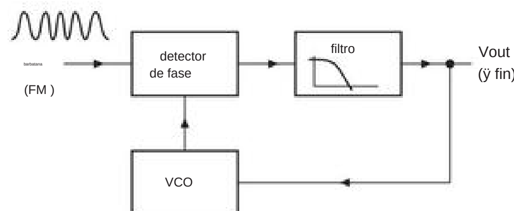


Figura 13.104. Discriminador PLL FM.

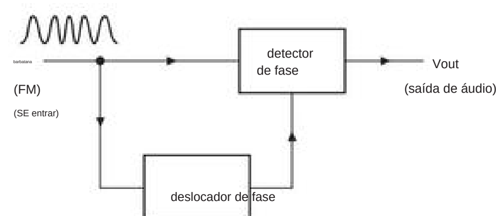


Figura 13.105. Detecção FM em quadratura.

C. Detecção de FM

Na modulação de frequência, a informação é codificada em um sinal de "portadora" variando sua frequência proporcionalmente à forma de onda da informação. Existem dois métodos para recuperar as informações de modulação com detectores de fase ou PLLs. A palavra *detecção* é usada para significar uma técnica de demodulação.

No método mais simples, um PLL é bloqueado para o sinal de entrada. A tensão que controla a frequência do VCO é proporcional à frequência de entrada e, portanto, é o sinal de modulação desejado (Figura 13.104). Em tal sistema, você escolheria a largura de banda do filtro para ser ampla o suficiente para passar o sinal modulante, ou seja, o tempo de resposta do PLL deve ser curto em comparação com a escala de tempo das variações no sinal que está sendo recuperado.129 Um alto grau de recuperação a linearidade no VCO é desejável neste método de detecção de FM, para minimizar a distorção na saída de áudio.

O segundo método de detecção de FM envolve um detector de fase, embora não em um loop de bloqueio de fase. A Figura 13.105 mostra a ideia. Tanto o sinal de entrada quanto uma versão com deslocamento de fase do sinal são aplicados a um

128 O SRS usa uma abordagem iterativa para calcular *r* e n: o microcontrolador avança, tentando sucessivos pares de inteiros pequenos até ficar satisfeito. Isso leva cerca de um milissegundo.

129 O sinal aplicado ao PLL não precisa estar na radiofrequência enviada pelo transmissor distante; pode ser uma "frequência intermediária" (IF) gerado no sistema receptor pelo processo de *mistura.* Esta técnica super- *heteródina* foi inventada por Edwin H. Armstrong, que também inventou a FM. Os grandões se mudaram, reivindicaram suas invenções, espancaram-no no tribunal e o levaram ao suicídio.

detector de fase, gerando alguma tensão de saída. A rede de deslocamento de fase é diabolicamente disposta para ter um deslocamento de fase variando linearmente com a frequência na região da frequência de entrada (isso geralmente é feito com redes *LC* ressonantes), gerando assim uma tensão de saída com dependência linear da frequência de entrada. Essa é a saída demodulada. Este método é chamado de detecção FM de quadratura duplamente balanceada e é usado em alguns ICs amplificadores/detectores de FI.

Para não deixarmos a impressão errada, acrescentamos que você pode demodular FM sem a ajuda de loops de bloqueio de fase. As técnicas clássicas exploram a amplitude íngreme versus frequência característica de circuitos sintonizados por *LC* . Em sua forma mais simples (um "detector de inclinação"), o sinal de FM é aplicado a um circuito ressonante *LC* sintonizado em um lado, de modo que tenha uma curva ascendente de resposta versus frequência; a amplitude de saída então varia aproximadamente linearmente com a frequência, transformando FM em FM+AM. Um detector de envelope AM completa o trabalho de converter AM em áudio. Na prática, um arranjo um pouco mais complicado (chamado detector de razão ou detector Foster-Seeley) é usado. Outra (e mais simples) técnica usa a média de um trem de pulsos idênticos na frequência intermediária.

D. Detecção AM

Procura-se: uma técnica para fornecer um sinal de saída proporcional à *amplitude* instantânea de um sinal de alta frequência. O método usual envolve retificação (Figura 13.106). A Figura 13.107 mostra um método sofisticado ("detecção homódina" ou "detecção síncrona") usando PLLs. O PLL gera uma onda quadrada na mesma frequência da portadora modulada. Multiplicar o sinal de entrada por esta onda quadrada gera um sinal retificado de onda completa que só precisa de alguma filtragem passa-baixa para remover os remanescentes da frequência portadora, deixando o *envelope de modulação.* Se você usar o tipo de detector de fase OU exclusivo no PLL, a saída é deslocada 90ÿ em relação ao sinal de referência, então uma mudança de fase de 90ÿ teria que ser inserida no caminho do sinal para o multiplicador.

E. Demodulação digital

Um loop de bloqueio de fase é um componente essencial na recuperação ("demodulação") de dados de uma portadora que foi modulado com um sinal *digital* . Em uma forma simples de modulação digital ("binary phase-shift keying" ou BPSK), cada bit a ser transmitido inverte, ou não, a fase de uma portadora de amplitude constante (Figura 13.108). Esses bits codificados são recuperados na extremidade receptora multiplicando a portadora modulada em BPSK recebida por um sinal na mesma frequência da portadora. Seu primeiro pensamento pode ser usar um PLL para recuperar uma réplica de operadora. Mas isso não funciona, porque o espectro modulado em BPSK não tem componente na frequência da portadora.



Figura 13.106. Detecção AM.

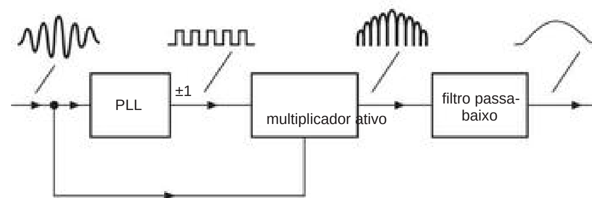


Figura 13.107. Detecção homódina.

Uma solução interessante[130] é notar que o *quadrado* do sinal transmitido ignora as inversões de fase, gerando um sinal com o dobro da frequência da portadora. Seguindo essa ideia, você obtém o método de "loop quadrado" da Figura 13.108. O primeiro misturador M1 (um misturador é um multiplicador) gera a frequência portadora dobrada 2 fc, que é limpa com um filtro passa-banda e usada para travar um PLL, com o VCO atuando como volante (baixa largura de banda do loop); uma divisão por 2 então cria a réplica da portadora em fc, com um ajuste de fase para alinhá-la com a portadora recebida subjacente (suprimida). Por fim, o multiplicador M3 recupera sincronizadamente os bits de modulação, com um filtro passa baixa final para remover a ondulação de 2 fc .

Se as rajadas de ciclos em fases forem consideradas como *símbolos,* o BPSK codifica um bit por símbolo. Esquemas de modulação digital comumente usados geralmente codificam vários bits por símbolo. Por exemplo, você pode codificar símbolos de 2 bits cada enviando rajadas de ciclos de portadora, cada fase 0ÿ, 90ÿ, 180ÿ ou 270ÿ, de acordo com o símbolo de 2 bits. Isso é chamado de chaveamento de mudança de fase em quadratura (QPSK), também conhecido como 4-QAM ("modulação de amplitude em quadratura", pronuncia-se "quam"). De forma mais geral, você pode criar uma "constelação" de símbolos, cada um deles uma rajada (cônica) com alguma amplitude e fase. Por exemplo, a televisão a cabo é comumente fornecida como 256-QAM, cada símbolo contendo 8 bits de informação. Para todos esses esquemas de modulação, você ainda precisa recuperar um sinal na frequência da portadora (ou

130 Existe um método mais sutil de demodulação BPSK, novamente usando um PLL, conhecido como "Costas Loop". Seu desempenho é comparável, mas é mais difícil entender o que está acontecendo. Nós gostamos da simplicidade.

sua réplica de frequência deslocada, uma “frequência intermediária”), para a qual um PLL é essencial. Um truque que às vezes é usado é transmitir um sinal “piloto” fraco na frequência da portadora, de modo que esquemas como o loop quadrado não sejam necessários. Isso é usado, por exemplo, na transmissão de televisão digital nos Estados Unidos, onde os símbolos de 3 bits são codificados como modulação de amplitude (quatro níveis de amplitude, em 0ÿ ou 180ÿ), com um ligeiro deslocamento dc para criar o piloto para qual o PLL do receptor pode bloquear.

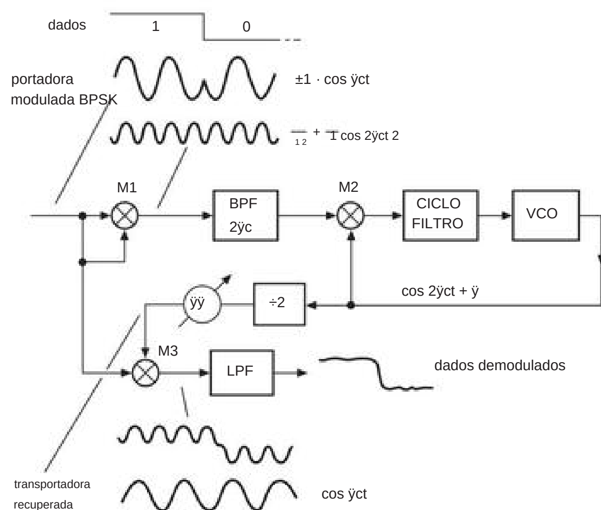


Figura 13.108. Demodulação de loop quadrado do sinal digital BPSK.

F. Outras aplicações de comunicação Como sugerimos anteriormente, os PLLs desempenham um papel essencial em muitos aspectos das comunicações. Transmissores canalizados (pense em celulares) devem manter seus sinais em frequências definidas, com pureza de sinal suficiente para evitar interferência fora do canal. E os receptores (novamente celulares; ou rádios FM, televisões, receptores de satélite) usam um *oscilador local* (LO) para determinar sua frequência de recepção (essa é a técnica super-heteródina de Armstrong, com quase um século de idade). A impureza do sinal (jitter, spurs) no LO causa degradação do sinal recebido, da mesma forma que aconteceria se fosse o transmissor. Para aplicações como essas, a qualidade do sinal é fundamental e requer VCOs melhores do que os obtidos com circuitos de carga capacitiva simples como os do '4046.

Para este tipo de aplicação, você pode obter chips PLL destinados ao uso com VCOs externos e não incluem um oscilador no chip; exemplos são a série NSC LMX2300 ou o compatível ADI ADF4116–18. Essas famílias incluem membros com detectores de fase que podem ser executados para 6 GHz e além. Com tais chips PLL você pode usar qualquer VCO comercial; ou você pode fazer o seu próprio (por exemplo, um oscilador JFET *LC* , sintonizado eletricamente com um varactor, §1.9.5B). Um exemplo deste último é o oscilador JFET disciplinado por PLL da Figura 7.29, com um espectro de ruído conforme mostrado na Figura 7.30.

Recentemente, houve um esforço considerável para integrar VCOs de alta qualidade diretamente no chip PLL, para que você não precise instalar um oscilador separado. Alguns deles precisam de um indutor externo (a parte mais difícil de integrar com a indutância necessária e com fator de qualidade Q suficiente), por exemplo o ADF4360-8. Outros incluem todos os componentes no chip, por exemplo, o LMX2531 ou ADF4360-3; estes últimos são destinados ao uso de celulares e possuem faixas de sintonia do oscilador VCO relativamente estreitas, da ordem de 5%. Outras tecnologias usadas para osciladores on-chip incluem ressonadores microusinados de ícone sil (MEMS) (por exemplo, as séries SiTime SiT3700-, 8100-, 9100) e ressonadores de onda acústica de superfície (SAW) (por exemplo, a série IDT M680). Eles têm faixas de ajuste de VCO muito estreitas (ÿ100 ppm), mas você obtém ruído de fase e jitter muito baixos, como acontece com a tecnologia competitiva de osciladores de cristal com uma faixa estreita semelhante de ajuste de tensão (um VCXO; usado, para exemplo, dentro do IDT 810252 PLL).

G. Sincronização de pulso e regeneração de sinal limpo Na transmissão de sinal digital, uma cadeia de bits contendo a informação é enviada por um canal de comunicação.

A informação pode ser intrinsecamente digital ou pode ser sinais analógicos digitalizados, como na “modulação por código de pulso” (PCM). Uma situação intimamente relacionada é a decodificação de informações digitais de fita magnética ou disco, ou armazenamento em disco óptico. Em tais casos, pode haver ruído ou variações na taxa de pulso (por exemplo, devido ao estiramento da fita), e é desejável ter um sinal de clock limpo na mesma taxa dos bits que você está tentando ler. PLLs funcionam muito bem aqui. O filtro passa-baixo PLL seria projetado para seguir as variações de taxa inerentes ao fluxo de dados (por exemplo, variações na velocidade da fita ou do disco), ao mesmo tempo em que elimina o ruído e o jitter ciclo a ciclo que vêm de uma qualidade de sinal de clock recebida abaixo do ideal . Esse aplicativo amplamente difundido costuma ser chamado de “recuperação de relógio e dados” (CDR). Um exemplo no mundo do áudio é o Receptor de Interface de Áudio Digital Burr–Brown (TI) DIR9001, que inclui um subsistema de recuperação de clock PLL/VCO de baixo jitter no chip, juntamente com a demo É programável de forma flexível para lidar com uma ampla gama de taxas de dados (28–108 ksps) e formatos digitais (com nomes como S/PDIF, AES3, IEC60958 e CPR-1205).

Tabela 13.13 Loops de bloqueio de fase selecionado

Fornecer

Pacotes

Freq de saída VCO freq min

Frequência de entrada de referência

Tensão Corrente

max min max min max @Vs PD

mín. máx. típico

Preço

Parte # VCOb (MHz) (MHz) (MHz) (MHz) (MHz) (MHz) (V) tipo

(V) (V) (mA)

qtd 25

LMC568 IRC 0 F 0 0,6M 0 0,6M CD4046 1 0,5 5 - - - - 2 9 0,75 - 1,25 -8 -- A

74HC4046 IRC 0 11M 0 11M 74HCT9046 IRC 0 [illegible] 0,4 10 1,2 - - - 3,5 5,5 ... [illegible]

74HC7046 IRC 0 38 08 74ACT297 iX 40 1337 iC 0 24 1,2 - - - 2 q 1,28 16 16 - - F 0 55 5 1 - - - 4,5 5,5 - 1,53 - 16 - - G 40 5 2 - - - 4,7 5,3 - 3,29 - 18 - - H

0,25 120 ADF4360-8 iL ADF4110 eV 2280 1025 2280 int 2 - - - 4,5 5,5 0 4,29 - - 16 - ... [illegible]

32 O 2 • - 4,7 5,3 28 - 16,00 - 20 - P 2 • - 2,3 5,5 2,5 - 7,00 - - 16 16 Q,S 2 - • - 3,0 3,6 a 880 •

17,96 - 64 R 2 • - 3,1 3,5 170 • 14,31 - 64 T

6

22 50 64

96 10 130

2 5 15

SY89421 INT/EV 20 1120 480 1120 30 560 5 LMX2316 EV 100 3 500 3,3

AD9510 EVX 0 1200 0 1600 0 250 3,3 MPC9230 INT 50 800 800 1800 10 20

CDCE72010 eVX 0 800 < 1 1500 CDCM61001

INT 62 625 1750 2050 21.9 28.5.5 3,3 3.3 CDCM61001

- - • 3,1 3,5 110m - 5,84 - 28p 32 - S,U - • • 3,0 3,6 95 • 5,74 - - - - 2,8

3,2 38 • 10,44 - - • 3,1 3,5 149 - 9,40 - - 3,3 10 3,6 120 • 9,23 32 27 •

LMX2531 INT 553 3132 1106 3132 AD9552 INT 50 5 80 3 2 15,00 - - 36 S,W

900 3350 4050 6.6 112 3,3 ADF4350 INT 137 4400 2200 4400 10 105 3,3 2 • - 32X

100O 500 6000 20 300 3 ADF4106 EV 100O 4000 18000 10 400 3 Adf410202 2 - 36 S,Y

2 • - 18 20 Z

2 • - 20S

Notas: (a) classificado aproximadamente pelo aumento do VCO fmax. (b) eV - VCO externo; eVX - VCO externo ou VCXO; int/eV - int ou eV; iL - VCO interno com indutor externo; int - VCO interno, sem componentes externos; iR - VCO interno com resistor externo; iRC - VCO interno com R e C externo; iX - VCO interno com xtal externo nu. (d) 25, 125, 156,25 e 312,5 MHz apenas. (f) demod FM e FSK, largura de banda de áudio. (g) a 10kHz e 10V. (m) mín ou máx. (o) detector de fase multiplexado na saída. (p) PLCC. (q) sem modo de desligamento, mas corrente quiescente <1ÿA.

Comentários: **A:** Aplicativos de demo FM e FSK. **B:** CMOS clássico 4000B (“HV”). **C:** HCMOS clássico. **D:** 4046 melhorado, sem zona morta. **E:** LVCMOS. **F:** 74HCT também disponível. **G:** PLL digital de 1ª ordem. **H:** pode operar em 3V, 14-21MHz. **I:** oscilador de anel interno. **J:** fref=8-30MHz com xtal nu; ref pode ser VCXO; pode gerar espectro espalhado. **K:** pode operar em 3V, 38-55MHz. **L:** pode operar em 3,3V, 0,25-100MHz; ICS663 (SOIC-8) carece de desligamento e habilitação de saída. **M:** osc local sem fio com sintetizador PLL; versões com outras faixas de frequência. **N:** osc local sem fio com sintetizador PLL n inteiro; Versões de 1,2 GHz, 3 GHz e 4 GHz. **O:** PLL de 2 estágios (VCXO PLL aciona o multiplicador PLL, com divisores de entrada e saída, para Gigabit e 10-Gig Ethernet. **P:** pode operar em 3,3V; saídas PECL complementares; ext osc para 2GHz. **Q:** wireless local-osc com sintetizador PLL; versões de 0,55 GHz e 2,8 GHz. **R:** oito divisores individuais, distribuição de clock de saída, referências múltiplas, altamente complexo. **S:** interface SPI. **T:** oito saídas LVDS, jitter de 0,2 ps, atraso ajustável. **U:** local sem fio osc com sintetizador PLL; diff'l PECL; interfaces paralelas e SPI; substitui MC12430. **V:** gerador de relógio Ethernet, etc.; quatro saídas; jitter <1ps. **W:** osc local sem fio com sintetizador PLL; baixo ruído estável; p /n seleciona banda de frequência de ±5%. **X:** delta-sigma fracionário-n; jitter de 0,5 ps; inclui osc xtal. **Y:** osc local sem fio com sintetizador PLL; jitter de 0,5 ps. **Z:** ADF4107=7GHz, ADF4108=8GHz.

H. Geradores de clock

Como observamos anteriormente, há muitas aplicações que clamam por um conjunto de frequências de clock padrão, sintetizadas a partir de uma única entrada de oscilador, nas quais as sutilezas de baixo ruído de fase e esporas, etc., são menos preocupantes do que a contagem mínima de peças e a capacidade de programar entre algumas frequências padrão. Ver Tabela 13.13. Um exemplo é o IDT 8430S010i: é um único chip PLL com várias saídas sintetizadas destinadas ao processador embarcado ap plicações. Você conecta um único cristal de 25 MHz e obtém (a) a escolha de duas frequências de clock do processador, (b) a escolha de quatro frequências de clock PCI ou PCIe, (c) a escolha de quatro frequências de clock DDR DRAM, (d) gigabit Ether net Relógio MAC e relógios PHY, e (e) escolha de três frequências de link SP14.2.

Peças como esta podem usar um protocolo de programação serial semelhante ao SPI interchip simples, ou podem ser pin-strapable (como este é). Ou podem permitir ambos, como por exemplo

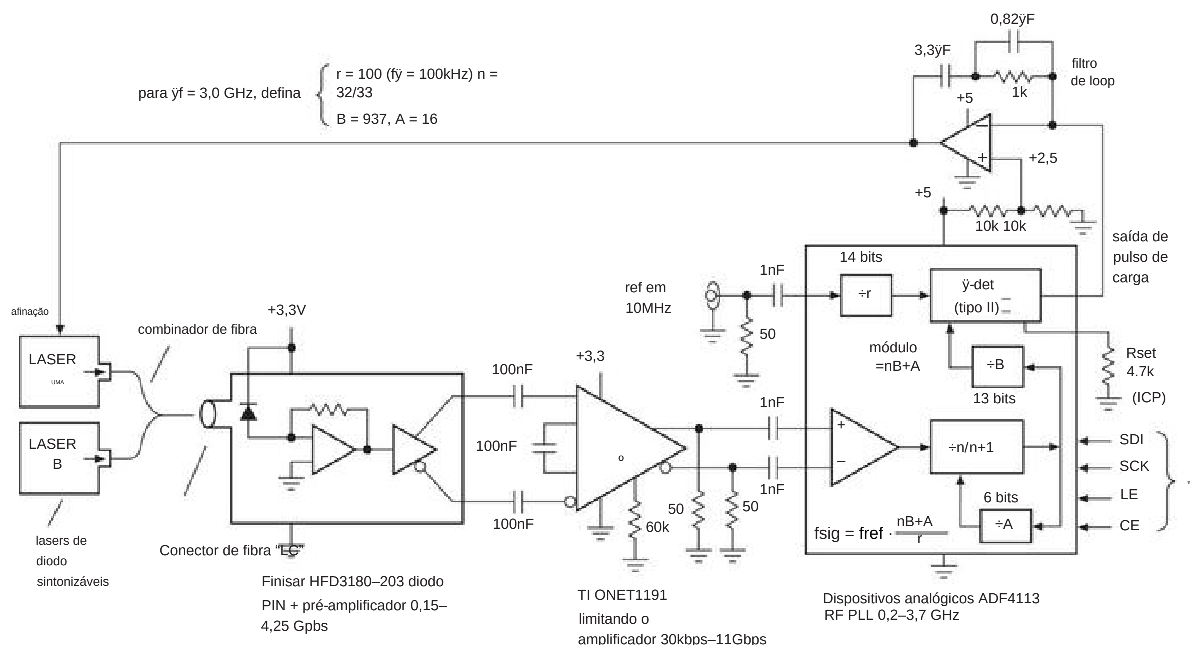


Figura 13.109. Controlar um laser de diodo para manter uma diferença de frequência óptica desejada em relação a um laser de referência. Os componentes desse circuito custam menos de US$ 40, sem contar os lasers; os últimos estão em um estádio completamente diferente, aproximadamente "40 dB $".

o venerável NBC/MC12430 (ou equivalente MPC9230), um PLL simples inteiro n com um contador n de 9 bits e um contador m de 3 bits , programável de 50 a 800 MHz. O VCO on-chip sintoniza de 400 a 800 MHz e provavelmente usa um oscilador de anel de cadeia inversora (a folha de dados não fala).

Nós os usamos como uma fonte de relógio em um instrumento peculiar de aquisição de dados de terasample/segundo que construímos para detectar sinais de laser pulsados intencionais de possíveis civilizações extraterrestres (sem brincadeira).

I. Bloqueio de deslocamento do laser Em algumas aplicações científicas, é útil poder controlar um laser sintonizável, de modo que a frequência de sua emissão óptica seja compensada por uma diferença de frequência específica daquela de um laser de "referência". Como um exemplo específico, uma técnica favorita no negócio de "resfriamento a laser" é submeter um feixe de átomos a feixes convergentes de luz laser em uma frequência ligeiramente abaixo da ressonância natural do átomo. O efeito Doppler faz com que um átomo se mova em direção a um desses lasers para ver a luz deslocada para cima em frequência, portanto mais fortemente absorvida pelo átomo, que é retardado pelo momento transferido.[131]

Um loop de bloqueio de fase é perfeito para esse *bloqueio de compensação.* A Figura 13.109 mostra como isso acontece, conforme implementado no laboratório de um colega.[132] Uma parte da luz do par de lasers de diodo sintonizáveis é combinada e enviada para um módulo detector/amplificador de diodo PIN de banda larga. O que acontece lá é interessante; vamos fazer isso em duas etapas. (a) Em um processo completamente linear, os dois feixes de laser combinados criam uma forma de onda que consiste em uma onda senoidal na frequência média do laser, modulada (multiplicada) por uma onda senoidal na metade da diferença de frequência (Figura 13.110). (b) O detector não pode seguir as ondas *ópticas ,* cuja frequência é de aproximadamente 1014 Hz. Ele responde apenas à *intensidade* da luz, proporcional ao quadrado do "envelope" mostrado na Figura 13.110. E o quadrado de uma onda senoidal é apenas uma onda senoidal com o dobro da frequência, mais um deslocamento CC para que fique no topo do eixo horizontal, conforme mostrado.

Em outras palavras, na saída do módulo detector você obtém um sinal na frequência de diferença dos lasers (também chamada de *frequência de batida):* fPDout = | f2 ÿ f1| ÿ *ÿf .* A função do restante do circuito é simplesmente realimentar um sinal de controle para o laser A, de modo que a diferença de frequência *ÿf* seja igual ao deslocamento desejado. Isso é feito com um PLL n fracionário, aqui precedido por um amplificador limitador que cria um

[131] Isso é conhecido pelo termo colorido "melaço óptico". Adicione alguns campos magnéticos, e mais alguns truques, e você terá um magneto-óptico. armadilha.

[132] Ao sempre competente Dr. Andrew Speck, a quem agradecemos por esta e outras excelentes sugestões.

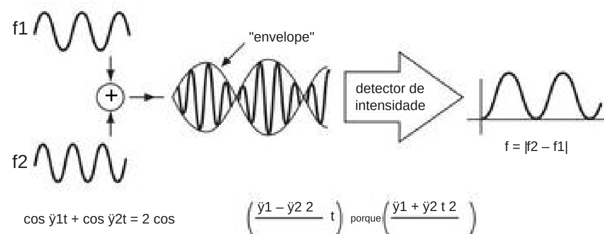


Figura 13.110. Uma combinação linear de duas ondas senoidais produz uma onda na frequência média com um "envelope" de amplitude senoidal. Um fotodetector não pode capturar as próprias frequências ópticas (ÿ 1014 Hz); ele responde à intensidade (o quadrado do envelope), produzindo uma "frequência de batimento" de saída igual à diferença de frequência dos lasers.

sinal saturado de 0,6 Vpp de uma saída do detector entre 10 mV e 1 V.

Para a aplicação de resfriamento/captura de laser, o deslocamento de frequência *ÿf* está na faixa de 10 MHz ou mais, em relação à frequência de ressonância óptica muito mais alta; para átomos de rubídio, o último é 3,85 × 1014 Hz, correspondendo a um comprimento de onda de 780,24 nm . o estado fundamental de 85Rb, então você precisa expulsar (o termo educado é "bombear opticamente") os átomos que caem até o fundo com alguma luz de laser que é compensada por essa diferença de energia. Isso é cerca de 3 GHz,134 e é por isso que este circuito foi projetado para compensações na faixa de gigahertz, conforme indicado pelas notações na figura.

13.13.7 Wrapup: rejeição de ruído e jitter em PLLs

Vimos aplicações em que a referência é o sinal de maior qualidade (por exemplo, múltiplos sinais de clock derivados de uma única referência de cristal estável) e aplicações em que o oposto é verdadeiro, ou seja, que o sinal gerado por PLL é mais limpo que a referência (por exemplo , recuperação de clock em um canal ruidoso, onde a ação "flywheel" do VCO limpa a saída).

É útil, ao pensar sobre esses tipos de problemas ao definir larguras de banda de loop e similares, para entender como o ruído ou jitter que se origina em lugares diferentes (entrada de referência, detector de fase ou VCO) é filtrado pela ação do PLL. Você pode escrever muitas equações neste ponto. Mas não é difícil obter uma compreensão intuitiva simplesmente observando o diagrama do loop (Figura 13.85): (a) o jitter na entrada de referência é filtrado por um *filtro passa* -baixo , porque as variações dentro da largura de banda do loop PLL são rastreadas pelo VCO, enquanto as variações rápidas são ignorados pelo volante do VCO; (b) o jitter intrínseco no próprio VCO é filtrado por *alta frequência ,* porque as variações dentro da largura de banda do loop são detectadas e removidas pelo loop; e (c) o jitter introduzido pelo detector de fase é filtrado por *banda ,* porque variações lentas (dentro da largura de banda do loop) são detectadas e removidas, e variações rápidas são suprimidas pelo filtro de loop (lowpass) e a ação de integração *(ÿ ÿ)* do VOC.

Assim, por exemplo, um PLL com entrada de referência limpa se beneficia de uma largura de banda de loop ampla, enquanto um PLL apresentado com uma referência intrinsecamente estável que adquiriu ruído aditivo na transmissão se beneficiará de uma largura de banda de loop estreita (e um VCO intrinsecamente limpo).). E o "ruído" pode ser mais sutil: o sinal VCO dividido visto pelo detector de fase em um PLL n fracionário tem jitter (introduzido pelas mudanças deliberadas de módulo); uma largura de banda de loop estreita suaviza essa fonte de jitter também.

Claro, se a saída PLL precisa de agilidade (como com decodificação de tom ou demodulação FM), a largura de banda do loop deve ser adaptada de acordo, independentemente das compensações de ruído e jitter.

13.14 Sequências de bits pseudo-aleatórias e geração de ruído

13.14.1 Geração de ruído digital

Uma mistura interessante de técnicas digitais e analógicas está incorporada no assunto de sequências de bits pseudoaleatórios (PRBSs).135 Acontece que é notavelmente fácil gerar sequências de bits (ou palavras) que tenham boas propriedades de aleatoriedade, ou seja, uma sequência que tenha o mesmo tipo de probabilidade e propriedades de correlação de uma máquina de jogar moedas ideal. Como essas sequências são geradas por elementos lógicos determinísticos padrão (registradores de deslocamento, para ser exato), as sequências de bits geradas são de fato previsíveis e repetíveis, embora qualquer parte de tal sequência pareça para todo o mundo como uma sequência aleatória de 0s e 1s.

[133] Esse é o comprimento de onda usado em gravadores de CD; assim, o sistema da Figura 13.109 foi implementado economicamente usando um par desses onipresentes diodos de laser, que podem produzir 100 mW (cuidado, definitivamente *não* é seguro para os olhos!). Para ajustar essas coisas, você conecta uma grade externa piezo-inclinável, ajustando a corrente do diodo em conjunto para manter seu comprimento de onda acompanhando o da cavidade externa. Almas menos criativas podem investir dinheiro no problema: você pode comprar lasers de diodo sintonizáveis de empresas como New Focus, ThorLabs e Toptica. 134 Na verdade, 3,035732439 GHz, se você realmente precisa saber.

[135] Este é o exemplo que usamos no Capítulo 11 para ilustrar a lógica programável, onde comparamos as implementações de PRBS em lógica discreta, em lógica programável e em um microcontrolador. Consulte também seu uso como gerador de ruído analógico em §8.12.4A.

Com apenas alguns chips você pode gerar sequências que duram literalmente séculos sem se repetir, tornando esta uma técnica muito acessível e atraente para a geração de sequências de bits digitais ou formas de onda de ruído analógico.

Ao gerar diagramas de olho (por exemplo, Figuras 12.132 e 14.33) ou testar links seriais para taxas de erro de bit (BERs), é comum usar uma fonte PRBS. Os PRBSs também são usados para "embaralhar" (deterministicamente) os dados seriais em comunicações Gigabit Ethernet, a fim de gerar um padrão de bits ativo para o link físico acoplado (transformador); o embaralhamento é revertido no final da recepção, por XOR-ing com um PRBS sincronizado executando a mesma sequência.

A. Ruído analógico A filtragem passa-baixa simples do padrão de bit de saída de um PRBS gera ruído gaussiano branco limitado em banda, ou seja, uma tensão de ruído com um espectro de potência plano até alguma frequência de corte (consulte o Capítulo 8 para saber mais sobre ruído). Alternativamente, uma soma ponderada do conteúdo do registrador de deslocamento (através de um conjunto de resistores) executa *a filtragem digital,* com o mesmo resultado. Espectros de ruído plano de vários megahertz podem ser facilmente feitos dessa maneira. Como você verá mais tarde, essas fontes de ruído analógico de tamanho sintetizado digitalmente têm muitas vantagens sobre as técnicas puramente analógicas, como diodos ou resistores de ruído.

B. Outras aplicações Além de suas aplicações óbvias como fontes de ruído analógico ou digital, as sequências de bits pseudoaleatórios são úteis em várias aplicações que nada têm a ver com ruído. Como acabamos de mencionar, eles são usados para geração de padrões em testes de link serial (diagramas de olho, taxa de erro de bit) e para embaralhamento de bits (em oposição à criptografia real) em protocolos de rede serial como Ethernet. São utilizados em comunicações digitais de espectro espalhado de "sequência direta" (em que cada bit a ser transmitido é enviado como uma sequência pré-determinada de "chips" mais curtos); tal técnica é usada, por exemplo, em sistemas de telefonia celular CDMA (acesso múltiplo por divisão de código) e na cifra de privacidade airlink do padrão celular GSM. Eles também são usados na transmissão de TV digital. Essas sequências são amplamente utilizadas em códigos de detecção e correção de erros, pois permitem a transcrição de blocos de dados de forma que as mensagens válidas sejam separadas pela maior "distância de Hamming" (medida pelo número de bits erros). Suas boas propriedades de autocorrelação os tornam ideais para códigos de alcance de radar, nos quais o eco retornado é comparado (correlacionado de forma cruzada, para ser exato) com a cadeia de bits transmitida. Eles podem até ser usados como divisores modulares compactos .

13.14.2 Sequências de registro de deslocamento de feedback

O gerador de PRBS mais popular (e o mais simples) é o registrador de deslocamento com realimentação linear (LFSR, Figura 13.111). Um registrador de deslocamento de comprimento *m* bits é sincronizado a uma taxa fixa, f0. Uma porta OU exclusivo gera o sinal de entrada serial a partir da combinação OU exclusivo do enésimo bit e o último (mésimo) bit do registrador de deslocamento. Tal circuito passa por um conjunto de estados (definido pelo conjunto de bits no registrador após cada pulso de clock), eventualmente se repetindo após *K* pulsos de clock; ou seja, é cíclico com período K.

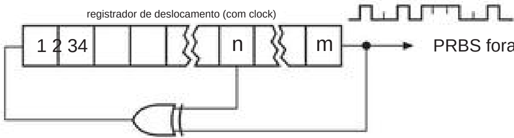


Figura 13.111. Gerador de sequência de bits pseudo-aleatória.

O número máximo de estados concebíveis de um registrador de m bits é *K* = 2m, ou seja, o número de combinações binárias de *m* bits. No entanto, o estado de todos os 0s ficaria "preso" neste circuito, porque o OU-exclusivo regeneraria um 0 na entrada. Portanto, a sequência de comprimento máximo que você pode gerar com esse esquema é 2mÿ1. Acontece que você pode fazer tais "sequências de registradores de deslocamento de comprimento máximo" se *m* e *n* forem escolhidos corretamente e a sequência de bits resultante for pseudoaleatória.136 Como exemplo, considere o registrador de deslocamento de feedback de 4 bits na Figura 13.112 . Começando com o estado 1111 (podemos começar em qualquer lugar, exceto 0000), podemos escrever os estados pelos quais ele passa:

1111
0111
0011
0001
1000
0100
0010
1001
1100
0110
1011
0101
1010
1101
1110

Escrevemos os estados como números de 4 bits

136 O critério para comprimento máximo é que o polinômio *1+xn+xm* seja irredutível e primo sobre o campo de Galois GF(2).

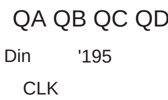


Figura 13.112. Registro de deslocamento de realimentação linear de 4 bits (m=4, n=3; 15 estados).

QAQBQCQD. Existem 15 estados distintos (24-1), após os quais começa novamente; portanto, é um registrador de comprimento máximo.

Exercício 13.8. Demonstre que um registrador de 4 bits com toques de realimentação no segundo e no quarto bits não tem comprimento máximo. Quantas sequências distintas existem? Quantos estados dentro de cada sequência?

A. Taps de feedback

Os registradores de deslocamento de tamanho máximo podem ser feitos com feedback OR exclusivo de mais de dois taps (nesses casos, você usa várias portas OR exclusivas na configuração padrão da árvore de paridade, ou seja, adição módulo-2 de vários bits) . De fato, para alguns valores de m, um registrador de comprimento máximo pode ser feito apenas com mais de dois toques. A Tabela 13.14 é uma lista de todos os valores de *m* até 167 para os quais os registros de comprimento máximo podem ser feitos com apenas dois toques, ou seja, realimentação do enésimo bit e do mésimo (último) bit, como anteriormente. Um valor é dado para *n* e para o comprimento do ciclo K, em ciclos de clock. Em alguns casos existe mais de uma possibilidade para n, e em todos os casos o valor mÿn pode ser usado ao invés de n; assim, o exemplo anterior de 4 bits poderia ter usado toques em n=1 e m=4. Como os comprimentos do registrador de deslocamento em múltiplos de 8 são comuns, você pode querer usar um desses comprimentos. Nesse caso, são necessários mais de dois toques. A Tabela 13.15 fornece os números mágicos.

Raramente é necessário usar um registrador muito maior que 32 bits: quando sincronizado a 1 MHz, o tempo de repetição é de cerca de uma hora. Vá para 64 bits e você pode atingir 1 GHz por seis séculos antes que volte a acontecer.

Tabela 13.14 LFSRs de toque único mn

m n	comprimento	m n	comprimento	m n	comprimento
3 2	7	49 40	5.6e14	108 77	3.2e32
4 3	15	52 49	4,5e15	111 101	2,6e33
5 3	31	55 31	3,6e16	113 104	1,0e34
6 5	63	57 50	1.4e17	118 85	3.3e35
7 6	127	58 39	2.9e17	119 111	6.6e35
9 5	511	60 59	1.2e18	121 103	2.7e36
10 7	1023	63 62	9.2e18	123 121	1.1e37
11 9	2047	65 47	3.7e19	124 87	2.1e37
15 14	32767	68 59	3.0e20	127 126	1.7e38
17 14	1.3e5	71 65	2.4e21	129 124	6.8e38
18 11	2.6e5	73 48	9.4e21	130 127	1.4e39
20 17	1.0e6	79 70	6,0e23	132 103	5,4e39
21 19	2.1e6	81 77	2.4e24	134 77	2.2e40
22 21	4.2e6	84 71	1.9e25	135 124	4.4e40
23 18	8.4e6	87 74	1,5e26	137 116	1,7e41
25 22	3,4e7	89 51	6,2e26	140 111	1,4e42
28 25	2,7e8	93 91	9,9e27	142 121	5,6e42
29 27	5.3e8	94 73	2.0e28	145 93	4.5e43
31 28	2.1e9	95 84	4.0e28	148 121	3.6e44
33 20	8.6e9	97 91	1.6e29	150 97	1.4e45
35 33	3,4e10	98 87	3,2e29	151 148	2,9e45
36 25	6.9e10	100 63	1.3e30	153 152	1.1e46
39 35	5,5e11	103 94	1,0e31	159 128	7.3e47
41 38	2.2e12	105 89	4.1e31	161 143	2.9e48
47 42	1.4e14	106 91	8.1e31	167 161	1.9e50

Tabela 13.15 Comprimento múltiplo de 8 LFSRs

m torneiras comprimento m torneiras comprimento

8 4, 5, 6 255 96 47, 49, 94 7.9e28 16 4, 13, 15 104 93, 94, 103

2.0e31 24 17, 22, 23 16M 64K 67, 69, 1? 1,0e... 1,3e... 2,1e...

128 99, 101, 126 3,4e38 48 20, 21, 47 2,8e14 56 112 ... 1,7e40

7,42e1 , 143 2,2e43 64 60, 61, 63 ... 19, 25, 66 ... 1,

B. Propriedades de sequências de registro de deslocamento de comprimento máximo

Geramos uma sequência de bits pseudo-aleatórios de um desses registradores marcando-o e observando os bits de saída sucessivos. A saída pode ser obtida de qualquer posição do registrador; é convencional usar o último (mésimo) bit como saída. As sequências de registro de deslocamento de comprimento máximo têm as seguintes propriedades:

1. Em um ciclo completo *(K* ciclos de clock), o número de 1s é um maior que o número de 0s. O 1 extra surge devido ao estado excluído de todos os 0s. Isso diz que cara e coroa são igualmente prováveis (o 1 extra é insignificante para qualquer registrador de comprimento razoável; um registrador de 17 bits produzirá 65.536 1s e 65.535 0s em um de seus ciclos).

2. Em um ciclo completo *(K* ciclos de clock), metade das execuções de

1s consecutivos têm comprimento 1, um quarto dos trechos tem comprimento 2, um oitavo tem comprimento 3, etc. a probabilidade de cara e coroa não depende do resultado das jogadas passadas e, portanto, a chance de encerrar uma sequência de 1s ou 0s sucessivos na próxima jogada é 1/2 (ao contrário do que as pessoas na rua entendem de a “lei das médias”).

3. Se um ciclo completo (*K* ciclos de clock) de 1s e 0s for comparado com a mesma sequência deslocada ciclicamente por qualquer número de bits *n* (onde *n* não é 0 ou um múltiplo de K), o número de discordâncias será um maior do que o número de acordos. Em linguagem sofisticada, a função de autocorrelação é um delta de Kronecker com atraso zero e ÿ1/ K em todos os outros lugares. Essa ausência de “sidelobes” na função de autocorrelação é o que torna os PRBSs tão

útil para alcance de radar.

Exercício 13.9. Mostre que a sequência do registrador de deslocamento de 4 bits listada anteriormente (taps em $n = 3$, $m = 4$) satisfaz essas propriedades, considerando o bit *QA* como a “saída”: 100010011010111.

13.14.3 Geração de ruído analógico a partir de sequências de comprimento máximo

A. Vantagens do ruído gerado digitalmente Como observamos anteriormente, a saída digital de um registrador de deslocamento de realimentação de comprimento máximo pode ser convertida em ruído branco de banda limitada com um filtro passa-baixa cuja frequência de corte está bem abaixo da frequência de clock do registrador. Antes de entrar em detalhes, apontamos algumas das vantagens do ruído analógico gerado digitalmente. Entre outras coisas, permite gerar ruído de espectro e amplitude conhecidos (consulte o exemplo de circuito em §8.12.4A), com largura de banda ajustável (através do ajuste da frequência do relógio), usando circuitos digitais confiáveis e de fácil manutenção. Não há nenhuma variabilidade de geradores de ruído de diodo, nem há interferência e problemas de captação que afligem os circuitos analógicos de baixo nível sensíveis usados com geradores de ruído de diodo ou resistor. Por fim, ele gera “ruído” repetível e, quando filtrado com um filtro digital ponderado (mais sobre isso posteriormente), formas de onda de ruído repetíveis independentemente da taxa de clock (largura de banda do ruído de saída).

13.14.4 Espectro de potência do registrador de deslocamento sequências

O espectro de saída gerado pelos registradores de deslocamento de comprimento máximo consiste em ruído que se estende da frequência de repetição frequência de toda a sequência, fclock/K, até a frequência do clock e além. É plano dentro de ±0,1dB até 12% da frequência do clock (fclock), caindo rapidamente além de seu ponto de ÿ3 dB de 44% fclock. Assim, um filtro passa-baixa com um corte de alta frequência de 5% a 10% da frequência do clock converterá a saída do registrador de deslocamento não filtrada em uma tensão de ruído analógico limitada em banda. Mesmo um simples filtro *RC* será suficiente, embora possa ser desejável usar filtros ativos com características de corte preciso (consulte o Capítulo 6) se for necessária uma banda de frequência de ruído precisa.

Para tornar essas declarações mais precisas, vamos examinar a saída do registrador de deslocamento e seu espectro de potência. Geralmente é desejável eliminar a característica de offset dc dos níveis lógicos digitais, gerando uma saída de bipolaridade com 1 correspondendo a +*a* volts e 0 correspondendo a -*a* volts (Figura 13.113). Isso pode ser feito de várias maneiras, por exemplo, referindo-se à Figura 13.114, (A) com uma chave CMOS linear 'HC4053, operando a partir de fontes duplas e com um par de entradas ligadas a ±*a* volts; (B) com um amplificador operacional rápido com corrente de deslocamento CC em uma junção de soma; (C) com um comparador rápido de trilho a trilho rodando entre alimentações divididas de ±a-volt; (D) com uma porta lógica CMOS, alimentada por fontes de ±a-volt, acionada por uma oscilação lógica devidamente deslocada e dimensionada; ou (E) com a mesma porta lógica, acionada por uma oscilação lógica travada por diodo (e limitada por corrente). Este último método é um pouco estranho e funciona apenas se a tensão de alimentação total (Vtotal=2a) estiver na faixa de uma família lógica padrão (digamos, 1–5 V); mas é excelente em velocidade. Não é acoplado em CC, portanto requer uma entrada lógica ocupada; tudo bem aqui - um PRBS é peripatético e não pode descansar por mais de *m* períodos de relógio.[137]

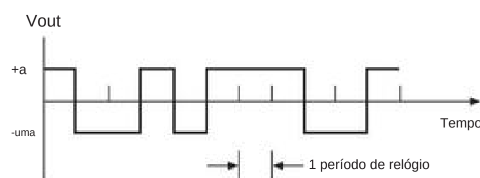


Figura 13.113. Uma forma de onda PRBS simétrica elimina o componente DC.

Como observamos anteriormente, a cadeia de bits de saída tem um único pico em sua autocorrelação. Se os estados de saída representarem +1 e -1, a autocorrelação digital (a soma do produto dos bits correspondentes, quando a cadeia de bits é comparada com uma versão deslocada de si mesma) é mostrada na Figura 13.115.

[137] Parafraseando Woody Allen, “Uma entrada lógica acoplada fixa é como um tubarão; tem que continuar se movendo, ou morre.

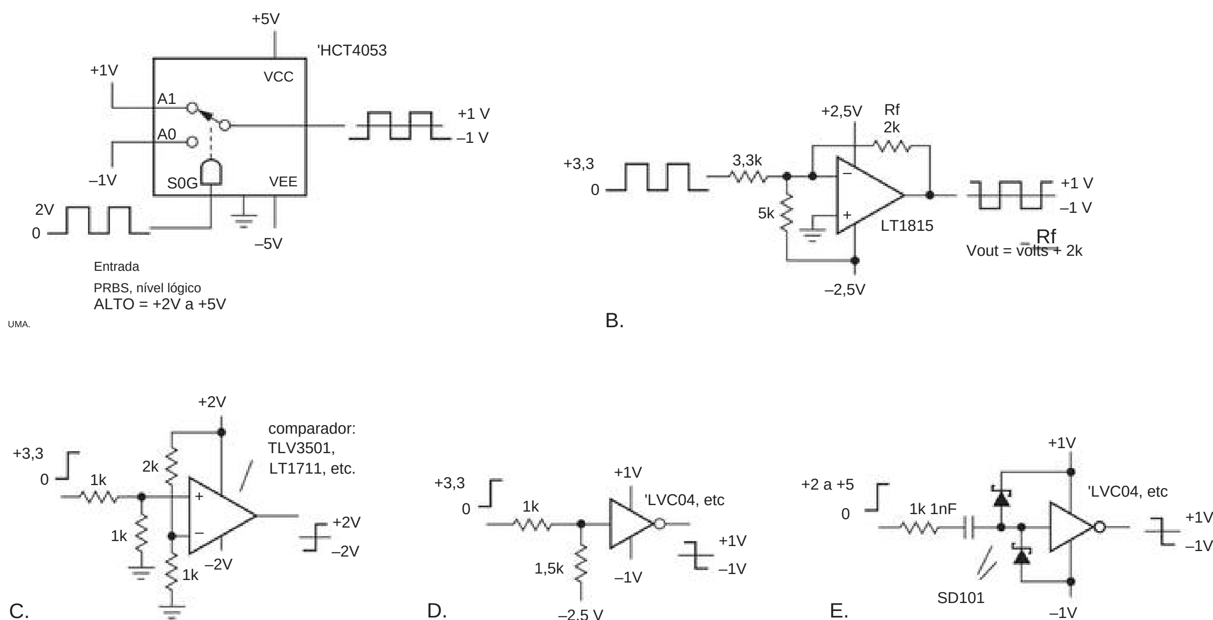


Figura 13.114. Convertendo uma oscilação lógica somente positiva em uma forma de onda de tensão simétrica.

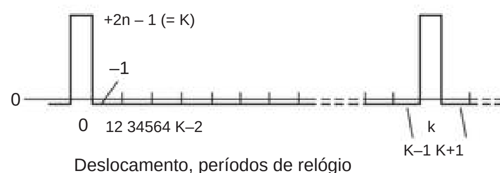


Figura 13.115. Autocorrelação discreta de ciclo completo para uma sequência de registro de deslocamento de comprimento máximo.

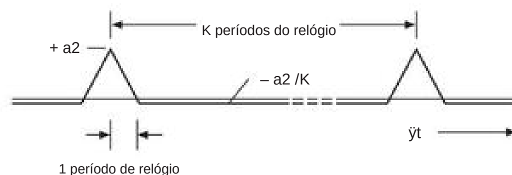


Figura 13.116. Autocorrelação contínua de ciclo completo para uma sequência de registro de deslocamento de comprimento máximo.

Não confunda isso com uma função de autocorrelação *contínua* , que consideraremos mais adiante. Este gráfico é definido apenas para deslocamentos correspondentes a um número inteiro de ciclos de clock. Para todos os deslocamentos que não são zero ou um múltiplo do período geral K, a função de autocorrelação tem um valor constante -1 (porque há um 1 extra na sequência), insignificante quando comparado com o valor de autocorrelação de deslocamento zero de K. Da mesma forma, se considerarmos a saída não filtrada do registrador de deslocamento como um sinal *analógico* (cuja forma de onda assume valores de *+a* e *ÿa* volts apenas), a autocorrelação normalizada torna-se uma função contínua, conforme mostrado na Figura 13.116 . Em outras palavras, a forma de onda é totalmente não correlacionada consigo mesma quando deslocada mais de um período de relógio para frente ou para trás.

O espectro de potência da saída digital não filtrada pode ser obtido da autocorrelação por técnicas matemáticas padrão. O resultado é um conjunto de séries de picos igualmente espaçados (funções delta), começando na frequência em que toda a sequência se repete, fclock/K, e aumentando a frequência em intervalos iguais fclock/K. O fato de o espectro consistir em um conjunto de linhas espectrais discretas reflete o fato de que a sequência de registro de deslocamento eventualmente (e periodicamente) se repete. Não se assuste com esse espectro engraçado; ele parecerá contínuo para qualquer medição ou aplicação que leve menos tempo que o tempo de ciclo do registrador. O envelope do espectro da saída não filtrada é mostrado na Figura 13.117. O envelope é proporcional ao quadrado de *(senx)/ x.* Observe a propriedade peculiar de que não *há* potência de ruído na frequência do clock ou em seus harmônicos.

A. Tensão de ruído

É claro que, para geração de ruído analógico, você usa apenas uma parte da extremidade de baixa frequência do espectro. Acontece que é fácil calcular a potência do ruído por hertz em termos de meia amplitude *(a* volts) e a frequência do relógio

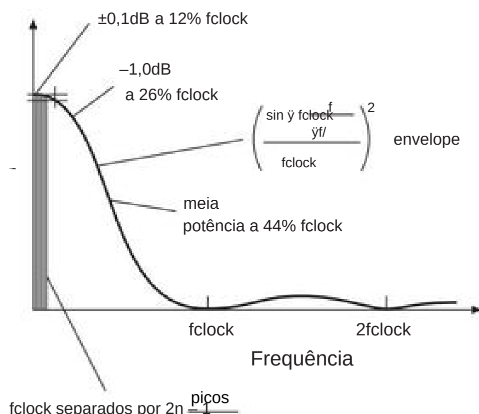


Figura 13.117. Espectro de potência do sinal de saída do registrador de deslocamento digital não filtrado.

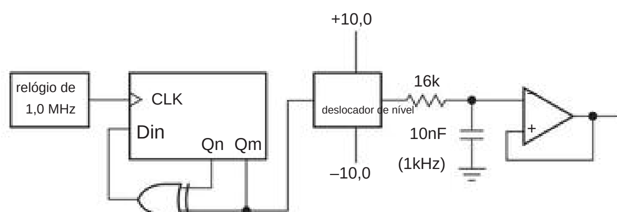


Figura 13.118. Fonte de ruído pseudo-aleatória simples.

(relógio). Expressa como uma *tensão de* ruído rms , a resposta é

$$v_{rms} = a\left(\frac{2}{f_{clock}}\right)^{1/2} \text{ V/ ÿ Hz}, \qquad (f \text{ ÿ } 0{,}2\ f_{clock}).$$

Isso é para a extremidade inferior do espectro, a parte que você normalmente usa (você pode usar a função de envelope para encontrar a densidade de potência em outro lugar).

Por exemplo, suponha que executamos um registrador de deslocamento de comprimento máximo em 1,0 MHz e o organizamos de modo que a tensão de saída oscile entre +10,0 e -10,0 volts. A saída é passada por um filtro passa-baixa *RC* simples com ponto de 3 dB a 1 kHz (Figura 13.118). Podemos calcular exatamente a tensão de ruído rms na saída. Sabemos pela equação anterior que a saída do deslocador de nível tem uma tensão de ruído rms de 14,14 mV por raiz de hertz. De §8.13 sabemos que a largura de banda de ruído do filtro passa-baixa é (/ 2)(1,0 kHz) ou 1,57 kHz. Assim, a tensão de ruído de saída é
ÿ

$$V_{rms} = 0{,}01414 \cdot (1570)^{1/2} = 560\text{mV}$$

com o espectro de um filtro passa -baixa *RC* de seção única.

13.14.5 Filtragem passa-baixa

A. Filtragem analógica

O espectro de ruído útil de um gerador de sequência pseudo-aleatória se estende de um limite de baixa frequência do período de repetição recíproca (fclock/K) até um limite de alta frequência de talvez 20% da frequência do clock (naquele frequência, a potência do ruído por hertz é reduzida em 0,6 dB). A filtragem passa-baixa simples com seções *RC* , conforme ilustrado no exemplo anterior, é adequada desde que seu ponto de 3 dB seja definido bem abaixo da frequência do clock (por exemplo, menos de 1% do fclock). Para usar o espectro mais próximo da frequência do clock, é aconselhável usar um filtro com corte mais nítido, por exemplo, Butterworth ou Chebyshev. Nesse caso, a planicidade do espectro resultante depende das características do filtro, que devem ser medidas, pois as variações dos componentes podem produzir ondulações no ganho da banda passante. Da mesma forma, o ganho de tensão real do filtro deve ser medido se o valor preciso da tensão de ruído por raiz de hertz for importante.

B. Filtragem digital

Uma desvantagem da filtragem analógica é a necessidade de reajustar o corte do filtro se a frequência do clock for alterada por grandes fatores. Em situações onde você deseja alterar a freqüência de clock, uma solução elegante é fornecida pela filtragem digital de tempo discreto, neste caso realizada tomando uma soma ponderada analógica de bits de saída sucessivos (filtragem digital não recursiva). Desta forma, a frequência de corte efetiva do filtro muda para corresponder às mudanças na frequência do relógio. Além disso, a filtragem digital permite que você vá para frequências de corte extremamente baixas (frações de hertz), onde a filtragem analógica se torna complicada.

Para executar uma soma ponderada de bits de saída sucessivos simultaneamente, você pode simplesmente olhar para as várias saídas paralelas de bits sucessivos do registrador de deslocamento, usando resistores de vários valores em uma junção de soma de amplificador operacional. Para um filtro passa-baixa, os pesos devem ser proporcionais a *(sinx)/ x;* observe que alguns níveis terão que ser invertidos, pois os pesos são de ambos os sinais. Como nenhum capacitor é usado neste esquema, a forma de onda de saída consiste em um conjunto de tensões de saída discretas.

A aproximação ao ruído gaussiano é melhorada pelo uso de uma função de ponderação sobre muitos bits da sequência. Além disso, a saída analógica torna-se essencialmente uma forma de onda contínua. Por esta razão, é desejável usar o maior número possível de estágios de registro de deslocamento, adicionando estágios de registro de deslocamento adicionais fora do feedback OU exclusivo, se necessário. Como antes, pullups ou switches MOS devem ser usados para definir níveis de tensão digital estáveis (CMOS

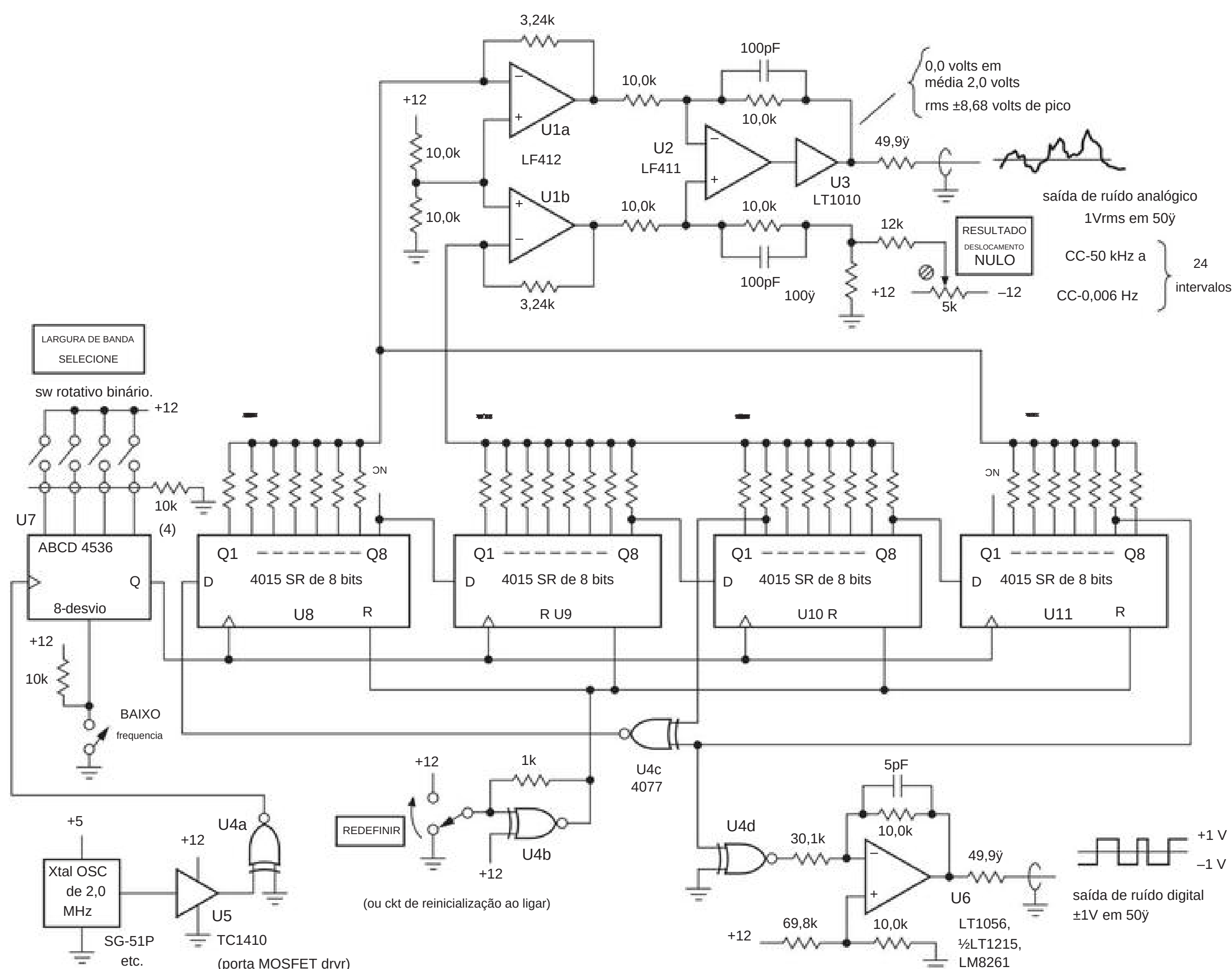


Figura 13.119. Fonte de ruído pseudoaleatório de laboratório de ampla faixa de frequência, inspirada no gerador de ruído modelo 3722A da Hewlett Packard ("Um instrumento digital de precisão", no jargão de sua época, 1967). Se você deseja manter a lógica discreta, mas precisa de maior largura de banda, pode substituir os registradores de deslocamento de 8 bits 74LV164A (com clock garantido de até 125 MHz com uma fonte de 5 V), com as alterações de circuito correspondentes. Ou você pode usar um cPLD ou FPGA rápido (§11.3.3) – mas tendo ido tão longe, você também pode implementar o filtro passa-baixa digital em um chip DSP (processador de sinal digital). Seguindo este tópico um passo adiante, você poderia apenas codificar tudo em um microcontrolador rápido (§11.3.5 e Capítulo 15), e usar seu conversor D-para-A no chip para gerar a saída de ruído analógico de banda limitada.

lógica é ideal para esta aplicação, porque as saídas saturam perfeitamente em VDD e terra).

O circuito da Figura 13.119 gera ruído analógico pseudoaleatório, com largura de banda selecionável em uma faixa enorme, usando essa técnica. Um oscilador de cristal de 2,0 MHz aciona um divisor programável 14536 de 24 estágios, gerando frequências de clock selecionáveis que vão de 1,0 MHz até 0,12 Hz por fatores de 2. Um registrador de deslocamento de 32 bits é conectado com realimentação dos estágios 31 e 18, gerando uma sequência de tamanho máximo com 2 bilhões de estados (na frequência de clock máxima, o registrador completa um ciclo em meia-hora). Neste caso, usamos uma soma ponderada *(sinx)/ x* sobre 32 valores sucessivos da sequência. Os amplificadores operacionais U1a e U1b amplificam os termos invertido e não invertido, respectivamente, acionando o amplificador de diferença U2. Os ganhos são escolhidos para gerar uma saída rms de 1,0 V sem deslocamento CC em uma impedância de carga de 50 ÿ (circuito aberto de 2,0 V rms). Observe que essa amplitude de ruído é independente da taxa de clock, ou seja, da largura de banda total. Este filtro digital tem um corte em cerca de 0,05 fclock, fornecendo um espectro de saída de ruído branco que se estende de CC a 50 kHz (na frequência máxima de clock) até CC a 0,006 Hz (na frequência mínima de clock

de largura de banda. O circuito também fornece uma forma de onda de saída não filtrada, variando entre +1,0 V e -1,0 V.

Existem alguns pontos interessantes sobre este circuito. Observe que uma porta NOR exclusiva é usada para realimentação, para que o registrador possa ser simplesmente inicializado, trazendo-o para o estado de todos os zeros. Esse truque de inverter o sinal de entrada serial torna o estado excluído o estado de todos os 1s (em vez de todos os 0s, como ocorre com o retorno de OR exclusivo usual), mas deixa todas as outras propriedades inalteradas.

Uma soma ponderada de um número finito de bits nunca pode produzir um ruído gaussiano verdadeiro, pois a amplitude de pico é limitada. Nesse caso, pode-se calcular que a amplitude de saída de pico (em 50 ÿ) é de ±4,34 V, resultando em um "fator de pico" de 4,34. A propósito, esse cálculo é importante porque você deve manter os ganhos de U1 e U2 baixos o suficiente para evitar cortes. Observe cuidadosamente os métodos usados para gerar uma saída de zero DC offset dos níveis CMOS de valor médio de +6,0 V (BAIXO=0 V, ALTO=12,0 V).

13.14.6 Encerramento

Alguns comentários sobre sequências de registradores de deslocamento como fontes de ruído analógico . número de execuções de um determinado comprimento, etc.

Uma verdadeira máquina aleatória de lançamento de moedas não geraria exatamente uma cara a mais do que coroa, nem a autocorrelação seria absolutamente plana para uma sequência finita. Em outras palavras, se você usasse os 1s e 0s que emergem do registrador de deslocamento para controlar uma "caminhada aleatória", avançando um passo para um 1 e voltando um passo para um 0, você terminaria exatamente um passo adiante. desde o seu ponto inicial depois que o registrador passou por todo o seu ciclo, um resultado que é tudo menos "aleatório".

No entanto, as propriedades do registrador de deslocamento mencionadas anteriormente são verdadeiras apenas para toda a sequência de *2n* ÿ 1 bits, *tomada como um todo.* Se você usar apenas uma seção de toda a sequência de bits, as propriedades de aleatoriedade se aproximam muito de um flipper aleatório. Para fazer uma analogia, é como se você estivesse tirando bolas vermelhas e bolas azuis aleatoriamente de uma urna contendo inicialmente *K* bolas ao todo, metade vermelhas e metade azuis. Se você fizer isso *sem substituí-los,* espera encontrar estatísticas aproximadamente aleatórias no início. À medida que a urna se esgota, as estatísticas são modificadas pela exigência de que o número total de bolas vermelhas e azuis deve sair do mesmo.

Você pode ter uma ideia de como isso acontece pensando novamente sobre o passeio aleatório. Se assumirmos que a única propriedade não aleatória da sequência de deslocamento é a igualdade exata de 1s e 0s (ignorando o único excesso 1), pode-se mostrar que o passeio aleatório conforme descrito deve atingir uma distância média do ponto inicial de *X* = [r(K

ÿr)/(K ÿ1)]1/2

após *r* extrai de uma população total de K/2 uns e K/2 zeros. Como em uma caminhada completamente aleatória *X* é igual à raiz quadrada de r, o fator (Kÿr)/(Kÿ1) expressa o efeito do conteúdo finito da urna. Enquanto *rK,* a aleatoriedade da caminhada é apenas ligeiramente reduzida do caso completamente aleatório (conteúdo infinito da urna), e o gerador de sequência pseudo-aleatória é indistinguível da coisa real.

Testamos isso com alguns milhares de passeios aleatórios mediados por PRBS, cada um com alguns milhares de passos de comprimento, e descobrimos que a aleatoriedade era essencialmente perfeita, medida por esse critério simples.

Claro, o fato de os geradores PRBS passarem neste teste simples não garante que satisfaçam alguns dos testes mais sofisticados de aleatoriedade, por exemplo, conforme medido por correlações de ordem superior. Essas correlações também afetam as propriedades do ruído analógico gerado a partir dessa sequência por filtragem. Embora a distribuição da amplitude do ruído seja gaussiana, pode haver correlações de amplitude de ordem superior não características do verdadeiro ruído aleatório. Diz-se que o uso de muitos taps de realimentação (de preferência cerca de m/2) (usando uma operação de árvore de paridade OU exclusiva para gerar a entrada serial) gera ruído "melhor" a esse respeito.

Os construtores de geradores de ruído devem estar cientes do registrador de deslocamento de comprimento variável 4557 CMOS (seis pinos de entrada definem seu comprimento, qualquer número de 1 a 64 estágios); você deve usá-lo em combinação com um registro de saída paralela (como o '4015 ou '164) para obter o *n* tap; outro chip útil é o HC(T)7731, um registrador de deslocamento quádruplo de 64 bits (256 bits no total) que roda até 30 MHz (min). Os fabricantes de geradores de ruído devem estar ainda mais cientes da facilidade com que os dispositivos lógicos programáveis (cPLDs ou FPGAs) podem ser induzidos ao trabalho PRBS, como ilustramos no Capítulo 11. Os microcontroladores também farão o trabalho, mas uma solução PLD será mais rápido.[139] Ao buscar a velocidade máxima absoluta, no entanto, você pode querer recorrer à

boa e velha lógica discreta: como um exemplo admirável, o CG635 "Gerador de Relógio Sintetizado" da Stanford Research Systems[140] pode fornecer um

[138] Somos gratos a nosso falecido colega Ed Purcell por essas percepções.

[139] E um chip totalmente personalizado mais rápido de todos. . . se você puder pagar o buy-in de $ 50.000.

[140] Que gentilmente fornecem diagramas esquemáticos completos e listas de peças para o instrumento.

PRBS de 7 estágios (ou seja, 27-1 estados) a taxas de até 1,55 GHz.141 Isso eles fazem com alguns truques elegantes: (a) eles usam a lógica diferencial acoplada ao emissor MC100EP em uma matriz de flip-flops com clock individual; esse material é *rápido* – os flops D (MC100EP52D) têm um tempo de configuração de 0,05 ns, tempo de espera zero e tempo de propagação de 0,33 ns (tipo); (b) usam clock diferencial e linhas de dados (silenciosas e rápidas); (c) o gargalo da velocidade é o tempo de propagação XOR (0,3 ns), então eles fazem um truque legal, ou seja, (d) eles organizam os FFs em um círculo, com os dados girando no sentido horário e o relógio no sentido anti-horário. Isso tem o efeito de atrasar o relógio para o primeiro estágio, em relação ao relógio dos dois últimos estágios, em cerca de 0,25 ns, permitindo assim que a saída XOR (atrasada) atenda ao requisito de configuração do primeiro FF. E a geometria fofa faz com que os relógios dos FFs sucessivos avancem cerca de 0,05 ns cada, distribuindo assim efetivamente a dor uniformemente ao redor da matriz. A Figura 13.120 mostra como aquelas pessoas inteligentes organizaram a placa de circuito impresso para fazer tudo acontecer.

13.14.7 Geradores de ruído aleatório “verdadeiros”

Observamos no início que o “ruído” gerado por algoritmos não pode ser verdadeiramente aleatório – afinal, você pode *prever* exatamente o que está por vir se conhecer o algoritmo. Muitos volumes foram escritos sobre isso.142 Se você quer barulho *genuíno ,* precisa procurar em outro lugar.

Um bom lugar para começar é algum processo *físico* (como o decaimento radioativo) que é aleatório *em princípio* e, é claro, imprevisível. Os projetistas de circuitos normalmente não incluem radioisótopos em seus kits de ferramentas; mas há outros processos físicos que funcionam bem. Por exemplo, a tensão de ruído gerada durante a condução de avalanche em uma junção bipolar. Usamos isso no circuito responsável pela coleta de bytes aleatórios que acompanha o CD ROM da *Numerical Recipes* e está disponível na Amazon. A Figura 13.121 mostra o circuito. Aqui está a descrição imortalizada no CD-ROM, onde também são encontrados os ~250 MB do que o autor William Press modestamente se refere como “ainda os melhores bits 'aleatórios' em qualquer lugar:”

> O professor Paul Horowitz, da Universidade de Harvard, gentilmente construiu para nós uma fonte eletrônica de aleatoriedade física. A fonte de ruído analógico é uma junção de transistor que é polarizada para funcionar como um diodo de avalanche. Fisicamente, a corrente de ruído dessa junção é gerada pela criação aleatória de pares elétron-buraco na junção, devido ao ruído térmico (e, em última análise, aos processos da mecânica quântica). Experimentalmente, a saída do dispositivo, vista com um analisador de espectro, é plana de perto de DC até 50 MHz.
>
> O circuito “Hororan” [Figura 13.121] amostra a tensão analógica amplificada da junção de ruído a uma taxa que é 8 vezes a taxa de transmissão desejada para saída (a última normalmente 38,4 kbps ou 115,2 kbps).
> A duração da amostra (“abertura”) é muito curta, cerca de 2 nanossegundos para o comparador travado LT1016, então há bastante aliasing das frequências mais altas disponíveis no valor amostrado. Se a tensão de amostra for positiva, um bit digital “1” é gerado; se for negativo, um bit digital “0” é gerado. Os bits coletados são continuamente exclusivos-OR (XOR) em um registrador. Depois que cada oito bits são coletados, o estado do registrador é exibido como um bit no arquivo bruto. Após cada oito bits de saída, os próximos dois bits de saída são descartados durante a formatação dos bits de parada e partida RS 232 necessários. As funções XOR digital e formatação start/stop são executadas por um PAL 26V12, cuja programação está incluída aqui.
>
> É intencional que não façamos nenhum processamento digital mais complicado (mixagem, embaralhamento, criptografia, etc.) dentro da caixa Hororan, porque queremos ser capazes de medir e caracterizar o grau de aleatoriedade que sai da caixa caixa. A caixa realmente tem uma não aleatoriedade mensurável em sua estatística de 1 ponto. Ou seja, o número de 1s e 0s de saída não são exatamente iguais, mas diferem, normalmente, em algumas partes em 104. (De fato, a caixa tem um ajuste de compensação para minimizar essa não aleatoriedade.) Observe que ela requer várias vezes 108 bits coletados até mesmo para medir esse viés de forma convincente – mas nos convencemos de que ele está presente. A polarização varia lentamente com o tempo, presumivelmente em resposta a mudanças térmicas e outras mudanças ambientais.
> Somos incapazes de encontrar, em experimentos numéricos, qualquer traço de não aleatoriedade nas estatísticas de ponto mais alto dos bits brutos coletados. Em particular, não fomos capazes de encontrar (em várias vezes 109 bits coletados) qualquer não aleatoriedade de 2 pontos, seja na autocorrelação em pequenos atrasos, ou no espectro de potência em frequências prováveis, como 60 Hz ou seus primeiros harmônicos .
> Com base na construção física da caixa Horo run, acreditamos que as estatísticas de ponto M com *M* >2 (com exceção das estatísticas de ponto alto que são

[141] Outros comprimentos de sequência comumente usados para teste de erro de bit são 223-1 e 231-1.

[142] Por exemplo, o Volume 2 do clássico abrangente de Donald Knuth, *The Art of Computer Programming.*

Figura 13.120. Layout de pista de PRBS rápido (até 1,55 Gbps) de 7 bits, implementado com flip-flops e portas LVPECL discretos da série 100EP. Os dados vão no sentido horário, o relógio no sentido anti-horário e tudo funciona!

o resultado de desvios lentos na polarização de 1 ponto) deve estar diminuindo fortemente com M. A razão é essencialmente que a junção do transistor não tem “memória” e tem uma escala de tempo interna na ordem do recíproco de sua largura de banda de 50 MHz.

Assim, enquanto a saída da caixa de Hororan é comprovadamente não aleatória, acreditamos que sua verdadeira “entropia por bit” é convincentemente limitada como próxima de 1 (o valor totalmente aleatório). Se 1ÿe denota a entropia por bit em um grande arquivo de *N* bits (uma definição mais detalhada é dada abaixo), então pensamos que, com um alto grau de certeza experimental (não há como “provar” isso matematicamente) temos *e* <0,01. A propósito, a saída bruta da caixa de Hororan passa facilmente em todos os testes da “bateria de testes obstinados” de Marsaglia.

Voltando ao CD-ROM: a saída desse hardware foi apenas o ponto de partida (a “fase de coleta”) para uma sequência complexa de operações a caminho dos bytes finais publicados: a “fase de perfeição” consiste em multiple passa e embaralha através da criptografia triple-DES, XOR-ing com bytes recém-coletados entre cada passagem e novamente no final. Uma descrição completa pode ser encontrada no próprio CD-ROM, em uma pasta denominada “Museu”.

13.14.8 Um “filtro digital híbrido”

O exemplo da Figura 13.119 revisita o interessante tópico da *filtragem digital,* discutido anteriormente em §6.3.7. O que temos aqui é simplesmente um filtro passa-baixo de resposta de impulso finito (FIR) de 32 amostras, neste caso implementado de maneira híbrida - as amostras são *digitais* (lógica HIGH ou LOW, nas 32 saídas do flip-flop do registrador de deslocamento U8–U11), mas a soma ponderada é realizada como uma soma *analógica* de correntes em um par de junções de soma de amplificadores operacionais (U1ab) . No caso mais geral, um filtro digital operaria em dados representando uma forma de onda analógica amostrada, com cada amostra representada como uma quantidade de vários bits (por exemplo, 16 bits para cada canal, no caso de CD de áudio estéreo), amostrada em uma taxa suficiente para reter toda a faixa de frequência de entrada de interesse (para CD de áudio fsamp=44,1 kHz, cerca de 10% acima

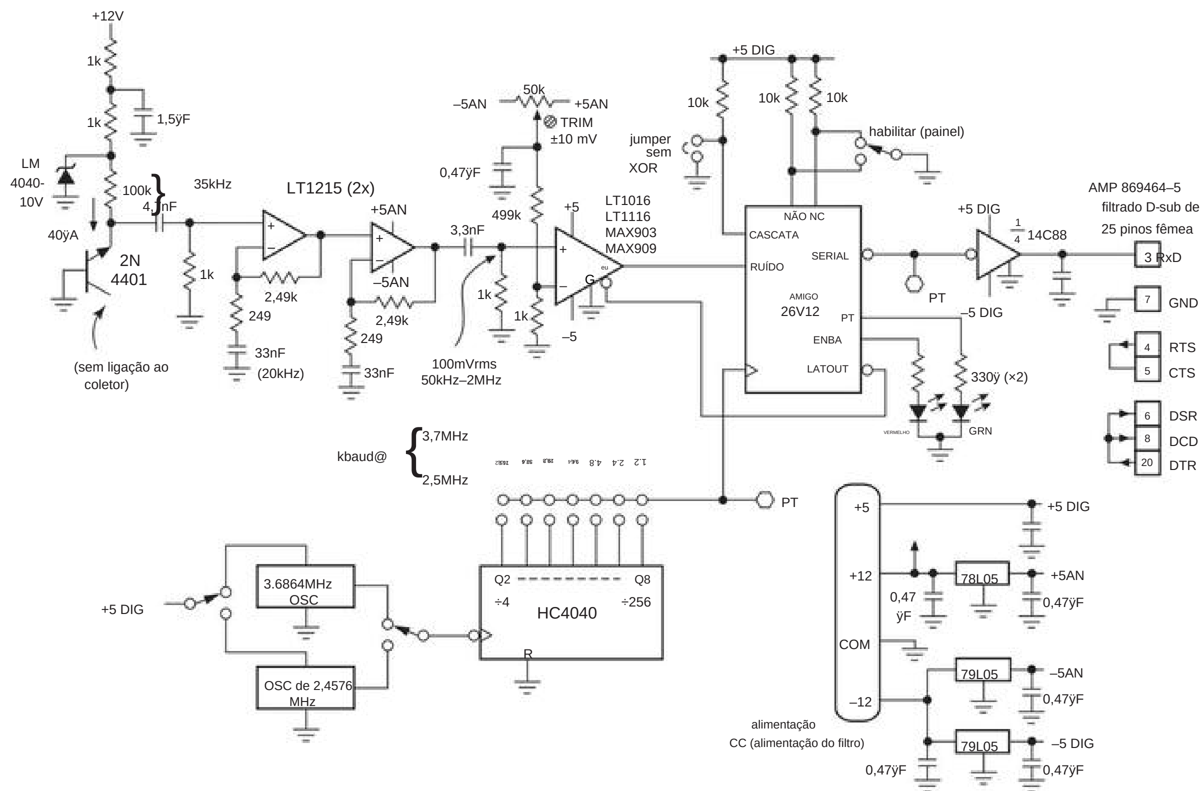


Figura 13.121. Usando um processo físico (quebra de avalanche base-emissor) para gerar bytes aleatórios.

a taxa crítica mínima de 2×fmax). E a ponderação e soma seriam feitas puramente digitalmente (ou seja, numericamente), em multiplicadores e somadores. Observe, no entanto, que o processamento digital de alta qualidade não *requer* que a amostragem inicial de analógico para digital produza grandes tamanhos de palavras: a discussão da conversão delta-sigma anteriormente neste capítulo (§13.9) é uma boa ilustração de um “1 bit ”fluxo de dados digitalizados, no qual os filtros digitais podem fazer sua mágica.

Exercícios Adicionais para o Capítulo 13

Exercício 13.10. Por que dois DACs de n bits não podem ser usados para criar um DAC de 2 n bits apenas somando suas saídas proporcionalmente (OUT1 + OUT2/2n) ?

Exercício 13.11. Verifique se a saída de pico do gerador de ruído pseudo-aleatório (Figura 13.94) é ±8,68 V.

Revisão do Capítulo 13

Um resumo de A para I do que aprendemos no Capítulo 13.
Este resumo revisa princípios básicos, fatos e conselhos de aplicação no Capítulo 13.

¶UMA. DACs e ADCs – Parâmetros de Desempenho.

O assunto da conversão entre sinais analógicos e digitais dominou o capítulo, com extensa descrição dos componentes internos de ADCs e DACs, seu desempenho e exemplos de aplicações. Os parâmetros essenciais de desempenho do ADC incluem resolução (número de bits), precisão (linearidade, monotonicidade, estabilidade, ENOB,[143] e faixa dinâmica livre de impulsos), velocidade (tempo de conversão e latência), faixa de entrada, formato de saída (I2C serial ou SPI; ou paralelo), referência (interna ou externa), embalagem e recursos adicionais, como amplificador interno de ganho programável. Os parâmetros de desempenho DAC essenciais são semelhantes, mas incluem tipo de saída (tensão ou corrente), energia de falha e variantes como DAC multiplicador (MDAC) ou escalonamento digital interno programável.

¶B. Tipos de DAC.

A escolha do conversor para uma determinada aplicação deve ser baseada principalmente em seus parâmetros de desempenho (¶A), e não no método de conversão. Mas é importante conhecer o funcionamento interno de um conversor para que você não seja pego desprevenido por suas idiossincrasias.

DAC de cadeia de resistores. Esta técnica mais simples (§13.2.1) consiste em uma série de *2n* resistores de mesmo valor, polarizados por uma referência de tensão estável, com interruptores MOS controlados digitalmente que captam a tensão CC em um tap escolhido conforme selecionado pelo n- código de entrada binária de bits. Esses DACs baratos variam de 8 a 16 bits de resolução; a saída é estritamente monotônica (uma característica desejável para um loop de controle digital).

Escada R–2R *DAC.* Essa técnica popular (§13.2.2) explora a propriedade de ponderação binária de uma escada R-2R (Figura 13.5), exigindo apenas *2n* (em vez de *2n)* resistores e chaves para criar um DAC de n bits. Esses conversores são baratos, mas não inerentemente monotônicos (embora existam muitos que garantem a monotonicidade). Sua não linearidade integral (INL) é geralmente superior à cadeia de resistores

[143] Onde o "número efetivo de bits" *ENOB=1.44loge(Vspan/ Vn(rms)).* Conforme explicado em detalhes no tutorial MT-003 da Analog Devices ("Entenda SINAD, ENOB, SNR, THD, THD+N e SFDR para que você não se perca no piso de ruído"), ENOB está relacionado ao SINAD (sinal-ruído+distorção) pela relação ENOB=(SINADÿ1,76 dB)/ 6,02, onde SINAD (em dB) é dado, em termos de grandezas rms para sinal, ruído e distorção, por SINAD=20log10 Srms/ (N+D).

DACs, tornando-os melhores para aplicações precisas de configuração de tensão.

DAC de direção atual. Em contraste com esses conversores de saída de tensão (tipos resistor string e ladder), o DAC de direção de corrente (§13.2.3) se destaca em velocidade e também permite fácil combinação de saídas. Ele usa um arranjo de *n* chaves para direcionar um conjunto de correntes binárias ponderadas (Figura 13.6). Esses DACs são extremamente rápidos, mas sua saída atual é limitada em conformidade; se você adicionar um amplificador de resistência trans para criar uma saída de tensão, isso limitará o desempenho dinâmico (velocidade e tempo de estabilização). É melhor conduzir uma carga que deseja uma entrada de corrente ou simplesmente conduzir um resistor de carga de 50 ÿ (75 ÿ para vídeo), apropriado para RF e aplicações de alta velocidade. *Um cuidado:* a estabilidade e a precisão inicial dos DACs de saída de corrente podem ser muito ruins se você for tolo o suficiente para ignorar o resistor de feedback interno correspondente; consulte o aviso em §13.2.5 e o uso correto do feedback mostrado na Figura 13.9.

Delta-sigma DAC. Esta técnica (§§13.9 e 13.9.8), às vezes chamada de "DAC de 1 bit", é um processo de duas etapas no qual um fluxo de bits é primeiro produzido em um modulador digital de integração e, em seguida, filtrado por passagem baixa para produzir o log analógico voltagem de saída; veja o diagrama de blocos na Figura 13.50. É popular em áudio profissional, onde pode fornecer sinais de saída de alta resolução incrivelmente lineares, por exemplo, resolução dupla (estéreo) de 20 bits a 192 ksps. A técnica delta-sigma também é popular para ADCs; na área de áudio profissional, por exemplo, uma peça popular é o conversor duplo CS5381 de 24 bits e 192 ksps (§13.9.11D).

Multiplicando DAC. Um MDAC (§13.2.4) aceita uma entrada Vref variável , especificando tanto uma faixa de tensão (geralmente bipolaridade, por exemplo, ÿ15 V a +15 V) quanto uma largura de banda multiplicadora de referência (normalmente um megahertz ou mais). Um MDAC permite o controle de amplitude digital de sinais dentro de sua largura de banda e permite fazer medições raciométricas com uma tensão de referência imprecisa. Um cuidado: o feedthrough capacitivo limita severamente a largura de banda quando operado com códigos digitais de pequeno valor; veja a Figura 13.7.

Modulação por largura de pulso e conversão F-para-V. Ao conduzir uma carga inerentemente lenta (por exemplo, um aquecedor), uma forma simples e eficaz de conversão D/A é PWM (§13.2.8). Técnicas relacionadas são conversores F/V e multiplicadores de taxa (§§13.2.9 e 13.2.10).

¶C. Exemplos de aplicativos DAC.

Em aplicações de conversão, o diabo está muito nos detalhes. Neste capítulo, exploramos quatro aplicações do mundo real, revelando suas complicações satânicas.

(1) Uma fonte de laboratório de uso geral de quatro canais (§13.3.1) ilustrou precisão e design estável de baixo ruído,

com uma configuração externa de corrente para tensão, fornecendo faixas de saída flexíveis.

(2) Uma fonte de tensão de oito canais mais simples (§13.3.2) é facilmente projetada com um DAC de saída de tensão totalmente integrado (LTC2656); falta a capacidade de faixa de saída flexível do exemplo anterior, junto com alguma degradação em termos de ruído e estabilidade.

(3) Uma fonte de corrente de bipolaridade em escala de nanoamp de ampla conformidade (§13.3.3) é um circuito de considerável sutileza, oferecendo baixo ruído e baixo desvio ao fornecer ou afundar nanoamps em uma faixa de ± 10 V. Há ensinamentos adicionais aqui , sobre o assunto de fontes de corrente flutuante em geral.

(4) Um driver de bobina de bipolaridade de precisão (§13.3.4) ilustra um aplicativo DAC que ultrapassa os limites de resolução (20 bits, ou seja, partes por milhão), com controle correspondente de ruído e estabilidade. Este exemplo inclui muita discussão sobre amplificadores necessários e opções de referência, e sobre compensação e estabilidade de loop.

¶D. Escolhas DAC.

Para maior linearidade, os DACs delta-sigma são os melhores, com precisão e linearidade de até 20 bits em velocidades de áudio e, às vezes, também com excelentes especificações de CC (por exemplo, DAC1220 de 20 bits com velocidade de milissegundos da TI); entretanto, cuidado com banda larga e ruído de clock (o DAC1220 tem ÿ1000 nV/ÿ Hz a 1 kHz, em comparação com ÿ10 nV/ÿ Hz para conversores de escada de resistor).

Para aplicações de alta precisão em velocidade média, existem muitos DACs R-2R e escada linear excelentes, por exemplo DAC8552 da TI (duplo 16 bits, entrada serial, saída de tensão, ref ext, glitch muito baixo, ajuste de 10 s; DAC8560 /4/5 similar, com ref interna); ou AD5544 da ADI ou DAC8814 da TI (AD5544 quádruplo de 16 bits, entrada serial, saída de corrente, ajuste de 0,5–2 s com amplificador operacional I-para-V externo); ou LTC1668 da LTC (entrada paralela de 16 bits, saída de corrente diferencial, 20 ns estabilizada em 50 ÿ como "saída de tensão"); ou TI's DAC9881 (entrada serial de 18 bits, saída de tensão entre trilhos, ext ref, baixo ruído, ajuste de 5 s).

ÿ

Para obter a velocidade mais alta, você não pode superar os conversores de direção de corrente, por exemplo, o TI DAC5681/2 (16 bits, 1 Gsps) ou o ADI AD9739 (14 bits, 2,5 Gsps).

¶E. Tipos de ADC.

Assim como os DACs, a escolha do conversor para uma aplicação específica deve ser baseada principalmente em seus parâmetros de desempenho (¶A), e não no método de conversão.

Assim como acontece com os DACs, porém, é importante conhecer o funcionamento interno de um conversor para que você não seja pego desprevenido por suas idiossincrasias.

Flash, ou "paralelo". Nesta técnica mais simples (§13.6) a tensão de entrada analógica é comparada com um conjunto de tensões de referência fixas, simplesmente acionando uma matriz de *2n* comparadores de log analógicos, para gerar um resultado de n bits, com resoluções para n = 8 bits e velocidades de 20 Gsps (não no mesmo dispositivo). As variações desse tema incluem arquiteturas em pipeline ou dobradas, nas quais a conversão é feita em várias etapas, cada uma das quais converte o "resíduo" da conversão anterior de baixa resolução. Esses conversores atingem a resolução de 16 bits e velocidades para vários Gsps (não no mesmo dispositivo); a arquitetura em pipeline cria latência, que pode chegar a 20 ciclos de clock.

Aproximação sucessiva. Nesta técnica (§13.7) sucessivos códigos de teste (gerados pela lógica interna) são convertidos em tensões por um DAC interno e comparados com a tensão de entrada analógica. Requer apenas *n* dessas etapas para fazer uma conversão de n bits. O DAC interno pode ser implementado como uma escada de resistor R-2R convencional de n estágios ou, curiosamente, como um conjunto de *2n* capacitores em escala binária; o último método é conhecido como DAC *de redistribuição de carga* .

Os conversores do tipo SAR são intermediários em velocidade e precisão (conversores flash são mais rápidos; conversores delta-sigma são mais precisos). A entrada deve ser estável durante a conversão (exigindo, portanto, alguma forma de rastreamento e retenção de entrada); Os conversores SAR podem ter códigos ausentes.

Voltagem para frequência. Esta técnica (§13.8.1) produz um trem de pulso de saída (ou outra forma de onda) cuja frequência é exatamente proporcional à tensão de entrada analógica. Em um V/F *assíncrono* , o oscilador é interno e funciona livremente; um V/F *síncrono* requer uma fonte externa de pulsos de clock, ativando uma fração deles de forma que a frequência *média* de saída seja proporcional à entrada analógica. Conversores V-para-F podem ser usados para controle simples de cargas médias (como um aquecedor); mas eles mal merecem ser listados como um ADC e são melhor pensados como uma aproximação primitiva do conversor delta-sigma superior (veja abaixo).

Integração de inclinação única. Nesta técnica (§13.8.2) uma rampa analógica gerada internamente (capacitor carregado por uma fonte de corrente) vai de zero volts para a tensão de entrada analógica, cronometrada pela contagem de pulsos de um relógio rápido de frequência fixa; a contagem é proporcional ao valor da entrada analógica. A integração de declive único não é particularmente precisa, resultando nesse gramado em integração de declive duplo ou múltiplo (veja abaixo). Mas é usado em aplicações como análise de altura de pulso, onde é necessária velocidade e uniformidade de códigos adjacentes; também é usado para conversão de tempo para amplitude (TAC).

Integração de inclinação dupla e multi-inclinação. Essas técnicas (§§13.8.3, 13.8.4 e 13.8.6) são variações da integração de inclinação única, eliminando efetivamente erros de

offsets do comparador e estabilidade do componente. Na *integração de dupla inclinação,* o capacitor é aumentado por um tempo fixo com uma corrente proporcional ao sinal de entrada e desacelerado novamente com uma corrente fixa; o último intervalo de tempo é proporcional à entrada analógica. Na *integração quad-slope,* a entrada é mantida em zero enquanto um segundo ciclo de "zero automático" é feito. A chamada técnica *multi-slope* é um pouco diferente, com uma única conversão consistindo em uma sucessão de ciclos rápidos de dual-slope (nos quais a entrada é integrada continuamente, combinada com ciclos subtrativos de corrente fixa), e com uma correção com base no resíduo do ciclo parcial em ambas as extremidades. Em alguns aspectos, é um primo próximo do método delta-sigma (próximo).

Esses métodos ADC de integração são ideais para baixa velocidade (milissegundos) alta resolução (20–28 bits) estilo voltímetro Medidas.

ADCs Delta-sigma. Nessa técnica (§13.9), um modulador *converte* a tensão de entrada analógica superamostrada em um fluxo de *bits serial;* em seguida, um filtro passa-baixa digital aceita esse fluxo de bits como entrada, produzindo a saída digital final de n bits.
Em sua forma mais simples, o modulador consiste em um integrador atuando na diferença entre a tensão de entrada analógica e o valor do fluxo de bits serial de saída de 1 bit, para determinar o próximo bit de saída. As variações incluem moduladores de ordem superior (uma sucessão de integradores ponderados) ou fluxos de bits com vários bits de largura, ou ambos. Os conversores delta-sigma oferecem excelente resolução (para 24 bits) e taxas de conversão para alguns megasamples por segundo. Eles são extremamente populares em áudio profissional.

¶F. Exemplos de aplicações ADC.

Neste capítulo, ilustramos vários exemplos de aplicações.
(1) Um ADC de flash rápido (§13.6.2), acionado diferencialmente, filtragem de entrada ilustrada e geração de clock de baixo jitter.
(2) Um conversor de aproximação sucessiva de 18 bits de alta estabilidade e baixo ruído com uma taxa de conversão de 2 Msps (§13.7.3) ilustrou o condicionamento de entrada cuidadoso para obter baixo ruído e baixa deriva.
(3) Três aplicações de conversores delta-sigma (Figuras 13.66, 13.67 e 13.68) ilustram um conversor multiplexado de ampla faixa (±10 V) com boa precisão (18 bits ou melhor); um conversor ÿÿ de 24 bits padrão da indústria com boas especificações de ruído, desvio e linearidade, e com amplificador de ganho programável estabilizado por chopper para medições precisas de sinais de baixo nível; e um aplicativo de conversão de áudio profissional, em que a precisão e a latência CC são amplamente irrelevantes, apresentando excelente correspondência de canal e formatos de saída de tipo de áudio.

Neste capítulo, ilustramos outros exemplos de conversão, incluindo alguns ADCs e DACs incomuns (§13.11), e alguns exemplos de *sistemas* de conversão (§13.12). O último incluía um sistema multiplexado de aquisição de dados de 16 canais (§13.12.1), um sistema de aquisição de dados de aproximação sucessiva multicanal paralelo (§13.12.2) e um sistema paralelo paralelo de aquisição de dados delta-sigma multicanal (§13.12 .3). Os dois últimos exemplos incluíram soluções multicanal externas e integradas, em narrativas tutoriais.

¶G. Escolhas ADC.

Para aplicações de baixa velocidade (para kilosamples/sec) e alta precisão (para 24 bits ou mais), os conversores de integração (inclinação dupla, multiinclinação) são os melhores; existem também alguns excelentes conversores delta-sigma (que podem ser considerados como conversores integrados).

Para aplicações de velocidade moderada (para vários Msps), os conversores delta-sigma e de aproximação sucessiva são competitivos, com resolução de 20 bits ou mais; Os conversores delta-sigma têm latência significativamente mais longa.

Para alta velocidade (100s de Msps), escolha conversores de flash em pipeline, atentos à sua alta latência. E para as taxas de conversão mais altas (>250 Msps), algumas variantes do flash dobrável levam você a 8–12 bits e 3 Gsps. Flash simples é o mais rápido, mas você paga o preço em resolução (por exemplo, o Analog Devices HMCAD5831: conversão de 3 bits a 20 Gsps).

¶H. Loops bloqueados por fase.

O capítulo continuou com o importante assunto de sinais mistos dos PLLs (§13.13), circuitos nos quais a realimentação força um sinal derivado de um oscilador controlado por tensão a corresponder à frequência de um sinal de entrada. As aplicações PLL incluem multiplicação e síntese de frequência, geração e recuperação de clock e demodulação de AM, FM e sinais modulados digitalmente. Além de um oscilador controlado por tensão (VCO), os componentes essenciais de um PLL (Figura 13.85) são (a) o detector de fase e (b) o filtro de loop.

O *detector de fase* (PD) compara as fases do sinal de entrada e do sinal derivado do VCO, gerando um sinal de saída representativo de sua fase relativa. O detector de fase mais simples (tipo I) multiplica os sinais de entrada. É aplicável a sinais de entrada analógicos ou digitais; para o último, é apenas uma porta OR exclusiva (Figura 13.86).

O outro detector de fase comum (tipo II) gera pulsos de saída de acordo com o tempo relativo das transições em suas duas entradas (Figura 13.87). Funciona apenas com sinais digitais. Os detectores de fase tipo II têm o benefício de travar com diferença de fase zero e não introduzir ondulação na frequência de detecção de fase; no entanto, eles são mais sensíveis ao jitter do sinal de entrada do que os detectores de fase tipo I.

O *filtro de loop* suaviza a saída do PD, com uma constante de tempo que define a resposta do loop; o último deve ser longo em comparação com a frequência de comparação, mas rápido o suficiente para acompanhar as mudanças na frequência de entrada conforme exigido pela aplicação do PLL. Para esclarecer este último ponto, você deseja uma constante de tempo longa se o PLL tiver um VCO de baixo ruído e for usado para gerar um clock estável e limpo a partir de uma referência de entrada ruidosa de frequência fixa; mas se você quiser que o PLL siga uma frequência de entrada oscilante (por exemplo, recuperação do clock de uma unidade de fita ou disco), você deve tornar o loop rápido o suficiente para responder à alteração da frequência de entrada. *Um cuidado:* há uma mudança de fase inerente de 90° no PLL: uma medição de fase é usada para ajustar a frequência, mas a fase é a integral da frequência. Portanto, um simples filtro de loop passa-baixa (que introduz deslocamento de fase retardado adicional, assintótico a 90ÿ) cria um loop marginalmente estável. A solução é retardar o rolloff na região de ganho de loop unitário (um “zero”, na linguagem da análise do plano s; veja a discussão no Capítulo 1x), como visto na Figura 13.98.

O procedimento para projetar o filtro de loop é ilustrado em §13.13.3. E o uso de PLLs para as aplicações importantes de síntese de frequência, demodulação analógica e digital, sincronização de pulso e travamento de offset de laser é discutido com algum detalhe em §13.13.6.

¶EU. Ruído digital pseudo-aleatório.

O capítulo foi concluído com o fascinante tópico da geração de sequências de bits pseudo-aleatórias determinísticas (PRBSs) de registradores de deslocamento de feedback linear (LFSRs). Eles encontram aplicação em testes de canais de comunicação (diagramas de olho, veja, por exemplo, a Figura 12.131) e em aplicações de dispersão de espectro em comunicações digitais (por exemplo, os sinais de navegação transmitidos do GPS).
E eles são simplesmente divertidos. A técnica básica (descrita com algum detalhe também no Capítulo 11, em §11.3) é um registrador de deslocamento cuja entrada é derivada de uma combinação XOR de dois (ou mais) bits cuidadosamente escolhidos do registrador (Figura 13.111).

Como demonstrado no Capítulo 11, os geradores PRBS são facilmente feitos com um pouco de lógica PLD, ou algum código de microcontrolador, ou mesmo apenas alguns chips lógicos (por exemplo, um 74HC7731, 74HC164 e 74HC86, com clock de 25 MHz, faz um PRBS cuja duração do ciclo é de mais de 1062 anos; isso é 1052 vezes a idade do universo). A sequência de saída pode ser filtrada em passa baixa para gerar uma fonte de ruído analógico de largura de banda configurável; veja a fonte de ruído colorido com filtro analógico no Capítulo 8 (Figura 8.93) e a fonte de ruído branco com filtro digital híbrido da Figura 13.119.

O ruído pseudo-aleatório não é verdadeiramente aleatório, embora suas propriedades estatísticas possam imitar a aleatoriedade genuína medida por vários testes (consulte §13.14.6), tornando-o adequado para algumas aplicações. Para gerar sequências de bits aleatórias honestas, você precisa explorar as propriedades aleatórias de algum processo físico como -decaimento em isótopos ÿ instáveis.
Mais conveniente para o projetista de circuitos é algo como ruído térmico em resistores ou ruído de avalanche em junções de semicondutores; o último é ilustrado em §13.14.7.

COMPUTADORES, CONTROLADORES E LINKS DE DADOS

CAPÍTULO 14

Neste capítulo e no próximo, lidamos com os assuntos interessantes de computadores e controladores (com os nomes alternativos comuns de *microcomputadores* e *microcontroladores).* Esses são assuntos extensos e não tentamos um tratamento completo. Em vez disso, nossos principais interesses, no contexto do projeto de circuitos eletrônicos, são (a) como fazer a interface de componentes eletrônicos externos com um computador existente e (b) como usar um microcontrolador como uma peça eletrônica "embutida" dentro de um sistema personalizado. dispositivo ou instrumento eletrônico.

Neste capítulo, portanto, examinamos computadores e *barramentos de dados* (o mecanismo de interface de dados), para entender como eles funcionam e como criar uma interface de dados. Ao longo do caminho, revisamos brevemente alguns fundamentos dos computadores – sua arquitetura, hardware de processador e memória, tempo de barramento e conjunto de instruções – e ilustramos a interface com hardware e código para "portas" simples de entrada e saída conectadas a um sistema paralelo clássico de dados. bus.1 Terminamos com uma revisão dos barramentos de dados seriais populares: FireWire, USB, barramento CAN, Ethernet e sem fio (WiFi, Bluetooth, Zigbee).

No Capítulo 15, vamos lidar com microcontroladores embutidos, os chips baratos e maravilhosos que permitem colocar a inteligência de um computador em praticamente qualquer coisa eletrônica.

Algumas terminologias

Mainframes, CPUs, minicomputadores, microcomputadores, microprocessadores, microcontroladores – afinal, quais são todos esses nomes? A história é parcialmente culpada por essa proliferação de termos confusos, porque nomes como "microcomputador" foram criados (com compreensível entusiasmo) para descrever um computador no qual o processador central (a unidade central de processamento, CPU) foi integrado em um único chip (o "microprocessador"), em vez de construído a partir de uma placa cheia de chips lógicos menores (como era em um "minicomputador" ou "mainframe" da época).

Isso não é mais um grande problema, e a distinção importante é entre *computadores,* que são usados principalmente para processamento computacional de dados, versus controladores embutidos , que são incorporados a outros dispositivos eletrônicos . vícios que não são computadores. Exemplos do primeiro são os PCs, laptops e notebooks e os computadores "mainframe" maiores. Exemplos de controladores são os chips que controlam sua escova de dentes elétrica, balança de banheiro, televisores e aparelhos de som e similares.2 Em geral, os microprocessadores usados em computadores são otimizados para desempenho computacional, tendem a ser caros e exigem suporte complexo. chipsets" para funcionar. Em contraste, os microcontroladores destinados ao design embarcado trocam desempenho computacional em favor da capacidade autônoma, com tantas funções periféricas quanto possível integradas no mesmo chip; eles tendem a ser caros, com baixo consumo de energia e completamente autossuficientes. A Figura 14.1 ilustra dramaticamente o progresso na miniaturização de processadores de computador para aplicações embarcadas3.

De um modo geral, com os computadores dos quais falamos neste capítulo, o design do próprio computador (incluindo a integração de memória, discos e E/S, bem como a programação do sistema e o desenvolvimento de programas utilitários) foi feito por o fabricante (e fornecedores de hardware e software compatível). O usuário precisa se preocupar apenas com interfaces de finalidade especial e o trabalho de programação do usuário. Por outro lado, em uma aplicação de controlador embarcado, o projeto do circuito e a escolha do hardware, juntamente com toda a programação, são feitos pelo projetista. Os fabricantes de computadores geralmente estão comprometidos em fornecer software de sistema e utilitário como parte de um sistema de computação completo (muitas vezes incluindo periféricos), enquanto os fabricantes de microcontroladores (empresas de semicondutores) geralmente veem o design e a comercialização de chips mais novos e melhores como suas tarefas centrais. .

---

1 Escolhemos o barramento PC104/ISA, tanto por sua simplicidade quanto por sua estabilidade como um padrão consolidado no mundo PC104 embarcado.

2 Às vezes, a linha é um pouco confusa: o processador dentro de um "set-top" box de televisão a cabo ou Blu-ray™ player, por exemplo, está fazendo um processamento pesado de vídeo digital (descriptografia, descompactação, conversão de formato), mas a caixa não é um "computador".

3 E uma década depois, os mesmos $ 5 dão a você um microcontrolador ARM de 100 MHz com 1 MByte de memória flash, 80 kBytes de SRAM, 47 portas de E/S paralelas, 11 canais de ADC de 10 bits, um DAC de 10 bits, seis portas de 16 -bit, três portas seriais I2C e quatro SPI, quatro controladores PWM, quatro UARTs e três USARTs. O que há para não gostar na Lei de Moore!



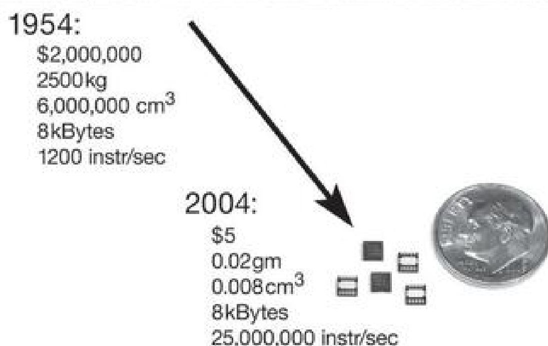


Figura 14.1. Do mainframe ao microcontrolador: 50 anos de progresso do computador (foto do mainframe cortesia da IBM Corporation).

14.1 Arquitetura do computador: CPU e barramento de dados

Apesar das rápidas mudanças no campo dos computadores e microprocessadores, existem importantes idéias básicas, muitas das quais são transportadas para a eletrônica digital em geral. Elas são mais facilmente compreendidas observando uma arquitetura tradicional orientada a barramento, mostrada no diagrama de blocos da Figura 14.2.

A ideia é vincular todos os dispositivos conectados por meio de um conjunto de linhas – um "ônibus" de dados – em vez de um ninho de rato de conexões diretas. Ele usa muito menos fios; e, como tradicionalmente a CPU era responsável pela maioria das transações, não era necessário ter caminhos de dados separados para obter um bom desempenho.4 Assim, por exemplo, se a CPU deseja armazenar um byte em algum endereço de acesso aleatório memória (RAM), ele colocaria o endereço e os dados em um conjunto de linhas de barramento (chamado ADR e DATA), então ele colocaria um sinal WRITE ; a RAM reconhece o endereço e aceita o byte. Se, em vez disso, a CPU quiser buscar um byte, ela colocaria apenas o endereço e, em seguida, afirmaria um sinal READ ; a RAM, reconhecendo uma solicitação de dados de um de seus endereços, responde colocando o byte correspondente nas linhas DATA . Da mesma forma para transferências de ou para outros dispositivos conectados ao barramento (cada um dos quais escuta seu intervalo de endereços assinado).

Para entender o que está acontecendo, vamos rever o compo na Figura 14.2, levando-o da esquerda para a direita.

14.1.1 CPU

A unidade central de processamento, ou CPU, é o coração da máquina. Os computadores fazem sua computação na CPU em blocos de dados organizados como *palavras de computador.* O tamanho da palavra pode variar de 4 bits a 64 bits ou mais, sendo os tamanhos de palavra de 32 e 64 bits os mais populares nos computadores contemporâneos. Um *byte* tem 8 bits (meio byte, ou 4 bits, às vezes é chamado de "nybble"). Uma parte da CPU chamada *decodificador de instruções* interpreta as instruções sucessivas (buscadas da memória), descobrindo o que deve ser feito em cada caso. A CPU possui uma *unidade lógica aritmética,* ou ALU, que pode executar as operações instruídas, como adicionar, complementar, comparar, deslocar, mover, etc., em quantidades contidas em *registradores* (e às vezes na *memória).*

O *contador de programa* mantém o controle da localização atual no programa em execução. Normalmente incrementa após cada instrução, mas pode assumir um novo valor após um "salto" (ramificação) ou uma instrução de "chamada". O *circuito de controle de barramento* lida com a comunicação com memória e E/S. A maioria dos computadores também tem um *registrador de ponteiro de pilha* (mais sobre isso depois) e alguns *sinalizadores* (carry, zero, sign) que são testados para ramificação condicional. Todos os processadores de alto desempenho também incluem memória *cache ,* que contém valores (dados e instruções) recentemente obtidos da memória para uma ativação mais ra cess.

Os microcomputadores contemporâneos de alto desempenho exploram o "processamento paralelo", no qual várias CPUs interconectadas (cada uma com múltiplos caminhos ALU) alcançam maior poder computacional; chips de alta densidade integram isso em uma arquitetura "multicore". No entanto, para manter nossa discussão simples e reconhecer nosso interesse em fazer *interface* com um computador (em vez de projetar um), consideramos apenas o

4 Esse tipo de barramento paralelo "multidrop" único foi amplamente usado na era dos minicomputadores (por exemplo, o DEC "Unibus") e também na era dos microcomputadores (na forma do barramento de "arquitetura padrão da indústria" da IBM, ou ISA, que ainda é usado no padrão de PC embarcado PC104).
Mas os ônibus evoluíram para criaturas mais complexas, e os PCs contemporâneos têm vários barramentos e pontes de conexão, com nomes como "Front Side Bus", PCI e PCIe, "Northbridge" e "Southbridge", projetados para otimizar a comunicação de alta velocidade. (como transferências de memória) sem ser retardado por comunicação de baixa velocidade (como periféricos). Além disso, como veremos adiante, apesar da elegância e economia omia de linhas compartilhadas, um esquema de conexão "ponto a ponto" (ninho de rato) é realmente muito melhor do que um barramento multidrop compartilhado para comunicação de alta velocidade.

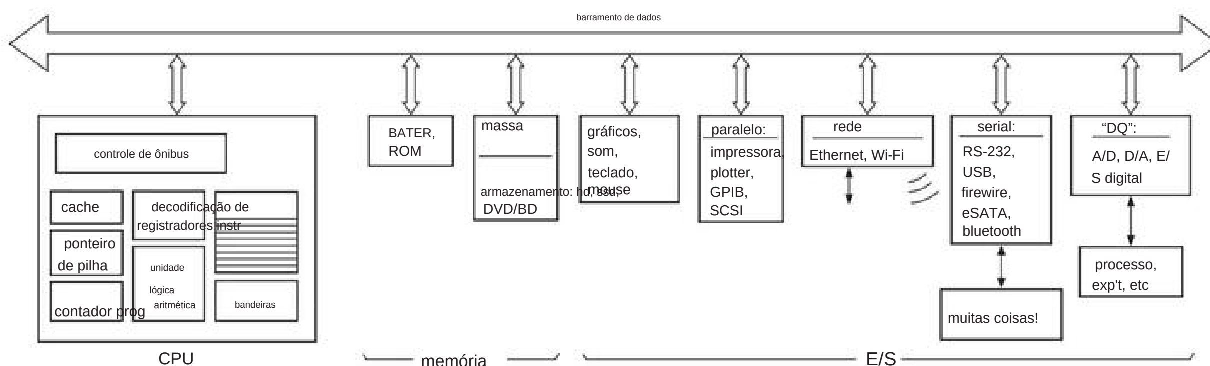


Figura 14.2. Computador orientado a barramento tradicional.

máquina de CPU única, executando instruções em série: é um mundo de operações implacáveis de "ler, fazer, escrever".

14.1.2 Memória

Todos os computadores têm alguma memória rápida de "acesso aleatório",5 chamada RAM (costumava ser chamada de "núcleo", porque minúsculos núcleos magnéticos continham os dados, um bit por núcleo). Em um computador barato, isso equivaleria a vários gigabytes, enquanto um *microcontrolador* embutido normalmente incorpora muito menos, de 4K a 64K.6 Essa memória pode ser lida e gravada em cerca de 100 ns.

Os módulos de RAM de alta densidade normalmente usados em computadores (chamados DRAM7) são *voláteis,* o que significa que sua formação evapora quando a energia é removida (talvez devesse ser chamado de "esquecimento"!). Todos os computadores, portanto, incluem alguma memória não volátil, geralmente "flash ROM" (memória somente leitura), para inicializar o computador, ou seja, iniciá-lo a partir de um estado de amnésia total quando a energia é ligada pela primeira vez. (Essa memória não volátil adicionalmente contém todo o programa, no caso de um controlador embutido.)

Muito mais sobre memória em §14.4.

Para obter ou armazenar informações na memória, a CPU "ad vestidos" a palavra desejada. A maioria dos computadores endereça a memória por bytes, começando no byte 0 e indo sequencialmente até o último byte na memória. Como a maioria das palavras de computador tem vários bytes de comprimento, você geralmente armazena ou busca um grupo de bytes por vez; isso geralmente é agilizado por ter um barramento de dados com vários bytes de largura.

Tanto os programas quanto os dados são mantidos na memória durante a execução do programa. A CPU busca instruções na memória, descobre o que elas significam e faz as coisas apropriadas, muitas vezes envolvendo dados armazenados em algum outro lugar da memória. Os computadores de uso geral geralmente armazenam programas e dados na mesma memória ("arquitetura von Neumann") e, na verdade, o computador nem mesmo distingue um do outro. (Coisas divertidas começam a acontecer se um programa dá errado e você "executa" os dados!) Os controladores embutidos, por outro lado, costumam usar uma "arquitetura Harvard", com dados separados e memória de programa, esta última em não armazenamento volátil (geralmente flash ou EEPROM) para obvi
nossas razões.

Como os programas de computador passam a maior parte do tempo percorrendo uma sequência relativamente curta de instruções, você pode melhorar o desempenho fornecendo uma memória *cache* pequena, mas rápida (pronuncia-se "dinheiro"), na qual você rotineiramente armazena cópias da memória usada mais recentemente. Localizações. Uma CPU em cache verifica seu cache local primeiro, antes de buscar na memória principal (mais lenta); ao percorrer um território familiar, você geralmente atinge uma taxa de "acerto" do cache de 95% ou mais, melhorando drasticamente a velocidade de execução.

14.1.3 Memória de massa

Computadores destinados ao desenvolvimento de programas ou computação, ao contrário de controladores embutidos, usam dispositivos de armazenamento em massa não voláteis, como discos rígidos (HDD

5 Assim chamado porque você pode acessar dados em qualquer endereço no mesmo tempo, diferente de algo como um registrador de deslocamento ou FIFO.

6 Quando usado para descrever tamanhos de memória, K não significa 1000, mas sim 1024 ou 210; portanto, 16 Kbytes (16 KB) são, na verdade, 16.384 bytes. Empregamos o símbolo k minúsculo para significar 1000.

7 Para RAM *dinâmica :* uma forma de memória na qual os bits de dados são armazenados, brevemente, como um estado de tensão em minúsculos capacitores no chip, cuja carga deve ser "atualizada" periodicamente. Por outro lado, a RAM *estática* ("SRAM") mantém cada bit como um estado de flip-flop, sem necessidade de atualização. DRAM é mais compacta, exigindo um transistor por bit ("1T"), contra 6T para SRAM. Tanto SRAM quanto DRAM são voláteis, em contraste com flash ROM ou EEP ROM ("E-quadrado").

unidades de disco rígido: magnéticas), discos de estado sólido (SSDs ou unidades de estado sólido: memória “flash” semicondutora não volátil) e discos ópticos removíveis (CD, DVD, Blu-ray); os últimos vêm em formas somente leitura e regraváveis, enquanto HDDs e SSDs são sempre regraváveis. Aprendemos, nas edições anteriores deste livro, que as declarações sobre o desempenho impressionante da eletrônica “moderna” invariavelmente parecem tolas em apenas alguns anos.[8] Portanto, simplesmente apontamos, como um ponto de dados histórico, que estamos em a era dos discos rígidos de terabyte, ROMs flash de 16 GB e chips de RAM de 1 GB (fatores de 103 a 104 maiores do que o relatado em nossa edição anterior).

14.1.4 Portas gráficas, de rede, paralelas e seriais

São itens padrão na maioria dos computadores, necessários para comunicação com o usuário, com a rede e com hardware externo. Presumimos que o leitor esteja geralmente familiarizado com eles. Digno de nota, no entanto, é a tendência de abandono de interfaces paralelas (como IDE interno e SCSI, e portas de impressora “LPT” externas), em favor de interfaces seriais rápidas (SATA, USB, FireWire, Ethernet), o último fornecendo comparáveis (ou melhor), juntamente com fiação simplificada e ruído elétrico reduzido. Falaremos sobre comunicações de porta paralela e serial mais tarde, começando em §14.5.

14.1.5 E/S em tempo real

Para experimentos ou controle de processo e registro de dados, ou para aplicações exóticas como fala ou síntese de música, você precisa de dispositivos A/D e D/A que possam se comunicar com o computador em “tempo real”, ou seja, enquanto as coisas estão acontecendo . As possibilidades são quase infinitas aqui, embora um conjunto de uso geral de conversores A/D multiplexados (ADCs), alguns conversores D/A rápidos (DACs) e algumas “portas” digitais (serial ou paralela) para troca de dig dados italianos permitirão muitas aplicações interessantes.[9] Esses periféricos de uso geral estão disponíveis comercialmente para os barramentos de computador mais populares, tanto internos (por exemplo, PCI e PCIe) quanto externos (USB, FireWire, Ethernet), como exemplificado pelas extensas ofertas de Instrumentos Nacionais.

Há um uso crescente de portas externas, com vantagens de simplicidade, flexibilidade (por exemplo, uso de laptops e smartphones, sem acesso a barramentos internos) e redução da contaminação por ruído digital. Se você quiser algo mais sofisticado, como desempenho aprimorado (maior velocidade, mais canais) ou funções para fins especiais (geração de tom, síntese de frequência, geração de intervalo de tempo etc.), talvez seja necessário construí-lo sozinho. É aqui que o conhecimento da interface de barramento e das técnicas de programação, sempre útil, torna-se essencial.

14.1.6 Barramento de dados

A comunicação entre a CPU e a memória ou periféricos ocorre em um *barramento,* um conjunto de linhas compartilhadas para troca de palavras digitais. O uso de um barramento compartilhado simplifica muito as interconexões, pois, caso contrário, você precisaria de cabos multifios conectando cada par de dispositivos de comunicação.[10] Com um pouco de cuidado no projeto e implementação do barramento, tudo funciona bem.

Os ônibus evoluíram ao longo do tempo, atingindo tais níveis de velocidade e complexidade que a interface agora requer um conhecimento considerável. Por isso vamos adotar um barramento mais antigo e simples, chamado PC104/ISA, que torna a interfaceamento um trabalho simples. O barramento ISA foi originado no IBM PC e, como o barramento PC104, está vivo e bem, e é suportado por mais de 75 fabricantes. Um colega, quando questionado sobre sua provável vida útil, respondeu “PC104 vai enterrar todos nós.”[11] Em geral, um barramento de dados contém um conjunto de linhas DATA (geralmente o mesmo número de bits em uma palavra – 8 para pequenos processadores e controladores , 16 a 64 para microcomputadores mais sofisticados), algumas linhas ADDRESS para determinar quem deve “falar” ou “escutar” na linha e um monte de linhas CONTROL que especificam qual ação está acontecendo (dados indo para ou do CPU, tratamento de interrupções, transferências diretas de acesso à memória, etc.). Todas as linhas DATA , assim como várias outras, são *bidirecionais* – elas são acionadas por dispositivos de três estados ou, em alguns casos, por portas de coletor aberto com pullups de resistor em algum lugar (geralmente no final do barramento, onde eles também servem como terminadores para minimizar os reflexos; ver §12.10.1) e Apêndice H); pullups também podem ser necessários com drivers de três estados, se o barramento for fisicamente longo.

[8] Em nossa primeira edição (1980), estávamos entusiasmados com discos rígidos de vários megabytes, EPROMs de 2 KB e RAM de 8 KB; uma década depois, estávamos ainda mais empolgados com discos rígidos de várias centenas de megabytes, EPROMs de 128 KB e RAM de 512 KB.

[9] E não negligencie a humilde “placa de som” (muitas vezes integrada à placa-mãe), para uso em laboratório em aplicações de taxa de áudio não crítica onde o acoplamento CC não é necessário. O melhor deles pode fazer amostragem multicanal de 192 kb/s com resolução de 16 bits.

[10] Essa ideia é repetida dentro da própria UCP, onde são utilizados barramentos de dados internos para a comunicação entre as unidades lógicas aritméticas (ULAs) e os registradores (por exemplo). E, no caso de um microcontrolador, onde “periféricos” como conversores A/D e portas USB são integrados no mesmo chip, o trabalho de um barramento externo é feito com barramentos no chip.

[11] Achamos que ele quis dizer que *sobreviverá* a nós, não nos *matará* . Mas não temos certeza.

Dispositivos de três estados ou coletor aberto são usados para que os dispositivos conectados ao barramento possam desabilitar seus drivers de barramento, porque em operação normal apenas um dispositivo está afirmando dados no barramento a qualquer momento. Cada computador tem um protocolo bem definido para determinar quem afirma os dados e quando. Caso contrário, o resultado seria o caos total, com todos gritando ao mesmo tempo. (Os engenheiros não conseguem resistir à personalização de circuitos eletrônicos, apesar de conselhos como “Não antropomorfize os computadores – eles não gostam disso.”)

Voltaremos ao barramento em detalhes, com exemplos de interface PC104 de 8 bits. Primeiro, porém, precisamos examinar o conjunto de instruções da CPU.

14.2 Um conjunto de instruções de computador

14.2.1 Linguagem assembly e linguagem de máquina

Para entender os sinais de barramento e a interface do computador, você precisa entender o que a CPU faz quando executa várias instruções. Neste ponto, portanto, gostaríamos de apresentar o conjunto de instruções que acompanha os processadores da família Intel x86 usados nos computadores PC104.

Infelizmente, os conjuntos de instruções da maioria dos microprocessadores do mundo real tendem a ser ricos em complexidades e recursos extras (incluindo os fantasmas dos processadores anteriores), e a série Intel x86 não é exceção. No entanto, como nosso objetivo é apenas ilustrar os sinais de barramento e a interface (não uma programação sofisticada), usaremos um atalho ao definir um subconjunto de instruções x86. Deixando de lado as instruções “extras”, acabaremos com um conjunto compacto de instruções que é compreensível e completo o suficiente para executar praticamente qualquer tarefa de programação. Em seguida, o usaremos para mostrar alguns exemplos de interface e programação. Esses exemplos ajudarão a transmitir a ideia de programação no nível da “linguagem de máquina”, algo bem diferente de programar em uma linguagem de alto nível como C ou C++.

Primeiro, uma palavra sobre “linguagem de máquina” e “linguagem de montagem”. Como mencionamos anteriormente, a CPU do computador é projetada para interpretar certas palavras como instruções e realizar as tarefas designadas. Essa “linguagem de máquina” consiste em um conjunto de instruções binárias, cada uma das quais pode ocupar um ou mais bytes. Incrementar (aumentar em um) o conteúdo de um registrador da CPU seria uma instrução de byte único, por exemplo, enquanto carregar um registrador com o conteúdo de um local de memória normalmente exigiria pelo menos dois bytes, talvez até cinco (o primeiro especificaria a operação e o destino do registrador, e mais quatro seriam necessários para especificar um local de memória arbitrário em uma máquina grande). É um triste fato da vida que diferentes comunidades os computadores têm diferentes linguagens de máquina e não há nenhum padrão.

Programar diretamente em linguagem de máquina é extremamente tedioso, porque você acaba lidando com colunas de números binários, cada bit deve ser perfeito, por assim dizer. Em vez disso, você pode representar cada instrução em sua forma de texto legível *em linguagem assembly* , usando mnemônicos facilmente lembrados para as instruções e nomes simbólicos de sua própria escolha para locais de memória e variáveis. Esse programa em linguagem assembly, que consiste em um arquivo de texto simples, é então manipulado por um programa chamado *assembler* para produzir como saída um programa finalizado em *código* -objeto em linguagem de máquina que o computador pode executar. Cada linha de código assembly corresponde a uma instrução de linguagem de máquina, que se traduz em alguns bytes de linguagem de máquina (1 a 15 bytes, para x86). O computador não pode executar as instruções em linguagem assembly (texto) diretamente. Para tornar essas ideias concretas, vamos examinar nosso subconjunto da linguagem assembly x86 e fazer alguns exemplos.

14.2.2 Conjunto de instruções “x86” simplificado

Os processadores da família x86 (Intel, AMD, VIA) têm um conjunto de instruções rico e um tanto idiossincrático; parte de sua complexidade decorre do objetivo dos projetistas de manter a compatibilidade com o processador 8080 de 8 bits original. Os processadores posteriores e mais sofisticados da família x86 (por exemplo, Pentium, Core 2, i3/i5/i7, Xeon) têm muitas instruções adicionais, mas ainda podem executar o conjunto de instruções x86 original. Passamos por essas instruções com um facão, mantendo apenas 10 operações aritméticas e 11 outras (Tabela 14.1).

A. Um passeio rápido Algumas explicações: as primeiras seis instruções aritméticas na Tabela 14.1 operam em pares de números (instruções de “2 operandos”), que abreviamos como *b,a,* e que podem ser qualquer um dos 5 pares listados nas notas de rodapé da tabela; *m* significa o conteúdo de um local de memória, *r* significa o conteúdo de um registrador da CPU (existem 8 no 8086 original) e *imm* significa um argumento *imediato* , que é um número armazenado nos próximos 1 a 4 bytes de memória após o instrução.

Assim, por exemplo, as instruções

```
Contagem de MOV, CX
ADICIONE pequeno,02H
E AX,007FH
```

Tabela 14.1 Conjunto de instruções x86 simplificado

Instrução	Como você chama	O que faz
aritmética		
MOV b,a	mover	a ÿ b; a inalterado a + b ÿ
ADICIONE b,a		b; a inalterado b – a ÿ b; a
SUB b, a	adicionar	inalterado a AND b ÿ b bit a bit;
E b, um	subtrair e	a inalterado a OU b ÿ b bit a bit; um conjunto
OU b,a	ou	inalterado sinaliza como se b – a; a,b inalterado
CMP b,a	comparar	rm + 1 ÿ rm
INC rm	incremento	
DEC rm	decremento	rm – 1 ÿ rm
NÃO rm	não	complemento de 1 de rm ÿ rm
NEG rm	negar	negativo (comp de 2) de rm ÿ rm
pilha		
PUSH rm	push	push rm na pilha (2 bytes) pop 2
POP rm	pop	bytes da pilha para rm
ao controle		
etiqueta JMP	salto salto para instr label salto condicional	
rótulo jcc	para instr label se cc verdadeiro chamar push próximo	
Rótulo de CHAMADA	adr, pular para instr label retornar pilha pop, pular para	aquele adr retornar da pilha int pop,
RET	restaurar sinalizadores, retornar definir interrupção habilitar	interrupções limpar interrupção desabilitar
IRET	interrupções	
DST		
CLI		
entrada/saída		
DENTRO	AX, porta de entrada	porta ÿ AX (ou AL)
porta OUT, saída AX		AX (ou AL) ÿ porta

Notas: b,a: qualquer um dos m,rr,mr,rm,imm r,imm rm: registro
ou memória, através de vários modos de endereçamento cc: qualquer
um dos Z NZ G GE LE LC NC S NS label: através de vários modos de
endereçamento porta : byte (via imm) ou palavra (via DX)

têm argumentos da forma *m,r, m,imm* e *r,imm,* respectivamente. A primeira copia o conteúdo do registrador CX para um local de memória que chamamos de "count"; o segundo adiciona 2 ao conteúdo de outro local de memória chamado "pequeno"; o terceiro limpa os 9 bits superiores do registrador de 16 bits AX enquanto preserva os 7 bits inferiores inalterados (a chamada operação de *mascaramento).* Observe a convenção de argumento da Intel: o primeiro argumento é substituído ou modificado pelo segundo argumento.

As últimas quatro operações aritméticas na tabela ocupam apenas um único operando, que pode ser o conteúdo de um registrador ou memória. Aqui estão dois exemplos:

```
contagem INC
NEG AL
```

A primeira adiciona 1 ao conteúdo da localização de memória "count" e a segunda muda o sinal do conteúdo do registrador AL.

B. Um desvio: endereçamento

Antes de continuar, uma palavra sobre registros e curativo de memória. O 8086 original afirmava ter oito registradores de "propósito geral", mas depois de ler as letras miúdas você perceberá que a maioria deles também tem usos especiais (Figura 14.3). Quatro deles (A–D) podem ser usados como registradores únicos de 16 bits (por exemplo, AX; pense em "X" como "estendido") ou como um par de registradores de byte (AH, AL; "alto" e metades "baixas").12 Os registradores BX e BP podem conter endereços, assim como os registradores SI e DI , e tendem a ser usados para endereçamento (ver be low). Instruções de loop especiais (que omitimos de nossa lista curta) usam o registrador C, e as instruções de multiplicação/divisão e I/O fazem uso análogo dos registradores A e D.

Os dados usados nas instruções podem ser constantes imediatas, valores mantidos em um registrador ou valores na memória. Você

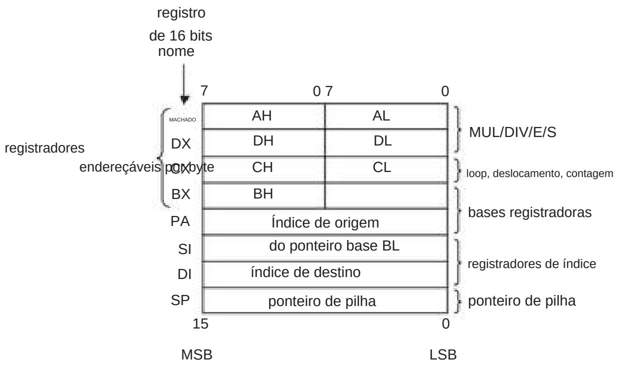


Figura 14.3. 8086 registradores de uso geral.

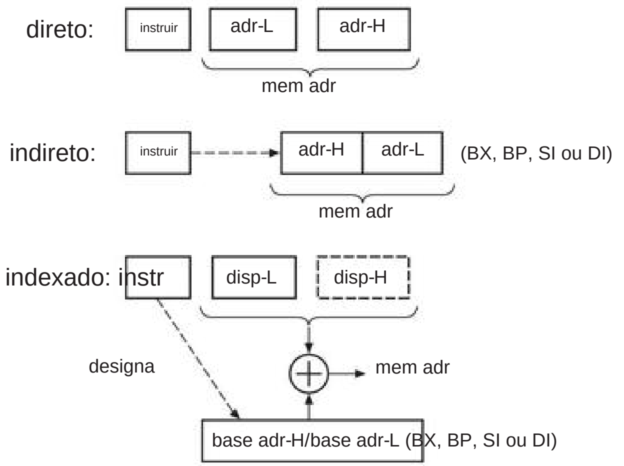


Figura 14.4. Alguns modos de endereçamento.

12 As CPUs x86 posteriores estenderam-nas para 32 bits e para registradores adicionais de 64 bits.

especifique os imediatos por valor e os registros por nome, como nos exemplos acima. Para endereçar a memória, o x86 fornece seis modos de endereçamento, três dos quais são descritos pelos diagramas da Figura 14.4. Em linguagem assembly, você pode apenas nomear a variável *diretamente,* caso em que seu endereço é montado como um par de bytes imediatamente após a instrução; você pode colocar o endereço da variável em um registrador de endereçamento (BX, BP, SI ou DI), então usar uma instrução que especifique o endereçamento *indiretamente* através do registrador; ou você pode combinar essas ações, adicionando um *deslocamento* imediato ao valor em um registrador de endereçamento designado para obter o endereço da variável. O modo indireto é mais rápido (assumindo que o endereço já foi carregado em um registrador de endereçamento) e muito melhor se você quiser fazer algo com um conjunto inteiro de números (uma *string* ou *array).* Aqui estão alguns exemplos de endereçamento:

```
Contagem de MOV, 100H          (direto, imediato)
MOV [BX],100H                  (indireto, imediato)
MOV [BX+1000H], AX (indexado, registrado)
```

Os dois últimos assumem que você já colocou um endereço no BX. A última instrução copia o conteúdo de AX para um local de memória 4K (1000 hex) acima de onde BX aponta na memória; daremos um exemplo em breve, mostrando como você pode usar isso para copiar um array.

Há uma outra complexidade do endereçamento de memória x86 que varremos para debaixo do tapete: o "endereço" gerado por qualquer um desses modos de endereçamento não é realmente o endereço final, como deveria ser óbvio pelo fato de que o registrador de endereço BX tem apenas 16 bits (que podem endereçar apenas 64K bytes de memória). Na verdade, é chamado de *offset;* para obter um endereço real, você adiciona ao deslocamento uma *base* de 20 bits formada pelo deslocamento de 4 bits para a esquerda do conteúdo de um *registrador de segmento* de 16 bits (existem quatro desses registradores). Em outras palavras, o x86 permite acessar grupos de 64K bytes de memória por vez, com a localização desses "segmentos" dentro de um tamanho total de memória de 1 MB definido pelo conteúdo dos registradores de segmento. O uso de endereçamento de 16 bits no 8086 foi basicamente um grande erro, herdado de gerações anteriores de microprocessadores. Processadores mais novos (80386 em diante e designs recentes em outras famílias de CPU) são feitos corretamente, com endereçamento de 32 ou 64 bits.13 Em vez de complicar nossos exemplos, simplesmente ignoraremos os segmentos completamente; na vida real, é claro, você teria que se preocupar com eles.

13 E com um nível adicional de indireção (memória virtual implementada com tabelas de páginas) no caminho para a memória física real. Mas você realmente não queria saber sobre isso, certo?

C. Tour do conjunto de instruções (continuação)

As instruções de *pilha* PUSH e POP vêm a seguir. Uma pilha é uma porção de memória, organizada de uma maneira especial: quando você coloca dados na pilha (um *push),* eles vão para o próximo local disponível ("topo" da pilha); e quando você recupera dados (um *pop),* eles são retirados do topo, ou seja, é o último item colocado na pilha. Assim, uma pilha é uma lista consecutiva de dados, armazenados last-in, first-out (LIFO). Pode ajudar pensar em um dispensador de bandejas para o refeitório.

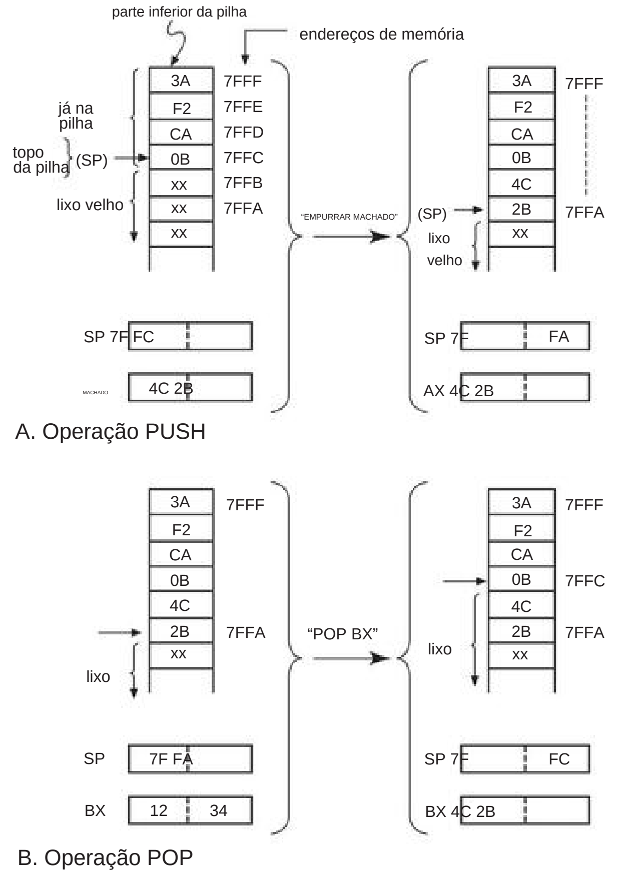


Figura 14.5. Operação de empilhamento: A. efeito de PUSH (ilustrado com o registrador AX); B. efeito do POP (ilustrado com o registro BX.

A Figura 14.5 mostra como isso funciona. A pilha reside em uma RAM comum, com o *ponteiro da pilha* (SP) da CPU registrando a localização do "topo" atual da pilha. A pilha 8086 contém palavras de 16 bits e cresce *na* memória à medida que você envia dados para ela. O SP é automaticamente decrementado em 2 antes de cada PUSH e incrementado em 2 após cada POP. Assim, no exemplo, os dados de 16 bits no registrador AX são copiados para o topo da pilha pelo

Programa 14.1

```
      MOV BX,1000H        ;coloca endereço de array em BX ;inicializa
      MOV CL,100          contador de loop
LOOP: MOV AX,[BX]         ;copia o elemento do array para o AX
      MOV [BX+400H],AX ;então para nova matriz
      ADD BX,2 ;incrementa o ponteiro do array ;decrementa o contador
      DEC CL
      JNZ LOOP            ;loop se a contagem não for zero
PRÓXIMO: (próxima instrução) ;sair aqui quando terminar
```

instrução PUSH AX; o SP fica apontando para o último byte enviado. O POP reverte o processo, conforme mostrado. Como veremos, a pilha desempenha um papel central nas chamadas de sub-rotinas e interrupções.

O JMP faz com que a CPU se afaste de seu hábito usual de executar instruções em ordem sequencial, desviando-se para a instrução para a qual você pula. Saltos condicionais (existem dez possibilidades, indicadas genericamente como *Jcc)* testam o registrador flag (que reside na CPU e cujos bits são definidos de acordo com o resultado da operação aritmética mais recente), então saltam (se a condição for verdadeira) ou executar a próxima instrução na sequência (se a condição não for verdadeira). O Programa 14.1 mostra um exemplo. Ele copia 100 palavras do array começando em 1000 hex para um novo array começando 1kB (400H) acima.

Observe o carregamento explícito do ponteiro (para endereçar o registrador BX) e a contagem do loop (para CL). A matriz real de palavras teve que passar por um registrador (escolhemos AX) porque o 8086 não permite operações de memória para memória (consulte as notas do conjunto de instruções). No final da 100ª passagem pelo loop, CL = 0 e a instrução de salto diferente de zero (JNZ) não salta mais. Este exemplo funcionará, mas na prática você provavelmente usaria uma das instruções de *movimento de string* mais rápidas do x86 . Além disso, é uma boa prática de programação usar nomes simbólicos para tamanhos e matrizes, em vez de constantes como 400H e 1000H.

A instrução CALL é uma chamada de sub-rotina (ou "procedimento" ou "função"). É como um salto, exceto que o endereço de retorno (o endereço da instrução que viria a seguir, exceto para a intervenção CALL) é colocado na pilha. No final da sub-rotina, você executa uma instrução RET , que abre a pilha para que o programa encontre o caminho de casa (Figura 14.6). As três instruções STI, CLI e IRET têm a ver com interrupções, que ilustraremos com um exemplo de circuito mais adiante neste capítulo. Finalmente, as instruções de I/O IN e OUT movem uma palavra ou byte entre o registrador A e a porta endereçada; mais sobre isso em breve.

14.2.3 Um exemplo de programação

Como sugere o exemplo de cópia de array acima, a linguagem assembly tende a verbosidade, com muitos pequenos passos necessários para fazer uma coisa basicamente simples. Aqui está outro exemplo. Suponha que você queira incrementar um número, N, se for igual a outro número, M. Isso normalmente será um pequeno passo em um programa maior e, em linguagens de nível superior, será uma única instrução:

```
se (n==m) n++;              (C, C++, Java)
se n==m:                    (Pitão)
   n+=1
SE (N.EQ.M) N=N+1           (FORTRAN)
se n=m então n:=n+1; (Pascal), etc.
```

Na linguagem assembly x86, parece o Programa 14.2. O programa assembler converterá esse conjunto de mnemônicos em linguagem de máquina, geralmente traduzindo cada linha do código- *fonte* do sembler em uma instrução de *código-objeto* (ocupando vários bytes de linguagem de máquina) e o código de linguagem de máquina resultante será carregado com sucesso locais ativos na memória antes de serem executados. Observe que é necessário dizer ao montador para atribuir algum espaço de armazenamento para variáveis. Isso você faz com o *pseudo-op* do montador "DW" (definir palavra) (chamado de *pseudo-op* porque não produz nenhum código executável). Rótulos simbólicos exclusivos (por exemplo, NEXT) podem ser usados para marcar instruções; isso geralmente é feito apenas se houver um salto para esse local (JNZ NEXT). Dar a alguns locais nomes compreensíveis (para você!) e adicionar comentários (separados por um ponto e vírgula) facilitam o trabalho de programação; isso também significa que você terá a chance de entender o que escreveu algumas semanas depois.

A programação em linguagem assembly ainda pode ser um incômodo, mas às vezes é preferível escrever rotinas curtas nela, que podem ser chamadas de uma linguagem de nível superior, para codificar loops apertados ou para lidar com E/S incomum. Os programas em linguagem assembly geralmente são executados mais rapidamente do que os programas compilados a partir de um

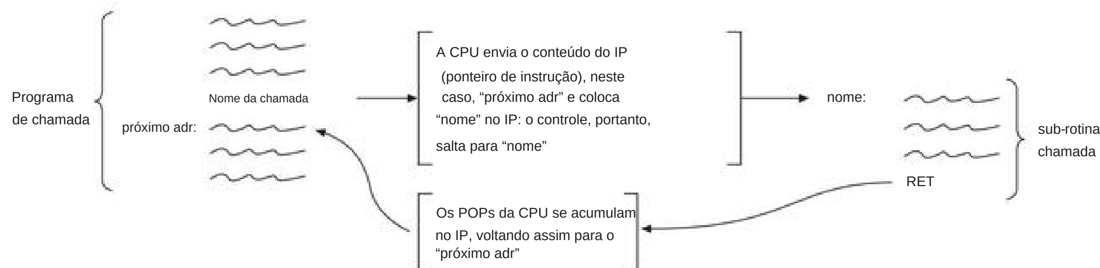


Figura 14.6. operação de CHAMADA.

linguagem superior, por isso, às vezes, são usados onde a velocidade é crucial (por exemplo, o loop mais interno de um longo cálculo numérico). Em grande parte, o desenvolvimento das poderosas linguagens de programação C e C++ minimizou as ocasiões em que você deve usar o código assembly.

De qualquer forma, você não pode realmente entender a interface do computador sem entender a natureza da E/S da linguagem assembly. A correspondência entre a linguagem de montagem mnemônica e a linguagem de máquina executável é explorada mais adiante no manual do aluno14 no contexto da programação do microcontrolador.

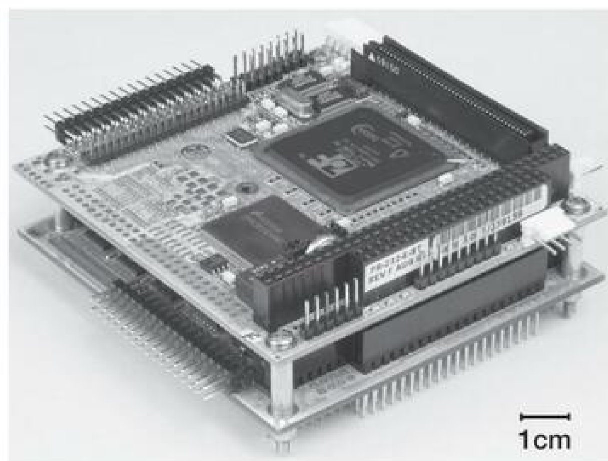


Figura 14.7. Uma placa-mãe com CPU PC104 (superior), com ADC rápido conectado (inferior). A CPU Diamond Systems inclui E/S serial e paralela, USB, vídeo, teclado, mouse, disco rígido e interfaces de disquete e portas de rede; o periférico Chase Scientific inclui um par de ADCs de 14 bits e 10 Msps, juntamente com portas digitais e memória.
O barramento de pilha do PC104 pode ser visto ao longo da borda sudeste: 2 × 32 pinos para o barramento de 8 bits, mais 2 × 20 pinos para a extensão de 16 bits - voila, 104 pinos no total.

14.3 Sinais de barramento e interface

Um barramento de dados típico de microcomputador tem de 50 a 100 linhas de sinal, dedicadas à transferência de dados, endereços e sinais de controle. O barramento PC104/ISA é típico de uma máquina pequena, com 53 linhas de sinal e 8 linhas de alimentação e terra. Em vez de jogá-los todos de uma vez, abordaremos o assunto construindo o barramento, começando com as linhas de sinal necessárias para o tipo mais simples de intercâmbio de dados (E/S programada) e adicionando linhas de sinal adicionais à medida que forem necessárias. Daremos alguns exemplos úteis de interface à medida que avançamos, para manter as coisas compreensíveis e interessantes.

Os sinais do barramento PC104 são transportados de placa a placa em um conector empilhado de 64 pinos (2 fileiras de 32 pinos cada): é um soquete na parte superior e um plugue na parte inferior.
A Figura 14.7 mostra um par PC104 empilhado, com CPU acima de uma placa periférica ADC rápida de alta resolução.

14.3.1 Sinais de barramento fundamentais: dados, endereço, strobe

Para mover dados em um barramento compartilhado (linha compartilhada), você deve ser capaz de especificar os dados, o destinatário e o mo quando os dados são válidos. Assim, um barramento mínimo deve ter linhas DATA (para os dados a serem transferidos), linhas ADDRESS (para identificar o dispositivo de E/S ou endereço de memória) e algumas linhas STROBE (que informam quando os dados estão sendo transferidos). Geralmente, há tantas linhas de DADOS quanto bits na palavra do computador, portanto, uma palavra inteira pode ser transferida de uma só vez. No entanto, no PC104,15 de 8 bits , existem apenas oito linhas DATA (D0–D7); você pode mover um byte em uma transferência, mas para mover uma palavra de 16 bits, você precisa fazer duas transferências. O número de linhas de ENDEREÇO determina o número de dispositivos endereçáveis: se o barramento for usado tanto para E/S quanto para memória (a situação usual), haverá de 16 a 32 linhas de ENDEREÇO

[14] Hayes e Horowitz: *Learning the Art of Electronics – a Hands-On Course,* Cambridge University Press, 2015.

15 A especificação PC104/ISA permite barramentos de 8 e 16 bits; usaremos a versão de 8 bits, para simplificar.

Programa

```
n DW 0        14.2 ;n (uma "palavra") mora aqui e ;m
m DW 0             mora aqui, ambos inicializados em 0

              MOV AX,n ;obter n
              CMP AX,m ;compare
              JNZ NEXT ;desigual, não faça nada
              INC m              ;igual, incrementa m
PRÓXIMO:      (próxima declaração)
                o
                o
                o
```

(correspondente a um espaço de endereço de 64 KB a 4 GB); um barramento usado apenas para E/S pode ter de 8 a 16 bits de ENDEREÇO (dispositivos de E/S de 256 a 64K). O PC104/ISA se comunica tanto com a memória quanto com a E/S em seu barramento e possui 20 linhas ADDRESS (A0–A19), correspondendo a um espaço de endereço de 1 MB.

Finalmente, a própria transferência de dados é sincronizada por pulsos em linhas de barramento "estroboscópicas" adicionais. Existem duas maneiras de fazer isso: ter linhas READ e WRITE separadas , com um pulso em uma ou outra sincronizando a transferência de dados; ou por ter uma linha DATA STROBE (DS) e uma linha READ/WRITE (R/W), com um pulso no DS sincronizando a transferência de dados em uma direção especificada pelo nível na linha READ/WRITE . PC104/ISA usa o primeiro esquema,16 com (ativo-BAIXO) linhas READ/WRITE chamado IOR , IOW , MEMR , e MEMW ; há quatro porque o PC distingue entre memória e endereços de E/S, com pares individuais de strobes READ/WRITE para cada um.

Esses sinais de barramento – DATA, ADDRESS e os quatro strobes – seriam normalmente tudo o que você precisa para fazer o tipo mais simples de transferência de dados. No entanto, no barramento PC104 você precisa de mais um, chamado ADDRESS ENABLE (AEN), para distinguir as transferências normais de E/S do que é chamado de "acesso direto à memória" (DMA). Chegaremos ao DMA em §14.3.10; por enquanto, tudo o que você precisa saber é que AEN é BAIXO para E/S normal e ALTO para DMA. Agora temos 33 sinais de barramento: e AEN.

D0–D7, A0–A19, IOR , IOW , MEMR , MEMW ,

Vamos ver como funcionam.

14.3.2 E/S programada: saída de dados

O método mais simples de troca de dados em um barramento de computador é conhecido como "E/S programada", o que significa que os dados são transferidos por meio de uma instrução IN ou OUT no programa (a instrução direta

16 Porque historicamente os processadores Intel usaram esse esquema; A Motorola escolheu R/W e DS.

ções para IN e OUT estão entre as poucas coisas em que todos os fabricantes de computadores concordam: IN sempre significa *em direção* à CPU e OUT sempre significa a *partir* da CPU). Todo o processo de saída de dados (e gravação de memória) é extremamente simples e lógico (Figura 14.8). O ENDEREÇO do destinatário e os DADOS a serem enviados são colocados nas respectivas linhas de barramento pela CPU. Um estroboscópio de gravação (IOW) é ativado (LOW) pela CPU para sinalizar ao destinatário que os dados são bons. No barramento PC104/ISA de 8 bits, o endereço é garantido, válido ~100 ns antes do início de IOW e os dados são válidos garantidos ~500 ns antes do final de IOW (e por outros 25 ns depois disso). Para jogar, o periférico olha para as linhas ADDRESS e DATA . Quando ele vê seu próprio endereço, ele retém as informações nas linhas DATA , usando a borda de fuga do pulso IOW como um sinal de clock. Isso é tudo.

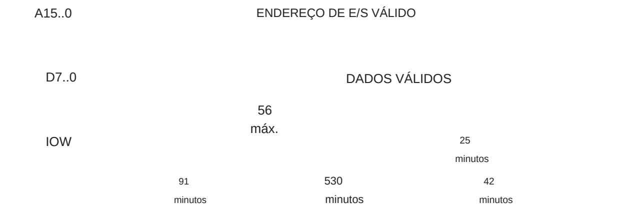


Figura 14.8. Ciclo de E/S WRITE . O tempo está em unidades de nanossegundos. Observe que diagramas de temporização como esses raramente são desenhados em escala.

A. Exemplo: registrador de largura de byte A

Figura 14.9 mostra esta lógica simples: a caixa chamada "adr decode" produz uma saída ALTA "adr match" quando as linhas de endereço A15..0 contêm o endereço atribuído ao periférico; isso permite que o portão produza um pulso de saída quando o IOW for BAIXO (sinalizando uma gravação para o periférico), cuja borda de fuga sincroniza os dados de saída no registrador D de largura de byte. Você pode resumir isso de for

dizendo “os dados são colocados no registro pelo pulso de gravação, qualificado pelo endereço decodificado”. Observe que usamos a borda de *fuga* do IOW para cronometrar o registrador D: isso ocorre porque os dados ainda não são válidos na borda de ataque, mas são garantidos como válidos pela borda de fuga - na verdade, os dados têm uma configuração generosa tempo de ÿ474 ns (e um tempo de espera de ÿ25 ns) em relação a essa borda. Mostramos também o gating analógico para o par alternativo de direção e temporização do sinal de barramento “Motorola” (R/W e DS), que substitui o par “Intel” de IOR e IOW .

O código assembly para esta interface é escandalosamente simples. Se quisermos enviar o byte que já está no registrador AL, basta: OUT 3F8h, AL ;(enviar para a porta adr = 3F8 hex)

O processador entra em ação, com a resposta de hardware de barramento prescrita da Figura 14.8: primeiro ele afirma o endereço específico 3F8 (hex)17 nas linhas de endereço A9..0, então ele afirma IOW e coloca o byte em AL nas linhas de dados D7..0 e, finalmente, desabilita o vestido IOW . Em seguida, ele busca e então os dados e o anúncio executa obedientemente a próxima instrução.

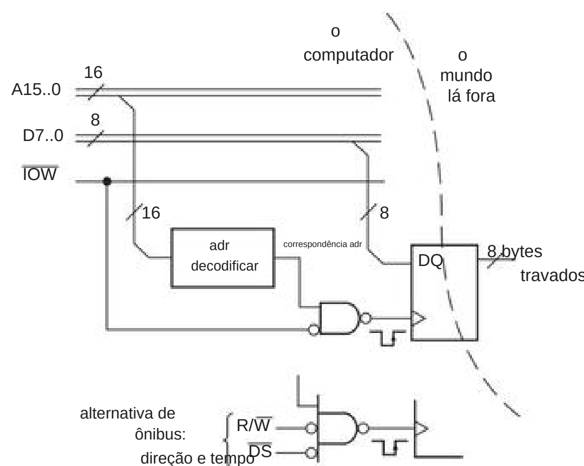


Figura 14.9. Saída de dados programada: um byte declarado pela CPU nas linhas de dados é sincronizado para um dispositivo externo pelo pulso de gravação, se as linhas de endereço contiverem o endereço atribuído ao periférico. Para simplificar, ignoramos o peculiar sinal AEN do PC104 (consulte a Figura 14.10).

B. Exemplo: display gráfico vetorial XY de 16 bits Um exemplo mais completo (e interessante) é mostrado na Figura 14.10, onde conectamos um par de conversores D/A de alta resolução (16 bits) ao PC104 de 8 bits ônibus, por exemplo, para acionar um dispositivo gráfico vetorial de alta resolução tela de jogo. Isso pode ser usado em conjunto com um dispositivo de exibição oscilográfica *XY* de alta resolução (até 64k × *64k !)* nível é afirmado.

Os DACs do Analog Devices AD660 têm um par de registradores internos de 8 bits que você carrega ativando uma habilitação (HBE e LBE para byte alto e baixo) enquanto cronometra a linha WR ; depois disso, você transfere o par para o registrador interno de 16 bits que contém o valor que está sendo convertido em uma tensão de saída (Figura 14.11). Este esquema evita saídas falsas: ele permite que você transfira os valores de 16 bits um byte após o outro e, em seguida, transfira todos eles, simultaneamente, para a saída DAC real. No entanto, adiciona um pouco de complexidade, quando comparado com a porta de saída de registrador de largura de byte simples da Figura 14.9.

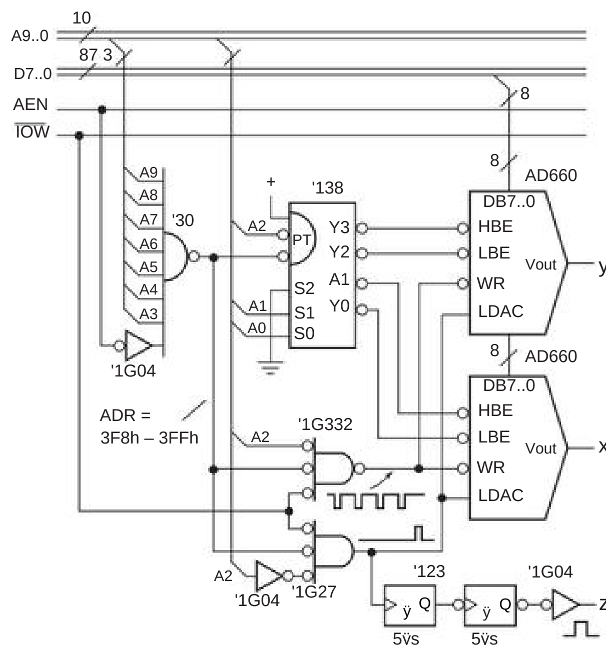


Figura 14.10. Interface DAC de canal duplo de 16 bits no barramento PC104 de 8 bits.

Para esta interface usamos 8 bytes sucessivos (endereços 3F8h–3FFh, ou binário 11 1111 1xxx), escolhendo “base ad dress” 3F8h (binário 11 1111 1000). A NAND de 8 entradas detecta esta faixa de endereço, qualificada pelo sinal de barramento AEN Sua 18 afirmaram BAIXO. saída habilita o decodificador '138 1-de-8 (§10.3.3D), que responde às duas linhas de endereço de ordem inferior (A1 e A0) para habilitar os sucessivos HBE e LBE

[17] Esperamos que o leitor perdoe nossa infeliz escolha de endereço: 3F8h é a porta serial padrão do x86.

18 AEN é definido como HIGH para sinalizar uma *transferência DMA* (§14.3.10); portanto, para E/S programada comum, ela deve ser BAIXA.

durante gravações em bytes nos endereços 3F8h, 3F9h, 3FAh e 3FBh. Após o carregamento, esses bytes são transferidos para a extremidade comercial do DAC por uma gravação no endereço 3FCh, que faz com que o portão inferior gere um pulso LDAC (carregar DAC) quando vê o IOW . Observe que esta última "gravação" não precisa de dados; o circuito ignora D7..0, e apenas usa o , qualificado pelo endereço IOW 3FCh.[19] O pulso LDAC também gera um pulso unblanking do "eixo z" atrasado, fornecendo tempo para os DACs e a tela de exibição de vetor se estabelecerem antes de exibir cada x ,eu ponto.

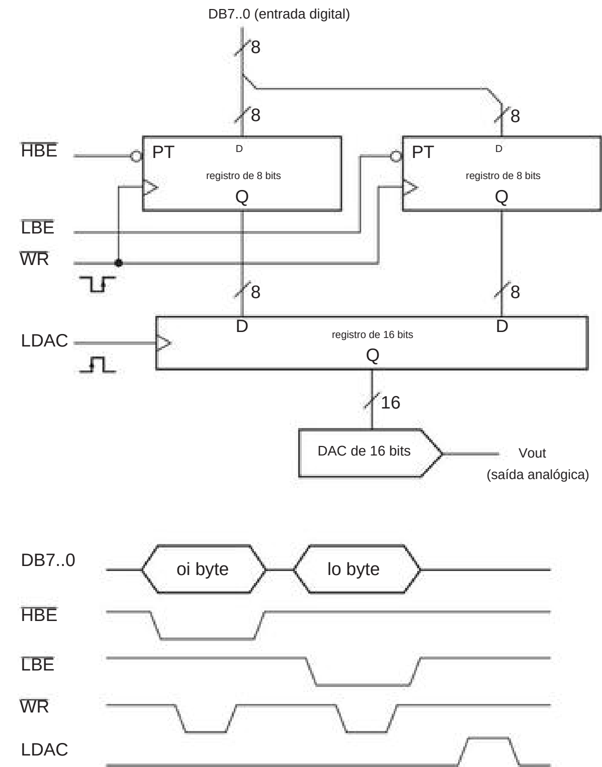
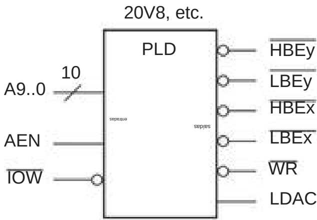


Figura 14.11. Diagrama de blocos e sequência de temporização do ADC AD660 de 16 bits com buffer duplo e entrada de dados paralelos em largura de byte.

Na prática, você provavelmente combinaria toda a lógica, incluindo a decodificação de endereço, em um dispositivo lógico programável (PLD, Capítulo 11), como na Figura 14.12; você também pode incluir jumpers para definir o endereço base.



DACSEL = a9 & a8 & a7 & a6 & a5 & a4 & a3 & !aen; wr_bar = DACSEL & iow_bar & !a2; ldac = DACSEL & iow_bar & a2; lbex_bar = DACSEL & !a2 & !a1 & !a0; hbex_bar = DACSEL & !a2 & !a1 & a0; lbey_bar = DACSEL & !a2 & a1 & !a0; hbey_bar = DACSEL & !a2 & a1 & a0;

Figura 14.12. A lógica da Figura 14.10 se encaixa facilmente em um PLD liliputiano como o 20V8. O código é escrito com asserção lógica, assumindo que as polaridades ativas-LOW são definidas no arquivo de cabeçalho HDL.

14.3.3 Programação da exibição do vetor XY

A programação para executar esta interface é direta. O Programa 14.3 mostra o que você faz. Os endereços dos primeiros *x* e y, e o número de pontos a serem plotados, devem estar disponíveis para o programa. O programa de exibição provavelmente será uma sub-rotina, com esses parâmetros passados como argumentos na chamada da sub-rotina. O programa coloca os endereços das matrizes *x* e *y* (ou seja, o endereço do primeiro *x* e y) nos registradores de ponteiro de endereço SI e DI, e o número de pontos a serem plotados em CX. Em seguida, ele entra em um loop no qual sucessivos pares x,y são enviados para as portas de E/S 3F8h e 3FAh. Os ponteiros de 2 bytes *x* e *y* são avançados a cada vez, e o contador é decrementado e testado para zero, o que indica que o último ponto foi exibido; os ponteiros e o contador são então reinicializados e o processo começa novamente. Os valores *x* e *y* são números inteiros de 2 bytes (16 bits); o código busca cada um deles com um único MOV (implícito no uso do registrador AX interno de 16 bits) e envia cada um como duas transferências de ciclo de gravação sucessivas no barramento de 8 bits. Os processadores x86 armazenam quantidades multibyte em posições de memória sucessivas na ordem de bytes do menor para o maior,[20] começando sempre em um byte de número par.

É por isso que atribuímos os endereços dos pares LBE e HBE conforme mostrado.

Alguns pontos importantes: uma vez iniciado, este

[19] Na verdade, qualificado por qualquer endereço no intervalo 3FCh–3FFh, porque a porta de 3 entradas ignora A1 e A0, no que chamamos de "decodificação de endereço preguiçoso".

[20] Conhecido como "little-endian", para ser distinguido do esquema alternativo de "big-endian" cuja ordem de bytes é do maior para o menor em sucessivas localizações de memória; ver §14.8. (OK, é um trocadilho brega - mas, ei, não fomos nós que o inventamos, então não atire no mensageiro.)

programa exibe a matriz x,y para sempre. Na vida real, o programa provavelmente verificaria o teclado para ver se o operador deseja que a trama seja encerrada. Como alternativa, a exibição pode ser encerrada após um tempo especificado, ou por uma "interrupção", que discutiremos em breve. Com esse tipo de exibição *atualizada ,* geralmente não há tempo para fazer muita computação durante a exibição. Um dispositivo de exibição atualizado de sua própria memória tira essa carga do computador e geralmente é um método melhor. No entanto, se o objetivo é fazer uma plotagem de precisão para cópia impressa fotográfica, este programa e interface fariam o trabalho.21

14.3.4 E/S programada: dados em

A outra direção (entrada de dados) da E/S programada é semelhante. A interface olha para as linhas ADDRESS como antes. Se ele vir seu próprio endereço (e AEN for LOW), ele colocará dados nas linhas DATA coincidentes com o pulso IOR (Figura 14.13). A Figura 14.14 mostra o hardware correspondentemente simples. Essa interface permite que o processador leia um byte travado no registrador tipo '374 D, que convenientemente possui saídas de três estados . sobre qualquer tipo de informação digital (a saída de um instrumento digital, conversor A/D, etc.).

A linha rotulada "ADR=200h" vem de um codificador de endereço (por exemplo, um PLD, ou portas discretas, que produzem um nível ALTO quando A9..0 contém o binário 10 0000 0000); de agora em diante, omitiremos esses pequenos detalhes de implementação.

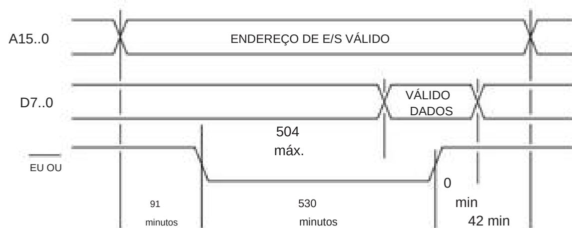


Figura 14.13. Ciclo de LEITURA de E/S . O tempo está em unidades de nanossegundos.

21 Em uma implementação mais sofisticada, você pode gerar pulsos de eixo z de *software :* você atribuiria um endereço de porta (digamos, 3FDh) a um flip flop no qual escreveria um bit ALTO seguido, após um atraso de tempo, por um bit BAIXO ; a largura do pulso e o atraso seriam criados com os temporizadores da CPU. Alternativamente, você poderia decorar nosso circuito com um gerador de pulsos de eixo z de hardware programável , usando um endereço de porta com um registrador de largura de byte para que o software pudesse instruir o hardware a definir o atraso e a largura.

22 É por esta razão – este uso comum de linhas de dados compartilhadas (bused) – que muitos chips incluem saídas de três estados, controladas por um pino de controle de habilitação de saída (OE).

Quando uma instrução "IN AL,200H" é executada, a CPU afirma 200H (hexadecimal 200, às vezes escrito 0x200) em A9..0, espera um pouco e então afirma IOR por 530 ns.
A CPU trava o que vê nas linhas DATA (D7..0) na borda posterior do IOR . A responsabilidade, então, é deste A9..0 os dados a periferia D7..0 pelo menos 26 ns antes do final do IOR ; esse é um tempo bastante relaxado, pois sabe que os dados estão sendo solicitados por pelo menos 504 ns. Com tempos típicos de propagação lógica de porta de 10 ns, 500 ns parece uma eternidade (uma indicação de sua data de nascimento em 1981, uma era de temporização mais relaxada).

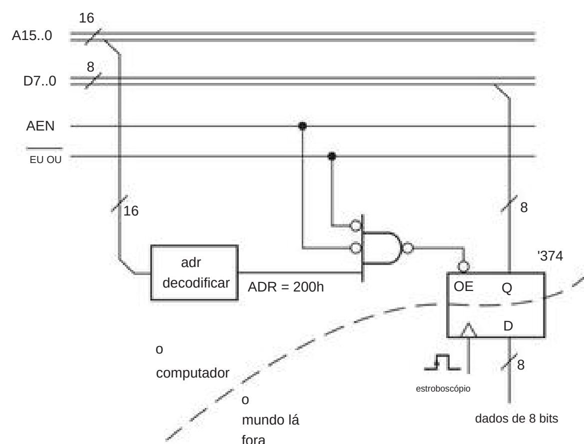


Figura 14.14. Dados programados em: um dispositivo externo afirma seus dados nas linhas de dados durante o pulso IOR se as linhas ADDRESS retiverem o endereço atribuído do periférico. O '374 é um registrador D octal com saídas de três estados.

A. Sinais de barramento: bidirecionais versus unidirecionais Dos dois exemplos que fizemos até agora, você pode ver que algumas linhas de barramento são *bidirecionais,* por exemplo, as linhas de DADOS : elas são confirmadas pela CPU durante a gravação, mas conforme o periférico durante a leitura. Tanto a CPU quanto os periféricos usam drivers de três estados ADDRESS , EU OU , são sempre controlados pela CPU; para essas linhas. Outros, como IOW e as linhas com chips de driver padrão de dois estados (pullup ativo). É típico de barramentos de dados ter ambos os tipos de linhas, usando linhas bidirecionais para dados que vão nos dois sentidos e linhas unidirecionais para sinais que são sempre gerados pela CPU (ou, mais precisamente, gerados pela lógica de controle do barramento associado) . Há sempre um protocolo preciso, como nossas regras para afirmar ou ler de acordo com IOW e ADDRESS, para evitar EU OU , "contenção de barramento" nessas linhas compartilhadas.

Dos sinais de barramento PC104 até agora, apenas as linhas DATA são bidirecionais; as linhas ADDRESS , AEN e READ/WRITE

Programa 14.3

```
                ;rotina para conduzir a porta DAC xy de 16 bits
INIT: MOV SI,xpoint ;inicializar o ponteiro x
        MOV DI,ypoint ;inicializar o ponteiro y
        MOV CX,npoint ;inicializar contador

RASTER: MOV AX,[SI] ;obter x palavra (2 bytes)
        OUT 3F8H,AX ;enviar (transferências de 2 bytes)
        ADD SI,2 ;avanço x ponteiro de palavra
        MOV AX,[DI] ;pega a palavra y (2 bytes)
        OUT 3FAH,AX ;enviar (2 bytes xfers)
        ADD DI,2 ;avança o ponteiro da palavra
        OUT 3FCH,AL ;carrega x e y para DAC
        DEC CX              ;contador de decremento
        JNZ RASTER ;não finalizado, envie mais
        JMP INIT            ;concluído, recomeçar}
```

strobes são unidirecionais da CPU. (Para não darmos a impressão errada, devemos apontar que sistemas de computador mais complexos permitem que outros usuários do ônibus se tornem “mestres” do ônibus. Obviamente, em tal sistema, quase todos os sinais do barramento devem ser compartilhados e bidirecionais. O barramento PC104/ISA é extraordinariamente simples.)

14.3.5 E/S programada: registradores de status

Em nosso último exemplo, o computador pode ler um byte da interface sempre que quiser. Isso é bom, mas como saber quando há algo que vale a pena ler? Em algumas situações, você pode querer que o computador leia dados em intervalos igualmente espaçados, conforme determinado por seu “relógio em tempo real”.
Talvez o computador instrua um ADC a iniciar as conversões em intervalos regulares (por meio de um comando OUT) e, em seguida, leia o resultado alguns microssegundos depois (por meio de um comando IN). Isso pode ser suficiente em um aplicativo de registro de dados. No entanto, é comum que o dispositivo externo tenha vontade própria e seria bom se ele pudesse comunicar o que está acontecendo ao computador sem ter que esperar.

Um exemplo clássico é um teclado de entrada alfanumérica. Você não quer que os personagens se percam; o computador precisa obter todos os caracteres e sem muita demora. Com um dispositivo rápido como um disco ou uma interface serial de alta velocidade, a situação é ainda mais séria; os dados devem ser movidos a taxas de até muitos megabytes por segundo sem demora. Na verdade, existem três maneiras de lidar com esse problema geral: registradores de status, interrupções e acesso direto à memória. Vamos começar com o método mais simples – registradores de status – ilustrado pela interface de teclado na Figura 14.15.

Neste exemplo, o “teclado ASCII” bruto é um dispositivo simples: quando uma tecla é pressionada, ela coloca o byte correspondente em suas linhas de dados de saída (KQ7..0) e gera um pulso de saída curto no STB, conforme mostrado.[23] Usamos o STB (para “strobe”) para cronometre esse código de caractere de largura de byte em um registrador octal tipo D. Montamos o circuito de entrada de dados programado padrão, conforme mostrado, usando as saídas de três estados do registrador D octal para acionar as linhas de DADOS diretamente. A entrada rotulada KBDATA SEL vem do circuito de decodificação de endereço usual do tipo usado nos exemplos anteriores e vai para nível BAIXO quando o endereço específico escolhido para

Figura 14.15. Interface de teclado com bit de status. Os colchetes indicam os sinais do barramento PC104.

[23] Este teclado carece da inteligência das unidades contemporâneas, que geralmente incluem um processador integrado para converter os códigos das teclas em um formato bit serial, normalmente fornecido por meio da interface de hardware USB. Sua própria falta de inteligência, no entanto, nos permite exibir a nossa.

esta interface aparece nas linhas ADDRESS do barramento (em combinação com AEN desabilitado LOW).

O que há de novo neste exemplo é o flip-flop, que é definido quando um caractere é tocado e apagado quando um caractere é lido pelo computador. É um registrador de *status* de 1 bit : HIGH se houver um novo caractere disponível, LOW caso contrário.

O computador pode consultar o bit de status fazendo um dado IN do outro endereço deste dispositivo, decodificado (com portas, decodificadores ou qualquer outro) como KBFLAG SEL . Você precisa de apenas um bit para transmitir as informações de status, portanto, a interface aciona apenas o bit mais significativo (MSB) no barramento (D7), neste caso com um buffer de três estados '125. *(Nunca* dirija uma linha bidirecional com uma saída pull-up ativa (dois estados)! *Nunca!)* A linha que sai do lado do símbolo do buffer é a habilitação de saída de três estados, declarada quando BAIXA, conforme indicado pela bolha de negação.

Este circuito pode ser implementado com lógica padrão, conforme indicado. Alternativamente, ele (e a lógica de decodificação de endereço) caberia facilmente em um pequeno PLD (por exemplo, um XC2C32, XC9536, ATF2500, Mach4032 ou até mesmo um humilde 22V10).

A. Exemplo de programa: terminal de teclado O computador agora tem uma maneira de descobrir quando novos dados estão prontos. O Programa 14.4 mostra como. Esta é uma rotina para obter caracteres do teclado, cujo endereço de porta de dados é KBDATA (é um bom estilo de programação definir os endereços de porta numéricos reais – que correspondem ao que o hardware decodifica como KBDATA SEL, etc. – em algumas declarações próximas ao início do programa, como mostrado); cada caractere é “ecoado” no dispositivo de exibição do computador (endereço da porta = OUTBYTE). Depois de obter uma linha inteira, ele transfere o controle para uma rotina de manipulação de linha, que pode fazer praticamente qualquer coisa, com base no que a linha diz. Quando estiver pronto para outra linha, ele digita um “prompt” de asterisco.

Esse tipo de protocolo deve fazer sentido para você se tiver alguma experiência com computadores.

O programa começa inicializando o ponteiro do buffer de caracteres (BP), movendo o *endereço* do buffer que acabamos de alocar para o registrador de endereços BP. Observe que não podemos simplesmente dizer “MOV BP,charbuf” porque isso carregaria o conteúdo de *charbuf ,* não seu endereço; na linguagem assembly x86 você usa a palavra “offset” na frente de um rótulo de memória para indicar seu endereço. O programa, então, lê o bit de status do teclado por meio de uma instrução IN , o envia com 80h para manter apenas o bit de status (isso é chamado de “mascaramento”) e testa o zero. Zero significa que o bit não está definido, então o programa faz um loop. Quando um bit de status diferente de zero é detectado, ele lê a porta de dados do teclado (que limpa o flip-flop do sinalizador de status), armazena-o consecutivamente no buffer de linha, incrementa o ponteiro (BP) e chama a rotina que ecoa o caractere na tela. Finalmente, ele verifica se a linha foi terminada por um retorno de carro (CR): se não foi, ele volta e faz um loop no sinalizador de status do teclado novamente; se for um CR, ele transfere o controle para o manipulador de linha, após o qual imprime um asterisco e inicia todo o processo novamente.

Uma sub-rotina foi usada para exibir um caractere, pois mesmo essa operação simples requer alguma verificação e mascaramento de sinalizadores. A rotina primeiro salva o byte em AH, depois lê e mascara o sinalizador de ocupado da tela. Um resultado diferente de zero significa que a tela está ocupada, por isso continua verificando; caso contrário, ele armazena novamente o caractere em AL, envia-o para a porta de dados da tela e retorna.

Algumas notas sobre o programa. (a) Poderíamos ter omitido a etapa de mascaramento do sinalizador de teclado, porque o MSB (onde colocamos o bit de sinalizador em nosso hardware) é o bit de sinal; assim poderíamos ter usado a instrução JNS KFCHK. No entanto, esse truque funciona apenas para testar o MSB e, portanto, é um tanto especializado. (b) De acordo com as boas práticas de programação, o símbolo de retorno de carro (0Dh) e o asterisco provavelmente devem ser constantes definidas, semelhantes a KBMASK. (c) O manipulador de linha provavelmente também deve ser uma sub-rotina. (d) Os caracteres serão perdidos se o manipulador de linha demorar muito; isso nos leva à abordagem mais elegante das *interrupções,* que abordaremos em breve. (e) Manipuladores de teclado e terminal são usados com tanta frequência que os sistemas operacionais microprocessados fornecem manipuladores integrados, acessados por meio de “interrupções de software” (veremos isso mais adiante); portanto, nosso programa pode nem ser necessário.

B. Bits de status generalizados Este exemplo de teclado ilustra o protocolo de bit de status; mas é tão simples que você pode ficar com a ideia errada. Em uma interface periférica real de alguma complexidade, geralmente haverá vários sinalizadores para sinalizar várias condições. Por exemplo, em uma interface Ethernet, você normalmente terá bits de status individuais indicando uma transmissão de pacote bem-sucedida ou (se você não tiver tanta sorte) qualquer um dos vários contratempos que podem ter ocorrido. Como um exemplo específico, o ENC28J60 Ethernet Controller IC da Microchip possui um registrador de status de transmissão de 56 bits; bit 20 indica um “Erro de Transmissão CRC,” descrito como “O CRC anexado no pacote não corresponde ao CRC gerado internamente.”[24] Para periféricos de complexidade modesta, o procedimento usual é colocar

todos os bits de status em um byte ou palavra, de modo que um comando de entrada de dados do registrador de status obtenha todos os bits de uma vez . Normalmente, você teria um bit indicando qualquer um de um conjunto

[24] Essas coisas podem se tornar misteriosas com humor: o bit 27 (“Transmit Excessive Defer”) significa “O pacote foi adiado em mais de 24.287 tempos de bit”.

Programa 14.4

```
            ;manipulador de teclado -- usa sinalizadores
KBDATA equ ***H             ;coloque o adr da porta de dados kbd
KBFLAG igual ***H           aqui ;uma porta diferente para o sinalizador
KBMASK igual a 80H          kbd ;máscara do sinalizador kbd ;coloque o adr da
OUTBYTE igual a ***H        porta disp aqui ;outra para o sinalizador da porta
OUTFLAG equ ***H            disp
OUTMASK igual ***H          ;disp máscara de ocupado da porta

charbuf DB 100 dup(0) ;aloca buffer de 100 bytes

INIT: MOV BP, offset charbuf ;init char buf pntr
KFCHK: IN AL,KBFLAG ;ler sinalizador kbd
        AND AL,KBMASK ;mascarar bits não utilizados
        JZ KFCHK            ;sinalizador não definido -- sem dados novos
        IN AL,KBDATA ;flag definido -- obter novo kbd byte ;armazená-lo no buffer
        MOV [BP], AL        de linha ;e avançar ponteiro ;echo último caractere
        INC BP              para exibir ;foi retorno de carro (0Dh)? ;se não,
        TIPO DE CHAMADA     pegue o próximo char ;se assim for, faça algo
        CMPAL,0DH           com a linha ;continue assim ;não desista
        JNZ KFCHK           agora ;finalmente feito!
LINHA:    o
          o
          o
          o
        MOV AL,'*'
        TIPO DE CHAMADA     ;digite um "prompt" -- asterisco ;pegue outra
        JMP INIT            linha

                            ;rotina para digitar caractere ;digita e
                            preserva AL
TIPO: MOV AH,AL             ;salve o char em AH
PCHK:   IN AL,OUTFLAG ;verificar impressora ocupada?
        AND AL,OUTMASK ;máscara de bandeira da impressora
        JNZ PCHK            ;se ocupado verifique novamente
        MOV AL,AH           ;restaurar char para AL
        OUT OUTBYTE,AL ;digite
        RET                 ;e retorno
```

de condições de erro como o MSB da palavra de status, portanto, uma simples verificação de sinal informa se há *algum* erro; se houver, você testa bits específicos da palavra (fazendo AND com máscaras) para descobrir o que está errado. Além disso, em uma interface complexa, você provavelmente não teria os bits de status redefinidos "automaticamente", como fizemos com nosso bit único; em vez disso, uma instrução OUT de dados pode ser usada, cada bit limpa um sinalizador específico.

Exercício 14.1. Com nossa interface de teclado, não há como o computador saber se perdeu um caractere. Modifique o circuito para que haja dois bits de status: CHAR READY (é o que já temos) e LOST DATA. O sinalizador LOST DATA deve ser lido habilitado como D6 na mesma porta de status que CHAR READY; é 1 se uma tecla foi pressionada antes do caractere anterior ser obtido pelo computador, 0 caso contrário.

Exercício 14.2. Adicione uma seção de código ao Programa 14.4 para verificar se há dados perdidos. Ele deve chamar uma sub-rotina chamada LOST se detectar dados perdidos; caso contrário, o programa deve funcionar como antes.

14.3.6 E/S programada: registros de comando

Para resumir, um bit de status (ou uma coleção de bits: um registrador de status) reporta uma condição à CPU (quando solicitado). Indo na direção oposta, a CPU pode enviar um bit (ou

coleção de bits) para um periférico, para dizer a ele para fazer algo. Isso é chamado de bit de *comando* (ou registrador de comando). Um exemplo simples pode ser um bit que diz a um estágio de posicionamento *xy* para se mover para as coordenadas que foram depositadas em um par de registradores de dados do periférico por um par de instruções OUT previamente programadas . Ou, tomando como exemplo nosso controlador Ethernet, a CPU deposita em um par de registradores no CI os endereços inicial e final do pacote de dados a ser transmitido; em seguida, ele define um bit de comando específico (bit 3, para ser exato) no registrador "ECON1" do chip, que abre as comportas ao comandar o chip para enviar o pacote pela porta Ethernet. O chip faz o que foi dito (neste caso, usando DMA para maior velocidade; consulte §14.3.10) e reporta de volta à CPU (quando solicitado; ou mais agressivamente usando uma *interrupção;* consulte a próxima subseção) por meio do status registros.

14.3.7 Interrupções

O uso de sinalizadores de status que acabamos de ilustrar é uma das três maneiras de um dispositivo periférico "informar" ao computador quando alguma ação precisa ser executada. Embora seja suficiente em muitas situações simples, tem o grave inconveniente de que o periférico não pode anunciar que alguma ação precisa ser tomada – ele tem que esperar que seja solicitado pela CPU, por meio de um comando data IN de seu registrador de status. Dispositivos que precisam de ação rápida (como discos ou E/S em tempo real sensível à latência) teriam que ter seus sinalizadores de status consultados com frequência e, com vários desses dispositivos em um sistema de computador, a CPU logo se veria gastando a maior parte de seu tempo verificando sinalizadores de status, como no último exemplo.

Além disso, mesmo com a verificação contínua de sinalizadores de status, você ainda pode ter problemas: no último exemplo, por exemplo, a CPU não terá problemas em acompanhar alguém digitando no teclado quando estiver no loop principal (verificação de sinalizadores). Mas e se ele gastar 1/10 de segundo na porção de manuseio da linha? Ou se o dispositivo com interface for lento, fazendo com que o programa espere até que seu sinalizador de ocupado seja eliminado?

O que é necessário é um mecanismo para que um periférico *interrompa* a ação normal da CPU quando algo precisa ser feito. A CPU pode então verificar o registrador de status para descobrir qual é o problema, cuidar do que precisa ser feito e voltar ao seu funcionamento normal.

Para adicionar capacidade de interrupção a um computador, é necessário adicionar alguns novos sinais de barramento: pelo menos uma linha compartilhada para periféricos para sinalizar uma interrupção e (geralmente) um par de linhas pelas quais a CPU pode determinar quem interrompeu. Por sorte, o PC104/ISA não é um exemplo muito instrutivo, porque não implementa um limite de interrupção completo habilidade. O que falta em poder, porém, é mais do que compensado em simplicidade; implementar interrupções de hardware em uma interface periférica PC104 é como cair de um tronco.

Veja como funciona: o barramento PC104 possui um conjunto de seis linhas *de requisição de interrupção ,* chamadas de IRQ3–IRQ7 e IRQ9. Eles são entradas ativas em nível ALTO para os circuitos de suporte da CPU. Para fazer uma interrupção, basta trazer uma das linhas para o nível ALTO. Se as interrupções estiverem habilitadas em geral (junto com o IRQ específico que você afirma), a CPU será interrompida após sua próxima instrução, então (depois de salvar seus sinalizadores e localização atual na pilha) pule para um programa "manipulador de interrupção" em algum lugar da memória. Você escreve o manipulador para fazer o que deseja (por exemplo, obter dados do teclado) e pode colocar o manipulador em qualquer lugar que desejar, porque a CPU descobre para onde pular procurando o endereço de 4 bytes do manipulador em um especial ("vetor ") local com pouca memória. Essa localização depende de qual IRQ você afirmou; para o x86 é dado em hex por 20+4n, onde *n* é o nível de interrupção. Por exemplo, a CPU responderia a uma interrupção no IRQ2 saltando para o endereço (4 bytes) armazenado nas localizações 28h a 2Bh (é exatamente como o endereçamento indireto, exceto que o endereço é encontrado na memória e não em um registrador); claro, você teria habilmente providenciado para que o endereço inicial de seu manipulador estivesse lá. No final do seu manipulador, você executa uma instrução IRET , que faz com que a CPU restaure o registrador de sinalizador preexistente e volte para onde estava quando a interrupção ocorreu.

A. Exemplo: interface de teclado com interrupções Vamos ilustrar adicionando interrupções (Figura 14.16) ao nosso circuito de interface de teclado da Figura 14.15. Mantivemos o bit de sinalizador ("caractere pronto") e programamos os circuitos de E/S essencialmente como antes, exceto que limpamos o sinalizador com uma nova linha de barramento, RESET, um sinal de barramento que é momentaneamente declarado ALTO quando o computador está ligado. Esse sinal geralmente é usado para forçar seus flip-flops e outras lógicas sequenciais a um estado conhecido na inicialização. Obviamente, ele deve redefinir um sinalizador que indica que um byte válido está pronto para ser reivindicado (e isso, em nossa nova interface, causará ainda mais uma interrupção).

O novo circuito de interrupção consiste em um driver de três estados para ativar o IRQ3 quando um caractere está pronto. Esse é todo o novo hardware que você precisa. Embora não seja estritamente necessário, adicionamos a capacidade de desabilitar o buffer do driver de interrupção enviando um byte de dados com D0 LOW para o endereço da porta KBFLAG . Isso seria usado se você quisesse conectar outro periférico com interrupções no mesmo nível de IRQ , permitindo que apenas um periférico usasse suas interrupções a qualquer momento (posteriormente teremos mais explicações sobre esse ponto complicado).



Figura 14.16. Interface de teclado com bit de status e interrupção.

14.3.8 Tratamento de interrupção

Os sinais de barramento PC104, derivados do IBM PC original, tornam o tratamento de interrupção particularmente fácil, embora limitado em flexibilidade em comparação com o método geral (e mais sofisticado) descrito abaixo (§14.3.9). Os sinais de barramento requerem, além da própria CPU, alguns circuitos de controle de interrupção na placa-mãe.25 Esse circuito de "chip de suporte" faz a maior parte do trabalho pesado, que consiste em priorizar, mascarar e afirmar vetores (vamos descreva-os depois de terminar o exemplo). A CPU, por sua vez, reconhece a interrupção e responde salvando o ponteiro de instrução e o registrador de sinalizador, desativando outras interrupções e, em seguida, fazendo um salto através do endereço correspondente armazenado na área do vetor de pouca memória. Seu programa manipulador faz o resto, ou seja: (a) salva (empurra) quaisquer registradores que você usará (lembre-se de que o programa interrompido não pode se preparar para a interrupção, pois ela pode acontecer em qualquer lugar do programa em execução - é um disparar do nada); (b) descobre o que precisa ser feito, lendo os registradores de status, se necessário; (c) o faz; (d) restaura os registradores salvos da pilha; (e) informa ao circuito de controle de interrupção que você terminou (enviando um byte de "fim de interrupção" 20h para seu registrador no endereço de E/S 20h); e, finalmente, (f) executa um retorno da instrução de interrupção IRET; isso faz com que a CPU restaure o antigo registrador de flag que salvou na pilha e salte (através do antigo ponteiro de instrução que salvou na pilha)

[25] O que foi feito por um IC controlador de interrupção 8259 na placa-mãe original do PC.

de volta ao programa que foi interrompido. Em algum lugar do programa, você deve ter (g) carregado o endereço do manipulador na localização do vetor correspondente ao nível de IRQ usado pelo hardware e informado ao hardware de controle de interrupção para habilitar as interrupções naquele nível.

O programa 14.5 mostra o código para o teclado com interrupção. Aqui está o esquema geral: o programa principal define as coisas e, em seguida, faz um loop em um sinalizador (na memória, não no hardware) que o manipulador de interrupção define quando reconhece um retorno de carro; quando o programa principal vê aquele sinalizador definido, ele sai e faz algo com a linha, então retorna ao loop de verificação do sinalizador. O manipulador, inserido a cada interrupção, coloca um caractere no buffer de linha, define o sinalizador se for um retorno de carro e retorna.

Vejamos o programa com algum detalhe. Depois de definir os endereços de porta e a localização do vetor crítico para IRQ3, ele aloca 100 bytes (inicialmente preenchidos com zeros) para o buffer de caracteres. A execução real do programa começa colocando o endereço do buffer no registrador de endereços SI, zero no sinalizador de fim de linha e o endereço do manipulador (que começa com KBINT) na localização 2Ch. Para habilitar interrupções de nível 3 no controlador de interrupção, limpamos o bit 2 de sua máscara existente (IN, AND, OUT); em seguida, habilitamos as interrupções da CPU e enviamos um 1 para KBFLAG, que habilita o driver de três esta
Agora estamos correndo. O programa então faz um loop, com interrupções acontecendo secretamente bem debaixo do nariz do programa principal, até que ele misteriosamente encontra o conjunto "buflg". Ele redefine o ponteiro e o sinalizador imediatamente (no caso de outra interrupção ocorrer em breve) e, em seguida, engole a linha. Seria bom mover-se rapidamente ou copiar a linha para outro buffer, uma vez que outra interrupção (com um novo byte para entrar no buffer) poderia ocorrer em alguns milissegundos; nesse tempo você pode executar algumas centenas de milhares de instruções, porém, mais do que o suficiente para copiar a linha.

O manipulador de interrupção é um pequeno pedaço de código separado, sem nenhuma entrada do programa principal. Ele é inserido em uma interrupção de nível 3, por meio de seu endereço que inicialmente carregamos em 2Ch. Ele sabe exatamente o que tem que fazer, e o faz sem reclamar: salva AX (porque planeja esmagá-lo), lê o caractere da porta de dados do teclado, coloca-o no buffer, incrementa o ponteiro, ecoa o caractere para a tela, define o sinalizador se for um retorno de carro, envia o fim da interrupção para o controlador de interrupção, restaura AX e retorna.

Se você olhar nossa lista de tarefas de manipulador acima, verá que omitimos apenas uma etapa, ou seja, ler sinalizadores de status para descobrir qual das várias ações precisava ser executada. Isso é desnecessário aqui, porém, porque há apenas um motivo para interromper, ou seja, que um novo caractere do teclado precisa ser lido. (O programador obviamente tem

Programa 14.5

```
                    ;manipulador de teclado -- usa interrupções
KBVECT equ word pntr 002CH ;vetor INT3
KBDATA equ ***H                    ;coloque o adr da porta de dados kbd aqui
KBFLAG igual ***H                  ;coloque kbd flag port adr aqui
bufl g          BD 0               ;aloca sinalizador de "fim de linha"
bufpos DW 0                        ;aloca ponteiro de buffer
charbuf DB 100 dup(0) ;aloca char buf de 100 bytes

              CLI ; desabilita interrupções
              MOV bufpos, offset charbuf ;inicializar buf pntr
              MOV buflg,0 ;limpa sinalizador de fim de linha
              MOV KBVECT,offset KBINT ;hndlr adr->vec área
              DST                  ;habilita interrupções
              MOV AL,1
              OUT KBFLAG,AL ;habilita hardware drvr de 3 estados
PROMPT: MOV AL,'*'
              TIPO DE CHAMADA      ;digite prompt ;máscara "*"
              EM AL,21H            int ctrl existente
              AND AL,0F7H ;limpa bit 3 para habilitar INT3
              SAÍDA 21H, AL        ;e envie de volta para intctrl OCW1
LNCHK: MOV AL,buflg
              OU AL,AL             ;necessário para definir o sinalizador
              JZ LNCHK             zero ;loop até o sinalizador de fim de linha definido
LINE: MOV bufpos,offset charbuf ;redefinir ponteiro
              MOV buflg,0 ;limpar sinalizador de linha ;fazer algo com a
                 o                 linha
                 o
                 o
              JMP PROMPT             ;e espere outra linha

;    *** isso encerra o programa principal.                ***
;    *** o código abaixo é completamente independente ***
                    ;manipulador de interrupção do teclado
                    ;um INT3 pousa você aqui, via vect nós carregamos
KBINT: STI                         ;habilita interrupções
              PUSH AX              ;salva registro AX, usado aqui ;salva SI, possíveis
              PUSH SI              outros usuários
              MOV SI,bufpos ;e copie o ponteiro do buffer lá
              IN AL,KBDATA ;pega byte de dados do teclado
              MOV [SI],AL ;coloque no buffer de linha
              INC SI               ;e ponteiro de avanço
              MOV bufpos,SI ;e copiar para bufpos
              TIPO DE CHAMADA      ;eco para a tela
              CMPAL,0DH            ;verificar retorno de carro
              JNZ HOME             ;não é um CR -- retorna
              MOV buflg,0FFH ;CR -- define sinalizador de fim de linha
              IN AL,21H ;máscara int ctrl existente ;definir bit 3 para desabilitar INT3
              OU AL,08H
              SAÍDA 21H, AL        ;e envie de volta para intctrl OCW1
CASA: MOV AL,20H
              SAÍDA 20H, AL        ;sinal de fim de int para int ctlr
              POP SI               ;restaurar SI
              POP AX               ;restaurar AX antigo
              IRET                 ;e retorno
```

para entender em que condições o hardware faz uma interrupção e o que é necessário para atender a interrupção.)

Algumas observações sobre este programa: primeiro, embora estejamos usando interrupções, o programa parece tão estúpido quanto antes – ele faz um loop continuamente no sinalizador de fim de linha. No entanto, poderia estar fazendo outras coisas, se houvesse coisas para fazer. Na verdade, ele faz exatamente isso começando na instrução LINE, onde processa a linha final; durante esse tempo, as interrupções garantem que novos caracteres sejam colocados no buffer, enquanto eles seriam perdidos em nosso exemplo anterior sem interrupções.

Isso traz um segundo ponto, ou seja, mesmo com interrupções, ainda estamos com problemas se o programa estiver fazendo coisas com a linha anterior quando a próxima linha tiver sido totalmente inserida. É claro que, *em média ,* o programa simplesmente precisa acompanhar a entrada do teclado; mas você pode ter uma situação em que o usuário da linha ocasionalmente gasta muito tempo e você precisa armazenar em buffer mais de uma linha temporariamente. Uma solução para isso é fazer uma cópia para um segundo buffer ou alternar entre dois buffers. Uma alternativa elegante é organizar a entrada como uma fila, implementada como um "buffer circular" (ou "buffer circular"), no qual um par de ponteiros rastreia para onde vai o próximo caractere de entrada e de onde o próximo caractere é removido. O manipulador de interrupção avança o ponteiro de entrada e o usuário da linha avança o ponteiro de saída. Esse buffer de anel pode ter tipicamente 256 bytes de comprimento, permitindo que o manipulador de linha fique algumas linhas para trás.

Um terceiro ponto diz respeito ao próprio manipulador de interrupção. Geralmente é melhor mantê-lo curto e simples, talvez definindo sinalizadores para sinalizar a necessidade de operações complicadas no programa principal. Se o manipulador se tornar prolixo, você corre o risco de perder dados de outros dispositivos de interrupção porque as interrupções são desativadas (nesse nível e abaixo) quando a CPU pula para o manipulador. A solução neste caso é reativar as interrupções *em* seu manipulador com uma instrução STI , depois de fazer as coisas críticas que precisam ser feitas primeiro. Então, se ocorrer uma interrupção, seu próprio manipulador de interrupção será interrompido. Como sinalizadores e endereços de retorno são armazenados na pilha, o programa encontrará o caminho de volta, primeiro para o seu manipulador e, finalmente, para o programa principal.

14.3.9 Interrupções em geral

Nosso exemplo de teclado ilustra a essência das interrupções – uma solicitação espontânea de hardware por atenção por um periférico, produzindo um salto de programa para uma rotina de manipulador dedicada (geralmente resultando em alguma E/S programada), seguida por um retorno ao código que foi interrompido. Outros exemplos de dispositivos de interrupção são os relógios de tempo real, nos quais um interrupção periódica (geralmente 10 por segundo, mas 18,2 por segundo no PC original do qual o barramento PC104 derivou) sinaliza uma rotina de cronometragem para avançar a hora atual; um outro exemplo é uma porta de impressora, que é interrompida toda vez que está pronta para um novo caractere. Por meio de interrupções, esses periféricos permitem que o computador intercale outras tarefas simultaneamente; é por isso que você pode estar digitando enquanto seu PC está imprimindo um arquivo (e, é claro, mantendo o tempo adequado).

O barramento PC104/ISA, no entanto, não ilustra toda a generalidade das interrupções. Como vimos, ele possui um conjunto de seis linhas IRQ no barramento de 8 bits (existem mais cinco na extensão de 16 bits), cada uma das quais pode ser usada apenas para um único dispositivo de interrupção. As linhas IRQ são numeradas de acordo com a prioridade; no caso de várias interrupções, a interrupção de menor número é atendida primeiro. E várias das linhas IRQ são pré-atribuídas a periféricos essenciais, deixando poucos disponíveis. Além disso, a interrupção é *disparada pela borda,* o que frustra qualquer possibilidade razoável de usar OR com fio para combinar vários periféricos em uma única linha de IRQ . Evidentemente, os projetistas originais do IBM PC, sem prever a necessidade de interrupções compartilhadas, projetaram um esquema de interrupção longe do ideal.

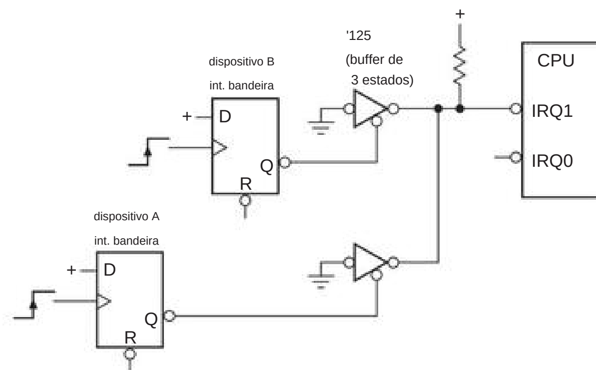


Figura 14.17. Compartilhando uma linha de interrupção sensível ao nível via wired-OR.

A. Linhas de interrupção compartilhadas O protocolo de interrupção usual, conforme implementado em muitos microcomputadores, contorna essas limitações. Veja a Figura 14.17. Existem várias linhas do tipo IRQ (priorizadas); essas são entradas ativas em nível BAIXO para a CPU (ou seus circuitos de suporte imediato). Para solicitar uma interrupção, você puxa uma das linhas de IRQ para BAIXO, usando uma porta de coletor aberto (ou de três estados), conforme mostrado (observe o truque para usar uma porta de três estados para imitar uma porta de coletor aberto). As linhas IRQ são compartilhadas, com um único pullup resistivo, então você pode colocar quantos dispositivos quiser em cada linha IRQ ; em nos

portas compartilham IRQ1. Você geralmente conectaria um dispositivo sensível à latência (impaciente) a uma linha IRQ de prioridade mais alta .

Como as linhas IRQ são compartilhadas, sempre pode haver outro dispositivo interrompendo na mesma linha ao mesmo tempo. A CPU precisa saber quem interrompeu para poder pular para o manipulador apropriado. Existe uma maneira simples e uma maneira complicada de fazer isso. A maneira simples é chamada de *polling autovetorizado* e é usada quase universalmente (embora não no barramento PC104). Veja como funciona.

Polling autovetorado

Alguns circuitos na placa da CPU instrui o microprocessador que deve usar autovetorização, que funciona exatamente como o PC104 – cada nível de interrupção força um salto através de um local de vetorização correspondente na memória baixa. Você coloca os endereços dos manipuladores nesses locais, assim como em nosso exemplo anterior.

Uma vez no manipulador, você sabe qual nível de interrupção está atendendo; você simplesmente não sabe qual dispositivo em particular causou a interrupção. Para descobrir, basta verificar os registradores de status de cada um dos dispositivos conectados a esse nível de interrupção (um dispositivo nunca solicita uma interrupção sem também indicar sua necessidade, definindo um ou mais bits de status legíveis). Se um bit for definido indicando que algo precisa ser feito, você o faz, incluindo o que for necessário para fazer com que o dispositivo desative seu IRQ : alguns dispositivos (como nosso teclado) limpam sua interrupção quando lidos, enquanto outros podem precisar de um determinado byte enviado para algum endereço de porta de E/S.

Se o dispositivo que você atendeu foi o único interrompendo naquele nível, esse IRQ agora será ALTO ao retornar ao programa interrompido e a execução continuará. No entanto, se houvesse um segundo dispositivo de interrupção no mesmo nível, essa linha de IRQ ainda seria mantida em nível BAIXO (pela ação wired-OR da linha de IRQ compartilhada) ao retornar da rotina de serviço, de modo que a CPU faria o autovetor imediatamente de volta para o mesmo manipulador. Desta vez, o polling encontraria o outro dispositivo de interrupção, faria seu trabalho e retornaria. Observe que a ordem na qual você pesquisa os registros de status configura efetivamente uma "prioridade de software", além da prioridade de hardware dos vários níveis de IRQ .

Reconhecimento de interrupção

Não devemos deixar o assunto de interrupções sem mencionar um procedimento mais sofisticado para identificar quem interrompeu – *reconhecimento de interrupção.* Nesse método, a UCP não precisa pesquisar os registradores de status de possíveis interruptores porque o dispositivo de interrupção *informa* à UCP seu nome, quando solicitado. O interruptor faz isso colocando um "vetor de interrupção" (geralmente uma quantidade única de 8 bits) nas linhas DATA em resposta a um "reconhecimento de interrupção" sinal que a CPU gera durante o processamento da interrupção.

Quase todo microprocessador gera os sinais necessários. A sequência de eventos é assim.

(a) A CPU percebe uma interrupção pendente. (b) A CPU termina a instrução atual, então ativa (i) sinais de barramento que anunciam uma interrupção, (ii) o nível de interrupção sendo atendido (nas linhas ADDRESS de ordem inferior) e (iii) strobes do tipo READ que convidar o dispositivo de interrupção a se identificar.

(c) O dispositivo de interrupção responde a esta atividade de barramento afirmando sua identidade (vetor de interrupção) nas linhas de DADOS .

(d) A CPU lê o vetor e salta para o manipulador único correspondente para o dispositivo de interrupção. (e) O software manipulador, como em nosso último exemplo, lê sinalizadores, obtém e envia dados, etc., conforme necessário; entre suas outras funções, deve certificar-se de que o dispositivo de interrupção desative sua interrupção. (f) Finalmente, o software manipulador de interrupções retorna o controle ao programa que foi interrompido.

Leitores atentos podem ter notado uma falha no procedimento que acabamos de descrever. Em particular, deve haver um protocolo para garantir que apenas um dispositivo ative seu vetor, pois pode haver vários dispositivos de interrupção simultâneos no mesmo nível de IRQ . A maneira usual de lidar com isso é ter um sinal de barramento (chame-o de INTP, "prioridade de interrupção") que é incomum por não ser compartilhado por dispositivos no barramento, mas é transmitido *através* do circuito de interface de cada dispositivo, começando como um Nível ALTO no dispositivo mais próximo da CPU e percorrendo cada interface. Isso é chamado de "daisy chain" na linguagem colorida da eletrônica. A regra para a lógica de hardware INTP é a seguinte: se você não solicitou uma interrupção no nível que está sendo reconhecido, passe o INTP para o próximo dispositivo inalterado; *se* você interrompeu nesse nível, mantenha sua saída INTP BAIXA. Agora, a regra para afirmar seu vetor é a seguinte: coloque seu número de vetor no barramento de dados quando solicitado pela CPU somente se (a) você tiver uma interrupção pendente no nível que está sendo reconhecido e (b) sua entrada INTP for ALTA. Isso garante que apenas um dispositivo ative seu vetor; ele também estabelece uma cadeia de "prioridade serial" dentro de cada nível de IRQ , com os dispositivos eletricamente mais próximos da CPU sendo atendidos primeiro.

Existe uma boa alternativa para o método serial daisy-chain de reconhecimento de interrupção: em vez de passar uma linha por cada interruptor possível, você traz linhas individuais de volta de cada um para um codificador prioritário (§10.3.3E), que por sua vez reconhece a interrupção por

afirmando a identidade do dispositivo de interrupção de prioridade mais alta. Este esquema evita o incômodo de jumpers em cadeia.

Na maioria dos sistemas de microcomputadores, não vale a pena implementar o reconhecimento de interrupção completo que acabamos de descrever. Afinal, com a autovetoração de 8 níveis, você pode lidar com até oito dispositivos de interrupção sem polling e várias vezes esse número com polling. Somente em grandes sistemas de computador, nos quais você exige uma resposta rápida com dezenas de dispositivos de interrupção presentes, você pode sucumbir à complexidade do protocolo de reconhecimento de interrupção. No entanto, é importante perceber que até mesmo computadores simples podem estar usando *internamente o reconhecimento de interrupção vetorial.* Por exemplo, o esquema simples de interrupção do autovetor de 6 níveis do PC104 é, na verdade, gerado por um chip de suporte do controlador de interrupção que fica próximo à CPU e gera a sequência adequada de reconhecimento de interrupção descrita (veja abaixo).

B. Máscaras de interrupção

Colocamos um flip-flop em nosso exemplo de teclado simples para que suas interrupções possam ser desabilitadas, embora o próprio chip controlador de interrupção permita desligar ("mascarar") cada nível de interrupção individualmente. Fizemos isso para que algum outro dispositivo pudesse usar o IRQ3. Para um barramento com linhas IRQ compartilhadas *(sensíveis* ao nível) , é especialmente importante tornar cada fonte de interrupção mascarável, usando um bit de porta de saída de E/S. Por exemplo, uma porta de impressora normalmente é interrompida toda vez que seu buffer de saída fica vazio ("forneça-me mais dados"); quando terminar de imprimir, porém, você não se importa. A solução óbvia é desativar as interrupções da impressora. Como pode haver outros dispositivos conectados ao mesmo nível de interrupção, você não deve mascarar todo esse nível; em vez disso, basta enviar um bit para a porta da impressora para desativar suas interrupções.

C. Como as interrupções PC104 ISA ficaram do jeito que estão são

O barramento ISA foi criado pelos projetistas do IBM PC e adotado sem alterações (mas com um conector diferente) pelo consórcio PC104. O microprocessador 8086/8 usado no IBM PC original realmente implementou o protocolo vetorizado completo de reconhecimento de interrupção. Para manter as coisas simples, no entanto, os projetistas de PC usaram um controlador de interrupção 8259 IC na placa-mãe. Do jeito que foi usado no PC, ele tinha um conjunto de entradas IRQ dos slots de placa de barramento de E/S (é onde você faz suas solicitações de interrupção) e conectado ao barramento de dados e linhas de sinal do microprocessador. Quando recebia uma solicitação em uma linha IRQ de um periférico, descobria a prioridade e fazia todo o trabalho de afirmar o vetor correspondente nos dados ônibus. Ele tinha um registrador de máscara (acessível como porta de E/S 21h) para que você pudesse desabilitar qualquer grupo especificado de interrupções.

O 8259 permite que você selecione (através do software) interrupções acionadas por *nível* ou borda em suas linhas de entrada IRQ , de acordo com um byte enviado para um registrador de controle (porta de E/S 20h). Infelizmente, os projetistas de PC decidiram usar disparo de borda, provavelmente porque isso torna um pouco mais fácil implementar interrupções (por exemplo, você pode simplesmente conectar a saída de onda quadrada do relógio de tempo real diretamente ao IRQ0). Se eles tivessem selecionado interrupções sensíveis ao nível, você seria capaz de interromper vários dispositivos de interrupção em cada linha IRQ , com pesquisa de software conforme descrito acima.

Existe uma solução parcial para este problema. Desde que haja uma linha IRQ disponível, você *pode* combinar vários dispositivos de interrupção em uma única placa PC, com lógica para gerar interrupções acionadas por borda nessa única linha IRQ .
Mas, como os dispositivos de interrupção precisam se conhecer, você não pode usar esse esquema para periféricos de plug-in independentes. Além disso, você ainda usa uma linha de IRQ por cartão, portanto, em um sistema complicado, não haverá o suficiente para todos.

D. Interrupções de software A série de CPUs Intel x86 possui uma instrução ("INT n", onde n é 0–255) que permite produzir o mesmo tipo de salto vetorial que uma interrupção de hardware real. De fato, entre seus 256 possíveis vetores de salto estão duplicatas dos oito níveis de interrupções de hardware solicitadas por IRQ (INT 8 a INT 15, para ser exato). Assim, você pode fazer uma "interrupção de software" a partir de uma instrução de programa.

Não confunda isso com as interrupções de hardware acionadas externamente de que falamos. Interrupções de software acabam sendo uma maneira prática de implementar saltos vetoriais do código do usuário para o software do sistema. Mas não são interrupções reais, no sentido de uma chamada de hardware por atenção de um dispositivo autônomo externo. Pelo contrário, você os incorpora ao seu software, sabe quando eles estão chegando (é por isso que você pode passar argumentos pelos registradores) e eles são apenas a resposta (embora idêntica ao que se segue a uma verdadeira interrupção) da CPU ao seu próprio código.

Você pode pensar nas interrupções de software como uma maneira inteligente de estender o conjunto de instruções.

14.3.10 Acesso direto à memória

Existem situações em que os dados devem ser movidos muito rapidamente de ou para um dispositivo. Os exemplos clássicos são dispositivos rápidos de armazenamento em massa, como unidades de disco magnéticas e ópticas, e conexões de rede. O processamento programado iniciado por interrupção de cada transferência de dados nesses exemplos seria

ser desajeitado e, pior, muito lento. Por exemplo, os dados vêm de uma unidade de disco magnético típica em taxas sustentadas de até 500 MB por segundo. Com a contabilidade envolvida no tratamento de uma interrupção, a situação seria desesperadora, mesmo que o disco fosse o único dispositivo de interrupção no sistema.
Dispositivos como discos e fitas (para não mencionar sinais e dados em tempo real) não podem parar no meio do fluxo, portanto, um método deve ser fornecido para uma resposta rápida confiável e altas taxas gerais de transferência de bytes. Mesmo com periféricos com baixas taxas médias de transferência de dados, às vezes há requisitos de *latência curta,* o tempo desde a solicitação inicial até a movimentação real dos dados.

A solução para esses problemas é o acesso direto à memória (DMA), um método de comunicação direta do periférico para a memória. Em alguns microcomputadores, a comunicação é realmente controlada pelo hardware da CPU, mas isso realmente não importa. O ponto importante é que nenhuma programação está envolvida na transferência real de dados; os bytes são movidos entre a memória e os periféricos através do barramento, sem intervenção do programa.
O único efeito sobre o programa em execução é a diminuição do tempo de execução, porque a atividade DMA "rouba" ciclos de barramento que, de outra forma, seriam usados para acessar a memória para a execução do programa.
O DMA geralmente envolve mais complexidade de hardware na própria interface e geralmente não é usado, a menos que seja necessário. No entanto, é útil saber o que pode ser feito, por isso descrevemos brevemente o que você precisa para fazer uma interface DMA. Tal como acontece com as interrupções, o barramento PC104/ISA usa um protocolo DMA linear, com um chip "controlador DMA" na placa-mãe fazendo o trabalho duro para você, tornando assim uma interface DMA relativamente direta. Primeiro, explicamos o método mais comum de "bus mastership" de DMA, depois o protocolo DMA simplificado do PC104.

A. Um protocolo DMA típico Nas transferências DMA, o periférico solicita acesso ao barramento por meio de linhas especiais de "solicitação de barramento" (priorizadas como as linhas IRQ) que fazem parte do barramento. A CPU dá permissão e libera o controle de endereço, dados e linhas estroboscópicas. O periférico então afirma endereços de memória no barramento e envia ou recebe dados, um byte por vez, de acordo com os strobes que ele afirma; em outras palavras, ele assume o barramento (torna-se "mestre do barramento") e age como uma CPU, direcionando as transferências de dados. O mestre do barramento DMA é responsável por gerar endereços (normalmente um bloco de endereços sucessivos, gerados com um contador binário) e acompanhar o número de bytes movidos. A maneira usual de fazer isso é ter um contador de bytes e um contador de endereços na interface. Estes são inicialmente carregados da CPU, via E/S programada, para configurar a transferência DMA desejada. No comando da CPU (através de um bit de comando, escrito com E/S programada), a interface faz sua solicitação DMA e começa a mover seus dados. Ele pode liberar o barramento entre cada byte (permitindo que a CPU insira algumas instruções) ou pode adotar a abordagem mais antissocial de manter o barramento para um bloco de transferências. Quando todas as transferências são concluídas, ele libera o barramento pela última vez e notifica o programa que terminou, definindo um bit de status e solicitando uma interrupção, onde a CPU pode decidir o que fazer a seguir.

Obter dados ou programas do armazenamento em disco é um exemplo comum de transferência DMA: o programa em execução solicita algum "arquivo" pelo nome; o software do sistema operacional traduz isso em um conjunto de comandos de saída de dados programados para o registro de controle (ou "comando") da interface do disco, registro de contagem de bytes e registro de endereço (especificando onde ir no disco, quantos bytes ler, e onde colocá-los na memória). Em seguida, a interface de disco encontra o local correto no disco, faz uma solicitação DMA e começa a mover os blocos de dados para o local especificado na memória. Quando terminar, ele define bits em seu registrador de status para significar a conclusão e, em seguida, faz uma interrupção. A CPU, que estava executando outras instruções (ou possivelmente apenas esperando por dados do disco), responde à interrupção, descobre no registro de status da interface do disco que os dados agora estão na memória e então continua para a próxima tarefa. Assim, a E/S programada para a interface (o tipo mais simples de E/S) foi usada para configurar a transferência DMA, o próprio DMA (roubando ciclos de barramento da CPU) foi usado para transferência rápida de dados e uma interrupção foi usado para informar ao computador que a tarefa foi concluída. Esse tipo de hierarquia de E/S é extremamente comum, especialmente com dispositivos de armazenamento em massa; você pode esperar taxas máximas de transferência DMA de centenas de megabytes por segundo em um barramento de microcomputador contemporâneo como o PCI Express.

B. DMA no barramento PC104/ISA O barramento PC104/ISA, descendente de uma época anterior (e mais simples), possui um protocolo DMA mais simples. Um chip de suporte que acompanha o microprocessador inclui um controlador DMA (um 8237 no IBM PC original), com contadores de endereços e bytes integrados, juntamente com a lógica para desabilitar a CPU e assumir o barramento. Um periférico que queira fazer DMA, portanto, não precisa gerar endereços e conduzir o barramento. Em vez disso, ele sinaliza o controlador (através de uma das três linhas DRQ1–DRQ3 "solicitação DMA"), que por sua vez responde retornando o DACK0–3 correspondente ("reconhecimento DMA"). O controlador então controla as transferências, afirmando endereço e strobing linhas, com o periférico afirmando (ou recebendo) dados para (ou de)

memória. Em todo esse processo a memória não vê nada de anormal acontecendo, pois os endereços e strobes de memória (MEMW ou MEMR), normalmente fornecidos pela CPU, são fornecidos pelo controlador DMA, e se for DMA *para a* memória, os dados são fornecidos pelo periférico . O periférico, por outro lado, sabe que algo especial está acontecendo porque solicitou acesso DMA (e recebeu confirmação via DACK); assim, quando o controlador DMA afirma IOR (ou IOW), o periférico fornece (ou aceita) bytes sucessivos. Você pode se perguntar por que algum periférico inocente não se machuca no processo de DMA, já que tanto os estrobos de E/S quanto os endereços estão sendo ativados, enquanto os endereços são de fato os endereços de *memória* que acompanham os estrobos de memória MEMW ou MEMR ativados pelo controlador; eles não têm nada a ver com endereços de porta de E/S.

O segredo é o nosso velho amigo AEN, adicionado especificamente ao ônibus apenas para resolver este problema. AEN é declarado HIGH durante transferências DMA, e todo o endereçamento de porta de E/S deve ser qualificado por ANDing com AEN LOW para evitar respostas espúrias a endereços de memória DMA.

Mesmo com o uso de um chip controlador separado, você ainda precisa configurar o endereço inicial, a contagem de bytes e a direção para a transferência DMA iminente. Esses dados vão para o controlador DMA, que é prestativo, possuindo um conjunto de registradores que você escreve (via E/S programada) da CPU. É tudo bastante direto, exceto por alguma complexidade criada por uma proliferação de "modos" (transferência única, transferência de bloco, etc.). O barramento PC104/ISA tem uma capacidade DMA bastante modesta, cerca de 2 s por byte transferido; e, como nas interrupções, o barramento PC104 é esparso nos canais DMA.

14.3.11 Resumo dos sinais de barramento PC104/ISA de 8 bits

Por meio de nossos exemplos – E/S programada, interrupções e DMA – vimos a maioria dos sinais do barramento PC104, que fazem um tour "multidrop" pelos periféricos empilhados (Figura 14.18). A Tabela 14.2 lista o barramento completo, com conexões de pinos. Para completar, resumimos todos eles aqui, começando com os que já conhecemos.

A19–A0: Linhas de endereço Três estados, fora do barramento mestre, ativo-ALTO. Todas as 20 linhas são usadas para endereçar a memória (com MEMR e MEMW como strobes, análogo a IOR e IOW), mas apenas as 16 linhas menos significativas são usadas durante o acesso de E/S (endereços de porta de 64K); Os dispositivos de E/S devem qualificar o endereço com AEN LOW.

D0–D7: Linhas de dados Três estados, bidirecional, ativo em nível ALTO. Afirmado pela CPU durante a gravação na memória ou E/S; conforme serido pela memória durante a leitura da memória ou DMA de memória; declarado pela porta de E/S durante a leitura de E/S ou DMA para a memória.

EU OU , IOW , MEMR , MEMW : Estroboscópios de dados Três estados, somente saída, ativo-BAIXO. Afirmado pelo barramento mestre durante a leitura ou gravação. Nas *gravações,* os dados devem ser travados na borda final (ascendente), qualificados por endereço; nas *leituras,* os dados devem ser declarados durante o strobe (e prontos antes da borda de fuga), qualificados por endereço.

AEN: Habilitar endereço Dois estados, somente saída, ativo em nível ALTO. Afirmado pela CPU durante os ciclos DMA. As portas de E/S não devem responder com decodificação de endereço normal para IOR e IOW ; em vez disso, a porta de E/S que recebeu DACK procura IOR ou IOW para colocar ou receber bytes de dados DMA de ou para linhas DATA .

IRQ2–IRQ7: Solicitação de interrupção Dois estados, somente entrada, disparada pela borda de subida. Afirmado pelo dispositivo de interrupção. Priorizado, com IRQ2 mais alto, IRQ7 mais baixo. Mascarável no controlador de interrupção, por meio da gravação da CPU na porta 21h. Cada nível de IRQ pode ser usado por apenas um dispositivo por vez.

RESET: Redefinir driver Dois estados, somente saída, ativo em nível ALTO. Afirmado pela CPU durante a inicialização. Usado para inicializar os dispositivos de E/S para o estado de inicialização conhecido.

DRQ1–DRQ3: Requisição DMA Dois estados, somente entrada, ativo-ALTO. Afirmado pelo dispositivo de E/S que solicita o canal DMA. Priorizado, com DRQ1 mais alto, DRQ3 mais baixo. Reconhecido por DACK1 -DACK3 .

DACK0 –DACK3 : Reconhecimento de DMA Dois estados, somente saída, ativo-BAIXO. Afirmado pela CPU (controlador de DMA) para indicar a concessão da solicitação de DMA correspondente.

ALE: Trava de endereço habilitada Dois estados, somente saída, ativo-ALTO. O 8088 usava um barramento de dados/endereço multiplexado, e esse sinal corresponde ao sinal estroboscópico do 8088, usado por travas na placa-mãe para travar o endereço. Pode ser usado para sinalizar o início de um ciclo de CPU; geralmente ignorado no projeto de E/S.

CLK: Relógio de dois estados, somente saída. Este é o sinal de clock da CPU; é assimétrico, 1/3 ALTO e 2/3 BAIXO.
O PC original usava um clock de 4,77 MHz, mas velocidades mais altas são comuns. CLK é usado para sincronizar solicitações de estado de espera (via IOCHRDY), a fim de estender um ciclo de E/S para dispositivos lentos.

OSC: Oscilador de dois estados, somente saída. Esta é uma onda quadrada de 14,31818 MHz, que pode ser usada (quando dividida por 4) como um oscilador de explosão de cores para exibição em cores.

TC: Contagem de terminal Dois estados, somente saída, ativo-

Tabela 14.2 Sinais de barramento PC104/ISA de 8 bits

Sinal	quantidade	Ativo	Typea	Direção CPUb E/S	Alfinete #	Função
A[19..0] 20 D[7..0]		H	3S		A12..21	endereço (A15..0 para E/S)
8 IOR# 1 IOW# 1		H	3S		A2..9	dados
MEMR# 1 MEMW#		L	3S		B14	I/O read strobe I/
1 AEN 1 IRQ[7..2]		L	3S		B13	O write strobe
6 RESET 1		L	3S		B12	memory read strobe
DRQ[3..1] 3		L	3S		B11	memory write strobe
DACK[3..0]# 4		H	2S		A11	endereço DMA sinal
			2S		B21..25, B4 pedido de interrupção B2	reinicialização do B15,26,17,19
		H	2S		inicialização B16,6,18 pedido DMA	
		H	2S		reconhecimento DMA	
		L	2S			
ALE 1		H	2S		B28	"habilitar trava de endereço"
CLK 1			2S		B20	Erro de E/S do
IOCHCK# 1		L	OC		A1	clock da CPU — faz com que o
IOCHRDY 1		H	OC		A10	NMI puxe para BAIXO para
OSC 1			2S		B30	estados de espera 14,31818 MHz
TC 1		H	2S		B27	DMA terminal count
GND	4		PS		A32;B1,31,32	GND de sinal e energia
+5V	2		PS		B3,29	+5V de alimentação
+12V	1		PS		B9	alimentação de +12V
–5V	1		PS		B5	- Alimentação 5V
–12V	1		PS		B7	–12V alimentação

Notas: (a) OC = coletor aberto; PS = fonte de alimentação; 2S = 2 estados (pullup ativo); 3S = 3 estados. (b) endereço, dados e linhas de leitura/gravação podem ser controlados pelo barramento mestre (por exemplo, durante o DMA).

ALTO. Diz à porta de E/S que a transferência de dados do bloco DMA está completa. Um dispositivo DMA deve qualificá-lo com DACK para o canal em uso, pois o TC é ativado quando qualquer um dos canais DMA termina uma transferência de bloco.

IOCHK : Verificação do canal de E/S Coletor aberto, somente entrada, ativo em nível BAIXO. Gera interrupção de prioridade mais alta (NMI, "interrupção não mascarável"); usado para sinalizar condição de erro de algum periférico. A CPU descobre quem está com problemas por sondagem de dispositivo (§14.3.9A); cada periférico que pode ser configurado como IOCHCK deve, portanto, ter um bit de status que pode ser lida pela CPU.

IOCHRDY: Canal de E/S pronto Coletor aberto, somente entrada, ativo em nível ALTO. O processador gera "estados de espera" se solicitado por um periférico lento (que o puxa para BAIXO) antes da segunda borda ascendente de CLK de um ciclo do processador (normalmente quatro CLKs). Usado para estender o ciclo do barramento para E/S ou memória lenta.

GND, +5 Vdc, -5 Vdc, +12 Vdc, -12 Vdc: terra e fontes dc Tensões dc reguladas que são barradas para uso por placas de interface de periféricos. Verifique as especificações cações do processador host para limitações de energia, que dependem da máquina. De um modo geral, deve haver energia suficiente para executar qualquer coisa que você possa empilhar no barramento PC104.

14.3.12 O PC104 como um computador de placa única embutido

O barramento padronizado PC104 foi implementado em inúmeros computadores de placa única (SBCs), com uma variedade impressionante de placas de periféricos compatíveis; estes são criados por mais de 100 fabricantes. Essas pequenas placas geralmente acabam como *sistemas embarcados,* ou seja, inseridas em instrumentos como parte de seu design inteligente. A Figura 14.19 mostra uma visão da escotilha de acesso de um sistema detector óptico complexo em um telescópio astronômico: há um PC104 SBC, executando Linux embutido a partir de seu "disco" de memória flash piggyback. Este SBC específico (da Diamond Systems) inclui Ethernet e portas seriais (e outras coisas não usadas aqui). A caixa à esquerda é um conversor de mídia Ethernet que nos permite usar fibra ótica de volta à sala de controle; é uma boa ideia quando o seu observatório

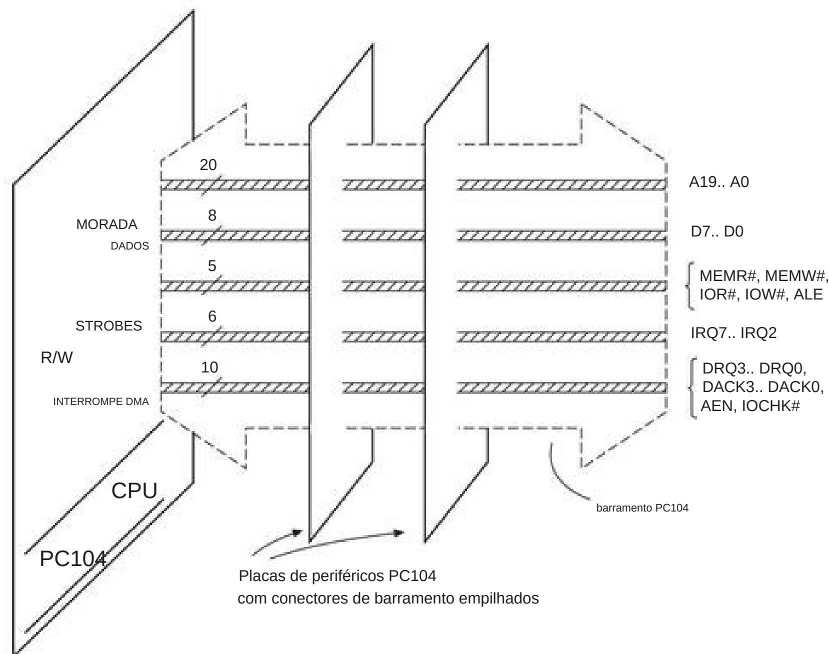


Figura 14.18. O barramento multidrop paralelo PC104, fazendo seu grand tour.

está no topo de uma montanha (é onde as pessoas os constroem), porque aqueles relâmpagos emocionantes que você vê no verão podem zapear tudo o que está conectado por cabos.

14.4 Tipos de memória

Como observamos em §14.1.2, os computadores precisam de memória rápida de "acesso aleatório" (ou seja, memória na qual você pode acessar qualquer dado diretamente, em comparação com o acesso sequencial de dados armazenados em fita magnética), que geralmente assume a forma de *módulos RAM dinâmicos.* Estas são as placas de circuito finas que se conectam aos soquetes de memória na placa-mãe do computador, com tipicamente 240 contatos ao longo da borda correspondente. A variedade mais comum atualmente é o "SODIMM" (módulo de memória dual-in-line pequeno, 3 × 13,3 cm), no qual é montada uma matriz de chips DRAM individuais, com capacidades de módulo de até vários giga bytes (organizados como um caminho de dados paralelo de 64 ou 72 bits). Isso é o que você deseja se sua tarefa for simplesmente preencher uma placa-mãe comercial – apenas certifique-se de ter escolhido módulos de memória compatíveis entre uma variedade impressionante[26] (verifique as especificações da placa-mãe do computador e/ou o localizador de produtos online de fabricantes como Corsair, Crucial ou Kingston).

Mas há muito mais para saber se você quiser entender o que está acontecendo e se quiser ser capaz de projetar seus próprios sistemas que precisam de memória. Nesta seção do capítulo, discutiremos os vários tipos de memória: RAM estática, RAM dinâmica e tipos de memória não volátil, como "Flash RAM".

14.4.1 Memória volátil e não volátil

Para muitos aplicativos, não há necessidade de reter o conteúdo da memória quando a energia é desligada. Um computador, por exemplo, carrega recentemente seu sistema operacional, programas de aplicativos e dados na memória de trabalho durante o processo de inicialização, portanto, tudo bem se essa memória for volátil. Aqueles

[26] Caracterizado por *muitos* parâmetros: fator de forma (por exemplo, SIMM, RDIMM, SODIMM), contagem de pinos (por exemplo, 200, 204 ou 240 pinos), densidade e largura de dados, ECC ou não ECC, com ou sem buffer, geração de SDRAM (SDR, DDR, DDR2, DDR3, DDR4, DRDRAM), velocidade de clock (por exemplo, PC3-10600) e taxa de dados (por exemplo, 1333 MT/s) , latência CAS (por exemplo, CL=4), tensão (por exemplo, 1,5 V), classificação simples ou dupla, registrado ou não registrado e paridade ou sem paridade. Existem literalmente centenas de opções, a maioria das quais não funcionará em uma determinada placa-mãe. Como um exemplo específico, esta nota de rodapé está sendo escrita em uma parte de quatro bancos de 1 GB de densidade DDR2 PC2-6400 CL=4 (5-5- 5-15-2T) 1,9 V não registrado e sem buffer SDRAM sem paridade e sem ECC, em SODIMMs de 240 pinos.

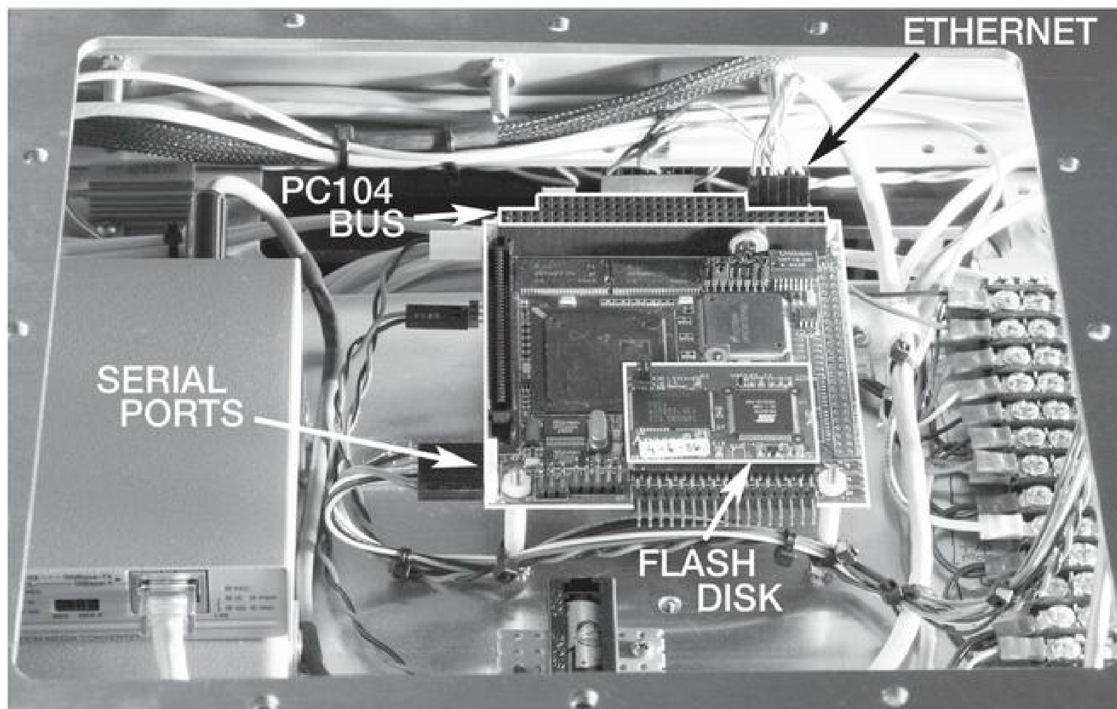


Figura 14.19. Computador de placa única PC104 embutido em um instrumento astronômico.

programas e dados devem, é claro, ser retidos em algum lugar quando a energia é desligada, e essa é a função da memória de massa não volátil, geralmente na forma de um disco rígido (armazenamento magnético rotativo) ou um "disco de estado sólido" (um nome impróprio: é um conjunto de chips de memória flash, embrulhados em um compartimento semelhante a um disco para compatibilidade).27 Ao aceitar a memória volátil, você ganha em velocidade, densidade, resistência (número de ciclos de apagamento/gravação antes do desgaste) e preço em comparação com as tecnologias não voláteis atualmente disponíveis, como veremos. Tanto a RAM estática (SRAM) quanto a RAM dinâmica (DRAM) são voláteis,28 enquanto a flash RAM e a EEPROM (juntamente com algumas novas tecnologias interessantes) não são voláteis.

14.4.2 RAM estática versus dinâmica

A RAM estática armazena bits em uma matriz de flip-flops, enquanto a RAM dinâmica armazena bits como capacitores carregados. um pouco uma vez escrito em um SRAM permanece lá até ser reescrito ou até que a energia seja desligada. Em uma DRAM, os dados desaparecem em menos de um segundo, normalmente, a menos que sejam "atualizados". Em outras palavras, uma DRAM está sempre ocupada esquecendo dados, e é resgatada apenas pelo clocking periódico através das "linhas" do padrão bidimensional de bits no chip. Por exemplo, você tem que acessar cada um dos 8192 endereços de linha em uma DRAM de 1 Gb a cada 64 ms (uma taxa média de uma linha a cada ÿ7,8 s). a DRAM economiza espaço, fornecendo mais dados em um chip e por um décimo do custo.

Agora você pode se perguntar por que alguém escolheria RAM *estática* (inconstante, não é?). A principal virtude da SRAM é sua simplicidade, sem relógios de atualização ou complexidade de tempo para se preocupar (o ciclo de atualização compete com os ciclos normais de acesso à memória e deve ser devidamente sincronizado). Assim, para um sistema pequeno com apenas alguns chips de memória, a escolha natural é a SRAM. Além disso, a corrente quiescente zero da SRAM (em comparação com a corrente de marcha lenta significativa na DRAM padrão) a torna desejável para dispositivos alimentados por bateria. Na verdade, a RAM estática CMOS, com bateria quando a energia principal está desligada,

27 Em um sistema pequeno, por exemplo, um processador embutido do tipo que veremos no próximo capítulo, a "memória de massa" geralmente assume a forma de um único chip de memória flash, ou (melhor) alguma memória flash incluída no microprocessador *("microcontrolador")* do próprio chip.

28 As memórias voláteis não têm mecanismo de desgaste – você pode ler e escrever o quanto quiser.

constitui uma alternativa de memória não volátil (com vantagens em velocidade e resistência). Outra vantagem da SRAM é sua disponibilidade em versões de altíssima velocidade (tempo de acesso de 8 ns ou menos em versões assíncronas; taxas de clock de 400 MHz ou mais em versões síncronas). Finalmente, como veremos, existe uma classe de memória conhecida como RAM *pseudoestática* (PSRAM), que combina o baixo custo e a alta densidade da DRAM com o baixo consumo de energia e a interface simples da SRAM; pode muito bem ser descrito como "uma DRAM na roupa da SRAM". Vamos dar uma olhada mais de perto na SRAM e na DRAM.

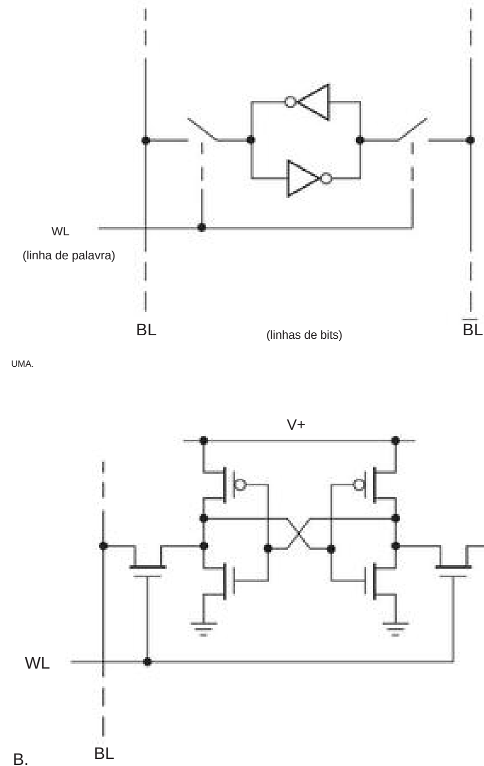


Figura 14.20. A RAM estática contém cada bit em um flip-flop CMOS de quatro transistores, lido ou escrito por um par de portas de transmissão de um transistor. WL, linha de palavras; BL, linha de bits.

14.4.3 RAM estática

A RAM estática armazena cada bit em uma célula flip-flop (Figura 14.20): o próprio flip-flop consiste em um par de inversores interligados (cada um feito de um par complementar de chaves pMOS e nMOS), com dois transmissores nMOS adicionais portas de entrada para acoplar ao exterior. Os últimos são ativados para transmitir o estado do flip-flop para um par de *linhas de bits* complementares (que acionam um *amplificador* de detecção de travamento diferencial) durante um READ e para afirmar (sobrescrever) o estado do flip-flop (de acordo com os níveis presentes nas linhas de bit) durante um WRITE. Isso é conhecido como célula SRAM “6T” (seis transistores).

Como acontece com a maioria das variedades de memória, as células de bits SRAM em um único chip são organizadas em “palavras” multibit que são lidas ou escritas como um grupo. As larguras comuns variam de 8 bits a 32 bits, muitas vezes acompanhadas por bits de paridade adicionais (portanto, larguras de 9, 18 ou 36 bits). Essas palavras são ainda organizadas logicamente em uma matriz de linhas e colunas, conforme mostrado na Figura 14.21, de modo que as células de bits da palavra selecionada sejam acopladas aos respectivos pares de linhas de bits (e amplificadores de detecção) de acordo com o endereço multibit da palavra. A figura representa uma SRAM de 4 Mb (512 k palavras de 8 bits29), organizada em oito planos (um para cada bit) de 1024 linhas e 512 colunas.

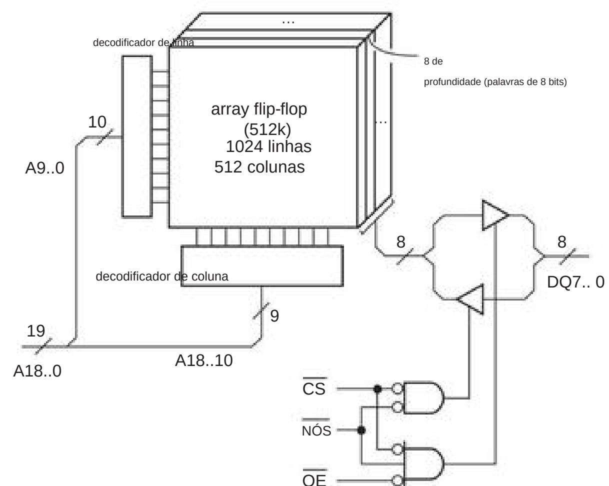


Figura 14.21. Arquitetura SRAM assíncrona: uma matriz de células de 6 T bits com um endereço paralelo de n bits e controle simples por WE , CS , e OE . Larguras de palavras de 8 bits e 16 bits são as mais comuns.

A. Sincronização SRAM assíncrona A

SRAM tradicional é assíncrona, o que significa que não há entrada de clock; em vez disso, você aplica endereço, dados e sinais de controle com o tempo adequado e os dados saem (ciclo READ) ou são gravados (ciclo WRITE) de acordo. Usar SRAM assíncrona é tão fácil quanto cair de um tronco:

[29] Seguimos o uso comum aqui, com “Mb” (megabit) significando 220 bits, cerca de 5% a mais que um milhão *decimal* (106). Os puristas preferem usar o prefixo “Mi” (pronuncia-se mebi, contração de “mega binário”) para significar 220, para manter pura a essência do mega como um bom e velho milhão. Eles diriam que essa memória é de 4 Mib, ou meio mebibyte; alguns pensariam que estão falando com comida na boca.

LEIA uma palavra, você declara o endereço, habilita o chip (CE) e habilita a saída (OE); os dados solicitados gentilmente aparecem nas linhas de dados de três estados no máximo tAA (tempo de acesso ao endereço) mais tarde. Para ESCREVER uma palavra, você afirma endereço, dados, e CE e, em seguida, segue (após um tempo de configuração de endereço, tAS) com um pulso de habilitação de gravação (WE); os dados válidos são armazenados na memória no final do pulso WE . As Figuras 14.22 e 14.23 mostram as restrições de tempo reais para uma RAM estática rápida (tAA=8 ns, tAS=0 ns), do tipo que você pode usar em um switch ou roteador, ou como um cache de memória externo. A "velocidade" da memória é definida pelo tempo desde a afirmação do endereço válido até os dados válidos (para READ) ou até a conclusão do ciclo de gravação (para WRITE), assumindo que o e OE) são declarados outros sinais (CS , NÓS , quando necessário.

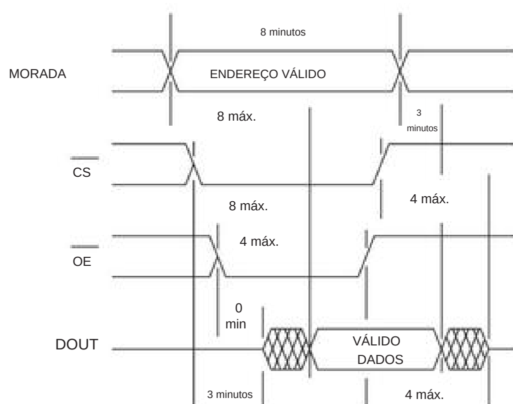


Figura 14.22. Ciclo de leitura SRAM assíncrono (durante o qual WE é mantido em nível ALTO). Os números mostrados são tempos de pior caso garantidos, em nanossegundos, para este SRAM (Samsung K6R4008V1D-08) rápido de 512 kB (8 ns).

A RAM estática está atualmente disponível em tamanhos de até 16 Mb, com larguras de palavras de 1 a 32 bits. As variações incluem memórias com pinos de entrada/saída separados, memórias com consumo de corrente muito baixo (~1 µA em espera, ~1 mA quando operando a 1 MHz) e memórias com acesso a duas portas (linhas de endereço independentes, linhas de dados, e linhas de controle, compartilhando a mesma memória armazenada, com "semáforos" para handshake de software entre portas).

Se valer a pena, observe que você não precisa conectar as linhas de dados SRAM às linhas de dados numeradas correspondentes de um processador (ou qualquer outro dispositivo que precise de memória) - você pode embaralhá-las da maneira que quiser, pois elas são desembaralhadas quando você leu de volta o que escreveu.

B. RAM pseudo-estática A

RAM estática tem as vantagens de uma interface de controle simples e consumo de energia muito baixo. Mas seu transistor de seis

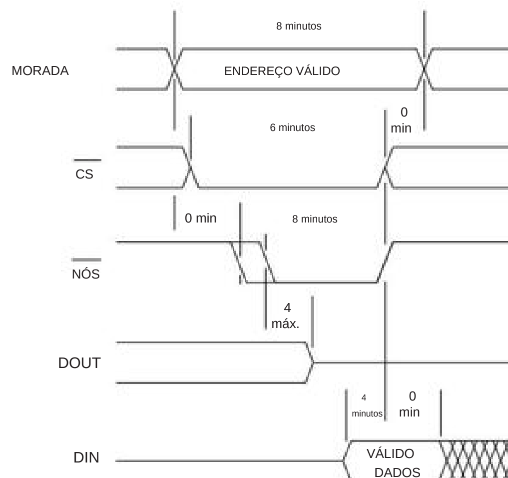


Figura 14.23. Temporização do ciclo de gravação para a mesma memória da Figura 14.22.

a célula usa mais área do que a célula DRAM analógica de um transistor/um capacitor (discutida abaixo), então custa mais por bit e você não pode colocar tanta memória em um chip de um determinado tamanho. No entanto, a DRAM mais densa e menos dispendiosa requer atualização periódica e, juntamente com seu esquema de endereços multiplexados, apresenta uma interface mais complicada.

A RAM pseudoestática combina seus melhores recursos: combina um núcleo de DRAM com lógica de atualização oculta e envolve a combinação em uma interface que imita a SRAM assíncrona limpa e simples (Figura 14.24). É uma "DRAM na roupa da SRAM". Atualmente você pode obter

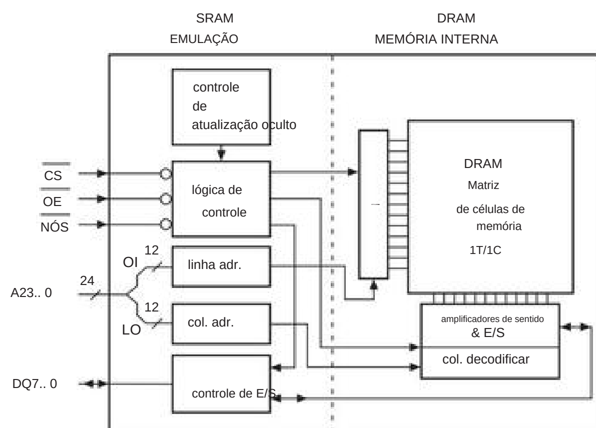


Figura 14.24. "Pseudostatic RAM" parece para todo o mundo como um clássico SRAM assíncrono. Mas sua interface externa simples esconde a verdade: um núcleo DRAM 1T/1C eficiente, envolto em uma camada de lógica que emula SRAM (completa com atualização oculta).

PSRAM em densidades de até 128 Mb; alguns são até compatíveis com SRAM assíncrona (ou seja, pinagem e função idênticas). Têm velocidades de acesso de aproximadamente 50 ns, mas mais rápidas (cerca de 20 ns) em acessos sequenciais em "modo de página". (A atualização é oculta do lado de fora e rápida o suficiente para não interferir na velocidade ou no tempo dos acessos assíncronos do tipo SRAM. É completamente "invisível".) Por causa da atividade de atualização oculta, a corrente de espera é de ou der ~100 A. Há também um modo "deep power-down" no qual a corrente pode ser tão baixa ÿ quanto alguns microampères; a má notícia é que é tão profundo que você perde a atualização e, portanto, os dados armazenados.

Embora a corrente de espera da PSRAM seja significativamente maior do que o melhor que você pode fazer na SRAM convencional de micropotência, é adequada para aplicações móveis como telefones celulares, com sua capacidade típica de bateria de aproximadamente 1.000 mAh. O resultado é que a RAM pseudoestática substituiu em grande parte a SRAM assíncrona convencional, exceto para aplicativos como caches de memória que exigem a velocidade incrível (ÿ10 ns) da SRAM rápida.

C. SRAM síncrona Nos capítulos anteriores, elogiamos a lógica de clock síncrona, com seus benefícios em termos de ruído (as coisas se estabilizam antes de cada clock), desempenho previsível, arquiteturas em pipeline, falta de metaestabilidade e assim por diante. Então, por que a SRAM é *assíncrona?*

Não precisa ser. Você pode agrupar uma máquina de estado com clock síncrono, completa com seus registradores de dados, em torno do núcleo da matriz de memória intrinsecamente assíncrona. Então você tem a SRAM *síncrona.30* Por ser cronometrada, a velocidade da SRAM síncrona é dada como uma *frequência* máxima ; os dispositivos atualmente disponíveis têm velocidades na faixa de 100 a 400 MHz e contêm de 1 Mb a 72 Mb em um único chip, com larguras de palavra em múltiplos de fator de 2 de 9 bits (ou seja, 9, 18, 36 e 72 bits, que incluem um bit de paridade com cada byte).

A SRAM síncrona (e, mais ainda, a DRAM síncrona, como veremos) é uma besta mais complicada do que sua irmã assíncrona simples: esses dispositivos têm modos complexos, por exemplo, transferências de taxa de dados dupla (usando ambas as bordas do clock, consulte Figura 14.25) e métodos sofisticados de estourar e intercalar dados; então você tem que se preocupar com bits de modo e afins. E, claro, você tem um clock (diferencial) bastante rápido, com dados entrando e saindo em etapas de apenas alguns nanossegundos. Dito de outra forma, síncrono

A SRAM foi projetada para a mais alta velocidade e taxa de transferência, portanto, a bênção da operação síncrona é misturada com a maldição de relógios rápidos e margens de tempo apertadas.

14.4.4 RAM dinâmica

Como observamos anteriormente, você pode economizar muito espaço no chip indo para uma célula de memória de um transistor (com o estado mantido em um pequeno capacitor) se estiver disposto a realizar a atualização periódica da carga do capacitor. Essa é a RAM dinâmica, com sua célula de memória "1T1C" (Figura 14.26). Este é o burro de carga da memória contemporânea, com tamanhos de vários gigabits por chip, normalmente fornecidos como módulos de memória plug-in com capacidades atualmente de até 16 GB (128 Gb) . um pouco mais complicado do que o SRAM simples, especialmente quando a atualização foi adicionada à mistura. E, assim como a SRAM, uma variante síncrona (SDRAM) foi criada envolvendo uma máquina de estado com clock síncrono em torno da matriz intrinsecamente assíncrona de células de memória DRAM. Pode-se dizer que "um SDRAM é um DRAM assíncrono em roupas síncronas". DRAM assíncrona é história, agora. Mas vale a pena dar uma olhada, brevemente, para entender o que está acontecendo dentro da agora dominante DRAM síncrona.

A. DRAM assíncrona A Figura 14.27 mostra de forma simplificada uma DRAM assíncrona de 16 palavras por 1 bit, ridiculamente pequena para qualquer padrão do mundo real, mas perfeita para explicar como ela funciona. Cada um dos transistores nMOS tem um pequeno capacitor (da ordem de 30 femtofarads) do canal (chame-o de dreno) para o terra e são organizados em quatro linhas e quatro colunas. Os drivers de linha usam os bits de linha travados (metade alta do endereço) para trazer os terminais de porta nMOS correspondentes para o nível ALTO, ligando esses transistores e, portanto, conectando seus capacitores às linhas da coluna, que por sua vez se conectam a um conjunto de sensores de travamento. amplificadores (SA's). A saída de um dos amplificadores de detecção é selecionada pelos bits da coluna travada (metade inferior do endereço), passando pelo multiplexador bidirecional para o buffer de saída/entrada. (A memória dinâmica multiplexa os bits de endereço, reduzindo pela metade o número de linhas de endereço.)

Veja como funciona. Vamos fazer um ciclo READ primeiro, assumindo que os vários capacitores (um por bit) foram

[30] E o análogo é feito com RAM dinâmica, como veremos, criando SDRAM em seus vários sabores: SDR (single data rate), DDR (double data rate), DDR3, DDR4, etc.

[31] *Este* mês, pelo menos; estamos seguindo a lei de Moore há quatro décadas e temos certeza de que isso se mostrará irremediavelmente estranho quando a tinta secar.

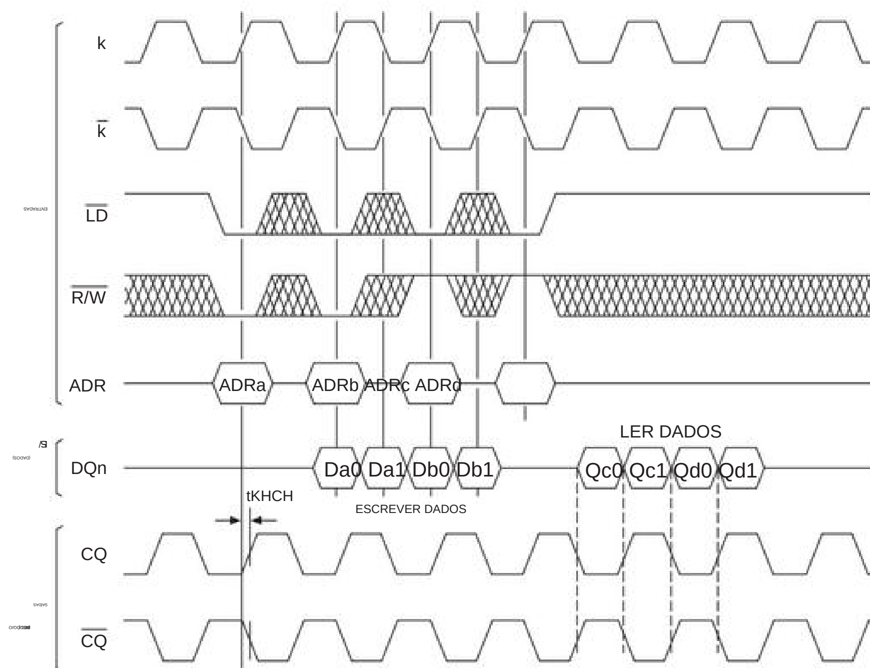


Figura 14.25. Sincronização de SRAM síncrona, com clock de taxa de dados dupla (DDR-2) durante READ e WRITE. Os dados são sincronizados em rajadas de duas palavras (endereços sucessivos): para ciclos WRITE , os dados de entrada devem ser apresentados em ambas as bordas do clock de entrada *K/K,* um ciclo após o endereço ser carregado; para ciclos READ , os dados emergem 1,5 ciclos de clock após o carregamento do endereço, em ambas as bordas do "relógio de eco" CQ/CQ (que regenera o relógio de entrada *K/K,* com um ligeiro atraso tKHCH).

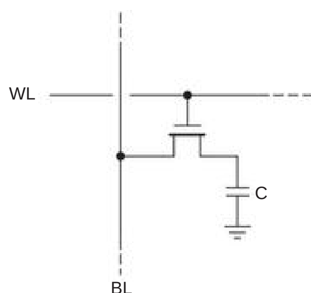


Figura 14.26. Célula de bits "1T1C" da RAM dinâmica. Cada bit é mantido como um capacitor carregado (ÿ1 V) ou descarregado (0 V), cujo estado é lido, escrito ou atualizado por uma linha de bit (BL) quando ativado por uma linha de palavra de controle (WL). Tipicamente *C* ÿ 30 femtofarads (1 fF=10ÿ15 F).

previamente escrito, portanto carregado positivamente (até ÿ1 V), ou não carregado. Veja a Figura 14.28, onde mostramos os ciclos READ e WRITE básicos (endereço único) para DRAM assíncrona padrão de 70 ns.32 As linhas de endereço são multiplexadas, com os dois endereços de ordem superior

bits (endereço de linha) declarados primeiro, junto com um estroboscópio de endereço de linha (RAS). Esses bits são travados, fazendo com que as portas da linha selecionada vão para o nível ALTO, ligando as portas de transmissão do MOSFET e, assim, acoplando os respectivos capacitores aos amplificadores de detecção de coluna (SA). Os amplificadores de sentido são dispositivos de travamento, aqui desenhados teoricamente como amplificadores não inversores realimentados. (Na prática, eles são implementados como flip-flops que iniciam o ciclo em um estado equilibrado e se tornam desequilibrados pela carga do capacitor de bits que é comutada neles.33) Durante esta parte do ciclo DRAM, os amplificadores de detecção em cada coluna fazem duas coisas: eles se prendem ao estado dos bits que foram mantidos nas c

---

[32] Existem modos adicionais, com nomes como "modo de página" e "saída estendida de dados", para um acesso mais eficiente aos dados de vários endereços consecutivos.

[33] Em uma dose adicional de realidade, as coisas são um pouco mais complicadas: os amplificadores de sentido são *diferenciais* e a matriz DRAM é geralmente construída em um arranjo de "bit dobrado" para que qualquer linha de linha ative apenas as células pares ou ímpares; a linha de bit inativa (neutra) flutua no nível de "pré-carga" (VDD/2) e atua como uma tensão de referência pela qual o amplificador de detecção balanceado compara o "colisão" *ÿV* para cima ou para baixo da carga do capacitor na respectiva célula de bit . O *ÿV* é um pouco menor do que ±0,5 V que você pode esperar, devido ao carregamento capacitivo adicional de ÿ200 fF da linha de bits e do amplificador de detecção: na prática, os projetistas de memória visam *ÿV* ÿ 100 mV, para uma leitura limpa de 0 ou 1 pelo amplificador de detecção.

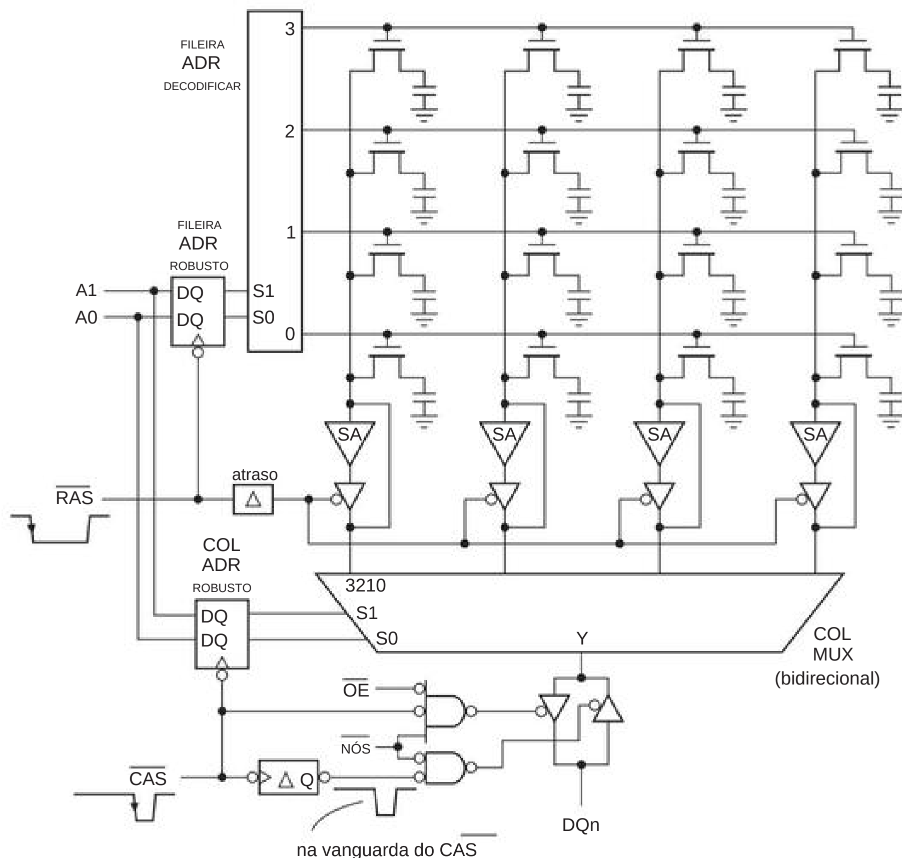


Figura 14.27. Arquitetura DRAM assíncrona, aqui ilustrada com uma pequena matriz 4 × 4 de "palavras" de 1 bit. As linhas de endereço são multiplexadas, com endereços de linha e coluna registrados internamente. Os amplificadores de detecção de travamento (SA's) lêem (e atualizam) o estado das linhas de bit endereçadas por linha durante um ciclo READ . Durante um ciclo WRITE , eles são sobrecarregados pelos dados de entrada na mesma linha de dados de entrada/saída compartilhada DQ0.

a linha selecionada; e eles "atualizam" essas células afirmando seu nível travado de volta nos respectivos capacitores de célula.

Na segunda metade do ciclo DRAM, as linhas de endereço carregam os dois bits de endereço de ordem inferior (endereço de coluna), travados pelo estroboscópio de endereço de coluna (CAS). Esse endereço travado faz com que o multiplexador de coluna selecione a saída do amplificador de detecção selecionado, que (porque WE é desativado) é afirmado na linha de dados bidirecional (entrada/saída) (o único DQ0 aqui, nesta memória de 1 bit de largura ; a maioria das DRAMs são mais largas, com tamanhos de palavra de 4, 8 ou 16 bits). A memória é *assíncrona,* o que significa (como na SRAM assíncrona) que os dados válidos aparecem na(s) linha(s) de dados com algum tempo de atraso máximo garantido após a asserção dos vários endereços e strobes.
Em contraste com a DRAM *síncrona* agora universal (próxima subseção), não há relógio mestre.

O ciclo WRITE é semelhante, mas com dados de entrada e WE declarados em torno da borda de ataque do CAS ; a linha WE faz com que a linha de dados DQ0 se torne uma entrada, após o que o nível de dados declarado força (substitui) o amplificador de detecção selecionado para o estado da entrada de dados. Esse estado travado então carrega (ou descarrega) o respectivo capacitor de célula de bit.

Observe novamente a Figura 14.27. Uma vez que uma linha foi ativada (na parte RAS do ciclo) e uma coluna foi selecionada para leitura (ou escrita), não há razão para repetir o mesmo endereço de linha se você quiser ler (ou escrever) outras colunas dentro dessa mesma linha. Essa é a ideia por trás dos ciclos de "modo de página" e "saída estendida de dados"; e é de grande utilidade prática, porque os acessos à memória do computador geralmente envolvem rajadas de vários endereços sucessivos (para instruções sequenciais, matrizes de dados e assim por diante).

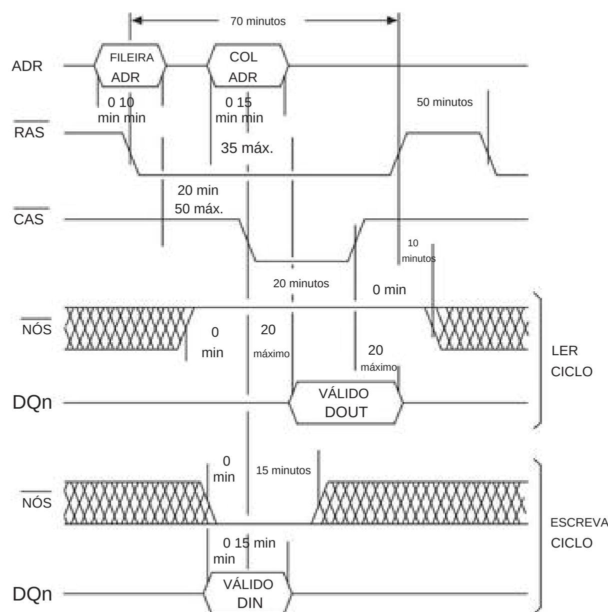


Figura 14.28. Sincronização DRAM assíncrona. RAS e CAS são os estrobos de endereço de linha e coluna para o endereço multiplexado. Assim como na SRAM assíncrona, a entrada/saída de dados não está vinculada a uma borda de clock; em vez disso, ele obedece às especificações de tempo do pior caso (aqui mostrado para memória padrão de 70 ns).

B. DRAM síncrona Como observamos acima, toda a DRAM atualmente em uso comum é da variedade síncrona ("SDRAM"), na qual um sinal de clock34 fornecido externamente controla uma máquina de estado síncrona que envolve o núcleo de memória DRAM intrinsecamente assíncrono. O SDRAM original de taxa de dados único (SDR) evoluiu ao longo de várias gerações, com nomes como DDR (taxa de dados dupla, ou seja, dados de clock em ambas as bordas do clock), DDR2, DDR3 e DDR4. As transições do relógio são usadas para coisas óbvias: carregar os endereços de linha e coluna e registrar os dados (WRITE) ou sair (READ). A DRAM síncrona geralmente é operada em "modo de rajada", com várias palavras de dados de endereços de coluna consecutivos cronometrados em sequência (consulte a descrição do MODO, abaixo).

Ao contrário da DRAM assíncrona, a SDRAM é uma fera complicada, com um conjunto de "comandos" (também cronometrados) que determinam o que está acontecendo. Esses comandos são definidos por três bits, que curiosamente usam os nomes de sinais legados RAS e WE, CAS , que se originaram com a DRAM cronológica assíncrona. Aqui, no entanto, esses três sinais de entrada

bits, configurados antes da próxima borda de clock, determinam o que acontece nessa borda de clock. Veja a Figura 14.29, onde listamos cinco comandos básicos. "Ativar linha" carrega um endereço de linha, com os comandos "READ" e "WRITE" subsequentes carregando um endereço de coluna e iniciando a transferência de dados correspondente. Durante essas transferências (que podem ter largura de 4, 8 ou 16 bits, de acordo com a arquitetura do chip em particular), os dados saem ou entram na taxa de clock (SDR, como na Figura 14.29) ou no dobro disso. (DDR), conforme cronometrado pelo relógio.

No entanto, observe particularmente o tempo de um READ: embora os dados se movam na taxa de clock total, há um atraso *(latência)* de vários ciclos de clock desde a afirmação do endereço da coluna até os dados correspondentes. Essa é a "latência CAS ", ilustrada na Figura 14.29 para o caso de CL=3. Um determinado chip de memória especificará (por meio de seu número de peça) uma latência CAS mínima para uma frequência de clock especificada (por exemplo, um MT47H128M8HQ-25E é um SDRAM DDR2 de 128 MB e 8 bits de largura em um pacote FBGA de 60 bolas com CL= 5 em tclk=2,5 ns). Como o restante do sistema precisa saber (e concordar com) a latência CAS real , você informa ao chip qual latência CAS usar enviando a ele um comando "LOAD MODE" (ou seja, um ciclo de clock, durante o qual o RAS , CAS , e WE são todos mantidos em nível BAIXO), com o modo definido pelos bits declarados nas linhas de endereço. O modo inclui não apenas a latência do CAS , mas também os bits que definem se é acesso de endereço único ou modo de rajada (para o último, uma escolha de duas, quatro ou oito palavras consecutivas) e algumas outras opções de controle que você realmente não conhece. Não quero ouvir fala Em uma complicação adicional, algumas variedades de SDRAM (por exemplo, DDR2) têm uma latência de clock durante os ciclos WRITE ; logicamente, isso é chamado de "latência de gravação" (WL), que você respeita afirmando os dados atrasados pelos relógios WL depois que o endereço da coluna é cronometrado.

Por ser cronometrada, a velocidade da DRAM síncrona é dada em termos de *frequência,* com rótulos como "DDR3-1600". Isso descreveria uma SDRAM de taxa de dados dupla, em conformidade com o padrão DDR3, com dados sincronizados em ambas as bordas de um clock de 800 MHz. Os dispositivos atualmente disponíveis têm taxas de dados na faixa de 400–1600 MT/s (megatransferências por segundo) e contêm de 1–4 Gb em um único chip, com larguras de palavra de 4, 8 ou 16 bits. A próxima geração (DDR4) aumenta a taxa de transferência para 1600–3200 MT/s e aumenta as densidades de chip único para 16 Gb ou mais.

14.4.5 Memória não volátil

A memória não volátil (NVM) – armazenamento de dados que é retido na ausência de energia CC – é essencial em muitas aplicações do dia a dia, por exemplo (a) código de inicialização ("boot") e

[34] Nessas altas velocidades ele é invariavelmente configurado como diferencial de baixa tensão: *CK* e *CK.*

CLK

CMD† CARREGAR MODO ATIVAR ESCREVA ESCREVA NÃO LEIA LEIA LEIA LEIA NOP NOP

A16.. 0 MODO ROW adr Cola COL b COL w COL x COL y COL z

DQ7.. 0 DIN uma DIN b DOUT W DOUT x DOUT y DOUT z

CL = 3

configurar MODO ativar FILEIRA aleatória WRITEs leituras aleatórias (latência CAS = 3)

†CMD é dado por RAS, CAS e WE:

	Linhas RAS	CAS	WE	ADR
ATIVAR LINHA	eu	H	H	endereço da
LER	H	eu	H	linha endereço da
ESCREVA	H	eu	eu	coluna endereço da coluna
NOP	H	H	H	—
MODO DE CARGA	eu	eu	eu	bits de modo

Figura 14.29. A DRAM síncrona usa uma interface externa cujas operações são sincronizadas por um relógio aplicado externamente. A mais simples SDRAM de "taxa de dados única" (SDR) sequestra o RAS e o CAS WE para uso como um comando de 3 bits. Aqui são mostradas gravações e leituras aleatórias (em oposição ao burst) para SDR SDRAM; operação ... vários endereços de coluna consecutivos sendo sincronizados em bordas de clock sucessivas (ou em ambas as bordas, no caso do popular DDR ("taxa de dados duplo")

SDRAM.

várias configurações, em um computador de uso geral; (b) firmware residente para qualquer dispositivo que use um processador embutido; ou (c) armazenamento temporário em um "thumb drive" USB de documentos, imagens ou outros arquivos. As memórias de semicondutores que vimos acima são inadequadas, porque perdem seus dados armazenados quando a alimentação CC é removida.

Uma solução para o problema é fornecer uma bateria, para que a energia nunca seja perdida. Isso é memória com "backup de bateria" (que é comumente usada para armazenar configurações de computador, onde às vezes é chamada simplesmente de "o CMOS"). A boa notícia é que você pode usar qualquer tipo de memória com um modo de espera de retenção de dados micropower (geralmente RAM estática ou pseudoestática), o que significa que você não precisa se preocupar com as limitações que afligem muitas formas de memória não volátil, por por exemplo, os tempos lentos (escala de ~ms) ou de apagamento, ou a resistência (número limitado de ciclos de gravação, tipicamente ~105–106). A má notícia é que você precisa fornecer uma bateria e garantir que ela não seja descarregada.35 A outra solução é alguma forma de bateria verdadeiramente não volátil.

armazenar. Esta é uma área muito ativa de desenvolvimento de semicondutores, com a maioria dos dispositivos atuais usando alguma forma de armazenamento de carga no "portão flutuante" de um MOSFET (por exemplo, a onipresente "memória flash" em pendrives USB, em todos os tipos de produtos eletrônicos de consumo e em unidades de estado sólido de computador conhecidas como SSDs). Esta é uma tecnologia impressionante, com capacidades de armazenamento de chip único atualmente de até 1 Tb, retenção de dados de pelo menos 10 anos e preços de varejo tão baixos quanto $ 0,50 ou menos por gigabyte. Mas, como veremos, o armazenamento de porta flutuante (FG) tem algumas desvantagens, principalmente um número finito de ciclos de exclusão/gravação (resistência) e um tempo de acesso de gravação (e exclusão) relativamente lento (ÿ milissegundos); por outro lado, SRAM e DRAM padrão têm resistência ilimitada e velocidades de leitura e gravação igualmente rápidas (ÿ10s de nanossegundos). Algumas tecnologias NV em desenvolvimento podem remediar essas deficiências; eles têm nomes como RAM ferroelétrica (FRAM), RAM magnetoresistiva (MRAM) e RAM de mudança de fase (PRAM

Nas subseções a seguir, descrevemos brevemente alguns dos precursores da atual tecnologia de memória não volátil; então veremos o gorila de 800 libras na sala, ou seja, a memória flash de portão flutuante.

35 Não é uma tarefa completamente trivial: compramos quatro placas-mãe de um grande fabricante, e todas elas perdem suas configurações de CMOS se a energia CA de entrada for perdida por mais de algumas horas. Isso é um grande inconveniente (existem cerca de 25 configurações que devem ser restauradas), provavelmente causado por um lote de chips com corrente de fuga fora da especificação ou tensão de retenção mínima.

A. Memória não volátil herdada

Mask ROM

Primeiro, havia a "mask ROM", que consiste em portas com um padrão de conexão com fio, embutido desde o nascimento, que não pode ser alterado. É uma tabela de pesquisa fixa. E é muito "somente leitura" (daí "ROM"). Este ainda é um método útil para colocar uma tabela de conversão, por exemplo, em um IC personalizado. Certamente não é volátil; mas não é realmente o que imaginamos como armazenamento NV útil.

PROM

A seguir, veio a memória somente leitura programável (PROM), que você pode programar, uma vez, no campo. Ele também é chamado de "ROM fusível", porque usa um conjunto de pequenos fusíveis no chip (metálicos ou semicondutores), que são queimados seletivamente para deixar o padrão de memória fixo desejado. O desenvolvimento subseqüente de memória NV reprogramável (apagável) tornou o PROM obsoleto.

A

memória programável apagável EPROM veio a seguir. Aqui, o padrão de bits é mantido em minúsculos capacitores, na forma de "portas flutuantes" enterradas que alteram a tensão limite dos MOSFETs associados (Figura 14.30); esta é a mesma tecnologia usada na memória flash contemporânea. A "porta de controle" é então usada para ler o bit armazenado: quando a porta flutuante é carregada (negativamente) com elétrons, a tensão limite é de vários volts positivos, enquanto uma porta flutuante não carregada produz uma tensão limite negativa (portanto, a condução com a porta de controle em 0 V). Como não há conexão com o portão flutuante, você usa truques para escrever e apagar: para escrever, uma carga negativa é colocada no portão por um processo chamado "injeção de elétron quente do canal" (CHE), que envolve a corrente de dreno com elevação tensão de dreno (12–20 V); para apagar, exponha o chip à luz ultravioleta por vários minutos, o que apaga todo o chip de uma só vez. O processo de apagamento requer uma janela transparente de quartzo para deixar a luz UV entrar (daí o nome alternativo, UV EPROM); a embalagem de cerâmica hermeticamente selada associada torna essas coisas caras e grandes. E tiveram que ser retirados do circuito para apagamento e reprogramação. Estes foram tornados obsoletos pela memória não volátil apagável *eletricamente* no circuito.

OTP EPROM

Que nome magnificamente contraditório: "Memória de leitura programável apagável programável por um tempo! (Engenheiros *têm* senso de humor, embora talvez um pouco distorcido.) OTP EPROM foi a resposta para o problema do custo de embalagem EPROM, ou seja, para colocar um UV

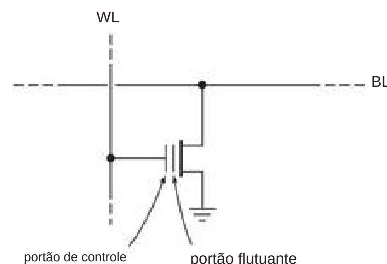


Figura 14.30. Célula de bit "floating-gate", utilizada em memórias não voláteis como EEPROM e flash ROM. Os dados são gravados no float porta de entrada por tunelamento ou injeção de elétrons quentes; sua carga altera a tensão limite, conforme lida pelo portão de controle e pela linha de bits. As correntes de fuga do portão flutuante são tão baixas que os dados são retidos por pelo menos dez anos, sem necessidade de energia ou atualização.

EPROM apagável em um pacote de plástico barato. A única (!) desvantagem é que o pacote é opaco, então você não pode apagar a coisa. O que fazíamos, naquela época, era comprar uma ou duas das caras EPROMs UV, usá-las para desenvolver e testar o programa e depois programar as partes plásticas com o código totalmente depurado. Esses dispositivos também se tornaram obsoletos com o desenvolvimento da memória não volátil apagável eletricamente.

B. Memória não volátil apagável eletricamente

EEPROM

A era moderna da memória não volátil foi inaugurada com a memória somente leitura programável apagável eletricamente[36] (EEPROM, ou "E-quadrado"). Não há mais banhos de sol UV! Chega de remover e substituir os ICs - esses filhotes são reprogramáveis *no circuito !* O truque aqui é usar tensões elevadas para descarregar a porta flutuante, por um fenômeno quântico-mecânico conhecido como *tunelamento* (no qual uma partícula, aqui um elétron, com energia insuficiente para vencer a barreira de potencial do isolador da porta pode, sob a circunstâncias certas, simplesmente aparecem magicamente do outro lado[37]). É oficialmente chamado de túnel Fowler-Nordheim, geralmente abreviado como FN. EEPROMs incluem bombas de carga no chip para gerar as tensões elevadas necessárias para programar como UV EPROMs e apagar via FN

[36] Outro nome é EAROM – memória somente leitura eletricamente alterável.

[37] Uma analogia macroscópica: você precisa passar seu carro de boi pelo Passo Khyber, mas, devido a um mau planejamento, falta um boi. Esperando por um milagre, porém, você dá um empurrão no carrinho. Existe, de acordo com a mecânica quântica, uma probabilidade finita de que o carrinho desapareça de suas mãos e reapareça do outro lado da passagem. Para carros de boi, a probabilidade é muito pequena (e isso é um eufemismo real!); mas funciona bem para elétrons que esperam encontrar o caminho para o portão enterrad

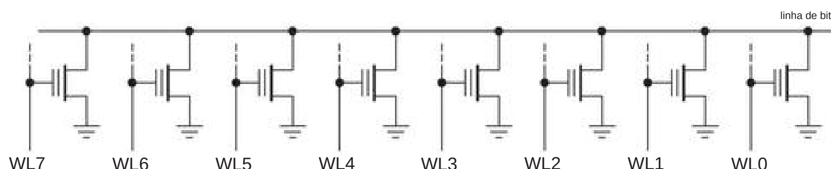


Figura 14.31. Memória flash NOR , com seu arranjo paralelo de células de bit.

tunelamento. Voila` – programação *no circuito* (ou seja, escrita) e apagamento.

As EEPROMs usam uma configuração de célula de memória (por exemplo, uma célula de bit de dois transistores) que permite que bits ou palavras sejam apagados e reprogramados individualmente. Essa é uma ótima flexibilidade, mas o circuito que permite essa flexibilidade ocupa um espaço que poderia ser usado para armazenamento adicional. O desenvolvimento subseqüente da memória *flash* explorou uma célula de um bit de transistor, com sua maior densidade (ver memória flash, abaixo); o preço que se paga é que o apagamento é feito em *blocos muito maiores,* por meio do contato com o substrato.

As EEPROMs, assim como a memória flash, têm uma duração limitada, geralmente na faixa de 105 a 106 ciclos de apagamento/ gravação. O apagamento e a escrita são lentos (ÿ10 ms), em comparação com a leitura (ÿ100 ns). Eles foram amplamente substituídos pela memória flash. No entanto, a flexibilidade de regravação de byte único (ou mesmo de bit único) torna as EEPROMs adequadas para reter pequenas quantidades de dados, por exemplo, parâmetros de calibração (pense no extensômetro de uma balança de banheiro), configurações (aquela escala, novamente: libras ou quilogramas) ou tabelas de consulta (ainda pensando nessa escala... que precisa de correção para a temperatura ambiente). A EEPROM para esses tipos de aplicações geralmente está incluída no mesmo chip que o próprio microcontrolador (consulte o Capítulo 15). Você também pode obter EEPROMs independentes; estes geralmente usam um protocolo serial (SPI, I2C, UNI/O, Microwire), então cabem em um pacote minúsculo (SC-70, DFN, etc.). Há uma boa seleção de empresas como Atmel e Microchip, com densidades de 128 bits a 1 Mb. Eles também são baratos - uma EEPROM I2C de 1 kb custa $ 0,17 em quantidade e o dobro disso para uma peça de 64 kb.

A flexibilidade intrínseca da EEPROM (apagar/escrever bits ou bytes individuais) requer mais silício do que a memória flash mais densa, com seu apagamento/gravação *em todo o setor .* Vamos dar uma olhada.

C. Memória flash A

memória flash descarta a capacidade de escrita de bit ou byte da ROM EEP, em vez disso, executa o apagamento do tamanho do bloco. A boa notícia é que é mais rápido (ele apaga "num flash", daí o nome), se você quiser apagar muitos bytes. A má notícia é que você não pode modificar quantidades menores de dados (embora lógica externa, com alguma SRAM, pode fingir para que você não perceba o que está acontecendo dentro). Mas a grande novidade é que o chip é mais denso, principalmente na forma conhecida como NAND flash, então você obtém muita memória em um único IC (até 1 terabit, atualmente; embora as entranhas não sejam um "chip" honesto ," mas sim uma "pilha" de cavacos finos). A memória flash atualmente disponível vem em dois tipos, chamados NOR e NAND.

Flash NOR

A Figura 14.31 é uma visão simplificada do arranjo de células de bits usado na memória flash NOR , que era a arquitetura flash original. Como os transistores de armazenamento estão em paralelo, você faz a leitura bloqueando todos, exceto o transistor selecionado. As células de porta flutuante são programadas via injeção de elétrons quentes de canal (o mesmo que com EPROM).

No entanto, como acontece com todas as variedades de memória flash, o apagamento deve ser feito um bloco (ou "setor") por vez, com a tensão de substrato elevada do bloco causando tunelamento FN dos portões flutuantes. Os tamanhos de bloco típicos são de 4 a 64 kB, geralmente configurados de forma flexível com vários tamanhos de bloco diferentes em um chip. O flash NOR usa uma interface paralela simples do tipo SRAM (às vezes fornecendo uma escolha de modos assíncronos ou síncronos) e pode ser usado diretamente para manter o código executável. Observe, no entanto, que a resistência limitada, bem como o apagamento do tamanho do setor, significa que o código executável deve tratar a memória como somente leitura. Os dispositivos flash NOR atualmente disponíveis vêm em densidades de cerca de 1 Mb– 1 GB.

Flash NAND

Ao contrário do NOR, os projetistas do flash NAND o conceberam como um dispositivo de armazenamento em massa denso, mais semelhante a um disco rígido magnético. É a memória usada em pen drives USB, cartões compact flash (CF), cartões Secure Digital (SD), unidades de estado sólido (SSD) e a memória de código no chip usada em microcontroladores (C; consulte o Capítulo 15). O flash NAND ÿ de conexões em série de células de bit (Figura 14.32), que são lidas mantendo todas as portas em nível ALTO , exceto o transistor selecionado; o transistor selecionado então determina a condução da string em série, de acordo com

Machine Translated by Google

à carga em seu portão flutuante. Apagar e escrever usam tunelamento; o apagamento é feito em setores. O que não é óbvio é a maior densidade que você obtém com uma conexão em série: nenhuma fonte ocupando espaço ou contatos de dreno são necessários, exceto nas extremidades de cada string. Para manter a contagem regressiva de pinos, a NAND usa uma interface de comando serial; e, como NOR flash, apaga em setores. Observe, no entanto, que um dispositivo como um pendrive USB inclui um controlador de memória, de modo que os detalhes elétricos e de temporização de apagamento e leitura/gravação de dados sejam invisíveis para a interface externa. Da mesma forma, a especificação para cartões flash SD exige que eles incluam não apenas o protocolo de interface SD nativo, mas também o protocolo SPI (interface periférica serial) padrão que está incluído na maioria dos microcontroladores contemporâneos.38 Os controladores de memória usados para dispositivos de armazenamento flash não mais do que simplesmente obedecer às regras: eles usam truques como "nivelamento de desgaste" (percorrer diferentes blocos de armazenamento para minimizar a reutilização) para contornar os efeitos limitantes de resistência causados por danos nos isoladores causados pela construção de túneis; e eles detectam células ruins e degradadas, cujos endereços eles escrevem em locais no setor 0 do chip de memória para que futuros acessos à memória sejam desviados para células sobressalentes.

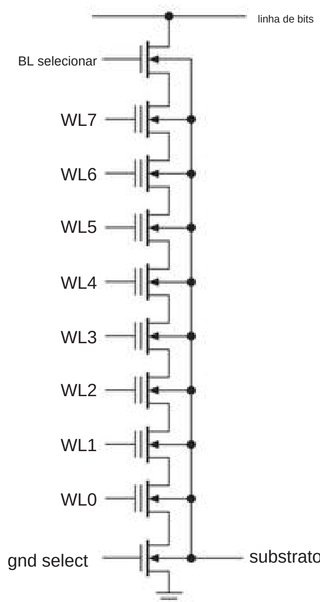


Figura 14.32. Memória flash NAND , com seu arranjo em série de células de bits.

Em uma manobra ousada para multiplicar a densidade da memória, os fabricantes de flash NAND estão usando o que é educadamente chamado de armazenamento de "célula multinível" (MLC) ou "célula de nível triplo" (TLC). Simplificando, isso significa colocar níveis parciais de carga no portão flutuante, que são lidos medindo a tensão limite aproximada. As implementações atuais usam quatro (MLC) ou oito (TLC) níveis, portanto 2 ou 3 bits 2T" ou 3T" célula?!) por transistor. (Devemos chamar isso de " 1 " 1 Isso é assustador - seus dados preciosos são mantidos em minúsculos capacitores de porta flutuante parcialmente carregados, cujo nível de carga não deve mudar muito durante os próximos anos. Para ter uma noção da escala, a capacitância de cerca de 0,3 femtofarad não deve vazar (ou adquirir) mais de ÿ3000 elétrons em, digamos, 3 × 108 segundos (dez anos). Isso é um elétron por *dia!* É um milagre que o material funcione.39 O flash NAND atualmente disponível vem em

densidades de até 1 Tb por IC; para obter essas densidades, os fabricantes usam armazenamento MLC de 2 bits e empilhamento de vários chips em um pacote de IC. Para nós, é surpreendente que um único CI possa armazenar o equivalente a 16 bytes de informação para cada pessoa na Terra.40

D. Futuras memórias não voláteis A memória flash é um material excelente. Mas tem resistência finita e o processo de apagar/gravar é lento. Uma memória não volátil ideal seria "SRAM sem a volatilidade". Ou seja, ele teria acesso aleatório de leitura e gravação em velocidade total, resistência ilimitada e longa retenção.

Existem várias tecnologias sendo exploradas; os seguintes parecem ser os mais promissores.

RAM ferroelétrica (FRAM, FeRAM ou F-RAM)

Um material ferroelétrico é o análogo elétrico de um material ferromagnético; ou seja, mantém o estado de polarização elétrica. A idéia é fazer uma célula de bits DRAM estilo 1T1C, mas com o capacitor substituído por um filme fino de material ferroelétrico (por exemplo, algumas camadas de átomos de titanato de estrôncio e bismuto). Você escreve um pouco como na DRAM, aplicando um campo ao longo do filme. A leitura é diferente, no entanto: você lê "destrutivamente", sentindo se uma gravação mudou o estado (produzindo um pulso de corrente); então você restaura o estado.41 FRAM potencialmente pode entregar aleatoriamente

[38] O protocolo real que passa pela interface SPI do cartão SD não é trivial, porque deve suportar operações de memória como leitura, gravação, exclusão, verificação de status e assim por diante. Mas é simples e você pode obter bibliotecas para microcontroladores populares, como AVR e ARM (consulte o Capítulo 15).

[39] Mas *faz!* Os vários gigabytes de figuras e texto para esta edição do livro fizeram muitas viagens entre o escritório e a casa, na forma de bits femtofarad parcialmente carregados.

[40] Prevemos, com considerável confiança, que quando você ler isto, os bytes/IC terão aumentado muito mais do que as pessoas/Terra.

[41] Isso é análogo ao método usado com a memória do núcleo magnético de antigamente, no qual o estado do núcleo era lido forçando-o a um

velocidades de leitura e gravação de <50 ns, retenção de muitos anos e resistência muito alta. Empresas como a Fujitsu e a Cypress estão atualmente fabricando FRAM, oferecendo dispositivos de interface serial (SPI e I2C) até 2 Mb com durabilidade de 1014 ciclos e dispositivos paralelos (emulando SRAM assíncrona) até 4 Mb. Um exemplo deste último é o MB85RE4M2T, com tempos de ciclo de leitura e gravação aleatórios especificados de 150 ns, retenção de dez anos a 85 °C e resistência (rufar dos tambores) de 1.013 ciclos de leitura e gravação (ou seja, 300 anos, a 1.000 leitura/gravação por segundo.

RAM magnetoresistiva (MRAM)

A magnetorresistência é a mudança da condutividade elétrica de um material sob um campo magnético aplicado. Variações do efeito ("magnetorresistência gigante", "magnetorresistência colossal", "magnetorresistência de túnel") são usadas em cabeças de leitura de disco magnético, uma melhoria em relação à leitura tradicional baseada em bobina (que gera uma tensão proporcional às *mudanças* no fluxo, em vez de do que fluir) que levou a uma explosão na capacidade do disco rígido. É possível fabricar minúsculas células magnetorresistivas no chip (completas com algum material ferromagnético), escritas pela pulsação de uma corrente e lidas por sua magnetorresistência.

A MRAM está "em desenvolvimento" há muitos anos, com algumas peças de produção recente. Por exemplo, Everspin (spinoff de Freescale) oferece MRAMs de tamanho de palavra de 8 bits e 16 bits, com densidades de até 16 Mb. Seu MR2A16A, por exemplo, é um MRAM não volátil de 4 Mb e 16 bits de largura, com uma interface paralela SRAM assíncrona padrão. Ele especificou tempos de ciclo de leitura e gravação de 35 ns, retenção de 20 anos e (grande rufar de tambores) reivindicou resistência "ilimitada"; custa $ 20 em quantidade unitária. Outras empresas envolvidas no MRAM incluem Hitachi, Hynix, IBM/TDK, Infineon, Samsung e Toshiba/NEC (onde um MRAM de 1 Gb é ru mais). A MRAM não é competitiva em custo com o flash, nem de longe; ainda está no portão de largada – mas vale a pena ficar de olho.

RAM de mudança de fase (PRAM ou PCM)

Certas ligas metálicas ("vidros calcogenetos") exibem uma grande diferença de resistência elétrica entre seus estados cristalino e amorfo (semelhante ao vidro). Isso pode ser explorado para fazer células de memória, nas quais a liga de mudança de fase é aquecida de forma controlada para converter entre os dois estados. O aquecimento soa como um processo lento e difuso, mas nas pequenas escalas aqui (dezenas de nanômetros) as coisas acontecem localmente e em dezenas de nanossegundos. Estágio

estado conhecido, detectando se houve uma mudança de estado e, em seguida, restaurando (se necessário) o estado original.

a memória de mudança está sendo perseguida por empresas como Sam Sung, Micron, IBM e STMicroelectronics, e algumas amostras de protótipo foram enviadas (por exemplo, um PRAM de 128 Mb, 90 nm da Numonyx). Nenhuma reivindicação de resistência ilimitada, ainda; mas a PRAM potencialmente oferece memória não volátil de alta densidade com tempos de ciclo de leitura e gravação rápidos.

14.4.6 Envolvimento de memória

Encapsulando a longa narrativa acima, podemos resumir o estado atual da memória e seu uso desta forma.

- Na maior parte do tempo, o problema foi resolvido para você.
  - Os microcontroladores (Capítulo 15) incluem memória on-chip, tanto flash (para armazenamento não volátil de programas), SRAM (para memória de trabalho) e, muitas vezes, EEPROM (para parâmetros, tabelas, etc.).
  - As placas-mãe do computador são configuradas para usar SDRAM rápida, como placas SODIMM plug-in (ou outro fator de forma); apenas siga as instruções e você ficará bem.
  - Field-programmable gate arrays (FPGAs) sem on chip flash são configurados para aceitar um código de configuração de uma memória flash serial acoplada, bem especificado em seus datasheets.
- A memória volátil mais simples é a SRAM assíncrona, ou sua popular RAM pseudo-estática semelhante. As velocidades SRAM e PSRAM padrão são de aproximadamente 50 ns, com velocidade "rápida" SRAM acelera em torno de 10 ns; os últimos são bons para memórias cache externas, enquanto os primeiros ainda são usados em aplicações de nicho, como eletrônicos médicos de alta confiabilidade. Micropower SRAM pode reter dados em correntes de espera de ÿ1 A e, para aplicações de lazer, operar em correntes ÿ de ÿ1 mA.
- A SRAM síncrona tem uma interface mais complicada, mas funciona em altas velocidades de clock (até 400 MHz, combinadas com taxa de dados dupla); bom para cache externo.
- A DRAM síncrona, em suas variedades de taxa de dados dupla, é a favorita para a memória de trabalho rápida do computador. Geralmente usados como módulos plug-in, mas podem ser usados como ICs simples, por exemplo, em conjunto com um microprocessador embutido (ou FPGA com núcleo de microprocessador interno) em um aplicativo autônomo como um roteador sem fio, console de jogos, monitor painel ou set-top box.
- O Flash NAND é o atual vencedor para armazenamento denso não volátil e domina em módulos (pendrives USB, cartões CF e SD) e como substituto de disco rígido (SSD), bem como em chip (microcontroladores e aplicativos ICs específicos) e on-board (eletrônicos de consumo, vídeo, rede, etc.). Um aplicativo particularmente fácil de usar

a forma é fornecida por flash de interface serial, tanto como ICs autônomos quanto, agradavelmente, na forma de cartão SD (que possui uma interface compatível com SPI); você pode conectar essas memórias seriais diretamente à maioria dos microcontroladores, que incluem uma porta SPI de 3 fios integrada. • Flash NOR tem o mérito de uma interface SRAM assíncrona padrão, portanto, você pode substituí-los por SRAM e executar código somente leitura diretamente.
• A capacidade de regravação de bytes da EEPROM é adequada para o armazenamento de parâmetros e tabelas, particularmente onde apenas uma quantidade modesta de dados está envolvida.

• Há esperança, em algumas tecnologias recentes, de encontrar o santo graal da memória: memória não volátil de velocidade total com resistência ilimitada. (Tivemos isso, meio século atrás, com memórias de núcleo magnético. Elas são boas, se você estiver satisfeito com tempos de ciclo medidos em microssegundos, densidades medidas em kilobytes e preços em quilodólares.
Mas ficamos cansados com a velocidade, densidade e baixo custo deslumbrantes da memória semicondutora; não há como voltar atrás. . . .)

14.5 Outros barramentos e links de dados: visão geral

O barramento periférico PC104/ISA que vimos em detalhes exemplifica uma arquitetura de barramento multiponto *paralelo ,* com um grupo de linhas DATA compartilhadas , linhas ADDRESS e alguns sinais STROBE que sinalizam a direção e o tempo da transferência de dados (junto com linhas adicionais para interrupções e DMA). Ele se originou há mais de 25 anos e foi substituído por barramentos paralelos mais rápidos e largos, principalmente os barramentos periféricos PCI e PCIe42 usados em PCs contemporâneos.43 Mas a generalidade de um barramento de dados paralelo se estende muito além das entranhas

das placas-mãe do computador. As transferências paralelas de dados, compartilhando os conceitos de dados-endereço-strobe do PC104, são usadas de forma mais geral em dispositivos eletrônicos para transferência de dados entre dispositivos como monitores de cristal líquido, chips de processamento de vídeo e conversores analógico/digital, como ilustraremos em breve . Essas conexões entre dispositivos de circuito muitas vezes omitem endereçamento complicado e são melhor consideradas como *links de dados paralelos.* Os verdadeiros barramentos paralelos, no entanto, também podem se estender a periféricos com fome de dados *externos* como armazenamento em fita e disco, ou teste e medição em instrumentação, na forma de SCSI ou barramentos de interface de uso geral (GPIBs).

E também há os barramentos *seriais* e links de dados cada vez mais populares, indo do legado simples (e lento) RS-232 (porta "COM") aos rápidos protocolos USB e FireWire. Os links seriais enviam seus bits de dados sequencialmente, em vez de uma transferência multibit por atacado de bytes (ou mais); então você pode esperar que eles sofram em velocidade. Notavelmente, no entanto, os protocolos seriais rápidos recuperam a maior parte dessa velocidade usando sinalização diferencial de baixa voltagem em taxas de bits muito altas. Um bom exemplo é a evolução do link de disco paralelo ATA (também chamado de IDE ou PATA) de 16 bits (um total de 40 fios, no conhecido cabo de fita) em um link serial "SATA" com apenas dois pares em um cabo fino. O link SATA é realmente o *mais rápido:* ele pode transferir até 6 gi gabits/segundo, enquanto o agora obsoleto "PATA" atinge o máximo de 1 gigabit/segundo.

Mais velocidade em um link *serial* – como pode ser isso? A sinalização diferencial de baixa tensão certamente ajuda, mas há dois fatores adicionais que favorecem links seriais como SATA: (a) esses links são "ponto-a-ponto" (um driver na extremidade de transmissão e um receptor na outra extremidade), em vez de "multidrop" (um motorista em algum lugar do ônibus e vários receptores ao longo do ônibus); e (b) ao contrário de um barramento paralelo multifio, uma única linha serial não tem *desvio* de tempo (a dispersão dos tempos de propagação entre as linhas de clock e as várias linhas de dados). Esses fatores realmente importam em taxas de dados contemporâneas de gigabits por segundo: (a) Nessas velocidades, as linhas de ônibus são eletricamente "longas" (os sinais elétricos viajam aproximadamente 20 cm em um nanossegundo em cabos e placas de circuito), e assim você temos que pensar nos fios do barramento como linhas de *transmissão* (Apêndice H), nas quais vários taps (chamados "stubs") agem como diferenças de impedância e geram uma sequência de sinais refletidos; por outro lado, uma conexão ponto a ponto tem apenas um receptor, permitindo um bom casamento de impedância. E, (b), nessas velocidades, a inevitável distorção de tempo define um limite superior nas taxas de clock de dados (conforme revelado por um "diagrama de olho" – Figura 14.33) em barramentos paralelos, bem contornado em links seriais nos quais o clock é recuperado de o próprio fluxo de dados.
Acontece que as vantagens da impedância controlada e a ausência de distorção de temporização pesam nas vantagens do paralelismo.

Essa mudança de paralelo (e multidrop) para serial (e ponto a ponto) é vista amplamente: em barramentos de computador (PCI ÿ PCIe), em interfaces de disco (PATA ÿ SATA; SCSI ÿ SAS), em cabeamento Ethernet (coaxial multidrop ÿ par trançado ponto a ponto) e em barramentos externos (por exemplo, GPIB ÿ USB). Além dos benefícios de desempenho, essas séries

[42] O PCIe é um híbrido: comunicação serial em um conjunto de "pistas" paralelas.
[43] Os últimos são consideravelmente mais complexos; escolhemos o PC104/ISA por sua simplicidade e também porque é bem compatível com as ofertas contemporâneas do PC104, o que provavelmente garantirá sua sobrevivência muito além das vidas de seus contemporâneos esquecidos. Este último tinha nomes como Unibus, barramento STD, barramento EISA, MicroChannel, Q-bus, Multibus, VAX BI, NuBus, Futurebus e Fastbus.

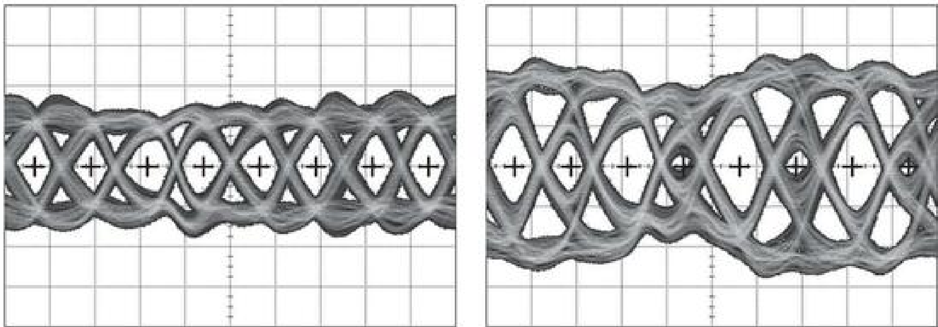


Figura 14.33. Um diagrama de olho é formado a partir de capturas de escopo persistentes da tensão em um único canal de dados, acionado pelo relógio (recuperado pelo receptor ou transmitido junto com os dados). Esta captura de escopo real mostra o sinal na extremidade distante de um comprimento de 60 cm de coaxial semirrígido de 0,085, conduzido por um fluxo de dados pseudo-aleatórios de 11,2 Gb/s (!) Esquerda: com equalização de transmissão – os "olhos" abertos indicam margem de sinal adequada nos pontos de clock igualmente espaçados (indicados com um símbolo "+"). Direita: sem equalização de transmissão – um bom exemplo de olho ruim. Horizontal: 71,4 ps/div; vertical: 125 mV/div, diferencial. A largura de banda do osciloscópio deve se estender até a 3ª (ou até a 5ª) harmônica da frequência do relógio para exibir um diagrama de olho preciso. (Cortesia Hayun Chung.)

os links são mais baratos, com seus pequenos conectores e cabeamento.

Observe que esses links seriais, embora sem linhas de endereço, podem agir logicamente como os barramentos endereçados clássicos, transmitindo bits de endereçamento junto com os dados. Os exemplos são USB, FireWire, SAS (SCSI conectado em série) e eSATA (SATA externo).

Finalmente, protocolos seriais são comumente usados para comunicação entre ICs; eles têm nomes como SPI (Serial Peripheral Interface), I2C (Inter-IC) e JTAG (Joint Test Action Group).

A Tabela 14.3 fornece uma organização útil (esperamos) e um resumo das características dos links e barramentos de dados comumente usados. Nesta seção, veremos esses barramentos e links de dados, com exemplos para colocar um pouco de carne nos ossos.

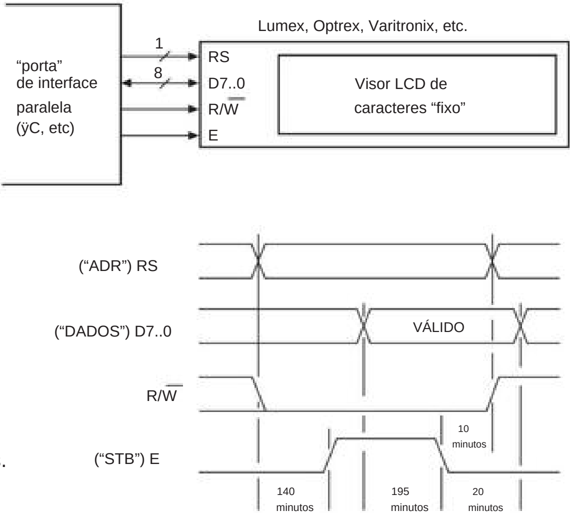


Figura 14.34. Módulo LCD com interface paralela, com tempos de ciclo WRITE (em ns). O ciclo READ é semelhante, mas com R/W definido como ALTO (e D7..0 definido pelo LCD).

14.6 Barramentos paralelos e links de dados

14.6.1 Interface "bus" de chip paralelo – um exemplo

Os conhecidos "displays de caracteres" LCD que você vê em muitos dispositivos originados com um barramento paralelo simples, que se tornou um padrão (eles agora vêm também em variantes de barramento serial). É muito simples: 8 linhas DATA (D7..0), 1 (!) linha ADDRESS ("RS"), uma linha R/W e um STROBE ("E") de dados. As linhas DATA são bidirecionais; as outras três são unidirecionais, conforme mostrado na Figura 14.34. O RS de 1 bit (endereço) seleciona o registrador de *instrução* interno do display (adr=0) ou seu registrador *de dados* (adr=1). Vimos isso anteriormente, no Capítulo 12 – veja, por exemplo, a Figura 12.78.

A operação é a própria simplicidade: um caractere é escrito no visor, definindo seu endereço de destino para os dados registrador (RS=1=HIGH), afirmando R/W LOW, em seguida, colocando seu *byte de código* de caractere nas linhas DATA e pulsando a linha estroboscópica E. O display fica então "ocupado" (o que você pode descobrir fazendo um READ de endereço 0: o flag BUSY é retornado como bit D7); você pode enviar o próximo caractere quando BUSY se tornar falso.

É assim que você envia caracteres. Você também pode fazer coisas como limpar a tela, avançar o cursor ou determinar onde caracteres sucessivos são exibidos, escrevendo *bytes* de comando no registrador de instrução (adr=0). Por exemplo, escrever 01h limpa o display; escrevendo movimentos de 10h

Comentários

bits

Dispositivos

SPI SMBus LIN Zigbee Bluetooth USB FireWire SCSI GPIB I2C SAS SCSI SATA PATA PCIe PCI ISA

o cursor um caractere à esquerda; e escrever 06h especifica que cada caractere sucessivo é escrito à direita do caractere anterior. Os mesmos protocolos são usados em uma variante de exibição compatível que substitui uma bela tecnologia "fluorescente a vácuo". Consulte §12.5.3; ou dê uma olhada em §15.10.4 para ver um exemplo frívolo.

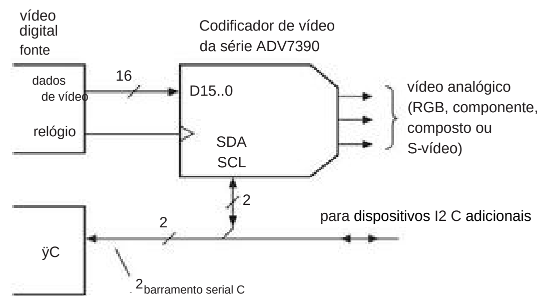


Figura 14.36. Codificador de vídeo com entrada rápida de dados de vídeo paralelo de 16 bits e porta de configuração de barramento serial I 2C de 2 fios.

14.6.2 Links de dados de chip paralelo – dois exemplos de alta velocidade

O LCD dificilmente precisa da velocidade extra de um barramento paralelo; de fato, sua interface permite que transferências de bytes sejam realizadas como duas transferências sucessivas de meio byte (4 bits "nybbles"). Mas às vezes você realmente precisa da velocidade, por exemplo, com um conversor digital-analógico realmente rápido como o mostrado na Figura 14.35. O DAC AD9748 de 8 bits converte a taxas de até 210 Msps (megaamostras/seg), então você precisa alimentá-lo com novos bytes a cada 5 ns. O chip oferece uma porta de entrada de largura de byte, combinada com uma entrada de clock diferencial que aceita LVDS (sinalização diferencial de baixa tensão) de alta velocidade. Ao contrário do LCD, este não é um *barramento* em nenhum sentido, porque não há comunicação bidirecional e nenhum anúncio (nem mesmo um chip select ou um pino de habilitação, como no LCD). Observe o tempo rápido, com tempos de configuração e espera de 2,0 ns e 1,5 ns.

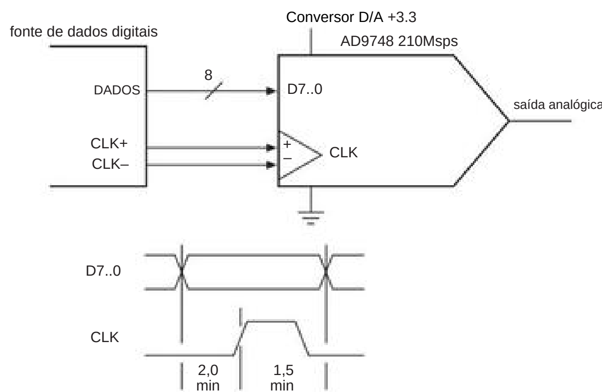


Figura 14.35. Link de dados paralelo rápido para um DAC de 210 Msps.

A Figura 14.36 mostra outro exemplo com requisitos de velocidade semelhantes – um chip codificador de vídeo que pode lidar com todas as demandas de largura de banda de vídeo de alta definição – mas adicionalmente com a necessidade de especificar literalmente centenas de parâmetros de vídeo associados (como formatos de entrada e saída de vídeo , correções de cor e contraste, padrões de teste e assim por diante). Portanto, ele possui uma porta de entrada paralela de 16 bits, com configuração frenética em escala de nanossegundos e tempos de espera. Mas também possui uma porta serial de lazer, que pode aceitar tanto o I2C ou protocolos seriais SPI e que fornece acesso a aproximadamente 250 registros de configuração interna de largura de byte para configuração. Essa abordagem híbrida aproveita a flexibilidade e a compactação de um barramento serial, ao mesmo tempo em que usa uma porta de entrada paralela dedicada para aceitar uma mangueira de incêndio de dados de vídeo digital.

Discutimos barramentos seriais e links de dados em §14.7, abaixo.

14.6.3 Outros barramentos de computadores paralelos

Como observamos acima, os barramentos dentro dos computadores usados para mover dados para periféricos e para a memória evoluíram e continuam a evoluir. Barramentos contemporâneos como PCI e PCIe movem dados rapidamente (1 Gb/s a 32 Gb/s), com larguras de 16 a 64 bits. O PCIe ("PCI express") é na verdade um híbrido paralelo/serial e é emblemático de uma mudança em direção à comunicação *serial de* dados: o PCI que ele substituiu usava um caminho de dados paralelo multiponto bidirecional convencional (32 ou 64 bits de largura, com 32 bits de endereço), enquanto o PCIe mais recente usa de 1 a 16 "pistas" de pares de links seriais ponto a ponto unidirecionais, cada um dos quais roda a uma velocidade de 2,5 Gb/s (PCIe v.1), 5 Gb/s (v. 2) ou 8 Gb/s (PCIe v.3). A temporização é transportada com os dados, em cada link serial, codificando os dados para que o destinatário possa executar a "recuperação do relógio" sem sinais separados de relógio ou estroboscópio.[44] Isso é necessário para comunicação de alta taxa de bits; caso contrário, a *distorção* de tempo (a *diferença* nos tempos de propagação do relógio e das várias linhas de dados) limita a taxa máxima de relógio de bits.

Barramentos de dados paralelos também existem dentro dos próprios chips de silício: todos os processadores contêm caminhos de dados internos para enviar dados entre os registradores e unidades aritméticas, de e para os caches de memória no chip, entre o processador e a memória externa e assim por diante; você verá nomes como

[44] O PCIe usa codificação "8b/10b", com cada byte de 8 bits enviado como um símbolo de 10 bits, para gerar um fluxo de bits balanceado em DC e "limitado por comprimento de execução" no qual nunca há mais de cinco 1s ou 0s consecutivos .

AMBA e Wishbone. À medida que os processadores crescem em velocidade, seus barramentos externos acompanham; a configuração atual é um barramento "Front Side" (FSB) rápido e amplo, que requer chips de suporte ("Northbridge" e "Southbridge", que provavelmente se fundirão em um único chip de suporte unificado) para dividir barramentos separados para memória, rápido periféricos (barramento PCIe) e periféricos mais lentos (SATA, PCI, USB, Ethernet).

Outra tendência nos projetos de computadores contemporâneos é a integração de mais funções e mais complexidade dentro do próprio chip do processador. Assim, temos os deliciosos e baratos *microcontroladores,* com seu espectro de "periféricos" integrados ao chip, prontos para serem inseridos em um circuito ou instrumento sem pensar em barramentos ou interfaces. Microcontroladores embutidos são o assunto do próximo capítulo.

Ainda outra abordagem dispensa totalmente o processador dedicado, explorando o poder da lógica configurável (Capítulo 11) em FPGA massivo "system-on-a-chip" (SoC). Isso permite um design de sistema flexível (incluindo núcleos de processador "suaves" no chip, barramentos internos, memória e periféricos), com muitos pinos de E/S de largura de banda larga. Um exemplo é a série de FPGAs Xilinx Virtex, chegando a vários milhões de flip-flops, dezenas de MB de RAM no chip e mais de 500 portas diferenciais LVDS. Além dos SoCs de configuração flexível, existem peças padrão específicas de aplicativos (ASSPs, consulte §11.4.2) para muitos aplicativos de consumo. Por exemplo, existe o BCM7405 da Broadcom "SoC de vídeo/áudio digital HD multiformato para STBs de satélite, IP e cabo com Picture-in-Picture" (o título diz tudo[45]).

14.6.4 Barramentos periféricos paralelos e links de dados

Embora a indústria esteja mudando de barramentos paralelos para seriais, ainda existem alguns barramentos paralelos em uso.

A. PATA (IDE)

O PATA de 16 bits (ATAPI paralelo, também chamado de IDE) foi por muitos anos a conexão padrão para disco rígido interno unidades de disco e ópticas (CD, DVD). Os cabos e conectores largos de fita de 40 fios são um tanto complicados e, mesmo após a introdução de cabos de 80 fios (adicionando linhas de aterramento intercaladas para melhorar a integridade do sinal), as taxas de dados atingiram o máximo de 133 MB/s (ÿ1 Gb/ s). PATA está obsoleto, substituído pelo formato serial SATA.

B. SCSI A

interface de sistema de computador pequeno paralelo de 8/16 bits data da década de 1980, com aprimoramentos na velocidade e no formato de sinalização (originalmente 5 V de terminação única, com diferencial de baixa tensão adicionado posteriormente[46]) e foi até recentemente o preferido interface para discos de alto desempenho e dispositivos de armazenamento em fita. Os barramentos SCSI internos usam fitas de 68 fios com conectores de soquete de linha dupla; SCSI externo usa cabo multipar blindado com conectores de 68 ou 80 pinos de alta densidade . SATA.

C. GPIB O

barramento de interface de uso geral IEEE-488 foi criado pela HP para controle e leitura de equipamentos de teste e medição; muitos instrumentos (por exemplo, da Ag ilent, Keithley, National Instruments e Stanford Re search Systems) continuam a suportar o controle GPIB. Ele usa um conector empilhável robusto de 24 pinos e permite comprimentos de até 20 metros. Você pode obter placas adaptadoras GPIB para os barramentos de computador PCI e PCIe; ou você pode obter adaptadores como Ethernet para GPIB e USB para GPIB.

D. Porta da impressora ("Centronics")

A última (e menos importante) é a "porta da impressora" paralela (porta LPT), que foi padrão por duas décadas, começando com o IBM PC original, onde seu endereço de E/S era 378h (e ainda é). Também era usado para modems externos e para "dongles" de software. A interface paralela original era unidirecional (saída de dados, com algumas linhas de handshake), mas as extensões do padrão (IEEE 1284: ECP, EPP) a tornaram bidirecional, mais rápida e mais semelhante a um barramento. é bem minucioso

[45] Mas, caso você queira saber mais, a página do produto diz o seguinte: "O BCM7405 é uma solução DVR System-on-Chip de alto desempenho e alta definição (HD) via satélite, cabo e set-top box IP. Ele combina uma CPU rápida de classe MIPS32/ MIPS16e 1100-DMIPS, processamento gráfico de alta velocidade, incluindo dimensionamento de vídeo e desentrelaçamento adaptativo de movimento, um processador de transporte de dados muito flexível, um processador MPEG-4/VC-1/ MPEG 2/AVS decodificador de vídeo compatível, um decodificador de áudio programável, seis DACs de vídeo, DACs de áudio estéreo de alta fidelidade, portas Fast Ethernet duplas, uma com PHY integrado, USB 2.0 triplo, PCI 2.3/Expansion Bus, DDR2 de 400 MHz de alta velocidade controlador de memória e uma unidade de controle periférico que fornece uma variedade de funções de controle de set-top box. Integrado na tecnologia de 65 nm, oferece um dos mais altos níveis de desempenho de sistema de chip único disponível para aplicações STB."

[46] A sinalização diferencial requer o dobro de fios, mas é superior em termos de baixa diafonia, excelente imunidade a ruídos e ruído de alimentação e aterramento muito menor (devido às transições balanceadas); essas características aprimoradas permitem que você use oscilações de tensão relativamente pequenas, com correntes de acionamento correspondentemente menores.

[47] Os conectores miniatura de alta densidade que foram desenvolvidos para formas avançadas de SCSI paralelo tornaram-se muito úteis em outros campos, como conectores de E/S para placas DAQ de computador para uso em laboratório pela National Instruments e outros. Estes são feitos por HRS Hirose, Honda Connectors e outros.

obsoleto: as impressoras usam conexões USB ou Ethernet. Os computadores agora raramente incluem uma porta paralela; se você precisar dessa conexão, poderá obter adaptadores USB para paralelo.

Dito isto, no entanto, a porta paralela (emulada com um adaptador USB, digamos) é a maneira mais simples de mexer em alguns bits de um PC. Se você estiver executando alguma versão do Windows, precisará de um driver48 que permita acessar o hardware (esses sistemas operacionais não permitem que você acesse portas de hardware diretamente, como era possível nos bons e velhos tempos do DOS). Então você pode escrever um código realmente simples, como este exemplo do Python49 rodando no modo terminal:

```
>>> import parallel >>> p =
parallel.Parallel() # open LPT1 >>> p.setData(0x55)
```

Você pode usar uma linguagem compilada; algumas pessoas que conhecemos gostam do PowerBASIC, no qual você pode usar linguagem de montagem em linha em uma sub-rotina BASIC para enviar um valor para uma porta endereçada. Se parece com isso:

```
Sub PortOut(ByVal PortNum como palavra, Byval Value
como byte)
    ASM MOV AL, Valor
    ASM MOV DX, PortNum
    ASM OUT DX, AL
End Sub
```

14.7 Barramentos seriais e links de dados

Os barramentos seriais e os links de dados têm várias vantagens importantes, duas das quais vimos anteriormente: (a) a conveniência de menos fios no cabo e no conector (pense em um cabo USB fino, comparado com a tromba de elefante do GPIB ou SCSI), bem como menos pinos nos chips do driver e do receptor; (b) alta taxa de bits intrínseca, devido à ausência de distorção de tempo (auto-temporizada via recuperação de relógio) e terminação de linha limpa (se ponto a ponto). Além disso, (c) um link serial de um fio é facilmente transmitido por fibra ótica ou por transmissão sem fio. E, se você quiser bits paralelos em qualquer extremidade, existem chips genericamente conhecidos como SERDES (serializador-desserializador, pronuncia-se "ser -deez"), que convertem um fluxo serial em paralelo e vice-versa (consulte também §12.8.4 e §12.10.3). Como exemplos deste último, a FTDI Ltd. oferece os populares FT245 e FT2232, que convertem entre um USB de velocidade relativamente baixa e uma porta paralela simples de largura de byte, com um primeiro a entrar, primeiro a sair (FIFO) integrado amortecedor; exemplos de alta velocidade incluem o DS92LV18 SERDES de 18 bits (com velocidades de até 1,2 Gbps) ou o SERDES genérico usado no PHY (camada física – ou seja, os ICs driver-receptor-switch) de links Ethernet gigabit ("1G") e 10 gigabit ("10G").

Nas subseções a seguir, descrevemos a maioria dos temas importantes em enlaces seriais, com exemplos daqueles de uso comum. Assim como nos barramentos paralelos, olhamos primeiro para os protocolos seriais internos (chip-a-chip e dentro de um instrumento) e depois para os barramentos seriais externos. Dentro dessas categorias, nós as ordenamos aproximadamente aumentando a complexidade, por exemplo, indo do mais simples (e lento) 4-wire clocked link (SPI) para o complexo (e rápido) 1-wire 8b/10b-coded clock- links de recuperação usados em SATA e PCIe.

Veja o próximo capítulo para sugestões específicas de chips para im. Complemente esses protocolos com um microcontrolador.

14.7.1 SPI

A interface serial periférica (SPI) foi introduzida pela Motorola e é amplamente utilizada para comunicação *entre CIs* (para o qual o outro padrão popular é o I2C, discutido abaixo).50 Ela é organizada como um protocolo mestre-escravo (como o barramento PC104). , mas usa apenas 4 fios (Figura 14.37): um clock, duas linhas de dados (uma em cada direção) e um chip select. Eles são denominados SCLK, MOSI (master out, slave in), MISO (master in, slave out) e SS (slave select; active LOW). A Figura 14.38 é usada: o clock e as linhas de dados são conectadas a todos os chips escravos

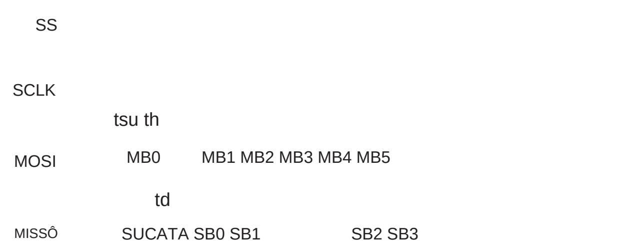


Figura 14.37. Um protocolo SPI típico, com bits em ambas as direções cronometrados na borda de subida do SCLK. Com SPI, a quantidade e o significado dos bits são específicos do dispositivo escravo, que aqui aceita 6 bits de entrada do mestre (MB5..0) e emite simultaneamente outros 4 bits (SB3..0).

48 Exemplos são DirectIO.exe ou InpOut32.dll.

49 "setData(value)" é uma das várias chamadas de função bit-banging na API Paralela py; a documentação o descreve como "Aplique o byte fornecido aos pinos de dados da porta paralela".

50 Você vê SPI e I2C em chips como sensores, conversores, memória não volátil, chaves analógicas e potenciômetros digitais, a serem controlados por um microcontrolador, microprocessador ou outro link digital.

51 Às vezes, com nomenclatura alternativa: SDI, DI ou SI para dados IN e também para dados OUT, com os nomes dos sinais correspondentes à direção dos dados *naquele IC.* Por exemplo, o pino MOSI no mestre se conectaria aos pinos DI nos escravos.

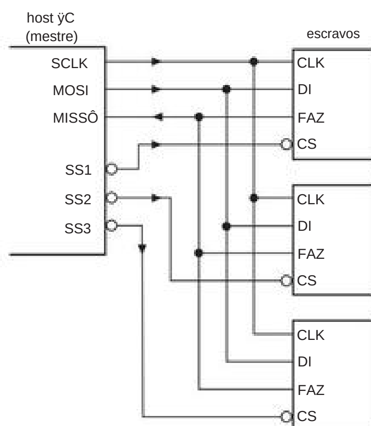


Figura 14.38. A configuração SPI de barramento comum: as linhas de relógio e dados são compartilhadas, com linhas individuais SS (seleção de escravo) servindo as entradas de seleção de chip dos escravos correspondentes.

("multidrop"), com uma linha de seleção dedicada separada para cada escravo.

O mestre controla todas as transferências, primeiro afirmando SS para o IC escravo escolhido (com a linha SCLK em seu estado de repouso), então gerando pulsos de clock sucessivos, cada um dos quais permite uma transferência bit a bit de dados em MOSI e MISO apenas para aquele chip. Não existe um protocolo fixo para o que os dados representam, quantos bits devem ser enviados, etc. O que acontece, em vez disso, é que um determinado chip especifica o significado dos bits seriais enviados a ele e dos bits que ele simultaneamente envia de volta .

Para dar um exemplo, o AD7927 é um ADC de 12 bits de velocidade modesta (200 ksps), com um multiplexador integrado de 8 entradas e uma porta serial SPI (Figura 14.39); o último controla as conversões (por exemplo, selecionando o canal de entrada, faixa de tensão, codificação de saída, etc.) e também fornece as saídas digitais convertidas. Esse chip em particular carrega os primeiros 12 bits de entrada (após a asserção SS , que também inicia a conversão) em seu registrador de controle (ignorando os bits posteriores) e simultaneamente envia de volta o resultado da conversão anterior como uma string de 16 bits, conforme mostrado na Figura 14.39.[52] Veja a Figura 15.21 para alguns exemplos de chips periféricos SPI que são adequados para aplicações de microcontrolador.

A. Alguns comentários O protocolo SPI é de forma livre em seu conteúdo (quantos bits são enviados e o que eles significam), como este exemplo ilustra

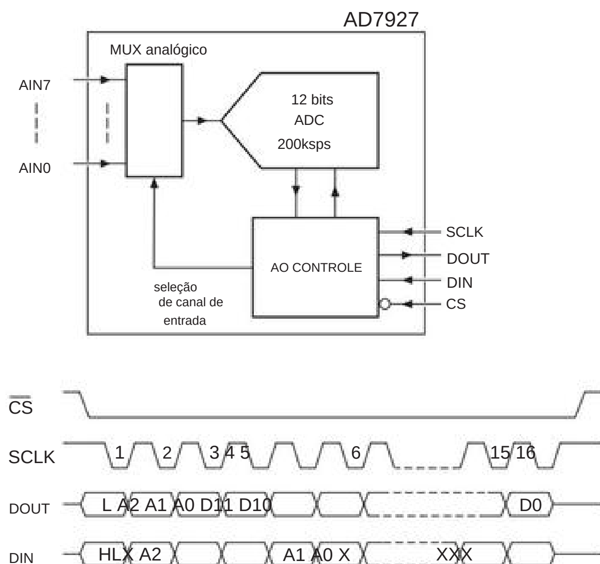


Figura 14.39. Um ADC de 8 canais com controle e leitura SPI. O protocolo mostrado é o mais simples de vários modos permitidos: o CS do mestre inicia uma conversão, após a qual o escravo emite o endereço do canal (3 bits) e o valor convertido (12 bits); o mestre envia simultaneamente o endereço do próximo canal de entrada a ser convertido.

trates. O SPI não tem nenhum endereçamento intrínseco para designar para onde os dados estão indo dentro do chip de destino, então o esquema usual é enviar uma string de bits que é deslocada para locais sequenciais de bits internos, com a folha de dados definindo como eles se classificam internamente (a popular alternativa I2C , abaixo, tem uma abordagem diferente). Alguns chips podem ser somente gravação (por exemplo, um LCD com entrada serial), outros somente leitura (por exemplo, o termopar Maxim MAX6675 para chip conversor digital, com SCLK, MISO e SS apenas: você não diz qual *é* a temperatura, ele *te diz).* Alguns chips podem inverter a polaridade do clock e também qual borda cronometra os dados (isso produz quatro possibilidades, conhecidas como *modos SPI;* a ilustração acima usou o modo 2). SPI tem temporização simples e transferências de dados full-duplex (ou seja, em ambas as direções simultânea e independentemente); não tem "aperto de mão" obrigatório: um mestre pode enviar muitos dados – para um chip inexistente!

Como o SPI (e variantes do tipo SPI) não obedece a um padrão bem definido, você deve ler atentamente as especificações da folha de dados de cada chip com interface. Você descobrirá, além dos modos de polaridade já mencionados, que as velocidades de clock máximas (e mínimas!) podem variar de alguns quilohertz a muitos megahertz.

O AD7927, por exemplo, especifica fSCLK=10 kHz (min), 20 MHz (max). Com vários chips SPI em um sistema, você

[52] O AD7927 pode fazer vários truques adicionais, como converter ciclicamente uma sequência arbitrária prescrita de canais de entrada; você programa essa sequência carregando um "registrador de sombra", que você acessa por meio de dois bits do registrador de controle.

Machine Translated by Google



Figura 14.40. O protocolo I2C de 2 fios (par de forma de onda superior): todas as transferências são em grupos de 8 bits, com um reconhecimento de 1 bit (ACK). O primeiro byte após START é sempre a declaração do mestre do endereço do escravo (A6..0) e direção (R/W); os bytes subseqüentes fluem do remetente para o destinatário (dependendo do primeiro R/W), declarados pelo remetente e confirmados pelo destinatário. O mestre pode acessar registradores dentro de um dispositivo escravo enviando seu endereço interno como um byte de dados, conforme mostrado nos diagramas de blocos inferiores; tanto um WRITE quanto um READ são ilustrados, o último exigindo um " START repetido " para criar um READ após escrever o endereço do registrador na transação inicial.

podem ter incompatibilidades entre eles que o forçam a escrever código para ativar e desativar os bits de porta "manualmente" (isso é chamado *de bit-banging,* em vez de usar a interface SPI integrada do microcontrolador).

Uma alternativa amplamente utilizada ao SPI é o periférico I2C interface, discutida a seguir.

14.7.2 Interface I2C de 2 fios ("TWI")

O barramento de interface serial Inter-Integrated-Circuit (IIC, I2C ou I2C) foi originado pela Philips (agora NXP), para comunicação entre chips.53 Ele difere do SPI em vários aspectos: (a) usa apenas 2 fios , que são barrados para todos os ICs escravos (não há nenhuma seleção de chip separada como o SS usado no SPI); (b) o endereçamento é enviado (primeiro) na mesma linha que os dados são enviados ou recebidos; (c) o barramento é "half-duplex" – ou seja, os dados podem se mover em apenas uma direção por vez (a direção é especificada por um bit após o endereço); (d) embora I 2C seja uma arquitetura mestre-escravo (como SPI), qualquer dispositivo no barramento pode se tornar mestre quando o mestre atual abre mão do controle (enviando o stop bit que encerra sua sessão com um escravo específico).

A Figura 14.40 mostra o protocolo. O barramento I2C de 2 fios consiste em uma linha de clock (SCL) e uma linha de dados (SDA), ambas com pullups resistivos para V+. SCL é afirmado pelo mestre, enquanto SDA é bidirecional: é afirmado pelo mestre para especificar o endereço do escravo (7 bits) e a direção da transferência (1 bit); o escravo então envia um bit de reconhecimento (ACK) , após o qual um ou mais bytes de dados se movem do mestre para o escravo, ou do escravo para o mestre (sempre sincronizado pelo mestre), dependendo da direção do bit de transferência que foi especificado inicialmente com o endereço do escravo. A sessão termina quando o mestre envia um bit de parada após o último byte transferido.54 Os comandos START e STOP são criados violando a convenção normal de "os dados podem mudar apenas durante o clock BAIXO".

Para dar um exemplo, o AD7294 "12-bit Monitor and Control System with Multichannel ADC, DACs, Temperature Sensor, and Current Sense" é um chip que faz tudo para aplicações como automóveis, controles industriais e estações base de celular (Figura 14.41). Não é o garoto mais rápido do quarteirão - meras 300.000 conversões por segundo em seu ADC - mas ficará de olho em toda a loja, reportando-se à nave-mãe por meio de uma porta I2C . A folha de dados de 44 páginas informa como se comunicar com seu

53 O SMBus estreitamente relacionado impõe padrões mais rígidos, tanto em protocolo quanto em sua sinalização elétrica.

54 Você pode pensar em todo esse processo como o analógico serial de uma transferência de dados PC104/ISA: no último, o mestre afirma o endereço nas linhas A19..0 e a direção nas linhas IOW /IOR . Se WRITE, o mestre declara os dados nas linhas bidirecionais D7..0; se for um READ, o escravo anunciado afirma os dados nessa mesma linha. Em ambos os casos, a transferência é cronometrada pelo estroboscópio IOW /IOR do mestre. Em I2C , as mesmas etapas ocorrem, mas em sequência serial na única linha bidirecional de dados-endereço-direção SDA , cronometrada pela única linha unidirecional de clock SCL .

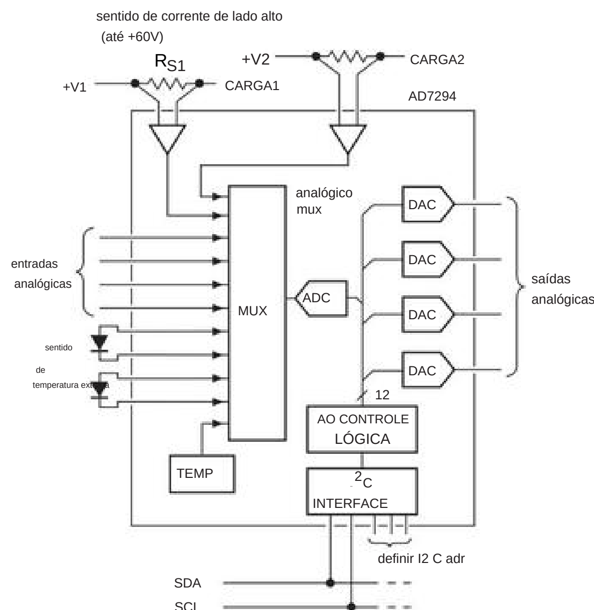


Figura 14.41. Um chip de monitor multifuncional, rico em recursos, mas apenas de velocidade modesta, com controle I 2C. O mestre pode acessar cada um dos 40 registradores internos enviando o endereço do registrador correspondente como o segundo byte de uma transmissão, conforme mostrado na Figura 14.40.

40 registradores internos, com nomes engraçados como "AlertRegis terA(R/W)" e "DATAHIGHRegisterTSENSEINT(R/W)". Veja a Figura 15.22 para alguns exemplos de chips periféricos I2C que são adequados para aplicações de microcontroladores.

A. Alguns comentários

O protocolo I2C de 2 fios é bem definido e economiza fiação, especialmente quando você precisa incluir muitos chips no barramento, porque os 2 fios carregam todos os dados, endereçamento e clock. Além disso, permite que o escravo desacelere o mestre fazendo "alongamento do relógio" (mantendo SCL LOW; isso é chamado *de controle de fluxo)* e permite vários mestres de barramento. É particularmente adequado para tarefas nas quais você deseja mirar em um registro específico em um chip dotado de muitos; com o AD7294, por exemplo, você teria uma transação de 3 ou 4 bytes: o primeiro byte é o endereço de barramento do chip, o segundo é o endereço do registrador interno do chip e o último byte (ou dois) é uma gravação (ou ler) para (ou de) esse registro interno.

B. Comparação com SPI

Quando comparado com SPI, no entanto, I2C é um protocolo mais complexo e não tão adequado para fluxo constante de dados de alta taxa. A flexibilidade de vários mestres de barramento navio traz consigo os problemas de contenção e arbitragem. Você deve fornecer endereços exclusivos a vários dispositivos, o que geralmente é tratado incluindo alguns pinos dedicados para selecionar entre um conjunto integrado (por exemplo, o AD7294 possui 3 pinos pelos quais você pode selecionar qualquer endereço de 61h a 7Bh), derrotando assim alguns da vantagem da baixa contagem de pinos. E a flexibilidade de endereçamento, dados bidirecionais e controle de barramento complica a depuração, em comparação com o protocolo SPI extremamente simples.

Qual usar? A escolha geralmente é determinada pelo chip periférico, que geralmente suporta apenas um protocolo ou outro, enquanto a maioria dos microcontroladores inclui suporte de hardware para SPI e I2C (e se não o fizerem, você sempre pode fazer bit-banging no software) .

14.7.3 Interface serial Dallas–Maxim "1 fio"

O máximo em redução do número de fios é alcançado na interface 1-wire™ (mais terra) desenvolvida por Dallas (agora fundida com a Maxim).55 O único fio transporta dados seriais e endereços, e também *energia!* A maneira como ele faz tudo isso é enviando bits de dados, bidirecionalmente, como breves pulsos para o solo, com cada dispositivo escravo tendo um capacitor no chip para reter a energia. O objetivo é a simplicidade na interconexão de dispositivos como sensores de temperatura, memória, conversores, gerenciamento de bateria e assim por diante (Figura 14.42). Com apenas terra e dados, os dispositivos podem ser empacotados no que Maxim chama de iButton™, que se parece com uma bateria de célula tipo moeda.

O protocolo funciona assim: vários dispositivos escravos fazem a ponte entre a linha de dados comum e o terra, controlados por um dispositivo mestre (microcontrolador ou outra interface digital). A linha é puxada para +5 V, o que alimenta os dispositivos escravos e permite que qualquer dispositivo assuma um nível BAIXO momentâneo. O mestre inicia todas as transações, afirmando endereços e, em seguida, enviando ou recebendo dados. Os dados são codificados como larguras de pulso: um pulso curto (<15 s) para 1 e um pulso longo (60 s) para 0. Se o mestre estiver enviando, ele simplesmente exibe os bits com larguras de pulso correspondentes; se estiver recebendo, ele envia o pulso curto correspondente a 1, e o escravo endereçado responde não fazendo nada (liberando a linha para +5 V, portanto sinalizando um 1), ou mantendo a linha baixa por 60 s, criando um pulso longo (portanto sinalizando um 0).

ÿ

Cada dispositivo de 1 fio possui um endereço único de 64 bits, fornecido no momento da fabricação, que inclui um byte indicando o tipo de dispositivo. O mestre redefine os escravos

[55] Muitos detalhes em suas Notas de Aplicação AN147, AN148, AN155, AN159, AN244, AN1796 e AN3358.

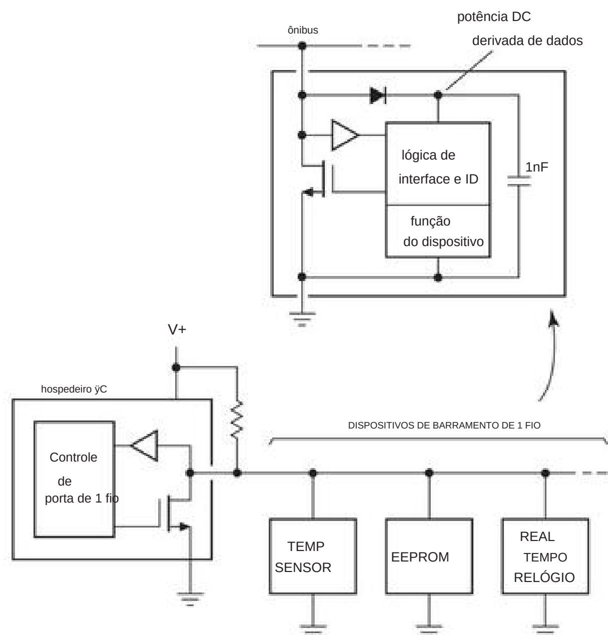


Figura 14.42. O barramento de dados 1-wire™ originado por Dallas–Maxim. Um capacitor interno mantém a alimentação secundária durante os breves pulsos de dados BAIXOS .

com um pulso longo (todos os "pulsos" são BAIXOS, ou seja, para o terra), então consulta o barramento para aprender os endereços anexados. O mestre pode enviar mensagens de broadcast para todos os dispositivos conectados ou pode realizar transações com dispositivos específicos, de acordo com seus endereços exclusivos. Assim como no barramento I2C , esse endereço é enviado (pelo mestre) na linha de dados, seguido dos dados a serem enviados ou recebidos.

O barramento Dallas–Maxim de 1 fio pode ser usado para conexões a sensores, etc., fora de um instrumento. Está normalmente limitado a uma distância máxima de rede de 30 metros, mas pode trabalhar até 500 metros com um driver adequado (ver AN244); e extensões por Ethernet são possíveis.

14.7.4 JTAG

Uma interface de chip útil, com uma história interessante, é o padrão JTAG (Joint Test Action Group), também conhecido como "boundary scan" ou IEEE 1149.1. Foi concebido na década de 1980 para lidar com o problema espinhoso de testar componentes ou falhas de conexão em placas de circuito usando as então novas tecnologias de montagem em superfície e multicamadas; isso tornava cada vez mais difícil chegar às conexões dos pinos do IC, para não mencionar as entranhas dos próprios chips.

Como tal, fornece uma maneira de ver os registradores e caminhos de dados dentro dos chips, usando um simples barramento serial de 4 fios; este permite que você identifique o que está quebrado sem ter que dessoldar várias peças para resolver o problema.

JTAG acabou por ter utilidade adicional como uma interface serial de uso geral, semelhante a SPI e I2C, devido à maneira como acomoda uma máquina de estado interna no dispositivo de destino para controlar transferências de dados. Entre outras aplicações, é amplamente utilizado para programar e depurar microcontroladores em circuito (por exemplo, séries ARM e AVR) e para programar cPLDs, FPGAs e memória não volátil (flash, EEPROM), bem como outros chips que incluem memória não volátil (por exemplo, o Maxim DS4550, onde coexiste com uma porta I2C).

O esquema básico é mostrado na Figura 14.43. Uma linha de relógio (TCK) e uma linha de seleção de modo (TMS) são transmitidas a todos os dispositivos; as outras duas linhas são encadeadas através dos chips e são chamadas de entrada de dados (TDI) e saída de dados (TDO) . . Os bits de modo, que definem o que o TDI e o TDO farão, são sincronizados na borda de subida do TCLK . (Há também uma linha de redefinição de barramento opcional, não surpreendentemente chamada de TRST.) O barramento opera em velocidades na faixa de 1 a 100 Mb/s, dependendo do(s) chip(s) alvo específico(s).

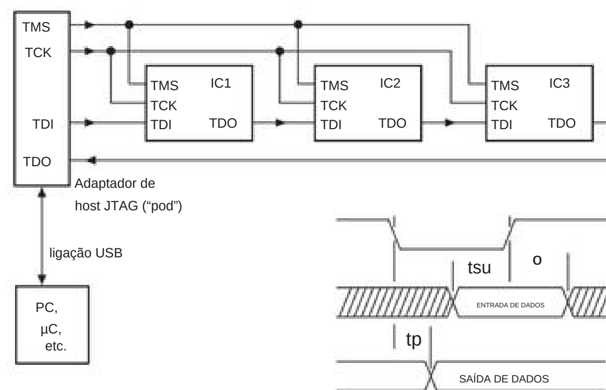


Figura 14.43. A interface JTAG "boundary scan" usa um par de linhas de barramento unidirecionais (relógio: TCK; seleção de modo: TMS) e uma linha de dados encadeada em série passando por cada escravo (TDI, TDO).

Muitos PLDs e microcontroladores agora usam uma porta JTAG para programação; normalmente você obtém um "pod" de programação que se conecta a um computador host via USB e possui um conector de soquete para combinar com um cabeçalho de pino na placa do dispositivo de destino. Infelizmente, a configuração do cabeçalho não foi padronizada, embora seja fácil fazer um adaptador.

No entanto, o software fornecido pelos fabricantes de chips

[56] A letra "T" antes de cada sinal significa "teste", uma indicação do que os originadores tinham em mente.

geralmente força você a usar seu pod específico ao falar com seus chips. Você usa esse software fornecido pelo fornecedor ou software de código aberto para carregar o código compilado no destino e realizar a depuração em tempo real no circuito, ambos por meio da mesma porta JTAG.

14.7.5 Clock-be-gone: recuperação do clock Os

links seriais SPI, I2C e JTAG acima, cada um usa uma linha de clock separada para cronometrar os bits de dados (SCLK, SCL e TCK, respectivamente). No entanto, é possível fazer *a recuperação do relógio* a partir dos próprios dados, se você organizar as coisas corretamente. Isso não apenas reduz o número de linhas, mas também permite taxas de dados finais mais altas, porque não há problema de diferença de tempo entre o relógio e os dados. Os demais enlaces seriais internos (e, posteriormente, os enlaces seriais externos) empregam clock e recuperação de dados (linguagem dos engenheiros: "CDR") das transições na(s) linha(s) de dados. O leitor pode consultar §§14.7.9–14.7.12 para obter informações úteis sobre como a codificação é usada para fazer isso funcionar.

14.7.6 SATA, eSATA e SAS

SATA é serial-ATA e SAS é serial-attached SCSI.
Esses são os barramentos seriais rápidos para armazenamento interno e externo (disco, fita e unidades ópticas); eles são substitutos para o obsoleto ATA (retroativamente chamado de PATA, ou às vezes IDE) e SCSI, respectivamente. Eles compartilham o mesmo conector (embora o SAS ofereça tipos de conectores adicionais) e são hot-pluggable. A taxa máxima de dados atualmente é de 6 Gb/s, com caminhos de atualização para 12 Gb/s. O SAS tem alguns recursos de desempenho não encontrados no SATA e, portanto, é voltado para aplicativos de servidor (em oposição ao consumidor); basicamente continua o protocolo SCSI (paralelo), mas rodando em uma interface de conexão serial.

Essas interfaces usam sinalização diferencial de baixa tensão, com codificação 8b/10b e recuperação de clock, e permitem hot swap (embora esse recurso exija suporte do sistema operacional para funcionar corretamente).

External SATA (eSATA) é uma extensão do padrão, para conectar dispositivos de armazenamento externo a um computador com SATA, usando os mesmos protocolos. Os conectores físicos são diferentes, porém, sendo projetados para maior robustez e integridade do sinal. Dispositivos externos conectados via eSATA atualmente requerem energia separada, um incômodo que provavelmente será remediado pela iniciativa "Power Over eSATA".

14.7.7 PCI Express

O PCI Express ("PCI-E" ou "PCIe") foi lançado em 2004, como sucessor do barramento PCI paralelo (e seus irmãos, PCI-X e AGP), para interface com placas periféricas em uma placa-mãe de computador. Substituiu a ampla arquitetura paralela multidrop (32 ou 64 bits) por um conjunto de "pistas" seriais ponto a ponto, cada uma consistindo em dois pares diferenciais LVDS (um par para comunicação serial de 1 bit em cada direção , consulte §12.10.3). Com vias múltiplas há paralelismo (nesse sentido é híbrido), mas a comunicação é basicamente serial, com codificação 8b/10b e recuperação de clock, etc.

PCIe tem velocidade incrível: atualmente 4 Gb/s *por pista* (PCIe v2.0, o dobro da versão original 1.1), com 1 a 16 pistas. Assim, você poderia ter até 64 Gb/s em um slot x16, se o hardware em ambas as extremidades pudesse lidar com isso.

Vamos fazer um breve aparte, para saber como chegamos a esse esquema elaborado, dada a elegância do barramento paralelo tradicional com seu compartilhamento econômico de linhas de dados (como no barramento PC104/ISA). Grosso modo, é assim: no início (digamos, na década de 1970), os circuitos integrados não eram densos e o encapsulamento DIP limitava a contagem de pinos a 16 pinos (de dez) ou 40 pinos (ocasionalmente). Eles também não eram muito rápidos, rodando a velocidades de clock de 10 MHz ou mais. Essas circunstâncias favoreceram o barramento paralelo compartilhado – menos fiação, menos pinos driver-receptor e ainda bastante velocidade do barramento.

À medida que os chips se tornavam mais rápidos e os humanos exigiam mais velocidade, os barramentos paralelos foram aprimorados, com mais largura (o barramento ISA de 8 bits foi ampliado para 16 bits, depois expandido para EISA: 32 bits) e, ao mesmo tempo, com mais velocidade. Isso foi bem-sucedido, até certo ponto. Esse ponto estava próximo quando o desempenho do barramento PCI paralelo (o sucessor da família ISA) cresceu de seus 32 bits originais a 33 MHz (portanto, 133 MB/s) para 64 bits a 133 MHz ("PCI-X, "
1064 MB/s). Um aprimoramento adicional ("PCI-X 2.0") quadruplicou a velocidade, mas não foi amplamente adotado. Problemas de distorção de tempo e de reflexões dos stubs multidrop impediram ganhos adicionais do barramento. Nessa época (2003), os projetistas de computadores viram uma maneira melhor, ou seja, a arquitetura serial ponto a ponto PCIe.

É claro que o PCIe tem seus desafios: considere uma placa-mãe com alguns slots x16 (uma configuração comum, mesmo em computadores baratos). Cada slot requer 32 pares diferenciais (64 fios), então você precisa se conectar a 128 fios e lidar com 4 Gb/s (na verdade, 5 Gb/s brutos, devido à sobrecarga de codificação) em cada um dos 64 pares .
Essa função (juntamente com o barramento de memória) é realizada no chip Northbridge, que tem centenas de pinos e a velocidade e complexidade necessárias para a tarefa: tem até dissipador próprio. E não se pode ignorar a tecnologia de fabricação necessária para conectar todos esses pinos: mesmo em placas-mãe caras, rotineiramente temos meia dúzia de camadas de fiação, com traços de 0,12 mm (5 mils) de largura.



Figura 14.44. Protocolo serial de bytes de dados RS-232, que usa níveis de sinal de ambas as polaridades. Os dois estados às vezes são chamados de marca (negativo, lógica 1) e espaço (positivo, lógica 0). Às vezes, você ouve as frases descritivas "LSB primeiro" e "níveis invertidos".

Em uma frase, então, a demanda por maior desempenho do barramento coincidiu com a capacidade de proliferar conexões ponto a ponto, para trazer a evolução do elegante barramento paralelo compartilhado. . . aos elegantes links seriais ponto a ponto codificados!

Esta é claramente uma área onde os projetistas de circuitos casuais não ousam pisar – é melhor comprar o projeto acabado de alguma pessoa mais inteligente!

14.7.8 Serial assíncrono (RS-232, RS-485)

Passando agora para os barramentos seriais *externos* , veremos primeiro o link serial *assíncrono* original (e de longa duração) - usado na agora obsoleta porta serial RS-232. Discutimos o RS 232 (e também RS-422 e RS-485) no Capítulo 12 (§12.10.3A), com ênfase na camada física (formas de onda, imunidade a ruído e similares). Aqui revisitamos a RS 232, no contexto da comunicação informática. Essas portas seriais eram populares para conexão com modems externos e terminais alfanuméricos como o lendário VT-100 (chamados desdenhosamente de terminais *burros).* Eles praticamente desapareceram dos computadores, mas você pode obter adaptadores USB para RS 232; e você pode obter placas que se conectam ao barramento interno e criam um bando de portas RS-232. A designação RS 232 ("Recommended Standard #232") refere-se ao esquema de sinalização *elétrica ,* que usa inconvenientemente tensões de ambas as polaridades para sinalizar 1s e 0s (Figura 14.44; consulte também §12.10.4). No entanto, o link físico não precisa ser RS-232 – pode ser o diferencial (e unipolaridade) RS-422 ou RS-485, ou pode ser uma fibra óptica (para isolamento galvânico e imunidade a transientes ambientais), ou pode até ser um *loop de corrente de* 20 mA (que é mais frequentemente usado para sinalização *analógica) .* Bit START (0 lógico, ou *espaço),* seguido (geralmente) por 8 bits de dados (que opcionalmente podem ser 7 bits de dados mais um bit de paridade), seguido por um ou dois bits STOP à direita (lógico 1). O transmissor e o receptor devem concordar com a taxa de bits e a paridade (se houver); um protocolo comum, por exemplo, é 9600 baud e "8N1", o que significa 8 bits, sem paridade e um bit de parada, transmitido a uma taxa de 9600 bits/s.58 (Devido à sobrecarga do enquadramento START e STOP bits, cada byte durante a transmissão 8N1 requer 10 bits, para uma taxa máxima de carga líquida de um décimo da taxa de transmissão, ou 960 bytes/s.)

Com esta codificação serial assíncrona simples, o receptor (cujo relógio funciona em várias vezes a taxa de transmissão) é acionado pela transição no início do bit START , espera por uma célula de meio bit para ter certeza de que o pulso START ainda está presente, em seguida, examina o valor do bit no meio de cada célula de dados (usando o intervalo de taxa de transmissão acordado); o bit STOP encerra o caractere e é o estado de repouso se nenhum novo caractere for enviado imediatamente. Ao ressincronizar no bit START de cada caractere, o receptor não requer um relógio altamente preciso; ele precisa ser preciso e estável o suficiente para que o transmissor e o receptor permaneçam sincronizados em uma fração de período de bit durante um caractere, ou seja, uma precisão de alguns por cento.

Há uma pequena falha lógica neste belo esquema, ou seja, que um receptor pode não ser capaz de sincronizar adequadamente (isto é, identificar START/STOP) em um fluxo ininterrupto de bytes de dados. A melhor prova dessa conjectura é uma longa sequência da letra "U", que tem a infeliz distinção de ser codificada como 01010101 (55h): insira-a na Figura 14.44 (com a configuração usual de 8N1) e você obterá. ..uma *onda quadrada!* Uma falha mais séria é a falta de padronização no nível físico (elétrico) do RS-232: gênero do conector, sinais de handshake de hardware e tipo de dispositivo ("DCE" e "DTE"; consulte a Tabela 14.4 para nomes de sinais oficiais e pinos atribuições). Esta é uma eterna fonte de confusão porque, muitas vezes, dois dispositivos RS-232 quando conectados juntos, não funcionam. Todos nós lutamos com isso, e os leitores até reclamaram *conosco* (ei, dê um tempo, não projetamos RS-232; mas nós

57 Estas alternativas permitem extensões de cabo mais longas (até ÿ1 km) e, no caso de RS-422/485, uma topologia multidrop bus.

58 O padrão serial assíncrono permite uma faixa mais ampla: 5 a 8 bits de dados, com paridade opcional; então seria legal especificar 8E1, por exemplo. Na prática, você raramente vê nada além de 8N1.

Tabela 14.4 Sinais RS-232

Nome	Número do PIN 25 pinos	9 pinos	Direção (DTE ÿ DCE)	Função (como visto por DTE)	
TD	2	3	ÿ	dados transmitidos ÿ dados	
RD	3	2		recebidos	} par de dados
RTS	4	7	ÿ	solicitação para enviar (= DTE pronto) ÿ claro para	
CTS	5	8		enviar (= DCE pronto)	} par de aperto de mão
DTR	20	4	ÿ	terminal de dados pronto ÿ conjunto	
DSR	6	6		de dados pronto	} par de aperto de mão
DCD			ÿ	detecção de suporte de dados ÿ	
RI	8 22	1 9		indicador de anel	} ativar entrada DTE
FG		-		aterramento da estrutura (= chassi)	
SG	1 7	5		aterramento do sinal	

pelo menos forneceu um guia para "cabos seriais que realmente funcionam" – veja a Figura 10.17 na edição anterior deste livro.). Com emuladores meticulosos de USB para RS232 substituindo as portas COM que desaparecem nos computadores contemporâneos, o problema só piorou.

A Figura 14.45 mostra algumas capturas de escopo de formas de onda RS-232: quatro capturas de byte único de um fluxo de random59 bytes e uma captura multibyte mostrando a invariante bits START e STOP .

O uso mais comum de links seriais assíncronos tem sido para dados alfanuméricos, no código ASCII (American Standard Code for Information Inter change) padronizado de 7 bits de caracteres imprimíveis que é a norma para representação alfanumérica (Tabela 14.5).60 No entanto, qualquer

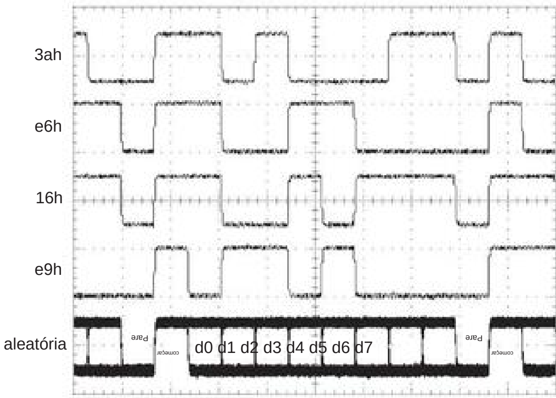


Figura 14.45. Formas de onda RS-232 capturadas de um gerador de bytes aleatórios, 8N1 a 14,4 kbaud em uma carga de 2,2 nF. A forma de onda inferior é um acúmulo de vários bytes, enquanto os quatro primeiros são bytes únicos (com valores indicados). Horizontal: 100 s/div; vertical: 10 V/div. ÿ

dados binários podem ser assim transmitidos; você simplesmente não poderá lê-lo ou imprimi-lo diretamente. E a comunicação serial via RS-232 está bastante ativa: muitos instrumentos de bancada incluem uma porta RS-232 para controle e transferência de dados; e o formato serial fornece uma maneira fácil de se comunicar com microcontroladores (Capítulo 15) com suas portas seriais integradas (quase universais) (UARTs, transmissores-receptores assíncronos universais). Consulte §12.10 para uma discussão (com formas de onda) de ICs de driver e receptor.

14.7.9 Codificação Manchester

Você não precisa enquadrar bytes de dados com sincronização Pulsos START e STOP , no entanto, contanto que você organize

[59] *Verdadeiramente* aleatório: alimentamos um comparador com ruído analógico; consulte §13.14.7 e a seção "Museu" no CD-ROM do Código-Fonte de *Receitas Numéricas* (ou www.nr.com).

[60] O ASCII padrão tem 128 caracteres, incluindo os 32 caracteres "não imprimíveis" na primeira coluna da Tabela 14.5. Existem "alargados ASCII" codificações de caracteres de 8 bits que dobram o número de caracteres para incluir caracteres alfabéticos de outros idiomas, por exemplo e (código decimal 235), bem como símbolos como e ± (códigos 176 e 177) 163) (código aviso: existem várias dessas extensões, para acomodar diferentes grupos de idiomas (algumas são reunidas em Std. ISO-8859; outras são proprietárias); por isso devem ser usados com cautela. A maioria dos softwares aceitará essas codificações, que você digita segurando a tecla alt enquanto digita o código decimal de 3 dígitos com um zero à esquerda (portanto, alt-235 para e-umlaut). Você também pode usar esse método para inserir (em vez de agir sobre) qualquer um dos caracteres ASCII padrão, incluindo os caracteres não imprimíveis; portanto, para inserir um CR (retorno de carro), digite alt-013. E bons editores de programação (como Notepad++, UltraEdit ou Emacs) aceitam a inserção de caracteres de controle, além de exibir o que está lá. Tente!

Tabela 14.5 Códigos ASCII

	não impresso	impressão	impressão	impressão
Nome	Controle char Char Hex Dec	Char Hex Dec	Char Hex Dec	Char Hex Dec
nulo	ctrl-@ **NUL** 00 00	**SP** 20 32	@ 40 64	' 60 96
início do título	ctrl-A **SOH** 01 01 ctrl-B **STX** 02	! 21 33 22	**A** 41 65	61 97 62
início do texto	02 ctrl-C **ETX** 03 03	" 34 23 35	**B** 42 66	**ab** 98 63 99
fim do texto		# **$** 24 36	**C** 43 67	c
fim da	ctrl-D **EOT** 04 04 ctrl-E **ENQ** 05	**%** 25 37 **e** 26 38	**D** 44 68	**d** 64 100 65
consulta xmit	05 ctrl-F **ACK** 06 06		E 45 69	**e** 101 66 102
reconhecer			F 46 70	**f**
sino backspace	ctrl-G **BEL** 07 07 ctrl-H **BS** 08	' 27 39 28	**G** 47 71	67 103 68
tabulação	08 ctrl-I	40 29 41	**H** 48 72	**gh** 104 69 105
horizontal	**HT** 09 09	( )	eu 49 73	-
alimentação de linha	ctrl-J **LF** 0A 10	***** 2A 42	**J** 4A 74	**j** 6A 106 **k** 6B 107
feed de formulário	ctrl-K **VT** 0B 11 ctrl-L	+ 2B 43	**K** 4B 75	**l** 6C 108
de guia vertical	**FF** 0C 12	, 2C 44	**L** 4C 76	
retorno do carro	ctrl-M **CR** 0D 13	- 2D 45	**M** 4D 77	**m** 6D 109
turno saída turno	ctrl-N **SO** 0E 14 ctrl-O	. 2E 46	**N** 4E 78	**n** 6E 110
entrada	**SI** 0F 15	/ 2F 47	**O** 4F 79	**o** 6F 111
linha de dados	ctrl-P **DLE** 10 16	**0** 30 48	**P** 50 80	**p** 70 112 71 113
escape device	ctrl-Q **DC1** 11 17 ctrl-R **DC2** 12	**1** 31 49 32	**Q** 51 81	73 115 **q** 72 114
control 1 device	18 ctrl-S **DC3** 13 19	**2** 50 33 51	**R** 52 82	**r**
control 2 device control 3		**3**	**S** 53 83	**s**
controle de	ctrl-T **DC4** 14 20 ctrl-U **NAK** 15	**4** 34 52 35	**T** 54 84	**t** 74 116 75
dispositivo 4 neg	21 ctrl-V **SYN** 16 22	**5** 53 36 54	**U** 55 85	você 117 76 118
reconhece ociosidade síncrona		**6**	**V** 56 86	**v**
fim do bloco xmit	ctrl-W **ETB** 17 23	**7** 37 55	**S** 57 87	**w** 77 119
	ctrl-X **CAN** 18 24 ctrl-Y **EM** 19	**8** 38 56 39	**X** 58 88	**x** 78 120 79
cancelar fim do meio	25 ctrl-Z **SUB** 1A 26	9 57	**Y** 59 89	**y** 121
substituto		: 3A 58	**Z** 5A 90	**z** 7A 122
escape	ctrl-[ESC 1B 27 ctrl-\	3B 59 ;	[5B 91	{ 7B 123
separador de	**FS** 1C 28 ctrl-]	**<** 3C 60	\ 5C 92]	**|** 7C 124
arquivo separador de	**GS** 1D 29 ctrl-^ **RS**	**=** 3D 61	5D 93	**}** 7D 125
grupo separador de	1E 30 ctrl-_ **US** 1F 31	> 3E 62	^ 5E 94	~ 7E 126
registro separador de unidade		? 3F 63	_ 5F 95	**DEL** 7F 127

coisas para que haja transições suficientes em um fluxo de dados serial para que o receptor possa recuperar um sinal de clock. Um exemplo simples (embora não muito eficiente) é a codificação do éster Manch (Figura 14.46).

Os bits sucessivos são transmitidos a uma taxa fixa, com uma transição necessária no meio de cada célula: um "1" é BAIXO para ALTO, e vice-versa. Pode ou não haver uma transição no início de uma célula, conforme exigido pelos dados. As transições garantidas na taxa de bits facilitam a recuperação do clock (com um loop de bloqueio de fase ou loop de bloqueio de atraso) e o sinal é balanceado em CC, portanto, pode ser acoplado ao transformador.

A sincronização do receptor com a codificação Manchester não é completamente trivial, pois, por exemplo, uma sequência contínua de 1s cria uma onda quadrada simples. Se o receptor escolhe a fase errada, ele interpretará o fluxo como 0s. No entanto, a presença de 1s e 0s misturados elimina a ambiguidade da recuperação do relógio, porque a fase errada cria violações das transições necessárias no meio da célula.

A codificação Manchester é usada em Ethernet de baixa velocidade (10base-T), que transporta 10 Mb/s em uma direção em um par trançado cat-5 (são usados dois pares, para full duplex).[61]

[61] Quando os padrões Ethernet mais rápidos foram criados, a codificação Manchester ineficiente em largura de banda (100% de sobrecarga, em comparação com o fluxo de bits de dados em si) foi substituída pela codificação 4b/5b (uma sobrecarga de largura de banda de 25%), transmitida com sinalização de tensão de 3 níveis, ainda em um único par trançado. O próximo passo – para 1 Gb/s – exigiu sinalização de 5 níveis e o uso simultâneo de quatro pares (com um acoplador "híbrido", permitindo que cada par transportasse sinais simultaneamente em ambas as direções).

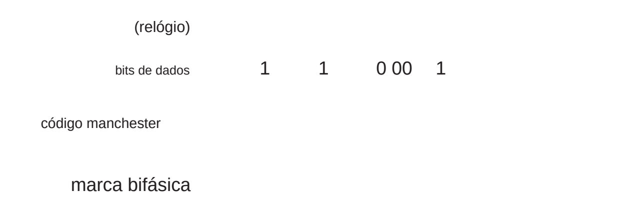


Figura 14.46. Codificações bifásicas. Para codificação Manchester ("nível bifásico"), cada célula de bit tem uma transição no meio, em uma direção definida pelo valor do bit; você pode pensar no código Manchester como o OR exclusivo de um relógio (não transmitido) e os dados. Para codificação de marca bifásica, o valor do bit é codificado como presença ou ausência de uma transição no meio da célula, após uma transição obrigatória no início.

Por ser um desperdício de largura de banda (por um fator de 2), a melhor codificação "8b/10b" (veja abaixo) é usada para links seriais de auto-relógio de alto desempenho, como SATA, HDMI (interface multimídia de alta definição) , PCIe e Gigabit Ethernet.

14.7.10 Codificação bifásica

Manchester é um caso especial do que é chamado de *codificação bifásica* e, de fato, às vezes é chamado *de nível bifásico,* para distingui-lo da marca bifásica, do espaço bifásico e dos códigos bifásicos diferenciais. Todos eles compartilham a característica comum de ter uma transição em cada célula de bit para facilitar o recebimento da recuperação do relógio. No entanto, os últimos três códigos, que são muito semelhantes entre si, têm uma vantagem importante sobre o código Manchester básico, ou seja, eles são insensíveis a uma inversão de polaridade (como pode acontecer com sinais acoplados a transformadores). Vamos ver como isso funciona.

Observe o popular código de marca bifásica na Figura 14.46: há uma transição necessária no início de cada célula e uma transição no meio da célula para um 1 transmitido (mas nenhuma transição para um 0). É a codificação de bits como presença ou ausência de *transições* (em vez de polaridades definidas, como na codificação Manchester) que torna o código de marca bifásica inequívoco, mesmo com uma inversão de polaridade dos níveis transmitidos.

A codificação de marca bifásica é usada em links de áudio digital, como AES3, S/PDIF e Toslink, e em alguns códigos de tarja magnética. Ele atende pelos nomes alternativos de codificação *Aiken Biphase* ou *F2F* .

14.7.11 Binário RLL: enchimento de bits

Um esquema serial simples com largura de banda reduzida é transmitir os bits de dados diretamente, adicionando bits ocasionais para garantir transições pelas quais o receptor pode sincronizar seu oscilador de clock. "Enviando os bits diretamente" tem a sigla NRZ (sem retorno a zero), com inúmeras variantes, notadamente NRZI (sem retorno a zero invertido) em que o fluxo codificado muda de estado para uma entrada 0, mas permanece parado para uma entrada 1.[62] O problema com qualquer esquema é que pode haver longas execuções de dados que não causam transições no fluxo codificado: uma sequência de 1s (ou de 0s) para NRZ ou uma sequência de 1s para NRZI.

Isso é ruim não só para a recuperação do clock, mas também porque estende a banda de transmissão para baixas frequências, dificultando o acoplamento do transformador. A maneira de corrigir isso é modificar os dados (antes ou depois da codificação) para limitar o comprimento dos estados de saída sucessivos sem transições.
Isso é chamado *de limite de comprimento de execução* (RLL).

Existem vários esquemas de codificação RLL em uso, por exemplo, codificação 8b/10b (a seguir), na qual cada sequência de dados de 8 bits é codificada em um fluxo de 10 bits bem escolhido para ser transmitido; ou o código ETF 8 a 14 usado para discos compactos ópticos (nos quais o comprimento da execução é limitado em ambas as extremidades: 2ÿRLÿ10). O esquema RLL mais simples, no entanto, é provavelmente um simples "enchimento de bits", como usado, por exemplo, no link serial USB. O USB usa NRZI com preenchimento de bits para limitar execuções codificadas a seis 1s ou 0s consecutivos. Isso é feito inserindo ("bit-stuffing") um 0 no fluxo de dados binários brutos após uma execução de seis 1s, forçando uma transição no fluxo codificado por NRZI. O receptor, é claro, sabe ignorar um 0 que é precedido por seis 1s no fluxo decodificado.
Embora a sobrecarga de pior caso possa ser de 16% (para um fluxo de dados de todos os 1s), na verdade a sobrecarga é inferior a 1% com dados de entrada aleatórios.

14.7.12 Codificação RLL: 8b/10b e outros

Uma maneira mais sofisticada de gerar fluxos seriais limitados de comprimento de execução envolve codificar o fluxo de dados binários em blocos, de acordo com algoritmos relativamente complexos que limitam as execuções codificadas, enquanto controlam adicionalmente a forma espectral e talvez adicionando robustez contra erros. Por exemplo, os discos ópticos de DVD usam um esquema chamado EFMPlus, no qual grupos de dados de 8 bits são codificados em 16 bits seriais, o último com comprimento de execução limitado a 2ÿRLÿ10, enquanto molda simultaneamente o espectro.

O esquema 8b/10b é um código popular no mundo de barramento serial e enlace de dados, sendo usado em FireWire, SATA/SAS,

[62] Esses termos incrustados de história são um tanto confusos (sugerindo, por exemplo, que NRZI está relacionado a NRZ por inversão do código ou dos dados). Preferimos a terminologia usada por Sklar: NRZ-L ("NRZ level," para NRZ) e NRZ-M ("NRZ-mark," para NRZI).

gigabit Ethernet, DVI e HDMI, e nas múltiplas "pistas" do PCIe interno (PCI Express) versões 1 e 2. Ele codifica grupos de dados de entrada de 8 bits em bits de fluxo serial de 10 bits, usando a flexibilidade (de múltiplos possíveis códigos de 10 bits para cada grupo de entrada de 8 bits) para equilibrar o número de 1s e 0s: ele mantém uma contagem contínua da desigualdade de bits e escolhe de acordo. O fluxo serial resultante é garantido para não ter mais do que cinco 1s ou 0s sequenciais; e o número de 1s e 0s em qualquer sequência de 20 ou mais bits seriais tem garantia de não diferir em mais de 2. Um código 4b/5b análogo é usado na Ethernet de 100 Mbps. A codificação 8b/10b também é usada em alguns chipsets desserializadores

serializadores, por exemplo, o CY7C924. No entanto, o esquema NRZ assíncrono mais simples, enquadrado pelos pulsos START e STOP , é usado em outros chips SERDES de alto desempenho, por exemplo, a série DS92LV18 da TI.

Eles afirmam que é melhor, porque o receptor bloqueará dados aleatórios sem interromper o tráfego com padrões de treinamento PLL e sem um caminho de feedback de perda de bloqueio do receptor ao transmissor. A comunicação serial assíncrona legada de 9600 baud renasce como um link serial *gigabaud* .

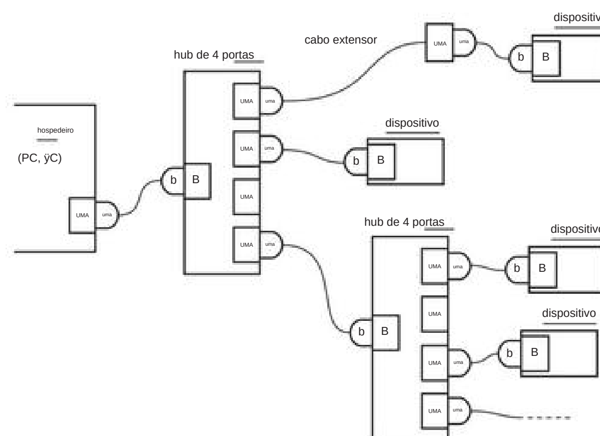


Figura 14.47. USB é uma interface serial mestre-escravo, organizada em uma topologia em estrela (em oposição a uma topologia de repetidor serial como FireWire), com até cinco "hubs" de repetidor. Os enlaces individuais são cabos assimétricos, com *A* na extremidade mestre e *B* na extremidade escrava (um par em tamanho real é mostrado na Figura 1.123); aqui *a* e *b* representam plugues, soquetes *A* e *B.* Os links individuais são limitados a 5 m de comprimento (incluindo cabos extensores passivos), mas um hub ativo redefine a "régua". Uma variante interessante (não mostrada) é a porta USB OTG (on-the-go), um camaleão que pode se disfarçar como uma porta A ou B.

14.7.13 USB

O Universal Serial Bus (USB) foi introduzido em 1995, com o objetivo de simplificar as conexões entre computadores e periféricos por meio de uma conexão serial unificada.

Ele inicialmente suportava dispositivos de "baixa velocidade" e "velocidade total" (1,5 Mb/s e 12 Mb/s, respectivamente) em USB versão 1, adequado para dispositivos como teclado e mouse, e transferências de velocidade relativamente modesta para dispositivos de memória externa, como "thumb drives" flash. A versão 2 adicionou uma categoria de "alta velocidade" (480 Mb/s), adequada para transferência de dados séria para discos rígidos externos, armazenamento óptico e similares. A versão 3 adiciona dois pares trançados blindados "SuperSpeed" (e um par pig gyback de pinos conectores), oferecendo comunicação full-duplex e outro fator de dez em velocidade (até 4,8 Gb/s). E a revisão mais recente – USB 3.1 – dobra a velocidade (para 10 Gb/s), aumenta as opções de alimentação CC (para 5 V em 2 A, ou opcionalmente até 5 A em 12 V ou 20 V) e promove uma novo e melhorado conector "tipo-C".

As versões USB 1 e 2 são organizadas como mestre-escravo half-duplex, com conexões elétricas ponto a ponto por meio de um cabo de 4 fios que transporta energia e terra e um par diferencial de dados. O cabo é assimétrico, com uma extremidade *A* (host ou mestre) e uma extremidade *B* (escravo); cada tipo *(A,* B) vem em versão full-size e mini-size, esta última para conexão com pequenos equipamentos como câmeras e PDAs.

Uma rede USB é uma topologia em estrela, com vários dispositivos conectados via hubs USB, que replicam os soquetes do host *(A)* , permitindo vários escravos (até um total de 127 dispositivos a partir de uma única porta controladora do host); veja a Figura 14.47. A alimentação fornecida é bastante modesta – um máximo de +5 V em 100 mA ("baixa potência") ou 500 mA ("alta potência")[63] – e um único link não pode ter mais de 5 m (mas pode ser estendido com cubos, para um total de 20 m). USB versão 3.0 em full-duplex introduzido (e velocidades mais altas), junto com alguns que maiores (mas não o suficiente, em nossa opinião) DC power – até 900 mA; felizmente, a versão 3.1 aborda essa deficiência, permitindo até 10 W em 5 V e impressionantes 100 W em 20 V. Dispositivos USB são "hot-pluggable", com conexão de terra e energia antes das linhas de sinal.

14.7.14 FireWire

FireWire, conhecido oficialmente como IEEE 1394, foi introduzido também em 1995 e foi projetado como um barramento serial de alta velocidade para áudio, vídeo (incluindo alta definição) e armazenamento em disco. Ele emergiu do portão de partida com uma taxa de transferência full duplex de 400 Mb/s (em comparação com o half duplex de 12 Mb/s do USB) e com alimentação DC significativa através de seu cabo

63 Um dispositivo USB é permitido apenas com baixa potência, quando conectado pela primeira vez, e deve negociar o status de alta potência. Se for bem-sucedido, o controlador liga uma fonte de alimentação com capacidade de 500 mA. A Tabela 12.4 lista alguns CIs de chave de força protegidos populares para essa finalidade.

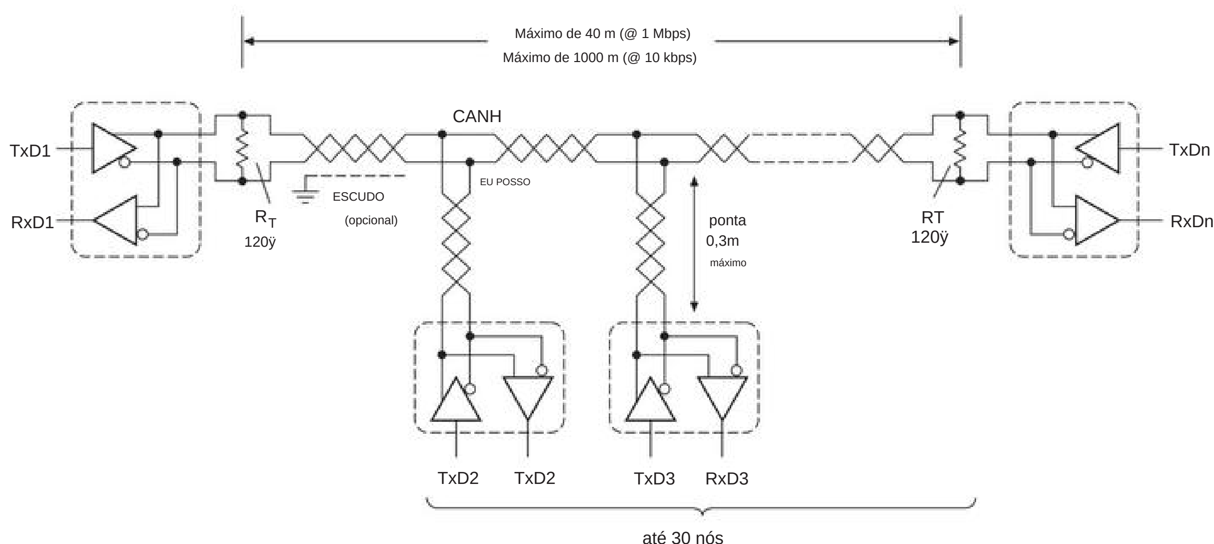


Figura 14.48. A Controller Area Network (CAN) é uma arquitetura multimestre e multidrop amplamente utilizada em aplicações automotivas e de chão de fábrica. Ele é otimizado para mensagens curtas de "broadcast" e funciona bem em ambientes ruidosos.

(até 45 W e 30 V, em comparação com os insignificantes 2,5 W do USB). As revisões subsequentes aumentaram a taxa de dados para full-duplex de 800 Mb/s (FireWire 800), com um fator de quatro (para 3,2 Gb/s) prometido na próxima revisão.

FireWire permite vários hosts e comunicação ponto a ponto; seus cabos são simétricos e conectam dispositivos em uma configuração de barramento (repetidor). Links individuais não podem ter mais de 4,5 m (para FireWire 400), mas podem encadear através de repetidores até um total de 72 m. O FireWire 800 permite links mais longos através de cobre, cabo de rede Cat-5e ou fibra óptica. Como USB, as conexões FireWire são hot-pluggable; infelizmente, no entanto, o FireWire foi amplamente ultrapassado pelas revisões recentes do USB.

O FireWire fornece bastante energia CC e funciona bem com streaming de mídia, como vídeo de alta definição. Descobrimos que o FireWire é mais rápido e mais estável do que USB. Possui um belo design de conector robusto64 que pode ser plugado "às cegas", devido ao seu formato assimétrico. Apesar das vantagens técnicas do FireWire, o padrão USB está se tornando dominante, provavelmente devido à complexidade, custo do hardware e encargos de royalties do FireWire.65

14.7.15 Rede de Área do Controlador (CAN)

Todo mundo conhece USB e FireWire; mas quem já ouviu falar do barramento *CAN ?* Este ônibus, às vezes simplesmente chamado "CAN", foi criado pela Bosch na década de 1980 para uso automotivo e agora é padronizado como ISO 11898. Está em todo lugar. Vários protocolos foram colocados no topo da camada física CAN, notavelmente DeviceNet™, que é de uso comum em fábricas.66 Ao contrário dos outros barramentos neste capítulo, CAN pode operar em distâncias de até um quilômetro (útil para a aplicação de fábrica). Não é um link elétrico ponto a ponto (como PCIe, Ethernet ou USB). Em vez disso, é um barramento "multimestre" igualitário, acomodando até 30 nós de transceptor ao longo de seu comprimento; ou seja, é um barramento "multidrop" (consulte a Figura 14.48).

A taxa de bits máxima é de 1 Mbps para distâncias de até 40 m, caindo gradualmente para 10 kbps no comprimento de barramento máximo especificado de 1000 m.

O CAN é otimizado para transmissões curtas do tipo "broadcast", limitadas a 8 bytes de dados do usuário por pacote (mais alguma sobrecarga de sinalização), direcionadas a ninguém em particular. Como explica o útil site da Kvaser (www.kvaser.com/can/), uma mensagem CAN transmite o seguinte sentimento: *"Olá a todos, aqui estão alguns dados rotulados como X, espero que gostem!"67* Isso é exatamente o que você deseja em certas redes de aquisição e controle de dados: por exemplo, um sensor gera um fluxo de valores de temperatura e deseja informar ao mundo sobre

64 Diz-se que foi inspirado no conector testado por crianças usado no Nintendo GameBoy.

65 Que, no entanto, conseguiu enviar seu bilionésimo nó em 2008!

66 Você encontrará o CAN em outros lugares além do carro e da fábrica; um de nossos colegas comprou um microscópio de varredura a laser (Zeiss Duoscan) e descobriu. . . Ônibus pode!

67 Esse é o sentimento; mas essas mensagens são *curtas!* – você ficaria sem bytes no meio da segunda palavra.

eles, mas não se importa particularmente com quem está ouvindo.68 E tem a propriedade agradável de ser completamente silencioso eletricamente quando não há nada para enviar - isso em contraste com barramentos tagarelas como USB, FireWire e Ethernet, que gostam de murmurar incessantemente para si mesmos (e para o resto do mundo).

Uma maneira de pensar nisso é que o barramento CAN (e suas extensões nos microprocessadores do barramento) representa um "espaço de parâmetros" que é atualizado constante e automaticamente pelos membros do barramento. Assim, quem precisar saber a temperatura do motor (incluindo um computador que você acabou de prender no ônibus para diagnosticar um bug) basta olhar o valor que foi escrito em sua "caixa de correio" de temperatura do motor.

Eletricamente, você pode pensar no CAN como uma versão diferencial de um barramento de coletor aberto: o par de sinal (chamado CANH e CANL) assume a forma de um par trançado (geralmente blindado – "STP"), terminado em ambas as extremidades em seu caráter impedância ística (geralmente 120 ÿ). No estado quiescente, ambas as linhas ficam em ~2,5 V, e é aí que elas ficam, a menos que algum nó esteja falando. Quando isso acontece, os dados são direcionados para o par de linhas em um curioso esquema de sinalização assimétrica (Figura 14.49): uma lógica "0" é afirmada tomando CANH ÿ1 V mais alto (para ÿ3,5 V) e CANL mais baixo (para ÿ1,5 V). V), gerando um sinal diferencial de ~2 V. Mas, para afirmar a lógica "1", o locutor não inverte o sentido da corrente de acionamento, mas *libera* a corrente de acionamento, o que permite que ambas as linhas do par entrem em seu estado de repouso de aproximadamente 2,5 V. Esses dois estados de sinalização são chamados de *dominante* (conduzido pelo barramento, lógica 0) e *recessivo* (barramento liberado, lógica 1 ou inativo).

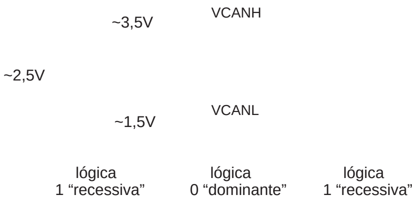


Figura 14.49. O barramento CAN é diferencial, com modo de sinalização assimétrica que simplifica a arbitragem.

Este curioso esquema foi criado para simplificar a arbitragem do barramento: não há nenhum controlador master responsável; em vez disso, qualquer nó pode iniciar uma transmissão, desde que tenha visto o barramento em repouso (recessivo) por um tempo mínimo. Ele então envia seus bits de mensagem seqüencialmente, monitorando ao mesmo tempo o estado do barramento (cada nó deve incluir um receptor). Claro, é possível que outro nó também tenha iniciado a transmissão. Tal "colisão" é detectada facilmente, porque um dos transmissores verá um estado dominante (afirmado, lógica 0) quando pretendia enviar um estado recessivo (desafirmado, lógica 1). Em seguida, é necessário recuar e tentar a retransmissão mais tarde.

O resultado é que, se houver uma colisão, o transmissor que gerar a string mais longa de 0s iniciais receberá o barramento. Isso prioriza os remetentes, porque os bits iniciais de qualquer mensagem contêm o identificador de mensagem de 11 ou 29 bits do remetente, com números mais baixos tendo prioridade. E observe especialmente a boa característica do esquema dominante-recessivo: a mensagem do remetente prioritário não é danificada pela colisão (descubra o porquê). Na linguagem das redes, repleta de acrônimos, trata-se de um protocolo "CSMA/CD+AMP" . muitos ICs de transceptores para intervalos de -7 V a +12 V, ou -12 V a +12 V. E a ISO 7637 prescreve um teste de tortura que consiste em um trem de ±150 V pulsos em escala de nanossegundos que um transceptor deve sobreviver.

Além disso, você pode usar um diodo barato e dispositivo de proteção zener como o NUP2105 ou NUP2202 (consulte o aplicativo ON Semi. Nota AND8169; consulte também §12.1.5). Para trechos de barramento longos, no entanto, é melhor fornecer isolamento galvânico real (evitar loops de aterramento exige que haja apenas um ponto de aterramento).

De acordo com seu uso automotivo original, o barramento CAN inclui mecanismos robustos de detecção de erro: no nível de *bit* , há monitoramento de bit (com sinalização de erro se houver desacordo) e detecção de erro de "enchimento de bits" (um bit oposto deve ser inserido após 5 bits consecutivos do mesmo nível). E no nível da *mensagem* há um CRC (soma de verificação de redundância cíclica), juntamente com a verificação de um campo ACK (reconhecimento) e de um conjunto de certos bits de mensagem designados (uma "verificação de formulário") que deve ser recessivo. Por este mecanismo um transmissor pode saber se sua mensagem foi corrompida e precisa ser reenviada.

Você pode obter placas de interface CAN plug-in para barramentos de computador padrão, como PCI/PCIe, PC/104 e PCMCIA, e adaptadores de USB. E muitos microcontroladores (por exemplo, a série AT90CAN da Atmel) incluem um controlador CAN pro tocol on-chip. No nível de componente, existem muitos fabricantes de chips transceptores CAN (a maioria é alimentada por um único +5 V, mas alguns trabalham em +3,3 V). Você

[68] E, inversamente, é ineficiente para transmitir grandes blocos de dados (por exemplo, áudio ou vídeo digitalizado) entre dois nós. Você também não o usaria para vincular dois processadores na mesma caixa.

[69] Bem, pelo menos é mais curto do que o trava-língua "acesso múltiplo com detecção de colisão e arbitragem na prioridade da mensagem".

Machine Translated by Google

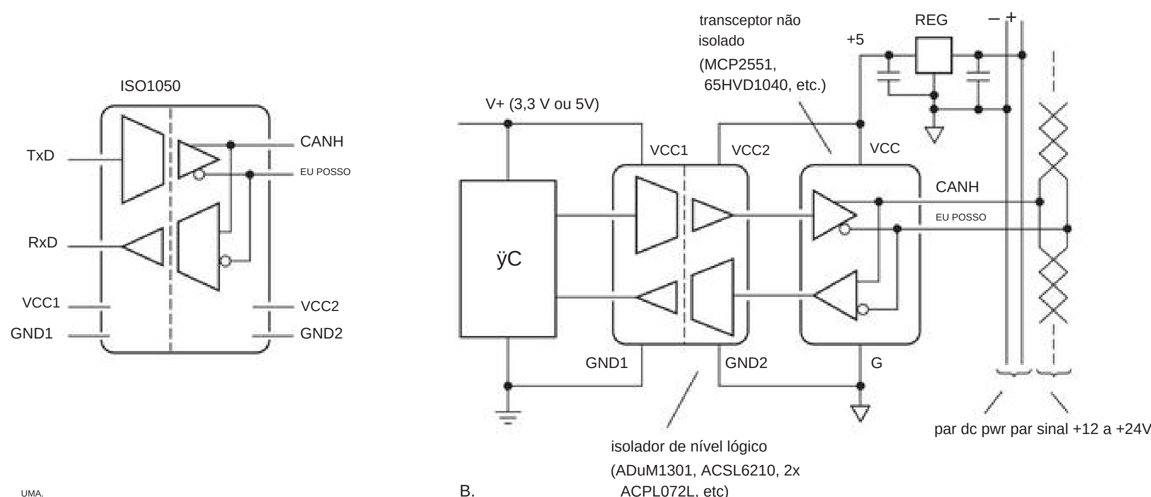


Figura 14.50. R. Você pode obter transceptores CAN isolados galvanicamente de um único chip, como o ISO1050 da TI, uma boa ideia para corridas longas ou ambientes ruidosos. B. Os cabos CAN padrão incluem um segundo par de fios para alimentação isolada, que você pode usar para alimentar o lado do barramento da barreira de isolamento do transceptor. Aqui usamos um isolador de nível lógico entre um microcontrolador e o transceptor CAN não isolado, o último alimentado (junto com o lado do barramento do isolador) de +5 V regulados derivados do par de energia CC do barramento.

também pode obter chips transceptores isolados galvanicamente (por exemplo, o TI ISO1050, Figura 14.50), uma boa ideia com barramentos longos ou ambientes ruidosos: você pode alimentar o lado do barramento com uma fonte independente de +5 V ou pares de energia que muitas vezes são incluídos (apenas para tal alimentação remota) junto com os pares de sinal de impedância blindados e controlados em cabos de barramento CAN (por exemplo, Belden 3082/84 ou Alpha 6451/52).

Existem algumas variantes CAN simplificadas em uso: CAN de fio único dispensa o CANL e é limitado a 40 kbps. E o barramento LIN (rede de interconexão local) de fio único estreitamente relacionado dispensa totalmente a alimentação regulada de 5 V, usando um pullup para a bateria de +12 V e fechamento de coletor aberto para o terra; é limitado a 20 kbps. Essas variantes baratas e simplificadas às vezes são usadas como um sub-barramento em um sistema CAN; ambos empregam limitação de taxa de variação para reduzir a suscetibilidade ao ruído.

Não há um conector CAN definido, mas existem várias implementações comuns, incluindo uma subminiatura D de 9 pinos, um conector de 10 pinos e um conector aberto de 4 pinos.[70]

14.7.16 Ethernet

Ethernet[71] é onipresente – aqueles conectores de rede "RJ-45" coloridos semelhantes a telefones – todos nós adoramos, já mencionamos isso várias vezes (por exemplo, em §12.10.3B e em §14.7.9 em conexão com a codificação Manchester) , e vamos mencioná-lo novamente no próximo capítulo. Ele foi desenvolvido na década de 1970 no famoso Palo Alto Research Center da Xerox ("Xerox PARC"), e na camada física (PHY) consistia originalmente em um cabo coaxial compartilhado (primeiro "fio grosso", oficialmente chamado de 10Base5; mais tarde "fio fino" ou 10Base2), terminado em ambas as extremidades e conectado a cada nó. Cada nó usava acoplamento de transformador, conectando-se diretamente no cabo coaxial (sem stubs longos permitidos) e (como no barramento CAN) havia um protocolo para detectar colisões e recuar antes de retransmitir. Para funcionar adequadamente diante de colisões inevitáveis (e destrutivas de dados), foi estabelecido um comprimento mínimo de pacote (agora padronizado pelo IEEE Std. 802.3 como 74 bytes) e um comprimento máximo de cabo (cerca de 200 m para fio fino) .

Na prática contemporânea, o cabo coaxial compartilhado foi substituído por um cabo de par trançado não blindado ponto a ponto (UTP; Cat-5e ou Cat-6), uma extremidade conectada

[70] Consulte www.interfacebus.com/Design_Connector_CAN.html e www.interfacebus.com/Can_Bus_Connector_Pinout.
html. Informações adicionais sobre o barramento CAN podem ser encontradas em www.kvaser.com/can/, www.can-cia.de, TI's App. Observe SLOA101A e AN-770A da Analog Devices.

[71] O nome extravagante foi escolhido para transmitir o espírito de um meio de transmissão de dados onipresente, análogo ao "éter luminífero" através do qual se pensava (incorretamente) que a luz viajava, antes de ser refutada pelo famoso experimento de Michelson e Morley de 1887.
Com humor característico de nerd de computador, os dois primeiros computadores em rede foram chamados de Michelson e Morley.

um computador Ethernet NIC (placa de interface de rede), por exemplo, e a outra extremidade em um "switch" multiportas.[72] O último armazena em buffer e encaminha pacotes válidos adiante, sem incomodar os nós não envolvidos. A Ethernet, assim configurada, tem menos colisões.[73] A Ethernet contemporânea é transportada por par trançado ou fibra ótica; as velocidades padrão são 10 Mbps, 100 Mbps ("Fast Ethernet") e 1 Gbps ("Gigabit Ethernet"), com evolução para 10 Gbps e 100 Gbps. E fala-se de *terabit* Ethernet. Como observamos em §14.7.9, a evolução de velocidades mais altas sobre par trançado exigiu alguma engenhosidade: o material lento (chamado 10Base-T) usa codificação Manchester e sinalização de 2 níveis, com um par em cada direção. Para ir para 100 Mbps (100Base-TX), utiliza-se a codificação 4b/5b, com sinalização de 3 níveis, novamente com um par em cada direção. Gi gabit Ethernet (1000Base-T) usa codificação 8b/10b, com todos os quatro pares usados em *ambas as* direções (através de um "híbrido"). Estas são as descrições da camada *física ;* os níveis mais altos da hierarquia de rede OSI (interconexão de sistemas abertos) de 7 camadas não sabem (e não se importam) com o que está acontecendo lá embaixo, então você pode atualizar o hardware para o conteúdo do seu coração.

Os links Ethernet de par trançado são limitados em comprimento a aproximadamente 100 m devido à degradação e atenuação do sinal. A fibra se sai muito melhor - até um quilômetro ou mais com multimodo fibra e dezenas de quilômetros com fibra monomodo.[74] Você pode obter "conversores de mídia" para alternar entre cobre e fibra, ou cobre e sem fio; alguns deles também incorporam conversão de taxa. Veja as ofertas de Ethernet da Allied Telesis, TRENDnet, StarTech ou IMC Networks; ou a ampla gama de conversores e extensores (incluindo produtos para USB e serial, além de Ethernet) da B&B Electronics. Consulte também o Capítulo 15 para sugestões de componentes de interface, como o chip Lantronix XPort ou Silicon Labs CP2201 de 28 pinos (ao qual você pode simplesmente adicionar um conector RJ-45 com um transformador integrado e LEDs indicadores).

A Ethernet é tão amplamente suportada que se tornou o meio de comunicação dominante entre computadores e dentro de redes locais (LANs). Os fabricantes de instrumentos perceberam e é raro encontrar um instrumento eletrônico contemporâneo sem uma porta Ethernet, tanto para controle de instrumentos quanto para leitura de dados. (Quase todas as formas de onda do osciloscópio neste volume foram extraídas através da LAN do nosso laboratório, de um osciloscópio da série Tektronix TDS3000, apontando um navegador para o endereço IP do instrumento.) E, em um desenvolvimento agradável, um padrão está surgindo no controle de instrumentos (o padrão LXI: LAN eXtensions for Instrumentation), tornando a comunicação com instrumentos contemporâneos bastante simples, especialmente quando comparado com as variedades proliferantes de drivers USB. A Ethernet está entrando na arena industrial, com variantes "industriais" que adicionam recursos que atendem às necessidades de controle em tempo real.[75]

14.8 Formatos numéricos

Encerramos este capítulo com um breve comentário sobre número para tapetes, ou seja, a maneira como os números são representados internamente durante a computação ou trocados por meio de mídia digital ou portas de comunicação. A cena é resumida na Figura 14.51, com alguma explicação nos parágrafos seguintes.

14.8.1 Inteiros

Inteiros com sinal são sempre representados em complemento de 2, usando 1, 2 ou 4 bytes, ou ocasionalmente 8 bytes, conforme mostrado. O bit mais significativo (MSB) informa o sinal, mesmo que o complemento de 2 não seja o mesmo que a representação de magnitude de sinal (por exemplo, ÿ1 é 11111111, não 10000001; consulte §10.1.3). Você pode pensar no complemento de 2 como binário de deslocamento com MSB invertido; alternativamente, você pode pensar nisso como um inteiro com os valores de bit mostrados na Figura 14.51. Linguagens de programação permitem que você declare variáveis como inteiros *sem sinal ,* além de inteiros com sinal de complemento de 2. Um inteiro sem sinal de 2 bytes pode ter valores de 0 a 65535. Além do próprio formato de número, há o problema de interface de hardware sobre como você empacota dados inteiros em uma palavra maior de um computador. Por exemplo, o inteiro binário

[72] Esta é uma topologia em *estrela* , comparada com a topologia de *barramento* da rede Ether coaxial.

[73] Antes que os switches fossem difundidos e baratos, as pessoas usavam "hubs", que simplesmente retransmitiam cada pacote para todos os nós conectados. Com hubs, você obtém colisões; com switches você não.

[74] Mas a Ethernet de par trançado tem um bom recurso: ela permite que você envie energia CC ("Power over Ethernet", PoE), o que é útil ao conectar dispositivos remotos como pontos de acesso sem fio, telefones IP ou câmeras de vigilância. Ele usa os mesmos pares de sinais, aplicando ~48 Vcc como "alimentação fantasma" de modo comum entre os dois pares, captados entre os taps do centro do transformador na extremidade remota. Os engenheiros de áudio usam o mesmo truque há anos para alimentar seus microfones.

[75] Por exemplo, implementações do IEEE Std. 1588 "Precision Time Protocol" (PTP), que permite a sincronização de tempo para ~100 ns via Ethernet (com hardware dedicado, por exemplo, o chip NSC DP83640 MAC/PHY, ou incluído em microcontroladores embutidos como o Luminary Stellaris ARM Cortex M3 da TI). O PTP está sendo implementado atualmente pelo padrão LXI para interoperabilidade entre instrumentos baseados em LAN, bem como por vários fieldbuses baseados em Ethernet, como Profinet e CIP (Common Industrial Protocol).



Figura 14.51. Formatos numéricos comumente usados. O símbolo *"e"* é o valor inteiro binário sem sinal do campo expoente, usado como mostrado para determinar o valor *V* dos vários formatos de ponto flutuante.

a saída de um ADC pode ser justificada à direita, de modo que os números vão de zero até a escala total do conversor (0 a 4095, para um ADC de 12 bits). Mas é indiscutivelmente melhor justificar os dados à esquerda e pensar na quantidade armazenada como uma *fração.* Isso tem um bom benefício, ou seja, se a resolução do ADC for posteriormente melhorada, ela simplesmente adiciona bits fracionários adicionais de baixa ordem (em vez de aumentar o valor da escala completa).

14.8.2 Números de ponto flutuante

Números de ponto flutuante (às vezes chamados de números *reais)* são mais comumente representados e armazenados como 32 bits ("precisão simples") ou 64 bits ("precisão dupla").76 A má notícia é que existem várias representações incompatíveis em uso. A boa notícia é que o padrão de ponto flutuante aprovado pelo IEEE (Std. 754-2008) foi implementado por quase todas as famílias de processadores e está em uso quase universal.

A Figura 14.51 mostra os formatos de ponto flutuante IEEE em detalhes. Para ver como funciona, observe o formato de precisão única de 32 bits: ele tem 1 bit de sinal, 8 bits de expoente e

76 Aumentado por formatos gigantes de 128 bits ("precisão quádrupla") e diminutos de 16 bits (você adivinhou – "meia precisão").

23 bits de fração. O expoente informa a potência de 2 pela qual a fração (veja abaixo) deve ser multiplicada. O expoente é "viciado" pela adição de 127, de forma que o campo expoente 01111111 corresponda a um expoente de 0; os expoentes vão de -127 a +128. A própria fração usa um truque interessante, originado pelo DEC em seu ponto flutuante para mat. Um número de ponto flutuante em binário sempre pode ser escrito na forma ff ff×2e, onde ff ff é o (base-2) mantissa ("significando") e *e* é o expoente (potência de 2).

Para maximizar a precisão obtida com um determinado número de bits de mantissa, você o "normaliza" deslocando o mantissa para a esquerda (e diminuindo o expoente) até que o bit inicial seja diferente de zero, lançando-o assim na forma 1.fff×2e. Agora, aqui está o truque do "bit oculto": como o significando normalizado resultante sempre tem um MSB diferente de zero, seria redundante exibi-lo; ou seja, você não armazena 1f ff no número, apenas o fff, com o 1 inicial assumido. O número resultante ganha um bit de precisão e tem um intervalo de ±1,2×10ÿ38 a ±3,4×1038.

Exercício 14.3. Mostre que o intervalo de números de ponto flutuante normalizados é conforme reivindicado, construindo o menor e o maior número.

O formato IEEE double-precision é semelhante, mas com a precisão do significando mais que dobrada (ao anexar mais 29 bits) e com o expoente fortalecido por 3 bits adicionais, dando o intervalo de números mostrado na figura. Se você gosta de precisão dupla, vai adorar a faixa dinâmica adicional e a precisão do enorme formato de precisão quádrupla de 128 bits, com seus deslumbrantes 113 bits de fração, auxiliados e auxiliados por um expoente de 15 bits.

Por outro lado, um formato recentemente popular é o formato de "meia precisão" de 16 bits (que algumas pessoas chamam de "mini float"). Ele comprime sinal, expoente e fração em uma palavra de 2 bytes. Os maiores valores neste formato são ±65504.
Isso não é muito mais do que você pode fazer com um inteiro com sinal de 16 bits (±32767), então pode parecer inútil. Não é assim: o menor valor de minifloat IEEE é ±6,1×10ÿ5. Assim, você obtém uma grande *faixa dinâmica,* embora sem grande precisão.77 Este último ponto merece um pouco mais de explicação. O formato de ponto flutuante de

meia precisão IEEE (oficialmente chamado

"binary16") representa números abrangendo nove ordens de grandeza, com um tamanho de passo *fracionário* aproximadamente uniforme de ~0,06%. Ao contrário de uma representação inteira, as mudanças fracionais não ficam mais grosseiras conforme você vai para valores pequenos (descubra o porquê). E esta é uma boa característica para grandezas que são percebidas logaritmicamente, como iluminação ou intensidade sonora.

O formato IEEE também permite números não normalizados, para dar algum alcance adicional na extremidade menor, em detrimento da precisão (estes têm os bits do expoente definidos como todos zeros, o que muda a interpretação da fração para 0,fff) . Para flutuação de precisão simples (binário32), o intervalo desses números "desnormalizados" diminui para ±1,4 × 10ÿ45; mas as etapas se tornam um pouco maiores quando você atinge o fundo. O padrão também define zero (ambos e=0 e fff=0; portanto, há dois zeros, +0 e ÿ0), infinito (*e* = todos os 1s, fff=0; portanto, ambos os sinais) e uma curiosa classe de quantidades reservadas conhecidas oficialmente como NANs ("não um número").

A. Armazenamento de números na memória Os projetistas de microprocessadores gostam de expressar sua individualidade armazenando números na memória em ordens peculiares. Os processadores de origem Intel armazenam inteiros multibyte começando com o byte menos significativo no byte de memória de menor número; Os processadores Motorola (Freescale) fazem o contrário.78 Alguns processadores (por exemplo, o popular núcleo ARM) são ambidestros (portanto, "bi-endianos"). E, para adicionar um pouco mais de confusão, alguns processadores usam uma ordem de bytes para números inteiros e outra para números de ponto flutuante. Endian-ness é de interesse mais do que acadêmico; pode importar, por exemplo, ao enviar dados para um periférico via SPI ou I2C. Muita sorte!

[77] Características que são particularmente úteis em aplicações como imagens de vídeo. Na verdade, foi desenvolvido pela Industrial Light & Magic exatamente para esses usos. O formato half-float é suportado em chips de processadores gráficos, que estão se tornando populares para computação em larga escala. Esses chips, com centenas de núcleos de processamento rápido, desafiam as CPUs tradicionais; jogue algumas dúzias deles em uma caixa e você terá um supercomputador bastante impressionante.

[78] Os engenheiros se divertem chamando-os de "little-endian" e "big endian", respectivamente.

Revisão do Capítulo 14

Um resumo de A a J do que aprendemos no Capítulo 14.
Este resumo revisa princípios básicos, fatos e conselhos de aplicação no Capítulo 14.

¶UMA. Processadores e Barramentos de Dados.

Este primeiro de dois capítulos orientados ao processador tratou do assunto da arquitetura do computador e das interfaces (barramentos) pelas quais os dados são trocados, enquanto o capítulo subsequente é dedicado ao uso de microcontroladores como componentes "embutidos" dentro de um circuito ou instrumento. Dada a onipresença dos computadores na vida contemporânea, é provável que o leitor esteja familiarizado com grande parte do material deste capítulo.

¶B. Arquitetura de Computador Orientada a Barramento.

Em uma arquitetura de computador clássica (§14.1), a unidade processadora (CPU ou MPU) executa instruções buscadas na memória, movendo os dados em um conjunto de linhas denominado *barramento* (Figura 14.2). As instruções codificam o que deve ser feito, e o processador o faz, conforme interpretado por seu *decodificador de instruções.* Dentro do processador está uma *unidade lógica aritmética* (ALU), responsável pelas operações aritméticas e lógicas (por exemplo, ADD ou COMPARE) executadas nos dados contidos nos *registradores;* um *contador de programa,* que contém o endereço de memória da instrução atual; um conjunto de *sinalizadores* que são definidos de acordo com o resultado da última operação e que são testados para ramificação condicional; um *ponteiro de pilha* para endereçar a memória sequencialmente para armazenamento temporário (por exemplo, de endereço de retorno durante interrupções e chamadas de função); e, muitas vezes, uma *memória cache* para armazenar dados recentes e instruções para acesso mais rápido.

¶C. Periféricos.

Um microprocessador orientado a computação (como seria usado em um servidor ou computador de mesa) se comunica com periféricos fora do chip por meio de um ou mais barramentos, enquanto um processador voltado para aplicativos embarcados (um *microcontrolador,* Capítulo 15) troca alguma sutileza computacional por integrando, em vez disso, um conjunto de periféricos e memória on-chip.
Periféricos típicos incluem armazenamento em massa não volátil, como disco rígido (hdd) e disco de estado sólido (ssd), memória de acesso aleatório (RAM), gráficos de vídeo, interface de rede (Ether net), aquisição e controle de dados (ADC, DAC, digital I /O) e portas seriais como USB e SATA.

¶D. Conjunto de instruções e "linguagem de máquina".

Um determinado processador é projetado para interpretar certos grupos de bytes, tomados em conjunto, como *instruções,* e para executar as tarefas correspondentes (§14.2). Essas instruções *em linguagem* de máquina podem ter vários comprimentos; para os processadores Intel x86 de 32 bits, por exemplo, as instruções variam de um a quinze bytes de comprimento. Programar diretamente em linguagem de máquina é muito tedioso para humanos; em vez disso, cada instrução pode ser representada em uma *linguagem de montagem* formatada em texto legível , com mnemônicos compreensíveis (por exemplo, ADD AX,BX, que adiciona à quantidade contida no registrador AX a quantidade contida no registrador BX). Um programa chamado *montador* então converte o programa em linguagem assembly (um arquivo de texto criado pelo programador ou por um *compilador* a partir de um programa escrito em uma linguagem de alto nível como C) na linguagem de máquina nativa do processador.

Para ilustrar as instruções do processador, escolhemos o Intel x86, exibindo um conjunto de instruções reduzido (§14.2.2 e Tabela 14.1). Existem instruções *aritméticas* (por exemplo ADD), instruções de *ramificação condicional* (por exemplo JNZ label, jump on non-zero), instruções de pilha (PUSH e POP) e instruções de E/S (por exemplo porta OUT, AX).
Juntamente com as instruções, você tem que entender a aparência do *anúncio,* as várias maneiras pelas quais os locais na memória ou registros podem ser designados. Na linguagem x86, as possibilidades básicas são *diretas* (o próprio endereço), *indiretas* (um endereço apontando para o local na memória onde o próprio endereço é mantido), *indexadas* (um deslocamento numérico de um endereço base, útil para "mover o ponteiro " acessa a endereços sequenciais) e *imediato* (uma quantidade numérica contida na própria instrução multibyte).

¶E. PC104/ISA: um barramento paralelo.

A interface de barramento pode ser um negócio complicado, com protocolos de negociação elaborados e coisas do gênero. Para manter as coisas simples, escolhemos o barramento paralelo PC104/ISA de 8 bits herdado (§14.3), uma conseqüência do barramento IBM PC original que foi adaptado ao padrão de sistema embarcado industrial PC104. Está em uso generalizado e ilustra bem os fundamentos de um barramento multiponto (e transferência paralela de dados em geral); para referência, o conjunto completo de sinais de barramento está listado em §14.3.11.

ciclo ESCREVER . Para mover alguns dados para um periférico (um "ciclo de gravação"), o barramento mestre (aqui a CPU) afirma os dados em um conjunto de linhas DATA de 3 estados (D0–D7) e o endereço de destino nas linhas ADDRESS (A0–A15), então ele pulsa uma linha de "gravação" (IOW), veja a Figura 14.8. O hardware correspondente do periférico (Figura 14.9) responde travando os dados (em D0–D7) sincronizando com IOW se ele vir seu endereço exclusivo (em A0–A15). Esta transação ocorre automaticamente quando a UCP executa uma instrução OUT para o endereço do periférico.

Ciclo de leitura . Para buscar dados de um periférico (uma "leitura

cycle"), o mestre do barramento ativa o endereço do periférico, mas não ativa as linhas de dados (3 estados); em vez disso, ele pulsa uma linha de "leitura" (IOR) e trava os dados que encontra em D0–D7 (afirmado pelos endereços periféricos) no final de IOR ; veja a Figura 14.13. O hardware correspondente do periférico (Figura 14.14) responde afirmando seus dados em D0–D7 habilitando drivers de 3 estados com IOR se ele vir seu endereço exclusivo (em A0–A15). Esta transação ocorre automaticamente quando a CPU executa uma instrução IN do endereço do periférico.

Bits de comando e status. Os "dados" que a CPU busca durante um ciclo de leitura podem ser dados comuns (por exemplo, um byte de um ADC); mas pode, em vez disso, indicar um status (por exemplo, novos dados ADC estão disponíveis para serem buscados). Esses dados de status são essenciais na maioria dos casos; veja, por exemplo, a interface de teclado simples na Figura 14.15, onde um flip-flop é definido quando um novo caractere é digitado e apagado quando um caractere o personagem é lido; seu status é legível no bit D7 de seu endereço periférico (KBFLAG). O código de programa correspondente (§14.3.5A) lê repetidamente esse *byte de status,* fazendo um loop até encontrar o bit 7 definido, após o que ele busca um byte de dados do endereço de dados do teclado (KBDATA) e o anexa aos dados armazenados em um buffer de string na memória . De maneira análoga, os bits que são enviados *a* um periférico podem indicar uma ação a ser iniciada por aquele periférico; estes são bits de *comando ,* por exemplo, para dizer e ADC para iniciar a conversão, ou uma porta serial para enviar um byte de dados. Vários bits de status (ou comando) podem ser agrupados em um *registro* de status (ou comando), cada bit pode ter sua própria função.

Interrompe. O uso de bits de status permite que a CPU descubra se uma ação precisa ser tomada, mas ela deve perguntar (por meio da leitura do registrador de status). Essa *votação* é uma maneira de um periférico sinalizar a CPU; a alternativa é a *interrupção,* na qual o periférico ativa uma das várias linhas de barramento dedicadas (chamadas de IRQn no barramento PC104). Isso sinaliza o hardware da CPU, que (se as interrupções estiverem ativadas) faz com que a execução do programa interrompa o que está fazendo e salte para uma rotina de "manipulador de interrupção"; consulte §§14.3.7–14.3.9 para exemplos de hardware e software.

Acesso direto à memória. O mais eficiente de todos para a transferência rápida de múltiplos bytes (por exemplo, lendo um arquivo inteiro do disco) é o DMA, no qual os sucessivos endereços de barramento e pulsos de controle são gerados por hardware e, portanto, não requerem os ciclos do processador necessários para o READ ou Ciclos WRITE de *I/ O programados;* ver §14.3.10.

¶F. Outros Barramentos Paralelos.

O barramento multiponto interno PC104/ISA é lento (menos de 10 MB/s) e foi substituído pelo barramento multiponto **PCI** (interconexão de componentes periféricos), que atingiu 2 Gb/s em sua versão de 64 bits. Uma interface PCI é consideravelmente mais complexa do que o simples PC104 descrito em ¶E, exigindo alguma negociação com o controlador PCI, etc. O PCI agora está obsoleto, tendo sido substituído pelo PCIe serial ponto-a-ponto, (consulte ¶H) . Para conexão com discos, as interfaces paralelas legadas são **IDE** (também chamadas de ATAPI ou PATA) e **SCSI;** ambos estão obsoletos, tendo sido substituídos por barramentos seriais: SATA e SAS. A interface original da impressora era paralela (um conector D de 25 pinos ou um conector microfita "Centronics" de 36 pinos), substituída por barramentos seriais (USB ou Ethernet). E para conexão com instrumentos de laboratório o **GPIB** (general-purpose interface bus, originado pela HP como HPIB) ainda está vivo e, bem, sobrevivendo; é um pouco estranho, porém, com seus cabos grossos e conectores bonitinhos. A maioria dos instrumentos de laboratório agora suporta Ethernet e USB. Esses e outros ônibus estão listados em Ta

ble 14.3.

¶G. Links de Dados Paralelos.

No nível muito mais simples de transferência de dados entre ICs em uma placa de circuito (digamos, entre um microcontrolador embutido e um ADC), o protocolo de dados-endereço-estroboscópio do barramento paralelo torna-se muito simples: para uma conexão ponto-a-ponto (ou seja, um chip periférico único) tudo o que você precisa é um caminho de dados de largura de byte (ou largura de 4 bits) mais direção e estroboscópio; veja, por exemplo, a Figura 14.34. Dificilmente é um *barramento* – é apenas um link de dados.

Além de algumas interfaces IC desse tipo e do amplo e rápido "barramento frontal" da CPU, quase todos os barramentos paralelos e links de dados caíram no esquecimento, cedendo seu domínio aos barramentos e links *seriais* (¶¶ H, I) ; ironicamente, um único link serial é geralmente mais rápido do que o link paralelo de largura de byte que ele substitui, com muito menos fiação e (para interfaces externas) permitindo um cabeamento muito mais fino.

¶H. Barramentos seriais.

Há muitas vantagens em uma conexão *serial de* dados (§14.7): menos fios, menos pinos nos chips do driver e do receptor, terminação limpa (em uma conexão ponto a ponto, ou seja, um único driver e um único receptor), falta de desvio de temporização (auto-sincronizado via recuperação de relógio) e a flexibilidade de usar uma fibra ótica ou canal sem fio. Contra-intuitivamente, os links seriais contemporâneos oferecem maior taxa de transferência de dados do que seus antepassados paralelos. Por exemplo, a última das interfaces de disco paralelo atinge o máximo de 1–2 Gbps (PATA e SCSI, 16 bits de largura), enquanto seus sucessores seriais (SATA e SAS, um único par diferencial em cada direção) fornecem 6 Gbps.

No mundo da informática, os barramentos seriais *internos* comuns são o **SATA** (serial ATA), **eSATA** (external SATA, um curto

extensão do SATA) e barramentos de disco **SAS** (SCSI serial) e o barramento da placa-mãe **PCIe** (PCI express) (consulte §§14.7.6 e 14.7.7). O último é uma espécie de híbrido - ao contrário do barramento PCI multidrop paralelo anterior, o PCIe é ponto a ponto e serial (um par diferencial em cada direção), mas executa várias dessas "pistas" para cada slot da placa-mãe, rotulados com " ×" (normalmente ×1, ×4 e ×16, mas também ×8 e ×32). Cada faixa pode fornecer até 8 Gbps, com recuperação de clock separada no receptor.

Para comunicação *externa* ao computador, os barramentos seriais comuns são USB, FireWire, Ethernet e CAN. Em sua revisão atual (3.0), **o USB** (§14.7.13) é full duplex (um par diferencial em cada direção) com velocidades de até 3,2 Gbps; isso melhora a versão anterior (2.0) que é half duplex com velocidades de 480 Mbps. FireWire (IEEE 1394, §14.7.14) é full duplex, com versões que suportam 400 e 800 Mbps (e com taxas até 3200 Mbps incluídas no padrão).

Ethernet (§14.7.16) é o barramento de escolha para redes de computadores; as versões coaxiais multidrop originais de 10 Mbps (10base2, thinnet e 10base5, thicknet) há muito tempo foram substituídas por conexões de par trançado ponto a ponto full-duplex (10base-T, 100base-TX, 1000base-T), que contornar o problema de colisões e oferecer velocidades de transferência de dados de 1 Gbps.

CANbus (§14.7.15) é um barramento multidrop e multimaster de força industrial usado em ambientes automotivos e de fábrica; é robusto e permite links de até 1 km, porém com taxa de dados bastante reduzida (10 kbps contra seus 1 Mbps para links com menos de 40 m).

¶EU. Links de Dados Seriais.

Substituindo amplamente a transferência paralela de dados entre ICs em uma placa de circuito (¶G) estão os populares links de dados seriais: SPI, I2C e JTAG. **SPI** (§14.7.1) é absolutamente simples, com uma arquitetura mestre-escravo compreendendo três fios compartilhados entre vários chips escravos: um fio de dados em cada direção (MOSI, MISO) e um relógio (SCLK); há uma linha de seleção de escravo separada (SS) necessária para cada dispositivo escravo; veja a Figura 14.38. Um dispositivo selecionado recebe dados (MOSI) e envia dados (MISO) em cada clock, veja a Figura 14.37. Não existe um padrão SPI universal, então você deve se adequar aos protocolos de cada chip de acordo com sua folha de dados. Dê uma olhada na Figura 15.21 no próximo capítulo para ver alguns exemplos de chips periféricos SPI.

Em contraste, I2C (§14.7.2) é um link serial multiponto mais sofisticado, com apenas dois fios (SDA, dados; SCL, relógio); existe um protocolo bem definido pelo qual o mestre (o microcontrolador) comunica o endereço de destino e a direção dos dados para os vários dispositivos escravos. o mini cabeamento ruim e a flexibilidade de comunicação do I2C é compensada pela necessidade de dar a cada dispositivo um endereço único e pelos problemas de contenção e arbitragem nas linhas compartilhadas. Dê uma olhada na Figura 15.22 no próximo capítulo para ver alguns exemplos de chips periféricos I2C .

O barramento **JTAG** (§14.7.4), originalmente planejado para testes e depuração de circuitos, tornou-se uma interface popular para carregar e depurar código de microcontrolador e para programar memória on-board não volátil. Ele conecta um relógio compartilhado (TCK) e uma linha de modo (TMS) e encadeia uma linha de dados (entrada TDI para cada dispositivo, saída TDO); veja a Figura 14.43. Você se conecta ao barramento JTAG com um "pod" de programação que se conecta a uma porta USB em seu PC host.

E não se esqueça do bom e velho link **RS-232** "porta COM serial" (§14.7.8), ainda amplamente suportado por microcontroladores. Você pode falar com eles com um PC rodando um emulador de terminal, conectado com um adaptador USB para RS232 como TTL-232R-3V3 ou TTL-232R-5V da FTDI (3,3 V e 5 V, respectivamente).

¶ J. Memória.

Qualquer conversa sobre computadores é incompleta sem uma discussão sobre *memória,* apresentada em §14.4. A memória ideal teria acesso aleatório rápido, retenção persistente sem energia (ou seja, não volátil) e resistência infinita (número de ciclos de leitura e gravação); idealmente, também deve ser de baixo consumo de energia, barato e compacto. A memória do mundo real ainda não atingiu esses objetivos, pelo menos em um único tipo de memória.

O favorito popular atual em memória *não volátil* (§14.4.5) é o **flash NAND** (o material de cartões de memória USB, cartões de memória de câmera e unidades de estado sólido). É limitado em velocidade e resistência e deve ser escrito ou apagado em setores; mas é escandalosamente barato (ÿ$ 0,50/GB em quantidades únicas). Para retenção de pequenas quantidades de dados, existe a **EEPROM,** cuja célula de 2 transistores permite apagamento de bit único ou byte. Algumas novas tecnologias que podem fornecer resistência quase infinita são **FRAM** (RAM ferroelétrica), **MRAM** (RAM magnetoresistiva) e **PCM** (memória de mudança de fase, também chamada de PRAM).

Os tipos de memória contemporâneos com acesso rápido e resistência infinita são todos *voláteis:* SRAM (RAM estática) e DRAM (RAM dinâmica). A **SRAM** básica é uma matriz de flip-flops endereçáveis de 6 transistores ("6T") (Figuras 14.20 e 14.21), configurados para operação assíncrona ou síncrona (ou seja, com clock); ver §14.4.3. A RAM estática tem uma interface simples, acesso rápido e corrente quiescente zero, mas sua célula 6T ocupa muito espaço, então sua densidade é

consideravelmente menor do que a RAM dinâmica. Por esta razão, uma classe de memória pseudo-estática **(PSRAM)** tornou-se popular: ela explora um mecanismo de atualização oculto para trazer a densidade da DRAM para a interface simples da SRAM; é um DRAM na roupa de SRAM. As memórias SRAM e PSRAM são úteis em sistemas pequenos ou de baixo consumo de energia, onde apenas uma quantidade modesta de memória é necessária.

O outro tipo de memória volátil é a **DRAM** (§14.4.4), uma matriz de capacitores minúsculos (ÿ30 femtofarads) cujo estado de carga contém um bit, endereçado com uma matriz de MOS FETs de modo que apenas um transistor é necessário por bit, tanto para leitura e retenção de carga (“refresh”); isto é uma “célula 1T1C” (Figuras 14.26 e 14.27). DRAMs requerem atualização periódica e, tendo se originado como chips de memória assíncronos, eles agora são usados em suas variedades **síncronas (SDRAM) :** versões **SDR** (taxa de dados única) e **DDR** (taxa de dados dupla) em evolução **(DDR2, DDR3** e **DDR4).** A DRAM tem resistência infinita, acesso rápido, alta densidade e baixo custo, e é usada como memória principal em PCs, laptops e toda variedade de produtos eletrônicos de consumo (por exemplo, decodificadores de TV a cabo e satélite). É o que você ganha quando compra um módulo DIMM para o seu computador; essas coisas estão custando atualmente cerca de US$ 5 a US$ 10/GB.

MICROCONTROLADORES

CAPÍTULO 15

15.1 Introdução

Como observamos no capítulo anterior, os microcontroladores são essencialmente processadores autônomos, destinados a serem incorporados *a* algum dispositivo eletrônico que definitivamente não é um “computador”. de um computador em praticamente qualquer coisa eletrônica. Ao fazer isso, eles trocam parte da velocidade assustadora dos processadores orientados para computador em favor da memória e dos periféricos integrados.

Para expandir este ponto, quase todos os microcontroladores (incluindo aqueles que custam menos de um dólar) incluem memória de dados (RAM estática) e memória de programa não volátil (“flash”) no chip; muitos incluem EEPROM não volátil adicional para armazenar dados de calibração, definições de configuração do sistema e assim por diante.2 Melhor ainda, você pode escolher entre “periféricos” integrados: links de comunicação como SPI, I 2C, USB, Ethernet, Bluetooth e ZigBee; barramentos como PCI e PCIe, SATA, PCMCIA, cartões de memória flash e memória externa; interfaces analógicas como comparadores, ADCs multiplexados, DACs e sensores de imagem e vídeo; e interfaces especiais, como moduladores de largura de pulso, drivers de LCD, GPS, áudio digital e WiFi.

Em outras palavras (Figura 15.1), um microcontrolador inclui dentro de si a “CPU + memória + periféricos” que exigia um barramento de dados externo e componentes separados no capítulo anterior. (Você *pode* implementar um barramento de dados externo com um microcontrolador, se quiser; mas é melhor escolher um microcontrolador que tenha o que você deseja no chip.)

Claro, em um sistema embarcado você não inicializa a partir de um disco – você nem mesmo *tem* um disco! É por isso que a memória do programa está incluída no controlador e também porque deve ser não volátil: sua máquina de lavar louça precisa saber o que deve fazer, mesmo após uma queda de energia. Como os microcontroladores são embutidos no dispositivo de destino (e geralmente não são removíveis da placa de circuito), eles devem ser programáveis (e reprogramáveis) *no circuito.* Você os programa por meio de uma interface de “programação serial no circuito” (“ICSP”, geralmente SPI ou JTAG), com uma interface de hardware “pod”, controlada por software executado em um computador host.

Os microcontroladores são divertidos e fáceis. Pense neles como um “componente” de circuito, como um amplificador operacional. A analogia é boa: assim como o amplificador operacional é o componente analógico universal, o microcontrolador pode ser pensado como o componente digital universal.3 E um microcontrolador mais alguns outros componentes (por exemplo, um conector USB, o cabeçalho de programação, algumas luzes e botões, e talvez um LCD alfanumérico) colocados em uma pequena placa de circuito, é um “bloco universal” cuja função é programada de forma flexível para fazer o que você quiser. Os fabricantes de microcontroladores fornecem alegremente esses objetos (às vezes chamados de “kits de desenvolvimento”, que entre dez incluem hardware e software de programação; consulte a Figura 15.24 na página 1090) para incentivá-lo a adotar seus produtos. Existem também produtos de terceiros e de código aberto, como “Ethernut” e “Arduino”.4 O primeiro inclui uma porta Ethernet; o último oferece portas seriais, USB, SPI e I2C , com um adaptador Ethernet empilhável opcional.

Vamos nos lançar nos microcontroladores com um exemplo concreto.

[1] Uma publicação recente da Maxim Integrated Products (App Note 3967) começa com a frase “O coração dos produtos eletrônicos avançados de hoje é um microcontrolador (C) que se comunica com um ou mais dispositivos periféricos”. Como normalmente omitiríamos a palavra “avançado”.

[2] *A EEPROM* permite reescrever (ou apagar) bytes individuais armazenados, em contraste com a memória *flash* , na qual o apagamento (necessário antes da reescrita) pode ser feito apenas em um bloco de bytes de uma só vez. É por isso que o EEPROM de densidade mais baixa é melhor para armazenar dados do usuário, enquanto o flash de densidade mais alta é melhor para código de programa reescrito com pouca frequência. Ambos os tipos de memória são não voláteis e programáveis no circuito, embora o flash normalmente tenha menos “resistência” de reescrita, por exemplo, 10.000 ciclos de apagamento e gravação para flash, contra 100.000 para EEPROM.

[3] Embora usuários experientes de FPGAs possam argumentar que *seus* chips são “mais universais”: você pode colocar um microcontrolador “soft core” em um FPGA, mas não vice-versa.

[4] Aqui estão mais alguns: BeagleBoard & BeagleBone, Odroid, Raspberry Pi e Teensy.

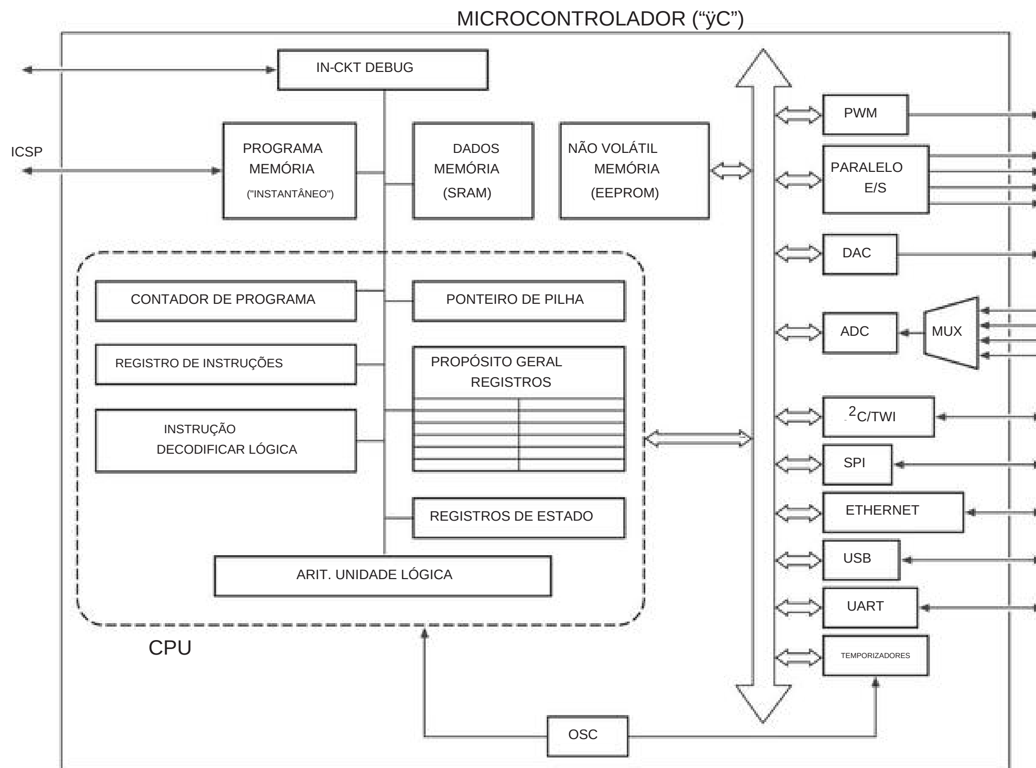


Figura 15.1. Um microcontrolador integra memória e "periféricos" no mesmo chip da CPU. ICSP significa "in-circuit serial Programming".

15.2 Exemplo de design 1: monitor de bronzeamento (V)

Visitamos esse dispositivo indispensável para o banhista, primeiro no Capítulo 4 (onde exploramos três implementações puramente analógicas) e depois novamente no Capítulo 13 (com um ADC integrador de fotocorrente). Aqueles ilustravam bem o uso de eletrônicos analógicos e digitais discretos. Concluímos nossa busca pelo integrador bronzeador perfeito neste capítulo, com (naturalmente) uma implementação de microcontrolador.
Damos uma primeira tentativa aqui, com um pouco de refinamento mais adiante no capítulo.

Para revisar, a tarefa é informar ao banhista quando virar (ou ir para casa), após ter recebido a dose acumulada de luz solar desejada, usando como entrada a corrente de um fotodiodo (que é proporcional ao bronzeamento em intensidade). O banhista define a dose alvo de FSE (equivalente à luz solar total) com um pote, em uma escala de 0 a 90 min FSE, pressiona o botão START e inicia o ciclo de cozimento. Um buzzer piezo soa quando o trabalho é concluído.

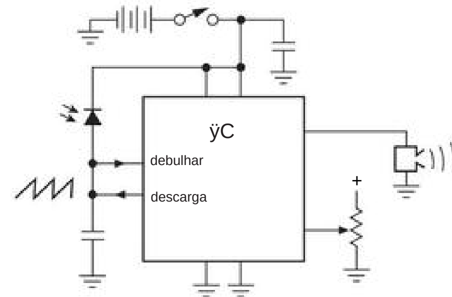


Figura 15.2. Monitor bronzeador, implementado de forma simples com um microcontrolaÿdor (C).

15.2.1 Implementação com um microcontrolador

Uma maneira clássica (mas pouco inspirada) de abordar isso é transforme a corrente em uma voltagem (com amplificador operacional e resistor de realimentação), então use o ADC no chip do microcontrolador para gerar amostras digitalizadas, que são então integradas numericamente. Mas há uma maneira mais simples (e melhor), facilmente implementada mesmo em um microcontrolador de 50 centavos. Veja a Figura 15.2. A ideia é usar a fotocorrente para aumentar o

tensão em um capacitor, em seguida, use o comparador de log analógico do microcontrolador para acionar um pulso de descarga curto em uma porta de saída digital de três estados.5 Isso gera um dente de serra cuja frequência é proporcional à intensidade da luz; o microcontrolador integra isso simplesmente contando os ciclos, soando a buzina na contagem terminal desejada, que deriva de uma medição da configuração do pote de "dose". Um bit da porta de entrada digital detecta o botão START e um bit da porta de saída digital ativa a campainha piezo.

Isso não é apenas mais simples do que o método monótono IÿVÿADC, é melhor: converter uma corrente em uma tensão proporcional requer uma boa faixa dinâmica (e, portanto, tensões de deslocamento muito baixas) para integrar com precisão em baixa luminosidade em intensidades, enquanto isso eu O oscilador ÿf preserva a precisão gerando um dente de serra de amplitude fixa com excelente linearidade em correntes baixas. Esse afastamento da abordagem usual de projeto de engenharia modular ilustra bem o tipo de criatividade "holística" que os microcontroladores estimulam em seus devotos.

O circuito da Figura 15.2 é de longe o mais simples das cinco iterações de um circuito de bronzeamento, embora, é claro, haja a tarefa de escrever e baixar o código embutido (que veremos a seguir). Antes de fazermos isso, vamos detalhar o circuito em toda a sua glória – valores dos componentes, escolha do controlador, PINs, etc. Há muito o que aprender fazendo isso; em um sentido importante, lidar com os detalhes e os compromissos que eles impõem é a essência do projeto de circuitos eletrônicos.

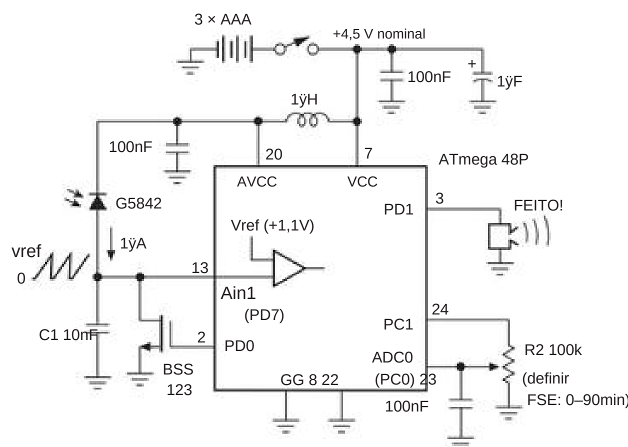


Figura 15.3. Circuito detalhado do monitor de bronzeamento. Consulte a Figura 4.93 para obter informações sobre o fotossensor G5842 GaAsP.

5 Você pode organizar coisas para fazer a descarga no mesmo pino da comparação de limite, alterando dinamicamente um bit no registro que define os modos de bit de porta.

A Figura 15.3 é uma implementação completa, usando partes disponíveis no momento em que este texto está sendo escrito. Vejamos alguns detalhes.

A. Escolha do microcontrolador

Este gadget não exige muito, em termos de velocidade ou periféricos, e quase todos os microcontroladores incluem um comparador e um ADC. No entanto, queremos um baixo consumo de corrente e gostaríamos de funcionar diretamente com uma bateria, sem um regulador de tensão. Escolhemos esta peça porque ela é a menor da série "picoPower" dos controladores AVR da Atmel, que têm a virtude de operar com baixa potência mesmo operando a partir de +5 V.6 . corrente (acima dessa faixa de tensões de alimentação) ao operar a desenha cerca de 35-170 ÿ partir de seu oscilador interno de 128 kHz.

B. Circuito de descarga

Embora você provavelmente pudesse usar uma saída de três estados para descarregar o capacitor do oscilador diretamente (Figura 15.2), as especificações de pior caso negariam a você a satisfação de um trabalho bem feito: elas especificam uma corrente de fuga máxima de ±1 A, comparável à fotoÿcorrente em luz solar. Você pode escolher um fotodiodo maior, com fotocorrente correspondentemente maior; mas um MOSFET de canal n externo faz o trabalho muito bem.7 Aqui usamos

um pequeno MOSFET de canal n BSS123 como um interruptor externo. É uma boa escolha: tem um limite satisfatoriamente baixo, com corrente de dreno de aproximadamente 0,5 A a 2,5 V do gate drive e um vazamento de pior caso de 10 nA em VDS=20 V. É amplamente estocado, com preço de US$ 0,05 em quantidade.8

C. Potenciômetro de ajuste de dose O diagrama simples desviou o pote do trilho de suprimento positivo. Mas um bom projeto exige que sua corrente de polarização seja grande em comparação com a especificação de vazamento de entrada de 1 A, o que adiciona um consumo de energia significativo. Podemos fazer melhor, porém, ligando o potenciômetro apenas quando precisamos, ou seja, ao ler seu valor. Isso é fácil – basta conectar sua parte superior a um bit de porta de saída digital; quando o software define esse bit como ALTO, o pullup do canal p interno o traz para +VCC.

6 Muitos controladores funcionam com baixa potência quando operados em baixa tensão de alimentação (digamos, 1,8 V), mas não em 3–5 V, como aqui.

7 Você poderia, em vez disso, estar razoavelmente confiante de que a corrente de fuga típica é provavelmente inferior a 10 nA, especialmente porque as especificações são dadas em toda a faixa de temperatura de -40ÿC a +85ÿC; além disso, os fabricantes de semicondutores são notoriamente conservadores ao especificar vazamentos. Você não precisa se preocupar com o pino de entrada do comparador: sua corrente de fuga especificada é de 50 nA (máx.).

8 O BSS123 é semelhante ao 2N7000 e 2N7002 (ver Tabela 3.4a).

D. Contorno e desacoplamento A

Figura 15.3 é decorada com capacitores de desacoplamento, talvez de forma um pouco conservadora. Desacoplamos o trilho de alimentação analógico (AVCC) do ruidoso VCC digital com o filtro *LC* recomendado no datasheet. Também ignoramos a leitura do potenciômetro, porque ela é influenciada por uma saída digital igualmente ruidosa. Por fim, usamos uma combinação paralela de capacitores de derivação do trilho de alimentação para manter a baixa impedância sobre as frequências. (A indutância e a resistência em série de capacitores de grande valor reduzem sua eficácia em altas frequências, corrigidas aqui pelo menor capacitor cerâmico de bypass de 100 nF; consulte o Capítulo 1x). Mais uma vez, provavelmente poderíamos nos safar com menos, principalmente porque precisamos de muito pouca precisão (ÿ6 bits) dos ADCs internos de 10 bits muito bons da peça, para os quais as especificações de bypass foram planejadas.
Mas gostamos de jogar pelo seguro.

E. Oscilador Não existe! Isso porque este controlador, em comum com muitos, inclui opções de oscilador interno; para este chip existem dois osciladores internos (8 MHz e 128 kHz), de precisão modesta (±10%).

15.2.2 Código do microcontrolador (“firmware”)

O software embarcado, chamado de *firmware,* precisa realizar várias tarefas, a saber,

(a) inicializações na inicialização (configurar os modos de porta de E/S, modos ADC e comparador e redefinir o estado dos bits da porta de saída);
(b) confirme VCC para o potenciômetro, espere 25 ms, leia sua voltagem, então desafirmar;
(c) usar a tensão medida para calcular a contagem terminal de ciclos de oscilação do oscilador dente de serra, correspondendo à exposição solar integrada definida pelo pote;
(d) usar o estado de saída do comparador para incrementar o contador de ciclos e gerar pulsos de descarga do capacitor; (e) quando o contador atingir a contagem do terminal computado, ative o buzzer piezo.

Além disso, existem algumas características operacionais (por exemplo, frequência do oscilador) que não estão sob controle do programa e que são definidas no momento em que o código do programa é baixado para o dispositivo. Mais, em breve, sobre a programação desses chamados “fusíveis”.

A. Pseudocódigo

Escrevemos isso com mais detalhes em Pseudocódigo 15.1; pseudocódigo é um substituto menos formal para um *fluxograma gráfico,* com texto mais legível.

Um pouco de explicação: o código começa com algumas tarefas de **configuração .** Isso ocorre porque os microcontroladores contemporâneos são ricamente dotados, com periféricos integrados, modos de operação, opções de funções de pinos e afins.9 Essa flexibilidade e poder são uma bênção e uma maldição. As bênçãos são óbvias. A maldição extrai sua vingança, exigindo que você configure todas essas opções. Isso é feito definindo ou limpando bits em uma matriz de registradores cuja função é configurar e controlar as opções do dispositivo. Este processador em particular tem 256 desses registradores internos, com cerca de 40 bytes de configuração e bits de controle. Você geralmente não precisa se preocupar com a maioria deles, porque eles são padronizados para valores razoáveis; mas você precisa configurar o alcance e o modo do ADC e do comparador e as direções dos bits da porta.

O código do programa é executado na inicialização e é obrigado a fazer primeiro esta limpeza inicial exigente: os bits da porta do microcontrolador podem ser configurados individualmente como entradas ou saídas (sob controle do programa), que você especifica definindo bits em um registro de direção de porta (se for uma entrada, você também pode habilitar ou desabilitar o pullup interno). O código de configuração continua inicializando o bit de saída do buzzer em BAIXO e o pino de descarga em ALTO, e conclui com a escolha de ADC e referências de tensão do comparador, escalonamento e fontes de entrada. Existem alguns outros bits de configuração que devem ser definidos, especificamente a fonte de clock (externa ou interna), a frequência do clock e a taxa do divisor de clock.
Para este microcontrolador específico, esses bits de “fusível” são definidos durante a programação do dispositivo de hardware, e não no código do programa executável.10

Em seguida, **inicializa** em BAIXO os dois bits da porta de saída (bipe, acionamento do transistor de descarga) e define (e limpa) uma variável de registro que manterá a contagem acumulada do oscilador dente de serra proporcional à luz solar. Agora **lemos** o pote que define a dose alvo: defina o PC1 para colocar VCC no pote, espere 25 ms, inicie o ADC, pendure em seu sinalizador de ocupado e, em seguida, leia o byte alto da conversão de 10 bits (realmente não não precisa de mais de 0,5% neste trabalho), desligue o potenciômetro e calcule a contagem do terminal correspondente. O último assume um dente de serra nominal de 100 Hz com luz solar completa (ÿ 1 A fotocorrente) e uma configuração de escala total de 90 minutos.

Tudo isso levou uma fração de segundo. Agora nós

9 Por exemplo, o pino 28 deste processador é o bit 5 da porta C bidirecional de largura de byte; ele também pode ser usado como uma entrada analógica para o ADC (através do multiplexador interno de 8 entradas), ou como o relógio serial SCL , ou como uma fonte de “interrupção de mudança de pino”.

10 Para microcontroladores de alto número de pinos, é comum ver alguns pinos usados para determinar o que acontece na inicialização, com o controle do programa a cargo desses parâmetros.

Pseudocódigo 15.1 Pseudocódigo do monitor bronzeador

Configurar

Variáveis: Definir contagem de números inteiros de 32 bits e termcount

Baixo consumo de energia: desative os periféricos não utilizados

Portas: Definidas como saídas PC1 (pot bias), PD0 (descarga da tampa) e PD1 (buzzer); definido como entradas analógicas PC0 (leitura do potenciômetro) e PD7 (cap voltage); inicializar PD1 LOW (buzzer desligado) e PD0 HIGH (cap mantido em gnd)

Modos analógicos: Defina o modo de comparação e a referência de bandgap; definir ADC ref para Vcc, modo ADC para ajustado à esquerda e MUX para o canal 0

Leia a configuração “assar”

Setbits PC1 (potência para potenciômetro) e ADEN (habilitação ADC); espere 100ms

Iniciar conversão ADC (setbit ADSC)

Aguarde enquanto ADSC = 1 (ocupado) e leia o resultado de 8 bits não assinado (“bake”)

Clearbits PC1 e ADEN, e desabilitar o ADC para economizar energia

Calcule o termcount=360000 x cozimento/256

ciclos de contagem

Aguarde enquanto o comparador estiver em HIGH (Vcap < Vref), então:

setbit PD0, então clearbit PD0 (pulso de descarga de software) contagem de incremento se count <termcount, repetir **ciclos de contagem ,** caso contrário,

definir bit PD1 (buzzer), limpar 10 segundos depois

Conta os ciclos do dente de serra, cuja rampa é gerada pela fotocorrente, descarregada abruptamente por um pulso de software (ALTO, depois BAIXO) para o MOSFET. Como não há mais nada a fazer, usamos uma simples pesquisa do bit de saída do comparador, em vez da alternativa mais elegante de uma interrupção controlada por contador (nossa configuração do modo comparador desativou sua interrupção). Quando a contagem atinge o alvo computado, ligamos o bipe e desligamos “para sempre” (isto é, até que o bakee desligue a coisa; reinicie por sua conta e risco – humano duas vezes assado!).

B. O Programa Detalhado de

Código C 15.1 é uma listagem do código-fonte da linguagem C. Deve ser legível por programadores C fluentes, embora existam algumas peculiaridades associadas aos microcontroladores. Os arquivos io.h e fuse.h contêm as definições de registro idiossincráticas, funções, etc., que lidam com peculiaridades, como espaços de endereço fragmentados e com variáveis de bit. A manipulação de bits em portas e registradores é comum em aplicações de microcontroladores; é feito aqui mascarando OR e AND , obtendo as posições dos bits dos define e criando a máscara OR com “1<<n” e a máscara AND com “ÿ(1<<n)”. (Por exemplo, PORTC1 tem valor 1, conforme definido em io.h; portanto, a instrução do programa “#define POT (1<<PORTC1)” define POT igual a 0x02.) E uma *pegadinha complicada:* em um aplicativo como este, no qual os valores são lidos de portas mapeadas em memória (como um comparador ou ADC), é essencial declarar essas variáveis como voláteis para evitar que o compilador “otimize” remover o recarregamento da porta associada. Isso foi feito para você no arquivo io.h , para os locais de memória padrão predefinidos; mas você precisaria fazer isso para quaisquer variáveis mapeadas em memória personalizadas que você criar.

C. Alguns comentários (a)

Usamos o botão power-on para iniciar o ciclo de temporização; outra maneira de lidar com isso é usar um botão que leva um pino de entrada ao terra; você pode pesquisar esse bit de entrada ou usar uma interrupção sensível ao nível. O último é mais elegante e tem a vantagem de que o processador pode se colocar em um estado de “suspensão” de micropotência (<1 A) quando terminar; o processador então acordaria com uma interrupção de pino LOW . Em ÿ princípio, você pode botão liga / até desliga! No entanto, desaconselhamos isso, porque a única recuperação de um processador com falha seria remover a bateria. Todos nós já experimentamos dispositivos eletrônicos comerciais (secretárias eletrônicas, câmeras, DVRs) que ocasionalmente congelam, exigindo uma “reinicialização a frio” removendo a bateria ou desconectando o dispositivo.

Programa
15.1 #include <avr/io.h>

```
#include <avr/fuse.h>
#include <util/delay.h>

#define DESCARGA (1<<PORTD0)
#define BUZZER          (1<<PORTD1)
#define POT             (1<<PORTC1)

int principal() {
    contagem de longo prazo, contagem; // Contagens totais do timer e contador de execução

    // Medidas de economia de energia
    PRR = ˜(1<<PRADC) & ˜(1<<PRSPI); // Desliga os periféricos, exceto ADC e SPI
    DIDR0 = 0x3f; // Desabilita buffers de entrada digital em pinos analógicos

    // Configura os pinos
    DDRD = DESCARGA | BUZZER; // Define dois pinos para saída, resto para entrada
    DDRC = POT;                 // Define o pino POT para saída, resto para entrada
    DIDR0 |= (1<<ADC0D); // Use PC0 como ADC0 -- a entrada ADC
    DIDR1 |= (1<<AIN1D); // Use PD7 como AIN1 -- a entrada do comparador
    PORTD = BUZZER; // Mantenha a tampa baixa e comece com a campainha desligada

    // Configuração do comparador
    ACSR = (1<<ACBG); // Define a referência para o gap (precisa de 70 us)

    // Lê a duração de exposição desejada
    PORTC |= POT; // Ligue a parte superior do divisor do resistor.
    _delay_ms(25); // Atraso 25 ms para 10RC liquidar
    ADMUX = (1<<REFS0) | (1<<ADLAR); // Usa Vcc ref; resultado ajustado à esquerda
    ADCSRA = (1<<ADEN) | (1<<ADSC); // Habilite e inicie o ADC

    /*** Espera até que a conversão ADC seja concluída. ***/
    enquanto ( ADCSRA & (1<<ADSC) ) { }

    termcount = (360000L * ADCH) >> 8; // Converte o resultado do ADC para contagem do temporizador
    PORTC &= ˜POT; // Desliga a parte superior do divisor do resistor
    ADCSRA &= ˜(1<<ADEN); // Desabilita ADC
    PRR |= (1<<PRADC); // Habilita redução de energia para ADC

    /*** Espera até a exposição solar desejada ***/
    for (count = 0; count <termcount; count++) {
        // Espera o cap carregar, então a saída do comparador fica baixa
        while(ACSR & (1<<ACO)) { }
        PORTD |= DESCARGA; // Descarrega o capacitor
        PORTD &= 'DESCARGA; // E solte para recarregar
    }

    // Buzz por 10 segundos
    PORTD |= BUZZER;            // Liga o buzzer
    _delay_ms(10*1000); // Atraso 10 segundos
    PORTD = BUZZER;             // desliga o buzzer

    // Loop indefinido while (1)
    { }
}
```

(b) Pesquisamos o comparador para determinar quando o dente da serra atingiu a tensão de disparo; você poderia, em vez disso, usar uma interrupção. Não há nenhum benefício aqui, no entanto, porque não há mais nada a fazer de qualquer maneira: com uma interrupção, você descarregaria o capacitor e incrementaria o contador na rotina de serviço de interrupção, enquanto o programa principal simplesmente faria um loop testando o valor no contador. (c) Os microcontroladores são *inteligentes!* Com quase nenhum trabalho, podemos adicionar todos os tipos de recursos interessantes a este filhote: um display LCD com uma “barra de progresso” para mostrar o estado do seu bronzeado; uma leitura da intensidade da luz solar; um reprodutor de música MP3; um jogo de paciência ou scrabble. . . (mas divagamos: você entendeu).

D. Baixando o código O último passo é “programar” a peça (ou seja, baixar o código compilado e ajustar os fusíveis). Aqui está o que você faz. (a) Conecte o pod aos pinos apropriados no microcontrolador (através de um cabeçalho de programação) e ao PC (através de serial ou USB). (b) Ligue sua placa. (c) Use o software no PC para verificar se o pod detecta o dispositivo correto.

(d) Decidir sobre as opções configuráveis de fusíveis,11 e programar eles.

(e) Selecione a localização do arquivo HEX compilado no PC e baixe-o na memória flash do microcontrolador; opcionalmente, selecione um arquivo HEX com o conteúdo da EEPROM e baixe-o. (f) O pod deve redefinir automaticamente o chip e começar a executar seu programa.

Neste ponto, você pode remover o pod. Quando você liga e desliga sua placa, seu código será executado, sem amarras.

E. Revisão da interface humana

Nosso astuto colega Jim MacArthur ofereceu o seguinte comentário.

> Se este livro fosse sobre design de interface humana (HI), o exemplo de design nº 1 seria um caso clássico de *desvio de especificações.* A especificação não poderia ser mais simples: duplicar a funcionalidade da solução analógica. E, no entanto, como seu testador HI sem dúvida lhe dirá, esta solução difere da analógica em um aspecto importante: se você ajustar a panela no meio do ciclo de cozimento, a solução analógica prestará atenção, enquanto a digital não. .12 O HI pessoa continuaria, de forma um tanto irritante, a provar que 47% dos usuários irão operar o dispositivo exatamente dessa maneira – ligando-o e ajustando a panela – e que 13% desses clientes irão devolver a unidade sem tentar. descobrir, custando à sua empresa milhões de dólares. . . e você seu bônus. As lições são: (a) Nunca *envie* um produto de consumo sem a aprovação de um testador de interface humana. (E assim, eles assumem a culpa.) (b) Projetos analógicos não são tão fáceis de simular no domínio digital quanto podem parecer à primeira vista.

F. Revisão do projeto

Após a embaraçosa experiência do HI, uma revisão completa do projeto foi agendada. Alguém comentou que qualquer coisa sentada na areia queimada pelo sol esquentaria muito, ao que outra pessoa respondeu: “Diga ao usuário, que está sentado em uma cadeira de praia, para colocar o monitor na sombra embaixo”. Essa sugestão recebeu um olhar fulminante (sem palavras). Seguindo em frente, a temperatura de projeto foi fixada em 85ÿC. Isso é muito quente e (dobrando a cada 10ÿC) a corrente de fuga do BSS123 aumentaria para inaceitáveis 3,2 A (64 × maior que o tipo de 50 nA da folha de dados a 25ÿC). Opa! Curiosamente, o comparador de C está OK, porque sua especificação de entrada de 50 nA se estende até 85ÿC, (50 pA à temperatura ambiente) e seu aumento de defeitos, de forma semelhante, aumentaria para cerca de 3 nA, também OK.

Exercício 15.1. Encontre uma alternativa para a reinicialização do MOSFET BSS123 switch: uma possibilidade é adaptar o método da Figura 13.49 para um microcontrolador. *Dica:* substitua U2, U3 e U4 pelo processador. Lembre-se de que a tensão em “X” não importa. Nesse projeto, sugerimos um amplificador operacional LMC6842, que especifica 10 pA de polarização de entrada máxima a 85ÿC; tudo bem aqui, mas a corrente de alimentação do amplificador operacional é de 1 mA, dominando o consumo de bateria. Veja se você pode encontrar uma escolha melhor.

15.3 Visão geral das famílias populares de microcontroladores

Para o monitor de bronzeado simples, escolhemos um controlador da popular série Atmel AVR de 8 bits. Gostamos deles porque exemplificam uma arquitetura limpa, com muitos registradores de uso geral e um espaço de endereço plano. Eles vêm em vários estilos de embalagem, incluindo a embalagem dual in-line (DIP) through-hole, que preferimos para prototipagem rápida.
Eles também são bem suportados em termos de ferramentas de software, incluindo compiladores de linguagem C de código aberto que não são muito sobrecarregados com idiossincrasias específicas do controlador.

Que outros controladores estão por aí? Oferecemos uma lista de ofertas contemporâneas abaixo, com um pouco de

[11] Para o AVR, isso inclui nível de tensão de queda de energia, ativação/desativação de depuração no chip, fonte de clock (interna, onda quadrada externa, cristal externo, etc.), habilitação de JTAG, habilitação de SPI e habilitação de timer de vigilância.

[12] O software poderia, é claro, ser modificado para “prestar atenção”.

comentário. Isso deve ser considerado um instantâneo no tempo, pois os microcontroladores constituem uma das áreas de tecnologia eletrônica que mudam mais rapidamente.13 Você deve ter em mente as características de um microcontrolador ideal:

- bastante flash on-chip (memória de programa reprogramável ory) e RAM
- versões pequenas disponíveis em DIP facilmente prototipado (ou SMT no adaptador DIP)
- oscilador interno •

contagem mínima de peças externas para começar • rápido, baixo consumo de energia, ampla faixa de tensão de alimentação • programador barato, serial ou USB • programação em circuito • software de programação gratuito • montadores e compiladores gratuitos • Ambiente de Desenvolvimento Integrado (IDE) gratuito) para unir tudo • depurar/emular no circuito por meio do IDE

- cadeia de ferramentas de código aberto que roda em Windows, Mac, Linux
- comunidade de usuários ativos

AVR *(Atmel)* RISC14 de 8 bits; arquitetura limpa, 32 registradores de uso geral; depuração em circuito; ferramentas de código aberto (Linux, GCC, Arduino) suportadas pela Atmel e integradas em seu software; alguns chips incluem USB; muitos estilos de pacotes (incluindo DIP); disponível como híbrido/FPGA (Atmel); menos caro, menos de US$ 0,50; compete com o PIC da Microchip. Série de 32 bits: AVR32.

Programadores: serial simples ($12); Depurador de circuito USB Atmel AVR Dragon (US$ 50). Placas Arduino com alimentação e programação USB custam de US$ 20 a US$ 30. AVR But terfly board com LCD e buzzer ($20). *Nossa recomendação para começar.*

PIC *(Microchip)* 8, 16 e 32 bits; versões de alta velocidade e baixa potência; alguma depuração no circuito; muitos kits de desenvolvimento; muitos estilos de pacotes (incluindo DIP); FPGA soft core; favorito de longa data dos amadores; menos caro, menos de US$ 0,50. 8 bits: PIC10F, 12F, 16F, 18F. 16 bits: PIC24, dsPIC30, dsPIC33. 32 bits: PIC32MX.

Alguns chips incluem USB integrado ou Ethernet MAC e PHY. Amostras grátis de chips da Microchip. As famílias de 8 bits mais antigas, especialmente PIC16F84, costumavam ser extremamente populares (as versões compatíveis mais recentes têm em osciladores externos). A codificação em linguagem assembly pode ser complicada, devido ao banco de memória, um único acumulador, instruções de salto condicional (em vez de salto) e uma pilha de chamadas de 8 níveis no hardware (não na RAM); mas o tempo de instruções e interrupções é muito previsível. Os dispositivos 10F–16F são parcialmente suportados por compiladores C da SourceBoost e Hi-Tech C, com preços variando de grátis (versões limitadas) a US$ 3.000. Apenas 18F e acima são adequados para programação C e são suportados pelos compiladores C da Microchip (uma versão gratuita limitada está disponível para estudantes). Os dispositivos de 16 bits têm a pilha na RAM e nenhuma troca de banco e podem ser programados com uma variante do compilador GCC C. Os dispositivos de 32 bits usam um núcleo MIPS padrão da indústria (semelhante em recursos ao ARM), com um compilador Microchip C baseado em GCC.

ARM *(multifornecedor)* RISC de 32 bits com instruções opcionais de 16 bits; série ARM Cortex M3, ARM7 e ARM9; menos caro, cerca de US$ 2; alta performance; depuração em circuito; grande variedade de funções e E/S incluídas; C/C++ de código aberto com GUI de depuração GCC e Eclipse (interface gráfica do usuário), também software Arduino para *Due baseado em ARM;* modelo de memória plana e fácil de programar; pincount ÿ28 apenas (sem DIP). Alguns podem ser programados via USB, mas precisam do pod JTAG (US$ 50) para depurar. Disponível como placas de cabeçalho pré-fabricadas de vários fornecedores (US$ 30), protoboards (US$ 60); também Arduino Due (pronuncia-se “doo-way”, $ 50), UDOO (udoo.org, $ 99), Raspberry Pi ($ 30), Odroid ($ 65) e outros.

Fabricantes: ADI, Atmel, Broadcom, Cypress, Freescale, Infineon, Microsemi, NXP, Renesas, Sam Sung, Silicon Labs, ST, TI, Toshiba; disponível como híbrido/FPGA (série Altera SoC, série Xilinx Zynq).

De substituições de 8 bits a iPhones. Pipelining e instruções complexas fornecem muita velocidade, mas tempo de execução menos previsível. *Seria nossa recomendação para começar, se a prototipagem de um design em sua própria placa fosse mais fácil.*

8051 *(vários fornecedores)* 8 bits; evolução do início

ÿ C;

ferramentas de desenvolvimento maduras e kits de desenvolvimento; alguma peculiaridade no código C, devido ao espaço de endereço complexo; alguma depuração no circuito (Silicon Labs); o conjunto de instruções legadas limita as opções de memória, registro e E/S; muitos estilos de pacotes (incluindo DIP); Núcleo flexível FPGA. Bom software de desenvolvimento gratuito (limitado), por exemplo, “Ride” IDE (www.raisonance.com): compilador C, montador, simulador.

Rabbit *(Coelho)* Ênfase em Ethernet e WiFi; disponíveis como módulos ou como chips simples; IDE em linguagem C; kits e ferramentas de desenvolvimento; popular.

[13] Fique por dentro de revistas como *Circuit Cellar, EDN* e *Electronic Products;* distribuidores como DigiKey e Mouser; ou faça uma busca por “< ÿ Cname> tutorial” ou “introdução ao < ÿ Cname>.”

[14] Computador com conjunto de instruções reduzido; o oposto é um conjunto de instruções complexo, CISC.

MSP430 *(TI)* Micropower RISC de 16 bits; popular para controladores de baixa potência, RF e LCD; muitos estilos de embalagem (incluindo DIP). programação JTAG (US$ 75 a US$ 100); compilador de código aberto MSPGCC e versões limitadas de tamanho de código livre de compiladores comerciais.

SH-4 *(Renesas, anteriormente Hitachi)* RISC de 32 bits; o menor pacote é o QFP-208 (LQFP-48 para o SH-2); popular no motor e controle do motor. M16C/R8C são de 16 bits, disponíveis em DIP.

Coldfire *(Freescale, anteriormente Motorola)* Arquitetura incorporada de 32 bits semelhante a 68000; nenhum pacote menor que 64-LQFP; Compilador GNU C; kits de desenvolvimento (Tower System).

ST6/7 *(STMicroelectronics)* 8 bits, disponível em DIP; ST9/10 são de 16 bits, o menor pacote LQFP-64. STR7/9/32 são ARM7/9/Cortex de 32 bits, o menor pacote VFQFN-36 ou LQFP-48.

PowerPC e MIPS *(multifornecedor)* Usado em sistemas incorporados de ponta, como automóveis, redes e vídeo; em contraste, o ARM domina em telefones celulares e PDAs.

Blackfin *(dispositivos analógicos)* RISC de 16/32 bits mais DSP; rápido e sofisticado, otimizado para áudio, vídeo e imagem. Mais fácil do que alguns outros controladores high-end. Compiladores GNU de código aberto, uClinux, FreeRTOS.

Propeller *(Parallax)* processadores paralelos de 8 núcleos e 32 bits; CC–80 MHz; pequena linha de DIP-40/44 ou SMD; filosofia de "por que ter muitos periféricos de hardware embutidos como UARTs e SPI quando você pode colocar oito processadores reais lá, dar a todos acesso ao I/O e escrever boas bibliotecas para bitbang tudo, desde mouses e teclado interface para vídeo analógico (VGA/NTSC)."

Microcontrolador **PSoC** *(Cypress)* de 8 bits com blocos analógicos configuráveis: Op-amp, ADC/DAC, filtro, modulador, correlacionador, detector de pico, etc.

XMOS *(XMOS Ltd.)* Processadores multithreaded de 32 bits orientados a eventos, com eventos e threading em hardware de até 400 MIPS; programação em XC, C/C++, assembly; ferramentas de desenvolvimento gratuitas.

15.3.1 Periféricos no chip

Todas as famílias de microcontroladores incluem programa on-chip e armazenamento de dados e temporizadores/contadores. Eles geralmente oferecem uma seleção de opções como comparador, ADC e DAC; Barramentos I 2C, SPI e CAN; UARTs, USB e Ethernet; e suporte para LCD externo, modulação por largura de pulso (PWM), vídeo e dispositivos sem fio. Aqui está uma lista de alguns chips ou suporte de baixo nível encontrados em microcontroladores contemporâneos, aproximadamente em ordem crescente de nível de complexidade.

A. Baixa complexidade

ADC, DAC, comparador analógico
Ônibus pode
Depuração (JTAG ou interface proprietária de 1 ou 2 fios)
I 2C / SMBus / TWI ("Interface de Dois Fios")
Interrompe, às vezes com prioridade
Digitalização de matriz de teclado
Teclado (serial), mouse
LCD (nu)
PWM
Relógio de tempo real
Interface serial do cartão SIM/cartão inteligente
Portas seriais síncronas (SSPs): SSI, SPI, SSI Microwire
Temporizador, contadores, cão de guarda
UART (RS232, RS485, IrDA), alguns com controle de modem

B. Complexidade de nível médio

AC97 (PCM estéreo Intel Audio 20 bits 96 ksps)
Bluetooth sem fio
Flash compacto (cartão CF)
Ethernet
SRAM externa
GPS
I 2S (Som Inter-IC: CD para DAC a 2,8 Mbps)
IrDA (alta velocidade, até 4 Mbps)
Controle do motor, codificador de
eixo PCMCIA15 ("PC card")
Áudio S/PDIF (AES/EBU) (Dolby Digital ou DTS surround)
Cartões flash SD/MMC
USB 1.1 (Host ou Device, até 12 Mbps)
ZigBee sem fio

C. Alta complexidade

Câmera e sensores de imagem (CMOS, CCD)
DRAM/SDRAM externa
Visor gráfico (LCD de cores nuas)
MMU (Memory Management Unit) com proteção OS
Codificar/decodificar MPEG4
Sistema operacional (Linux, Windows CE, Palm)
PCI, PCIe

15 Às vezes traduzido como "Fabricantes de computadores pessoais não podem inventar acrônimos".

Unidades de armazenamento: ATA, IDE,
SATA USB 2.0 de alta velocidade (480 Mbps)
Vídeo (NTSC, PAL, VGA, DVI, DV)
Wi-Fi (802.11)

Prevemos, com considerável confiança, que a lista irá expandir e que alguns itens serão rebaixados.

Passamos agora a mais quatro exemplos de projeto para ilustrar algumas formas comuns nas quais os microcontroladores são usados no projeto de circuitos embarcados. Esses exemplos tratam de (a) controle de potência CA (no qual um microcontrolador comuta a alimentação da linha, sob a direção de um link serial); (b) um sintetizador de frequência (no qual um microcontrolador executa tarefas entre um usuário e um chip de síntese direta que só entende comandos seriais crípticos); (c) um controlador de temperatura de precisão; (d) uma engenhoca pseudo-Segway™ estabilizada de 2 rodas (que seu inventor chama de “Psegue”).

15.4 Exemplo de projeto 2: controle de energia CA

Em nosso observatório astronômico, temos uma dúzia ou mais de dispositivos alimentados por corrente alternada que precisamos controlar remotamente – coisas como cúpulas e acionamentos de telescópios, aquecedores de espelhos, luzes e câmeras, fontes de alimentação para detectores e processadores e coisas do gênero. Construir um circuito para fazer isso é muito fácil com um microcontrolador. E um benefício de ter alguma inteligência na caixa de controle é que ela pode se lembrar de uma configuração padrão e relatar informações de status (quais saídas estão energizadas, quanta corrente estão usando e assim por diante).

Vamos fazer um exemplo bastante simples aqui, ou seja, um controlador para alternar a alimentação de 110 Vac em duas tomadas, com leitura do estado comandado e confirmação da leitura de que a saída CA real está presente. Além do controle remoto via serial RS-232 ou USB, também permitirá o controle “local” via chaves em seu painel; alguns LEDs indicarão quais saídas estão energizadas.16

15.4.1 Implementação do microcontrolador

A Figura 15.4 mostra o circuito. Para variar, escolhemos um modesto membro da popular família PIC; a parte específica (PIC16F627, DIP-18, $ 2) inclui a porta serial necessária UART (receptor-transmissor assíncrono universal), um oscilador interno, memória de dados não volátil (EEPROM) que garante a resistência de um milhão de ciclos de gravação/apagamento e muitos pinos de porta digital. Não precisamos de muito mais nada que o fabricante tenha colocado (multiplexador analógico, comparador, hardware PWM, velocidade de 20 MHz), mas o microcontrolador custa apenas $ 1,50, uma pequena fração do custo total das peças, então, ei , por que reclamar.

A maneira mais fácil de alternar a alimentação CA de um sinal lógico é usar um *relé de estado sólido* (SSR; consulte §§12.7.5 e 12.7.6), que consiste em um módulo selado contendo um SCR ou triac optoacoplado. Esses dispositivos estão disponíveis em vários fabricantes.17 Eles aceitam um inversor de nível lógico CC (geralmente especificado como 3–15 Vcc ou 3–32 Vcc), consumindo alguns na faixa de 3–15 mA. A saída é bem isolada (normalmente especificada como 3,5–5 kV) e a maioria dos SSRs implementa a ativação com tensão zero e o desligamento com corrente zero. As classificações de carga típicas são 10 A ou 20 A a 280 Vac, mas você pode obter unidades padrão de até 100 A e 660 Vac.

Em nosso exemplo, usamos um bit de porta digital para conduzir o SSR, configurado para ligar a lógica BAIXA; essa escolha de polaridade é boa aqui, porque os pinos da porta especificam uma tensão de saturação típica de ÿ0,35 V ao dissipar os 15 mA necessários, contra ÿ1,3 V (abaixo do trilho positivo) ao *fornecer* essa corrente. Um LED do painel acompanha, indicando o acionamento do relé.

Os relés de estado sólido têm alguma corrente de fuga quando desligados, normalmente especificados na faixa de 0,1 a 10 mA; então conectamos a CA comutada com um resistor de 15k.18 A corrente de ~8 mA através dela, quando ligada, é usada para acender um LED do painel (indicando a entrega de CA para a carga) e também para acionar um opto-isolador para sinalizar ao microcontrolador que está tudo bem. Este optoacoplador é projetado para operação CA, com seus LEDs internos back-to-back; esta unidade em particular tem isolamento de 5 kV, taxa mínima de transferência de corrente de 50% (proporção da corrente de saída do fototransistor para a corrente da unidade de LED) e custa cerca de US$ 0,25 em quantidade moderada.

Exercício 15.2. Qual é o propósito do resistor de 1k? Por que um diodo é necessário no LED indicador?

Voltando ao circuito do microcontrolador, aproveitamos o modo de entrada digital "weak pullup" interno (especificado como 50–400 ÿ A) para as chaves de entrada: um botão de contato momentâneo (para iniciar o controle local) e um par de alavancas de contato momentâneo com retorno por mola

[16] Se você quiser economizar tempo (e enganar a si mesmo em relação aos estudos), pode simplesmente jogar dinheiro no problema: existem unidades bem projetadas para fazer esse trabalho, por exemplo, da Pulizzi Engineering (Eaton Corporation) ou da APC (Schneider Elétrico). Optamos pela oportunidade educacional, em parte graças a uma doação da Fundação Shulsky.

[17] Por exemplo, Crouzet, Crydom, Magnecraft, Omron, Opto22, P&B e Teledyne.

[18] Medimos o vazamento de estado desligado para dois SSRs e encontramos ÿ2 mA e ÿ6 A para dois SSRs Crydom 240 Vac (um D2425 e EZ240D18, ÿ classificados em 25 A e 18 A, respectivamente). Eles especificam vazamentos de pior caso de 10 mA e 100 A, respectivamente.
ÿ

Figura 15.4. Caixa de controle de alimentação CA dupla, com controle remoto (serial) ou local. O SSR dissipa 10 W a uma corrente de carga de 10 A, portanto, precisa de um dissipador de calor adequado. Em vez disso, pode ser usado um relé mecânico (por exemplo, Panasonic ALE12B05, classificação de contato de 277 Vac e 16 A, com guias faston como o Crydom SSR). Para este último, você precisará de um transistor para acionar sua bobina de 80 mA; mas a boa notícia é seu preço: US$ 1,60 em quantidades unitárias, em comparação com US$ 35 para o SSR.

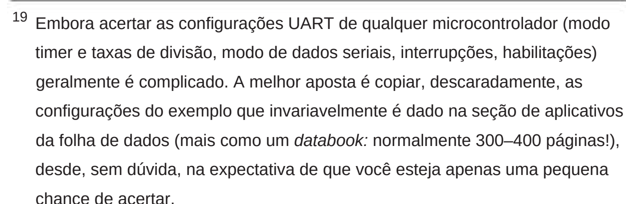
interruptores para comandar as saídas on ou off enquanto em controle local. Um par de LEDs do painel indica se a unidade está sob controle local (ou seja, interruptores do painel) ou controle remoto (ou seja, de um computador host, conectado a este dispositivo via RS-232 ou links seriais USB).

Escolhemos este controlador em particular com base em seu oscilador interno. . . e então descobrimos que não é suficientemente preciso. A precisão especificada é de ± 7%, não boa o suficiente para comunicação serial assíncrona 8N1: conforme explicado em §14.7.8, o dispositivo receptor deve amostrar os 8 bits de dados no meio de cada célula de bit, usando seu próprio relógio de transmissão assíncrono, tendo sincronizado com o bit START no início de cada byte. Portanto, um erro de taxa de clock de 7% entre o transmissor e o receptor desliza a amostra do último (8º) bit para a célula de bit anterior ou seguinte.

A solução é usar um oscilador externo de ad

igualar a precisão (por exemplo, um módulo oscilador de cristal, que custa cerca de US$ 2), ou colocar um cristal nu externo ou ressonador de cerâmica entre os pinos OSC1 e OSC2 que o microcontrolador fornece para esta finalidade. Escolhemos o último, usando um conveniente ressonador de 3 pinos que inclui os capacitores necessários; este filhote custa cerca de US$ 0,40, com uma precisão especificada de ±0,5%.

Este microcontrolador possui um UART interno que torna comunicação serial bastante simples.19 O único hardware externo necessário para conectar diretamente a uma porta RS-232 "COM" do computador host é um conversor de nível (níveis RS-232 são bipolaridade; consulte §14.7.8). Escolhemos o popular MAX202, que funciona a partir da fonte única de +5 V e cria os ±10 V necessários com um inversor-dobrador de tensão da bomba de carga interna; requer quatro capacitores de 0,1 F. ÿ



[19] Embora acertar as configurações UART de qualquer microcontrolador (modo timer e taxas de divisão, modo de dados seriais, interrupções, habilitações) geralmente é complicado. A melhor aposta é copiar, descaradamente, as configurações do exemplo que invariavelmente é dado na seção de aplicativos da folha de dados (mais como um *databook:* normalmente 300–400 páginas!), desde, sem dúvida, na expectativa de que você esteja apenas uma pequena chance de acertar.

Se você não quiser se incomodar com esses detalhes, pode optar pelo MAX203 com capacitores internos; mas você pagará cerca de US$ 5, em comparação com US$ 0,75 para o tradutor básico. Diante dessa escolha, a maioria dos designers segue o caminho mais barato.

Se você deseja se comunicar via USB, você tem várias opções. Você pode escolher um microcontrolador com suporte USB interno, por exemplo o PIC18F2450. As complexidades do USB não devem ser subestimadas, no entanto. Você precisa lidar com protocolos USB, seja com drivers de software personalizados ou implementados usando uma das dezesseis "classes de dispositivo" estabelecidas, como dispositivo de interface humana (teclado, mouse), dispositivo de armazenamento em massa (flash ou disco de memória), impressora , dispositivo de imagem (câmera), dispositivo de comunicação (Ethernet). Uma abordagem atraente e mais simples é manter o design serial assíncrono e usar um chip de interface bem projetado, como o FT232R, que se destina exatamente a esse tipo de aplicação e custa cerca de US$ 4,20 . vem com todos os drivers necessários e outros softwares para o computador host; é isso que você usa inicialmente para configurar parâmetros como taxa de transmissão e modo, que a ROM EEP do chip lembra.

Da mesma forma, você pode adaptar a interface UART nativa deste circuito para Ethernet, com o uso de um módulo Ethernet-para serial comercial como o Lantronix XPort. Este elegante dispositivo se parece com um RJ45 (conector Ethernet) um tanto alongado, com todos os componentes eletrônicos dentro; ele ainda tem as luzes indicadoras de atividade de rede verdes e amarelas usuais. Custa cerca de $ 50.

Terminamos o tour do circuito com o fim do microcontrolador dos opto-isoladores. Eles têm uma saída de fototransistor flutuante, que usamos para puxar um par de bits de entrada da porta digital para o nível BAIXO quando a corrente do LED flui na extremidade de detecção CA. (Os LEDs desligam por uma parte de cada meio ciclo, de cerca de 1 ms, daí os capacitores de 100 nF para manter as entradas digitais BAIXAS durante essas breves interrupções.) É tentador explorar os pullups "fracos" internos, mas eles 'não são fracos o suficiente: de acordo com as especificações, a corrente de pull-up pode ser tão grande quanto 0,4 mA, o que exigiria 1 pacitores para manterÿa ÿF ca tensão nas portas de entrada abaixo de 0,4 V durante as lacunas de ~1 ms. A solução aqui é repudiar tais táticas de intimidação: para retomar o controle da situação, desligou os pullups internos e usou pullups externos "ainda mais fracos" cujos capacitores de 50 Uma corrente requer apenas 0,1 ÿ ÿ

15.4.2 Código do microcontrolador

A codificação para o controle de energia CA é direta. Dê uma olhada no Pseudocódigo 15.2: ao ligar, você desabilita os bits de porta que energizariam os relés, configura os bits de porta (como entradas ou saídas e com ou sem pullups), configura a taxa de baud da porta serial e o modo , e habilite a reinicialização do hardware tanto na queda de energia ("brownout") quanto na falha do programa ("watchdog"). Então, a monótona vida diária deste microcontrolador consiste em sondagem perpétua das entradas do switch (não debounced), procurando por qualquer mudança de estado da varredura anterior, juntamente com um chute para o watchdog.21 (É bom que os microcontroladores não Não fique entediado.) A ativação do botão de modo LOCAL faz com que o dispositivo entre no modo local, no qual outros botões são acionados, conforme indicado. O programa no Pseu docode 15.2 executa um "debounce de software" atrasando a próxima varredura das entradas do switch por 10 ms após a primeira detecção de qualquer alteração.

Este loop principal é executado para sempre. Mas a porta serial não foi ignorada: durante a configuração, o UART foi configurado para gerar uma interrupção ao receber um caractere de entrada. Portanto, um comando de entrada na porta serial causa o desvio do programa para o manipulador de interrupção, onde os sete comandos possíveis (cada um consistindo em um caractere imprimível de um único byte) são analisados e executados. Essas ações consistem principalmente em definir ou limpar um único bit (em uma porta, para controlar um relé; ou um registro, para definir o modo local/remoto). O comando "s" (solicitação de status) é mais interessante, exigindo que o processador colete os quatro bits que indicam o status do relé (tanto o bit de saída comandado que aciona o relé quanto a indicação ac optoacoplada, para cada um dos dois canais), e o bit de modo; aqueles são mascarados e deslocados para um registrador, então enviados de volta como um único byte binário.

A. Alguns comentários

(a) Os microcontroladores geralmente incluem alguma memória de dados não volátil, que pode ser usada para salvar o estado das saídas em caso de falha de energia ou reinicialização; este controlador possui 128 bytes de EEPROM para esta finalidade.

[20] Você pode obtê-lo em várias encarnações físicas, por exemplo, um cabo com um conector USB em uma extremidade (na qual o chip está oculto) e um conector serial de 9 pinos (com níveis de tensão RS-232) na outra; alternativamente, você pode obtê-lo com fios flutuantes na extremidade serial, configurado para operação em nível lógico de 3,3 V ou 5 V, parte atualizada. O número de peça atualizado é FT2232.

[21] A maioria dos engenheiros insiste em chamar isso de "chutar o cachorro". Mas nosso peculiar colega Frank Cunningham apontou que o que você está realmente fazendo é *acariciar* o cachorro: quando você chuta um cachorro, ele late imediatamente; quando você acaricia um cachorro, ele late apenas quando você para de acariciá-lo.

Pseudocódigo 15.2 pseudocódigo de controle de energia ac

```
Configurar
    Portas: desabilitar (setbits) saídas de relé (A0, A1)
        setports LEDs (A2, A3) e relés (A0, A1) como saídas setports switches
        (B3–B7) e opto (A4, A5) como entradas set switch portas de entrada
        (B3–B7) como pullups fracos configure UART: baudrate, 8N1,
        interrupções, ativar
    Baixo consumo de energia: desative os periféricos não utilizados
    Reinicialização automática: habilite "redefinição de queda de energia" e watchdog

Interruptor Polling Loop
    lê interruptores (porta B) se
    (qualquer bit de comutação foi alterado)
        se comutador de modo local (B3) ativado, defina modo=local se
        for modo=local e qualquer comutador foi HÿL ligue ou desligue
            essa saída de relé
        atraso 10 ms ("debounce de software") chutar
    a repetição do cão de guarda Mudar Loop de
    votação

Serial Interrupt Handler obtém o
    caractere se "r" ou "R",
        define o modo = remoto se "l" ou "L",
        define o modo = local se "s" ou "S",
        monta o byte de status de 5 bits e envia se o modo = remoto se
    "A", liga o relé A

        se "a", desligue o relé A se
        "B", ligue o relé B se "b",
        desligue o relé B
```

(b) É melhor manter rotinas de serviço de interrupção curtas e simples; em particular, você evitaria tarefas que prendem o processador na rotina de serviço enquanto espera a conclusão de um periférico lento (por exemplo, uma porta serial!), porque isso pode fazer com que o loop principal perca um evento de entrada de comutação. Aqui está tudo bem, porém, porque cada comando de porta serial e cada resposta é um único byte, então a rotina não precisa esperar por um sinalizador de ocupado para limpar.[22]

[22] Existe um padrão, conhecido como SCPI (Standard Commands for Programmable Instruments), que especifica um conjunto de comandos e um syn tax para comunicação com instrumentos programáveis. O SCPI é um pouco prolixo, mas claro, e tem sido amplamente adotado por fabricantes de instrumentos eletrônicos (por exemplo, Agilent, Fluke, Keithley, LeCroy, Rohde & Schwarz e Tektronix). Por exemplo, para ler uma tensão, você pode enviar o comando MEASure:VOLTage:DC? (os caracteres minúsculos são opcionais). A resposta da medição é retornada em um formato definido.

15.5 Exemplo de projeto 3: sintetizador de frequência

Nosso próximo exemplo ilustra uma aplicação comum de microcontroladores embutidos, ou seja, seu uso para gerenciar comunicações entre um painel de instrumentos (ou interface de computador) e alguns circuitos que requerem programação e controle digital. A Figura 15.5 mostra um sintetizador de frequência de dois canais, usando um dos elegantes chips de síntese digital direta (DDS) da Analog Devices (§7.1.8).

Escolhemos o AD9954 (uma das três dúzias de ofertas atuais de DDS), que sintetiza uma onda senoidal de alta qualidade por meio de pesquisa de tabela interna e conversão D/A. Ele pode gerar frequências de saída de CC a 160 MHz, com resolução definida pela "palavra de sintonia" de 32 bits; que corresponde a ~0,1 Hz quando um oscilador interno de 400 MHz é usado para sincronizar o chip. Embora você possa obter chips DDS mais rápidos, este possui excelente pureza espectral, devido ao seu DAC de saída de 14 bits; isso se traduz em uma onda senoidal de saída limpa,

Figura 15.5. Um microcontrolador é ideal para fazer interface entre chips programados digitalmente (aqui um par de sintetizadores de frequência DDS, com atenuadores programáveis) e um conjunto de controles e exibições de painel operados por humanos. E a interface serial do C facilita a adição de controle remoto (aqui um par de sintetizadores de frequência DDS, com atenuadores programáveis, veja a Figura 15.6).

com baixo ruído de fase e "spurs" (componentes de frequência espúria).

Esse chip DDS, que custa cerca de US$ 25, não fará muita coisa até que você o programe por meio de sua porta SPI de 4 fios. Você pode imaginar a interface do DDS com um laptop e executar algum software nele para que você possa programar o chip para a frequência desejada. Mas o que você realmente gostaria é de um bom conjunto de controles de painel utilizáveis por humanos – um botão para discar a frequência e a amplitude e um visor numérico para mostrar esses valores (Figura 15.6). Isso é feito melhor com um microcontrolador embutido. E, é claro, esse controlador pode aceitar entradas por meio de uma porta USB ou Ethernet; portanto, depois de construir este instrumento, você também pode adicionar controle digital remoto.

O diagrama de blocos (Figura 15.5) mostra o microcontrolador controlando os chips DDS (por meio de suas portas seriais SPI) e os atenuadores digitais (por meio de um protocolo semelhante de 2 fios, descrito em sua folha de dados). Os chips sintetizadores precisam de uma referência de clock precisa de 400 MHz. Isso é gerado por seu multiplicador de frequência de loop de bloqueio de fase (PLL) interno a partir de uma referência de frequência inferior externa; escolhemos um oscilador de cristal de 25 MHz (com multiplicação on-chip ×16), que também pode convenientemente cronometrar o microcontrolador.

No lado do usuário existem botões e um dial (um "codificador rotativo incremental" óptico) para inserir e alterar parâmetros (frequência, amplitude, fase); e há um visor de caracteres fluorescente de 4 linhas (VFD) a vácuo que é compatível com o LCD mais comum mostrado na fotografia, para informar ao usuário o que está acontecendo. Os VFDs custam mais do que os LCDs, mas são lindos. O controle remoto se comunica através do UART serial on-chip, que requer apenas uma conversão de voltagem para uma porta RS-232 herdada; ou você pode usar um dispositivo inteligente de conversão de formato serial como o FT-232 da FTDI (para USB) ou o XPort da Lantronix (para Ethernet).23

Embora mostrado casualmente no diagrama de blocos, há detalhes adicionais nessas conexões de interface com o usuário. O codificador rotativo, por exemplo, gera um par de ondas quadradas, em quadratura de 90°, a partir das quais você pode descobrir em que direção (e quanto) ele girou. Em codificadores caros, use contatos mecânicos, portanto, você deve se preocupar com o salto de contato usual. No entanto, fomos de primeira classe aqui, com um codificador óptico (dura para sempre) que gera saídas de nível lógico limpo (sem salto!). o

[23] Dispositivos adicionais de interface Ethernet estão disponíveis em empresas como Digi International, Ipsil, Connect One e WIZnet.

o firmware correspondente simplesmente registra o nível na outra linha quando detecta uma transição em qualquer uma das duas entradas.



Figura 15.6. Sintetizador de frequência DDS duplo da Figura 15.5, com controles de painel (onze botões e um dial codificador giratório) e leitura. (Projetado, construído, codificado e documentado com excelência por Jonathan Wolff; consulte www.artofelectronics.com/synthesizer)

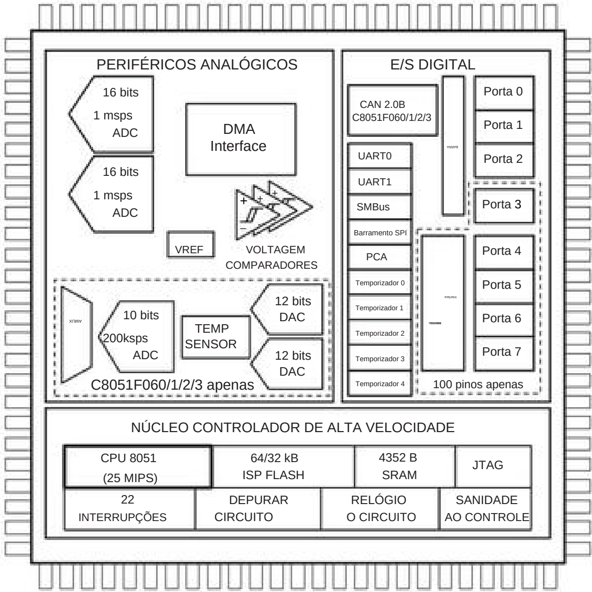


Figura 15.7. O venerável 8051 percorreu um longo caminho desde sua estreia em 1980, com muitas funções adicionadas e um ciclo de clock por instrução (o original exigia 12) em variantes contemporâneas como a série C8051F060 da Silicon Labs, da qual este diagrama é adaptado, com suas permissão. (Curiosamente, a folha de dados de 328 páginas não revela nada sobre o significado ou a função de "controle de sanidade".)

Os botões são mecânicos e propensos a ressaltos de contato; eles devem ser eliminados no software, como no exemplo anterior de controle de energia CA. Conectamos cada botão ao seu próprio pino de porta de entrada (configurado com pullup interno fraco), que é a configuração mais simples (embora não seja a mais econômica). Esse microcontrolador em particular tem 59 pinos de porta digital espalhados em seu pacote de 100 pinos (Figura 15.7), portanto é improvável que acabemos. A alternativa é uma configuração de comutador de matriz, com linhas de linha e coluna que são interligadas pelos comutadores individuais, o que aqui exigiria quatro pinos a menos; discutiremos isso, juntamente com outras rugas, em breve.

15.5.1 Código do microcontrolador

As tarefas do microcontrolador são, resumidamente: (a) configurar modos de bit de porta, parâmetros UART e interrupção, porta SPI e watchdog; (b) inicializar os chips DDS e atenuadores para o último estado armazenado (mantido na memória não volátil) e enviar os parâmetros operacionais atuais (frequência, amplitude, fase) para o display VFD; (c) executar para sempre um loop principal que chuta o watchdog, verifica o movimento do botão giratório, as atuações dos botões e um sinalizador de comando serial (definido pelo manipulador de interrupção serial) e age de acordo; (d) serviço UART interrompe (independente do loop principal) acrescentando caracteres a um buffer de linha e configurando um sinalizador de software ("serial cmd") ao receber um caractere de nova linha (fim do comando).

A listagem no Pseudocódigo 15.3, embora um pouco abreviada para este exemplo, explica isso com mais detalhes.

A. Alguns comentários (Hardware)

(a) O diagrama de blocos mostra um controle de amplitude relativamente simples, com um atenuador digital fornecendo atenuação de 0 a 30 dB em etapas de 0,5 dB. Você pode fazer muito melhor, em alcance, tamanho do passo e calibração, usando a inteligência e a memória do microcontrolador: o sintetizador na fotografia usa duas camadas adicionais de controle de amplitude, ou seja, um atenuador fixo de 30 dB que é ligado para alcançar 60 dB e ajuste fino (±6%) da "corrente de referência" do chip DDS (através de um EEpot) para fornecer resolução de 0,1 dB. Mais um truque é necessário para fazer tudo isso valer a pena: o usuário inicialmente calibra o instrumento, relatando os níveis de sinal medidos em várias configurações de frequência e amplitude em toda a faixa, conforme solicitado pelo firmware; o microcontrolador armazena esses dados de calibração em memória não volátil, recuperando-os para produzir uma característica de amplitude de saída linear e precisa. (b) A forma de onda de saída do DDS é atualizada na frequência de clock de referência interna, neste caso fref=400 MHz, gerando amostras sucessivas da aproximação "escada" de saída para uma onda senoidal. O sinal de saída resultante, configurável de 0 a 160 MHz, contém componentes de frequência fora da banda espúrios, o mais baixo dos quais está em

Pseudocódigo 15.3 Pseudocódigo do sintetizador

```
Configurar
    Portas: botões de pressão de portas de configuração e dial rotativo como entrada
        portas de configuração para atenuador como saídas portas de configuração
        para VFD como saídas ou entradas configurar UART: taxa de transmissão,
        8N1, interrupções, habilitar configuração de porta SPI

    Reinicialização automática: habilitar brownout e watchdog timer (timeout = 1s)
    Leia o estado armazenado: copie o estado armazenado NV para os registros
        ativos, limpe e recarregue o VFD e o DDS dos registros ativos

Main Loop
    kick the watchdog
    read switches e dial giratório se
    (qualquer switchbit debounced mudou) se (freq,
        ampl, or phase), definir novo modo se (seta
        para cima/baixo ou dial giratório), incrementar/diminuir a atualização do registro
            DDS ou atenuador e exibir o comando de análise if (bit cmd serial), limpar o
    incremento/decremento do bit cmd serial correspondente, atualizar o DDS ou o
            atenuador e exibir

    repetir loop principal

Serial Interrupt Handler
    acrescenta caractere ao buffer de
    linha se nova linha, defina flagbit serial cmd
```

fspur=fref-fout. É por isso que os filtros passa-baixo são necessários nas saídas DAC do DDS; normalmente você usaria um filtro elíptico multisseção *LC* com uma característica de corte preciso em fc ~180 MHz. As saídas DAC são *correntes diferenciais,* melhor filtradas com um filtro diferencial simétrico, um exemplo do qual é mostrado na folha de dados de 40 páginas.

(c) Com chips DDS duplos configurados para a mesma frequência, você pode controlar a diferença de fase entre as duas saídas, desde que os chips tenham um clock de referência comum. Este DDS específico aceita uma palavra de deslocamento de fase de 14 bits, equivalente a passos de 0,22ÿ na fase relativa.

(d) Usamos bits de entrada de porta individuais para cada ton pushbut, com um retorno de terra comum, uma abordagem perfeitamente razoável aqui com apenas 11 botões e um microcontrolador com 100 pinos. A alternativa é usar uma *matriz de linha e coluna,* com os interruptores conectando as interseções (Figura 15.8). Aqui, as linhas das colunas são controladas por pinos de saída e as linhas são conectadas como entradas com pullups internos. Para consultar os interruptores, o microcontrolador puxa as linhas da coluna sucessivamente para BAIXO, observando os níveis de entrada retornados das linhas das linhas; o debouncing é feito em software, pois estava com linhas de entrada dedicadas. A codificação de matriz é eficiente quando você tem muitos switches, porque o número de pinos de E/S usados é a soma do número de linhas e colunas, em vez de seu produto. Além disso, em alguns casos, você é forçado a fazer dessa maneira, porque o switch array é construído como uma matriz; um exemplo é um teclado hexadecimal 4×4. Um cuidado: um teclado matricial gera saídas falsas se três (ou mais) teclas forem pressionadas simultaneamente; descobrir isso por si mesmo.

B. Alguns comentários (Firmware)

(a) Ter um microcontrolador responsável fornece uma boa oportunidade para adicionar recursos e funções que você nem pensaria de outra forma. Por exemplo, o sintetizador na fotografia implementa um bom algoritmo (que não vimos em nenhum outro lugar) para determinar como os dígitos são controlados pelo dial e pelos botões. Os botões de seta para a esquerda e para a direita fazem a coisa óbvia, ou seja, escolher o dígito (“ativo”) que está sendo modificado; e os botões para cima e para baixo aumentam e diminuem esse dígito (com carry ou

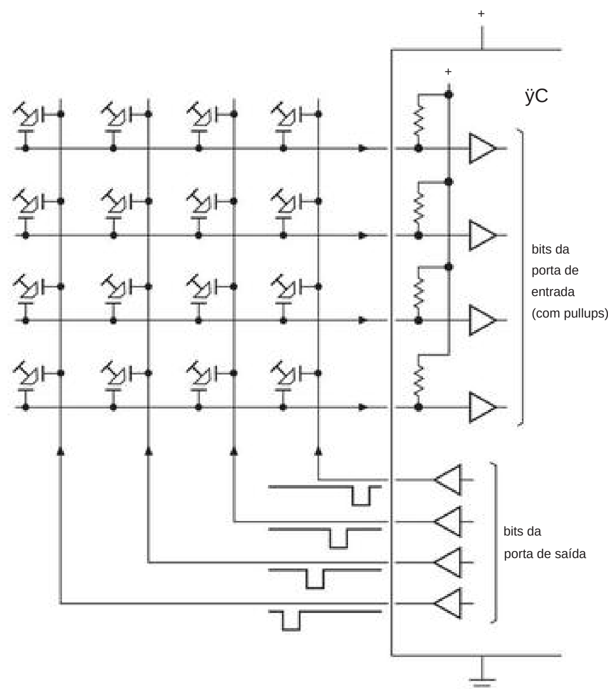


Figura 15.8. Uma matriz de interruptores pode ser consultada em um arranjo de matriz de linha e coluna, aqui ilustrado com um teclado 4×4. Isso reduz o número de pinos de porta para Nmatrix = *r* + c, em comparação com o Nindiv = *r* ×*c* necessário para leituras dedicadas individuais.

emprestar), assumindo que você deseja definir uma frequência exata. Mas o mostrador é tratado de maneira diferente: se você mover o dígito ativo para a esquerda, o mostrador atuará sobre esse dígito e todos os zeros irão para a direita, supondo que você queira mover a frequência mais rapidamente e sem a bagagem de sobras menos. Dígitos significantes. Por outro lado, mover o dígito ativo para a direita e girar o dial preserva os dígitos mais significativos para a esquerda, assumindo que você está zerando a frequência alvo. Desejamos que instrumentos comerciais usem esse algoritmo sensato!

(b) Assim como acontece com o mouse de um computador, o movimento do dial do painel é traduzido por um algoritmo de aceleração, de modo que um giro rápido do dial leva você mais longe e mais rápido.

(c) O firmware se encarrega de capturar os dados de calibração inicial e interpolá-los a partir desses dados durante a operação subseqüente, conforme descrito acima. Um microcontrolador permite programar varreduras de frequência – rampas lineares, rampas cíclicas ou varreduras não lineares (por exemplo, uma varredura logarítmica, com tempo igual por oitava). (d) E, claro, um microcontrolador reprogramável permite corrigir bugs e inventar novos recursos (com novos bugs).

15.6 Exemplo de projeto 4: controlador térmico

Aqui está um exemplo de controle embutido a serviço de, bem, *controle:* imagine que queremos manter estável a temperatura de um banho de líquido bem agitado, no qual colocamos um elemento de aquecimento e um sensor de temperatura preciso. À primeira vista, a solução parece fácil: basta aplicar bastante feedback, usando como sinal de erro a diferença entre a temperatura medida (relatada pelo sensor) e a temperatura alvo desejada. Aumente o ganho do loop até que o erro de temperatura seja pequeno o suficiente, assim como você faria com um amplificador de tensão com amplificador operacional.

Este é um problema clássico de "controle", encontrado em ambientes industriais, como fábricas de produtos químicos (controle de temperatura e fluxo), manufatura e robótica (controle de movimento) e similares (Figura 15.9). A realimentação simples funciona mal em tais situações, porque o sistema controlado tem atrasos de tempo (e, portanto, mudanças de fase atrasadas) que promovem a oscilação; e reduzir o ganho de loop para evitar tal oscilação deixa muito pouco ganho de loop, de modo que o sistema controlado se desvia da condição desejada e se move lentamente para corrigir distúrbios.

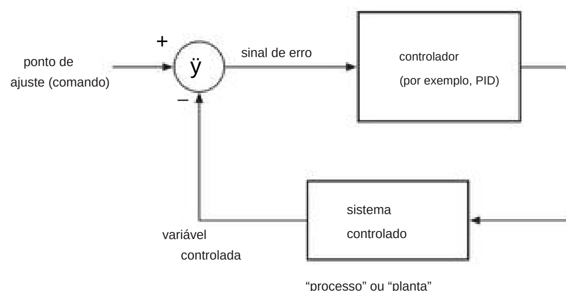


Figura 15.9. Sistema de controle clássico (ou "servo-"). Para o nosso exemplo, o setpoint é a temperatura desejada, a "planta" é o aquecedor-banho-água-sensor, e o controlador é implementado com uma entrada micro C's compara a temperatura controlador. o ÿ desejada e real, e sua saída PWM alimenta o aquecedor de imersão.

Existe uma vasta literatura sobre esse assunto e sobre os princípios de feedback subjacentes ao "ajuste" de um controlador para corresponder às propriedades do sistema controlado (chamado, curiosamente, de "planta", provavelmente em um retrocesso à revolução industrial).). A abordagem geral é construir (com métodos analógicos ou digitais) o chamado controlador "PID" (proporcional, integral, diferencial), no qual o sinal de erro versus tempo é submetido a esses três processos e, em seguida, combinados em proporções cuidadosamente escolhidas para criar o sinal de correção que é aplicado ao sistema controlado. O procedimento para ajustar os coeficientes é basicamente direto (embora seja considerado por muitos como uma arte misteriosa), e é melhor compreendido com um diagrama de Bode como os do Capítulo 4. Embora seja fácil fazer amplificadores,

integradores e diferenciadores com amplificadores operacionais, microcontroladores são naturalmente adequados para controle PID; eles também têm benefícios adicionais, como a capacidade de relatar status, aceitar e modificar parâmetros de ajuste e executar algoritmos de controle não linear.

15.6.1 O hardware

Sensores de temperatura populares incluem um termopar (uma junção de dois metais diferentes, que gera uma tensão, tipicamente 20–40 V/ÿC), um termistor (um material resistivo com coeficiente de ÿ temperatura negativo, tipicamente de -4%/ÿC), um IC de sensor de temperatura baseado em silício (que explora o tempco negativo de ÿ2,1 mV/ÿC da queda direta de um diodo) ou um RTD de platina ("Resistance Temperature Detector", um resistor de fio enrolado, geralmente padronizado em 100 ÿ a 0 ÿC, cuja resistência aumenta 0,385%/ÿC).

Esses sensores diferem em faixa de temperatura, precisão e estabilidade, velocidade de resposta, tamanho e custo. Para este exemplo (e sem abrir excessivamente esta enorme lata de minhocas) escolhemos o RTD, principalmente pela sua boa estabilidade; ele também possui excelente linearidade e uma ampla faixa de temperatura operacional (-200ÿC a +600ÿC). Assim como outros sensores de temperatura, ele está disponível em um bom conjunto de sonda à prova d'água. Na outra ponta – o aquecedor – basta um resistor de potência, mais uma vez em um pacote submersível (um "aquecedor de imersão").24 Existem várias possibilidades para o acionamento do aquecedor. A maneira mais simples é ligá-lo quando precisar de calor e desligá-lo quando não precisar. Isso é chamado de controlador "bang-bang" e é assim que os sistemas de aquecimento doméstico funcionam. É garantido que produzirá um ciclo da temperatura em torno do alcatrão, que é inferior ao ideal. É eficiente, no entanto, porque o transistor de acionamento opera como um interruptor, com muito pouca dissipação de energia.

Uma maneira melhor, se o sistema permitir, é o controle proporcional. Aqui poderíamos utilizar um estágio de saída de potência linear, variando o acionamento do aquecedor de forma contínua, de acordo com o comando do controlador. A desvantagem é que o estágio do driver linear tem que dissipar muita energia. É aqui que a modulação por largura de pulso se encaixa. Operando o driver de saída como um interruptor, digamos, 10 kHz,25 e variando o ciclo de trabalho (a fração ON de cada ciclo de comutação), obtemos o melhor dos dois mundos: controle proporcional e dissipação mínima do driver. Por esta razão, o PWM é popular em outras aplicações "lineares", por exemplo, amplificadores de áudio (consulte §2.4.1C) ou acionamentos de motores.

A Figura 15.10 mostra o circuito para um controlador de temperatura microcontrolador. Parece bastante simples, mas como sempre o diabo (e a alegria) está nos detalhes.

A. O sensor

Escolhemos uma faixa nominal de controle generosa de ÿ50ÿC a +150ÿC , sobre a qual a resistência da sonda de temperatura RTD padronizada "100ÿ" vai de 80ÿ a 160ÿ, aproximadamente.26 Para manter os efeitos de auto -aquecimento insignificante, usamos uma corrente de polarização de 2 mA, que produz tensões correspondentes de 160 mV e 320 mV no RTD e uma dissipação máxima de autoaquecimento de apenas 0,6 mW.

Estas são tensões pequenas, em comparação com as faixas típicas de conversão ADC de 1,25 V, 2,5 V ou 5 V; então precisamos de algum ganho, e precisamos de um deslocamento, para corresponder ao alcance total do ADC. Um arranjo de ponte, como mostrado, produz um sinal diferencial sem o deslocamento; nós escolhemos as relações do resistor para saída zero (diferencial) na escala média (+50ÿC), então o sinal diferencial vai de ÿ80 mV a +80 mV. Observe a conexão de 4 fios ("Kelvin"), para eliminar os efeitos da resistência do cabo e do contato. Agora precisamos de algum ganho.

B. Os microcontroladores

amplificadores frontend vêm em tal variedade que normalmente você pode encontrar um com apenas os recursos que você deseja. A série ADuC800 e a série ADuC7000 de "microcontroladores analógicos" da Analog Devices destinam-se a aplicações de conversão sensíveis, e esta parte específica tem apenas a combinação necessária aqui: um verdadeiro estágio de entrada diferencial, seguido por um amplificador programável de baixo ruído e ADC27 de 16 bits que pode ser operado em um modo de "corte" de precisão (análogo aos amplificadores operacionais do chopper) para baixo deslocamento e desvio de CC. A folha de dados inclui tabelas de precisão do conversor versus taxa de conversão, mostrando 15 bits de resolução para a faixa de ±80 mV a 50 conversões/s no modo de corte; que corresponde a 6 miligraus, bastante bom para este

Sem um microcontrolador tão conveniente (que a Ana log Devices chama de "microconversor"), a alternativa é usar um amplificador de instrumentação diferencial, de preferência um

[24] Um bom lugar para encontrar essas coisas no impressionante *manual de temperatura* da Omega Engineering.

[25] Os controladores de temperatura comerciais destinados ao uso em sistemas com grande massa térmica e resposta lenta normalmente executam seu PWM em frequências muito baixas, na região de Hz ou mais lentas, permitindo o uso de um relé em vez de uma saída de chave eletrônica.

[26] Tabelas precisas dos valores nominais da lista de resistência Pt-RTD de 80,31ÿ e 157,33ÿ nessas temperaturas, normalmente com precisão de alguns décimos de ohm.

[27] O ADuC848 possui um ADC de 16 bits; o ADuC847 semelhante possui um ADC de 24 bits e o ADuC845 possui dois ADCs de 24 bits.

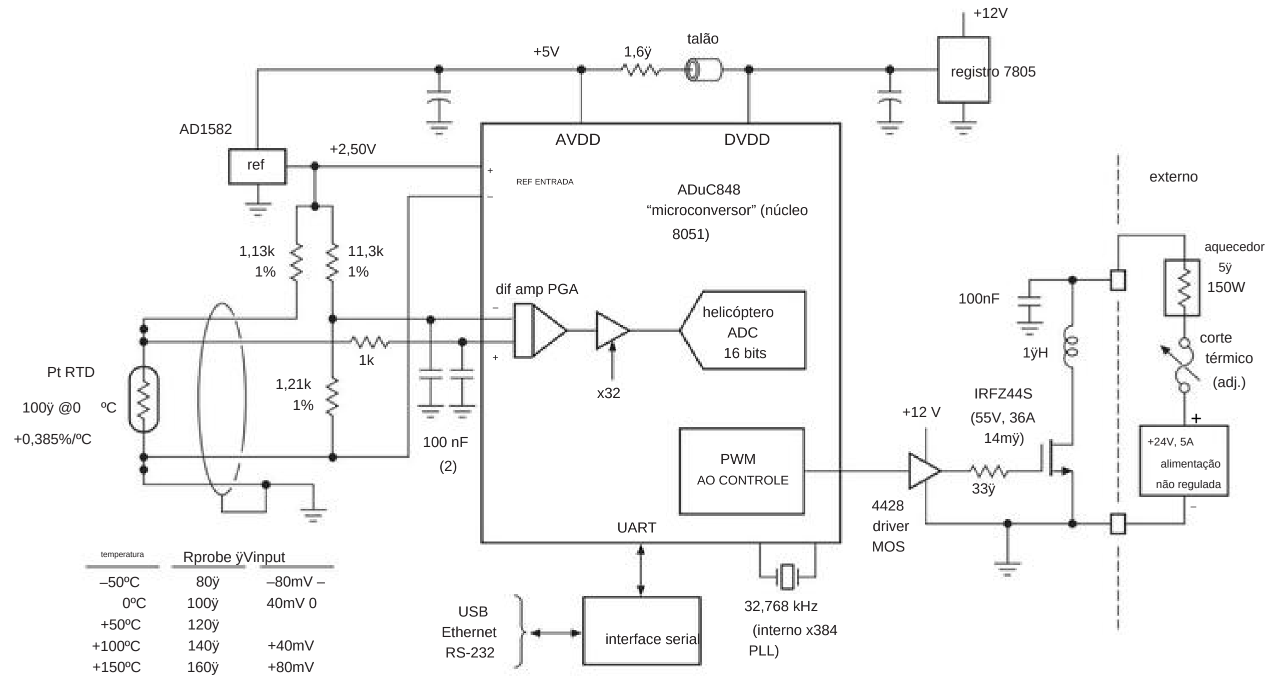


Figura 15.10. Controlador de temperatura, com sensor RTD de platina e aquecedor PWM linear. O "microconversor" ADuC848 inclui um ADC de 16 bits e um amplificador diferencial de ganho programável, voltado para aplicações analógicas que requerem precisão e baixo ruído. O corte térmico reajustável é um bom recurso de segurança em caso de falha de hardware ou firmware.

com faixa de modo comum de entrada para seu trilho negativo para que possa ser executado a partir de uma única fonte de +5 V. A maioria dos amplificadores de instrumentação (Tabela 5.8) não possui esse recurso; mas um candidato adequado é o AD623 (Analog Devices ataca novamente!), que também possui oscilação de saída rail-to-rail e pode operar de uma única fonte de +3 V a +12 V.

A Figura 15.11 mostra como você o usaria aqui, para conduzir as entradas analógicas de um microcontrolador mais genérico: o pino de referência de saída está vinculado ao ponto médio (+1,25 V) da faixa de conversão desejada, de modo que a faixa de sinal de entrada diferencial de ± 80 mV é mapeado para a faixa de 0 a +2,5 V de um ADC genérico de terminação única. (Em vez disso, poderíamos aterrar o pino de referência e substituir o resistor de 1,21 kÿ na Figura 15.10 por 1,0 kÿ, equilibrando assim a ponte na extremidade de baixa temperatura.) Para uma situação como esta, onde você precisa de amplificação precisa de sinais de baixo nível , geralmente você pode esperar um melhor desempenho com um pré-amplificador de instrumentação dedicado, em comparação com um microcontrolador simples. No entanto, o ADC no microcontrolador específico que escolhemos é excepcional e, de fato, tem melhores especificações de precisão e desvio do que o pré-amplificador externo: ele especifica desvio e desvio de tensão típicos (no modo de corte) de ÿ V e 0,01 ÿ 3 V/ÿC, comparado com o

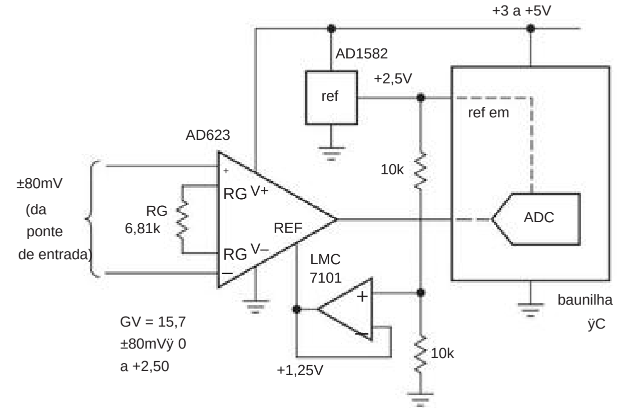


Figura 15.11. Como alternativa, um "amplificador de instrumentação" diferencial externo poderia ser usado para mapear uma pequena faixa de sinal diferencial (aqui ±80 mV) para a faixa de entrada de extremidade única (aqui 0 a +2,5 V) de um microcontrolador genérico. Em tal implementação, o resistor de ajuste de ganho define o span e o pino de entrada de "referência" define a saída para a escala média quando a entrada é balanceada.

valores correspondentes do amplificador de instrumentação de ÿ V ÿ 25 V/ÿC.28 e 0,1

28 Para ser justo, deve-se notar que o processo de corte, que é

C. Clock e fontes de alimentação O ADuC848 pede um cristal externo de 32,768 kHz, com seu multiplicador de clock PLL ×384 on-chip gerando o clock do núcleo primário de 12,58 MHz (o controlador tem os capacitores on-chip de 12 pF necessários, então o único componente externo é o próprio cristal). O chip vem em versões de +3 V e +5 V, com detecção interna de queda de energia e reinicialização na inicialização, juntamente com um temporizador de vigilância. Escolhemos a versão 5 V, com uma referência ADC de +2,50 V. A referência de 3 terminais (AD1582) não precisa ser de grande precisão ou estabilidade, pois o circuito de entrada é raciométrico: a saída digital do ADC é de fato independente da tensão de referência. A rede *RL* desacopla o ruído digital da tensão de alimentação analógica, conforme recomendado no datasheet.

D. Modulação por largura de pulso Como observamos anteriormente, este loop de controle PID opera com controle quase linear do aquecedor, obtido ligando e desligando rapidamente o aquecedor enquanto ajusta o ciclo de trabalho (fração de um ciclo durante o qual ele está LIGADO); isso é chamado de PWM (modulação por largura de pulso). Dessa forma, obtemos os benefícios do controle linear, juntamente com a eficiência da comutação saturada. Para uma aplicação como esta, com suas longas constantes de tempo térmico, o aquecedor não saberá a diferença entre PWM e acionamento de tensão linear honesto.

Em um mundo puramente analógico, você criaria o sinal de acionamento do switch PWM com um comparador analógico: uma entrada recebe um dente de serra de frequência fixa, a outra obtém uma "tensão de feedback" de mudança mais lenta (indicando a necessidade de uma saída mais ou menos média) que define o ciclo de trabalho (Figura 15.12A). O último pode ser simplesmente proporcional ao erro ou, em um sistema mais complicado, pode vir de um PID analógico como o da Figura 15.14. Aqui usamos o microcontrolador para fazer o mesmo trabalho *numericamente,* comparando o valor de incremento de um contador (o dente da serra) com um segundo número (o feedback) que está dentro da faixa do contador. Em um C sem suporte PWM, você teria que fazer isso em software; veja o Exercício 15.3. O ADuC848, no entanto, inclui hardware para facilitar o PWM: você inicialmente define a faixa do contador (contagem máxima) carregando um número sem sinal de 16 bits em um registrador de contagem de terminal (chamado PWM1); a contagem incrementada é continuamente comparada com o valor de feedback de 16 bits (mudança lenta) residente em outro registrador (chamado PWM0), criando uma saída HIGH PWM em um

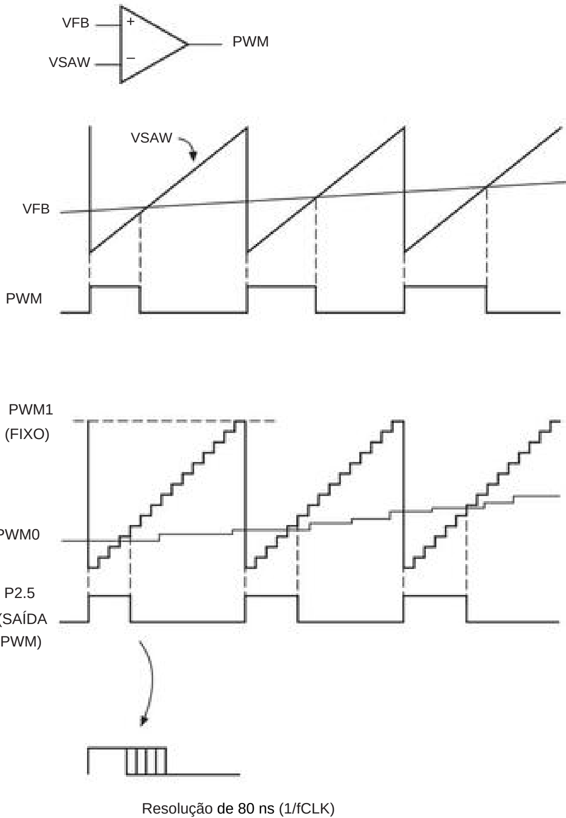


Figura 15.12. Modulação por largura de pulso (PWM). A. Um sinal de feedback de variação lenta VFB é comparado com um dente de serra de frequência fixa para produzir a saída PWM de nível lógico. B. Digital PWM substitui um contador de clock e um comparador de magnitude. C. A saída PWM digital tem uma granularidade de 1/ fCLK.

pino da porta (chamado P2.5) quando a contagem de PWM é menor que o feedback (Figura 15.12B).[29]

Para esta aplicação, escolhemos uma contagem máxima de 125810 (carregando o hex 04EAh no registrador interno PWM1), para produzir uma frequência PWM de 10 kHz (o clock de 12,58 MHz, dividido por 1258). Os pulsos de saída PWM, portanto, chegam a uma taxa de 10 kHz, com larguras correspondentes a um número inteiro de pulsos de clock de 12,58 MHz; ou seja, eles são quantizados com um tamanho de passo de 1/12,58 MHz, ou 80 ns (Figura 15.12C).

Exercício 15.3. Problema para um domingo chuvoso: imagine que você já usou os dois pinos PWM do ADuC848 e precisa criar mais dois PWMs de software de 8 bits. Você recebe os valores de registro e, durante a operação PWM do software, você tem controle total do

responsável pela excelente precisão e estabilidade, reduz a largura de banda e a taxa de conversão. Para nossa aplicação de controle térmico, com constantes de tempo da ordem de 250 ms, a velocidade não é um problema.

[29] Este modo "Single Variable Resolution PWM" é um dos seis modos oferecidos por este elegante chip. Tal flexibilidade é incomum em seu microcontrolador médio.

ÿ C. Crie um código viável e veja a velocidade com que os PWMs podem ser executados. O "conjunto de instruções 8051 de ciclo único otimizado" e os tempos são fornecidos na folha de dados (página 20 da revisão atual). O ADuC848 tem um clock de 12,58 MHz.

E. Circuito de saída De uma porta de saída do microcontrolador você não pode comutar uma carga que é alimentada por 24 volts. E você *realmente* não pode trocar 5 amperes! Portanto, precisamos de um interruptor de transistor, aqui implementado com um MOSFET de potência de tamanho modesto. E, para acionar sua porta totalmente (para +12 V) e rapidamente, adicionamos um chip de driver de porta.30 O 4428 é um driver MOSFET padrão da indústria, bom para converter uma oscilação de entrada de nível lógico em uma oscilação de tensão total em o portão; esta parte barata (cerca de $ 1) tem saídas duplas (inversora e não inversora), boa para 1,5 A de fonte ou dissipador na carga do portão capacitivo. O transistor específico que escolhemos (o IRFZ44, pacote de potência nominal de 55 V, 36 A, TO-220) é barato (ÿ $ 2), com RON suficientemente baixo (14 mÿ máx, em VGS = 10 V) que não precisa de um dissipador de calor.

Um acionamento de porta de 12 V completo minimiza a resistência, e a capacidade de acionamento de porta de 1,5 A garante tempos rápidos de subida e descida de porta, reduzindo a dissipação MOSFET "classe A"31 durante a comutação.

Um MOSFET de comutação com drive de porta saudável produz transições de dreno rápidas (escala de nanosegundos), potencialmente gerando interferência eletromagnética substancial. O pequeno indutor de saída e o capacitor shunt formam um filtro passa-baixa com frequência característica de 0,5 MHz, limitando a taxa de variação de saída. Este filtro ecológico tem um efeito colateral interessante; ou seja, a produção de um transiente de tensão positivo indutivo em cada desligamento (Figura 15.13). A menos que seja preso, o pico indutivo causa quebra de avalanche no MOSFET. Isso parece ruim, mas na verdade os MOSFETs de potência são tolerantes a tal abuso, com uma classificação de energia de avalanche repetitiva especificada limitada principalmente por efeitos de aquecimento (consulte a seção sobre energia de pulso em MOSFETs de potência no Capítulo *3x* e a seção sobre resposta térmica transitória em Capítulo 9x). Para esta energia cir *2LI2* armazenada no circuito, a entrega periódica do indutor apenas adiciona algum incremento permitido de dissipação de 1 energia média MOS FET.

No total, então, existem três contribuições para o aquecimento MOS FET: (a) dissipação de *I2RON* durante a condução; (b) dissipação classe A do *IDVDS* durante a comutação; e C)

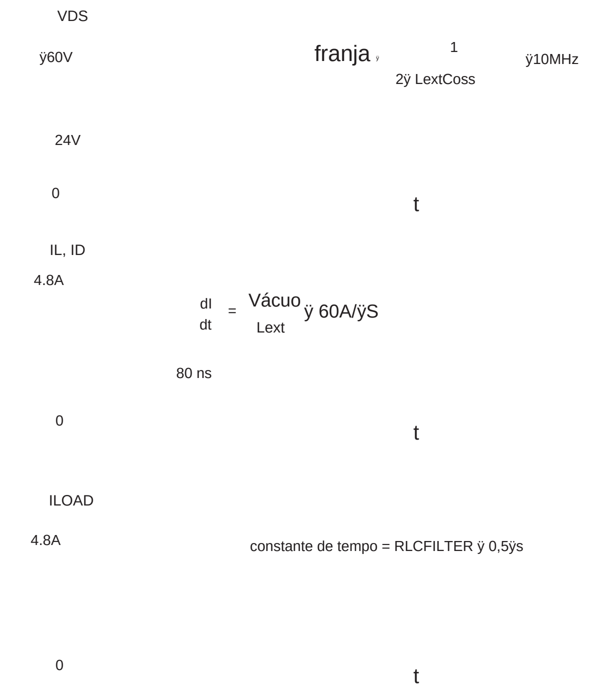


Figura 15.13. O filtro *LC* de saída no circuito da Figura 15.10 suaviza os transientes de tensão e corrente para a carga (gráfico inferior); mas o indutor em série causa quebra de avalanche MOSFET em desligamento (gráfico superior), durante o qual a corrente do indutor aumenta para zero.

1 *2LI2* Fosc dissipação de avalanche repetitiva ao desligar o interruptor. O exercício a seguir explora isso quantitativamente para este exemplo de circuito.

Exercício 15.4. Vamos detalhar esta última afirmação, em várias etapas.32 (a) Qual é a dissipação de potência do MOSFET quando está ligado, assumindo RON = 14 mÿ? (b) Agora calcule a dissipação de potência média contribuída pela condução classe A durante as transições, supondo que o PWM esteja operando a 10 kHz. Para este cálculo, use uma carga gate-to-drain ("Miller") de QGD = 15 nC e assuma por enquanto que fomos tolos o suficiente para acionar o gate diretamente de uma saída lógica capaz de fornecer e drenar apenas 10 mA (o que é consideravelmente melhor do que as especificações deste C: um fraco 1,6 mA com 0,4 V de dissipação e ainda mais fraco de 80 A com alimentação de +2,4 V). Você pode assumir uma rampa linear de tensão e corrente, mas para fazer o VDSID ao longo da duração da rampa (e não se esqueça que existem ÿ cálculo corretamente você terá que integrar o produto ÿ duas rampas por ciclo).33

[30] Consulte §3.5.4 e Tabelas 3.4b e 3.8 nas páginas 189–191 e 218, respectivamente.

[31] Ou seja, a potência dissipada durante os tempos de transição quando o transistor não está totalmente LIGADO ou DESLIGADO e, portanto, tem uma corrente de dreno substancial e uma queda de tensão substancial dreno-fonte.

[32] Consulte novamente o §9.7.2 se não tiver certeza de como fazer esses cálculos.

[33] Spoiler (caso queira pular o cálculo): *E* = VPIPTrampa/6 por rampa.

Você deve ter descoberto que a dissipação de potência geral é dominada pela contribuição da classe A durante a comutação; em particular, o último é quase o dobro da dissipação ON (580 mW contra 320 mW). (c) O gate driver também dissipa alguma potência média; calculá-lo.

(d) Recalcule a perda média de comutação, assumindo agora uma corrente de acionamento do gate de 1 A.

(e) Agora calcule a contribuição da energia de avalanche do indutor para a dissipação de potência geral do MOSFET (esperamos que você concorde que é 115 mW). (f) Verifique se a energia de avalanche de pulso único está bem abaixo da especificação da folha de dados de 86 mJ (máx) . com as perdas por condução e avalanche), calcule o aumento da temperatura da junção acima do ambiente, usando a resistência térmica especificada RÿJA=40ÿC/W para este MOSFET de montagem em superfície em 6 cm2 de bloco de cobre. Se você (e nós) tiver feito os cálculos corretamente, a resposta deve acabar com qualquer ansiedade residual. Observe também que a média real da dissipação de condução de RON será menor do que a calculada, porque o ciclo de trabalho (fração de tempo ON) deve ser inferior a 100%, ou teremos sérios problemas!

Este exercício revela parte do processo de engenharia essencial de troca e iteração que entra até mesmo em um circuito de saída de aparência simples como este. (a) Escolhemos um MOSFET com RON baixo o suficiente para permitir a montagem em superfície sem um dissipador de calor, se desejado (a versão IRFZ44S: 40ÿC/W, bom para ~1 W de dissipação). (b) O orçamento de cerca de 1/3 W para perda de condução define a corrente de carga máxima em cerca de 5 A. (c) Em seguida, escolhemos a tensão de alimentação do aquecedor para produzir 100+ W, para aquecer as coisas rapidamente. (d) Adicionamos o filtro *LC* para suprimir RFI acima de ÿ1 MHz. (e) Em seguida, confirmamos que a potência de avalanche dissipada no MOSFET do despejo periódico da energia armazenada do indutor adicionou apenas uma modesta dissipação adicional e permaneceu bem dentro das classificações. (f) Finalmente, adicionamos um IC de driver de porta para minimizar as perdas de condução classe A, que de outra forma dominariam. Durante esse processo, fizemos vários ajustes na tensão de alimentação do aquecedor (+12 V, +24 V), na corrente do aquecedor (2,5 A, 5 A) e no tamanho do indutor (1 H, 5 H) e brincamos com a ideia de usando um MOSFET com RON inferior ÿ10 mÿ, ou mesmo MOSFET TO-220 com um pacote padrão com dissipador de calor.

[34] Como orientação geral, se houver menos de uma margem de segurança de fator de 20, você precisa verificar a dissipação de energia pulsada usando a "Impedância Térmica Transitória" especificada do MOSFET. Isso ocorre porque as folhas de dados usam um conjunto específico de condições operacionais para sua especificação de avalanche de pulso único; ver *§3x.13.*

No final, decidimos pelo projeto mostrado na Figura 15.10 como um bom compromisso geral. No entanto, seria perfeitamente razoável escolher um indutor de filtro maior, ou operar com corrente mais alta, ou ambos, caso em que você usaria um MOSFET com RON menor, talvez em um pacote maior conectado a um dissipador de calor. A apresentação superficial de projetos acabados muitas vezes esconde esse tipo de pensamento de projeto de circuito.

15.6.2 A malha de controle

O trabalho do firmware do microcontrolador é implementar um loop de controle, para manter o banho na temperatura do “ponto de ajuste” desejado. Embora isso pareça um simples feedback comum, do tipo usado para um circuito de amplificador operacional, na realidade é complicado por atrasos de tempo térmicos; fornecer ganho de loop suficiente para estabilizar o banho invariavelmente levará a oscilações térmicas. Este é um problema comum em sistemas de controle industrial. Como escreveu Jim Williams,[35] “A infeliz relação entre servossistemas e osciladores é muito aparente em sistemas de controle térmico”.

A solução usual é o que é conhecido como controlador PID, no qual a realimentação negativa proporcional ordinária *(P)* é aumentada pela realimentação negativa proporcional à taxa de variação do erro (“derivada”, D) e também por um termo de realimentação negativa que cresce com o tempo de acordo com o erro (“integral”, I). Isso pode ser feito simplesmente com amplificadores operacionais, conforme mostrado na Figura 15.14.

O controlador PID deve ser “sintonizado” com as propriedades do sistema controlado, para otimizar os ganhos dos três termos de realimentação. Um procedimento empírico que funciona muito bem é o seguinte: (a) com os termos *I* e *D* desligados, aumente o ganho *P* até que o sistema comece a oscilar, então recue um pouco; o sistema agora exibirá overshoot e oscilação, mas não oscilação sustentada, em resposta a uma mudança no ponto de ajuste; (b) agora adicione o ganho *D* até que a resposta a um degrau seja amortecida criticamente;[36] (c) finalmente, enquanto observa o próprio sinal de erro, adicione o ganho *I* para atingir o tempo mínimo de estabilização.[37]

[35] Em “Técnicas térmicas em circuitos de medição e controle”, Nota de aplicação 5, Linear Technology Corporation, dezembro de 1984.

[36] Na linguagem dos pólos e zeros, você introduziu um zero para cancelar o pólo natural de menor frequência no sistema físico.

[37] Outra forma de sintonizar um PID, que se deve a Ziegler e Nichols (1942), usa o ajuste de ganho e a frequência de oscilação na etapa (a) para determinar, sem mais experimentação, os ganhos ótimos de *D* e *I.* Gostamos do tratamento nos excelentes *circuitos eletrônicos* de Tietze e Schenk (Springer, 2007).

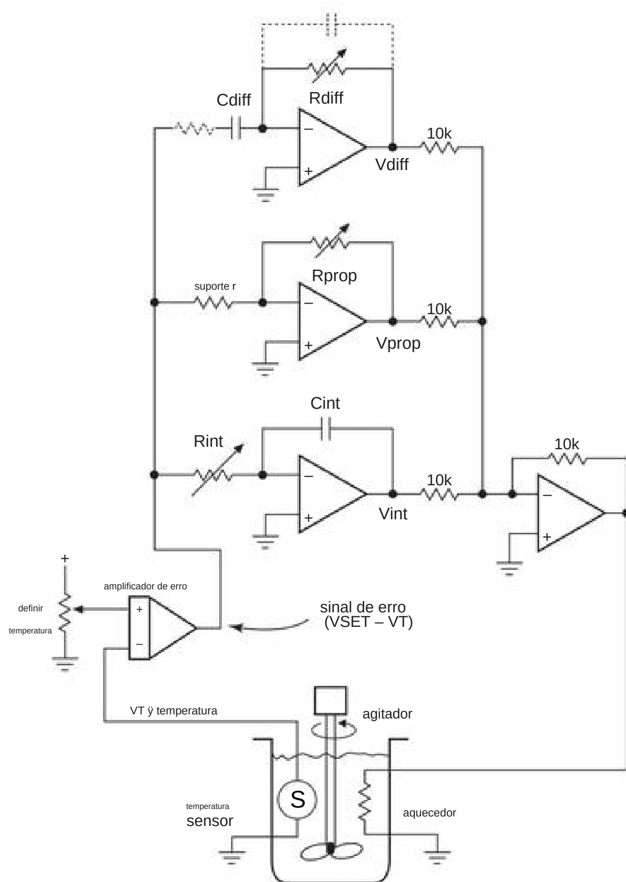


Figura 15.14. Um loop de controle PID analógico. O sinal de erro (proporcional à diferença entre a temperatura desejada e a real) aciona um amplificador ("proporcional"), um integrador e um diferenciador, com ganhos configuráveis individualmente. Suas saídas combinadas formam o sinal de controle para o aquecedor. O tracejado *R* e *C* são para a estabilidade do diferenciador. (Às vezes você vê a entrada do diferenciador tomada separadamente do lado upstream do amplificador de erro.)

15.6.3 Código do microcontrolador

O firmware para implementar um PID em um microcontrolador começa com as configurações usuais: portas, conversores, temporizadores e comunicações. A parte interessante é o loop principal, onde a temperatura medida é digitalizada em intervalos de tempo iguais (chamada de n-ésima medição Tn), e os resultados são usados para calcular numericamente as saídas P, I e *D* do erro "sinal" Terror = Tset ÿ *Tn.* A listagem no Pseudocódigo 15.4 mostra o cálculo mais simples, assumindo coeficientes de ajuste conhecidos kP, kI e kD. Na prática, você provavelmente faria alguma suavização ou filtragem para o termo derivado, que é propenso a ruído. Você também pode configurar o ADC diretamente para realizar conversões periódicas, com

Pseudocódigo 15.4 PID pseudocódigo do loop principal

Inicializar

zerar o acumulador de integração: *I* = 0

Temporizador de

reinicialização do **loop principal** para

temperatura de leitura de tempo limite de 10 ms, computar nth

Terror = Tset *ÿTn* computar os termos individuais de saída de energia do PID:

P = kPTerror

I = *I* +kITerror

D = kD(Terror ÿTerrorÿ1)

Terrorÿ1 = Terror

combina e atualiza PWM:

PWM = P+I +*D* espera

até que o timer expire repita o

loop principal

polling ou interrupções para sinalizar o cálculo do PID do loop principal.

A. Alguns comentários (algoritmo)

O loop de controle PID, embora de grande popularidade, não é o único jogo na cidade. Em particular, existem algoritmos não lineares que, embora difíceis de tratar matematicamente, parecem funcionar muito bem. Um exemplo interessante é o algoritmo "take-back-half" (TBH) de Steve Woodward,38 que tem o bom recurso de ajuste de "um botão": você não precisa saber nada sobre a "planta".

O algoritmo de controle tem duas partes. Começa com um I-loop puro (saída do controlador proporcional à integral do erro), que tem as vantagens de simplicidade (apenas um botão de "sintonia": o ganho do integrador) e de erro médio zero. No entanto, a má notícia é que a variável controlada oscila em torno do ponto de ajuste de destino para sempre. A correção de Wood Ward é fazer uma correção de passo a cada cruzamento zero do erro, substituindo a saída de corrente do controlador pela média do valor atual e o valor no último cruzamento zero. Estávamos curiosos sobre como isso ficaria, então convocamos um aluno habilidoso em Mathematica (é ele na Figura 15.25 na página 1094) para executar uma simulação numérica de um controlador de temperatura TBH. Você pode ver os resultados na Figura 15.15, onde plotamos a saída do controlador (potência do aquecedor) e a resposta do sistema controlado (temperatura do sensor). Iniciamos em temperatura ambiente (20ÿC), provocando seu comportamento transitório alternando o ponto de ajuste entre os dois valores mostrados. Para esta simulação, usamos constantes de tempo do aquecedor e do sensor de 0,5 s, um tempo de atraso (do fluxo de fluido) de 0,1 s e uma temperatura

38 "Controlador de temperatura tem algoritmo de convergência "take-back-half","
EDN, página 90, 15 de setembro de 2005.

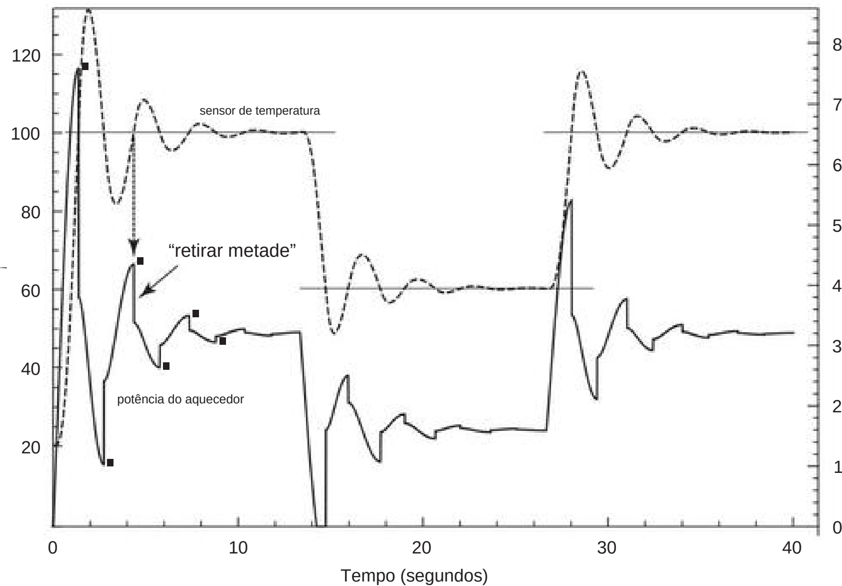


Figura 15.15. Um algoritmo de controle não linear: a “metade de recuperação” de Steve Woodward. Esta simulação numérica mostra o comportamento de uma sequência de mudanças na temperatura alvo (alternando 60ÿC e 100ÿC). O controlador é um integrador puro, mas responde a cada momento de erro de temperatura zero (os pontos pretos) redefinindo sua saída (potência do aquecedor) para a média de seu valor atual e o valor na reinicialização anterior.

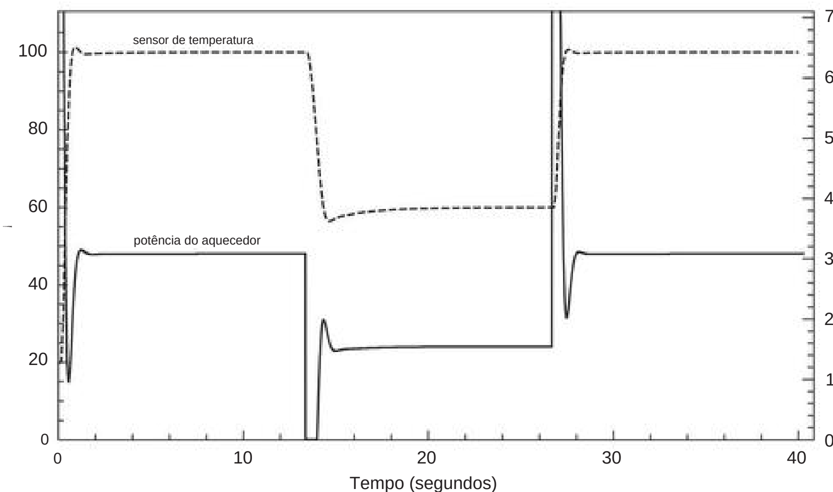


Figura 15.16. Simulação numérica do sistema da Figura 15.15, desta vez com um clássico controlador PID sintonizado.

tempo de relaxamento à temperatura ambiente de 0,5 s. O único “botão” (ganho do integrador) foi ajustado para produzir uma convergência.

Depois de configurar a simulação de TBH, não resistimos a executar um PID clássico. Depois de brincar com a afinação *(três* botões, desta vez), obtivemos os resultados mostrados na Figura 15.16. O PID faz um trabalho consideravelmente melhor do que o TBH; mas requer alguma habilidade em ajuste para encontrar o P, I, e coeficientes *D* adequados aos parâmetros específicos de cada sistema controlado.

B. Alguns comentários (Hardware):

Este exemplo ilustra como uma escolha particularmente boa de microcontrolador pode simplificar muito o hardware (e a codificação): este microcontrolador combina um bom ADC (desempenho real de 16 bits), com o baixo deslocamento e desvio que você obtém

com corte, e um amplificador diferencial interno de ganho programável, para que a entrada RTD de baixo nível possa ser usada diretamente. A entrada de referência diferencial torna fácil configurar a verdadeira conversão raciométrica, insensível às variações da fonte de tensão de referência. E o hardware PWM interno reduz drasticamente a carga de codificação.

Mantivemos o diagrama de blocos enxuto, de modo a não desviar a atenção do essencial dos circuitos de entrada analógica e dos circuitos de acionamento de saída PWM. Mas é fácil adicionar alguns dos recursos mostrados nos exemplos de microcontroladores anteriores: um display LCD de ponto de ajuste e temperaturas reais; uma entrada de teclado ou botão giratório para parâmetros como um ponto de ajuste simples ou um perfil de tempo/temperatura mais complexo; LEDs indicadores e campainhas de alarme para condições de falha e similares.

15.7 Exemplo de projeto 5: plataforma mecânica estabilizada

O exemplo final do microcontrolador é divertido – uma engenhoca de duas rodas estabilizada movida a motor (que seu inventor chama de *Psegue´),* mostrada em ação na Figura 15.17.

Essa coisa é um triciclo sem roda dianteira, portanto instável sem feedback ativo. O protótipo é, é claro, o "Segway™ Personal Transporter" de Dean Kamen, que encantou o mundo em sua estreia em 2001. Variantes caseiras estranhas e maravilhosas estão surgindo, impulsionadas pelo entusiasmo da animada comunidade de amadores e nerds.

Um desses amadores é o jovem que mora do outro lado da rua, que perguntou se poderia ficar em nosso laboratório para experimentar suas ideias para fazer uma plataforma motorizada estabilizada. Duvidamos que ele fosse bem-sucedido; nós estávamos errados.

A Figura 15.18 mostra o sistema ao qual ele finalmente chegou (depois de alguns contratempos divertidos). É uma malha de controle PID digital, implementada em um microcontrolador NXP ARM7. Este último vem bem embalado em um tabuleiro quadrado de 6 cm, que inclui reguladores de tensão, conectores para portas analógicas, digitais e seriais e display LCD; é chamado de MINI MAX/ARM-C, vendido pela BiPOM Electronics por US$ 100.

Para sentir o ângulo instantâneo da plataforma, Jesse usou um acelerômetro de estado sólido de dois eixos, girado 45ÿ na vertical, alimentando um amplificador de diferença. A tensão de saída é proporcional ao seno do ângulo da plataforma, passando por zero quando a plataforma está na horizontal. Isso fornece a entrada analógica para os termos proporcional e integral do loop PID; para o termo derivado ele usou um giroscópio, cuja saída é diretamente proporcional à taxa de mudança de inclinação.

Você dirige essa coisa empurrando o poste vertical para o lado, o que comprime um par de sensores de força resistiva sob a base do poste. O microcontrolador possui um link Bluetooth, para brincando com os parâmetros do loop enquanto pedala. A Figura 15.19 mostra o hardware.



Figura 15.17. Engenhoca estabilizada de duas rodas, demonstrada por seu criador (Jesse Colman-McGill).

No lado da saída, o microcontrolador aciona um par de drivers de motor CC de ponte H com saídas lógicas PWM, conforme comandado pelo loop PID. Os motorredutores de ímã permanente CC são bestas substanciais, capazes de produzir quase um cavalo-vapor.

O loop PID é controlado por um dos temporizadores internos do microcontrolador, operando a 100 Hz. O controlador PID básico é aumentado por alguns truques que foram obtidos por experimento, por exemplo, um impulso extra para fazer a coisa se mover de um ponto morto e algumas modificações nos ganhos do PID de acordo com a carga medida. Um nome sofisticado para esses patches não autorizados para o PID básico é *heurística;* como quer que você os chame, eles são necessários e, com alguma sorte, podem funcionar bem. Consulte Pseudocódigo 15.5.

Pseudocódigo 15.5 Psegue loop principal pseudocódigo **Main**

Loop reset timer para tempo limite de 10 ms sensores de
leitura acelerômetros com detecção de inclinação
(2) sensores de força de direção do giroscópio com
detecção de rotação (2) calcular PID com
parâmetros dependentes da velocidade aplicar
regras heurísticas correção de zona morta

aumento de limiar
multiplicador de ganho PID dependente de
carga envia comando de torque atualizado para
motores se (logging) incrementa contagem de loop de log
if (log loop count=10) registra dados e limpa log loop count
TimerCheck: if (temporizador não expirou) if
(byte de comando do buffer FIFO de entrada sem fio) anexa ao
buffer de linha if (nova linha) analisa e executa o byte de
registro de gravação no buffer FIFO de saída sem fio
repete **TimerCheck** repete **Loop principal**

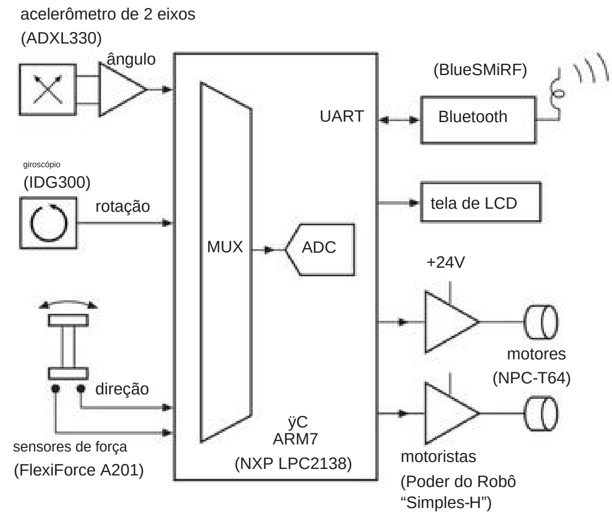


Figura 15.18. Diagrama de blocos da scooter estabilizada. O uso de módulos amadores pré-fabricados (giroscópio, acelerômetro, sem fio, placa de microcontrolador e drivers de motor) simplificou a construção e a fiação. Os números de peças reais estão entre parênteses.

15.8 CIs periféricos para microcontroladores

Nossa experiência em engenharia eletrônica vem do mundo real, onde uma enorme variedade de medições e controle interativo são necessários. Ter um microcontrolador programável é bom, e ter muitos circuitos integrados de interface é ótimo – mas o mundo é maior do que isso.
Quando falamos sobre a borracha encontrando a estrada, o que precisamos é de um pneu, uma roda e outros dispositivos especializados que não estão incluídos dentro de um microcontrolador.

Nesta seção, criamos três desenhos que mostram sessenta exemplos de dispositivos de interface especializados, completos com números de peça de amostra. Esperamos que você aponte seu navegador para Octopart, etc.,39 e leia as folhas de dados de algumas dessas peças, como inspiração para pesquisar exemplos adicionais e peças alternativas.

DACs e ADCs são um periférico comum para interagir

39 A Octopart é uma excelente localizadora de peças, mostrando a disponibilidade e os preços dos componentes nos distribuidores de estoque; o site também inclui folhas de dados para a maioria das peças. Um recurso especialmente valioso é a capacidade de ver o status das peças e sua atividade em vários distribuidores. Se uma peça foi descontinuada, você ainda descobrirá o que já foi possível fazer (e quais eram suas especificações) e pode esperar que outra pessoa tenha criado uma peça semelhante. *Um cuidado:* no momento em que escrevo, a Octopart lista apenas os componentes que são transportados por distribuidores, e não os vendidos diretamente da fábrica. Se o Octopart não mostrar uma parte, isso não significa que você não possa obtê-la. Às vezes, a fábrica tem de ser a sua fonte, mesmo para os principais fabricantes que também vendem por meio de distribuidores. Descobrimos que, na maioria dos casos, os fabricantes tornam fácil de comprar diretamente, mesmo em pequenas quantidades.

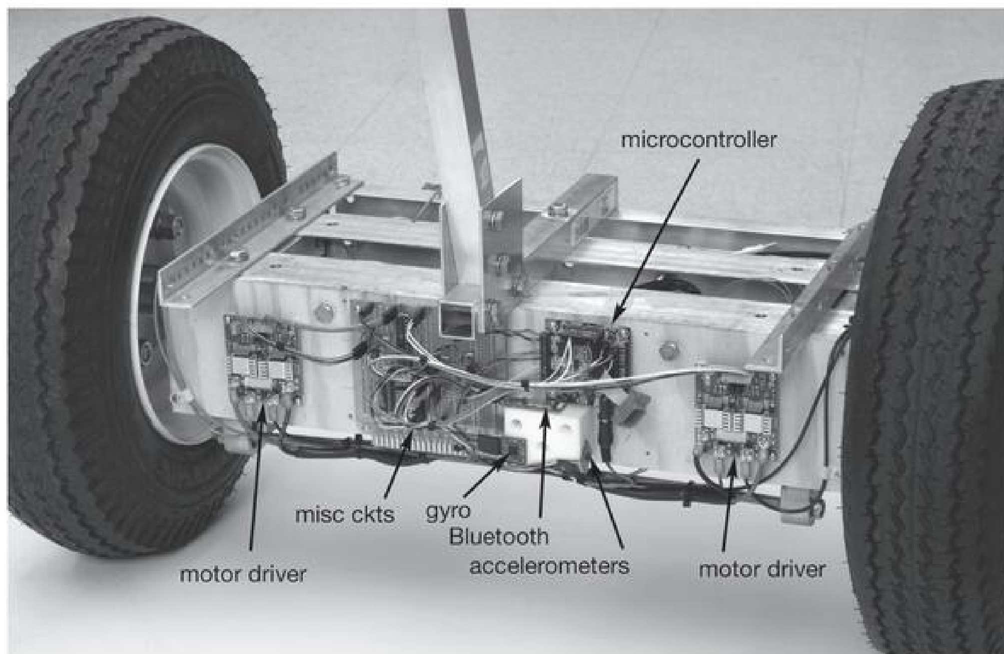


Figura 15.19. Closeup dos sensores e eletrônicos. A diferença de sinal do par de acelerômetros (cada um inclinado 45° em relação à vertical) é uma medida do ângulo de inclinação para frente e para trás, e o giroscópio fornece uma medida direta da derivada temporal da inclinação. As baterias de gel vivem no espaço atrás da eletrônica.

ing com coisas do mundo real; se isso é tudo que lhe interessa no momento, use as Tabelas 13.2, 13.3 e 13.11 (DACs) e as Tabelas 13.5, 13.6 e 13.9 (ADCs). Essas tabelas incluem colunas indicando SPI, I2C ou outros métodos de interface.

Ao projetar um gadget com um microcontrolador embutido, há muitos "demônios nos detalhes". Poderíamos tagarelar por páginas sobre como se conectar a muitos dispositivos periféricos maravilhosos. Em vez disso, apresentamos uma visita guiada e auxílio à navegação, na forma das Figuras 15.20–15.22, marcadas com números para corresponder aos breves esboços a seguir. Colocamos muitas referências cruzadas para discussões relevantes em outras partes do livro, junto com alguns números de peças selecionados.
Nós o dividimos em várias figuras, porque há muitas coisas que você pode anexar a um microcontrolador: dispositivos que podem se conectar diretamente ao C (Figura 15.20); dispositivos que se conectam ao barramento SPI ou seus parentes próximos (Figura 15.21); e dispositivos que se conectam a um barramento I2C (Figura 15.22). A qualidade de vida de sua programação pode ser melhorada se seu microcontrolador incluir uma interface integrada para o barramento escolhido, como a da Figura 10.86.

15.8.1 Periféricos com conexão direta

A Figura 15.20 mostra um microcontrolador, fortemente incrustado com dispositivos que se conectam facilmente a "periféricos internos" padrão, como pinos de porta de E/S digital, portas de comunicação serial (UART, USB, Ethernet), ADCs e DACs, saídas PWM e similares. Ele também mostra importantes chips de suporte, como controle de energia, watchdog e oscilador externo. Em forma de resumo, reunimos alguns comentários explicativos, números de peças úteis e referências a discussões relevantes em outras partes do livro.

A. Esboço da Figura 15.20 1.

Seletor de fonte de alimentação. Se o sistema funcionar com energia da bateria, um ICL7673 com dois MOS FETs de canal p é um bom seletor de energia, atuando como um diodo-OR ideal, conectando-se automaticamente à maior das duas tensões. Para gerenciamento de bateria recarregável, consulte *§9x.2.*

2. Supervisor de energia, reinicialização ao ligar, cão de **guarda.** Proteção contra queda de energia, não deixe ÿC fazer nada importante se a tensão de alimentação estiver muito baixa; redefini-lo. Consulte §10.8.1B e Tabela 10.6 na página 756. Há uma grande variedade de opções disponíveis. Dê uma olhada nos ICs de supervisão ADM705 e TPS3306 (que incluem um watchdog) e a série ADM691 (que também incorpora um recurso de comutação de reserva de bateria).

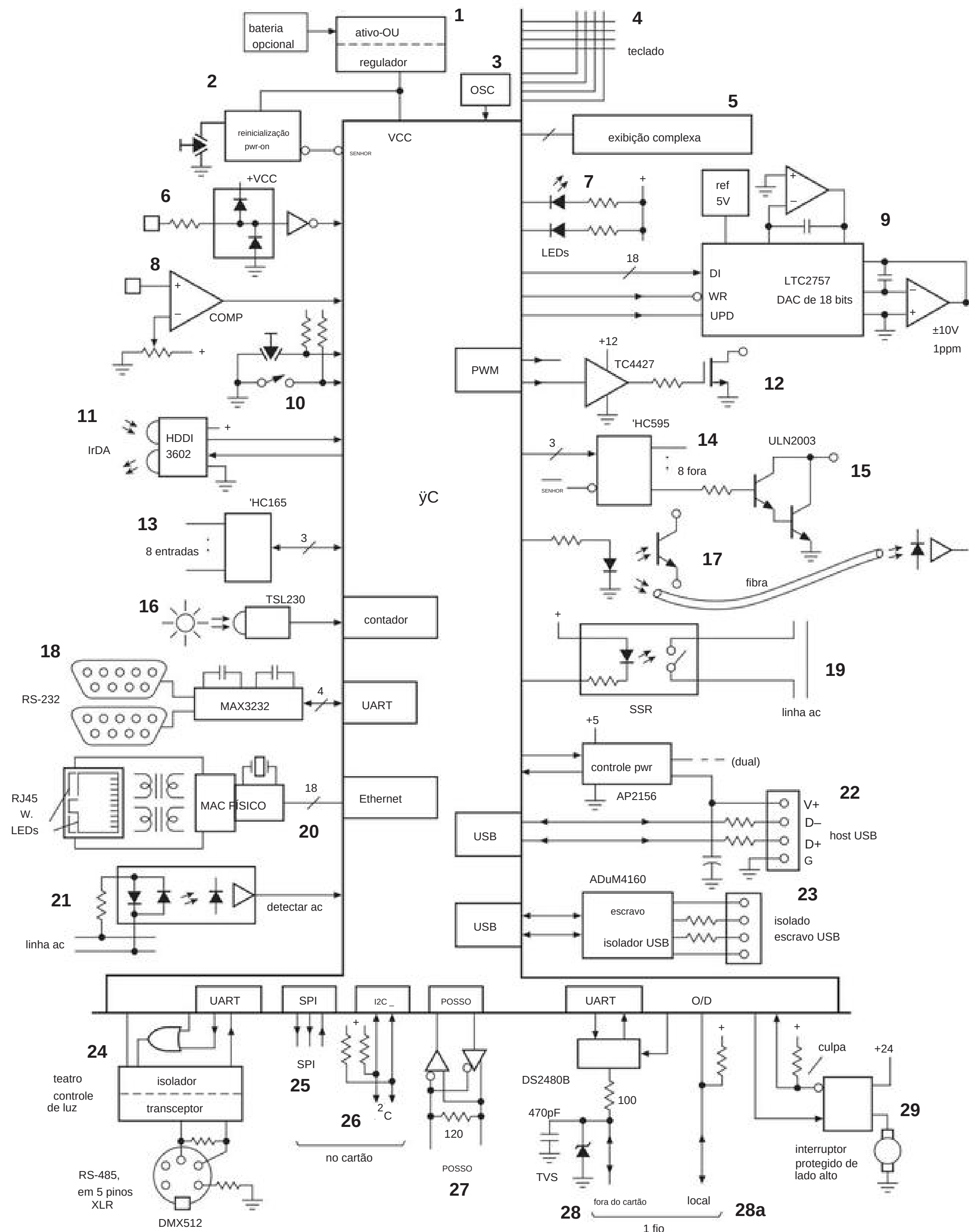


Figura 15.20. Uma variedade de dispositivos periféricos que podem ser conectados a um microcontrolador bem equipado. Alguns dos dispositivos requerem circuitos de interface especializados dentro do controlador. Os itens de interface marcados com números em negrito **de 1** a **29** referem-se a parágrafos descritivos em §15.8.1.

3. ÿ **oscilador P.** Interno, consulte §§15.2.1E e 15.9.3. Externo, consulte §7.1.6 para opções e cuidados.
4. **Técnicas de digitalização do teclado.** Consulte a Figura 15.8.
5. **Opções de exibição do painel.** LED, LCD, CFD, truques. Consulte §§10.6.2, 12.5.3, 14.6.
6. **Entradas lógicas, externas.** Proteja o C ÿcontra ESD com portas de entrada separadas reparáveis pelo usuário, e o C programado do instrumento sobrevive; veÿ §12.1.5.
7. **Saídas de LED e indicadores.** Consulte §§12.4, 12.4.5A, 12.5.1.
8. **Detecção de limite analógico, discriminadores.** Consulte §§12.1.7 e 12.3 e Tabela 12.2 na página 819.
9. **DACs.** Ver §§13.2 e 14.6.2, e Tabelas 13.2 na página 893 e 13.3 na página 894; rápido par alelo preciso de 18 bits DAC LTC2757.

10. **Entradas de interruptores e botões.** Consulte §12.1.4.
11. **Transceptor infravermelho IrDA.** HSDI-3602.
12. **Interruptores MOSFET de potência.** Consulte §§3.5, 12.4 e 15.6 e Tabela 3.4b, páginas 189–191. ICs de driver MOSFET, lógica para gate drive MOSFET de 12 V, consulte §3.5.3; Família clássica do TC442x (consulte a Figura 3.97 e a Tabela 3.8 na página 218). Para PWM, consulte também §15.6.2 e *§9x.5.* **13. Registrador de deslocamento paralelo de 8 bits.** Consulte a Figura 12.40, adequada para uso a bordo. 74HC165 (e outros ICs lógicos '165), US$ 0,35, em comparação com um chip expansor I2C simples de 8 bits por aproximadamente US$ 2,30. **14. Registrador de deslocamento de saída paralela de 8 bits.** Consulte a Figura 12.40, por exemplo, IC lógico 74HC595, US$ 0,32; verifique também o 74HC594 e o '567, que possuem um buffer duplo.

   Para chips SR com drivers de energia integrados (por exemplo, TPIC6C595 da TI), consulte §12.4 e Tabela 12.3.
15. **CIs de driver Darlington e MOSFET.** Consulte §12.4. Acione cargas com o venerável array de 7 unidades ULN2003 Darlington, US$ 0,33, ou com MOSFETs de nível lógico individual, consulte a Tabela 3.4a, na página 188. Alguns outros ICs de driver úteis incluem ULN2803, SN75468, TPL7407, MC1413, ULN2068 e TD62783.
16. **Sensor de intensidade de luz.** O TAOS TSL230 fornece um sinal de luz para frequência, permitindo medições fáceis e precisas ao longo de seis décadas de nível de luz. Consulte a Figura 12.81.

17. **Isolamento óptico.** Consulte §12.7 e os desenhos e números de peça nas Figuras 12.85–12.88. Optoacoplador lógico, jellybean H11L1, HCPL-2201. Para links de dados de fibra óptica de longa distância, com conectores, consulte §12.7 e Figura 12.98.

18. **Interfaces seriais de comunicação de dados.** RS-232, com níveis de ±7 V; ver §12.10.4. Use os chips clássicos DS14C88 e DS14C89, ou para operação simplificada em +5 V, MAX232 de segunda fonte, $ 0,90 de TI; ou MAX3232E protegido contra ESD de 15 kV funciona a partir de 3,3 V ou 5 V, US$ 3. Estes possuem 2 Tx e 2 Rx, ou seja, uma porta mais duas linhas de controle, ou duas portas. Para RS-485, consulte §§12.10.3, 14.7.8. Um chip transceptor típico é o LTC1485.

19. **Interruptor de energia CA.** SSR isolado, triac zero-crossing ou SCRs back-to-back: consulte §§12.7, 15.4 e as Figuras 12.91–12.93. Disponível como ICs de baixa corrente, por exemplo, Fairchild MOC3043, $ 0,80, ou como módulos poderosos com terminais de parafuso.
20. **Ethernet.** Processamento de protocolo, transformador acoplado, consulte §14.7.16 e Figura 12.124. Chip fácil de usar, Sil icon Labs CP2201, cerca de US$ 4,50 em qtde 100. Você também precisará de um transformador (por exemplo, Pulse PE-36023) e um conector RJ 45. A maioria das pessoas os compra combinados em uma peça compacta, completa com dois LEDs indicadores, por exemplo, Pulse J00-0065NL, $ 4,75. **21. Detecção de energia CA.** Para monitorar saídas de relé, fusível queimado, responda a sinais de linha CA. Opto-isolado; consulte §12.7.7 e Figura 12.94A, por exemplo, MOC256.

22. **USB.** Suportado por um controlador em C, veja a Fiÿura 10.86. Os hosts USB precisam de um supervisor de energia com um CL de 500 mA, etc., por exemplo, AP2156 duplo (consulte a Tabela 12.5). Clientes USB, consulte §§14.7.13 e 15.9.2.
23. **USB isolado.** Dispositivos analógicos ADuM4160.
24. **Iluminação e controle de teatro DMX512.** Conectores XLR de 5 pinos, até 1200 metros. 250 kbaud (UART em C), com porta OR ÿ para o símbolo "MAB" de enquadramento de pacotes. Isolador e transceptor RS-485, MAX1480 ou MAX3480B, consulte §12.10.3. Extremidades próximas e distantes terminadas. Eletricistas de teatro: com sorte, você receberá um cabo trançado de 120 ÿ adequado. DMX512 está sendo substituído por DALI.

25. **SPI.** Microprocessador serial para interface de chip. É uma selva SPI lá fora, com muitas regras de interface diferentes agrupadas sob o rótulo SPI; leia o datasheet do IC com muito cuidado. As interfaces SPI geralmente são implementadas como linhas bit-bang individuais e, como tal, a SPI pode ser mais um esquema de interface do que um barramento de vários dispositivos. Consulte também §§14.7.1 e 15.8.2 (a próxima seção).
26. **I2C.** Interface chip a chip; multi-mestre. Dois fios, operação com fio AND de dreno aberto, com resistores pull-up; ver §§14.7.2 e 15.8.3. Capacitância máxima do barramento 400 pF. Ao contrário do SPI, o barramento I2C é bem especificado (e seu uso rigorosamente controlado) para resultados previsíveis.40 **27. Barramento CAN.** Barramento bidirecional de dois fios, sinalização diferencial; ver §14.7.15. Geralmente um barramento CAN

40 A especificação do barramento I2C, versão 2.1, janeiro de 2000 (dutos NXP Semicon).

é necessário um transceptor, por exemplo, AMIS-42673 ou AMIS-41683 da ON Semi e (se não estiver embutido) um controlador baseado em SPI como o Microchip MCP2515. **28. Barramento de 1 fio.** Potência e sinalização de dados bidirecional em um fio; ver §14.7.3. Defendido por Dallas, agora Maxim. Transceptor UART DS2480B. USB para 1 fio, DS9490.

28a. Alternativa simples de 1 fio para E/S ÿ C para chips locais, abra de dreno e resistor pull-up.

29. Interruptores de energia. Lado de alta para 60 V, 550 A, protegido, com realimentação de falha; consulte §12.4.4 e Tabela 12.5; por exemplo, BTS432, IPS6031.

15.8.2 Periféricos com conexão SPI

A Figura 15.21 mostra uma variedade de periféricos disponíveis que se comunicam por meio de um protocolo mestre-escravo de 3 fios serial SPI simples. O barramento SPI41 (§14.7.1) normalmente consiste em três linhas: um relógio (SCLK); entrada de dados (SDI) e saída de dados (SDO). Mas é preciso haver uma linha adicional de seleção de chip do processador para cada dispositivo escravo; isso geralmente é chamado de CS , mas às vezes é chamado de outros nomes (como LOAD ou enable (EN)); um CS é desativado (trazido para ALTO) após os bits de dados terem sido deslocados. Você pode dedicar um pino C para o CS de cada dispositivo ou pode salvar alguns pinos usando um IC decodificador 74LVC138 (ou outro '138) ; consulte §10.3.3D. Além disso, alguns chips periféricos em um barramento podem exigir conexões individuais adicionais ao microcontrolador; por exemplo, ÿ para interrupções, para reiniciar o dispositivo, etc.

O uso do nome do sinal no SPI pode parecer inconsistente; por exemplo, o pino de entrada de dados do controlador (SDI) é conectado ao pino de saída de dados do dispositivo escravo (que pode ser chamado de DO). Da mesma forma, o pino SDO do mestre é conectado à DI do escravo. Um esquema melhor é nomear seus sinais de forma inequívoca como MISO (master-in, slave-out) e MOSI (master-out, slave-in); ver §14.7.1. Infelizmente, você não encontrará esses nomes na maioria das folhas de dados do dispositivo.

Como afirmamos anteriormente (§14.7.1), o "padrão" SPI é muito fragmentado. Por exemplo, em alguns escravos SPI , um único pino pode ser usado para enviar dados em ambas as direções. Isso requer que o controlador inverta a direção de um pino, para que possa receber dados de volta no mesmo pino usado para enviar um comando.42

A. Esquema da Figura 15.21 30.

Tela sensível ao toque. digitalizador de posição *XY* , sensível à pressão; consulte §13.11.2 e Figura 13.73: AD7873.

31. EEPROM serial. Pacote de 8 pinos, §14.4.5B: 25LC080A, AT25080, M24C02 (256 × 8, US$ 0,09 em carretel de 2500 peças)

32. Acelerômetro. MEMS de três eixos: ADXL345, gratuito escala MMA7455L.

33. Cartão SD. "SecureDigital": SD,43 miniSD e alguns cartões de memória microSD; §14.4.5C. Esses cartões se comunicam via SPI padrão, portanto, essa interface consiste simplesmente no soquete, sem a necessidade de componentes eletrônicos adicionais! Os cartões miniSD e microSD possuem conectores de 10 pinos. O pino 1 é CS ; mas também é "detecção de cartão", com um resistor pull-up de 50k, para que você saiba que um cartão está conectado. Você puxa o pino 1 para baixo para iniciar o modo de comunicação SPI.

34. Módulos "SparkFun". Ampla seleção de módulos fáceis de usar com conexões passantes; por exemplo, acelerômetro de três eixos (ADXL335), sensor de giroscópio de dois eixos (LPY503A) ou magnetômetro de três eixos (MAG3110 ou HMC5883). Consulte também os módulos Adafruit (adafruit.com), por exemplo, telas gráficas OLED disponíveis nas interfaces SPI e I 2C.

35. Pote digital. DCP, EEPOT; proporção precisa (ÿ1%), mas tolerância geral tipicamente ~20%; baixa voltagem; consulte §3.4.3E; por exemplo, 10kÿ, 10 bits, nível 1024 MAX5481, US$ 2,60.

36. Resistor digital. Tolerância de resistência 1%, opera até ±16 V; por exemplo, AD5292. Veja a seção do resistor digital no Capítulo *3x.*

37. ADCs. Consulte §§13.11, 14.6.2, 14.7 e Tabelas 13.6– 13.12; por exemplo, LTC2412, AD7927 (Figura 13.74), AD7734.

38. Capacitores digitais. Dê amplitude e tamanho do passo; consulte as seções de resistor e capacitor digital do Capítulo *3x;* quartzo FLEcap: MAX1474. **39. monitor de energia CA.** Incluindo fator de potência, consulte C, ADE7769; precisa §13.11.1: ADE7753, com 8052 um ÿ isolador iCoupler, ADuM3260.

40. Sintetizador de frequência DDS RF. Consulte §§7.1.8, 7.1.9C, 13.13.6 e 6.2 (sobre filtros *LC);* por exemplo, AD9954.44

[41] Analog Devices' AN-877 é uma nota de aplicação útil, descrevendo o uso do barramento SPI em vários de seus dispositivos de conversão de alta velocidade.

42 E é claro que esses dados aparecem nos pinos MOSI do outro barramento ers. É bastante inofensivo, porque seus pinos de seleção de chip estão desabilitados; mas é feio.

[43] *Família de produtos de cartão SD SanDisk, Manual de produto OEM,* Tabela 3-2, e *Especificação simplificada da camada física,* Versão 2.00, Capítulo 7. 44 Analog Devices é um gigante em ICs de síntese digital direta.

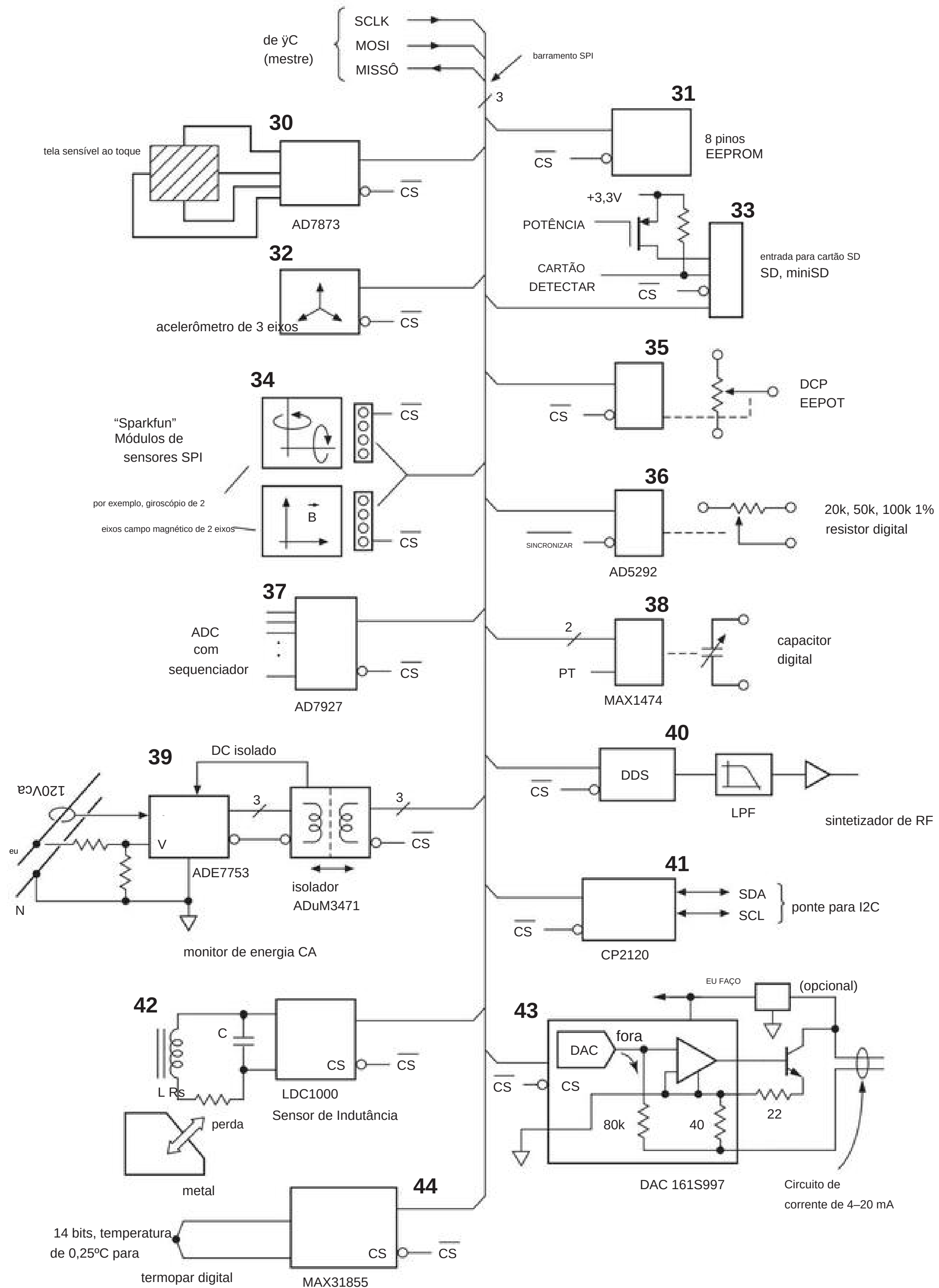


Figura 15.21. Uma variedade de periféricos escravos SPI, adequados para aplicações de microcontroladores. As interfaces SPI marcadas com números em negrito **30** a **44** referem-se aos parágrafos descritivos em §15.8.2.

41. Ponte SPI para I2C. Silicon Labs CP2120, Microchip MCP2515, NXP SC18IS600. Consulte também a próxima seção e §14.7.2.

42. Sensor de indutância. Ver Tabela 13.12. A TI introduziu o primeiro IC de sensor de proximidade de indutância, o LDC1000, que detecta alterações de indutância e perda em um circuito ressonante *LC* externo. Frequência de operação de 5 kHz a 5 MHz.

43. Loop de corrente de 4 a 20 mA. Consulte §14.7.8 e Tabela 14.3. O DAC161S997 usa um DAC de saída de corrente de 16 bits para programar um sinal de corrente de precisão para transmitir medições analógicas em ambientes industriais.

44. Termopar ADC. O MAX31855 inclui compensação de junção fria para sete tipos de termopares e fornece resolução de 0,25ÿC de -270 a +1372ÿC (compare com Cirrus CS5532, adequado para uso de termopar, mas sem a compensação valiosa, consulte a Figura 13.67).

15.8.3 Periféricos com conexão I2C

Apresentamos o barramento I2C (às vezes escrito IIC) em §14.7.2, onde suas vantagens e desvantagens foram descritas com algum detalhe. Para resumir, I2C é um barramento multimestre half-duplex "orientado a pacotes", destinado à comunicação serial chip-a-chip (I2C significa circuito interintegrado), com um protocolo de endereçamento e transferência de dados bem definido.[45] Comparado com O "barramento" de 3 fios da SPI mais as linhas individuais de seleção de chip, o I2C é um verdadeiro barramento de 2 fios. Uma transferência de dados é assim. O mestre envia um byte inicial contendo um endereço de 7 bits e um bit de direção; o escravo endereçado responde com um bit de confirmação, após o qual os bytes de dados se movem do remetente para o destinatário. Toda a transação é emoldurada por símbolos únicos de START e STOP .

O I 2C é um protocolo mais complexo que o SPI e exige que cada dispositivo no barramento compartilhado tenha um endereço de endereço exclusivo de 7 bits. Ele é adequado para periféricos com muitos registradores (você pode enviar um endereço de registrador como parte do pacote), mas sua natureza half-duplex e sobrecarga de endereçamento necessária o tornam menos adequado para fluxo de dados rápido e contínuo. Em geral, a escolha é feita pelo fabricante do periférico; a maioria dos microcontroladores inclui suporte para I2C e SPI.[46]

A. Esboço da Figura 15.22 45.

Portas de bits paralelos ("GPIO" – E/S de uso geral). Fios definíveis, interrupção: 8 bits, STMPE801; 24 bits, STMPE2401; considere também o TCA6416 de 16 bits da TI.

46. Retroiluminação LED. Driver de luz de fundo inteligente, fade, responsivo à luz ambiente: ADP8860, ADP5501, com teclado 4×4 ADP5520.

47. Relógio em tempo real (RTC). Por exemplo, o PCA8565 da NXP (0,65 A em 1,8–3,3 Vÿ 32 kHz xtal) ou muitas opções de alarme (que inclui xtal interno e TCXO, interface SPI ou I2C selecionável e uma boa função de registro de data e hora para capturar a hora de um evento, mesmo que você esteja dormindo) PCF8563 da NXP e S-3590A da Seiko são peças populares e estão disponíveis por menos de um dólar. ÿC é PCF2129 (

48. Sintetizador de relógio. Consulte §13.13: ON-Semi FS714x, Silicon Labs Si5338 a 710 MHz, quatro saídas LVDS, com níveis VCC separados.

49. Acelerômetro de três eixos. MMA7660FC, $ 0,68, MMA7455L (modo I2C) ou uma variedade de módulos I2C da Adafruit, por exemplo, seu barométrico MPL115A2 pressão/temperatura sensor, ou unidade de medição inercial L3GD20+LSM303+BMP180 10-DOF, $30. Muitos dos números de peça "shield" de AdaFruit e SparkFun correspondem ao número de peça do IC dos ICs do sensor montado, que estão disponíveis nos distribuidores. Os escudos facilitam a experiência com essas peças (geralmente pequenas SMT).

50. EEPROM de 8 pinos. Consulte §14.4.5B: Microchip 24LC256 (32k×8, 2,5–5,5 V, baixo custo $0,76), 24AA256 (1,8 V).

51. Subsistema ADC. Por exemplo, AD7294: 12 bits, seis entradas (3 de temperatura, 2 de detecção de corrente), quatro saídas, alarmes (US$ 14), consulte a Figura 14.41. O AD7730, destinado ao uso com extensômetros, balanças, etc., inclui muitas funções (mas usa a interface SPI), consulte a Figura 13.75.

52. Posição do motor de passo IC. Por exemplo, ON-Semi AMIS-30624 (opções de controle paralelo e I2C): tem memória de posição, uma tabela senoidal para 1/16 microstep ping, rampas de velocidade, duas pontes H, VS para 29 V, 800 mA, máx.

53. Tela sensível ao toque. STMPE811 da ST, $ 1,47.

54. Digitalize o vídeo. NTSC e PAL composto, S-vídeo, §14.6.2 e Apêndice I; TVP5150 de TI de 8 bits, US$ 4; 10 bits dual 30 Msps TVP5147, $ 5.

[45] Você encontrará declarações como esta nas folhas de dados dos periféricos I2C em conformidade : " I2C é uma marca registrada da Philips Corp. , desde que o sistema esteja em conformidade com a especificação do padrão I2C , conforme definido pela Philips."

[46] Para controladores sem suporte I2C , você pode usar uma ponte SPI para I2C (como na Figura 15.21), acionado pelo hardware SPI interno do microcontrolador (se presente) ou com troca de bits por meio de pinos de porta individuais. A ponte cuida do temporização I2C exigente e do sinal half-duplex reversões.

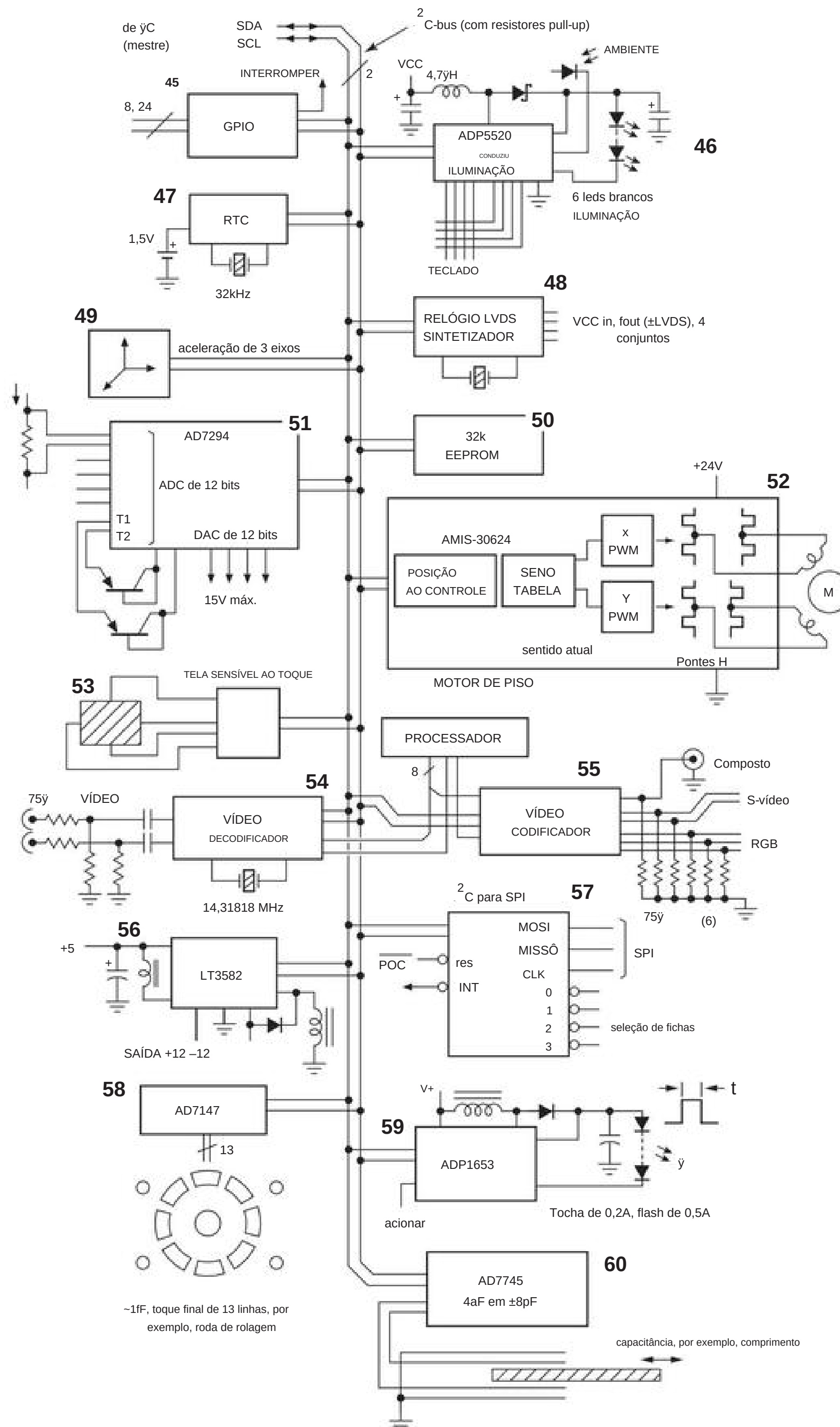


Figura 15.22. Uma variedade de periféricos de barramento I2C , adequados para aplicações de microcontroladores. As interfaces I2C marcadas com números em negrito **45** a **60** referem-se aos parágrafos descritivos em §15.8.3.

55. Geração de vídeo. Consulte §14.6.2: do fluxo de pixels, Cirrus Logic CS4954; e para HD, Analog Devices ADV7390–93, consulte a Figura 14.36.

56. Fonte de comutação bipolar. Consulte §9.6; O LT3582 da Linear Technology é programável em passos de 25 mV para mais de ±12 V (nem todas as partes necessárias são mostradas).

57. Controlador SPI. I 2C-bus para a ponte SPI, consulte §§14.7 e 15.8.2. SC18IS602B da NXP, mestre SPI com quatro linhas de seleção CS .

58. Detecção de toque de capacitância. Analog Devices AD7147 oferece sensibilidade de 1 fF em 13 linhas de entrada. Use para criar touch pads de seu próprio design, como a roda de rolagem mostrada. STMPE321 (apenas três linhas de toque), $ 1,30.

59. LED "lanterna" ou flash. O conversor de impulso ADP1653 (opções paralela e I2C) tem corrente programável para uma tocha de 200 mA (britânico para *lanterna),* ou com temporização para um flash de 500 mA com gatilho.

60. Sensor de capacitância de precisão. Dispositivos analógicos O AD 7745 possui um conversor de 24 bits e fornece resolução de 4 aF com uma faixa de ±8 pF, para medição precisa de posição, etc. O AD7746 possui dois canais. Ver Tabela 13.12.

15.8.4 Algumas restrições importantes de hardware

Os sistemas de microcontroladores apresentam algumas restrições inesperadas de circuito e temporização com as quais você deve se preocupar. Aqui estão alguns que vêm à mente; eles são discutidos com algum detalhe em outras partes do livro, conforme indicado pelas referências da seção.

A. Tensões de alimentação baixas A lógica do núcleo do microcontrolador rápido continua a encolher em tamanho de recurso, com tensões de alimentação correspondentemente mais baixas. E os microcontroladores, como seus primos *microprocessadores* mais aptos computacionalmente , apresentam a alimentação CC com etapas abruptas de corrente de carga, indo do modo de espera à corrente total em escalas de tempo de nanossegundos. Você precisa de buck con eficiente inversores (ou conversores de relação de tensão de ponto de carga) com baixa impedância de saída e boa resposta ao degrau; e uso liberal de capacitores de bypass SMT. Consulte *§9x.3.*

B. Tradução de nível lógico
Geralmente, você está lidando com várias tensões de alimentação em uma aplicação embarcada, com alguns requisitos de nível lógico incompatíveis. Veja §12.1.3 para muitos detalhes.

C. Temporização periférica crítica
Alguns periféricos externos de "alta manutenção" requerem grande atenção ao tempo. Na próxima seção sobre software, ilustramos isso com o exemplo de um sistema ADC multicanal de alto rendimento (§15.9.2), que enfatiza as capacidades de temporização de um microcontrolador de velocidade modesta.

D. Fontes de alimentação CC duplas: bateria e linha CA potência
Os dispositivos portáteis funcionam com baterias internas, geralmente recarregáveis por um adaptador CA. Você precisa de funções perfeitas de transição, carregamento de bateria e proteção e similares. Consulte *§9x.2.*

E. Reiniciar supervisor O telefone de mesa de um dos autores trava (!) se os botões forem pressionados muito levemente ou muito rápido. Ele fica preso e precisa ser reinicializado (desconectando a energia). Isso é uma falha de projeto (tivemos três do mesmo modelo, com o mesmo comportamento), remediado por um projeto cuidadoso com um cão de guarda e um supervisor de reinicialização. Esta tarefa é complicada pelo uso de várias tensões de alimentação (que apresentam seus próprios problemas, por exemplo, sequenciamento adequado durante a energização e desligamento). Consulte §10.8.1B.

15.9 Ambiente de desenvolvimento

Os cinco exemplos de projeto anteriores dão uma ideia da enorme variedade de aplicações para as quais os microcontroladores são tão adequados. Mas esses gadgets maravilhosos não farão nada até que você carregue um programa neles. Para isso, você tem que (a) fazer a codificação do programa, e (normalmente) a simulação; (b) carregar o programa no microcontrolador alvo do circuito; e (c) verificar e depurar, se necessário (será!), o código carregado. O cenário detalhado das ferramentas de software e hardware para fazer isso (o "ambiente de desenvolvimento") está melhorando continuamente. Aqui resumimos a situação atual, aconselhando, como sempre, que o profissional deve ficar a par do que está disponível e acessível nesta área da eletrônica em rápida mudança.

15.9.1 Software

O uso efetivo de microcontroladores requer algum investimento em ferramentas de software (compiladores, montadores, depuradores) que rodam em alguma plataforma de computador host. Junto com o custo das ferramentas, vem um investimento significativo em tempo para aprender a usá-las. A grande maioria dos contemporâneos

Machine Translated by Google

a programação é feita em C/C++, embora haja espaço para programação no nível da linguagem assembly.

A. C/C++ É importante perceber que existem variações específicas do fornecedor nas linguagens C/C++, ao codificar para um microcontrolador: existem bibliotecas que lidam com os periféricos internos (porta SPI, ADC, temporizadores e assim por diante) e há problemas de baixo nível, como a configuração de espaços de memória idiossincráticos . bits). O ponto principal é que o código que você está escrevendo não é C baunilha e, conseqüentemente, não é facilmente transportado de uma família de microprocessadores para outra.48

B. Código Assembly

Parte da codificação do microcontrolador é feita no código assembly nativo do processador. Isso é complicado e geralmente não é o caminho certo a seguir quando você está escrevendo um programa complicado, com ramificações e controles complexos, funções aritméticas e coisas do gênero. Mas permite que você se aproxime do metal, com acesso a instruções (como operações de bit ou ler-modificar-escrever) que são inacessíveis em uma linguagem compilada como C. aplicações de microcontrolador, você deve se lembrar que tal código é difícil de portar para uma família de processador diferente.

Os codificadores de linguagem assembly podem escrever loops altamente otimizados e códigos críticos de tempo (por exemplo, para um processador de sinal digital); e rotinas em linguagem assembly podem ser invocadas a partir de C quando necessário.49 Além disso, um programa compilado destinado a ser executado em modo autônomo (ou seja, sem um sistema operacional) necessariamente adquirirá algum código assembly de inicialização, colocado lá pelo sistema de desenvolvimento , que executa tarefas como inicializar a memória e interromper vetores, copiando o código executável da memória não volátil para a RAM interna (se for instruído) e assim por diante. É útil entender esse código, principalmente durante a depuração.

C. BASIC A série BASIC "Stamp", feita pela Parallax, Inc., são pequenas placas de circuito (do tamanho de um selo) baseadas em variantes de microcontroladores PIC ou Ubicom (anteriormente Scenix) que incluem um interpretador BASIC na ROM, um regulador de tensão, cristal e integrado do C. Eles também incluem EEP ROM não volátil para programa do usuário e armazenamento de dados. Eles vêm em SIP de 14 pinos e em DIP de 24 pinos e 40 pinos de largura (0,6), com preços a partir de $ 30,50. Esses módulos incluem itens como pinos de porta de E/S digital, PWM, porta serial e I2C, suportado pelas extensões da Parallax51 para a linguagem BASIC (chamada PBASIC); o código-fonte PBASIC não é compilado, mas é armazenado em um formato compactado ("tokenizado"), a partir do qual é executado pelo interpretador on-chip. Os comandos típicos do BASIC ocupam de 2 a 4 bytes, em sua forma comprimida, quando carregados na EEPROM do Stamp. Como esses dispositivos executam um *interpretador* incorporado (em vez de executar código compilado), eles não são muito rápidos – alguns milhares de instruções por segundo – mas sua simplicidade os tornou bastante populares.

As pessoas tendem a pensar no BASIC como uma linguagem ineficiente (tanto em requisitos de velocidade quanto de memória) – mas, na verdade, existem *compiladores* BASIC que criam um bom código assembly que é executado rapidamente. Eles não requerem um programa interpretador de tempo de execução pré-carregado e têm como alvo o código para muitos microcontroladores populares (por exemplo, AVR, PIC e ARM).52

A linguagem BASIC fornece acesso fácil a microcontroladores para programadores não sofisticados ou iniciantes. Outros fabricantes entraram nesse nicho: você pode obter, por exemplo, placas do tamanho de um selo com um ARM7 de 32 bits que executa um BASIC *compilado* por US$ 50 (ARMexpress, da Coridium).53

47 A arquitetura 8051, por exemplo, possui espaços de código internos e externos, espaços de dados internos e externos, áreas de bits endereçáveis e registradores de funções especiais. E, para complicar ainda mais, as variantes modernas do 8051 geralmente possuem alguma memória *interna* "externa"! Os processadores AVR e ARM são consideravelmente mais simples nesse aspecto; o ARM, em particular, tem um único espaço de endereço "plano".

48 Existem algumas exceções agradáveis a esse cenário complicado, por exemplo, a plataforma *Arduino* , que fornece software e bibliotecas simples que tornam a programação tão fácil (ou talvez até *mais fácil)* do que o exemplar BASIC Stamp.

49 Mas uma *nota de advertência* sobre o código assembly embutido em um programa C/C++: os compiladores contemporâneos irão "otimizar" o código do programa, presumindo que eles saibam mais do que o programador humano; isso pode criar sérios estragos.

50 Bem, $ 29 na verdade; mas estamos cansados de ser *eliminados* até a morte, então rotineiramente arredondamos o 9 final.

51 Por exemplo, "BUTTON" cancela um botão de entrada, executa uma repetição automática e desvia para um endereço se o botão estiver em um estado de destino.

52 Os exemplos são GCBASIC (código aberto), Swordfish, Proton PICBA SIC, mikroBasic e compilador PicBasic do microEngineering Labs para o PIC; BASCOM-AVR e os compiladores GNU para o AVR; Os honSoft para PIC, AVR e Z80; e vários compiladores para a família ARM.

53 Alguns outros microcontroladores programados em BASIC são BasicX (Net Media), PICAXE (Revolution Education), KicChip, C Stamp (A-WIT Technologies), CUBLOC (Comfile Technology) e ZBasic (ZBa sic/Elba).

D. Java, Python

Alguns microcontroladores, principalmente aqueles com núcleos ARM, incluem algum suporte de hardware para linguagens como Java. E algumas linguagens de script interpretadas foram portadas para microcontroladores. Essas linguagens interpretadas são convenientes para tarefas de alto nível que não exigem tempo crítico, por exemplo, uma interface de usuário; mas seja cauteloso ao contar com eles para tarefas dependentes de tempo, como controle robótico. Muitas vezes é melhor dedicar um microcontrolador separado para o último, com programação em tempo real apropriada.

15.9.2 Restrições de programação em tempo real

A programação de um microcontrolador é semelhante à programação de um computador comum, mas com algumas diferenças importantes. Já mencionamos coisas como a necessidade de inicializar "periféricos internos" por meio de registros de configuração de função especial, aumentos de linguagem específicos do fornecedor e o fato de que o código de tempo de execução geralmente é apenas um programa autônomo, sem nada parecido o sistema operacional normal.

Uma restrição adicional importante em muitas aplicações é a necessidade de estar em conformidade com o tempo crítico. Alguns exemplos são um ADC que deve obter amostras periódicas precisas, uma porta serial (USB, digamos) cujo tempo deve atender a uma especificação rígida ou a geração de vídeo analógico.

Quando você não está lidando com velocidades vertiginosas, os temporizadores integrados oferecem uma boa solução: no primeiro caso, você pode usar um dos temporizadores internos do C, para acionar o ADC a em algum ritmo lento, digamos 10 ksps; e a conversão completa do ADC pode gerar uma interrupção, então você pode buscar o resultado. Mas se você está ultrapassando os limites de velocidade, pode ter que recorrer a uma linguagem de montagem cuidadosamente codificada, levando em consideração a velocidade de execução do microcontrolador (relógios por instrução).
Isso é complicado e você deve tomar cuidado para equalizar os tempos nas ramificações e nos loops. E o código que você gera não é portátil, dependendo da velocidade do clock e do tipo de processador.

Exemplo de tempo: ADC serial de 16 bits

Para ilustrar isso com um exemplo específico, considere o LTC1609 200 ksps ADC de aproximação sucessiva de 16 bits com saída de dados serial, que vimos no Capítulo 13 como o back-end de uma aquisição de dados de 16 canais sistema (§13.12.1, Figura 13.76).
Entre outras coisas em sistemas como este, você precisa se preocupar com ruído digital contaminando a entrada analógica. Para lidar com este problema, este conversor felizmente oferece vários modos: por exemplo, em "modo de relógio interno" ele gera os pulsos de clock de conversão e você pega os bits serializados voando em sua direção exatamente nos momentos certos; é muito rápido para interrupções, então você tem que codificar um loop altamente restrito. Em outro modo, ele faz a conversão em rajada, enquanto a interface é silenciosa; então você cronometra os dados multibit enquanto o conversor está ocioso.

A Figura 15.23 mostra como funciona, no modo relógio interno. Você inicia a conversão com um pulso CONV , após o qual ele fornece os dados seriais (MSB primeiro, como em todos os conversores de aproximação sucessiva) junto com um relógio.
Embora o tempo seja bastante relaxado em termos de velocidade do hardware de lógica digital padrão (portas e flip-flops), ele requer uma velocidade mínima substancial do processador para lidar adequadamente com *o software.*

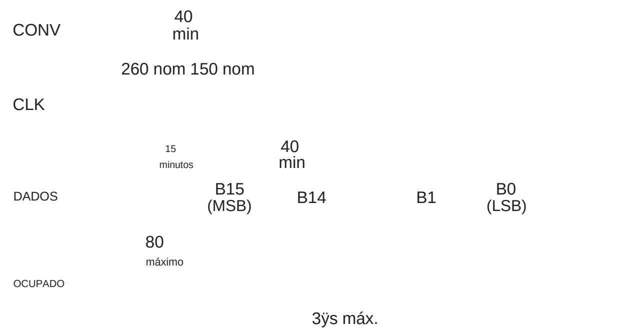


Figura 15.23. Temporização de dados seriais do ADC LTC1609 de 16 bits ao operar no "modo de relógio interno". Os tempos estão em nanossegundos.

Dê uma olhada no Pseudocódigo 15.6. O loop WAIT-FOR DATA deve ser concluído em 150 ns, o que, como veremos a seguir, requer no mínimo um processador com um clock de ~30 MHz (com uma instrução por clock, incluindo uma instrução de deslocamento de 16 bits) . PICs mais antigos, etc., não precisam ser aplicados! Observe que comandamos a troca de canal e a configuração de ganho do PGA (amplificador de ganho programável) ("configurar o próximo canal") imediatamente após iniciar a versão de conversão atual, o que pode parecer contra-intuitivo. Mas este é o lugar certo para fazer isso, porque o PGA precisa de 2 tle, e o ADC precisa de outros 2ÿs para ÿ s para definir adquirir a saída do PGA antes que a conversão subsequente seja ÿ iniciada. E temos tempo para enviar esses comandos de configuração, porque há um atraso de aproximadamente 200 ns após CONV antes que o ADC comece a enviar relógios e dados.

Depois de SAIR deste loop, você tem ÿ 2 algo com os ÿ s para fazer dados e qualquer outra coisa que precise ser feita, antes que o conversor esteja pronto para sua próxima conversão em sua velocidade máxima de 200 ksps (é claro, você está sempre livre para correr mais devagar).

Vamos examinar mais de perto o tempo crítico do loop WAIT-FOR-DATA , passo a passo. Nosso programa leva uma instrução para verificar se já obteve todos os bits de dados,

Pseudocódigo 15.6 Pseudocódigo de loop serial ADC

```
Canal
        espere até o cronômetro
        definir CONV BAIXO
        NOP
        definir CONV ALTO
        configurar próximo canal
Esperar por dados
        se BUSY HIGH, Sair se
        CLK LOW, repetir Esperar por dados obter
        e mudar bit de dados para repetição de palavra
        de 16 bits Esperar por dados
Saída
        armazenar palavras de 16 bits
```

outro para ver se um novo bit está pronto (relógio de saída ADC ALTO), um para obtê-lo e outro para voltar para mais. Assumindo um clock de CPU de ciclo único de 30 MHz, esse loop leva 133 ns.

Vamos acompanhar o que acontece quando ÿ o C captura os dados do ADC com clock a cada 150 ns. Ele pega o primeiro bit em algum lugar no tempo ALTO do relógio de 75 ns do ADC e cerca de 17 ns antes em cada captura sucessiva. Depois de alguns bits, é muito cedo, pousando em um clock ADC BAIXO; então ele tem que voltar, custando 66 ns e empurrando-o para perto do final do clock ADC de 75 ns HIGH. O C leva mais 33 ns para capturar o bit de dados, aproximando-se do final dos 40 ÿ ns do tempo de espera válido para dados do ADC.

Enquanto o ÿ C pega os 16 bits sucessivos, está em todo lugar – não é uma visão bonita. Mas somos cegos e não podemos ver; faltando tempo suficiente para adicionar mais duas instruções e emitir um pulso de marcador, não há como ver exatamente quando o processador faz o que faz.

Em vez disso, é necessário fazer uma análise cuidadosa do processo de pensamento, uma situação comum com programação em tempo real e tarefas sensíveis ao tempo. Nesse caso, perceberíamos o que precisa acontecer e calcularíamos a velocidade mínima do clock do processador a partir da pior situação de temporização. Isso aconteceria quando o clock de saída do ADC fosse testado logo antes de uma borda de subida; o loopback e a leitura levam 100 ns para serem concluídos, momento em que o bit de dados tem apenas 5 ns de vida útil restante garantida.

Portanto, um clock de CPU de 30 MHz parece marginalmente rápido o suficiente – mas é por pouco. E teremos problemas se o período do ADC for menor que o valor "típico" de 150 ns, ou se seu ciclo de trabalho for menor que 50%, fazendo com que seu tempo ALTO seja de 60 ns, digamos, em vez dos 75 ns que assumimos. Para obter uma melhor margem de segurança, precisaríamos de um processador mais rápido. Provavelmente melhor, porém, seria adicionar um D-FF externo (por exemplo, um 'LVC1G74) com clock na borda de subida do CLK, para capturar cada bit e disponibilizá-lo ao C durante todo o período de clock de 150 ns. Isso ÿ nos daria 35 ns extras (mais o tempo de atraso do flip-flop de aproximadamente 5 ns). Se você não precisa da velocidade do processador por outros motivos, adicionar um único flip-flop para diminuir a frequência de clock da CPU necessária é uma compensação que vale a pena.

Este exemplo ilustra um problema comum de projeto de sistema, ou seja, a troca entre software (e ciclos de processador) e hardware. Poderíamos ter usado um par de registradores de deslocamento 'LVC595 ou 'VHC595 (consulte §10.5.3) para registrar os 16 bits ADC convertidos, que o microcontrolador então lê em byte por meio de uma porta paralela. Isso reduziria a carga de software para menos de dez instruções a cada 5 s. Mas (além da tarefa de codificação) a execução do programa é gratuita, enquanto dois chips ocupam espaço e dinheiro; eles também ÿ monopolizam os pinos de E/S do processador. Por outro lado, se você não tiver muito tempo de processador disponível ou se o seu processador for muito lento, adicionar dois chips faz sentido.

Protocolos seriais padronizados Para portas seriais padronizadas como UARTs, I2C, Ethernet ou USB, a melhor abordagem é usar um microcontrolador com hardware interno dedicado. Uma segunda opção seria uma "ponte" externa que converte entre USB, digamos, e um UART serial padrão (por exemplo, os chips fabricados pela FTDI). Hardy souls são conhecidos por implementar portas seriais em linguagem assembly, mas pode ser um verdadeiro tour-de-force. Um exemplo impressionante é a implementação[54] de Paul Starkjohann de USB de 1,5 Mbps (versão 1.1) em linguagem assembly em um Atmel AVR rodando com um clock de 12 MHz, que exigia exatamente oito instruções por bit serial, durante o qual ele teve que extrair o fluxo de bits do NRZI dados codificados, completos com preenchimento de bits e caracteres de fim de pacote. Isso foi usado por Thomas Baier para controlar um gerador DDS RF, parte de um analisador de rede vetorial completo.

Além do desafio de acertar o tempo, a comunicação serial via USB envolve muita complexidade de software, na forma de drivers e similares.

Você não deve se sentir mal por usar o simples e velho UART, talvez com uma ponte para USB (com drivers fornecidos pelo fabricante).

15.9.3 Hardware

Os microcontroladores contemporâneos usam armazenamento interno não volátil (memória flash) para o código do programa, que você carrega

[54] Consulte http://www.obdev.at/products/vusb/index.html e http://www.obdev.at/articles/implementing-usb-1.1-in-firmware.html.

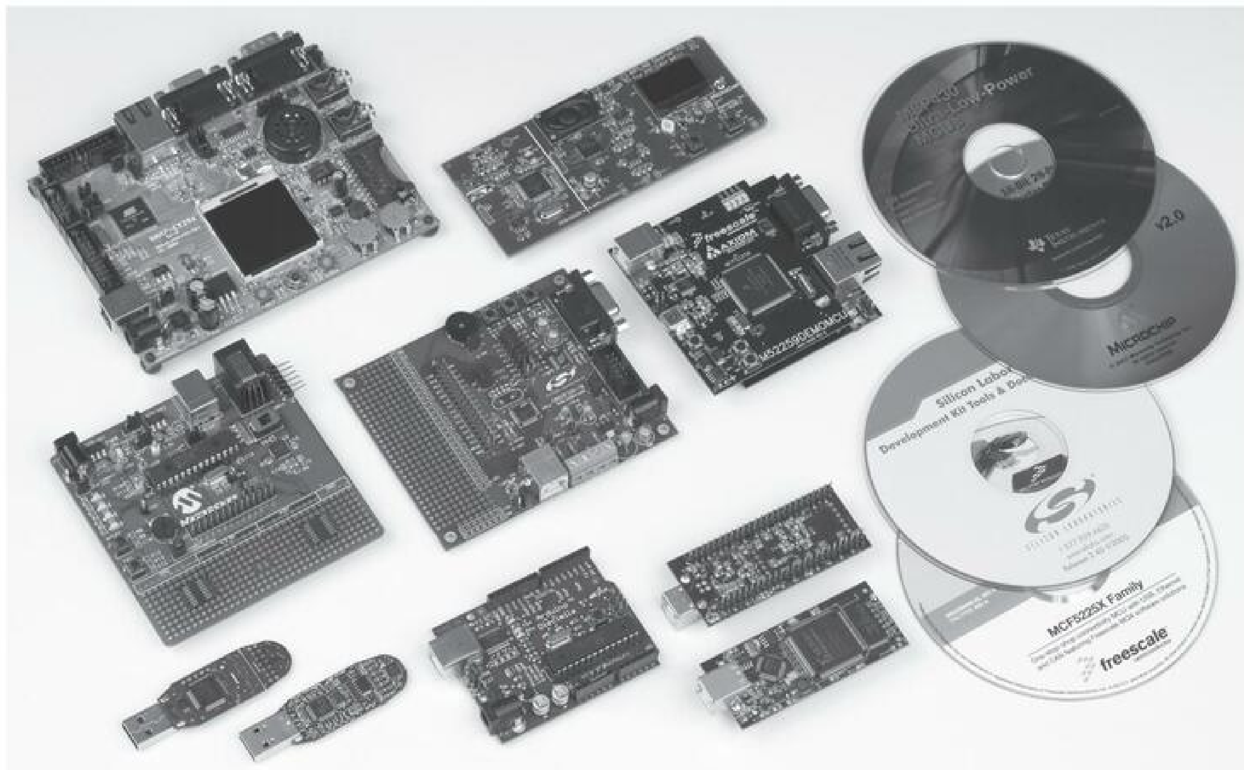


Figura 15.24. Os kits de desenvolvimento facilitam o início de uma família de microcontroladores; você os obtém dos fabricantes de chips ou de fornecedores terceirizados. Eles geralmente incluem software, cabos e adaptadores de energia. No topo estão os kits para um Atmel ARM e um Microchip PIC24H; no meio estão PIC24F, Silicon Laboratories C8051F320 e Freescale ColdFire (M52259); na parte inferior estão Texas Instruments MSP430 (duas visualizações), Atmel AVR (ATmega168) e um kit de desenvolvimento FPGA (Xilinx Spartan-3E, duas visualizações). Outros fornecedores além dos fabricantes são Olimex (ARM), Arduino (AVR) e DLP Design (Spartan).

(enquanto o µC está no circuito) por um dos vários métodos. Você normalmente faz o carregamento[55] com um "pod" comercial (oficialmente chamado de "programador de dispositivo"), que você compra do fabricante do chip ou de terceiros. Se você comprar um kit de desenvolvimento (Figura 15.24), ele geralmente incluirá um pod de programação, junto com o software (para compilar, simular, montar e carregar) e com uma placa de circuito na qual há um microcontrolador e outro hardware. (portas digitais e analógicas, LEDs, uma porta serial, um cabeçalho de programação e talvez algum dispositivo de exibição). Aqui estão os vários protocolos de carregamento:[56]

A. Carregador de inicialização de porta serial UART Alguns microcontroladores incluem código de porta serial embutido (em ROM), para que eles acordem ouvindo comandos de programação na porta serial UART (um "carregador de inicialização serial"). Para ativar este modo, você deve ativar um ou mais pinos no reset para sinalizar que deseja programar via UART e, assim, colocá-lo no modo de programa. Os exemplos incluem a série Maxim–Dallas DS89C400, alguns Atmel AVRs e alguns controladores ARM7. A comunicação é via modos UART seriais padrão (geralmente 9600 8N1); no entanto, como o microcontrolador aceita níveis lógicos (unipolaridade), não bipolaridade RS-232, você deve usar um chip de interface (como um MAX232) entre o conector de porta serial DE-9 de um PC e o microcontrolador de destino.[57] Você pode , é claro,

[55] O que, confusamente, é chamado de "programação" do dispositivo. Usamos relutantemente esse termo aqui (intercambiavelmente com "carregamento", neste contexto de hardware), para significar a programação *física* da memória flash do microcontrolador. Não confunda com a tarefa de programação de software de escrever o código.

[56] Consulte §§14.5, §14.6.4 e 14.7.4 para obter mais detalhes sobre links de dados seriais UART, SPI e JTAG.

[57] As portas seriais do PC estão desaparecendo rapidamente; você pode substituir um adaptador USB para RS232, ou melhor, um chip USB para UART como o FT232R; o último corresponde às necessidades de nível lógico do µC, portanto, nenhum chip de estilo MAX232 é necessário

escreva seu próprio código de bootloader e carregue-o na memória de código de usuário normal, para que um microcontrolador que permita sobrescrever a memória de código flash possa ser reprogramado através do UART. Com este método, porém, você não conseguirá carregar um chip não programado inicialmente através do UART (método utilizado pelo projeto Arduino).

B. Carregador de inicialização de porta serial SPI Alguns microcontroladores (por exemplo, a série Atmel AVR menor) implementam um gerenciador de inicialização por meio da porta SPI do chip . impressora) ou as portas seriais (RS232) "COM". Tal como acontece com os carregadores de inicialização de porta serial, você deve inserir um pino durante a inicialização para ativar o carregador de inicialização SPI. Para os controladores AVR, por exemplo, você ativa RESET .

C. Carregador de inicialização de porta serial JTAG O protocolo de varredura de limite serial JTAG (§14.7.4), originalmente planejado para teste e depuração, é usado como um carregador de inicialização de memória flash por alguns microcontroladores. Os exemplos incluem os AVRs de maior número de pinos, ARM7, série Silicon Labs C8051F e série Maxim–Dallas MAXQ. A porta JTAG pode ser uma das várias opções, assim como os AVRs de alta contagem, que permitem o bootloading via JTAG ou SPI (assim como programação paralela).

D. Bootloader de porta serial proprietário
Alguns fabricantes de microcontroladores usam seus próprios protocolos seriais simples, que não estão em conformidade com padrões como SPI, I2C ou JTAG. Pouco importa, porém, porque você geralmente usa apenas o pod apropriado, conforme suportado pelo ambiente de desenvolvimento do fornecedor. Alguns dos controladores PIC (Microchip) são programados dessa maneira; e para alguns deles você deve aplicar uma alta tensão (+12 V) em um pino chamado VPP (programação de "alta tensão"), enquanto outros permitem que você use tensões normais de alimentação em nível lógico (programação de "baixa tensão").

E. Carregador de inicialização de porta serial USB Os microcontroladores que incluem suporte a USB geralmente implementam uma opção de carregador de inicialização USB. Exemplos são alguns controladores de pressão Cy e as séries Atmel ARM e AVR32UC3, que podem carregar a memória do programa na inicialização a partir da porta USB, da porta JTAG ou do UART.

58 Que pode ser uma das várias portas do bootloader nas mesmas peças ÿ C: o Atmel AVR maiores, por exemplo, permite a programação do bootloader via SPI ou JTAG. Além disso, alguns Cs permitem que você ÿ instale um gerenciador de inicialização personalizado na memória flash do C, que pode inicializar a partir do ÿ Portas USB, UART ou Ethernet.

F. Carregamento paralelo Finalmente, muitos microcontroladores fornecem uma maneira de programar a memória flash interna por meio de uma conexão paralela multifios. Em alguns casos, você deve aplicar uma tensão mais alta (por exemplo, +12 V) a um dos pinos; isso às vezes é chamado de "programação de alta tensão".

G. Uma cápsula "universal"?

O projeto "Bus Pirate" tem o que parece ser uma ótima ferramenta: por US$ 30 você obtém um pequeno hardware USB para qualquer coisa, com suporte de código aberto. Você pode abrir um terminal em seu PC e escolher entre 1 fio, I2C, SPI, JTAG, serial assíncrono (UART), MIDI, teclado de PC, LCDs HD44780, bibliotecas genéricas de 2 e 3 fios para protocolos personalizados e bit-bang binário programável. Você obtém suporte de software para AVR, JTAG e alguma programação serial em circuito de memória flash. Portanto, é útil para falar com vários tipos de chips (não apenas a programação do microcontrolador) – por exemplo, ao depurar os protocolos para falar com algum novo chip "inteligente" que precisa de seus modos de operação configurados (passamos muito tempo lutando com um tira de display de LED alfanumérica inteligente; essa coisa teria nos economizado horas). A versão 4 do Bus Pirate é uma atualização que adiciona alguns recursos (por exemplo, modo OpenOCD JTAG); atualmente custa $ 40 (http://dangerousprototypes.com).

H. Serrar o galho. . .

Você geralmente pode escolher qual método de programação usar quando o C suporta vários. No entanto, em controladores onde o ÿ bootloader pode ser sobrescrito, você pode sobrecarregar o loader e, assim, ser forçado a recorrer à programação paralela. Existem outras formas, também, de fazer o que chamamos de "serrar o galho em que você está sentado": conseguimos fazer isso com um pequeno chip AVR, quando carregamos um programa que começava desligando a maioria dos periféricos, *inclusive o SPI.* Isso foi um grande erro, porque desativou a única porta disponível para inicialização serial. A programação paralela de alta voltagem o trouxe de volta à terra dos vivos.

Outra maneira de encerrar sua conversa com um microcontrolador é programá-lo para usar um oscilador externo do tipo errado; ou seja, aquele que não corresponde ao hardware real que está conectado (cristal puro, ressonador de cerâmica ou sinal de oscilação externa de um módulo oscilador externo). Alguns microcontroladores o protegem dessa armadilha: os processadores Silicon Labs 8051-core e os processadores ARM-core, por exemplo, inicializam em um estado conhecido, rodando a partir de um oscilador interno lento; você precisa codificar especificamente quaisquer alterações desse padrão. Se você fizer errado, apenas corrija o código e recarregue a partir de uma inicialização a frio.

I. Depuração no circuito Os microcontroladores de design recente incluem hardware no chip que permite depurar o código durante a execução no circuito, definindo pontos de interrupção, examinando registros e memória, passo único e assim por diante. (Isso costumava ser um grande negócio, exigindo chips de processador especiais equipados com cabos extras e também exigindo um gasto considerável de dinheiro.) A depuração no circuito geralmente usa as mesmas portas que você usa para carregar o programa; então você apenas mantém o pod de programação conectado e itera um ciclo de depuração-reprogramação até que tudo funcione corretamente.

Algumas famílias de processadores que atualmente incluem esses recursos são o Atmel AVR, processadores baseados no núcleo ARM, alguns processadores PIC e alguns derivados do 8051 (principalmente os da Silicon Labs).

15.9.4 O Projeto Arduino

Mencionamos o Projeto Arduino, com aprovação, várias vezes neste capítulo. O que, exatamente, é isso?

Nas palavras do site (www.arduino.cc), "Ar duino é uma plataforma de prototipagem eletrônica de código aberto baseada em hardware e software flexíveis e fáceis de usar. Destina-se a artistas, designers, amadores e qualquer pessoa interessada em criar objetos ou ambientes interativos.

· · · O microcontrolador na placa é programado usando a [linguagem C com bibliotecas personalizadas] e o ambiente de desenvolvimento do Arduino. . . . Os projetos do Arduino podem ser autônomos ou podem se comunicar com o software executado em um computador."

Em *nossas* palavras, o *hardware* Arduino é um conjunto bem projetado de placas econômicas, baseadas em microcontroladores Atmel (a série ATmega AVR e a série SAM3X ARM Cortex-M), com todos os componentes externos corretos: porta USB (com o FTDI chip para converter em pinos seriais do C), regulador de 5 V, porta SPI, PWM, ADC e pinos de E/S digitais, LEDs e alguns componentes adicionais. Você pode comprar a placa padrão (atualmente chamada de "Uno") montada, por cerca de US $ 30 de fornecedores amadores como Adafruit e Spark Fun; você também pode comprá-lo como um kit ou até mesmo gravar o seu próprio (eles fornecem arquivos CAD no formato Eagle ou um arquivo de imagem no formato ÿ.png).

E o ambiente de desenvolvimento de *software* é de código aberto e gratuito: é um C completo, usando o compilador GNU C voltado para os processadores AVR e ARM. O software Arduino é um wrapper GUI simples e amigável em torno deste compilador; ele roda em Windows, Mac OS ou Linux e permite fácil edição de código e gerenciamento de projetos. O firmware do Arduino (escrito em C) que roda no dispositivo inclui um bootloader que escuta a comunicação através do link serial USB e baixa um novo programa do usuário ou atinge o tempo limite após um segundo e executa o programa já presente na memória flash (código).

Existe uma biblioteca de boas funções C que você pode chamar de seus próprios programas para fazer coisas como E/S de texto através do link USB, formatar números a serem impressos, configurar temporizadores e interrupções, etc. Por exemplo, val=analogRead (3) coloca a tensão lida em analógico Muito pouco deste código de pino 3 na variável val. está [59] biblioteca vinculado ao próprio hardware do Arduino e você pode usá-lo em seus projetos baseados em AVR. Isso funciona bem porque é todo de código aberto e usa o compilador de código aberto.

Tomado como um todo, o Projeto Arduino é simplesmente todos esses componentes trabalhando juntos. Uma métrica interessante de facilidade de uso de qualquer hardware de microcontrolador mais IDE pode ser a seguinte: quanto tempo leva, depois de abrir a caixa, antes de fazer algo interessante?

Para o Arduino, a resposta é "cerca de 20 minutos": baixe o software, clique com o botão direito do mouse para instalar o driver FTDI e o mini-IDE; em seguida, abra o programa Arduino, digite quatro linhas e pronto! E você não precisa saber nada sobre hardware – a pequena placa se alimenta sozinha através do link USB – nem precisa de nenhum hardware extra (exceto um cabo USB padrão).

Existem produtos semelhantes ao Arduino com recursos especiais. Muitos usam os mesmos microcontroladores, têm as mesmas pinagens de blindagem (placa filha) e usam compiladores iguais ou semelhantes. Por exemplo, a placa "Linduino" da Linear Technology usa seu chip de isolamento USB LTM2884, fornecendo um hub USB 2.0 isolado ou periférico USB (pico de 560 V ou 2,5 kVrms por um segundo), completo com 5 Vdc isolado (para 500 mA). A placa Linduino também possui o conector de placa de interface DC590 padrão da LTC e é especialmente adequada para uso com seus ADCs de alta resolução.

15.10 Encerramento

15.10.1 Qual o custo das ferramentas?

Tanto as empresas de microcontroladores quanto alguns fabricantes terceirizados facilitam o início. Muitos deles oferecem kits de desenvolvimento simplificados, geralmente na faixa de US$ 50 a US$ 200, consistindo em (a) um pod de programação, (b) uma pequena placa com o microcontrolador e alguns acessórios (LEDs, porta serial, porta USB, E/S analógica e

[59] Essa facilidade de uso vem com alguma perda de generalidade, por exemplo, em atribuições de pinos.

cabeçalho de programação) e (c) software para compilação, como montagem, carregamento e depuração.60 O compilador que vem com esses kits pode ser uma versão gratuita de "avaliação" de um compilador mais capaz que você pode comprar. Por exemplo, os kits baratos da Silicon Labs vêm com uma versão limitada das ferramentas comerciais do compilador Keil. Ele é completo, mas limita você a 4 kB de código de objeto compilado e não possui a biblioteca de ponto flutuante. As listas ilimitadas de produtos Keil por ÿ$2.5k, das quais os usuários educacionais recebem grandes descontos. Da mesma forma, o software Raiso nance (consulte a descrição 8051 em §15.3) está disponível para download gratuito, novamente limitado a 4 kB de código objeto, com a versão ilimitada com preço comparável ao produto Keil. Outro fornecedor de ferramentas de software de alta qualidade é a IAR Systems, com suporte para a maioria das famílias populares de microcontroladores: 8051, ARM, AVR, Coldfire, MAXQ, PIC, H8 e MSP430, entre outras. Outros fornecedores de compiladores e depuradores para sistemas embarcados incluem Green Hills Software, HI-TECH Software, Lauter back e Rowley Associates.

Em um desenvolvimento agradável, a comunidade de código aberto portou o compilador GNU C/C++ para a maioria dos sistemas operacionais, com a capacidade de direcionar os microcontroladores da família AVR e ARM. Este software gratuito, mais um pod de programação, fornece o caminho mais barato para a programação de microcontroladores em linguagem C com todos os recursos. Outra tendência encorajadora é a crescente aceitação pelos fabricantes de semicondutores da necessidade de um bom suporte de software. Tradicionalmente, os fabricantes de chips viam o software como um mal necessário, na melhor das hipóteses, com o qual prefeririam que outra pessoa se preocupasse; isso parece, felizmente, estar mudando. Por exemplo, a Atmel integrou as ferramentas de código aberto GNU em seu ambiente Windows para compilar, simular e depurar no circuito. E o ambiente de desenvolvimento de software livre Eclipse da IBM tornou-se popular, permitindo que fabricantes e usuários criem plug-ins para famílias específicas de processadores. Dois exemplos são o NIOS soft-core C Micrium da Altera e o open

ÿ

ferramentas ARM de origem.

É importante perceber que os pods de programação geralmente não são intercambiáveis entre as famílias de processadores. Os pods não são muito caros, então isso não é um problema sério. Em alguns casos, o hardware de programação permite mais de um protocolo de conexão. Por exemplo, o At mel AVR Dragon, que se conecta ao host via USB e custa cerca de $ 50, permite que você programe nos modos SPI, JTAG, paralelo e serial de alta tensão; ele também oferece suporte na depuração do sistema. O pod AVR ISP mais simples suporta apenas a programação SPI. Os pods de programação também são vendidos por fornecedores terceirizados e amadores, como Olimex Ltd e Sparkfun Electronics; você pode encontrar muitos outros fornecedores nas páginas de publicações divertidas para amadores, como *Cir cuit Cellar* ou *MAKE Magazine.*

[60] Se você quiser apenas mergulhar, existem alguns dispositivos demonstradores que permitem programar apenas alguns LEDs; eles geralmente se conectam a uma porta USB e custam cerca de US $ 10. Você não pode fazer muito com eles, porém, e é melhor ir com os devkits reais.

15.10.2 Quando usar microcontroladores

Quase sempre!

Certamente para sistemas eletrônicos que (a) possuem exibições de caracteres ou gráficos como parte de sua interface de usuário; (b) incluir chips que requeiram configuração de registradores internos ou modos de operação; (c) comunicar-se com um computador host, periféricos autônomos, rede ou dispositivos sem fio; (d) requerem alguma computação, armazenamento, conversão de formato, processamento de sinal, etc.; (e) requerem calibração ou linearização; (f) envolvem o sequenciamento de eventos ao longo do tempo; ou (g) estão sujeitos a atualizações ou revisões de recursos.

Os microcontroladores devem ser considerados até mesmo para funções "analógicas" tradicionais, como medição e controle, especialmente com a crescente ênfase em internos orientados para analógico em processadores de empresas como Analog Devices e Cypress.

Dispositivos lógicos programáveis (PLDs, incluindo FPGAs), por outro lado, são geralmente preferidos para tarefas que requerem temporização crítica ou alto grau de paralelismo. Eles são, no entanto, consideravelmente mais difíceis do que microcontroladores para programar e depurar. Qualquer sistema com PLDs geralmente incluirá também um microcontrolador; e o último pode assumir a forma de um núcleo de processador flexível (ou seja, configurado a partir dos recursos programáveis no FPGA) ou um núcleo de processador rígido (ou seja, pré-conectado dentro do FPGA "híbrido"). Exemplos de núcleos flexíveis FPGA são Actel ARM, Altera Nios-II, Lattice Mico e Xilinx MicroBlaze; exemplos de processadores pré-conectados em FPGAs híbridos incluem ARM da Altera, FPSLIC da Atmel com AVR e PowerPC da Xilinx.

Outra maneira de lidar com as demandas duplas de temporização crítica (por exemplo, em vídeo em tempo real ou aplicativos sem fio), juntamente com a necessidade de versatilidade de um microcontrolador integrado, é combinar um produto padrão específico da aplicação (ASSP; por exemplo , um decodificador MPEG ou subsistema de RF de celular) com um microcontrolador supervisório.

15.10.3 Como selecionar um microcontrolador

Há um benefício real em usar uma família de processadores que as pessoas ao seu redor estão usando e, portanto, têm disponíveis as ferramentas de software e hardware necessárias e a experiência. Em seguida, observe fatores como estes (dependendo de sua aplicação): (a) Portas (analógicas, digitais e de comunicação); (b) funções internas (por exemplo, conversores, PWM, drivers de LCD simples, etc.); (c) velocidade de cálculo; (d) tamanho da memória flash, EEPROM e SRAM; (e) configurações de pacotes; (f) dissipação de energia, modos de clock de baixa potência e modos de suspensão; (g) ferramentas de programação de software, simulação e depuração de erros no circuito.

O compêndio em §15.3 pode fornecer um bom ponto de partida.

Ao escolher uma peça específica dentro de uma família de microcontroladores, as opções podem ser esmagadoras. Geralmente é mais fácil começar com a parte "premium" da série; ou seja, aquele com o clock mais rápido e mais dados (RAM) e memória de código (flash ROM). Muitas vezes, a maior parte da família consiste em versões reduzidas de algumas peças premium, talvez com periféricos especializados.

Os primeiros microcontroladores foram organizados em torno de um tamanho de palavra de 8 bits, mas agora existem muitos controladores de 32 bits. Algumas vantagens do último (um espaço de endereço plano, instruções mais poderosas) são parcialmente compensadas por considerações como a complexidade da inicialização,[61] preços um pouco mais altos e ampla familiaridade com as famílias de processadores de 8 bits.

Mesmo se você codificar tudo em C, a maioria dos seus problemas serão específicos do microcontrolador: inicializar E/S e periféricos on-board na inicialização, configurar os "bits de fusíveis" (independentes do código do programa) que controlam os níveis de tensão e clock, ou lidar com várias páginas de memória e locais de memória idiossincráticos para periféricos e sua configuração. Como resultado, uma arquitetura de microcontrolador simples com um espaço de memória plano e arquivos de cabeçalho padrão será muito mais fácil de usar.

[61] Por exemplo, um periférico ARM precisa de muito código apenas para ligá-lo, inicializá-lo, conectá-lo aos pinos de E/S corretos e assim por diante.

A qualidade e a quantidade de bibliotecas incluídas podem ser bastante importantes; por exemplo, as bibliotecas incluídas para TCP/IP, SPI, I2C, etc., facilitam a programação de um microcontrolador Rab bit. Essa também é uma vantagem importante para o Projeto Arduino, com a grande comunidade fornecendo código que cresceu em torno dele. Comentários semelhantes podem ser feitos sobre a importância de escolher um microcontrolador que tenha um compilador-depurador estável. Da mesma forma, há várias vantagens em selecionar uma placa de microcontrolador configurada para executar o Linux (como o Gumstix Overo ou o BeagleBoard). Eles vêm com um sistema operacional muito estável e drivers de baixo nível, eles têm multitarefa preemptiva nativa, eles têm algumas vantagens de depuração agradáveis (pode-se apenas usar SSH ou um terminal serial e obter acesso ao console) e, finalmente, eles têm um hardware impressionante (incluindo controladores gráficos de alto desempenho).

15.10.4 Um tiro de despedida

Caso não tenhamos deixado isso completamente evidente, os microcontroladores são, bem, *divertidos!* A Figura 15.25 mostra um exemplo maluco, ou seja, o chapéu de Halloween de Jason Gallicchio de 2004: ele se assemelha (não por coincidência) a um escorredor eletrificado, completo com LEDs piscando e uma pilha de baterias no topo. Sua característica notável, porém, é a capacidade de ler a mente de seu usuário. A foto mostra o que acontece quando o interlocutor do usuário responde à pergunta "Em que faculdade você estuda?"

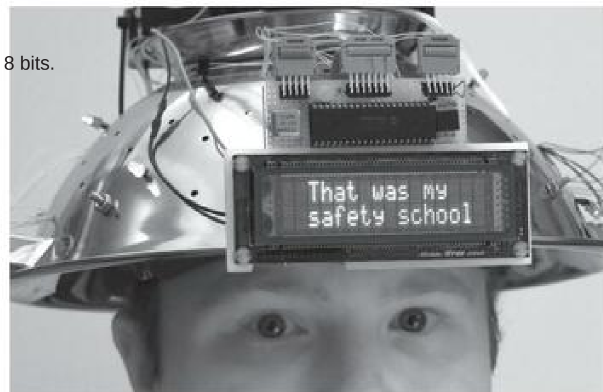


Figura 15.25. "Este chapéu lê minha mente."

Revisão do Capítulo 15

O mais breve dos resumos, do já breve tratamento do Capítulo 15 sobre microcontroladores.

¶UMA. Microcontroladores – a visão de 10.000 pés.

Em 1960, as previsões do futuro mostravam pessoas voando em jetpacks, viajando em jatos supersônicos de passageiros e, o mais ousado de tudo. . . *um telefone com botão de pressão em cada casa!* Dito de outra forma, eles extrapolaram as tecnologias que conheciam (transporte, telefones com fio), mas perderam o Big One (microeletrônica e, particularmente, microcontroladores embutidos). Não temos jetpacks pessoais, mas temos acesso interativo portátil e instantâneo a notícias, informações e pessoas. Ei, não *precisamos* de nenhum jetpack fedorento!

Microcontroladores (ÿ Cs) são processadores autônomos com um conjunto completo de periféricos integrados em um único chip barato (Figura 15.1). Você obtém desempenho computacional substancial (processador de 32 bits, 100 MIPs, sem problemas), além de uma variedade de ADCs, DACs, Ethernet, USB, PWM, controlador de LCD, SPI, vários UARTs e temporizadores e, claro, programa no chip memória e SRAM, tudo em um chip por um preço bem abaixo de US$ 10; veja, por exemplo, o exemplo antigo na Figura 10.86, ou dê uma olhada nas implementações da NXP do ARM Cortex-M4 MCU (unidade de microcontrolador), por exemplo, a série LPC4088. Os microcontroladores são inúteis sem seus programas de *firmware* armazenados , cuja criação pode ser o maior obstáculo para um projeto bem-sucedido. Assim, juntamente com a criação do Silicon com integração e desempenho impressionantes, a indústria desenvolveu e agilizou o ambiente de desenvolvimento integrado (IDE) - o processo de desenvolvimento inicial de código, simulação, carregamento no dispositivo de destino e integração. depuração do circuito.

Para o projetista de circuitos, o microcontrolador deve ser pensado como um *componente de circuito,* como um amplificador operacional e, às vezes, até mais barato. Mesmo em suas variedades mais simples, eles são particularmente úteis como interfaces entre o usuário e os outros circuitos (ver, por exemplo, a Figura 15.5); e em suas variedades complexas podem realizar a maioria das funções do instrumento (como na Figura 15.18). Neste capítulo introduzimos o vasto assunto de microcontroladores com alguns exemplos ilustrativos, para dar uma noção do que é possível; incluímos cada um com seu *pseudocódigo* correspondente e, para o primeiro exemplo (monitor bronzeado), listamos o código detalhado da linguagem C.

¶B. Famílias populares de microcontroladores.

Em §15.3, fornecemos uma lista comentada de favoritos contemporâneos. As espécies dominantes são os AVR mais simples (Atmel) e PIC (Microchip), e a melhor escolha para maior desempenho são os imensamente populares processadores derivados de ARM (licenciados pela ARM Holdings para mais de uma dúzia de fabricantes de semicondutores). Estes últimos são usados na maioria dos smartphones do mundo. A atraente plataforma Arduino (§15.9.4) inclui computadores de placa única (SBCs) baseados em AVR e ARM.

¶C. Periféricos Externos.

Os microcontroladores adoram puxar os fios de outros chips, o que é feito facilmente com algumas conexões diretas (Figura 15.20, §15.8.1) ou com barramentos seriais simples entre chips como SPI (Figura 15.21, §15.8.2) e I2C (Figura 15.22, §15.8.3). As figuras e notas listam e descrevem mais de 50 dispositivos periféricos úteis.

¶D. Dicas de design (hardware).

Os cinco exemplos de projeto descritos neste capítulo (monitor de bronzeado, controle de potência CA, sintetizador de frequência, controlador térmico e plataforma mecânica estabilizada) incluíam muitos projetos de circuitos, com as lições correspondentes. Aqui estão alguns deles: (a) A maioria dos Cs inclui ADCs on-chip, que são atraentes ao lidar com entradas analógicas; mas não ignore o ÿ simples comparador no chip, que às vezes pode promover simplicidade e melhor desempenho (Figura 15.3). (b) Um bit de porta de saída digital pode comandar MOSFETs ou BJTs externos diretamente (Figura 15.3) ou com a ajuda de um CI de gate-driver externo (Figura 15.10); ele também pode acionar um relé de estado sólido (Figura 15.4). (c) Não negligencie a simplicidade da comunicação serial RS-232 simples; ele é compatível com todos os Cs e funciona bem em laptops e PCs executando um emulador de terminal e conectado por meio de um adaptador USB ou Ethernet (Figura 15.5). (d) Botões de pressão ÿ podem ser conectados em um arranjo matricial, para minimizar a fiação (Figura 15.8); eles são lidos com polling de bit de porta digital. (e) Microcontroladores destinados a sensoriamento e controle permitem que você se conecte diretamente a sensores de baixo nível (Figura 15.11); sua saída PWM fornece uma maneira fácil de implementar o controle proporcional. (f) A maioria dos Cs inclui ADCs, facilitando a conexão de sensores de saída analógica (por exemplo, um giroscópio ou acelerômetro, Figura 15.18). Você pode encontrar um zilhão de pequenos gadgets desse tipo em sites de amadores como sparkfun.com ou adafruit.com. (g) E uma maneira fácil de começar ÿ é com as placas Arduino e o software (§15.9.4); abra a caixa e você estará funcionando em 20 minutos.

¶E. Dicas de Programação (Firmware).

Você precisa de ferramentas de software específicas do microcontrolador (compiler, montador, simulador, depurador) que são executadas em um host

PC; e você precisa de um pod de hardware (§15.9.3) para carregar o código-objeto no alvo C e executar ferramentas de depuração. Você também precisa estar ciente das diferenças entre a programação do microcontrolador e a programação comum do computador. Aqui estão algumas dicas: (a) Existem variações específicas do fornecedor em C/C++ relacionadas a idiossincrasias de periféricos no chip (portas, temporizadores, conversores, etc.); você não está escrevendo em vanilla C. (b) O código para um C deve fazer uma quantidade significativa de inicialização de modos e periféricos internos; isso é complicado, exigindo dezenas de bytes perfeitamente configurados. (c) Você precisa programar em linguagem assembly para tarefas de tempo crítico; em caso afirmativo, fique atento a compiladores inteligentes demais que tentam otimizar seu código. (d) Os produtos destinados à fabricação devem ser revisados e aprovados por alguém qualificado em interfaces humanas (consulte §15.2.2E). (e) Habilitar o watchdog! Microcontroladores bem codificados não devem travar, mas eles travam. (f) Mantenha as rotinas de interrupção curtas; em um sistema simples, você pode não precisar de interrupções. (g) Temporizadores internos podem gerar sinais nos pinos de saída, muito úteis quando você deseja acionar dispositivos externos (por exemplo, um ADC) com intervalos de tempo constantes (e da mesma forma para periféricos no chip).

¶F. Quando usar microcontroladores.

Quase sempre! Certamente para sistemas eletrônicos que (a) possuem exibições gráficas ou de caracteres como parte de sua interface de usuário; (b) incluir chips que requeiram configuração de registradores internos ou modos de operação; (c) comunicar-se com um computador host, periféricos autônomos, rede ou dispositivos sem fio; (d) requerem alguma computação, armazenamento, conversão de formato, processamento de sinal, etc.; (e) requerem calibração ou linearização; (f) envolvem o sequenciamento de eventos ao longo do tempo; ou (g) estão sujeitos a atualizações ou revisões de recursos. Microcontrollers devem ser considerados até mesmo para funções "analógicas" tradicionais, como medição e controle, especialmente com a crescente ênfase em internos orientados a analógicos em processadores de empresas como Analog Devices e Cy press.

Dispositivos lógicos programáveis (incluindo FPGAs, Capítulo 11), por outro lado, são geralmente preferidos para tarefas que requerem temporização crítica ou um alto grau de paralelismo. Eles são, no entanto, consideravelmente mais difíceis de programar e depurar do que os microcontroladores.

¶G. Como selecionar um microcontrolador.

Olhe primeiro para uma família de processadores que as pessoas ao seu redor estão usando e, portanto, têm disponíveis as ferramentas de software e hardware necessárias e a experiência. Em seguida, observe fatores como estes (dependendo de sua aplicação): (a) portas – analógicas, digitais e de comunicação; (b) funções internas (por exemplo, conversores, PWM, drivers de LCD simples, etc.); (c) velocidade de cálculo; (d) tamanho da memória flash, EEPROM e SRAM; (e) configurações de pacotes; (f) dissipação de energia, modos de clock de baixa potência e modos de suspensão; (g) programação de software, simulação e ferramentas de depuração em circuito. O compêndio em §15.3 pode fornecer um bom ponto de partida.

A qualidade e a quantidade de bibliotecas incluídas podem ser bastante importantes (por exemplo, o Projeto Arduino, com a grande comunidade fornecendo código que cresceu em torno dele). Da mesma forma, é desejável escolher um microcontrolador que tenha um compilador-depurador estável.

Ao escolher uma peça específica dentro de uma família de microcontroladores, as opções podem ser esmagadoras. Geralmente é mais fácil começar pela parte "premium" da série, ou seja, aquela com o clock mais rápido e mais dados (RAM) e memória de código (flash ROM). Muitas vezes, a maior parte da família consiste em versões reduzidas de algumas peças premium, talvez com periféricos especializados.

REVISÃO DE MATEMÁTICA

APÊNDICE A

Algum conhecimento de álgebra e trigonometria é essencial para uma compreensão completa deste livro. Além disso, uma habilidade limitada para lidar com números complexos e derivadas (uma parte do cálculo) é útil, embora não seja totalmente essencial. Este apêndice pretende ser o mais breve dos resumos de números complexos e diferenciação, precedido por uma coleção de fórmulas úteis de trigonometria, exponenciais e logaritmos. Não pretende ser um substituto do livro didático. Para um livro de auto-ajuda altamente legível sobre cálculo, recomendamos *Quick Calculus,* de D. Kleppner e N. Ramsey, Wiley, 2ª ed., 1985.

A.1 Trigonometria, exponenciais e logaritmos

Aqui está uma coleção de fórmulas úteis:

$$x = \frac{ÿb±ÿ\ b2\ ÿ4ac}{2a}$$

é a solução da equação quadrática

$$ax2 + bx + c = 0.$$

sin(x±y) = senx cos y±cos *x* seno,

cos(x±y) = cos *x* cosyÿsinx seno,

sen *2x* = 2 senx cos x,

cos *x* cos *y* = 2 $\frac{1}{}$ [cos(x+y) +*cos(xÿy)],*

cos *x* seno = $\frac{1}{2}$ [sen(x+y)ÿsen(xÿy)],

sen sen = 2 $\frac{1}{}$ [cos(xÿy)ÿcos(x+y)]

ex+y = *ex e* ,

exÿy = *ex / ey ,*

xa/b = *ÿb xa,*

elogex = x,

loge(xy) = logex+logey,

loge(x/y) = logexÿlogey,

logexn = nlogex,

logex = x,

logex = loge10log10x ÿ 2,3log10x,

ax = ex logea.

A.2 Números complexos

Um número complexo é um objeto da forma

N = *a+ib,*

onde *a* e *b* são números reais e *i* é a raiz quadrada de ÿ1; *a* é chamada de parte real *eb* é chamada de parte imaginária.[1] Letras em negrito ou sublinhados ondulados são algumas vezes usados para denotar números complexos. Em outras ocasiões, você apenas deveria *saber!*

Os números complexos podem ser adicionados, subtraídos, multiplicados, etc., assim como números reais:

(a+ib)+(c+id)=(a+c) +i(b+d),

(a+ib)ÿ(c+id)=(aÿc) +i(bÿd),

(a+ib)(c+id)=(acÿbd) +i(bc+ad),

$$\frac{a+ib}{c+id} = \frac{(a+ib)(c\text{-}id)\ (c+id)}{(c\text{-}id)} = \frac{ac+bd\ bc\text{-}ad + i.\ c2}{c2 + d2} + d2$$

[1] Os engenheiros elétricos partem da convenção universal de iÿ ÿÿ1, usando em seu lugar o símbolo *j* para evitar a duplicação do uso do símbolo *i* (que designa corrente de pequeno sinal). Seguimos os EEs neste livro, mas não neste apêndice de matemática. Se o fizéssemos, provavelmente seríamos rejeitados por nossos colegas matemáticos.

Todas essas operações são naturais, no sentido de que você apenas trata *i* como algo que multiplica a parte imaginária e segue em frente com a aritmética comum. Observe que *i* = ÿ1 (usado no exemplo de multiplicação) e que a divisão[2] é simplificada pela multiplicação de cima e de baixo pelo *complexo conjugado,* o número que você obtém alterando o sinal da parte imaginária. O complexo conjugado às vezes é indicado com um asterisco. Se

$$\mathbf{N} = a+ib,$$

então

$$N^* = a-ib.$$

A magnitude (ou *módulo)* de um número complexo é um número real sem parte imaginária:

$$|\mathbf{N}| = |a+ib| = \sqrt{(a+ib)(a-ib)} = \sqrt{a^2+b^2},$$

isto é,

$$|\mathbf{N}| = \sqrt{NN^*},$$

simplesmente obtido multiplicando pelo complexo conjugado e tirando a raiz quadrada. A magnitude do produto (ou quociente) de dois números complexos é simplesmente o produto (ou quociente) de suas magnitudes.

A parte real (ou imaginária) de um número complexo é algumas vezes escrita como

parte real de **N** = **Re(N),** parte imaginária de **N** = I **m(N).**

Você os obtém escrevendo o número na forma *a+ib e,* em seguida, tomando *a* ou b. Isso pode envolver alguma multiplicação ou divisão, já que o número complexo pode ser um número real. bagunça.

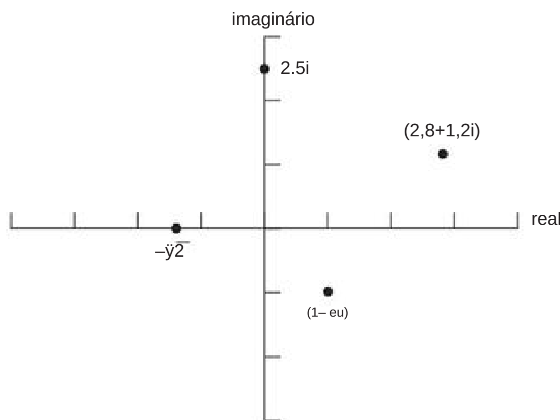


Figura A.1. Números complexos no "plano complexo".

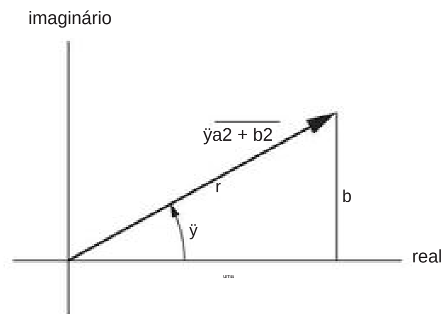


Figura A.2. Números complexos, como magnitude e ângulo.

Números complexos às vezes são representados no plano complexo. Ele se parece com um gráfico x,y comum , exceto que um número complexo é representado plotando sua parte real como *x* e sua parte imaginária como y, conforme mostrado na Figura A.1. De acordo com essa analogia, às vezes você vê números complexos escritos como coordenadas x,y :

$$a+ib \leftrightarrow (a,b).$$

Assim como nos pares x,y comuns , os números complexos podem ser representados em coordenadas polares; isso é conhecido como representação de "magnitude, ângulo". Por exemplo, o número *a+ib* também pode ser escrito como (Figura A.2)

$$a+ib = r\angle\theta,$$

onde $r = \sqrt{a^2+b^2}$ e $\theta = \tan^{-1}(b/a)$.[2] Isso geralmente é escrito de uma maneira diferente, usando o fato surpreendente de que

$$e^{i\theta} = \cos\theta + i\sin\theta.$$

(Você pode derivar o resultado anterior, conhecido como fórmula de Euler[3] , expandindo o exponencial em uma série de Taylor.) Assim, temos os seguintes equivalentes:

$$\mathbf{N} = a+ib = re^{i\theta} = r\angle\theta,$$

$$|\mathbf{N}| = \sqrt{\mathbf{NN}^*} = \sqrt{a^2+b^2},\quad \theta = \tan^{-1}(b/a),$$

ou seja, o módulo *r* e o ângulo são simplesmente as coordenadas polares do ponto que representa o número no plano complexo. A forma polar é útil quando números complexos precisam ser multiplicados; basta multiplicar suas magnitudes e adicionar seus ângulos (ou, para dividir, você divide suas magnitudes e subtrai seus ângulos):

$$(r_1e^{i\theta_1})(r_2e^{i\theta_2}) = r_1r_2e^{i(\theta_1+\theta_2)}.$$

2 Atenção: a fórmula para ÿ retorna valores apenas entre ÿ /2 e /2; os sinais de + ÿ aeb , e não meramente seu quociente, estão em todos os quatro quadrantes. necessário para um valor correto ÿ

3 de Leonhard Euler, pronunciado como "oiler".

Finalmente, para converter da forma polar para retangular, basta usar Fórmula de Euler:

$$re^{i\theta} = r\cos\theta + ir\sin\theta,$$

isto é,

$$Re(re^{i\theta}) = r\cos\theta,$$
$$Im(re^{i\theta}) = r\sin\theta.$$

(Eles podem ser usados para derivar facilmente a soma e a diferença de funções trigonométricas, para que você nunca precise se lembrar dessas fórmulas incômodas. Basta calcular $e^{i(x\pm y)}$.)

Se você tem um número complexo multiplicando um complexo exponencial, basta fazer as multiplicações necessárias. Se

$$N = a+ib,$$
$$Ne^{i\theta} = (a+ib)(\cos\theta + i\sin\theta),$$
$$= (a\cos\theta - b\sin\theta) + i(b\cos\theta + a\sin\theta).$$

Ao lidar com circuitos e sinais, o argumento angular θ muitas vezes assume a forma de uma onda em evolução: $\theta = \omega t = 2\pi f t$; assim, por exemplo, $V(t) = Re(V_0 e^{i\omega t}) = V_0 \cos \omega t$, etc.

A.3 Diferenciação (Cálculo)

Começamos com o conceito de *função f(x),* ou seja, uma fórmula que dá um valor $y = f(x)$ para cada x. A função $f(x)$ deve ser *de valor único ,* ou seja, deve fornecer um valor único de *y* para cada x. Você pode pensar em $y = f(x)$ como um gráfico, como na Figura A.3. A derivada de *y* em relação a x, escrita dy/dx ("dee *y* dee x"), é a *inclinação* do gráfico de *y* versus x. Se você desenhar uma tangente à curva em algum ponto, sua inclinação será dy/dx *naquele ponto;* ou seja, a própria derivada é uma função, pois tem um valor em cada ponto. Na Figura A.3, a inclinação no ponto (1, 1) é 2, enquanto a inclinação na origem é zero (veremos em breve como calcular a derivada).

Em termos matemáticos, a derivada é o valor limite da razão entre a variação de *y* (Δy) e a variação de *x* (Δx), conforme Δx *tende* a zero. Para citar uma canção cantada uma vez nos sagrados salões de Harvard (por Tom Lehrer e Lewis Branscomb),

Você pega uma função de x e a chama de *y*
Pegue qualquer x-nada que você queira experimentar
Faça uma pequena alteração e chame de delta *x*
A mudança correspondente em *y* é o que você encontra nex '

E então você pega o quociente, e agora, cuidadosamente

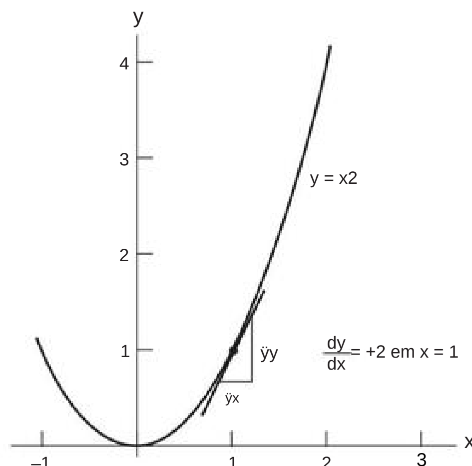


Figura A.3. Uma função de valor único: $f(x) = x^2$.

Envie delta *x* para zero e acho que você verá o que
o limite nos dá (se nosso trabalho for verificado)
É o que você chama de *dy/dx...*
É apenas *dy/dx.*

(The Derivative Song, cantada ao som de *There'll Be Some Changes Made,* W. Benton Overstreet).

A diferenciação é uma arte direta, e as derivadas de muitas funções comuns são tabuladas em tabelas padrão e calculadas automaticamente em programas como o Mathematica®. Aqui estão algumas regras (u e v são funções arbitrárias de x, e *a* representa uma constante).

A.3.1 Derivadas de algumas funções comuns

$$\frac{da}{dx} = 0$$

$$\frac{d}{dx}ax = a$$

$$\frac{d}{dx}ax^n = anx^{n-1},$$

$$\frac{d}{dx}\sin ax = a\cos ax,$$

$$\frac{d}{dx}\cos ax = -a\sin ax,$$

$$\frac{d}{dx}e^{ax} = ae^{ax},$$

$$\frac{d}{dx}\log x = 1/x.$$

A.3.2 Algumas regras para combinação de derivativos

Aqui *u(x)* e *v(x)* representam funções genéricas de x:

$$\frac{d}{dx}au(x) = a\frac{d}{dx}u(x),$$

$$\frac{d}{dx}(u+v) = \frac{du}{dx} + \frac{dv}{dx},$$

$$\frac{d}{dx}uv = u\frac{d}{dx}v + v\frac{d}{dx}u,$$

$$\frac{d}{dx}\frac{\text{você}}{v} = \frac{v\frac{du}{dx} - u\frac{dv}{dx}}{v^2},$$

$$\frac{d}{dx}\text{logou} = \frac{1}{\text{você}}\frac{du}{dx}$$

$$\frac{d}{dx}\{u[v(x)]\} = \frac{du}{dv}\frac{dv}{dx}.$$

A última é muito útil e é chamada de regra da cadeia.

A.3.3 Alguns exemplos de diferenciação

$$\frac{d}{dx}x^2 = 2x,$$

$$\frac{d}{dx}(1/x^{\frac{1}{2}}) = -\frac{1}{2}x^{-\frac{3}{2}},$$

$$\frac{d}{dx}xe^x = xe^x + e^x \text{ (regra do produto)},$$

$$\frac{d}{dx}e^{-x^2} = -2xe^{-x^2} \text{ (regra da cadeia)},$$

$$\frac{da^x}{dx} = \frac{d}{dx}(e^{x \log_e a}) = a^x \log_e a \text{ (regra da cadeia)}.$$

Depois de diferenciar uma função, muitas vezes você deseja avaliar o valor da derivada em algum ponto. Outras vezes, você pode querer encontrar um mínimo ou máximo da função; isso é a mesma coisa que ter uma derivada zero, então você pode apenas igualar a derivada a zero e resolver para x. Por exemplo, você pode facilmente determinar que a inclinação da função plotada na Figura A.3 é igual a 2 em x=1 e que seu mínimo ocorre em x=0 (onde sua inclinação é zero).

COMO DESENHAR ESQUEMA DIAGRAMAS

APÊNDICE B

Um esquema bem desenhado facilita a compreensão de como um circuito funciona e ajuda muito na solução de problemas. Um esquema pobre só cria confusão. Mantendo algumas regras e sugestões em mente, você pode desenhar um bom esquema em não mais tempo do que o necessário para desenhar um ruim. Neste apêndice damos conselhos de três variedades: princípios gerais, regras e dicas. Também desenhamos alguns golpes de joelho reais para ilustrar os hábitos a serem evitados.

B.1 Princípios gerais

- Os esquemas devem ser inequívocos. Portanto, números de pinos, valores de peças, designadores de referência, polaridades, etc., devem ser claramente rotulados para evitar confusão.
- Um bom esquema torna as funções do circuito claras. Portanto, mantenha as áreas funcionais distintas; não tenha medo de deixar áreas em branco na página e não tente preenchê-la. Existem maneiras convencionais de desenhar subunidades funcionais; por exemplo, não desenhe um amplificador diferencial como na Figura B.1, porque a função não será facilmente reconhecida. Da mesma forma, os flip-flops geralmente são desenhados com clock e entradas à esquerda, definidos e limpos no topo e no fundo, e saídas à direita.

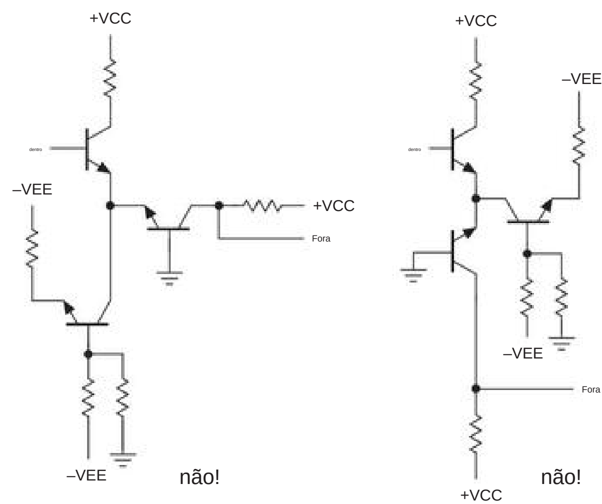


Figura B.1. Organize os componentes de modo que a função (aqui um amplificador diferencial) seja clara. Não corrompa a apresentação para salvar espaço.

- Rotule os números dos pinos na parte externa de um símbolo, sinal nomes por dentro.
- Todas as peças devem ter valores ou tipos indicados; é melhor dar a todas as partes um rótulo (“refdes”) também, por exemplo, R7 ou U3.

B.2 Regras

- A conexão dos fios é indicada por pontos pretos grossos; os fios que se cruzam, mas não se conectam, não têm ponto (não use um pequeno “jog” semicircular; saiu na década de 1950).
- Quatro fios não devem se conectar em um ponto; ou seja, os fios não devem se cruzar *e* se conectar. Às vezes, você vê essa regra violada, mas é uma prática ruim (porque um ponto ausente ou subdimensionado é um circuito diferente).
- Use sempre o mesmo símbolo para o mesmo aparelho; por exemplo, não desenhe flip-flops de duas maneiras diferentes (exceção: símbolos lógicos de nível de asserção mostram cada porta de duas maneiras possíveis).
- Os fios e componentes são alinhados horizontal ou verticalmente, a menos que haja um bom motivo para fazer o contrário.

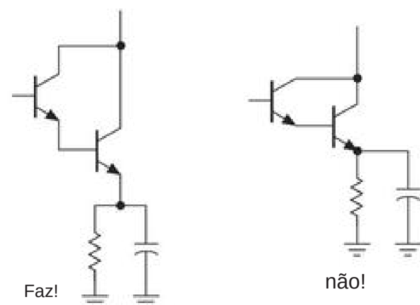
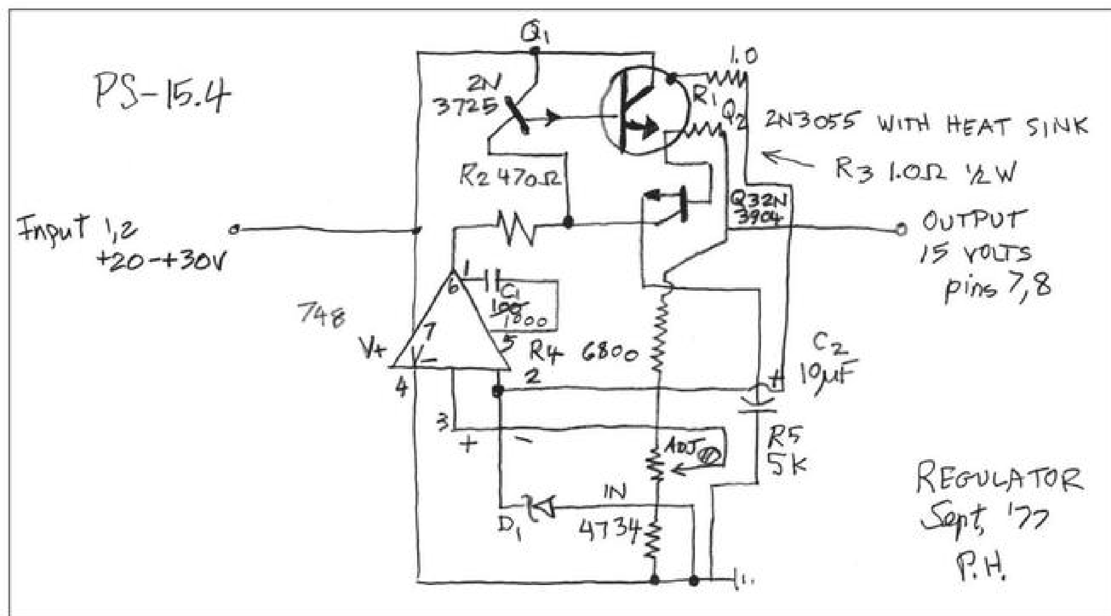


Figura B.2. Afaste as derivações dos símbolos dos componentes antes de conectar ou movimentar.



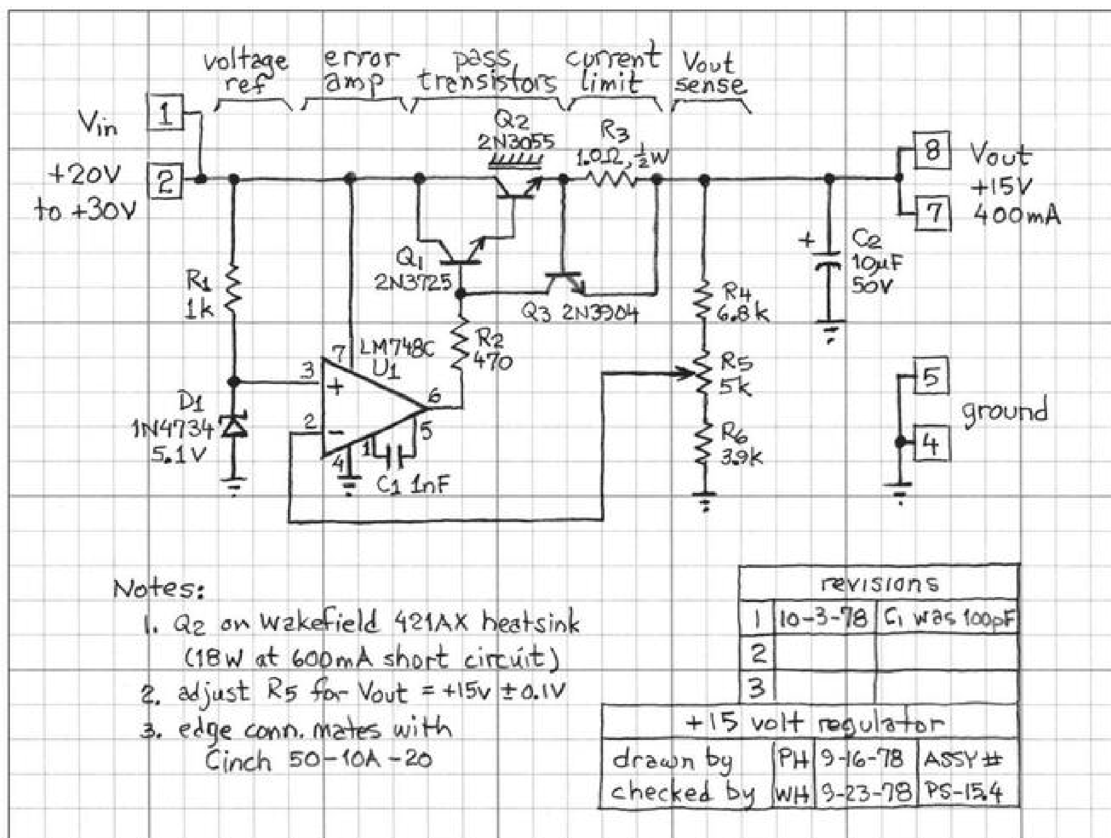


Figura B.3. Desenho bom (talvez bom demais) em "papel de engenharia" e péssimo. Adivinha qual é qual.

B.3 Dicas

• Identifique as partes imediatamente adjacentes ao símbolo, formando um grupo distinto dando símbolo, rótulo e tipo ou valor.

• Em geral, os sinais vão da esquerda para a direita; não seja dogmático sobre isso, porém, se a clareza for sacrificada. • Coloque tensões de alimentação positivas no topo da página, negativas na parte inferior. Assim , os transistores *npn* geralmente terão seu emissor na parte inferior, enquanto os *pnps* terão seu emissor no topo. • Não tente levar todos os fios para os trilhos de alimentação ou para um fio terra comum. Em vez disso, use o(s) símbolo(s) de aterramento e rótulos como +VCC para indicar as tensões onde necessário.

• É útil rotular sinais e blocos funcionais e mostrar formas de onda; em diagramas lógicos é especialmente importante rotular as linhas de sinal, por exemplo, RESET ou CLK. • É útil afastar os condutores[1] dos componentes a uma curta distância antes de fazer conexões ou jogs. Por exemplo, desenhe transistores como na Figura B.2.

• Deixe algum espaço ao redor dos símbolos do circuito; por exemplo, não desenhe componentes ou fios muito perto de um símbolo de amplificador operacional. Isso mantém o desenho organizado e deixa espaço para rótulos, números de pinos, etc. • Rotule todas as caixas que não sejam óbvias: comparador versus amplificador operacional, registrador de deslocamento versus contador, etc. Não tenha medo de inventar um novo símbolo. • Use pequenos retângulos, ovais ou círculos para indicar as conexões da borda do cartão, pinos do conector, etc. Seja consistente.

[1] *Conduz?* Sim claro. . . Vou verificar com os rapazes do laboratório criminal. Eles têm mais quatro detetives trabalhando no caso. Eles nos fizeram trabalhar em *turnos.* Hahahaha. . . *CONDUZ!*

• O caminho do sinal através dos interruptores deve estar livre. Não force o leitor a seguir fios por toda a página para descobrir como um sinal é comutado. • As conexões da fonte de alimentação são normalmente assumidas para amplificadores operacionais e dispositivos lógicos. No entanto, mostre todas as conexões incomuns (por exemplo, um amplificador operacional executado a partir de uma única fonte, onde Vÿ = terra) e a disposição das entradas não utilizadas. • É muito útil incluir uma pequena tabela de números de circuitos integrados (IC), tipos e conexões de fonte de alimentação (números de pinos para VCC e terra, por exemplo). • Inclua uma área de título perto da parte inferior da página, com o nome do circuito, nome do instrumento, por quem desenhou, por quem projetou ou verificou, data e número de montagem. Inclua também uma área de revisão, com colunas para o número da revisão, data e assunto. • Recomendamos desenhar esquemas à mão livre em papel gráfico grosso (linhas de grade claras, cinco por polegada, por exemplo, “Engineer's Computation Pad” da marca National® em verde “Eye Ease”®) ou em papel comum sobre papel milimetrado.

Isso é rápido e dá resultados muito agradáveis. Use lápis escuro (nós gostamos de dureza HB, 0,5 mm de diâmetro) ou nanquim; evite esferográfica ou caneta hidrográfica.

B.4 Um exemplo humilde

Como ilustração, desenhamos um exemplo humilde (Figura B.3) mostrando esquemas “horríveis” e “bons” do mesmo circuito; o primeiro viola quase todas as regras e é quase impossível de entender. Veja quantos maus hábitos você pode encontrar ilustrados. Vimos todos eles em esquemas desenhados profissionalmente! (Desenhamos o esquema “ruim” em um aeroporto enquanto esperávamos por um voo. Foi uma ocasião de grande hilaridade; nós mesmos rimos bobamente.)

TIPOS DE RESISTORES

APÊNDICE **C**

C.1 Um pouco de história

Durante meio século, as pessoas usaram resistores “chumbo” (pronuncia-se led¯- ed): se você olhar dentro de um rádio muito antigo (antes de ~1950), verá objetos cilíndricos coloridos com alguns pontos coloridos pintados neles e com um fio enrolado em cada extremidade que sai perpendicularmente ao eixo (“guias radiais”). Esses resistores de composição de carbono evoluíram para os resistores padrão de “condutor axial” de carbono (ainda cilíndricos, mas com listras coloridas em toda a volta e com os fios agora saindo retos de cada extremidade) que foram dominantes na última metade do século 20 (e que recomendamos para aplicações não críticas em nossas edições de livros anteriores). Os resistores de avanço axial ainda são populares para alguns usos, como o breadboarding fácil no laboratório. Eles também são usados em aplicações que requerem resistência muito alta (ÿ100 Mÿ), ou altas tensões ou potências, ou para resistores de precisão muito alta.

No entanto, a eletrônica contemporânea adotou embalagens de montagem em superfície, devido à sua alta densidade (os dispositivos SMT são *pequenos* e você não precisa ocupar espaço com furos para os condutores). Os resistores de montagem em superfície, em comum com outros componentes SMT de dois terminais (ca pacitores, indutores), estão disponíveis em uma variedade de tamanhos de embalagem, caracterizados por um código de 4 dígitos que fornece seu comprimento e largura em unidades de 0,010; por exemplo, uma embalagem “0603” tem 0,06×0,03 (1,5 mm × 0,75 mm). Preferimos esse tamanho, ou o pacote 0805 maior, para prototipagem geral de circuitos de montagem em superfície. Os pacotes menores (0402, 0201 e até “01005”) são um grande problema – você basicamente tem que trabalhar sob um microscópio (e não espirrar).

C.2 Valores de resistência disponíveis

Você não pode obter qualquer valor de resistência antigo. As resistências disponíveis se enquadram no que é chamado de Década Padrão EIA, nomeada pelo número de valores por década (portanto, E24 – usado para resistores com tolerância de 5% – tem 24 valores, espaçados aproximadamente 10% entre si; veja abaixo). Resistores com tolerância de 1% são bastante baratos hoje em dia, custando pouco mais do que um resistor análogo de 5%,1 então você também pode usar resistores de 1% por padrão. Eles vêm no conjunto de valores padrão E96 (96 valores por década, espaçados aproximadamente 2% entre si; portanto, 481 valores de 10 ÿ a 1 Mÿ, consulte baixo). Resistores de maior precisão (por exemplo, 0,1%) estão algumas vezes disponíveis no superconjunto **E1922** e em valores convenientes de números redondos (por exemplo, 250, 300, 400 ou 500) que não estão incluídos nas sequências EIA.

Aqui está o conjunto **E24** de valores “5%” (o subconjunto **E12 ,** usado para componentes de 10%, é mostrado em **negrito): 27** 43 **68** 30 **47** 75 **33** 51 **82** 36

10 16 **56** 91 **39** 62 **100**

11 **18**

12 20

13 **22**

15 24

E aqui está o conjunto **E96** de valores “1%” (o conjunto **E48 ,** usado para componentes de 2%, ou para um conjunto reduzido de peças de 1%, está em **negrito): 100** 137 **187** 255 **348** 475 **649** 887 102 **140** 191 **261** 357 **487** 665 **909** **105** 143 **196** 267 **365** 499 **681** 931 107 **147** 200 **274** 374 **511** 698 **953** **110** 150 **205** 280 **383** 523 **715** 976 113 **154** 210 **287** 392 **536** 732 **115** **230** 23020202015 . _ _ _ _ _ _ _ _ 165 **226** 309 **422** 576 **787** 124 **169** 232 **316** 432 **590** 806 **127** 174 **237** 324 **442** 604 **825** 130 **178** 243 **332** 453 **619** 845 **133** 182 **2469** 4 363 **463 4**

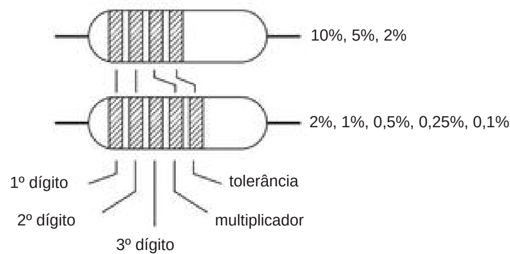
---

1 Por exemplo, o catálogo da Digi-Key mostra uma seleção completa de resistores de montagem em superfície da série Vishay/Dale CRCW, em tamanhos de 1210 até 0201. Para o conveniente tamanho 0603, os preços atuais para resistores de 1% e 5% são $ 0,025 e $ 0,023 cada, respectivamente, na quantidade 200. (Você pagará cerca do triplo disso, na quantidade 10, e cerca de um quinto, em um carretel completo de 5000 resistores.)

2 O conjunto completo do E192, juntamente com os subconjuntos, está bem exibido em http:// www.logwell.com/tech/components/resistor_values.html.

C.3 Marcação de resistência

Os resistores com chumbo são marcados de duas maneiras: (a) com um conjunto de quatro ou cinco faixas coloridas, indicando resistência e tolerância; ou (b) com um código de resistência de 4 dígitos, seguido de uma letra que indique a tolerância. Os resistores de montagem em superfície usam (a) um código de resistência de 3 ou 4 dígitos ou, para os menores tamanhos de embalagem, (b) nenhuma marcação!



cor	multiplicador de dígitos		tolerância (tol. sufixo)	
preto	0		–	
marrom	1	1	1%	F
vermelho	2	10	2%	G
laranja	3	100	–	
amarelo	4	1k	–	
verde	5	10k 100k	0,5%	D
azul	6	1M	0,25%	C
violeta	7	10M	0,1%	B
cinza	8	–	0,05%	A, W
ouro	9	–	–	
branco	–	0,1	5%	J
prata	–	0,01	10%	k
(nenhum)	–	–	20%	M
			0,02%	N, Q, P
			0,01%	T, L
			0,005%	V
			0,0025%	x
			0,002%	você
			0,001%	S

Figura C.1. O código de cores do resistor, usado em alguns resistores de avanço axial (principalmente os tipos de filme de carbono e composição de carbono). A resistência é lida como um número inteiro de 2 ou 3 dígitos (dependendo da precisão do resistor) seguido por uma banda indicando o multiplicador de potência de 10. Por exemplo, amarelo-violeta-laranja-ouro é 47 kÿ±5% e amarelo-branco-branco-preto-marrom é 499 ÿ±1%. O sufixo alfabético de tolerância é usado em resistores com valores numéricos de resistência impressos.

Embora possa parecer diabólico para o iniciante, a prática de faixas coloridas facilita o reconhecimento dos valores do resistor em um circuito ou caixa de peças, sem a necessidade de procurar uma legenda impressa. Cada cor corresponde a um dígito, numa espécie de formato de ponto flutuante (com o dígito final indicando a potência de dez); uma última faixa colorida significa a tolerância. Consulte a Figura C.1. Resistores com marcações numéricas usam o mesmo sistema, mas com os próprios dígitos impressos ao longo do corpo do resistor (para resistores com chumbo) ou na parte superior de um pacote de montagem em superfície; uma letra final significa a tolerância, conforme mostrado na figura.

C.4 Tipos de resistores

As escolhas usuais para uso geral são peças de filme metálico (condutor axial) ou de filme espesso (montagem em superfície). Os resistores de montagem em superfície de filme fino oferecem características aprimoradas (precisão, estabilidade e capacidade de operar em ambientes criogênicos). Para aplicações de energia, você geralmente usa resistores de fio enrolado, seja em uma embalagem de cerâmica resfriada a ar ou em uma embalagem de metal resfriada por condução ("tipo Dale"). Resistores de alto valor (>10 Mÿ, digamos) são geralmente de construção de óxido metálico (por exemplo, Ohmite "Mini-Mox" ou "Super Mox" ou série Vishay RNX). Os resistores de filme não toleram altas potências de pico; para tais aplicações, use algo como composição de cerâmica ou carbono, ou outros estilos especificados para uso de pico de energia. Para o máximo em estabilidade e baixo coeficiente de temperatura (tempco), você não pode superar os excelentes tipos de folha de metal da Vishay. Eles exploram um projeto inteligente, no qual o tempco positivo do elemento de metal resistivo (firmemente ligado a um substrato isolante) é cancelado pelo tempco induzido por deformação negativa causado pela expansão diferencial do substrato.[3] Listamos alguns resistores comparativos propriedades na Tabela C.1; para mais detalhes veja *§1x.2.*

Os resistores de uso geral são ridiculamente baratos - os resistores de montagem em superfície de filme espesso custam alguns centavos cada em pequenas quantidades e apenas frações de um centavo cada em quantidades completas de bobinas (5.000 peças, para o tamanho 0603). Os distribuidores podem não estar dispostos a vender menos de 25 a 50 peças de um valor; assim, uma caixa de sortimento (por exemplo, da Yageo ou Vishay/BC) pode ser uma compra sábia. Gostamos particularmente da bela embalagem e dos bons preços dos kits da SMT Zone (www.smtzone.com).

C.5 Derby de confusão

As marcações dos componentes devem ser claras e inequívocas. Às vezes não é assim! Consulte a Figura 1.130 para ver alguns quebra-cabeças reais, tanto resistivos quanto outros.

[3] Confira: Patente dos EUA de 1982 de Felix Zandman nº 4.318.072, "Resistor de precisão com características de temperatura aprimoradas".

Tabela C.1 Tipos de resistores selecionados

	Tipo de resistor					
	filme espesso de carbono compensado		filme fino	filme de metal	folha de metal	
	axial	SMT-0603	SMT-0603	axial	SMT	
Parâmetro	(RC-07)	(Vishay CRCW)	(KOA Speer RN73)	(RN-55D)	(Vishay VSMP)	Unidades
tolerâncias	5%, 10%	1%, 5%	0,05%-1%	0,1%-1% 5, 10, 25,	0,01%-1%	ÿR/R
temp coef	~1000 10%	100, 200	50, 100 50, 100	0,25% 0,5%	0,05 (típico)	ppm/C
Vida útil da carga		2%			0,01%	ÿR/R
Umidade	10%	2%	0,5%	0,5%	0,02%	ÿR/R
Ciclo térmico	2%	2%	0,25%	0,25%	0,01%	ÿR/R
Baixa temperatura	3%	-	-	0,25%	0,01%	ÿR/R
Sobrecarga	2%	0,5%	0,1%	0,25%	0,01%	ÿR/R
De solda	3%	0,5%	0,1%	0,25%	0,01%	ÿR/R
Vibração	2%	-	-	0,25%	-	ÿR/R
Coef tensão	-	-	-	5	0,1	ppm/V
Auto aquecimento	-	-	-	-	5 ppm	ÿR/R ea,
Preço (aprox)	$ 0,35	$ 0,025	$ 0,32	$ 0,05	$ 10	quantidade 100
(para tol e TC)	(5%)	(1%, TC = 200)	(0,1%, TC=25)	(1%, TC=100)	(0,01%, TC=0,05)	

Propriedades dos tipos de resistores selecionados. Os lendários resistores de "composição de carbono" de chumbo axial foram substituídos por tipos caros de filme de metal (ou filme de carbono), com propriedades muito aprimoradas (exceto para resistência de pico de potência, consulte o Capítulo 1x). Gostamos dos resistores de filme metálico CMF-55 da Vishay (versão industrial do MIL RN-55D). Para a maioria das aplicações de montagem em superfície, os tipos de "filme espesso" (um composto de metal-cerâmica) são adequados, embora os resistores de filme fino e de filme metálico tenham propriedades um pouco melhores. O extraordinário resistor Vishay "Z-foil" hermeticamente selado de ultraprecisão é listado para mostrar o que há de melhor disponível atualmente (mas se você tiver que perguntar o preço, provavelmente não poderá pagar). É útil observar que um parâmetro como um coeficiente de tensão de 5 ppm/V corresponde a uma alteração de 0,1% em uma faixa operacional completa de 200 V.

TEOREMA DE THEVENIN

APÊNDICE D

No Capítulo 1, declaramos (mas não "provamos") o Teorema de Thevenin, ou seja, qualquer rede de dois terminais cujo circuito interno consiste apenas em resistores, baterias e fontes de corrente, interconectados de qualquer maneira, é equivalente (e indistinguível) da rede de dois terminais que consiste em uma única bateria VTH em série com um único resistor RTH; consulte a Figura D.1. Não provamos porque, no espírito deste livro, não provamos nada; mostramos como projetar circuitos.[1] A gente abre uma exceção aqui, porque é bom ver *algo* provado, né?

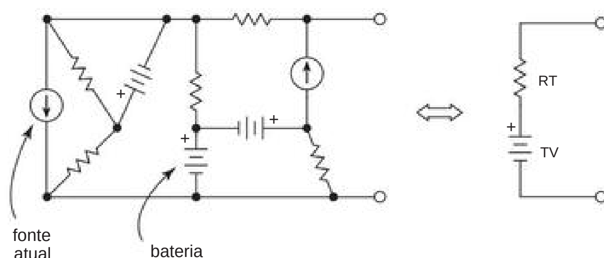


Figura D.1. Teorema de Thevenin: um único resistor em série com uma única bateria pode imitar qualquer confusão de uma rede de dois terminais feita de resistores, baterias e fontes de corrente.

D.1 A prova

Para elementos de circuito linear (aqui resistores), as "equações nodais" (lei de tensão de Kirchhoff, KVL, e lei de corrente de Kirchhoff, KCL) são um conjunto de equações lineares. Assim, podemos encontrar qualquer quantidade de circuito (uma tensão ou uma corrente), que depende de todas as "fontes independentes" (baterias, fontes de corrente), ligando cada fonte por vez e adicionando as contribuições parciais. (Isso é exatamente análogo ao uso da superposição para encontrar, digamos, o campo elétrico de um conjunto de cargas.) Essa técnica costuma ser útil na análise de circuitos.

Aqui desejamos imitar o *V* versus *I* do circuito real com o (mais simples) equivalente Thevenin de uma única bateria em série com um único resistor. Imagine que nós determinamos que *V* versus *I* funciona aplicando uma corrente externa Iext que flui através do circuito de dois terminais e observando o *V* resultante nesses mesmos dois terminais. *V* depende de Iext *e* de todas as baterias internas (Vint) e fontes de corrente (Iint).

1. Defina todos os Vint = 0 e todos os Iint = 0; ou seja, substitua todas as baterias internas com curtos-circuitos e todas as fontes de corrente com circuitos abertos. Agora, com um dado Iext aplicado, observe V1.
2. Defina RT =*V1/ Iext.* (Devem ser proporcionais, por linearidade.)
3. Agora defina Iext = 0 e ligue as baterias internas e as fontes de corrente. Observe V2, que chamaremos de VT.
4. Finalmente, por superposição deve acontecer que

$$V(real) = V1 + V2 = IextRT + VT.$$

Isso é verdade para todos os Iext e é exatamente o que você obtém com o circuito equivalente de Thevenin, quando conectado à carga (que *algum* não precisa ser linear); veja a Figura D.2.

Para resumir: (a) você determina RT e VT encontrando primeiro a tensão de circuito aberto, que é igual a VT; então (b) você encontra a corrente de curto-circuito, ISC, que é igual à razão de VT para RT. Em outras palavras, VT = VOC e RT = *VOC/ ISC.* Você faz isso por análise, se conhece o circuito da "caixa preta"; ou por medição, se não o fizer.

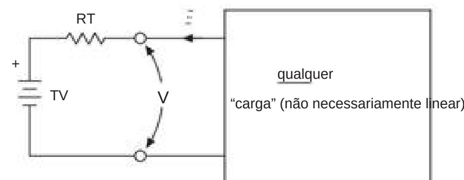


Figura D.2. O circuito equivalente de Thevenin se comporta exatamente como a rede original, independentemente da natureza da carga.

D.1.1 Dois exemplos - divisores de tensão

As Figuras D.3 e D.4 mostram dois exemplos simples, variações no divisor resistivo. Curiosamente, seus circuitos equivalentes de Thevenin são diferentes, embora os valores do resistor e as tensões de circuito aberto sejam os mesmos.

[1] Um teorema relacionado é o de Norton, onde o circuito equivalente consiste em um resistor RN em paralelo com uma fonte de corrente IN.

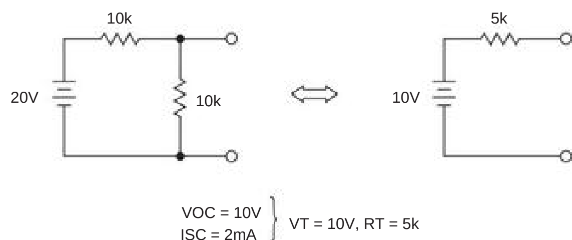


Figura D.3. Equivalente de Thevenin a um divisor resistivo simples. Observe que RT é a resistência paralela do divisor (como se a fonte de tensão fosse substituída por um curto-circuito).

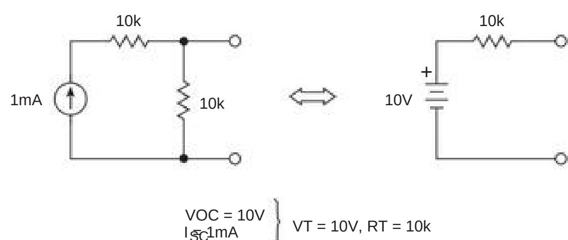


Figura D.4. Observe que a resistência equivalente de Thevenin aqui não é igual à resistência paralela dos componentes do divisor. Em vez disso, é igual ao valor do resistor apenas na saída (como se a fonte de corrente fosse substituída por um circuito aberto).

D.2 Teorema de Norton

Você pode substituir um circuito Thevenin por um circuito Norton, que consiste em uma fonte de corrente IN em paralelo com um resistor RN (Figura D.5). É fácil mostrar que IN = ISC e RN=RT (= *VOC/ ISC).* Portanto, para os dois exemplos acima, os equivalentes do Norton são os mostrados na Figura D.6.

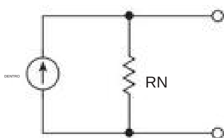


Figura D.5. Circuito equivalente de Norton: uma fonte de corrente em paralelo com um resistor.

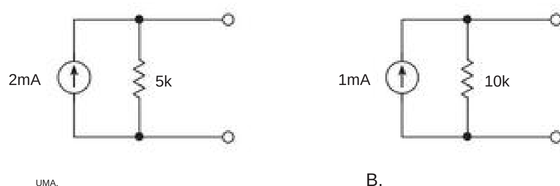


Figura D.6. Equivalentes Norton dos circuitos da Figura D.3 (A) e da Figura D.4 (B).

D.3 Outro exemplo

A Figura D.7 mostra um circuito de aparência complicada, para o qual é muito fácil ver que VOC = 25 V (a parte inferior do resistor de 10k fica em +10 V e 1,5 mA flui para o topo) e que ISC = 2,5 mA (10 V em 10 k, mais as duas fontes de corrente). A partir disso, você obtém os circuitos equivalentes mostrados.

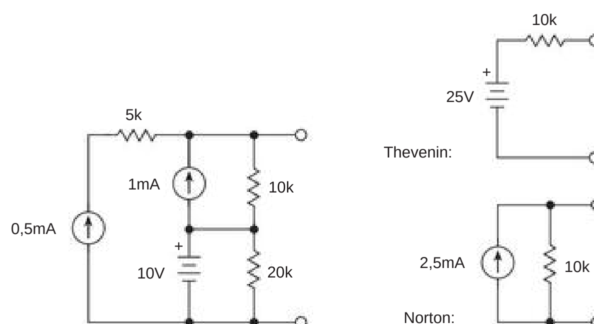


Figura D.7. Equivalentes de Thevenin e Norton de um circuito de aparência complicada.

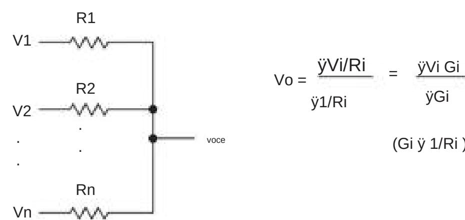


Figura D.8. Teorema de Millman para circuitos paralelos.

D.4 Teorema de Millman

Uma ferramenta relacionada – e útil – é *o Teorema de Millman* (também conhecido como teorema do gerador paralelo), que é útil ao lidar com circuitos com vários ramos paralelos.
É mostrado na Figura D.8, onde um conjunto de tensões de entrada *Vi* são combinados por meio de resistores *Ri,* produzindo uma tensão de saída Vo. O último é apenas *Vo=(ÿViGi)/ ÿGi,* onde os *Gi* são as condutâncias Giÿ1/Ri. As tensões de entrada *Vi* podem obviamente incluir terra, formando um divisor de tensão. O teorema de Millman, que vem da classe mais geral de teoremas de rede, pode ser generalizado para incluir em *correntes Ik,* cuja soma é adicionada ao numerador (mas cujas resistências em série, se houver, não aparecem no denominador).

FILTROS LC BUTTERWORTH

APÊNDICE E

Os filtros ativos (consulte o Capítulo 6) são convenientes em baixas frequências, mas são impraticáveis em frequências de rádio por causa dos requisitos de taxa de variação e largura de banda que impõem aos amplificadores operacionais. Em frequências de 100 kHz e acima (e geralmente em frequências mais baixas), a melhor abordagem é projetar um filtro passivo com indutores e capacitores. (Nas frequências de UHF e micro-ondas, esses filtros de "componentes concentrados" são substituídos por filtros stripline e de cavidade.)

Tal como acontece com os filtros ativos, existem muitos métodos e características de filtro possíveis com os filtros *LC* . Por exemplo, você pode projetar os filtros Butterworth, Chebyshev e Bessel clássicos, cada um nas variedades passa-baixa, passa-banda, passa-alta e rejeição de banda. Acontece que o filtro Butterworth é particularmente fácil de projetar, e podemos apresentar em apenas uma ou duas páginas todas as informações essenciais de projeto para filtros Butterworth *LC* passa-baixo e passa-alto , e até mesmo alguns exemplos.

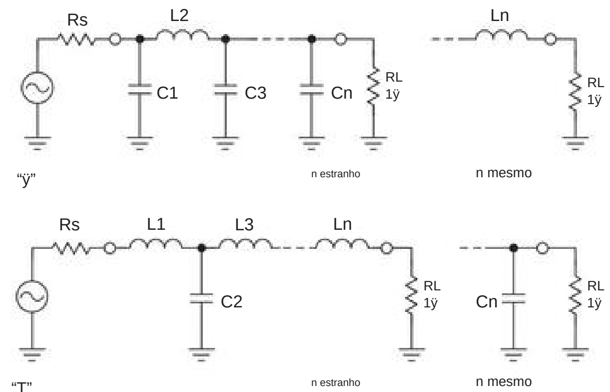


Figura E.1. ÿ e configurações *T.* Ver Tabela E.1 e texto.

E.1 Filtro passa-baixo

A Tabela E.1 fornece os valores de indutâncias e capacitâncias normalizadas para filtros passa-baixo de várias ordens, dos quais os valores reais do circuito são obtidos pelas regras de escala de frequência e impedância

$$Ln(real) = \frac{RLLn(tabela)}{ÿ},$$

$$Cn(real) = \frac{Cn(tabela)}{ÿ\ RL},$$

onde RL é a impedância de carga e a ÿ é o ângulo angular frequência ÿ(f). ÿ2 ÿ

A Tabela E.1 fornece valores normalizados para filtros passa-baixa de dois polos a oito polos para os dois casos mais comuns, ou seja, (a) fonte igual e impedâncias de carga e (b) fonte ou impedância de carga muito maior que a outra. Para usar a tabela, primeiro decida quantos polos você precisa, com base na resposta de Butterworth (os gráficos são plotados na Figura 6.30). Em seguida, use as equações anteriores para determinar a configuração do filtro *(T* ou ; consulte a Figura E.1). Para impedâncias iguais de fonte e carga, ÿ E.Para os valores dos componentes.

a configuração está OK; a configuração pode ser preferível porque ÿ requer menos indutores. Para uma impedância de carga muito maior (menor) que a impedância da fonte, use a configuração *T* ( ). ÿ

E.2 Filtro passa-alto

Para projetar um filtro passa-alto, siga o mesmo procedimento para determinar qual configuração de filtro usar e quantos pólos são necessários. Em seguida, faça a transformação universal de passa-baixa para passa-alta mostrada na Figura E.2, que consiste simplesmente em substituir indutores por capacitores e vice-versa. Os valores reais dos componentes são determinados a partir dos valores normalizados na Tabela E.1 pelas seguintes regras de escala de frequência e impedância:

$$Ln(real) = \frac{RL}{ÿ\ Cn(tabela)},$$

$$Cn(real) = \frac{1}{RLÿ\ Ln(tabela)}.$$

E.3 Exemplos de filtros

Aqui estão alguns exemplos mostrando como projetar filtros passa-baixa e passa-alta.

Exemplo I. Projete um filtro passa-baixa de cinco polos para a fonte

Tabela E.1 Filtros Butterworth Lowpassa

		C1	L2	C3	L4	C5	L6	C7	L8
	ÿ → Rs / T → 1/Rs	L1	C2	L3	C4	L5	C6	L7	C8
n = 2	1	1.4142	1.4142						
	ÿ	1.4142	0,7071						
n = 3	1	1,0000	2,0000	1,0000					
	ÿ	1,5000	1.3333	0,5000					
n = 4	1	0,7654	1,8478	1,8478	0,7654				
	ÿ	1.5307	1,5772	1.0824	0,3827				
n = 5	1	0,6180	1,6180	2,0000	1,6180	0,6180			
	ÿ	1,5451	1,6944	1.3820	0,8944	0,3090			
n = 6	1	0,5176	1.4142	1.9319	1.9319	1.4142	0,5176		
	ÿ	1.5529	1.7593	1.5529	1.2016	0,7579	0,2588		
n = 7	1	0,4450	1,2470	1.8019	2,0000	1.8019	1,2470	0,4450	
	ÿ	1,5576	1,7988	1.6588	1.3972	1,0550	0,6560	0,2225	
n = 8	1	0,3902	1.1111	1.6629	1.9616	1.9616	1.6629	1.1111	0,3902
	ÿ	1.5607	1,8246	1,7287	1,5283	1.2588	0,9371	0,5776	0,1951

Notas: (a) Valores de Ln, Cn para resistência de carga de 1ÿ e frequência de corte (–3dB) de 1 rad/s.
Consulte o texto para regras de escala.

e impedâncias de carga de 75 ÿ, com frequência de corte (-3 dB) de 1 MHz.

Usamos a configuração para minimizar o número de indutores necessários. As regras de escala nos dão

$$C1 = C5 = \frac{0{,}618}{2ÿ \times 10^6 \times 75} = 1310\ pF,$$

$$L2 = L4 = \frac{75 \times 1{,}618}{2ÿ \times 10^6} = 19{,}3\ ÿH,$$

$$C3 = \frac{2}{2ÿ \times 10^6 \times 75} = 4240\ pF.$$

O filtro completo é mostrado na Figura E.3. Observe que todos os filtros com impedâncias iguais de fonte e carga serão simétricos.

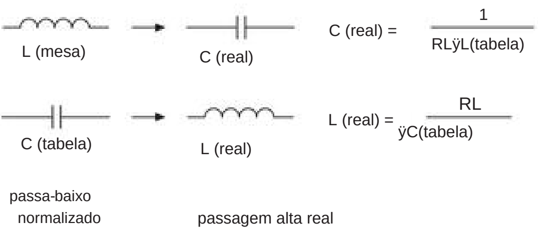


Figura E.2. Transformação passa-baixa para passa-alta.

Exemplo II. Projete um filtro passa-baixa tripolar para uma

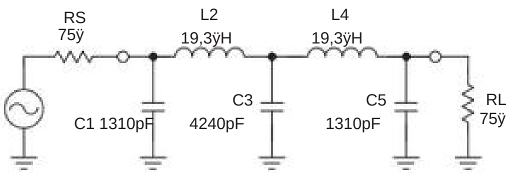


Figura E.3. Circuito do Exemplo I. Passa-baixa de 1 MHz com cinco polos com impedâncias iguais de fonte e carga.

impedância de fonte de 50 ÿ e impedância de carga de 10k, com frequência de corte de 100 kHz.

Usamos a configuração *T*, porque RS RL. Para RL=10k, as regras de escala dão

$$L1 = \frac{10^4 \times 1{,}5}{2ÿ \times 10^5} = 23{,}9\ mH,$$

$$C2 = \frac{1.3333}{2ÿ \times 10^5 \times 10^4} = 212\ pF,$$

$$L3 = \frac{10^4 \times 0{,}5}{2ÿ \times 10^5} = 7{,}96\ mH.$$

O filtro completo é mostrado na Figura E.4.

Exemplo III. Projete um filtro passa-baixo de quatro polos para uma fonte de impedância zero (fonte de tensão) e uma carga de 75 ÿ, com frequência de corte de 10MHz.

Usamos a configuração *T*, como no exemplo anterior,

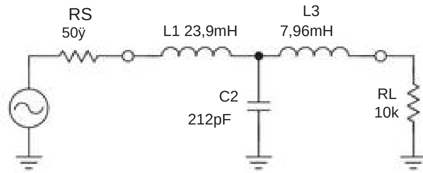


Figura E.4. Circuito do Exemplo II. Lowpass tripolar de 100 kHz com fonte de 50 ÿ e carga de 10k.

porque RS RL. As regras de escala fornecem

L1 = = 1,83 × 107 ÿ H, (75 × 1,5307 / 2ÿ)

C2 = 1,5772 / (2 ÿ ×107 ×75) = 335 pF,

= = 1,29 ÿ H, (75×1,0824 L3 / 2ÿ ×107)

C4 = 0,3827 / (2 ÿ ×107 ×75) = 81,2 pF.

O filtro completo é mostrado na Figura E.5.

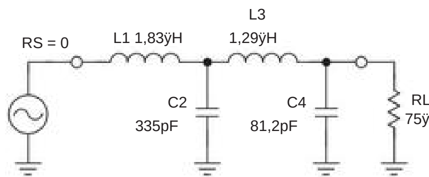


Figura E.5. Circuito para o Exemplo III. Lowpass de 10 MHz com quatro polos com fonte de tensão e carga de 75 ÿ.

Exemplo IV. Projete um filtro passa-baixa bipolar para acionamento da fonte de corrente e impedância de carga de 1k, com frequência de corte de 10 kHz.

Usamos a configuração porque RS RL. As regras de escala fornecem

C1 = 1.4142 / (2 ÿ ×104 ×103) = 0,0225 ÿ F,

L2 = 103 × 0,7071 / (×104 2ÿ) = 11,3 mH.

O filtro completo é mostrado na Figura E.6.

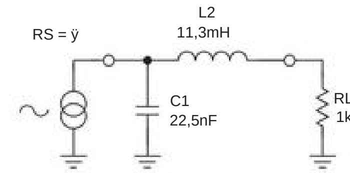


Figura E.6. Circuito do Exemplo IV. Lowpass bipolar de 10 kHz com drive de fonte de corrente e carga de 1k.

Exemplo V. Projete um filtro passa-alto tripolar para impedâncias de fonte e carga de 52 ÿ, com frequência de corte de 6 MHz.

Começamos com a configuração *T* , depois transformamos em dutos em capacitores, e vice-versa, dando

C1 = C3 = 1 / (52×2 ÿ ×6×106 ×1,0) = 510 pF,

L2 = 52 / (2 ÿ ×2,0) = 0,690 ×6×106 ÿ H.

O filtro completo é mostrado na Figura E.7.

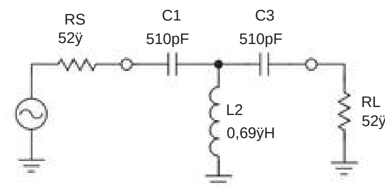


Figura E.7. Circuito do Exemplo V. Passa-alta tripolar de 6 MHz com impedâncias iguais de fonte e carga.

Gostaríamos de enfatizar que o campo do projeto de filtros passivos é rico e variado e que esta simples tabela de filtros Butterworth nem sequer começa a arranhar a superfície.

LINHAS DE CARGA

APÊNDICE F

O método gráfico de "linhas de carga" geralmente aparece nos livros didáticos de eletrônica. Nós o evitamos porque, bem, ele simplesmente não é útil no projeto de transistores da mesma forma que era no projeto de circuitos a válvulas. No entanto, é útil para lidar com alguns dispositivos não lineares (diodos de túnel, por exemplo) e, em qualquer caso, é uma ferramenta conceitual útil.

F.1 Um exemplo

Vamos começar com um exemplo. Suponha que você queira saber a tensão no diodo da Figura F.1. Suponha que você conheça a curva de tensão versus corrente (V–I) do diodo específico (claro, ele teria um "spread" de fabricação, bem como uma dependência da temperatura ambiente); pode parecer algo como a curva desenhada. Como você descobriria o ponto quiescente[1]?

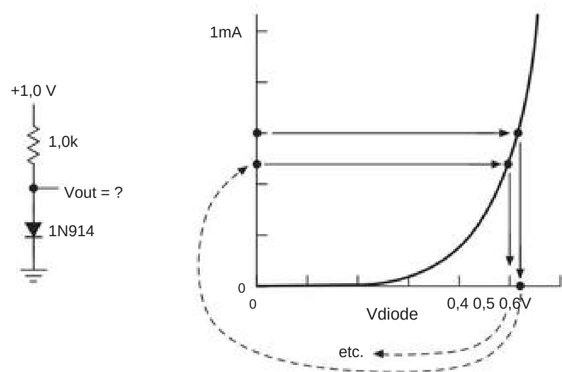


Figura F.1. Encontrando o ponto de operação por iteração.

Um método pode ser adivinhar um valor aproximado de corrente, digamos 0,6 mA, e usar a curva para obter a queda no resistor, a partir da qual você obtém uma nova estimativa para a corrente (neste caso, 0,48 mA). Este método iterativo é sugerido em Figura F.1. Após algumas iterações, esse método fornecerá uma resposta, mas deixa muito a desejar.

O método das linhas de carga fornece a resposta para esse tipo de problema imediatamente. Imagine *qualquer* dispositivo conectado no lugar do diodo; o resistor de 1,0k ainda é a carga. Agora plote, em um gráfico V-I , a curva da corrente do resistor versus a tensão do dispositivo. Isso acaba sendo fácil: em zero volts, a corrente é apenas V+/R (queda total no resistor); em V+ volts a corrente é zero; os pontos intermediários caem em uma linha reta entre os dois. Agora, no mesmo gráfico, desenhe a curva V-I do dispositivo. O ponto de operação está em ambas as curvas, ou seja, na interseção, conforme mostrado na Figura F.2.

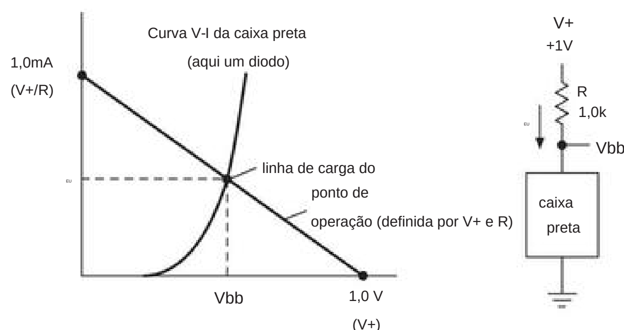


Figura F.2. Uma "linha de carga" permite encontrar o ponto de operação diretamente.

F.2 Dispositivos de três terminais

As linhas de carga podem ser usadas com um dispositivo de três terminais (tubo ou transistor, por exemplo) traçando uma família de curvas para o dispositivo. A Figura F.3 mostra como seria para um transistor de efeito de campo (FET) de modo de depleção, com a família de curvas parametrizada pela tensão de porta-fonte. Você pode ler a saída para uma determinada entrada deslizando ao longo da linha de carga entre as curvas apropriadas correspondentes à entrada que você obteve e, em seguida, projetando no eixo da tensão. Neste exemplo fizemos isso, mostrando o dreno

[1] O ponto quiescente, também conhecido como *ponto de operação,* descreve as várias tensões e correntes CC em um circuito sem sinais CA aplicados.

tensão (saída) para uma oscilação do portão (entrada) entre o terra e -2 V.

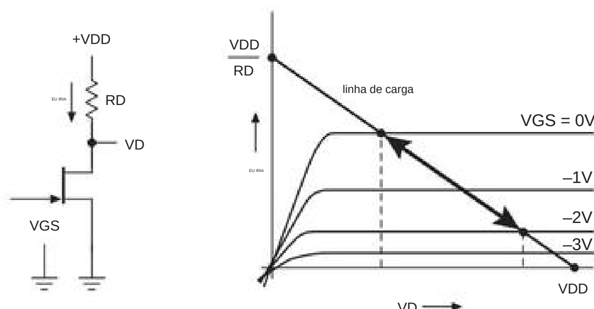


Figura F.3. Solução de linha de carga para um dispositivo de três terminais.

Por mais legal que pareça esse método, ele tem uso bastante limitado para design de transistor ou FET, por alguns motivos. Por um lado, as curvas publicadas para dispositivos semicondutores são "típicas", com dispersão de fabricação que pode chegar a um fator de cinco. Imagine o que aconteceria com essas boas soluções de linha de carga se todas as curvas diminuíssem para uma quarto sua altura! Outra razão é que, para um dispositivo inerentemente logarítmico, como uma junção de diodo, um gráfico de linha de carga linear pode ser usado para fornecer resultados precisos apenas em uma região estreita. Finalmente, os métodos não gráficos que usamos neste livro são totalmente adequados para lidar com projetos de estado sólido. Em particular, esses métodos enfatizam os parâmetros com os quais você pode contar (re, IC versus VBE e T, etc.), em vez daqueles que são altamente variáveis (, Vth, etc.). No mínimo, o caso em curvas publicadas para transistores apenas lhe dá uma falsa sensação de segurança, já que a dispersão do dispositivo também não é mostrada.

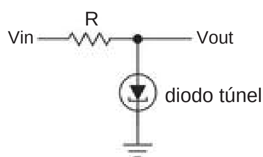


Figura F.4. O diodo túnel: um dispositivo não linear de dois terminais com uma região de resistência negativa (ver Figura F.5).

F.3 Dispositivos não lineares

As linhas de carga são úteis para entender o comportamento do circuito de dispositivos altamente não lineares. O exemplo dos diodos de túnel ilustra alguns pontos interessantes. Vamos analisar o circuito da Figura F.4. Observe que, neste caso, Vin substitui a tensão de alimentação nos exemplos anteriores. Portanto, uma oscilação de sinal gerará uma família de linhas de carga paralelas que se cruzam com uma única curva V-I de dispositivo (Figura F.5). Os valores mostrados são para um resistor de carga de 100 ÿ. Como pode ser visto, a saída varia mais rapidamente à medida que a oscilação de entrada leva a linha de carga ao longo da porção de resistência negativa da curva túnel-diodo. Ao ler os valores de Vout (projeção no eixo *x)* para vários valores de Vin (em linhas de carga individuais), você obtém as características de "transferência" mostradas. Este circuito em particular tem algum ganho de tensão para tensões de entrada próximas a 0,2 V.

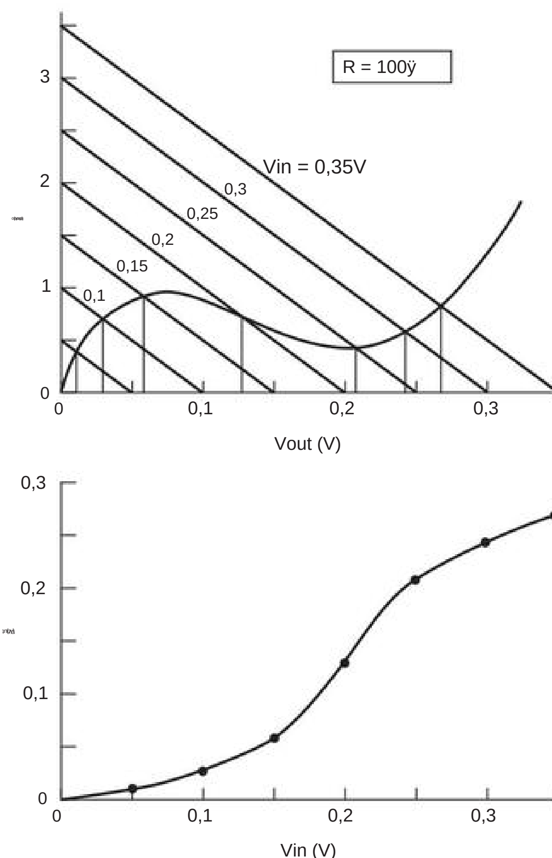


Figura F.5. Linhas de carga e característica de transferência para o circuito de diodos de túnel.

Uma coisa interessante acontece se as linhas de carga se tornarem mais planas do que a seção intermediária da curva do diodo. Isso acontece quando a resistência da carga excede a magnitude da resistência negativa do diodo. É então possível ter *dois* pontos de interseção, como na Figura F.6. Um sinal de entrada subindo carrega as linhas de carga até que o ponto de interseção não tenha para onde ir e tenha que pular para um valor de Vout mais alto. Ao retornar, as linhas de carga também carregam o

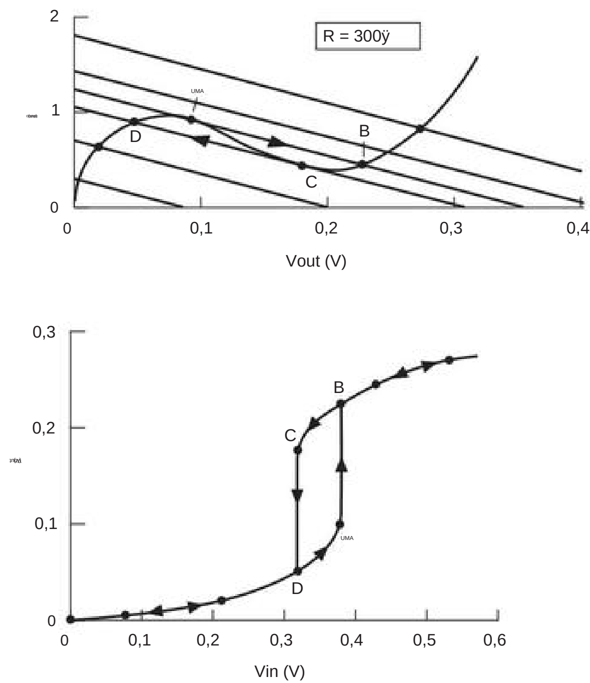


Figura F.6. Tendo |Rload| > |Rneg| produz um comportamento de comutação histerético no circuito diodo-túnel.

ponto de interseção para baixo até que ele deve voltar novamente. A característica geral de transferência tem *histerese,* conforme mostrado. Os diodos de túnel têm sido usados dessa maneira como dispositivos de comutação rápida (gatilhos).

O TRAÇADOR DE CURVA

APÊNDICE G

Um instrumento útil para explorar o comportamento do transistor de BJTs (Capítulo 2) e MOSFETs (Capítulo 3) é o *traçador de curva.* De forma mais simples, ele plota a corrente do coletor versus a tensão do coletor para uma família de correntes de base igualmente espaçadas (ou, se você quiser ser um Ebers-Mollian, tensões de base) e com um resistor de coletor limitador de corrente selecionável.[1] Figura G.1 mostra o que você obtém de um 2N3904 aleatório, acionado com sete etapas sucessivas de corrente de base de 5 A cada, enquanto ÿ varre a tensão do coletor de 0 a 50 V. Você pode ver claramente o aumento de beta com a tensão do coletor e o início de quebra ser um pouco baixo 50 V (o VCEO máximo é especificado como 40 V). Este traçador de curva em particular exibe os fatores de escala, incluindo " per div," que é cerca de 200 para este espécime (a 10 mA). Um traçador de curva ÿ ÿ300 em IC=10 mA; o datasheet especifica 100ÿ facilita a seleção de pares próximos.ÿ

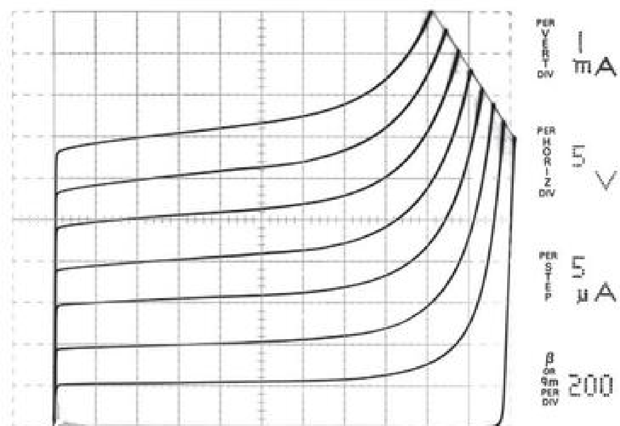


Figura G.1. Exibição do Tektronix 576 Curve Tracer de um 2N3904.

Infelizmente, o traçador de curva tradicional desapareceu das linhas de produtos da maioria dos fabricantes de T&M (teste e medição), incluindo o venerável Tektronix. Você ainda pode encontrá-los usados, por exemplo no eBay, por cerca de mil dólares. A Agilent oferece alguns instrumentos contemporâneos bastante sofisticados que farão o trabalho, embora seja melhor ficar sentado quando perguntar os preços; eles têm nomes como Semiconductor Parameter Analyzer (modelo 4155C) ou Power Device Analyzer/Curve Tracer (modelo B1505A).

Uma alternativa menos dispendiosa é usar uma "unidade de medição de fonte" (SMU), um instrumento encantador que permite fornecer tensões e correntes para terminais selecionados de um dispositivo (ou subcircuito), medindo e registrando simultaneamente outras tensões ou correntes. Você pode programar a excitação como CC, ou rampas, etapas ou pulsos, e pode exibir os resultados registrados por meio de um software executado em um laptop conectado; você também pode salvar os dados registrados como uma planilha, para ser manipulada como quiser. Dê uma olhada, por exemplo, na Figura 8.39, ou nas figuras na seção "Transistores de potência para amplificadores lineares" do Capítulo *3x,* todos os quais plotamos dados que coletamos com uma SMU.

[1] Você pode executá-lo como base comum, se quiser; e tem muitos botões divertidos para brincar.

Machine Translated by Google

LINHAS DE TRANSMISSÃO E IMPEDÂNCIA

APÊNDICE H

H.1 Algumas propriedades das linhas de transmissão

Em §12.9, introduzimos as linhas de transmissão, que geralmente assumem a forma de cabo *coaxial* ("coax"), por exemplo, os onipresentes "cabos BNC" (cabos RG-58 com conectores BNC macho em cada extremidade) que são usados para executar todos os tipos de sinais entre os instrumentos. Como observamos lá, para aplicações de baixa frequência é comum (e correto) pensar em tal cabo simplesmente como um fio bem blindado com aproximadamente 30 pF/ft de capacitância. No entanto, em altas frequências (digamos, aquelas para as quais o cabo tem pelo menos 1/20 do comprimento de onda), o comportamento é fundamentalmente diferente: como um exemplo bizarro, um cabo aberto ironicamente se parece com um *curto-circuito* em uma frequência para qual o comprimento elétrico do cabo é ÿ/4. Para um comprimento de 50 pés de cabo coaxial, isso acontece em cerca de 32 MHz. Uma consequência importante é que você não pode simplesmente conectar tal cabo BNC de um gerador de sinal a algum circuito de alta impedância sob teste e presumir que ele fornecerá uma boa fonte de sinal na entrada do circuito; em vez disso, você verá grandes quedas e solavancos ao ajustar a frequência, porque o gerador detecta uma impedância de carga que varia de um curto-circuito (em múltiplos ímpares de 32 MHz) a um circuito aberto (em múltiplos pares de 32 MHz). Talvez surpreendentemente, se você conectasse um resistor de exatamente 50 ÿ na extremidade do circuito do cabo, descobriria que agora ele fornece uma amplitude de sinal constante (igual à metade da amplitude de saída do circuito aberto do gerador de sinal) conforme você variou a frequência. Esse comportamento não intuitivo é bem ilustrado nos dados medidos mostrados na Figura H.1. E ainda mais não intuitivamente, no final de tal cabo "terminado" a capacitância desaparece completamente – você vê uma carga resistiva pura de 50 ÿ!

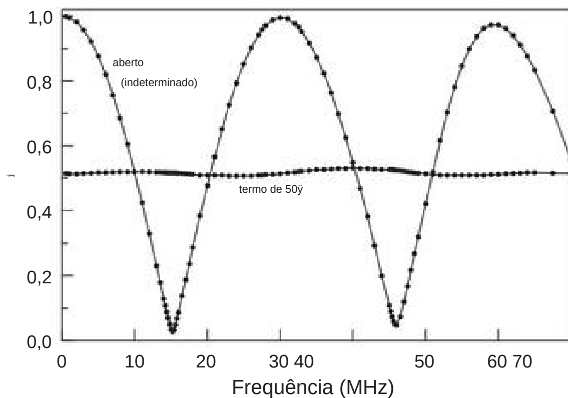


Figura H.1. Amplitude medida no conector de saída de um oscilador senoidal de 1 V de amplitude (circuito aberto), sob duas condições: conduzindo 10 pés de cabo coaxial RG-58 (50 ÿ), aberto na extremidade oposta; e conduzindo o mesmo cabo com um resistor de 50 ÿ conectado na extremidade oposta.

H.1.1 Impedância característica

Este exemplo simples ilustra a importância da *terminação:* o cabo coaxial é uma forma de *linha de transmissão,* com uma *impedância característica* Z_0 (que é sempre real: uma resistência tância) que depende apenas de sua construção física:

$$Z_0 = \sqrt{L/C} = \frac{138}{\sqrt{ÿ}} \log_{10}\frac{b}{a} \text{ ohms},$$

onde *L* e *C* são a indutância e a capacitância por unidade de comprimento, que, conforme indicado, dependem apenas do diâmetro externo, a, do condutor interno, do diâmetro interno, b, do condutor externo e da constante dielétrica (relativa para ÿ liberar espaço), do material isolante que os separa. Para uma onda que se propaga ao longo de uma linha de transmissão, Z_0 é a razão entre a tensão do sinal e a corrente do sinal. A linha coaxial mais popular para propósitos gerais é a RG-58, com uma impedância de 50 ÿ (suas dimensões são a=0,81 mm, b=2,95 mm e ÿ=2,3, para as quais a equação produz Z_0=51 ÿ). Esta impedância da linha coaxial é o padrão para uso de radiofrequência, exceto para aplicações de vídeo onde o padrão é Z_0=75ÿ; o tipo de cabo popular correspondente é chamado RG-59. Em eletrônica de pulso, às vezes você vê um cabo de 93ÿ (RG-62).

O sinal se propaga ao longo do cabo a uma velocidade

$$vwave = \frac{c}{\text{ÿ}^{\text{ÿ}}} = \frac{1}{\text{ÿ}LC,}$$

que é uma fração 1/ ÿ vezes ÿc (onde *c* é a velocidade da luz no vácuo, 3×108 m/s). O fator 1/ÿ é chamado *de fator de velocidade* e varia de 0,66 (polietileno sólido) a 0,80 (espuma de polietileno) para cabos coaxiais flexíveis disponíveis. Na ausência de um dielétrico, o fator de velocidade é 1,0, ou seja, as ondas viajam na velocidade da luz em uma linha coaxial espaçada no ar. O "comprimento elétrico" visto por um sinal de propagação em um cabo de comprimento físico *L* é maior pelo fator ÿ , ou seja, Lelec=Lfísicoÿ Observe que a indutância e a capacitância do cabo não podem assumir nenhum valor arbitrário, pois estão restritas de modo que seu produto LC esteja relacionado com a velocidade da luz.

A partir disso, é fácil mostrar que, se você conhece a impedância característica e o fator de velocidade, pode encontrar a capacitância por unidade de comprimento (ou vice-versa) por

$$C = \frac{\text{ÿ}^{\text{ÿ}}}{cZ0} \text{Farads/metro.}$$

Por exemplo, RG-8 tem uma impedância especificada de 52ÿ e um fator de velocidade de 0,66; a equação acima dá então C=97,1 pF/m, ou 29,6 pF/ft, em boa concordância com o valor especificado de 29,5 pF/ft.

A. Traços de par trançado e PCB As linhas de transmissão não *precisam* ser de geometria coaxial. Uma forma extremamente popular de linha de transmissão contemporânea é o *par trançado,* que é exatamente o que parece: um par de fios isolados, suavemente torcidos e envoltos em uma capa isolante geral (muitas vezes sem nenhum condutor de blindagem geral). Essas podem ser as espécies dominantes de linhas de transmissão em nosso tempo, porque são o material básico das redes locais (LANs). Você geralmente vê quatro pares trançados agrupados em uma única jaqueta sem blindagem; isso é chamado de "UTP" (par trançado não blindado) e é a forma mais comum de cabo LAN. Está disponível também com blindagem (par trançado blindado, "STP"). Os cabos UTP e STP contemporâneos possuem impedância nominal de 100ÿ, e são caracterizados (em termos de impedância e atenuação) para operação de até 10 Mbps (megabits por segundo) ou 100 Mbps; estes são chamados de Categoria 3 e Categoria 5, respectivamente, e parecem diferir principalmente no tom da torção. Aqueles que conhecem referem-se a elas casualmente como LANs Ethernet cat-3 e cat-5.[1] usando essas taxas de dados são chamados de "10baseT" e "100baseTX", o "T" significando "twisted"; a designação correspondente para Ethernet coaxial "thinnet" é "10base2".

Na eletrônica de alta velocidade em uma placa de circuito impresso, muitas vezes é necessário tratar os traços de conexão como linhas de transmissão. Veja a discussão em *§1x.1,* onde descrevemos a linha de transmissão *microstrip ,* que consiste em uma fina faixa condutora em uma camada externa de circuito impresso, com uma camada de plano de terra subjacente. Uma variante popular adiciona um par de pastores de rastreamento de solo em ambos os lados - isso é chamado de guia de *ondas coplanar aterrado* (GCPW). Há também a geometria *stripline* completamente fechada , onde o(s) traço(s) são colocados entre as camadas do plano de solo

H.1.2 Terminação: pulsos

Uma linha de transmissão em baixas frequências (comprimento de onda muito maior que o comprimento do cabo) parece simplesmente uma capacitância, normalmente da ordem de 30 pF/ft. Porém, em altas frequências, ou, de forma equivalente, quando se trata de sinais com tempos de subida rápidos, o comportamento é diferente. Para entender o curioso comportamento ilustrado na Figura H.1, é útil observar primeiro o que acontece quando um *pulso* simples é aplicado a um comprimento de linha de transmissão. Suponha que conectamos um gerador de pulso rápido com impedância de saída de 50ÿ (a impedância de saída padrão de geradores de sinal, geradores de função e geradores de pulso) a um comprimento de 50ÿ coaxial, em curto na extremidade oposta. O pulso inicialmente desaparece em uma impedância Z0 (portanto, a amplitude do sinal é metade daquela do gerador descarregado), mas após um tempo de viagem de ida e volta, um pulso refletido de polaridade oposta retorna (Figura H.2). Se o sinal aplicado for um passo rápido, o efeito da reflexão é converter o passo em um pulso (Figura H.3). Uma linha aberta produz uma reflexão da *mesma* polaridade, com os efeitos mostrados na Figura H.4. Para resistência de carga arbitrária *R* , a razão da amplitude da onda refletida para a incidente (o coeficiente de reflexão) é dada por

$$\text{ÿ} \quad \text{ÿ Ar/Ai} = (R\text{ÿ}Z0)/(R+Z0).$$

Observe que uma resistência de terminação de *R=Z0* não produz reflexão. Um sinal aplicado a tal linha terminada é absorvido pelo resistor de terminação (como calor) e desaparece para sempre. A fonte de sinal vê uma resistência de carga igual a Z0. (É por esta razão que não tivemos que nos preocupar antes com os pulsos refletidos refletindo novamente do pulso

[1] Os padrões de desempenho mais altos incluem a Categoria 5e ("e" para *aprimorada)* e a Categoria 6, impulsionada pelo desenvolvimento de Gigabit Ethernet – literalmente 1 gigabit/s em par trançado não blindado – também conhecido como 1000baseT. Para atingir essa taxa de dados, todos os quatro pares são usados simultaneamente com codificação de amplitude de 5 níveis.

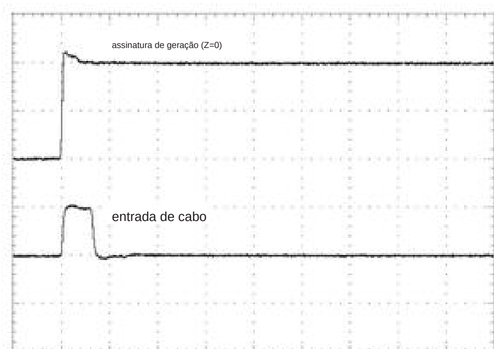


Figura H.3. 'Traço de escopo de uma forma de onda de passo aplicada a um comprimento de 8 pés de RG-58A/U (dielétrico de polietileno sólido, fator de velocidade de 66%), em curto no final. Vertical; 1 V/div; horizontal; 40 ns/div.

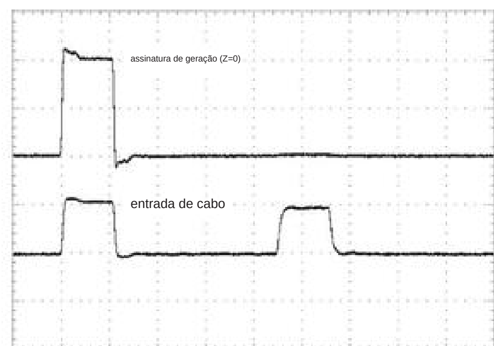


Figura H.4. 'Traçado de escopo mostrando reflexão de linha coaxial aberta. Mesmos parâmetros da Figura H.2B.

gerador – sua impedância de fonte de 50ÿ engole qualquer sinal retornando de um cabo com terminação imprópria, que é a razão pela qual a maioria das fontes de sinal são padronizadas em impedância de 50ÿ.)

A. Terminação em série

Este último ponto – que os sinais de retorno (refletidos) são completamente absorvidos se a impedância da fonte do sinal corresponder à linha – leva a uma boa técnica chamada terminação em *série* (ou *terminação inversa),* frequentemente usada para sinais lógicos de alta velocidade (e em outras situações onde a carga tem uma alta impedância de entrada). Observe a Figura H.5: uma fonte de sinal em série com um resistor (igual à impedância da linha) aciona uma linha de transmissão cuja extremidade oposta não tem terminação (isto é, aberta). Agora imagine uma entrada degrau de amplitude Vsig na fonte do sinal; ele se propaga ao longo da linha em meia amplitude e, em seguida, reflete de volta da extremidade oposta na amplitude total de Vsig . Embora qualquer ponto ao longo da linha veja uma forma de onda de duas etapas, o fato surpreendente é que a forma de onda vista na outra extremidade faz uma única etapa de zero até a máximo

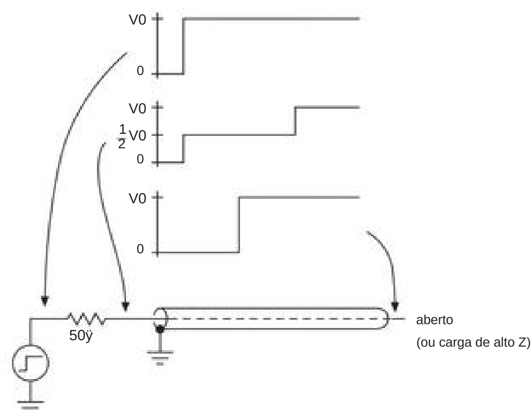


Figura H.5. Terminação em série de uma linha aberta: a linha é alimentada por uma fonte de sinal de impedância casada; o degrau de metade do tamanho na entrada se propaga para a extremidade oposta, a partir da qual reflete em fase para produzir um degrau de retorno igual em amplitude à amplitude sem carga do gerador. Uma carga de alta impedância na extremidade oposta vê apenas um único degrau de tamanho normal.

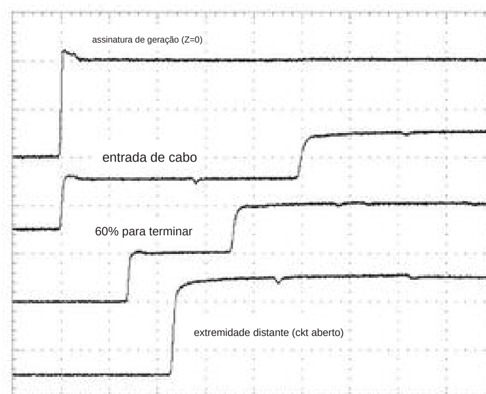


Figura H.6. 'Scope trace mostrando formas de onda na entrada do cabo, ponto médio e extremidade distante, para entrada de etapa terminada em série. O sinal de impedância zero do gerador também é mostrado; foi configurado para produzir um passo de 2 V em um circuito aberto. O cabo tem 60 pés de RG-58/U (fator de velocidade de 66%), com derivação de 36 pés com uma ponta de prova de tensão de alta impedância. Vertical; 1 V/div; horizontal; 40 ns/div.

Vsig; nesse local, a onda incidente de tamanho médio chega ao mesmo tempo em que a onda refletida de tamanho médio parte. Esse comportamento interessante é demonstrado nos traços de escopo na Figura H.6.

Você pode usar esta técnica para enviar sinais lógicos CMOS através de um comprimento de cabo coaxial: três buffers 74HC em paralelo (para baixa impedância de fonte, aproximadamente 15 ÿ) em série com um resistor de 33 ÿ conduz bem comprimentos de RG-174 ou RG 316 (fino 50 ÿ linha coaxial), conectado ao portão de recepção na extremidade oposta *sem terminação.* O portão receptor vê

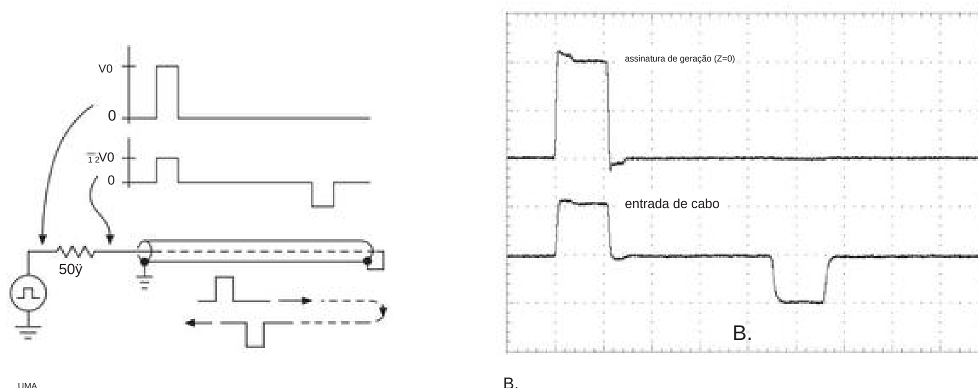


Figura H.2. A. Um pulso conduzindo um comprimento de linha de transmissão em curto reflete o curto e retorna como um pulso de polaridade oposta. B. Traçado do osciloscópio feito com 70 pés de RG-8/U com dielétrico de espuma (fator de velocidade de 78%), em curto no final. Vertical; 1 V/div; horizontal; 40 ns/div. Para esta e as figuras a seguir, usamos uma sonda de escopo de alta impedância para evitar a introdução de efeitos adicionais na linha de transmissão.

sinais lógicos full-swing. Esta técnica é muitas vezes preferível à alternativa de carga casada – conduzindo diretamente uma linha terminada em 50 ÿ – porque com a terminação em série o condutor vê uma resistência de carga duas vezes maior (100 ÿ neste caso), e isso apenas para a rodada -duração da viagem do sinal (após o qual a carga se torna um circuito aberto).2 Para sinais lógicos muito rápidos (por exemplo, ECL 100K ou processadores CMOS de alta velocidade contemporâneos, memória e periféricos), pode ser necessário tratar um traço de circuito de apenas algumas polegadas como uma linha de transmissão. Normalmente, as impedâncias de traço da placa de circuito impresso (PCB) estão na faixa de 50 ÿ a 100 ÿ, mas podem ser adaptadas para uma impedância específica pela escolha adequada da largura do traço e espaçamento acima do plano de aterramento; esta arte especial é conhecida como técnica de *microfita* ,3 útil tanto para sinais digitais rápidos quanto para sinais em frequências acima de cerca de 100 MHz (UHF e micro-ondas).

Isso tudo é muito bom em teoria – mas na prática você tem que lidar com fontes de sinais digitais rápidos que não combinam com a impedância da linha. Isso acontece frequentemente em PCBs digitais, onde as portas de saída digital de microprocessadores e FPGAs velozes não combinam com as impedâncias de rastreamento da PCB. Por exemplo, uma linha conduzida por um sinal de impedância de fonte Z0/2 produz muitos toques em ambas as extremidades de uma linha não terminada, incluindo 33% de ultrapassagem na extremidade oposta; tal toque pode produzir falso relógio.

Para ilustrar como isso se parece, conduzimos um cabo coaxial RG-58/U (Z0=50ÿ) de 2,4 m de comprimento com uma entrada degrau, testando os sinais de entrada e saída.

2 Consulte §12.10, onde vários métodos de condução de cabos com níveis lógicos são descritos e ilustrados.

3 Se você colocar os condutores de transporte de sinal entre um par de planos de aterramento, você terá um *stripline;* ver *§1x.1.*

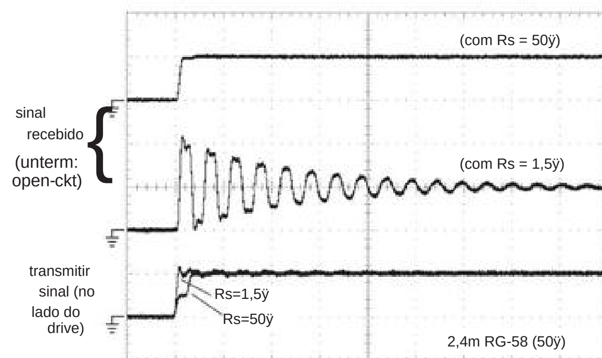


Figura H.7. Sinais vistos na extremidade distante de um comprimento não terminado de 8 pés de linha de 50 ÿ quando acionado com um passo unitário de uma fonte de 50 ÿ (traço superior) e de uma fonte de baixa impedância (traço intermediário). Os sinais correspondentes no lado acionador são mostrados na parte inferior. Horizontal; 100 ns/div.

Fizemos isso sob duas condições: (a) quando acionado com uma terminação em série de 50 ÿ na entrada (ou seja, uma linha "terminada de volta"); e (b) quando acionado com um degrau de tensão de baixa impedância (Rs=1,5ÿ).

A Figura H.7 mostra os resultados, onde a amplitude de circuito aberto do sinal do drive (chame-o de VOC) é exibida como uma divisão vertical. A terminação em série combinada gera um passo recebido limpo para VOC (e uma forma de onda de entrada com passo inicial primeiro para VOC/2, depois para VOC após um atraso de ida e volta, como visto na escala expandida na Figura H.6). Em contraste, o drive de baixo Z impõe um degrau de VOC completo na entrada, que é visto pela primeira vez na extremidade distante em 2VOC (porque a onda refletida não invertida dobra a amplitude da onda que chega), subseqüentemente trazida quase de volta para zero (um tempo de ida e volta depois) pela onda invertida refletida de

o driver de baixa impedância. Esse padrão alternado continua, amortecido tanto pela perda do cabo quanto pela perda resistiva no driver de 1,5 ÿ. Este sinal é uma bagunça! É por isso que vale algum esforço para casar as impedâncias do driver com a impedância característica das linhas cujo comprimento (dado o tempo de subida do sinal) as qualifique como linhas de transmissão.4

B. Um link lógico robusto

O tipo de comportamento de overshoot visto na Figura H.7 pode destruir os circuitos lógicos na extremidade receptora. Você vê essa vulnerabilidade particularmente no laboratório, onde um sinal lógico de baixa impedância (ou saída do gerador de pulso) viaja por um comprimento de cabo coaxial até uma entrada lógica em algum instrumento. O último geralmente não tem terminação, para manter a impedância de entrada relativamente alta (para evitar carga pesada e atenuação para uma fonte de sinal incapaz de conduzir 50 ÿ).

Se você quiser fazer seus próprios projetos à prova de balas contra esse perigo, você pode adicionar alguns componentes conforme mostrado na Figura H.8. Na extremidade receptora, o resistor em série R2 limita a corrente, seguramente grampeado pelos diodos internos de proteção da porta lógica; o "capacitor de aceleração" C1 evita a perda de velocidade (1 kÿ em uma entrada típica e capacitância de fiação de 10 pF é uma constante de tempo *RC* de 10 ns, uma quase eternidade no mundo frenético da lógica digital). É sempre uma boa ideia incluir um resistor pull-down de entrada (R1) para garantir um nível lógico definido quando a entrada for desconectada. Com muita cautela, adicionamos o resistor R3, cujo trabalho é evitar que um grande overdrive positivo force o trilho V+ para uma tensão positiva que pode danificar outros CIs; isso normalmente poderia ser omitido, mas seria uma boa ideia em um instrumento com um convidativo conector BNC na frente e que contém apenas alguns CIs alimentados por um pequeno regulador (como um 78L05 – consulte §9.3.2, Figura 9.6 , e Tabela 9.1) cuja saída CC pode ser facilmente superada.

No final do driver, a conexão paralela de várias portas lógicas gera uma impedância de drive para baixo na vizinhança de 5–10 ÿ, que o resistor adicionado em série Ro traz até uma resistência de drive próxima à impedância característica de 50 ÿ do cabo. Isso é o que você quer, é claro, e isso por si só é suficiente para lhe dar tranquilidade como um respeitável piloto terminado em série. Mas nunca é demais proteger a extremidade do receptor, como acabamos de discutir: você nunca sabe quando alguém vai acioná-lo com um gerador de pulsos, inadvertidamente configurado para fornecer pulsos *negativos* ou pulsos positivos de 20 V (como aconteceu em nosso laboratório recentemente).

4 Um efeito análogo em linhas de transmissão de energia de longa distância é conhecido como efeito Ferranti; diz-se que as sobretensões causadas pelo efeito Ferranti, se não forem devidamente compensadas, podem causar danos nos quadros de distribuição da rede elétrica.

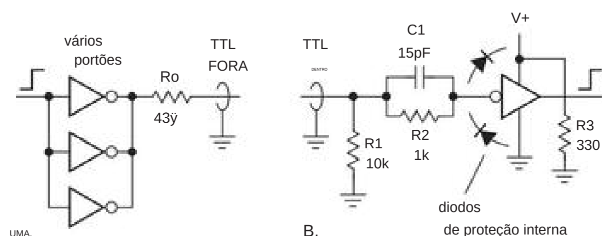


Figura H.8. A. Driver de nível lógico simples para cabo terminado em série; B. Receptor de nível lógico protegido contra overdrive. Conecte-os para formar um caminho de sinal completo.

Há uma discussão mais aprofundada sobre condução de cabos e lógica na interface no Capítulo 12, começando em §12.10.

H.1.3 Terminação: sinais senoidais

Temos falado sobre sinais que se propagam ao longo de linhas de transmissão, para maior clareza, usando o caso particular de pulsos ou degraus de tensão. É claro que uma *onda senoidal* aplicada a um comprimento de cabo também produz reflexões, a menos que o cabo esteja devidamente terminado. O efeito é alterar a corrente de entrada, para uma tensão de entrada aplicada, de uma forma que depende da impedância de carga (incompatível) ZL e também da razão entre o comprimento de onda do sinal no cabo e o ÿ comprimento físico do cabo l. O efeito final é produzir uma impedância de entrada (complexa em geral) dada por

$$Z_{in} = Z_0 \frac{Z_L + jZ_0 \tan(2\pi l/\lambda)}{Z_0 + jZ_L \tan(2\pi l/\lambda)}.$$

A partir disso pode-se ver que:

(a) uma terminação casada (ZL=Z0 = [geralmente] 50ÿ) resulta em uma impedância de entrada igual à impedância característica do cabo, independente do comprimento ou frequência; (b) uma linha de quarto de onda inverte a impedância de carga, ou seja, Zin=Z2 (c) uma linha de meia onda preserva a impedância de carga, ou seja, Zin $_0$/ZL; (d) um pequeno comprimento de linha de circuito aberto l parece capacitivo, viz., Zin ÿ *ÿj/* onde *C* (a capacitância efetiva) é a constante *l/ cZ0;* (e) um curto comprimento de linha em curto-circuito ltive , viz., Zin ÿ *j L* a constante Z0l/c. ÿ ÿ *C* , ÿ parece induzido ÿ , onde *L* (a indutância efetiva) é

As propriedades de mudança de impedância das linhas de transmissão podem ser usadas para igualar as impedâncias, embora qualquer esquema desse tipo dependa da frequência; quando você ouve palavras como "stubs", você está lidando com a correspondência de impedância da linha de transmissão. Os virtuosos desta área fazem uso intensivo de analisadores de rede e tentarão deslumbrá-lo com seus

belos "Smith Charts" (que estão bem além do humilde escopo deste livro5).

Quando você tem sinais senoidais – com reflexões – em uma linha de transmissão, você gera *ondas estacionárias.* Ou seja, você pode imaginar o resultado líquido das ondas se propagando em ambas as direções (na mesma frequência) como a soma de uma onda não propagada (portanto, "estacionária") e alguma onda propagada adicional. Por exemplo, uma linha aberta produz uma onda refletida de amplitude total; o resultado é uma onda estacionária pura com a mesma frequência e o dobro da amplitude, com amplitude máxima de oscilação na extremidade aberta (e repetindo a cada meio comprimento de onda) e nulos completos ("nós" – locais sem tensão) no meio do caminho entre. Para uma linha de extremidade curta acontece algo semelhante, mas a onda refletida é de amplitude oposta, produzindo um nulo na extremidade oposta (e repetindo a cada meio comprimento de onda), com máximos no meio. (Você obtém o mesmo padrão se amarrar um pedaço de varal a uma cerca e, em seguida, mexer a ponta para cima e para baixo na taxa certa.) Com uma incompatibilidade de terminação menor, você não obtém cancelamento completo em nenhum lugar.

Ondas estacionárias não são necessariamente ruins (embora nunca sejam *boas!).* Mas eles aumentam tanto as tensões de pico quanto as perdas resistivas (consulte a próxima seção), em relação a uma linha casada, para a mesma potência transmitida. Eles são normalmente vistos como o sintoma de uma linha incompatível. Assim, em sistemas de comunicação, as pessoas tentam minimizar a *relação de onda estacionária* (abreviada como SWR, ou às vezes VSWR – para relação de onda estacionária de *tensão* – pronuncia-se "VIZ-wahr"), que é definida como a relação entre a amplitude máxima e a amplitude mínima:

$$VSWR = \frac{V_{máx}}{V_{min}} = \frac{A_f + A_r}{A_f - A_r},$$

onde *V* é a tensão CA (sinal), medida em pontos ao longo da linha; e Af e Ar são as amplitudes das ondas direta e refletida, respectivamente. As medições de tensão ao longo de um cabo sem ondas estacionárias darão uma amplitude constante (daí VSWR=1,0).

O VSWR é um número real, entre 1,0 (correspondência perfeita, sem onda refletida) e ÿ ("incompatibilidade perfeita", amplitude da onda refletida igual à amplitude da onda incidente). Em termos do coeficiente de reflexão, o ÿ VSWR é apenas

$$VSWR = \frac{1+|ÿ|}{1ÿ|ÿ|}.$$

Para uma incompatibilidade puramente resistiva, podemos usar nossa expressão anterior para encontrar que ÿ

$$VSWR = \begin{cases} R/Z_0 & \text{se } R > Z_0 \\ Z_0/R & \text{se } Z_0 > R. \end{cases}$$

A partir do VSWR você pode encontrar a magnitude (mas não a fase) do coeficiente de reflexão:

$$|ÿ| = \frac{VSWR-1}{VSWR+1}.$$

O VSWR é medido com um medidor de potência direcional. Conhecendo os valores da potência direta e refletida, você sabe pela equação acima que

$$VSWR = \frac{1+\sqrt{P_r/P_f}}{1ÿ\sqrt{P_r/P_f}}.$$

H.1.4 Perdas em linhas de transmissão

No mundo real das linhas de transmissão não ideais, as coisas não são tão boas quanto o levamos a acreditar. As linhas de transmissão reais apresentam *perdas,* o que significa que os sinais são atenuados à medida que viajam pela linha; eles também são ligeiramente *dispersivos,* o que significa que sinais de diferentes frequências viajam com velocidades ligeiramente diferentes. A perda *depende da frequência:* seu valor (muitas vezes especificado como atenuação em "dB por 100 pés") aumenta proporcionalmente a ÿ *f ;* ou seja, uma quadruplicação da frequência dobra a perda (em dB) de um determinado comprim Isso acontece porque a perda é dominada pelo *efeito pelicular:* quando uma corrente alternada flui através de um condutor, a corrente não é uniforme em todo o volume – ela fica confinada a uma camada externa (chamada de *profundidade pelicular)* de ÿ frequência esp. 7 Como 1/ÿ, onde a (dia quadrada da frequência nente você deve quadruplicar a frequência para dobrar a resistência (reduzir pela metade a profundidade da pele),

5 Os gráficos de Smith são tratados na excelente referência *Campos e Ondas em Communication Electronics* de Ramo, Whinnery e Van Duzer (Wi ley, 1994), bem como no perspicaz e revigorante *Radio-Frequency Electronics* de Hagen (Cambridge University Press, 2009).

6 Bem, *quase nunca!* Para operação em uma faixa de frequência estreita, às vezes você explora as propriedades de mudança de impedância de linhas incompatíveis, que necessariamente têm ondas estacionárias. Exemplos são (a) o uso de comprimentos de linha abertos ou em curto como capacitores ou indutores de alto Q , (b) uma meia-onda em curto ou uma linha de um quarto de onda aberta usada como um capacitor de desvio de RF, (c) uma meia-onda aberta -onda ou uma linha de quarto de onda curta usada como uma bobina de RF, (d) combinando duas impedâncias diferentes (cabos, fontes de sinal ou cargas) interpondo uma seção de quarto de onda da linha de transmissão cuja impedância característica é a média geométrica de as duas impedâncias sendo combinadas (isso é análogo a um revestimento anti-reflexo de quarto de onda em óptica), (e) o uso de uma linha com fenda e sonda de alta impedância para uma medição direta do comprimento de onda e (f) o uso de transmissão linhas para fazer "híbridos de anel" e "híbridos de corrida de ratos". Agradecemos a Jon Hagen e Darren Leigh por essas aplicações de "boas ondas estacionárias".

7 Para ser preciso, a densidade de corrente diminui exponencialmente, caindo para 1/e (37%) de seu valor de superfície em uma profundidade igual a ÿ.

o que equivale (em termos de perda) a dobrar o comprimento da linha. Isso explica a inclinação aproximada das curvas de atenuação para linhas de transmissão (Figura H.9), onde linhas de maior diâmetro apresentam menores perdas. As perdas dielétricas contribuem com atenuação adicional nas frequências mais altas.

As curvas mostradas são para uma linha combinada; se houver reflexões (ou seja, se o VSWR for maior que 1,0), então a perda, *para uma dada potência líquida transmitida pela linha,* será maior.

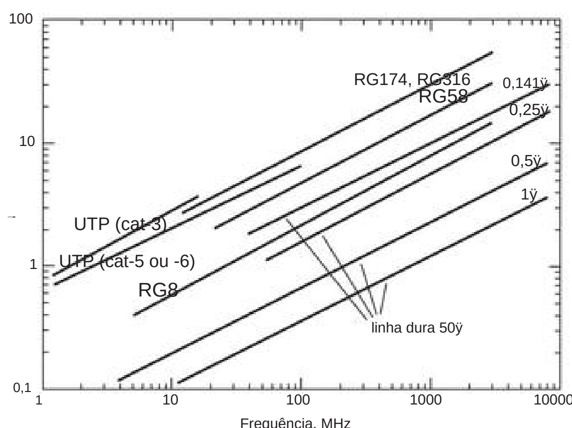


Figura H.9. Atenuação (dB/100 pés) em função da frequência para vários tipos de cabos representativos.

É útil perceber que os efeitos de profundidade da pele são significativos mesmo em baixas frequências - a corrente na frequência da linha de energia de 60 Hz está confinada a uma camada superficial de aproximadamente 1 cm em cobre, para a qual a profundidade da =6.6/ ÿ *f ;* timeters) em temperatura ambiente é dado por (você não ÿ pele (centí (Cu) reduz muito as perdas de transmissão de energia usando fio mais grosso do que isso. Em frequências de rádio, a profundidade da pele é tão rasa (por exemplo, ÿ =10 m em 40 MHz) que você pode fazer conexões de baixa perda, indutores e assim por diante, banhando em prata um condutor ruim. Uma técnica comum para proteger instrumentos e computadores leves é aplicar uma camada metálica fina a um invólucro de plástico. A Figura H.10 plota a profundidade da pele em condutores de cobre de 10 Hz a 10 GHz.

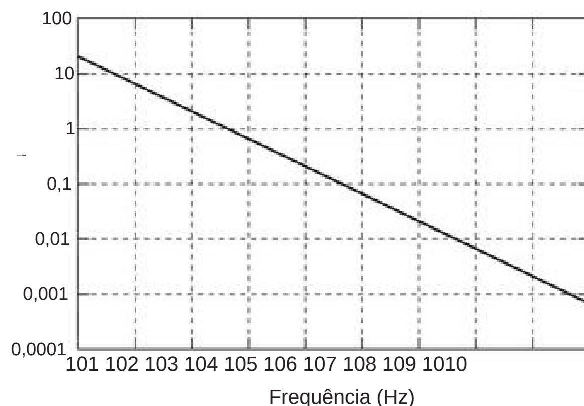


Figura H.10. Profundidade da película de cobre em função da frequência.

Correspondência de impedância H.2

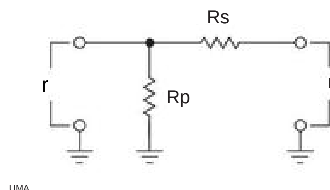
Como você obtém reflexões de linhas de transmissão não terminadas (ou terminadas incorretamente), obviamente é uma boa ideia certificar-se de que as impedâncias são compatíveis ao usar linhas coaxiais cujo comprimento elétrico é uma fração significativa (pelo menos 1/20, digamos) do comprimento de onda das frequências mais altas que você está usando. Declarado em termos de tempo e não de frequência, você deve começar a se preocupar com a rescisão quando o tempo de propagação de ida e volta é de cerca de 20% do tempo de subida do sinal.

Já vimos que uma maneira simples de fazer isso é terminar a linha em sua impedância característica (resistência), por exemplo 50 ÿ para a maioria das linhas coaxiais. A terminação não é necessária em *ambas as* extremidades, porque uma extremidade terminada engole quaisquer sinais incidentes. Assim, você pode usar uma impedância de fonte de sinal incompatível para conduzir uma linha terminada na extremidade oposta; ou, como vimos acima, você pode "terminar em série" a extremidade acionada de uma linha cuja extremidade não é terminada (ou seja, alimentada a uma carga de impedância muito maior do que a linha). A prática usual, no entanto, é terminar *ambas as* extremidades na impedância característica da linha (um instinto conservador que garante um mínimo de reflexões). Por exemplo, você geralmente usa um cabo de 50 ÿ para canalizar o sinal de um sintetizador ou gerador de sinal para uma carga correspondente de 50 ÿ na extremidade oposta; se sua carga for de alta impedância, coloque um resistor de 50 ÿ através dela (ou use uma terminação de passagem coaxial de 50 ÿ).

Às vezes, você precisa combinar uma linha com uma carga (ou fonte) de impedância diferente; por exemplo, você pode querer medir as propriedades de algum cabo de vídeo de 75 ÿ (essa é a impedância que a indústria de vídeo escolheu, para grande desgosto do resto da comunidade eletrônica), e tudo o que você tem são testes de 50 ÿ instrumentos. Ou você pode querer combinar a impedância de saída de um amplificador de alta frequência com um comprimento de cabo que vai para uma antena.

Isso nos leva ao assunto das redes correspondentes. Nas subseções a seguir, trataremos (a) redes resistivas (com perdas) para casamento de impedância de banda larga e atenuação, (b) casamento de banda larga de transformador (sem perdas) e (c) casamento de banda estreita reativa (sem perdas).

H.2.1 Rede de correspondência de banda larga resistiva (com perdas)



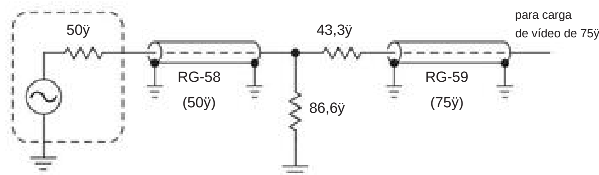


Figura H.11. A. Uma rede L resistiva pode corresponder a qualquer par de impedâncias reais (resistivas); o resistor paralelo Rp atravessa a porta de menor impedância r. B. Exemplo de correspondência de uma fonte de sinal de 50 ÿ e cabo a um cabo de vídeo de 75 ÿ e carga (com uma perda de 5,72 dB).

Você pode descobrir facilmente que dois resistores (na forma de uma "rede em L", Figura H.11A) é tudo o que é necessário para corresponder a um par de impedâncias *r* e *R* (consideradas resistivas, como todos os cabos são); ambos os lados estão felizes – cada um vê uma carga correspondente. Os valores dos resistores correspondentes são

$$Rp = r \sqrt{\frac{X}{X-1}},$$

$$Rs = r\sqrt{X(X-1)},$$

onde *r* é a menor impedância e *X* é a razão de impedâncias: X=R/r. Tomando o exemplo anterior, você pode combinar um instrumento de teste de 50 ÿ com uma linha coaxial de 75 ÿ (a variedade comum é chamada de RG-59) colocando 86,6 ÿ na porta de 50 ÿ e conectando-a ao cabo por meio de uma série de 43,3 ÿ resistor (Figura H.11B).

A boa notícia é que tal rede L resistiva é independente da frequência; a má notícia é que é com perdas. É fácil mostrar que a perda é

$$\text{perda} = 20\log_{10} \frac{\sqrt{X}}{X+\sqrt{X(X-1)}} \ \text{dB}.$$

Por exemplo, a rede L de 50ÿ a 75ÿ acima tem uma perda de transmissão de 5,72 dB para sinais indo em qualquer direção. Com uma correspondência resistiva, você deve aceitar essa atenuação (isso às vezes é chamado de atenuação de *perda mínima).* Veremos a seguir como criar redes correspondentes sem perdas com transformadores ou com redes de L's e C's ("Reactive Matching Networks").

Como você pode imaginar, você pode fazer ainda *pior,* em termos de perda, com uma rede contendo mais resistores! Em particular, você pode adicionar outro resistor, fazendo uma rede *"T"* ou uma rede "Pi", que combina duas impedâncias resistivas entre si, com perda maior que a perda mínima que encontramos acima. Embora isso não seja algo que você normalmente queira fazer, há uma variação desse tema que costuma ser útil; ou seja, uma rede de atenuação resistiva entre um par de impedâncias já combinadas.

H.2.2 Atenuador resistivo

Em circuitos de radiofrequência, às vezes você precisa atenuar um nível de sinal – por exemplo, para evitar o overdrive de um estágio de ganho. Em outras situações, você precisa usar um tenuador resistivo para fornecer algum isolamento entre um componente sensível à impedância, como um amplificador, mixer ou cabo, digamos, e um componente que não seja compatível com a impedância; um exemplo do último é um filtro, que normalmente é impedância casada em sua banda passante, mas reflexiva (uma incompatibilidade severa) em sua banda proibida. Alguns amplificadores irão oscilar se sua saída acionar diretamente um filtro agudo.

A solução para esses problemas é um atenuador casado de impedância resistiva. As duas topologias são T e Pi, nomeadas por sua aparência em um diagrama esquemático (Figura H.12). Não é difícil derivar os valores do resistor:

$$Rp = \frac{1+x}{1-x} R0, \qquad Rs = \frac{1-x^2}{2x} R0, \qquad \text{(rede Pi)},$$

e

$$Rs = \frac{1-x}{1+x} R0, \qquad Rp = \frac{2x}{1-x^2} R0, \qquad \text{(rede T)},$$

onde *x* é dado pela atenuação: atten(dB)=ÿ20log10 *x* (ou, equivalentemente, x=10ÿatten(dB)/20), e Z0 (assumida resistiva) é a impedância na entrada e na saída. Valores tabelados para impedâncias de fonte e carga de 50 ÿ são fornecidos na Tabela H.1.

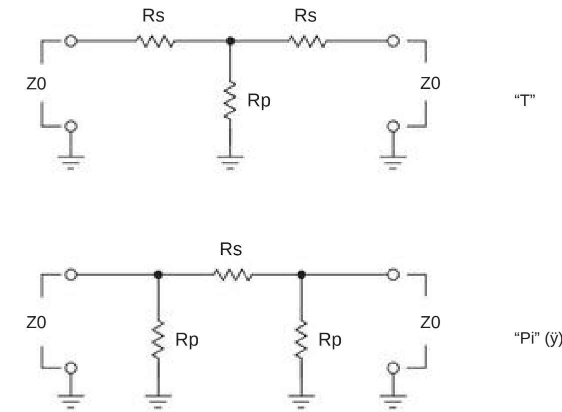


Figura H.12. Atenuadores resistivos T e Pi para impedâncias iguais de entrada e saída.

Tabela H.1 Atenuadores de 50ÿ T e Pi

	pi		T	
Atenuação (dB) 0 0,25 0,50 0,75 1,00	RP (ÿ)	RS (ÿ)	RP (ÿ)	RS (ÿ)
1,25 1,50 1,75 2,0	oo	0	oo	0
2,5 3 4 5 6 7 8 9 10	3,47k	1,44	1,74k	0,72
15 20 25 30 35 40	1,74k	2,88	868	1,44
45 50 55 60	1,16k	4,32	578	2,16
	870	5,77	433	2,88
	696	7,22	346	3,59
	581	8,68	288	4,31
	498	10,1	247	5,02
	436	11,6	215	5,73
	350	14,6	171	7,15
	292	17,6	142	8,55
	221	23,9	105	11,3
	178	30,4	82,2	14,0
	150	37,4	66,9	16,6
	131	44,8	55,8	19,1
	116	52,8	47,3	21,5
	105	61,6	40,6	23,8
	96,3	71,1	35,1	26,0
	71,6	136	18,4	34,9
	61,1	248	10,1	40,9
	56,0	443	5,64	44,7
	53,3	790	3,17	46,9
	51,8	1,41k	1,78	48,3
	51,0	2,50k	1,00	49,0
	50,6	4,915k	0,56	4,0
	50,3	4,915k	0,32	94
	50,2		0,18	94
	50,1		0,10	

Valores de resistores para atenuadores T e Pi para uso com 50 ÿ fonte e carga. Os valores mostrados podem ser dimensionados para uso em alguma outra impedância, assumindo impedâncias de entrada e saída iguais.

H.2.3 Transformador (sem perdas) rede correspondente de banda larga

Se a perda inevitável de uma rede de correspondência resistiva não for importante em sua aplicação, esse certamente é o método mais simples. No entanto, em muitas aplicações é essencial minimizar as perdas – por exemplo, em um transmissor de comunicação ou em circuitos de baixo nível cujo desempenho é limitado por amplificador ou ruído térmico.

Nesse caso, você pode usar um transformador ou uma rede de correspondência reativa; nenhum método fornece acoplamento até DC, no entanto. O acoplamento do transformador é relativamente de banda larga, mas é limitado nas taxas de impedância; A correspondência ativa re, por outro lado, corresponde de forma flexível às impedâncias (incluindo impedâncias reativas), mas apenas em torno de uma frequência central escolhida. Tratamos da correspondência reativa na próxima subseção.

Os transformadores para uso em frequências de sinal são semelhantes em princípio aos transformadores de potência CA comuns, ou seja, usam um par de enrolamentos que são acoplados magneticamente e cuja relação de espiras é a relação de tensão desejada. A relação de impedância é então o quadrado da relação de voltas. (Por exemplo, um transformador com uma relação de espiras primário:secundário de 1:4, acionado com uma fonte de sinal de 50 ÿ, apresentaria uma impedância de saída de 800 ÿ e deveria ser carregado com essa resistência.) No entanto, devido ao sinal mais alto frequências, é necessário usar núcleos magnéticos que não tenham caminhos condutores significativos para correntes parasitas. Nas frequências de áudio a solução é usar o mesmo tipo de pilhas metálicas laminadas usadas em transformadores de potência, mas com laminações muito mais finas. Em frequências ainda mais altas, os núcleos laminados são substituídos por núcleos de ferro em pó ou por materiais de "ferrita" magnéticos completamente não condutores. Devido aos efeitos devastadores da capacidade parasitária itância e indutância, os transformadores para uso em altas frequências de rádio (digamos, acima de 10 MHz) geralmente são construídos a partir de linhas de transmissão (coaxiais ou paralelas) enroladas em torno de um núcleo magnético.

Os transformadores de casamento de impedância estão amplamente disponíveis comercialmente, embora para aplicações especiais você precise projetar e enrolar o seu próprio. Em frequências de áudio, muitos fabricantes oferecem transformadores de correspondência de impedância em miniatura com larguras de banda de "telefone" (200 Hz–4 kHz) ou largura de banda de áudio total (20 Hz– 20 kHz); as impedâncias variam de impedâncias de alto-falante e microfone (8–600 ÿ) até valores "hi-Z" de 10k–50kÿ. Há mais discussão em §8.10.

Uma bela série de transformadores de radiofrequência é feita pela North Hills, incluindo modelos que transformam 50 ÿ ou 75 ÿ em impedâncias de até 1200 ÿ; estes cobrem a faixa de frequência entre 20 Hz e 100 MHz, com um típico

faixa de frequência de 1000:1 ou mais para um determinado transformador. Para frequências mais altas, você pode obter transformadores correspondentes de banda larga da Mini-Circuits, cobrindo a faixa de 4 kHz a 2 GHz com taxas de impedância de 1:1 a 16:1 e com faixas de frequência de 1000:1 ou mais para um determinado transformador. Estes são construídos com técnicas de linha de transmissão.

Vale a pena notar que o acoplamento do transformador fornece *isolamento galvânico:* os circuitos de entrada e saída não precisam compartilhar o mesmo aterramento. Isso é particularmente útil quando você precisa enviar um sinal (ou distribuir um "relógio doméstico") entre instrumentos cujas caixas individuais são aterradas por meio de seus cabos de alimentação ou trilhos de gabinete. Vimos vários casos em que o "terra" do instrumento, no mesmo laboratório, diferia em até *vários volts* de 60 Hz CA. Aqui um 50 ÿ isolado: 50ÿ trans de banda larga

O primeiro é ideal, por exemplo, os Mini-Circuits FTB1-6 (10 kHz–125 MHz) ou o North Hills 0016PA (20 Hz–20 MHz).

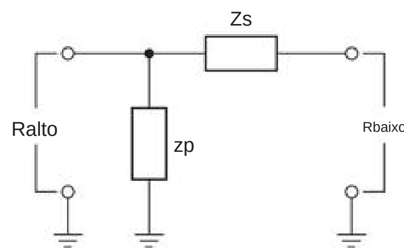


Figura H.13. Rede L de correspondência de impedância reativa sem perdas.

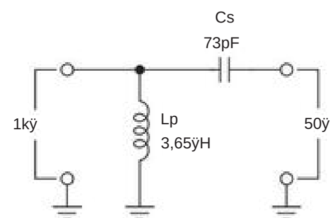


Figura H.14. Exemplo de rede sem perdas para casar uma impedância de fonte de 1 kÿ com uma carga de 50 ÿ, a uma frequência central de 10 MHz.

H.2.4 Redes correspondentes de banda estreita reativa (sem perdas)

Você pode combinar *qualquer* par de impedâncias, reais ou complexas, com apenas dois componentes reativos. A correspondência resultante é perfeita apenas em uma única frequência, mas "boa o suficiente" em uma faixa modesta de frequências. Isso pode ser considerado uma alternativa ao casamento de transformadores (banda larga), com flexibilidade consideravelmente maior nas impedâncias alvo. Vale a pena notar que uma correspondência sem perdas entre impedâncias que não são puramente reais (ou seja, que possuem um componente reativo) sempre será de banda estreita.

A rede de correspondência reativa mais simples é uma rede em L com um indutor e um capacitor (Figura H.13). Você pode escolher o indutor ou o capacitor como elemento paralelo, mas a rede deve ter a reatância paralela localizada na porta com a maior impedância. O procedimento de design é direto e bem motivado e explicado em Hagen (consulte o Apêndice N). Isso equivale a escolher a reatância paralela para produzir (em combinação com a impedância Rhigh da porta mais alta) a resistência inferior correta Rlow como sua parte real e, em seguida, usar a reatância em série para cancelar a reatância resultante.

O procedimento é assim.

1. Calcule a quantidade

$$QEL = \sqrt{\frac{Ralto}{Rbaixo} ÿ1}$$

(este será o dobro do valor *Q* real , ou seletividade de frequência, da rede correspondente).
2. Agora selecione a forma de reatância paralela (ou seja, no duto ou capacitor), e defina a magnitude de sua reatância igual a Rhigh/QEL na frequência central. Em outras palavras, Lparalelo=Ralto/2 *f* QEL ou Cparalelo=QEL/2 *f* Ralto, respectivamente. ÿ ÿ
3. Finalmente, defina a magnitude da reatância em série (ou seja, capacitor ou indutor, respectivamente) igual a *QELRlow* na frequência central. Em outras palavras, Cseries=1/2 *f QELRlow* ou *Lseries=QELRlow/ 2* respectivamente. ÿ ÿ *f* , ré

Como exemplo, vamos combinar uma fonte de 1000 ÿ (uma saída de amplificador) a uma carga de 50 ÿ (uma antena) a uma frequência de 10 MHz. Encontramos QEL=4,36, e, escolhendo um indutor paralelo na entrada, Lparalelo=3,65 ÿH e Cseries=73 pF (Figura H.14). O Q da rede acoplada resultante é igual a QEL/2, aproximadamente *Q* ÿ 2; sua largura de banda é, portanto, cerca de 50% entre os pontos de meia potência, embora a correspondência seja perfeita apenas na frequência central. Observe que o *Q* aumenta com o aumento da relação de impedância e que você não tem controle sobre isso. A rede torna-se um filtro passa-banda estreito para relações de transformação de impedância muito grandes.

Se você deseja um Q mais alto, pode obtê-lo adicionando outro componente reativo, para formar uma rede Pi (ou T). Você pode pensar nisso como um par de redes L, indo para uma impedância intermediária que é muito menor (ou maior) do que a impedância de qualquer porta. Cada seção L tem então uma impedância

proporção maior que a transformação final, daí o valor *Q* mais alto. Você pode pensar que a largura de banda estreita é ruim, mas na verdade é frequentemente desejável em circuitos de comunicação onde você deseja suprimir a energia do sinal fora da banda.

Como alternativa, você pode obter *Q* mais baixo do que a rede L simples oferece, colocando em cascata um par de Ls - um "L duplo". Aqui, a transformação de impedância é feita em duas meias etapas - a proporção de cada seção é menor que a proporção final, portanto, um Q mais baixo.

H.3 Linhas de atraso de elementos agrupados e redes de formação de pulso

A linha de transmissão contínua com indutância e capacitância por unidade de comprimento de L/l e *C/ l,* respectivamente, pode ser aproximada por um arranjo de *N* indutores série discreta *L* e capacitores shunt *C* (Figura H.15). É fácil mostrar que o circuito resultante se aproxima de uma transmissão i= ÿ*LC,* e linha cujo tempo de propagação cuja impedância é Z0= *L/ C;* o tempo total de propagação por elemento é tp=N ÿ

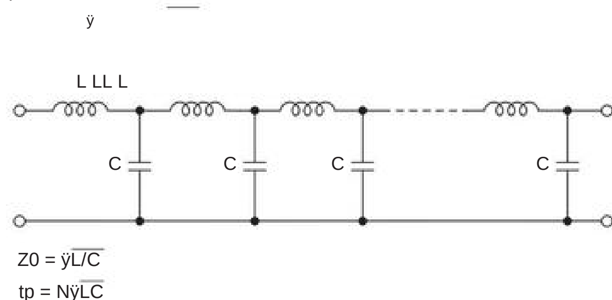


Figura H.15. Linha de atraso de elemento agrupado formada com uma matriz de capacitores e indutores de valor igual.

Você pode fazer uma linha de atraso dessa maneira, aproximando-se de uma longa linha de transmissão. Grosso modo, essa aproximação discreta de uma linha de transmissão contínua preservará os detalhes da forma de onda apenas nas escalas de tempo de i, ou *1/ N* do tempo ÿ total de propagação. Por exemplo, uma linha de atraso agrupada de 1 s com 20 seções *LC* engolirá detalhes menores que cerca de 50 ns. É ÿ um filtro passa-baixa que ÿ*LC*: atenua frequências acima de f=1/2 Linhas de atraso de elemento concentrado foram usadas nos primeiros ÿ osciloscópios analógicos para dar tempo para a varredura começar antes que o sinal (atrasado) alcançasse o circuito de deflexão; isso permite que você veja o evento desencadeador (e um pouco antes). Os escopos analógicos posteriores usaram comprimentos de uma linha coaxial de condutor helicoidal para o mesmo propósito. Dê uma olhada em §H.4.3 para um pouco mais sobre esta fascinante aplicação.

Linhas de atraso agrupadas são úteis como *redes formadoras de pulso,* conforme mostrado na Figura H.16. Aqui os capacitores paralelos

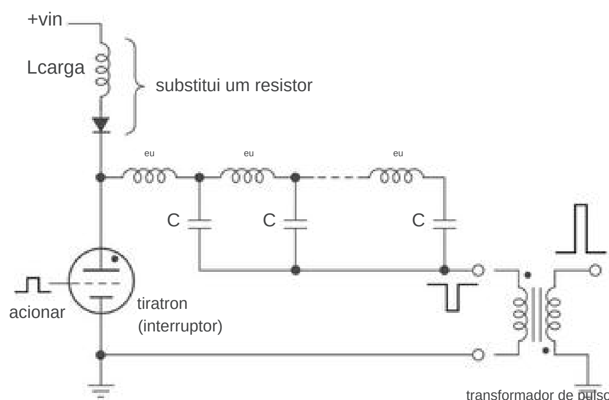


Figura H.16. Rede de formação de pulso para produzir um pulso de alta tensão de alta energia. O thyratron é um tipo especial de tubo de vácuo, contendo uma pequena quantidade de hidrogênio ou outro gás, projetado para comutar tensões e correntes realmente altas (10s de kV, 1000s de ampères: 10s de megawatts!). O fragmento indutor-diodo mostrado é uma maneira de implementar um "carregamento ressonante" eficiente de um capacitor a partir de uma tensão CC fixa.

tância de um conjunto de seções de atraso *LC* é carregada com uma alta tensão positiva; em seguida, o “condutor central” do equivalente coaxial é ligado à terra com um elemento de comutação de alta tensão, como um thyratron. O terminal comum (análogo ao “blindagem” coaxial) produz então um pulso de tensão negativa, de duração igual a *duas vezes* o tempo de propagação da linha de retardo; sua impedância de fonte é exatamente a da linha de atraso. Isso pode direcionar uma carga diretamente; muitas vezes ele é convertido para uma amplitude diferente (e talvez polaridade oposta) com um transformador de pulso, como mostrado. As redes de formação de pulsos encontram uso em radares e outras aplicações nas quais a tensão e/ou duração do pulso são inconvenientes de produzir com o circuito de linha de transmissão análogo.

Também é mostrado neste diagrama o método de “carga ressonante”, no qual um indutor Lcarga mais diodo substitui o resistor de carga convencional com a finalidade de carregar um capacitor Ctotal (os *N* capacitores em paralelo). Isso tem vários benefícios: (a) o carregamento não desperdiça energia, enquanto o carregamento resistivo desperdiça exatamente 50%; (b) se completa após um tempo igual à metade do período do circuito ressonante formado por Lcarga e Ctotal; e (c) carrega o(s) capacitor(es) com o dobro da tensão de alimentação. A carga ressonante é uma técnica inteligente e também é usada na troca de conversores e fontes de alimentação, circuitos de lanternas e outros lugares.

Machine Translated by Google

H.4 Epílogo: derivação em escada da impedância característica

Em um curso formal sobre "ondas", você geralmente é submetido a uma análise que usa as equações de Maxwell para derivar a relação entre o campo *E* em movimento e o campo *B* , da qual segue a relação entre tensão e corrente e, portanto, impedância. Como bônus, você obtém a capacitância e a indutância por unidade de comprimento e a velocidade de propagação.

Mas há uma boa maneira de "circuito" se convencer de que uma linha de transmissão com terminação adequada se parece com uma resistência pura (igual em valor à sua "impedância característica", por exemplo, 50 ÿ), ou seja, modelá-la como uma escada *LC* discreta (Figura H.17) consistindo em pequenos ÿ incrementos de comprimento x, cada um tendo uma indutância ÿsérie L x e capacitância shunt C x, onde L e C são a indutância e capacitância por unidade de comprimento da linha coaxial. Há l/ *x* deles em todo o comprimento *l* da linha. ÿ

H.4.1 Primeiro método: linha terminada

Começamos[8] anotando a impedância olhando para a última seção de uma linha terminada **(Z1** na Figura H.17), o que nos dará uma condição na relação L /C para que Z1 seja igual, aproximadamente, a R0. Então veremos que a impedância Zin olhando para toda a escada converge exatamente para R0 quando convertemos a aproximação discreta da escada para uma linha de transmissão contínua, tomando o limite ÿ*x* como vai para zero.

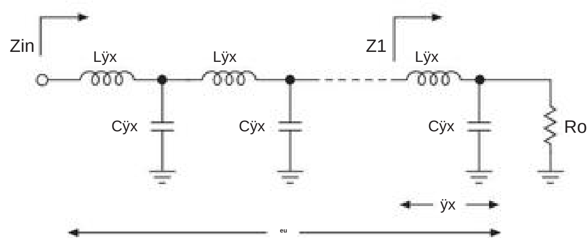


Figura H.17. Modelo *LC* em escada de uma linha de transmissão de comprimento l. Em última análise, estamos interessados no limite *x* ÿ 0, onde o número de seções *N=l/* ÿ*x* ÿ ÿ.

Vamos fazer isso. Z1 é apenas a impedância de L ÿ*x* em série com a impedância paralela de R0 e C ÿx:

$$Z1 = j\ ÿ\ eu ÿ x + \frac{R0 \cdot (ÿj/\ ÿ\ C ÿ x)}{R0\ ÿ\ j/\ ÿ\ C ÿ x}$$

$$= j\ ÿ\ eu ÿ x + \frac{R0}{1 + j\ ÿ\ C\ ÿ x}$$

$$ÿ R0 + j\ ÿÿ\ R0\ x(L\ ÿR2\ 0C),$$

onde na última etapa mantivemos apenas o primeiro termo da expansão binomial, ou seja, 1/(1+ ÿ) ÿ 1ÿ ÿ. O segundo termo desaparece quando L /C =R0, que é a fórmula da impedância característica de uma linha de transmissão. Mas... não tão rápido - esse termo teria desaparecido também; no entanto, nossa linha de transmissão x ÿ 0, mesmo os termos binomiais de próxima ordem e ver o que acontece ÿ desaparecido! O que precisamos fazer é incluir quando deixamos *x* ir para zero, enquanto mantemos o comprimento total da linha *l* constante; o número de seções ÿ então aumenta, como *N=l/* ÿ x.

Você pode fazer as contas. Você descobrirá que os próximos dois adicionar contribuições[9] de ordem ÿ termos x2 e ÿ x3, fazendo com que o Z1 pareça como

$$Z1\ ÿ\ R0 + O(ÿ x2) + j\ ÿÿ\ x(L\ ÿR2\ 0C) + O(ÿ x3)$$

e assim, cascateando *N* tais seções (onde *N=l/* x), com a condição ÿ L /C =R0, os termos de ordem superior desaparecem x2) (para O(respectivamente), deixando ÿ x3) e x) para os termos reais e imaginários. Assim, a linha terminada em sua impedância característica (resistência) R0, é puramente ÿ resistiva e igual a R0.

H.4.2 Segundo método: linha semi-infinita

Aqui está um método inteligente[10] que não requer aproximação ou preocupação com convergência. A ideia é olhar para uma extremidade de uma linha de transmissão de elementos concentrados que se estende até o infinito (Figura H.18), observando que parece exatamente a mesma se dermos um passo para a direita. Assim, chamando a impedância de entrada (complexa) de Z0, temos, simplesmente, Z0 ·(ÿj/

$$Z0 = j\ ÿ\ L + Z0\ ZC = j\ ÿ\ \frac{L + Z0\ ÿ\ j/\ ÿ\ C)}{ÿ\ C}.$$

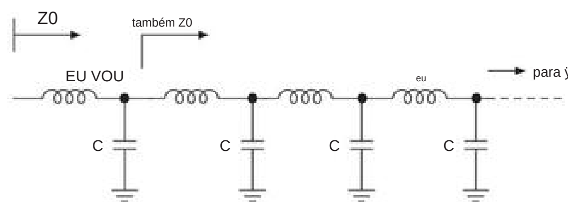


Figura H.18. O modelo de escada *LC* semi-infinito facilita o cálculo.

[8] Este tratamento foi inspirado pela *Radio Frequency Electronics de Hagen;* consulte o Apêndice N.

[9] Eles são ÿR3 0 ÿ 2C2 ÿx2 + jR4 _ 0 ÿ 3C3 ÿx3, se você quiser verificar o seu matemáticos (ou nossos!). [10] Sugerido a nós por Jene Golovchenko.

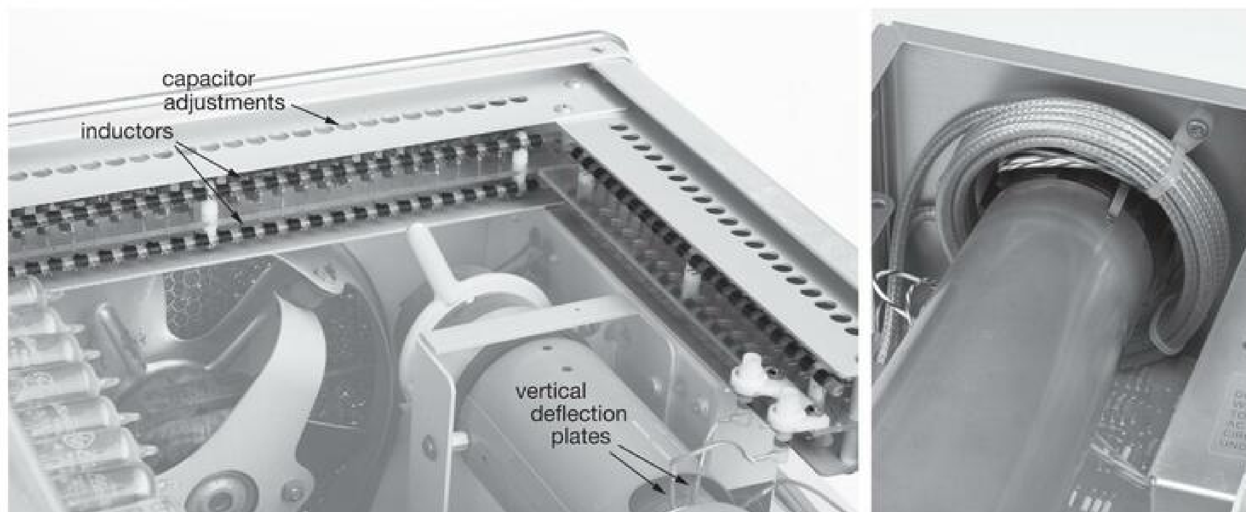


Figura H.19. Osciloscópios analógicos usavam linhas de atraso no caminho do sinal, para que você pudesse ver o evento de disparo. O tubo de vácuo Tektronix 545A (à esquerda) de 1959 tinha uma largura de banda de 30 MHz e usava uma linha de atraso de 200 ns de elemento concentrado de dois canais, consistindo de 50 pares de indutores e 50 capacitores trimmer (ajustáveis!) (Figura H.20); seu escopo 2213 'de estado sólido vintage de 1982 (à direita) tinha largura de banda de 60 MHz e usava um cabo coaxial de condutor espiral de 2,5 m de comprimento para sua linha de atraso de 100 ns.

Multiplicando pelo denominador do último termo e reorganizando os termos, obtemos uma equação quadrática para Z0:

$$Z_0^2 ÿ j ÿ \mathbf{LZ0} ÿL/C = 0,$$

com a solução

$$Z0 = j ÿ L\pm \frac{\sqrt{4L/C ÿ ÿ 2L2}}{2}.$$

Agora, para o *golpe de misêricórdia :* deixamos os segmentos individuais encolher em direção a zero, mantendo o comprimento total da linha. Os L's e C's individuais vão para zero, mas sua proporção permanece constante. Apenas o termo 4L/C sobrevive, dando-nos a impedância (real) Z0= *L/C.* Sem aproximações!

H.4.3 Pós-escrito: linhas de atraso de elementos agrupados

Os projetistas inteligentes de osciloscópios analógicos, na idade das trevas da eletrônica, encontraram uma maneira de obter o traço horizontal *antes* do evento de disparo, ou seja, atrasando o sinal exibido em aproximadamente 100 ns, usando uma linha de atraso.11 Os projetistas dos primeiros os osciloscópios de tubo de vácuo (como o lendário Tektronix 545A) usavam uma linha de transmissão de elementos concentrados como a da Figura H.19 para obter o atraso (200 ns neste caso) que, de outra forma, exigiria mais de 100 pés de cabo; presumivelmente, eles também sentiram alguma satisfação em explorar a teoria que aprenderam em um curso de eletrônica que haviam feito anos antes . condutores; sua maior indutância por unidade de comprimento aumentou o atraso do sinal,13 e, felizmente, também aumentou a impedância característica. A fotografia mostra um exemplo, onde o cabo foi enfiado em um espaço vazio na parte traseira, convenientemente enrolado em torno do CRT.14 A Figura H.21 revela os segredos internos desta elegante linha de lay de par diferencial, cujo contraenrolamento helicoidal entrecruzado “ condutor central” produz um atraso de 12 ns/ft. E Figura H.22

[11] Os osciloscópios digitais resolvem esse problema usando a memória digital para armazenar algumas amostras digitalizadas pré-trigger.

[12] Os capacitores na linha de atraso de elementos concentrados da Figura H.19 estão de fato conectados ao *ponto médio* de cada indutor, como pode ser visto no esquema oficial da Figura H.20. Acontece que esta é uma implementação mais eficiente de uma linha aglomerada finita, como nos foi explicado durante um jantar de boa conversa e culinária persa por Larry Baxter (“Sr. Sensores Capacitivos”; veja o livro com o mesmo nome).

[13] Por um fator de *nD,* aproximadamente, onde *n* é o número de voltas por unidade de comprimento e *D* é o diâmetro da espiral. Como a espiral de passo grosso está cercada pela blindagem, você pode pensar no sinal como se propagando, em forma de saca-rolhas, *ao longo* da espiral; essa aproximação fornece essa expressão simples, sem a necessidade de calcular a indutância e a capacitância por unidade de comprimento.

[14] Isso é tubo de *raios catódicos,* para os nascidos neste milênio e, portanto, privados da oportunidade de admirar um.

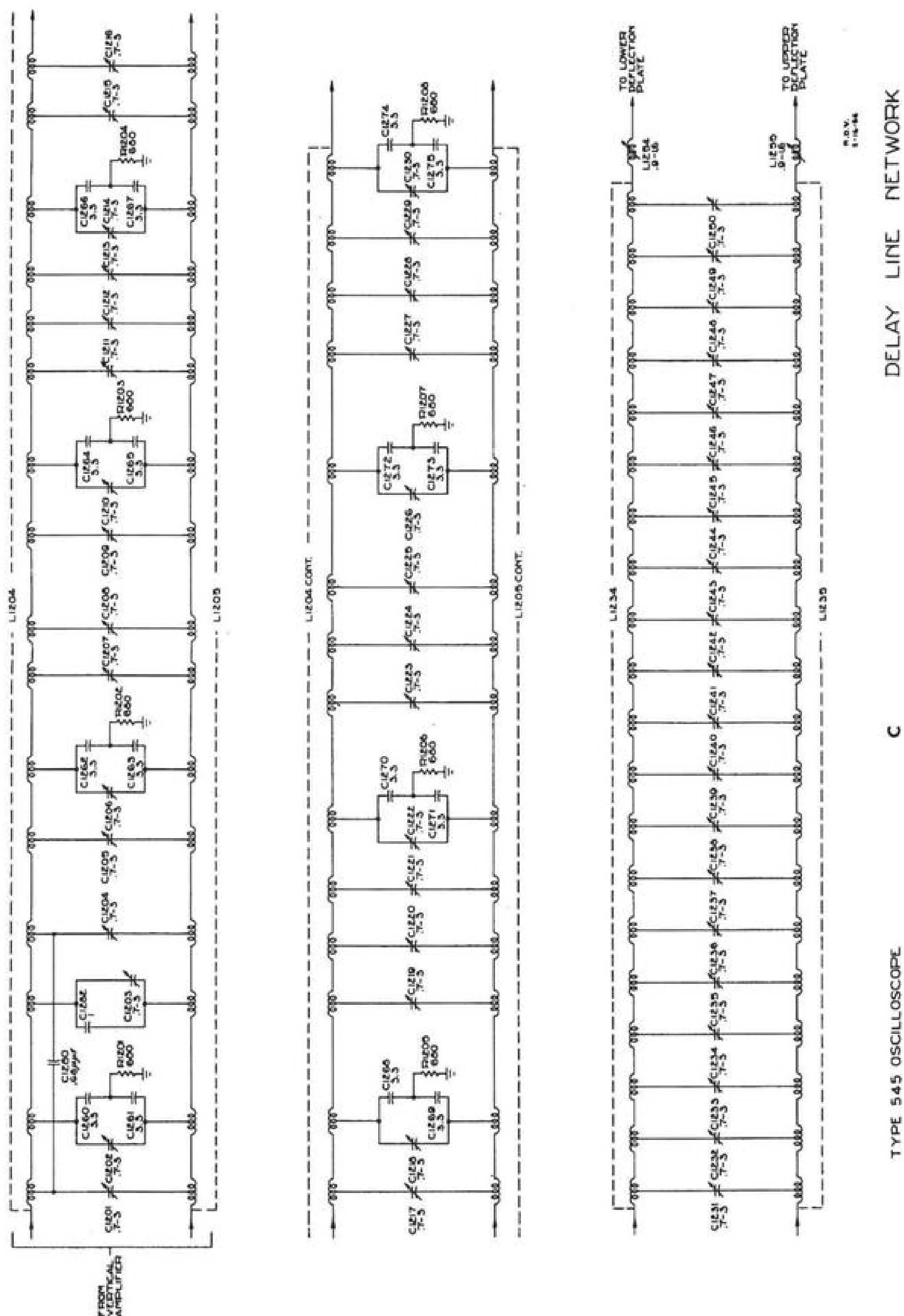


Figura H.20. Trabalhando duro para alcançar a perfeição: a Tektronix usou cinquenta pares de indutores e cinquenta trimmers para a linha de atraso em seu escopo tipo 545 '(retratado na Figura H.19) da década de 1950. Reproduzido com permissão da Tektronix Inc.

mostra o atraso observado quando uma forma de onda de par de pulso triangular diferencial, lançada em uma extremidade, é recebida na outra extremidade.

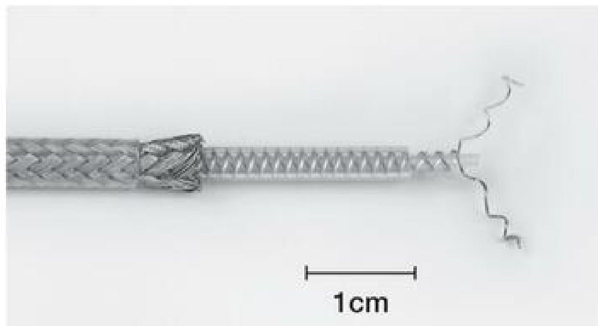


Figura H.21. Pegamos emprestada uma carcaça Tektronix 2213 de Brian Shaban e, depois de um pouco de cirurgia, veja o que encontramos lá dentro! Medimos um atraso de 100 ns e uma impedância diferencial de 155 ÿ para o cabo de 8,5 pés que costumava viver neste 'osciloscópio'. A hélice contraenrolada consiste em dois fios isolados de 30 ga, com passo de 1,125 mm e diâmetro médio de 2 mm, isolados da blindagem trançada circundante de 3,25 mm de diâmetro interno.

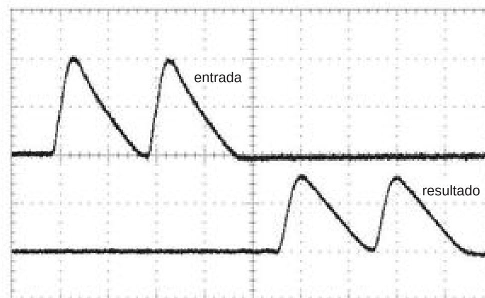


Figura H.22. Lançamos essa forma de onda analógica pelo cabo da Figura H.21 (bem, pelo menos o que restou dela) para ver o atraso do sinal de ~95 ns. O sinal atrasado é de boa fidelidade, com uma largura de banda de sinal de teste um pouco maior que a do osciloscópio de 60 MHz. Vertical: 1 V/div; horizontal: 20 ns/div.

TELEVISÃO: UM COMPACTO TUTORIAL

APÊNDICE I

Este apêndice evoluiu de um tutorial, originalmente escrito para um público não técnico.1 Está organizado da seguinte forma:

Televisão: vídeo mais áudio
Combinando e enviando o áudio + vídeo: Modulação
Gravação de transmissão em formato analógico ou televisão a cabo
Televisão digital: o que é?
Televisão digital: transmissão e transmissão por cabo
Televisão direta por satélite Transmissão de vídeo digital pela Internet Cabo digital: serviços premium e acesso condicional

Cabo digital: vídeo sob demanda
Cabo digital: transmissão comutada
Gravação de televisão digital
Dispositivos de exibição (CRT; LCD; plasma; OLED)
Conexões de vídeo (analógicas; DVI/HDMI; DisplayPort)

I.1 Televisão: vídeo mais áudio

¶ 1. A televisão envolve a entrega remota de uma imagem em movimento mais som. É correto pensar no *som* como contínuo; no entanto, a *imagem* é capturada e, em seguida, entregue, como uma sucessão de imagens estáticas, em uma velocidade suficientemente rápida para que o espectador perceba uma cena de movimento contínuo.2

¶ 2. A televisão se distingue ainda mais, é claro, pela transmissão desse conteúdo semelhante a um filme para o visualizador remoto. Originalmente, isso era feito exclusivamente por transmissão terrestre, via ondas de rádio, para a tenna e o aparelho de televisão do telespectador. Com o tempo, outros métodos de transmissão foram adicionados – cabo elétrico,3 fibra óptica, transmissão direta via satélite via microondas e, é claro, a Internet – juntamente com métodos de gravação como fita de vídeo magnética (Betamax, VHS, D-VHS) e discos ópticos (Laserdisc, VideoCD, DVD,4 HD-DVD, Blu-Ray e outros).

I.1.1 O áudio

¶ 3. A porção de *áudio* da televisão talvez seja mais facilmente compreendida, pois difere pouco das técnicas comuns de gravação de som. Um microfone converte as variações instantâneas de pressão sonora em um sinal elétrico; ou seja, cria como saída uma tensão elétrica que a cada momento é proporcional à pressão da onda sonora a que está exposto. A gravação e entrega de áudio contemporâneo geralmente emprega dois ou mais microfones, criando som "estéreo" (ou seja, dois canais) ou som multicanal (por exemplo, "som de canal 5.1").

¶ 4. Tradicionalmente, esses sinais eram processados, armazenados e entregues por métodos "analógicos", o que significa simplesmente que os sinais eram tratados como tensões de variação suave à medida que passavam pelas entranhas eletrônicas dos amplificadores, gravadores, moduladores e assim por diante .5 A tecnologia "digital" contemporânea faz diferente: quase o mais rápido possível, o sinal do microfone (a voltagem variável que representa o som) é convertido em uma sucessão de números (é *digitalizado),* e tudo o que segue é alguma forma de aritmética nesta torrente de números que

venha desabafar. Somente no estágio final – recriando o som gravado para o ouvinte – a representação digital é convertida novamente em uma voltagem analógica e, em seguida, no alto-falante, em uma reprodução do som original pres.
onda certa.

¶ 5. Apenas para dar uma noção da quantidade de números envolvidos, na tecnologia de gravação padronizada do

[1] Seguindo as convenções estilísticas desse público, os parágrafos são numerados sequencialmente.

[2] Para filmes de estilo de cinema convencional, a taxa é de 24 quadros/segundo; a televisão nos Estados Unidos usa uma taxa de aproximadamente 30 quadros/segundo.

3 Conhecida tecnicamente como *linha de transmissão coaxial.*

[4] "Disco Versátil Digital."

[5] As tecnologias de gravação analógica comuns, agora quase obsoletas, incluem o disco de vinil (onde a forma de onda do sinal de áudio é gravada como pequenos deslocamentos de um sulco fino) e a fita cassete de áudio (onde a forma de onda do sinal de áudio é gravada como padrões de magnetização em uma fina camada de revestimento de óxido magnético sobre uma fita plástica flexível).

disco compacto (CD), o som instantâneo é *amostrado* a uma taxa de 44.100 vezes por segundo (em ambos os canais estéreo simultaneamente) e cada par de amostras é convertido (“digitalizado”) em um número binário de 16 bits . os bits estão caindo a uma taxa de 2 × 44.100 × 16 = 1.411.200 bits por segundo, ou quase 100 milhões de bits por minuto.7

¶ **6.** Pode-se perguntar por que qualquer pessoa sã iria querer lidar com tal quantidade de números, quando a representação analógica original do som era muito mais simples – apenas um par de voltagens que variavam no máximo 20.000 vezes por segundo.8 As razões são várias, mas se resumem à facilidade e economia contemporâneas do processamento digital, aliadas à maior eficiência e qualidade de armazenamento e transmissão de áudio (e vídeo) devidamente digitalizados. Para ter uma noção dessas vantagens, basta maravilhar-se com as belíssimas imagens transmitidas diariamente pelas sondas planetárias que visitam Marte e Saturno – imagens isentas de “neve” e outros artefatos irreparavelmente adicionados à transmissão analógica pelos efeitos de inevitáveis interferências elétricas. – para apreciar os benefícios da transmissão digital sem erros. E, para ter uma noção da densidade do armazenamento digital, notamos que um disco óptico contemporâneo de 5 (disco Blu-ray de camada dupla) contém 80 horas de áudio com qualidade de CD, ou dez vezes essa quantidade se for modestamente “comprimido, ” em comparação com o armazenamento de áudio analógico de apenas uma hora nos 12 LPs de vinil do passado.9

I.1.2 O vídeo

¶ **7.** O *vídeo* é de longe a parte mais complicada da televisão. O desafio é reproduzir uma cena com movimento, em cores, preservando a fidelidade adequada e a ausência de artefatos. E isso deve ser feito dentro dos recursos dos canais de armazenamento e entrega – isto é, com armazenamento e velocidade de disco finitos e com largura de banda de transmissão finita (via torre de transmissão, cabo, Internet ou satélite) .10

¶ **8.** Os sistemas de vídeo começam com uma câmera que possui um sensor eletrônico (análogo a uma câmera digital) e que converte a cena colorida bidimensional desse sensor em uma sucessão de *quadros,* cada um dos quais representa a imagem naqueles vezes sucessivas (para TV dos EUA, a taxa é de aproximadamente 30 quadros por segundo). Na televisão *analógica* tradicional , a imagem bidimensional é convertida em sinal elétrico pelo seguinte método: imagine um único quadro, ou seja, uma imagem parada. Para simplificar, imagine ainda que seja monocromático; ou seja, “preto e branco”.11 Começamos no canto superior esquerdo e nos movemos horizontalmente pela imagem, gerando uma voltagem elétrica proporcional ao brilho em cada ponto à medida que passamos. Quando chegamos à borda direita, saltamos de volta para a borda esquerda, continuando com outro caminho horizontal, um pouco abaixo do Ver Figura I.1. Continuamos assim até chegarmos ao canto inferior direito, momento em que digitalizamos todo o quadro uma vez, no que é conhecido como padrão *raster* (“grid” em alemão).12

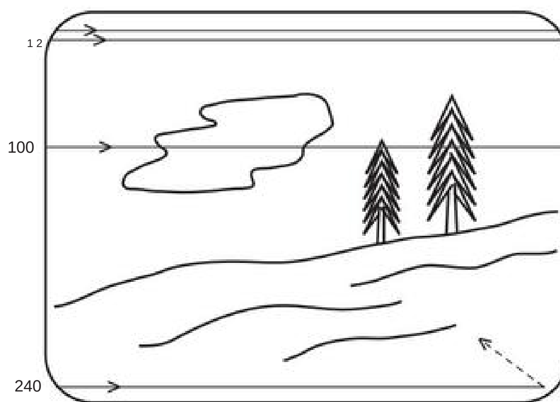


Figura I.1. Uma imagem bidimensional estática é “rastreada” para criar uma forma de onda de vídeo (Figura I.2) representando a intensidade ao longo das linhas de varredura.

¶ **9.** O que fizemos, então, foi gerar um elec

6 Ou seja, um número que varia de ÿ32768 a +32767, aqueles que abrangem a faixa de “escala total” do som gravado.

7 A taxa de bits *gravada* é aproximadamente o triplo desse valor devido à codificação, redundância de correção de erros e afins.

8 Ou 20 kHz, o limite superior da audição humana; e isso apenas para alguém de relativa juventude, tal juventude possuía sabedoria suficiente para evitar shows de rock ensurdecedores. 9 E um disco rígido magnético contemporâneo de 3 terabytes 3 que você pode segurar em suas mãos contém ainda outro fator de 60, ou 50.000 horas de áudio estéreo comprimido de excelente qualidade (128 kbps AAC); são 15 anos de música de 40 horas por semana!

10 *Largura* de banda refere-se à faixa de frequências que podem ser transportadas no cabo ou outro meio de transmissão. É tecnicamente correto pensar disso, por exemplo, como a gama de estações no dial do rádio que podem ser transmitidas com fidelidade por um único cabo elétrico (ou outro meio). O termo às vezes é usado livremente para se referir à taxa de transferência de dados.

11 Ou, mais precisamente, tons de *cinza.*

12 A televisão de definição padrão tradicional (SDTV, geralmente chamada de “NTSC”, para National Television System Committee, e remontando à década de 1940) nos Estados Unidos divide a imagem inteira em 480 linhas horizontais, ao longo de cada uma das quais cerca de 640 recursos (elementos de imagem , ou *pixels)* podem ser resolvidos; um usuário de computador não ficaria muito impressionado – ele ou ela diria que a televisão padrão NTSC tem apenas resolução “VGA” (isto é, 640×480).

representação métrica, no tempo (uma voltagem variável proporcional ao brilho em cada ponto da imagem) de uma única imagem bidimensional; ou seja, convertemos uma imagem bidimensional em uma tensão de saída unidimensional. Ver Figura I.2.

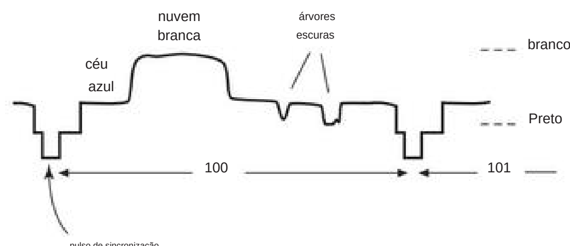


Figura I.2. Uma parte da forma de onda de vídeo da Figura I.1, representando uma das 240 linhas de varredura horizontais.

¶ **10.** Essa tensão variável no tempo é chamada de sinal de *vídeo* e é a primeira etapa na criação de uma imagem de televisão. Na televisão analógica NTSC tradicional, esse sinal era transmitido por métodos analógicos, após um processo denominado *modulação* (mais adiante), e era recuperado e utilizado pelo aparelho de televisão para pintar a imagem na tela, realizando a mesma varredura raster (esquerda para a direita, de cima para baixo). Cada quadro segue em sequência, apresentando uma sucessão de 30 imagens por segundo na tela de visualização do aparelho de televisão.13

¶ **11.** Para completar o sinal de vídeo, é necessário adicionar algumas informações de sincronização, para que o televisor saiba quando começar a pintar um quadro, e também quando começa cada linha horizontal. Na televisão NTSC tradicional, isso é feito adicionando um *pulso de sincronização* horizontal no início de cada linha horizontal, que é apenas um pulso de voltagem curto14 que, se estivesse no meio de uma imagem, seria interpretado como "mais preto que preto. " Veja a Figura I.3 O aparelho de televisão detecta esses pulsos e os usa para sincronizar sua varredura em cada linha. Da mesma forma, um único *pulso de sincronização vertical* é transmitido para cada campo que informa o

[13] Para complicar as coisas, o NTSC usa um método conhecido como *entrelaçamento,* no qual um raster mais grosso – omitindo todas as outras linhas horizontais – é executado com o dobro da taxa. Assim, na televisão padrão NTSC dos Estados Unidos, o espectador vê 60 imagens ("campos") por segundo, cada uma com apenas 240 linhas horizontais; dois desses campos, com suas linhas entrelaçadas, formam um quadro completo de 480 linhas. Isso às vezes é chamado de "480i" para mat, para distingui-lo dos formatos com resolução mais alta (por exemplo, TV de alta definição, HDTV, com 720 linhas ou 1080 linhas, ou "4K Ultra HDTV", com 2160 linhas) ou daqueles sem entrelaçamento (que são conhecidos como *progressivos;* por exemplo, *720p).*

[14] Cerca de 4,5 milionésimos de segundo.

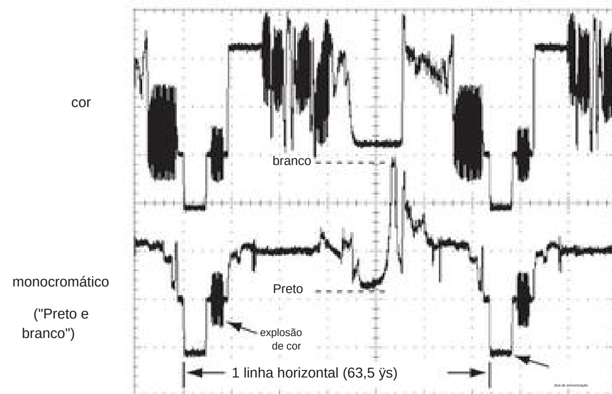


Figura I.3. Sinal de vídeo analógico composto de uma linha horizontal, enquadrado por pulsos de sincronização horizontal. O brilho ("luminância") é representado por sua amplitude. A cor é acomodada pela adição de uma subportadora modulada de "crominância" de 3,58 MHz, cuja amplitude representa o grau de saturação e cuja fase codifica a cor
ors.

aparelho de televisão quando retornar ao topo para começar a pintar o próximo campo ou quadro (consulte a Figura I.4. O sinal de imagem de vídeo completo, com seus pulsos de sincronismo adicionados, é chamado *de vídeo composto.*

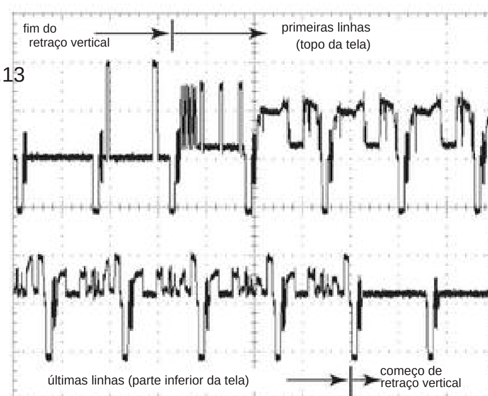


Figura I.4. O retraço vertical (início de um novo campo) é sinalizado por um conjunto de pulsos de sincronização personalizados, o primeiro e o último dos quais são mostrados aqui.

I.2 Combinando e enviando o áudio + vídeo: modulação

¶ **12.** Continuando por agora com a televisão NTSC tradicional (por oposição à televisão *digital ,* cujos padrões são conhecidos como *ATSC,* definidos pelo Advanced Television Systems Committee, e que será explicado mais adiante), o vídeo composto, juntamente com o áudio , agora deve ser

enviado, via torre de transmissão ou cabo, para o visualizador doméstico. Ingenuamente, pode-se pensar em simplesmente transmitir esses sinais “como estão”. Isso não é feito, no entanto, por pelo menos duas razões: primeiro, se os sinais de vídeo composto fossem transmitidos diretamente, então quaisquer dois sinais de televisão se sobreporiam e se sobreporiam (porque todos eles compartilhariam a mesma banda de frequência, ou seja, que do próprio sinal de vídeo bruto); em segundo lugar, alguns comprimentos de onda são gerados e propagados de forma mais conveniente do que outros. Por essas razões, o conteúdo de áudio e vídeo dos sinais de televisão (e, de fato, todos os sinais de comunicação e transmissão) são usados para variar algum aspecto de uma onda “portadora”, escolhida em algum comprimento de onda especificado. Esse comprimento de onda portadora (ou, de forma equivalente, frequência) define o “canal”; e o processo de imprimir a informação (vídeo e áudio) na onda portadora é conhecido como *modulação.*

¶ **13.** As estações de rádio usam a mesma técnica: as estações AM variam a intensidade (amplitude) da portadora (portanto, “modulação de amplitude”), enquanto as estações FM variam a frequência (“modulação de frequência”). A própria frequência portadora define o canal: nos EUA, as estações AM são atribuídas a frequências portadoras entre 520 e 1710 kilohertz (kHz, milhares de ciclos por segundo), enquanto as FM são atribuídas à faixa das portadoras de 88 a 108 megahertz (MHz, milhões de ciclos por segundo). Nos EUA, a transmissão de televisão começa em 54 MHz (Canal 2) e termina em 698 MHz (Canal 51), com lacunas para FM, aeronáutica e outros serviços.15

¶ **14.** Quando a informação (vídeo, por exemplo) é modulada em uma portadora, o sinal resultante se espalha e ocupa uma pequena banda de frequências. Por exemplo, quando uma estação FM varia a frequência de sua portadora atribuída para transportar seu sinal de áudio, o sinal resultante ocupa cerca de 150 kHz. Assim, as estações FM recebem canais separados por 200 kHz (para permitir uma “banda de guarda” de 50 kHz além de seu sinal de 150 kHz) – e é por isso que as frequências das estações FM sempre terminam em um número ímpar após o decimal (por exemplo, o WNYC da cidade de Nova York está em 93,9 MHz), garantindo um espaçamento mínimo de 0,2 MHz (= 200 kHz).

¶ **15.** A televisão de transmissão analógica NTSC tradicional usava uma variante de AM para o sinal de imagem (vídeo composto) e, separadamente, FM para o sinal de som.16 Os canais de TV atribuídos são espaçados por 6 MHz, cada estação sendo autorizados a ocupar quase essa quantidade, depois de permitir uma pequena faixa de guarda. Os aparelhos de televisão “conhecem” as frequências alocadas para cada canal e sintonizam a frequência correta quando o usuário escolhe o número do canal. Por exemplo, se (durante a era analógica da televisão) alguém sintonizasse o Canal 13 na área da cidade de Nova York, a eletrônica do aparelho de televisão selecionava a estação transmitindo em 210 MHz (atribuída pela FCC como Canal 13), ou seja, WNET. A eletrônica do conjunto *demodula* o sinal recebido, recuperando vídeo e áudio compostos. O vídeo, com seus sinais de sincronização incorporados, é usado para pintar a imagem, quadro após quadro, enquanto o áudio é enviado aos alto-falantes.17

¶ **16.** A transmissão de televisão (e rádio) ocorre no que costuma ser chamado de “ondas de rádio públicas”. Basta um aparelho de televisão (ou rádio) e uma antena para receber essas transmissões públicas pelo ar (OTA). Embora alguns países exijam licenciamento de aparelhos receptores (rádios e televisores), nos Estados Unidos os serviços de transmissão estão disponíveis gratuitamente para qualquer pessoa dentro do alcance de uma torre transmissora.

¶ **17.** Dependendo da distância e do caminho da estação de transmissão ampla até o visualizador, a “antena” pode ser tão simples quanto uma “gravata borboleta” interna ou um par de “orelhas de coelho”, ou tão elaborada quanto uma multifuncional montada no teto -estrutura do elemento. Qualquer que seja sua forma, a função da antena é criar um sinal elétrico na linha de alimentação, induzido pelo sinal de transmissão na velocidade da luz que passa pelo local da antena. As antenas de recepção destinadas à transmissão de televisão são projetadas para funcionar na faixa de frequências usadas pelas emissoras (consulte ¶13); assim, o sinal elétrico entregue ao aparelho de televisão inclui várias estações, e é função do sintonizador de TV selecionar e processar o canal a ser visto.

¶ **18.** A televisão a *cabo* envia sinais de canais de TV analógicos tradicionais quase exatamente da mesma forma que a transmissão. Uma diferença evidente, no entanto, é que os sinais canalizados são recebidos na extremidade do telespectador a partir de um cabo coaxial (em vez de serem recebidos pela antena de televisão do telespectador) e então conectados diretamente ao aparelho de televisão (isto é, à sua antena normal). conector na parte traseira). Como alternativa, para serviços de cabo adicionais (como canais premium), o cabo de entrada se conecta a um “set-top box” (STB) fornecido pela empresa de cabo, cuja saída é conectada ao aparelho de televisão do espectador (ou flat -monitor de tela,

15 Você pode fazer o download de um lindo espectro multicolorido do tamanho de uma parede com uma figura de localização em http://www.ntia.doc.gov/files/ntia/publications/spectrum_wall_chart_aug2011.pdf.

16 Ou seja, os sinais de imagem e som são transportados simultaneamente em um par de frequências portadoras designadas dentro do único canal de televisão atribuído.

17 Nesta cartilha, ignoramos detalhes associados à reprodução de *cores* (versus preto e branco).

projetor, etc.; consulte ¶56ff).18 As *frequências* dos canais também são um pouco diferentes, com os canais 2–13 escolhidos da mesma forma que para a transmissão terrestre, mas com os canais restantes reatribuídos para eliminar lacunas; isso pode ser feito porque o cabo é um mundo privado próprio, isolado para não interferir ou ser interferido por outros serviços de transmissão.

¶ **19.** Uma terceira diferença é que parte do conteúdo a cabo é entregue como uma assinatura, pela qual o telespectador paga taxas adicionais; exemplos são serviços premium, como Home Box Office (HBO). Estes requerem algum método para permitir ou negar a exibição de canais ou programas selecionados. Continuando por enquanto com o cabo analógico (cujos dias estão contados!), isso pode ser feito de várias maneiras: a mais simples é instalar filtros (para bloquear frequências de canais não assinados) no poste, onde o cabo do assinante se separa do tronco correndo ao longo da rua;19 Um método mais sofisticado envolve embaralhar os sinais analógicos transmitidos por cabo de programas de assinatura20 e, em seguida, instruir o decodificador (via comunicação digital do provedor de cabo para o STB individual) sobre qual programas podem ser desembaralhados.

¶ **20.** É importante notar que as empresas de cabo foram obrigadas a transportar as estações de transmissão em sua área, normalmente como canais de cabo analógicos.21 Cada um desses programas ocupa um canal de cabo (frequência). No entanto, podem distribuir serviços adicionais através de métodos digitais ("cabo digital") em canais adicionais (frequências), que muito preferem; isso ocorre porque, com métodos digitais, é possível transmitir até *dez* programas de qualidade NTSC (ou seja, SDTV, para TV de definição padrão) em um único canal. Isso é chamado de *multicast:* a capacidade de transmitir vários *programas* em um único canal (ou seja, frequência). E observe que um cabo pode transportar mais de 100 dessas portadoras – permitindo mais de 1000 programas simultâneos.

[18] Para uma melhor qualidade de imagem, a última conexão geralmente não é feita na entrada da antena do aparelho (chamada "RF," para frequência de rádio, significando os canais modulados discutidos acima, em ¶¶12–15), mas em entradas especiais de áudio-vídeo, com nomes como *s-video, vídeo componente, vídeo composto, DVI* ou *HDMI;* consulte ¶64ff. O último par são conexões *digitais* , discutidas abaixo em relação à TV digital.

[19] Os assinantes de TV a cabo vintage se lembrarão de ligar para a empresa de TV a cabo para adicionar um canal de filmes, quando apareceu um caminhão de TV a cabo, o cara da TV a cabo subiu no poste para mexer em alguma coisa (trocar o filtro) e, voila, filmes na sua televisão!

[20] Por exemplo, suprimindo os pulsos de sincronização horizontal ou invertendo o vídeo (trocando preto e branco).

[21] A menos que todos os assinantes recebam STBs que possam receber entrega digital.

¶ **21.** Antevisão de algumas características adicionais da televisão digital: o cabo digital permite assinaturas flexíveis, com um programa sendo autorizado on-the-fly (por exemplo, pay-per-view ou video-on-demand). Ele também fornece um mecanismo natural para proteção de conteúdo por meio de criptografia. Ele permite a participação interativa, por meio de um canal reverso de volta ao provedor de cabo. Permite a entrega de conteúdo em alta definição, com mais de 480 linhas do NTSC (até 1080 linhas, na mais alta qualidade atualmente suportada). Por fim, ele fornece uma maneira natural de mudar o tempo, pausar ou reproduzir programas ao vivo, por meio de armazenamento em disco rígido do tipo computador.

¶ **22.** A transmissão analógica foi aposentada nos Estados Unidos em junho de 2009, e toda transmissão de televisão agora é feita por métodos digitais (mais a seguir).
Esse processo de conversão para digital está ocorrendo em todo o mundo e provavelmente será concluído até 2020 ou antes.

I.3 Gravação de transmissão ou cabo em formato analógico televisão

¶ **23.** A gravação de vídeo era complexa e cara (e, portanto, confinada aos estúdios de transmissão) até 1975, quando os dispositivos de gravação de vídeo doméstico foram introduzidos nos EUA pela Sony ("Betamax") e seus concorrentes ("VHS," para vídeo sistema doméstico). Esses dispositivos replicam o "front-end" de um aparelho de televisão, para recuperar vídeo e áudio do sinal de entrada (transmissão ou cabo) e usam um arranjo inteligente de cabeça de fita giratória22 para capturar em fita magnética uma réplica razoável de uma televisão analógica NTSC programa.
A técnica é inteiramente analógica (sem digitalização, sem números) e grava apenas em mídia especial de fita de vídeo (sem mídia de computador, sem discos rígidos, etc.), como uma gravação magnética (análoga a uma gravação de fita de áudio analógica; ver a nota de rodapé em ¶4).

¶ **24.** A tecnologia de fita de vídeo foi ofuscada por alternativas digitais, como gravação em disco ótico (mais famosa na forma de DVDs e discos Blu-Ray – sejam vendidos com conteúdo pré-gravado ou gravados com um gravador de disco), que cria uma cópia permanente do o material de vídeo; ou gravando em uma unidade de disco rígido do tipo computador (hdd), onde a cópia do vídeo é armazenada como um arquivo de computador. Esses métodos digitais exigem que o material do programa seja convertido do formato analógico para o formato digital, se ainda não estiver. (Isso é feito internamente e automaticamente em dispositivos como TiVo®

[22] Isso é conhecido como cabeçote de fita "helicoidal", que cria trilhas inclinadas estreitas e sucessivas ao longo da fita que se move lentamente, cada uma contendo um campo de vídeo. O uso de uma *cabeça* de fita de movimento rápido elimina a necessidade de *fita de movimento rápido.*

e outros gravadores de vídeo pessoais.) A televisão digital e o vídeo digital são discutidos a seguir.

I.4 Televisão digital: o que é?

¶ **25.** Assim como um sinal *de áudio* pode ser digitalizado (ou seja, sua amplitude instantânea é medida, em intervalos rápidos, e convertida em uma sucessão de números) e subsequentemente transmitida, armazenada ou processada (¶¶4–6, acima), assim é possível digitalizar o sinal de *vídeo* que representa quadros sucessivos de imagem. Embora se possa imaginar simplesmente enviar a versão digitalizada do NTSC tradicional como "TV digital", na prática é possível aproveitar a enorme sutileza de processamento da eletrônica digital contemporânea para economizar *comprimindo* o sinal de vídeo bruto para uma pequena fração de seu tamanho nativo antes é entregue. O uso de compressão, juntamente com o fato de que um sinal digital é "apenas números", permite a entrega de vários programas no que de outra forma carregaria apenas um único sinal de vídeo (programa), normalmente por um fator de cinco a dez.

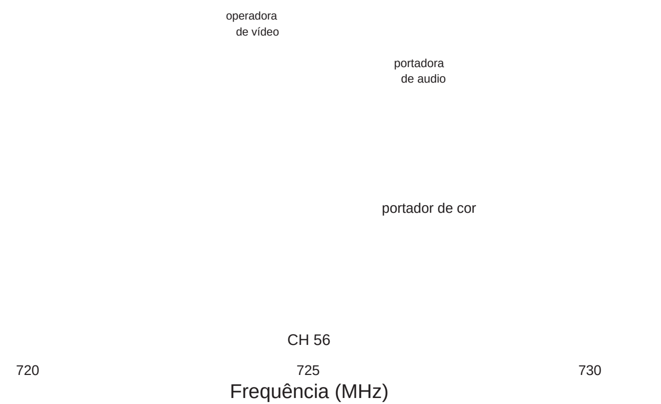


Figura I.5. O espectro do Canal 56 analógico de 6 MHz de largura em Boston, como visto em maio de 2009. A informação de vídeo reside nas caudas da banda lateral, enquanto a maior parte da potência transmitida é desperdiçada nos portadores de vídeo não informativos.

¶ **26.** Existem várias razões para esta melhoria. Uma é a capacidade de detectar e corrigir erros de transmissão por técnicas numéricas, permitindo operar com níveis de sinal recebidos próximos ao "ruído" (de interferência, ou perda de sinal por alcance ou obstruções); com transmissão puramente analógica, uma grande relação sinal/ ruído recebido é necessária para reduzir os efeitos visíveis do ruído ("neve") a níveis aceitáveis.

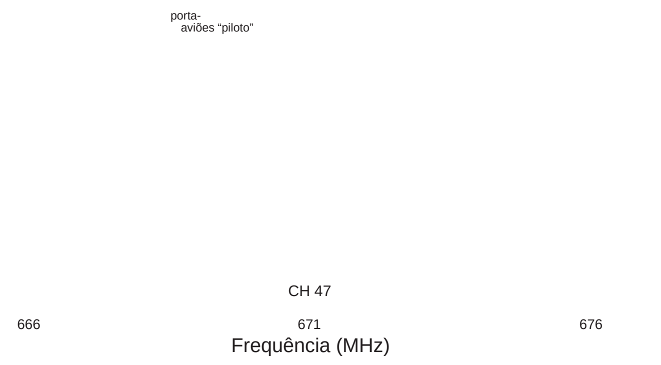


Figura I.6. O canal digital 47, visto também em maio de 2009, preenche sua alocação de espectro de 6 MHz com vídeo digitalizado. Ele carrega cinco vezes mais programas, com qualidade de imagem comparável (ou melhor).

¶ **27.** Uma segunda razão é a eficiência espectral da transmissão digital – ou, mais precisamente, sua melhoria em comparação com a *ineficiência* da sinalização analógica. Isso pode ser visto nas Figuras I.5 e I.6, um par de espectros captados diretamente da antena doméstica de um dos autores em março de 2009, momento da transição para o digital em que as transmissões analógicas e digitais estavam ocorrendo lugar (ver também Figura I.7).

¶ **28.** A compactação visa reduzir em um grande fator (dez vezes ou mais) a quantidade de números necessários para descrever a sucessão de quadros de imagem, sem degradar significativamente a qualidade da imagem. Essa tarefa aparentemente impossível tira proveito das redundâncias de uma imagem em movimento e das limitações da percepção visual humana.

¶ **29.** A compressão de vídeo digital contemporânea é um assunto rico e matematicamente complexo, resultado de um esforço enorme nas comunidades de matemática aplicada e engenharia elétrica nas últimas décadas. Mas os truques básicos são fáceis de entender. o profissional

O processo começa explorando o fato de que partes de uma imagem próximas umas das outras tendem a ser semelhantes; assim, pode-se codificar e enviar as *diferenças* (menores) de brilho e cor de um conjunto de pontos de referência, em vez da descrição completa de brilho e cor em cada ponto. Da mesma forma, os quadros sucessivos tendem a ser semelhantes, de modo que se pode definir uma coleção esparsa de quadros de índice e enviar apenas as diferenças para os quadros intermediários.23 Outro truque explora o fato de que a imagem geralmente contém objetos em movimento ou uma câmera panorâmica; então é eficiente calcular "vetores de movimento" prevendo

23 Mais precisamente, são as correções de uma *suposição interpolada* entre os quadros de índice (ou pontos de referência dentro de um quadro) que são enviados.

os movimentos aproximados e, em seguida, enviar apenas as correções (menores) dos valores previstos.

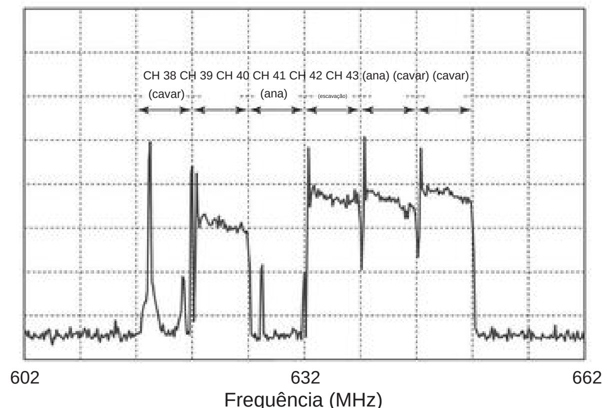


Figura I.7. Um país em transição: espectro de RF dos canais 36–45 (cada um com 6 MHz de espectro permitido), conforme visto em nossa linha de alimentação de antena em Cambridge, Massachusetts, em 6 de maio de 2009. Os canais analógicos 38 e 40 carregam cada um uma definição padrão (SDTV), enquanto os canais digitais 39 e 41–43 podem transportar até cinco programas SDTV cada (embora seja mais comum ver um programa HDTV e um programa SDTV).

¶ **30.** Esses métodos reduzem bastante a taxa de bits necessária (número de números por segundo) e o fazem *sem qualquer perda de qualidade de imagem* – eles são “sem perdas”.
Isso ocorre porque a imagem digital original pode ser recuperada total e exatamente aplicando as diferenças numéricas na ordem inversa. No entanto, uma redução adicional da taxa de bits é desejável (e muitas vezes necessária), e isso é realizado por *compressão com perdas* . Isso consiste essencialmente em descartar as informações imagéticas menos importantes (do ponto de vista psicovisual); a contrapartida é uma imagem um tanto degradada (o grau de degradação depende do grau de compressão), que, no entanto, pode diferir do original original de maneiras que dificilmente são perceptíveis ao espectador.24
A matemática envolve métodos com nomes como transformada discreta de cosseno, quantização variável e codificação de Huffman; mas o ponto principal é que esses métodos permitem uma grande redução na taxa de bits com uma redução relativamente pequena na qualidade da imagem percebida.25

¶ **31.** A troca de qualidade de imagem com taxa de bits é gradual e, em algum momento do processo, é tomada uma decisão quanto à taxa de bits final desejada.26 Uma grande restrição é imposta pelo fato de que tanto a transmissão digital quanto a televisão digital a cabo no O US é enviado em canais que estão em conformidade com o mesmo espaçamento de canal de 6 MHz usado para televisão desde a década de 1940. Na prática (consulte ¶35, abaixo) é possível enviar cerca de 20 milhões de bits por segundo (Mbps) em um canal de transmissão digital over-the-air e quase o dobro disso em um cabo digital ou canal de satélite. Uma taxa de bits compactada típica para vídeo digital over-the-air de qualidade NTSC (SDTV) é de cerca de 4 Mbps; assim, as estações de televisão de transmissão digital são capazes de combinar até 5 ou mais programas de qualidade NTSC em um canal. (Lembre-se de que um “canal” de frequência não é mais um “programa” único por causa da multiplexação. Mais sobre isso começando no ¶33, abaixo.) O conteúdo de alta definição (HDTV) requer quase toda a taxa de bits da transmissão, portanto, apenas um programa HDTV pode ser transmitido em um canal. Por outro lado, os sistemas de cabo ou satélite, que não são restritos à compressão MPEG-2, são capazes de combinar até oito programas HDTV em um canal ao usar a codificação H.264/MPEG-4 eficiente. A segunda revisão do padrão de transmissão (ATSC 2.0) incorpora esses codecs mais eficientes, bem como uma série de aprimoramentos de transporte e entrega que visam a visualização móvel e interativa, permitindo assim que a transmissão aérea concorra com os serviços disponível na internet.

¶ **32.** Vale a pena admirar as impressionantes reduções de taxa de bits que esses métodos estão alcançando: um cálculo simples27 mostra que a digitalização de um programa HDTV sem qualquer compressão produziria uma taxa de bits de aproximadamente 1000 Mbps, enquanto os métodos de compressão contemporâneos reduzem isso a um valor modesto (e entregável) 20 Mbps, uma redução de 50 vezes! E reduções comparáveis são rotineiramente alcançadas com SDTV.

[24] Se tais efeitos forem perceptíveis, eles são chamados de *artefatos de compressão;* às vezes, eles são vistos em fotografias estáticas “jpeg” supercomprimidas, como os blocos irregulares ou o “ruído de mosquito” nas bordas. Considerações semelhantes se aplicam à compactação de áudio com perdas, por exemplo, arquivos de música “MP3” altamente compactados.

[25] A receita de compressão de vídeo atualmente usada para todas as emissoras de TV digital a transmissão nos EUA é denominada “MPEG-2” e descrita nos documentos A/53 e A/54 do Comitê de Sistemas Avançados de Televisão (consulte www.atsc.org). Um conjunto aprimorado de métodos de compactação é incorporado ao conjunto de padrões conhecido como MPEG-4; estes são amplamente utilizados pelos serviços de satélite de transmissão direta e a cabo, bem como para streaming de vídeo pela Internet.

[26] O que é permitido variar, conforme o conteúdo do programa muda. Isso é conhecido como *taxa de bits variável,* ou VBR, diferente da taxa de *bits constante,* ou CBR.

27 Taxa de bits ÿ 1080 linhas × 1920 pixels/linha × 30 quadros/segundo × 16 bits/pixel = 995.328.000 bits/segundo.

I.5 Televisão digital: transmissão e transmissão a cabo

¶ 33. A transmissão de televisão digital over-the-air e a televisão digital a cabo usam "canais" de frequência tradicional, nos quais colocam um fluxo de números (o vídeo compactado descrito em ¶¶25–32, mais o áudio digitalizado associado[28]), em vez da forma de onda analógica contínua usada na televisão NTSC tradicional. Por causa das taxas de bits econômicas produzidas pela compressão, há capacidade adequada em uma única frequência de canal de cabo (ou transmissão) para acomodar vários programas simultâneos.
Isso é chamado de multicasting e permite que até quatro ou cinco programas SDTV (um "multiplex") sejam transmitidos em uma única frequência de canal de transmissão.[29] Pode-se pensar neles como subcanais.[30]

¶ 34. Para transmissão digital OTA ou cabo digital, o set-top box (STB) ou hardware equivalente dentro do aparelho de televisão recebe as múltiplas frequências de canal, cada uma com seu multiplex de programas. O STB ou televisão conhece as atribuições de programa dentro de cada canal e é capaz de extrair o subcanal que o espectador seleciona, que identifica atribuindo um "número de canal virtual". Isso é o que o espectador escolhe – é exibido no STB e na tela durante a seleção. Por exemplo, o espectador pode selecionar HBO, que é atribuído a um canal virtual (por exemplo, 82) e que pode, na verdade, ser apenas um dos dez programas de subcanal transmitidos em uma frequência de canal a cabo digital. O STB então captura o fluxo HBO, descriptografa e decodifica sua codificação MPEG-2 e o converte em vídeo que pode ser exibido em um monitor de televisão (ou tela plana, etc.).

¶ 35. Mais detalhadamente, e na linguagem da engenharia de televisão digital, o canal de entrega (transmissão digital ou cabo digital) é chamado de "fluxo de transporte", que pode ser pensado como um tubo de dados transportando cerca de 20 Mbps (broadcast) ou 38 Mbps (cabo) em cada canal de frequência.[31] A especificação ATSC determina que os dados colocados no fluxo de transporte devem ser divididos em pequenos *pacotes* de dados, cada um comprimento 188 bytes e cada um pertencente a um programa individual. Quando vários programas são enviados em um fluxo de transporte, isso é chamado de "fluxo de transporte multiprograma" ou MPTS; se for um único programa, é um "fluxo de transporte de programa único" (SPTS). Repetindo o que foi dito anteriormente: uma emissora pode colocar cinco programas de definição padrão (ou um programa HD e um SD) no MPTS de um único canal de transmissão. Os pacotes individuais são identificados por programa e são intercalados no tempo (ver Figura I.8).

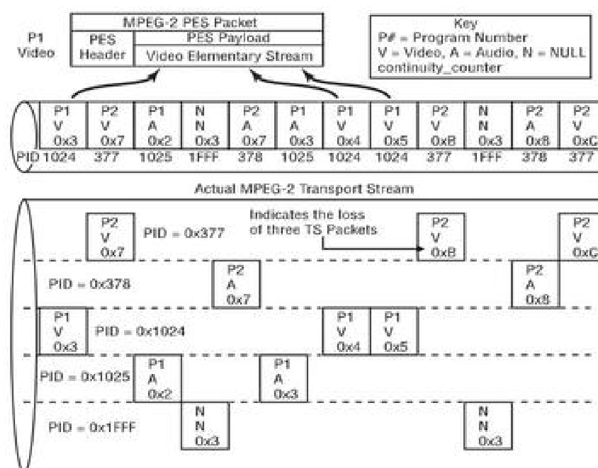


Figura I.8. Vários programas podem ser intercalados em um fluxo de transporte digital, como um "fluxo de transporte multiprograma". Seus pacotes individuais de vídeo e áudio são marcados com identificadores de programa (PIDs), pelos quais podem ser selecionados e remontados (adaptado da Figura 7.1 do ATSC Doc. A/54A, cortesia do ATSC; recomenda-se que os leitores consultem a versão atual do padrão ou prática recomendada disponível no site do ATSC).

¶ 36. Em outras palavras, os vários programas que serão colocados em um fluxo de transporte multiprograma (um "program multiplex") são cortados em pedaços curtos (pacotes, cerca de 40 de ÿ s comprimento para cabo digital), marcados com identificadores exclusivos (chamados PIDs, para "identificadores de programa"), e depois intercalados com as peças (pacotes) dos outros programas

[28] E também algumas informações de "acesso condicional" (CA) que permitem que assinantes legítimos descriptografem e visualizem conteúdo protegido; ver ¶47.

[29] A entrega por *cabo* é mais eficiente e permite até dez programas SDTV em um único canal.

[30] Como o cabo (ou canal de transmissão) tem uma taxa de bits total fixa, as taxas de bits dos programas individuais que estão sendo multiplexados devem ser ajustadas de forma que a taxa de bits total combinada corresponda à capacidade do canal. Isso é chamado de *limpeza da taxa* de bits e envolve *preenchimento nulo* (adicionar nulos, para aumentar a taxa de bits de um programa), compactação instantânea (para reduzir a taxa de bits de um programa) ou até mesmo mudança de tempo do conteúdo do programa (para evitar alinhamento infeliz de taxas de bits de pico dos vários programas). Os pacotes de televisão digital incluem "carimbos de hora de apresentação", portanto, não há problema em mudar um pouco as coisas conforme elas fluem pelos vários tubos digitais a caminho da tela da televisão.

[31] A disparidade tem a ver com os esquemas de modulação específicos usados: para transmissão, é chamado de "8-VSB", enquanto o cabo usa o mais eficiente "256-QAM" (pronuncia-se "quahm"), explorando assim as melhores propriedades de transporte de sinal do cabo transportar aproximadamente o dobro da informação contente.

que compartilham o mesmo fluxo de transporte. No STB ou aparelho de televisão, os pacotes pertencentes ao programa selecionado são identificados ("filtrados") procurando por seus PIDs, e então remontados em um único fluxo de transporte de programa para serem decodificados e exibidos. Na Figura I.8 há dois programas (P1 e P2), cada um com vídeo (V) e áudio (A), com seus respectivos PIDs (1024, 1025, 377, 378); eles são mostrados como o fluxo de multiprograma intercalado na parte superior e como filtrados em seus respectivos fluxos de programa único na parte inferior.

I.6 Televisão direta por satélite

¶ **37.** Os satélites oferecem uma alternativa à entrega de programação de televisão por via aérea ou cabo/fibra, e a entrega por satélite é particularmente bem-vinda em áreas não atendidas por conexões de banda larga com fio. Isso é conhecido como direto para casa (DTH), satélite de transmissão direta (DBS) ou serviços de satélite de transmissão (BSS) e explora (geralmente) satélites na constelação geoestacionária, ou seja, na órbita equatorial "Clarke"32 de raio 42.200 km, onde o período de um satélite corresponde ao período de rotação da Terra de 23h56m4s.33 Por mais surpreendente que possa parecer, um único satélite com um transmissor de ~100 W pode entregar meia dúzia de programas de alta definição programas) simultaneamente a pequenas antenas parabólicas em casas em todos os lugares nos EUA continentais. Os satélites típicos de transmissão direta são equipados com uma dúzia ou mais desses "transponders" e as antenas parabólicas receptoras usam várias "alimentações" (até quatro, para DirecTV ou DISH Network) para apontar para vários satélites, disponibilizando muitos centenas de programas de televisão.

¶ **38.** Os primeiros sistemas DBS usavam um link descendente de 4 GHz (banda C) e exigiam antenas grandes (>3m de diâmetro) e eletrônicos de RF caros. Os sistemas contemporâneos operam em torno de 12 GHz (banda Ku), com antenas receptoras ovais produzidas em massa (normalmente 0,6 m × 0,8 m) que incorporam vários amplificadores de RF de baixo ruído, cada um com oscilador local, misturador de conversão descendente e amplificador de FI em uma unidade integrada de LNBF (conversor de bloqueio e alimentação de baixo ruído) que fica no foco do prato parabólico. É uma quantidade impressionante de hardware por US$ 100.

[32] Consulte "Relés extraterrestres – as estações de foguetes podem fornecer cobertura de rádio mundial?" [Senhor] Arthur C. Clarke, *Wireless World,* outubro de 1945.

[33] Ha! Você pensou que eram 24 horas. Não é assim - estamos em órbita ao redor do sol, o que adiciona 4 minutos extras (1/365 a parte de um dia) ao verdadeiro período de rotação da Terra (o dia *sideral)* para chegar ao dia *solar* de 24 horas (o tempo médio do meio-dia solar ao meio-dia solar).

¶ **39.** Pode-se ficar intrigado com a orientação peculiar das antenas parabólicas domésticas – por que às vezes elas são apontadas tão baixo que parecem ser apontadas ou abaixo do horizonte? Há duas partes para a resposta: primeiro, a constelação de satélites geoestacionários abrange um arco no céu do sul, povoada em todo o mundo com cerca de 200 satélites; somente nas longitudes dos EUA existem cerca de 35 satélites estacionados34 em órbita geoestacionária. A linha de satélites no céu do sul desce até o horizonte em suas extremidades leste e oeste.35 Em segundo lugar (e tecnologicamente mais interessante), o arranjo geométrico da antena parabólica é chamado de "paraboloide de alimentação compensada". Ou seja, as pequenas alimentações cônicas são compensadas abaixo para que não bloqueiem o sinal de entrada. Isso faz com que a antena pareça estar apontando cerca de 25° abaixo do que está, daí a explicação para os satélites aparentemente "subterrâneos". Este arranjo peculiar é usado para eliminar o bloqueio do sinal de entrada pelos feedhorns e também para reduzir a invasão do ruído de rádio térmico que é emitido pelo ambiente ao redor – outro pedaço de design cuidadoso que permite a transmissão direta via satélite com sucesso.

¶ **40.** Os canais de RF do transponder individual têm 27 MHz de largura, com até 32 desses transponders em um satélite, o que (com bandas de guarda) soma uma largura de banda de downlink total de aproximadamente 1.000 MHz. Os transponders de satélite normalmente usam chaveamento de mudança de fase (QPSK, 8PSK), com taxas de bits de downlink de 40 Mbps por canal, adequadas para fornecer meia dúzia ou mais de programas 1080i HD com codificação H.264/MPEG-4 eficiente. Os canais do transponder são divididos em dois conjuntos, um de cada polarização circular em cada frequência do transponder, de modo que o espectro total de downlink ocupado por um determinado satélite seja de cerca de 500 MHz. Isso é convertido no LNBF para um par de bandas IF de 500 MHz de largura, centradas em 1,2 GHz e 1,9 GHz.

¶ **41.** Um pouco mais recursos de hardware são gastos no uplink, com antenas orientáveis de aproximadamente 10 m de diâmetro (Figura I.9) iluminando as antenas receptoras do uplink no satélite, com potência transmitida da ordem de centenas de watts por transponder; pratos desse tamanho produzem diâmetros de feixe limitados por difração de cerca de 0,15ÿ

[34] Dificilmente "estacionados", é claro – eles estão em órbitas equatoriais, girando em torno da Terra a quase 7.000 milhas por hora, para acompanhar a rotação da Terra.

[35] Você pode ter uma boa noção do arco do satélite com aplicativos móveis como DishPointer ou Satellite Locator: quando você aponta seu smartphone para o céu, ele mostra os satélites como círculos vermelhos brilhantes (com suas localizações) em um arco vermelho, sobreposto na câmera vista (com árvores obstruindo, etc.) vista pelo dispositivo móvel.

ŸÿŸ satélite/(Di), enquanto o slot orbital adjacente impede mais exigindo a iluminação de um direção ativa para manter o alinhamento no satélite desejado. Provedores de transmissão direta, como DirecTV e DISH Network, gostam de posicionar seus satélites próximo o suficiente ao longo do cinturão de Clarke para que um único prato com vários feeds possa capturar os sinais de downlink de vários deles; por exemplo, tanto a DirecTV quanto a DISH Network oferecem um prato oval com três feeds, visando satélites separados por 10ÿ (atualmente em 110 ÿW, 119ÿW e 129ÿW longitudes).



Figura I.9. Algumas das várias dezenas de antenas transmissoras nas instalações de uplink da EchoStar Network em Cheyenne, Wyoming.

¶ 42. Você conecta os cabos coaxiais da antena receptora a um set-top box (geralmente com DVR), semelhante ao que é usado para TV a cabo, mas que é projetado para alimentar a eletrônica LNBF lá no telhado, para selecionar das várias alimentações e polarizações da antena parabólica, e para receber as bandas de frequência intermediária (IF) vindas da antena em vídeo coaxial padrão de 75 ÿ (quad blindado RG-6, geralmente).36 Assim como na TV a cabo, os provedores de conteúdo controle sua programação disponível, por meio de descriptografia habilitada por assinatura. Os sistemas de satélite não são limitados por padrões terrestres over-the-air (por exemplo, codificação MPEG-2) e geralmente usam esquemas mais eficientes, como MPEG-4. Quando comparado com o serviço de televisão por cabo ou fibra, a incapacidade de atingir milhões de assinantes individualmente (juntamente com a ausência de um canal de uplink reverso para o satélite) limita as possibilidades de serviços interativos, como vídeo sob demanda.

I.7 Streaming de vídeo digital pela internet

¶ 43. Com melhorias constantes na largura de banda da Internet (ou seja, velocidade), tornou-se prático fornecer vídeo (e áudio associado) por meio da mesma infraestrutura de Internet que atende computadores pessoais e dispositivos móveis (telefones celulares, tablets) com seus e-mails, web navegação, e assim por diante. Alguns exemplos familiares de streaming de vídeo na Internet são serviços de notícias como a CNN, serviços governamentais como a NASA TV, serviços de streaming de filmes como Netflix e Hulu e serviços peer-to-peer como o Skype. Assim como na transmissão ou transmissão a cabo, a carga útil final é um fluxo de números que constituem o conteúdo de vídeo e áudio, em algum formato compactado eficiente que tira proveito de esquemas de codificação sofisticados com nomes como "H.264" (também conhecido como AVC, para codificação de vídeo avançada), um dos favoritos atuais. Do lado do espectador, o conteúdo digital é decodificado37 para recuperar o vídeo e o áudio. Para alguns serviços (por exemplo, Skype) um programa cliente dedicado deve ser instalado, enquanto para outros (por exemplo, NASA TV ou CNN) um navegador de internet padrão (como Internet Explorer, Safari ou Firefox) é suficiente.

¶ 44. No entanto, em comparação com a entrega via transmissão ou cabo, a entrega pela Internet de dados de vídeo críticos apresenta alguns desafios únicos. Isso ocorre porque os dados enviados pela Internet (via "Protocolo de Internet", IP) trafegam como em pacotes de dados dependentes, cada um com cerca de mil bytes de comprimento e cada um incluindo cabeçalhos que especificam seu destino (endereço IP). Os pacotes percorrem os nós multiconectados da Internet e (geralmente) chegam ao seu destino. Mas não há caminho reservado para um fluxo de pacotes (como há para a arquitetura "comutada por circuito" do sistema telefônico) e nenhuma garantia de entrega rápida, entrega sequencial, entrega sem erros ou, de fato, de entrega. de qualquer tipo. Vários esquemas são usados para contornar essas deficiências evidentes, por exemplo, solicitando a retransmissão de pacotes ausentes (são numerados) ou de pacotes corrompidos (incluem "checksums" reveladores de erros). Eles funcionam bem e um arquivo de dados que é baixado via "TCP/IP"38 é efetivamente garantido como perfeito.

[36] Pode haver um ou dois módulos intermediários, com nomes como "múltiplos comutadores" ou "nós", para lidar com a seleção de polarizações e empilhamento de banda IF.

[37] Daí "codec", uma contração de codificador-decodificador, geralmente anexada ao nome do esquema de compactação, por exemplo, "o codec H.264".

[38] Transmission Control Protocol/Internet Protocol, um padrão universalmente usado para transferência de dados que precisam ser transportados e reconstituídos sem erros.

¶ 45. Devido a essa "comutação de pacotes" desorganizada de dados da internet, o streaming de vídeo pode sofrer interrupções ou intervalos durante os quais a taxa média de entrega é reduzida. Por esta razão é comum que o receptor armazene ("buffer") alguns segundos de vídeo além do que está sendo exibido no momento; e se a velocidade de transmissão da Internet for inadequada (conforme evidenciado por buffer underruns), o remetente reduzirá a taxa de dados (portanto, transmitindo vídeo de qualidade inferior). A TV contemporânea de alta definição com qualidade de transmissão (conhecida como 1080i, significando que a imagem consiste em 1080 × 1920 pixels, transmitida a 30 quadros/s) requer mais de 2 megabits/s de velocidade de download, disponível agora na maioria das residências com internet de banda larga conexão (cabo, fibra ótica ou linha telefônica DSL39). Essa velocidade está bem dentro da capacidade de conexões sem fio (Wi-Fi), portanto, o vídeo de alta definição pode ser entregue a dispositivos móveis, como laptops e tablets.

I.8 Cabo digital: serviços premium e acesso condicional

¶ 46. Os provedores de televisão a cabo oferecem serviços premium, como Showtime, HBO e pay-per-view, pelos quais o assinante paga taxas mensais adicionais. Um assinante cuja assinatura inclua o Showtime, por exemplo, pode visualizar (e gravar, se o STB incluir um DVR) a programação exibida nos canais Showtime. O provedor de TV a cabo precisa de um método para controlar o acesso de cada assinante à programação completa do canal. Embora cada cliente tenha um cabo a entrar em casa (e, portanto, pode-se imaginar que são enviados conteúdos diferentes para cada casa), na verdade o mesmo sinal é enviado para todas as casas dentro de um grupo de vizinhança, conhecido como "grupo de serviço". "40

¶ 47. Para limitar o acesso dentro do conjunto completo de programação distribuída, o provedor de cabo inclui informações de *acesso condicional* juntamente com o vídeo e o áudio. Isso é feito incluindo pacotes "CA", junto com os pacotes V (vídeo) e A (áudio) usuais que compreendem um programa dentro do fluxo de transporte multiprograma. O STB inclui hardware de criptografia e usa os pacotes CA para fornecer as informações-chave para desbloquear a criptografia imposta aos pacotes de vídeo e áudio pela empresa de cabo.

I.8.1 Cabo digital: vídeo sob demanda

¶ 48. Como é possível fornecer material de programa especificamente para um assinante individual, por exemplo, entrega "sob demanda" de um programa transmitido anteriormente, ou de um filme, em uma rede a cabo que atende uma cidade inteira?41 Esses serviços passam por nomes como "vídeo sob demanda" (VOD), e são possíveis pelo fato de que o provedor de cabo é capaz de adaptar os sinais reais transportados em seus cabos que vão para diferentes grupos de assinantes de cabo em um área.

¶ 49. Uma rede de cabo em uma área metropolitana é mais complexa do que se pode imaginar à primeira vista: em vez de uma distribuição em toda a cidade de material de programa comum, a rede é organizada em agrupamentos menores de *nós* e *grupos de serviços.* Um grupo de serviço consiste em segmentos de cabo, geralmente passando por não mais de 500 residências, transportando material idêntico; esses sinais são alimentados no cabo em um "nó" na vizinhança, que por sua vez é alimentado via fibra ótica de um "hub" mais distante no qual o provedor insere o grupo de canais que deve ir para aquele determinado grupo de serviço .

¶ 50. O truque para fornecer material sob demanda individual, então, é primeiro garantir que haja pelo menos alguns canais extras (além da programação padrão) disponíveis para transportar tal conteúdo; e, segundo, dividir a cidade em muitos grupos de serviços, de modo que esses canais extras possam transportar um conjunto diferente de conteúdo sob demanda para os diferentes grupos de serviços. Por exemplo, suponha que haja cinco canais disponíveis para material sob demanda e que cada um possa transmitir dez programas (conforme descrito anteriormente); se um grupo de serviço inclui 500 casas, das quais 200 são assinantes de cabo, então o provedor de cabo pode satisfazer 25% desses assinantes com programação simultânea sob demanda (porque seus cinco canais extras, cada um enviando dez programas personalizados, fornecem 50 programas simultâneos programas).

¶ 51. A programação sob demanda requer também um canal reverso para cada assinante, para que o assinante possa selecionar a programação e também pausar (ou avançar ou retroceder) o material. No entanto, esses canais reversos precisam transportar apenas alguns comandos simples até o provedor (em oposição ao vídeo de alta taxa de bits que cai em resposta) e são facilmente acomodados em uma banda de sinalização de uplink "interativa" da rede a cabo.

[39] Linha de assinante digital, tecnologia para transporte digital bidirecional sobre linhas telefônicas analógicas. 40 Consulte ¶49, abaixo, para mais detalhes.

[41] O termo *unicast* às vezes é usado para distinguir tal entrega individual de *transmissão.*

I.8.2 Cabo digital: transmissão comutada

¶ **52.** Alguns provedores de cabo usam outro serviço que explora a flexibilidade inerente ao uso da rede de cabo de grupos de serviços separados, ou seja, "transmissão comutada". A transmissão comutada oferece programas somente quando solicitados pelos telespectadores, com base no grupo de serviços, em comparação com a entrega de toda a programação para todos os clientes. Isso permite que o provedor de TV a cabo ofereça mais opções de programação do que poderia ser transmitido simultaneamente no número de canais disponíveis.42

¶ **53.** Embora a transmissão comutada e o VOD usem métodos semelhantes para entregar seu conteúdo a um assinante, vale a pena notar uma diferença: o conteúdo da transmissão comutada é entregue sempre que o material do programa for normalmente agendado e não ao capricho do assinante; o que o distingue do material de programa normal é que ele não é colocado no cabo do grupo de serviço, se ninguém naquele grupo tiver sintonizado o programa. Uma vez que um assinante tenha sintonizado aquele programa (fazendo com que ele seja enviado para aquele grupo de serviço, em um subcanal específico), esse mesmo programa estará presente no cabo que atende quaisquer assinantes adicionais naquele grupo de serviço, no mesmo subcanal. Já o VOD é entregue sob demanda, no horário solicitado pelo assinante; da mesma forma, ele pode ser pausado ou avançado, etc. (tarefas que são executadas instantaneamente pelo provedor de cabo, não pelo decodificador). Isso é possível porque o conteúdo VOD está sendo enviado em um subcanal específico apenas no grupo de serviço do assinante e está disponível apenas para o assinante solicitante (por meio de criptografia e "controle de direitos" específico do usuário, no caso de conteúdo protegido). Os termos *narrowcast* e *unicast* às vezes são usados para se referir à entrega a cabo específica do grupo de serviço dessas duas variedades de conteúdo, ou seja, material programado ("linear") e material interativo sob demanda específico do usuário, respectivamente.

I.9 Gravação de televisão digital

¶ **54.** A conversão de material analógico (áudio e vídeo do mundo real) em formato digital é um trabalho árduo – mas simplifica a tarefa de *gravação* . Isso porque um único programa recebido no STB é, em essência, apenas um fluxo de números, que pode ser filtrado do fluxo de multiprogramas, montado em um "buffer" de memória temporária e gravado em um arquivo de disco rígido exatamente como qualquer arquivo de computador. Nesse sentido, um set-top box com DVR é simplesmente um computador para fins especiais, com o processador usual, disco rígido, etc., e com hardware adicional para fazer o tarefas STB especiais – receber o sinal do cabo, gerar a saída exibível, receber comandos de controle do "clicker" remoto infravermelho e assim por diante. Um decodificador contemporâneo típico com DVR contém um chip de processador duplo, memória de programa de 64 MB, um disco rígido de 160 GB (mínimo) e vários hardwares adicionais relacionados a vídeo (sintonizador de entrada, memória de vídeo, vídeo e drivers de áudio, etc). Além de armazenar em buffer e armazenar o conteúdo de vídeo e áudio, o STB controla o acesso, descriptografia e recriptografia do conteúdo de vídeo (protegido).

[42] Isso às vezes é chamado *de narrowcast,* versus broadcast ou unicast.

¶ **55.** É importante notar que qualquer meio de armazenamento digital de velocidade e capacidade adequadas pode ser usado para armazenar conteúdo de vídeo digital; no nível do consumidor, existem muitos "gravadores de vídeo pessoais" (PVRs) que armazenam programas em DVDs graváveis ou em chips de memória "flash" de estado sólido. Existem também gravadores de fita de vídeo digital que podem armazenar SDTV e HDTV em uma variante digital de fita VHS.

I.10 Tecnologia de exibição

¶ **56.** Por mais de meio século, as imagens de televisão foram exibidas com um tubo de raios catódicos (CRT), no qual elétrons emitidos de um cátodo quente e acelerados a potenciais de quilovolts eram desviados (geralmente magneticamente) para pintar um raster, no taxa de quadros de vídeo, em uma superfície de fósforo revestida no interior da face de visualização do tubo evacuado. A intensidade foi modulada com um eletrodo de grade próximo ao cátodo. Os primeiros CRTs eram monocromáticos (preto e branco); tubos coloridos usavam matrizes (tríades ou listras) de fósforos vermelho, verde e azul, alinhados com uma máscara metálica de modo que os elétrons de cada um dos três cátodos emissores de elétrons (ou, no Trinitron da Sony, dirigidos por um único canhão de elétrons) atingiam apenas uma cor de fósforo.

¶ **57.** Mostradores de tubo de raios catódicos funcionando; mas eles eram pesados (mais de 100 libras para uma TV com tela de 32), volumosos e exigiam um ajuste de "convergência" complicado para fazer com que as cores fossem rastreadas. Encurtar o tubo para reduzir a profundidade do gabinete agravou os problemas de convergência e geometria. Os CRTs agora estão obsoletos, substituídos por várias tecnologias, entre elas telas de cristal líquido (LCDs), telas de plasma e diodos orgânicos emissores de luz (OLEDs).

¶ **58.** Em um LCD, uma camada de cristal líquido é colocada entre um par de polarizadores ópticos cruzados; um campo elétrico aplicado altera as propriedades de polarização da camada, variando assim a transmissão óptica. No visor clássico, há uma iluminação traseira branca uniforme (a partir de LEDs brancos ou de uma ou mais lâmpadas fluorescentes de cátodo frio - CCFLs - combinadas com difusores e tubos de luz

material); uma matriz de eletrodos aplica campos elétricos locais aos pixels da imagem, que são sobrepostos com filtros de cores vermelho, verde e azul. A matriz de pixels de cristal líquido atua como obturadores reguláveis de taxa de vídeo; toda a luz se origina no iluminador traseiro.

¶ **59.** LCDs são dominantes em monitores de computador e populares em televisões. Eles são finos (cerca de um centímetro) e brilhantes. Mas eles têm alcance dinâmico (ou taxa de contraste: proporção de brilho máximo para "escuridão máxima") e velocidade um tanto limitados, e seu equilíbrio de cores e nível de preto degradam quando vistos fora do eixo. Houve grandes melhorias na velocidade e no desempenho fora do eixo, devido a métodos com nomes como comutação no plano (IPS), comutação de campo marginal (FFS) e similares. E a faixa dinâmica pode ser melhorada usando retroiluminação de matriz de LED, que pode ser esmaecida localmente e rapidamente, adaptando-se às áreas claras e escuras da imagem exibida.[43]

¶ **60.** No entanto, para a renderização mais realista de material cinematográfico, o monitor de plasma é superior ao LCD. Ele consiste em um conjunto de células minúsculas, em cada uma das quais uma descarga de gás capaz de ser comutada gera luz ultravioleta que faz com que um ponto de fósforo brilhe. Uma tela de alta definição de 1080 × 1920 pixels tem três dessas células para cada pixel (uma com fósforo vermelho, verde e azul) para gerar a cor geral emitida pelo pixel. Ao contrário de um LCD (que filtra uma fonte de luz subjacente), as células de um monitor de plasma geram a luz emitida diretamente. Você pode pensar nisso como uma matriz de 6 milhões de pequenos CRTs (1080 × 1920 × 3), cada um comutado para atingir a intensidade de luz necessária.

¶ **61.** Os monitores de plasma retêm sua fidelidade de cor e taxa de contraste independentemente do ângulo de visão e têm resposta rápida. Em tamanhos maiores, eles são atualmente um pouco mais baratos que os LCDs. Eles não são tão brilhantes quanto os LCDs, no entanto, e um padrão estático que é exibido por um longo tempo pode causar alguma retenção de imagem ou (em casos extremos) "queima" de fósforo. Sua relação de contraste é muito boa, mas não infinita, porque a descarga de gás em cada pixel deve ser sustentada em um nível baixo (ou seja, não pode ser totalmente desligada) para que possa ser rapidamente modulada.

¶ **62.** LCD e Plasma dominaram a tecnologia de exibição, mas o futuro provavelmente será governado por OLED (LED orgânico), uma matriz de emissão direta de minúsculos LEDs (em três cores ou LEDs brancos com filtros). Estes surgiram primeiro em pequenos monitores (por exemplo, celulares e visores de câmera), mas em 2014 eles haviam feito o grande momento, com resolução 4K "Ultra HD" total (3840 × 2160) e tamanhos de tela de 65 e além. Ao contrário das tecnologias de exibição anteriores, os OLEDs podem ser flexíveis, e a moda atual são as telas de TV *curvas* (capazes de 3D, se você estiver interessado nisso). OLED provavelmente será o vencedor final, por causa de sua faixa dinâmica muito alta (1.000.000:1), amplo ângulo de visão, baixo consumo de energia, fator de forma elegante (3 mm de espessura, leve e quase sem bordas) e fabricação potencial por um processo semelhante ao jato de tinta. Estes têm ganho prémios de Best of Show e merecem-no.[44]

¶ **63.** Duas outras tecnologias que pareciam boas, mas caíram em tempos difíceis, são display de emissão de campo (FED) e display de emissor de elétrons de condução de superfície (SED). Ambos envolvem uma matriz de células de fósforo (como a tela de plasma), mas com excitação de elétrons (em vez de ultravioleta) do fósforo. Um protótipo SED da Canon gerou grande entusiasmo[45] na CES de 2006, mas as disputas de patente subsequentes e as realidades econômicas cobraram seu preço. FED e SED podem subir novamente – mas não prenda a respiração.

I.11 Conexões de vídeo: analógico (composto, componente) e digital (HDMI/DVI, DisplayPort)

¶ **64.** Afinal, o que são todos esses cabos incompatíveis? Para aumentar a confusão analógico-digital, o mercado *consumidor* (de TVs de tela grande e telas planas, etc.) e o mercado de *computadores* (de monitores LCD) seguiram caminhos (principalmente) separados. Aqui está um rápido resumo das conexões mais usadas; seus conectores são mostrados na Figura I.10.

¶ **65.** No mundo da *televisão de consumo,* existem quatro tipos de conexões (e conectores), sendo que os dois primeiros estão quase extintos.

Composto vídeo . Vídeo analógico de baixa qualidade de definição padrão (SDTV: 480i), reconhecível pelo conector tipo RCA amarelo baixo ("conector phono"), geralmente junto com um par de áudio (vermelho = direito, branco = esquerdo). A única linha amarela transporta luminância com largura de banda limitada

[43] Para fins de marketing, esses LCDs às vezes são chamados de "TVs de LED". Não se engane: é um LCD, mas com iluminação traseira em LED substituindo o CCFL. E pode ou não ter escurecimento local - leia as letras miúdas.

[44] Os críticos estão *entusiasmados:* "A melhor imagem que já vi em qualquer TV." (CNET), "A TV mais bonita que já vi. Sempre." (Tendências Digitais) e "O melhor display de visualização direta – de qualquer tamanho, a qualquer preço – que já vimos." (texto HDTV, Reino Unido).

[45] Uma revisão sem fôlego no SlashGear (19 de outubro de 2006) proclamou "SED-TV é algo que nenhuma quantidade de palavras pode descrever. É algo que deve ser visto para ser acreditado; literalmente." e "SED-TV é o futuro das exibições de imagens digitais; É simples assim."

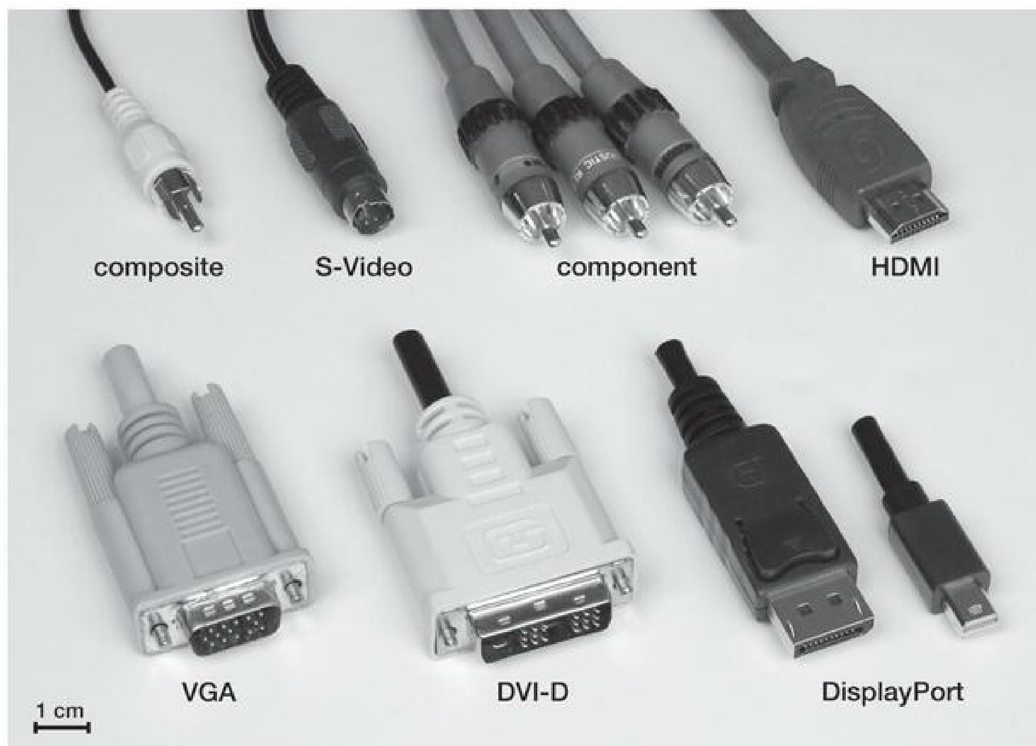


Figura I.10. Conectores de cabo para monitor de computador e sinais de vídeo. Linha superior: conectores de vídeo de TV, desde o composto analógico herdado até o vídeo digital de alta definição HDMI contemporâneo. Linha inferior: conectores de monitor de computador, do VGA analógico legado ao popular DVI digital e DisplayPort mais recente (conectores padrão e mini).

("luma," abreviado Y, essencialmente a imagem em tons de cinza) e crominância ("chroma," abreviado C, o par de sinal de diferença de cor que é modulado em uma subportadora de cor de 3,58 MHz), juntamente com pulsos de sincronização de linha e quadro; às vezes é chamado de CVBS (vídeo composto, blanking e sincronização). Não use essa conexão a menos que não haja mais nada disponível!

S-vídeo . Vídeo analógico SDTV um pouco melhor, reconhecível pelo conector miniDIN de 4 pinos com pinos frágeis. Ele separa os sinais luma (+sync) e chroma, retendo mais largura de banda. Evite este também, a menos que goste de fotos difusas.

vídeo componente . Agora estamos a falar! Este analógico para esteira usa três linhas coaxiais de 75 ÿ, com (geralmente) conectores do tipo RCA (ou, ocasionalmente, BNCs) que são coloridos em vermelho, verde e azul e que podem transportar HDTV de largura de banda total. As cores são enganosas: a linha verde carrega luminância (+ sincronia), enquanto azul e vermelho carregam sinais de *diferença* de cor. Ou seja, os conectores de cor GBR denotam "YPbPr", onde Y é luminância (vermelho+azul+verde), Pb é azul-menos-Y e Pr é vermelho-menos-Y. Tal como acontece com o composto e S-vídeo, vídeo componente transporta apenas vídeo; o áudio precisa de cabos próprios. O vídeo componente não conhece ou se preocupa com coisas como proteção de conteúdo; por esse motivo, não é adotado por provedores de conteúdo, que podem impedir a saída HDTV (1080×1920) de resolução total nos conectores de componente (por exemplo, em um reprodutor de Blu-Ray).

HDMI · Um formato puramente digital, cujas iniciais significam interface multimídia de alta definição. HDMI é a alternativa digital ao vídeo componente. Ele é reconhecível pelo conector tipo USB plano de 19 pinos (infelizmente sem nenhum mecanismo de travamento necessário) e eletricamente é equivalente ao formato de monitor de computador DVI-I (veja abaixo). Ele transporta áudio (até oito canais, digitalizados em 24 bits, até 192 ksps) e vídeo (digitalizado em 8–16 bits por componente, em taxas adequadas para HDTV total ("1080p", 1080×1920 progressivo a 60 Hz ; As versões HDMI 1.4 e posteriores suportam totalmente "4K," 4096 × 2160, com 60 fps progressivo da versão 2.0). Os dados de vídeo são uma versão digitalizada do vídeo analógico: dados numéricos não compactados que representam a amplitude da cor

componentes, enviados por quatro pares trançados (R, G, B, clock). O HDMI oferece suporte à proteção de conteúdo digital (HDCP, proteção de conteúdo digital de banda larga), um protocolo pelo qual uma fonte de vídeo HD autentica um dispositivo de exibição antes de enviar dados (criptografados), para que você possa visualizar o vídeo em resolução total. O HDCP parece funcionar, na maioria das vezes (embora você possa receber mensagens irritantes e falhas).

¶ **66.** No mundo dos *monitores de computador ,* existem três tipos de conexões (e conectores) amplamente utilizados.

analógicoVGA . Link analógico herdado, reconhecível pelo conector tipo D de 15 pinos com parafusos de travamento. VGA (para matriz de gráficos de vídeo) transporta sinais analógicos RGB separados, além de Hsync e Vsync (portanto, "RGBHV"). Em implementações contemporâneas também possui um canal I2C para identificação e controle do monitor. O VGA funcionará em resoluções de 1600 × 1200 ou mais (não há limite especificado, mas você verá manchas indo para a direita de recursos nítidos ao aumentar a resolução), mas muitos monitores abandonaram completamente o VGA em favor dos formatos digitais : DVI e DisplayPort.

DVI . Atualmente a interface digital padrão, reconhecível pelo conector de 29 pinos (máximo) com parafusos de travamento, parecendo um pouco com um "VGA com esteróides". Ele é eletricamente semelhante ao HDMI mais compacto e barato, acima, que evoluiu dele para o consumidor de tele. mercado de visão, e isso inclui áudio (portanto, uma única conexão de um decodificador ou reprodutor de Blu-Ray para o monitor de televisão). Ele vem em diversas variantes, todas usando o mesmo conector (no qual alguns pinos podem não ser carregados): DVI-D é apenas para vídeo e vem nas variedades de link único e link duplo (o último necessário para resoluções superiores a 1920 × 1200 a 60 Hz, por exemplo o 2560×1600 a 60 Hz usado em 30 monitores); DVI-A é apenas vídeo analógico (para compatibilidade com monitores analógicos); e DVI-I ("integrado") tem vídeo digital (link único ou duplo) e analógico. DVI, como VGA, não carrega áudio.

DisplayPort . Padrão mais recente, destinado a substituir o DVI; ele usa um conector tipo USB de 20 pinos com mecanismo de travamento e suporta taxas de dados muito altas (até 4,3 Gbps em cada um dos quatro pares diferenciais, portanto, 17,3 Gbps). Ele parte do esquema "digitalizado-raster" de DVI/HDMI, usando um protocolo de dados em pacotes; mas tem largura de banda suficiente para lidar com toda a largura de banda de vídeo do DVI de link duplo (que pode ser convertido para o protocolo DisplayPort). Suporta até 16 bits por cor e áudio de 8 canais a 24 bits e 192 ksps. Inclui provisão para fibra ótica (em vez de cobre) para cabos longos (até 50 m ou mais) e suporta HDCP de 56 bits existente e seu próprio DPCP (proteção de conteúdo DisplayPort, com AES de 128 bits mais forte criptografia).

A revisão atual do DisplayPort pode lidar com 4K 60 fps progressivo com facilidade.

SPICE PRIMER: COMEÇANDO

COM DEMONSTRAÇÃO GRATUITA ICAP/4

APÊNDICE **J**

O SPICE gratuito é fácil e divertido. Está disponível para várias plataformas (Macs, Linux, PCs). Veja como começar no Windows.

J.1 Configurando o ICAP SPICE

1. Baixe o zip “ICAP/4Windows Demo” (ICAP4Demo.zip) em intusoft.com.
2. Extraia o arquivo zip para alguma pasta temporária.
3. Nessa pasta, clique duas vezes (aqui abreviado como **“cc”)** em setup.exe.
4. Inicie o ICAP/4 (talvez seja necessário estar no modo admin): (ProgramasÿICAP 4 DemoÿIniciar ICAPS).

J.2 Inserindo um Diagrama

• Adicione componentes padrão com tipo R resistor C capacitor L indutor o terra (a letra “oh”, não o número) v sinal ou fonte de tensão Y ponto de teste de tensão.

(Eles não diferenciam maiúsculas de minúsculas: r = R, etc.) • Para um componente de biblioteca, PartsÿParts Browser, **–** navegue por tipo e subtipo, ou use Find, **–** então Place. • Mover e orientar:

– destaque o componente clicando e segure, então pode arrastar; **–** quando destacado, digite + para girar (90ÿCW), ou ÿ para vire 180ÿ. •

Editando um rótulo de componente: **–** destaque o rótulo clicando e segurando, arraste para realocar; **–** quando o rótulo estiver destacado, **cc** no rótulo para editar os valores.
* Observe os multiplicadores de unidades: f, p, n, u, m, k, meg (não M).
* Observe que o SPICE precisa apenas do *multiplicador de unidades,* não das próprias unidades. Por exemplo, para um capacitor “1u” está OK para SPICE; mas você pode digitar “1.0uF” para maior clareza no esquema, que o SPICE tratará o mesmo.
* Você pode **copiar** o componente, em vez disso, para abrir a caixa de diálogo de valor.

– Você pode adicionar parâmetros inserindo o valor e clicando em Aplicar; isso é necessário, por exemplo, para uma fonte de tensão (adicionar CC ou CA, fornecer amplitude). Ou você pode clicar em Adicionar, que também adiciona o parâmetro ao desenho esquemático. • Fios: **–** digite w e arraste um fio entre os pontos; **–** você pode arrastar vários fios separados; ESC quando terminar. • Configurações: **–** defina “Rubberbanding” em Opções, para manter as conexões ao arrastar componentes. Arquivo

J.3 Executando uma simulação

Um circuito passivo formado apenas por resistores e capacitores pode ter *ganho de tensão?* A resposta surpreendente é sim. Vamos usar este exemplo simples para ilustrar uma tentativa e simulação do ICAP/4 SPICE.

J.3.1 Entrada esquemática

Lançamos o ICAPS, e colocamos dois resistores (digite a letra “r”), dois capacitores (digite a letra “c”) e uma fonte de tensão (digite a letra “v”) com o terminal inferior aterrado (digite a letra “o” logo após digitar “v”). Se as peças forem muito pequenas para serem vistas na tela, você pode redimensioná-las usando OpçõesÿZoom (ou as teclas de função F6, F7 e F8). Nós os arrastamos para conectá-los conforme mostrado na Figura J.1 e adicionamos um ponto de teste de tensão de saída (digite a letra “y” e altere o rótulo para Vout). Assinamos os valores clicando duas vezes em cada componente e inserindo o valor no campo de valor (onde “???” aparece inicialmente); observe que pressionar a tecla Enter após cada valor move você para outro campo na caixa de diálogo - você deve clicar em OK para concluir a operação.

Para os capacitores poderíamos ter usado microfarads (por exemplo, 0,01uF em vez de 10nF); observe que o “F” pode ser omitido, mas incluí-lo torna a marcação esquemática mais clara. Para a fonte de tensão, inserimos o valor 1V (ou seja, 1 volt) no

"AC" e depois clicamos no botão ADD para que o valor apareça no esquema (o SPICE usa o valor, mesmo que não o adicionemos; mas é bom mostrar no diagrama de circuito). Como antes, o símbolo da unidade "V" pode ser omitido.1

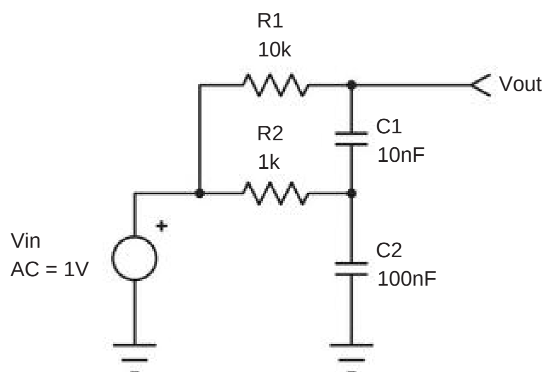


Figura J.1. Um circuito *RC* com ganho de tensão! A entrada esquemática no In tusoft ICAP/4 é rápida, não levando mais do que alguns minutos. A impressão do esquema capturado em "Adobe PDF" produziu esta figura ure.

J.3.2 Simulação: varredura de frequência

Agora para a diversão! Começamos salvando o projeto em uma pasta de nossa escolha, usando o menu ArquivoÿSalvar como. Em seguida, configuramos a simulação por AçõesÿConfiguração da simulaçãoÿEditar (ou clicando no botão com um lápis sobre uma linha ondulada). Escolha e clique em "Análise AC", insira 20 pontos por oitava, comece em 100 Hz, termine em 10 kHz (digite 10k na caixa) e clique em OK. Em seguida, clique em CONCLUÍDO. Agora execute a simulação clicando na pessoinha correndo (ou ActionsÿSimulate). Isso inicia o mecanismo Spice, com uma pequena janela ("IsSpice4") mostrando o status e os erros e (se for bem-sucedido) um pequeno gráfico do resultado. A execução da simulação também inicia o programa de exibição "IntuScope" (que você pode iniciar manualmente clicando no ícone de escopo ao lado da pessoa que está executando ou por ActionsÿScope). Neste ponto, existem várias janelas empilhadas, que você deve redimensionar e arrastar para locais convenientes na tela e, em seguida, fazer OpçõesÿSalvar preferências para fixá-las. Agora clique na caixa "Test Pts Only" na janela "Add Waveform" que pertence ao IntuScope, então destaque Vout2 e clique em "Add". Voila - isso produz um bom

1 Para a análise CA do SPICE, o cálculo do ganho de varredura de frequência é realizado com amplitudes de sinal pequeno infinitesimais, que são então normalizadas para a amplitude de sinal que você especificou. Aqui, por exemplo, o SPICE usa uma amplitude de sinal muito menor que 1 V. 2 Ou, se você não renomeou a saída para Vout, selecione entre os sinais com nomes como v2, etc., na lista de saída do eixo Y.

gráfico de Vout versus frequência (ver Figura J.2), com rótulos de eixo padrão, grades e escala. Você pode alterar os rótulos dos eixos clicando duas vezes no rótulo; e você pode mexer com o dimensionamento na janela "Scaling".

Para adicionar um gráfico de mudança de fase versus frequência, realce "ph Vout" na janela Add Waveform, clique na caixa "With Like Traces" (a menos que você queira um gráfico separado) e clique em "Add". Fizemos isso para criar a Figura J.2, onde também usamos as ferramentas de cursor na janela In tuScope para marcar o ponto de ganho máximo de tensão.

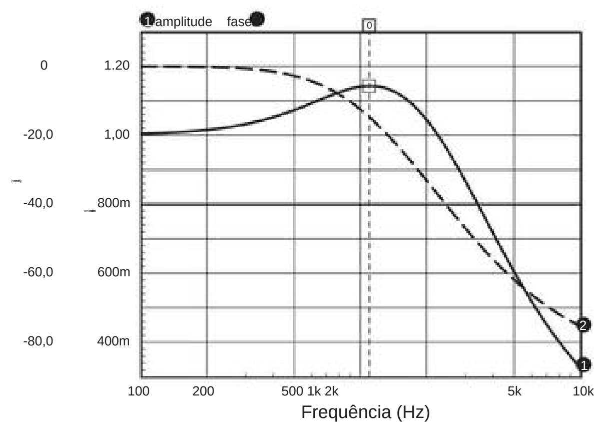


Figura J.2. Saída "'Scope" do circuito de ganho *RC* , mostrando amplitude e fase ("Análise AC") para o circuito da Figura J.1. O cursor indica o pico do ganho de tensão, Vout/Vin=1,142 em f=1,096 kHz. A fase plotada da saída original do IntuScope em azul, que convertemos em uma linha preta tracejada; ampliamos o texto, também, para facilitar a leitura.

J.3.3 Simulação: formas de onda de entrada e saída

Nós realmente acreditamos neste gráfico de ganho versus frequência? Todo mundo sabe que uma rede *RC* simples apenas confunde as coisas – fase deslocada e amplitude reduzida. Não acreditaremos que isso tenha ganho de tensão, a menos que o SPICE nos mostre as formas de onda reais do sinal de entrada e saída para uma onda senoidal próxima à frequência do ganho máximo de tensão (e talvez nem mesmo assim!).

Veja como você faz isso: primeiro, adicione outro ponto de teste de tensão na entrada ("y" novamente) e mude o rótulo para Vin. Em seguida, clique duas vezes na fonte de tensão de entrada e clique no campo denominado "Tran Generators" (o SPICE chama qualquer forma de onda antiga, incluindo uma onda senoidal, de "transiente"). Selecione SIN, defina a amplitude de pico em 1, o deslocamento em 0 e a frequência em 1,096 kHz. Clique em OK e em OK. Em seguida, vá para Simulation Setup (lápis sobre linha ondulada), desmarque AC Analysis e selecione Transient. Na Análise Transitóri

janela que aparece, defina Data Step Time para 1us, Total Analysis Time para 105ms e Time to Start Recording Data para 100ms (isso dá ao circuito tempo para se estabilizar em seu estado estacionário). Deixe o campo Maximum Time Step em branco (ou seja, aceite o valor padrão). Clique no ícone do corredor para executar a simulação. Neste ponto, a janela IsSpice4 deve mostrar um traço ondulado. Agora vá para a janela do IntuScope, limpe o gráfico antigo pressionando a tecla DEL para cada traço selecionado (você pode salvá-lo, se quiser, ou iniciar um novo gráfico com Arquivo ÿ Novo gráfico) e adicione "vin" e "vout " na subjanela Add Waveform do IntuScope, com a caixa "With Like Traces" marcada como antes.

Nada mal. . . mas as formas de onda parecem um pouco irregulares. Se você aumentar o zoom (arraste os limites da caixa na janela "Scaling"), verá que existem apenas cerca de 20 pontos plotados por ciclo. Pedimos passos de saída em intervalos de 1ÿs, mas estamos obtendo aproximadamente 50ÿs. Isso porque não estamos usando o Maximum Time Step na janela Transient Analysis.

Volte agora (Simulation SetupÿTransient) e defina Max imum Time Step como 1us. Em seguida, clique na pessoa que está correndo (a simulação vai demorar um pouco mais, talvez um segundo inteiro desta vez); em seguida, limpe o gráfico antigo e adicione as duas formas de onda no IntuScope (saída primeiro, para definir a escala e depois entrada). Você deve ver gráficos suaves como seda, como na Figura J.3. Se você ainda tem dúvidas sobre um circuito *RC* com ganho de tensão, você pode ligar o circuito e verificá-lo em um osciloscópio real ao vivo, como fizemos (Figura J.4). Evidentemente, esse ganho de tensão *RC* é real!

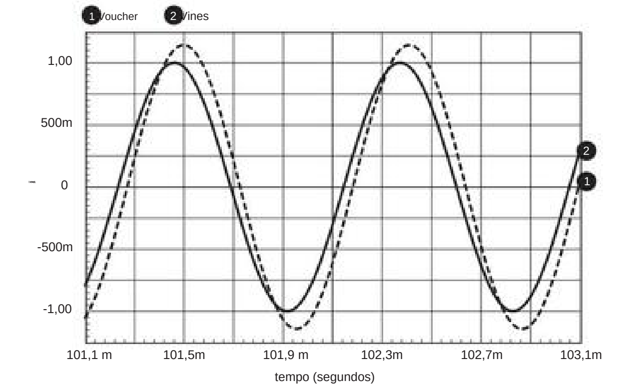


Figura J.3. Saída "'Scope" do circuito de ganho *RC* , mostrando resposta de onda senoidal ("Análise transitória") na frequência de ganho máximo para o circuito da Figura J.1. A saída original do IntuScope plotou Vout em azul, que convertemos em uma linha preta tracejada; também aumentamos o texto para facilitar a leitura e ajustamos as escalas dos eixos para corresponder ao traçado do escopo.

J.4 Alguns pontos finais

O programa de demonstração ICAP/4 inclui dez "filmes tutoriais" (no menu Ajuda), que são misericordiosamente curtos (cerca de

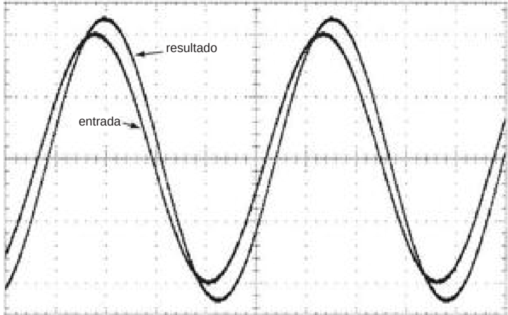


Figura J.4. Um escopo real (Tek TDS3044B) valida essa coisa maluca do SPICE! Horizontal; 200 ÿ s/div; Vertical; 0,5 V/div.

um minuto cada) e bastante útil para o iniciante. Dedique dez minutos para vê-los! Você aprenderá, por exemplo, que pode criar muitas fontes de sinal acessando diretamente PartsÿParts Browserÿ! Generators. Você também aprenderá alguns truques para simplificar a entrada esquemática (cópia, zoom) e maneiras de tornar os rótulos das peças mais legíveis (opções "alto", "largo" e "dividido"). E experimentando um pouco, você pode descobrir que tanto os gráficos esquemáticos quanto os de simulação podem ser copiados ("Imprimir") para a área de transferência e depois colados no Word ou Wordpad, onde existem como gráficos escaláveis. Se você imprimir em Adobe PDF, obterá um gráfico escalável que pode ser limpo no Adobe Illustrator.

Há muitos anos que usamos a versão completa Intusoft "ICAP/4" do SPICE; ele fornece uma entrada esquemática conveniente baseada em Windows e um ambiente de simulação, que usamos para explorar as configurações do circuito. Normalmente, começamos com um projeto de circuito inicial, fazendo anotações explicativas em um documento do Word à medida que avançamos. Copiamos e colamos os esquemas e gráficos de simulação no texto em execução, criando uma espécie de "caderno de laboratório"; veja a seguir.

J.5 Um exemplo detalhado: explorando a distorção do amplificador

No Capítulo *2x* ("BJT Amplifier Distortion: a SPICE explo ration"), fazemos um trabalho sério com o SPICE, na forma de uma exploração da distorção em sinais discretos de amplificadores BJT.[3] O material do amplificador é muito divertido; e há alguns bons truques SPICE lá revelados. Dê uma olhada!

[3] Quando fazemos isso na vida real, gostamos de colar diagramas de circuitos e capturas de tela de desempenho simulado em um documento do Word, anotando conforme avançamos. Mantivemos esse espírito vivo na discussão do Capítulo *2x,* embora na forma de uma conversão LATEX do documento original do Word.

J.6 Expandindo o banco de dados de peças

Você pode adicionar livremente modelos SPICE à biblioteca de peças ICAP/4. Uma maneira fácil de iniciar o processo é para baixar a pasta AoE-PR do nosso site (www.artofelectronics.com) e colocá-la na pasta PR padrão. Em seguida, faça Arquivo ÿ Atualizar banco de dados de peças.

“ONDE EU VOU COMPRAR PRODUTOS ELETRÔNICOS?”

APÊNDICE K

Boa pergunta! Aqui estão algumas dicas, de nossas experiências.

I. Encomenda por correio e online

Digi-Key Corp (Thief River Falls, MN: 1–800–digikey). Costumávamos dizer *“Pegue o catálogo deles!!”* – mas, infelizmente, abandonaram o papel, substituindo-o por uma capacidade de pesquisa impressionante. Você pode obter tudo aqui, mesmo em pequenas quantidades, com entrega rápida. Muitas vezes, vale a pena projetar com a página da Web aberta à sua frente. Pedidos on-line e verificação de estoque/preço: www.digikey.com.

Mouser Electronics (www.mouser.com). Distribuidor de estoque amplo, com serviço comparável ao da Digi-Key e disposição para enviar pequenas quantidades. Boa seleção de passivos de precisão; e eles ainda estão imprimindo um catálogo de papel abrangente.

Newark Electronics + Farnell (1–800–2–newark; www.newark.com). Distribuidor de estoque mais amplo, com atendimento comparável ao da Digi-Key e boa seleção de ferramentas; catálogo de papel ainda em impressão.

“Distribuidores de estoque”. Esses são os canais de distribuição padrão para compra em quantidade; nomes como Allied (ainda publicando um catálogo em papel), Arrow, Avnet, FAI, Heilind, Insight, Pioneer, Wyle. Quantidades mínimas substanciais – geralmente não são úteis para prototipagem ou pequena produção.

Direto dos Fabricantes. Muitos fabricantes de semicondutores (Analog Devices, TI, Maxim,...) não só enviarão amostras grátis com a menor provocação, como também venderão em pequenas quantidades por meio de cartão de crédito; confira Mini circuitos para componentes de RF e Coilcraft para indutores, transformadores e filtros de RF.

Excêntricos. Marlin P Jones, Jameco, B&D, Herbach & Rademan, Omnitron, ABRA, Todos os Eletrônicos; coleção efêmera de coisas “excedentes”, algumas verdadeiras pechinchas.

eBay (www.ebay.com). Se você ainda não esteve aqui, provavelmente acabou de chegar de Marte. MUITAS coisas, literalmente milhões de itens, um leilão online. Você pode obter bastante coisas eletrônicas, mas CAVEAT BIGTIME EMPTOR. Feed back Fórum ajuda.

Alibaba Pequenas empresas da orla do Pacífico que possuem estoques de componentes obsoletos são facilmente encontradas no Alibaba. Você pode fazer uma solicitação de cotação para um número de peça e obterá dezenas de fornecedores úteis com preços razoáveis.

II. Índices e localizadores

Octopart, FindChips, NetComponents (oc topart.com, findchips.com, netcomponents.com). Dê a ele um número de peça e ele pesquisará em dezenas de distribuidores, retornando informações (às vezes não confiáveis) sobre disponibilidade e preço.

WhoMakesIt (www.whomakesit.com). Um pouco como o catálogo EEM, útil se você souber a categoria de coisas que deseja, mas não o fabricante, etc.

Google (www.google.com). Nosso “portal” padrão lê sua mente e o direciona para as coisas boas. Útil, algumas vezes, para encontrar fabricantes e fornecedores de peças e equipamentos.

III. Local

Às vezes é bom comprar pessoalmente; aqui estão os tipos de lugares para ir.

Radio Shack (www.radioshack.com). Eles se autodenominam “Supermercado Eletrônico da América”; nós os chamaríamos de “Loja de Conveniência Eletrônica da América”. Suas lojas estão por toda parte e eles estocam (de forma bastante confiável) uma coleção idiossincrática de peças e suprimentos, de qualidade ou duração incerta. No entanto, no mercado mutável de produtos eletrônicos de consumo, seu caminho futuro não é claro.

Mercados de pulgas eletrônicos. Também conhecido como “encontros de troca”, talvez um pouco em declínio; dois encontros lendários estão em costas opostas: De Anza College (Cupertino, todo segundo sábado, março-outubro) e MIT (Cam bridge, todo terceiro domingo, abril-outubro). o que atende

são três culturas (eletrônica, informática, radioamadores); pechinchar é obrigatório; advertência muito emptor.

Lojas de Suprimentos de Excedentes de Eletrônicos. Estes são incrivelmente legais! Vários redutos conhecidos são Halted (www.halted.com; oficialmente “HSC Electronics Supply”), em Santa Clara, Sacramento e Santa Rosa; e Murphy's Surplus Warehouse (www.murphyjunk.bizland.com) em El Cajon.

4. Diversos

CIs obsoletos. Seu melhor lugar para começar é Rochester Electronics (www.rocelec.com), um lugar maravilhoso que aparentemente compra estoques de CIs que estão sendo descontinuados. Jameco também tem muitas peças obsoletas. A zona de comércio livre possui listas de corretores para peças obsoletas. Experimente também a Interfet (www.interfet.com), um fabricante de FETs de pequenos sinais, incluindo aqueles que os grandes aband

Fabricação de placa de PC. Gostamos de um lugar chamado Advanced Circuits, www.4pcb.com; você pode obter cotações on-line e eles fazem um bom trabalho e entregam imediatamente. Outra casa de PC barata e rápida é a Alberta Printed Circuits, no Canadá (www.apcircuits.com).

INSTRUMENTOS DE BANCADA DE TRABALHO E FERRAMENTAS

APÊNDICE L

Aqui estão alguns favoritos eletrônicos, coisas que realmente gostamos de usar quando projetamos e construímos circuitos eletrônicos. É melhor verificar os catálogos e sites atuais – muitos desses equipamentos se tornam obsoletos com uma velocidade assustadora.

Ferro de solda
Metcal MX-500 (não é barato; vai mudar sua vida!)
Weller WSL (menos caro, temperatura variável)

Estação de dessoldagem
Pace MBT201-SD

Protótipo de montagem em superfície e retrabalho
Zephyrtronics Airbath e Airpencil
Metcal oferece “pinças” SMT e outras guloseimas

DMM de bancada
Keithley 2100 (61 2-dígito, com controle e leitura USB)
Agilent 34410A (leitura 2-dígito, com controle de LAN e USB e 61)

Pocket DMM
Amprobe 37XR-A (barato, bom o suficiente)
Fluke 289 (não é barato, é muito bom)
Agilent U1252A/53A (o favorito de todos ultimamente)
“Smart Tweezers” (medidor estilo pinça SMT com escala automática, legal!)

Fonte de alimentação de banco triplo
HP E3630A (excelente desempenho, preço razoável)

Fonte de alimentação de bancada de alta tensão
Série SRS PS300 (simples e dividida, até 20 kV)

Programador de dispositivo (se necessário; JTAG in-ckt está assumindo, pods de mfgrs)
BP Microsystems 1610 (universal e confiável; atualizações de algoritmo gratuitas vitalícias)

medidor LCR
HP 4263B (mais barato é o modelo SRS SR720)

osciloscópio analógico
A B&K Precision e a Hameg ainda oferecem alguns modelos, para largura de banda de 200 MHz

Osciloscópio digital Tek DPO2024B (barata “lancheira”); DPO/MSO 3k-, 4k-, 5k-series Agilent DSO/MSO 5k-, 6k- e 7k-series (Agilent é uma resposta para a “lancheira”)

Série Lecroy WaveRunner, WaveSurfer, WaveJet (muitos modelos, faça sua lição de casa)

Gerador de função arbitrária série Tek AFG3000 (canal único e duplo, até 240MHz e 2Gs/s)

Gerador de funções de baixa distorção SRS DS360 (0,01 Hz–200 kHz, 0,001% de distorção)

Sintetizador de RF e micro-ondas Agilent N9310A SRS série SG380 (modelos de 2, 4 e 6 GHz, baixo ruído de fase, consulte §13.13.6B)

Analisador de espectro de baixa frequência
SRS modelo SR785

Analisador de espectro de RF
série Agilent ESA (depende da faixa de frequência e $$)

Unidade de medição de fonte
Agilent série B2900 (canal único e duplo)
Keithley série 2600 (canal único e duplo)

Tempo de precisão e padrão de frequência
Symmetricom 4411A (usa constelação de GPS)

Software de engenharia Altium System Designer, OrCad ou Eagle (para captura esquemática e layout; inclui simulação)
Xilinx WebPack (para projeto PLD e FPGA) e ferramentas análogas da Altera, Lattice, Actel, etc.
ICAP/4, LTspice ($0!), MicroCap 9, MMICAD, PSpice (para simulação)

FilterCAD ($0!, da LTC), FilterPro ($0!, da TI) (projeto de filtro analógico simples)
MathCAD, MATLAB, Mathematica (planilhas de engenharia/matemática)

LabVIEW™ (instrumentos virtuais; controle de instrumentos reais)

CATÁLOGOS, REVISTAS,

LIVROS DE DADOS

APÊNDICE **M**

Aqui estão algumas recomendações para livros de dados, catálogos e revistas; alguns se tornaram apenas serviços on-line (por exemplo, IC Master). Você precisará de alguns deles se quiser praticar design eletrônico.

Catálogos "mestres"

EEM (Electronic Engineer's Master) *lista todas as categorias de material eletrônico*
IC Master *idem, para ICs*
Excelente localizador on-line de peças (e folha de dados) Octopart

Catálogos de peças e equipamentos

Digi-Key Corp (um distribuidor), *ampla variedade, entrega rápida*
Mouser Electronics (um distribuidor), *ampla variedade, entrega rápida ery*
Newark/Farnell Electronics (um distribuidor), *melhor catálogo de linha ampla*
Allied Electronics (um distribuidor), *semelhante a Newark*
TechniTool (um distribuidor), *ferramentas de medição, montagem e teste*

Stanley Supply & Services, (um distribuidor) *equipamentos e suprimentos para montagem*
Keysight Technologies (Agilent, HP), *maior fabricante de equipamentos de teste e medição*
Tektronix, *equipamentos de teste e medição, especialmente escopos*

Fluke, *equipamentos de teste e medição*
Equipamentos de teste e medição da Stanford Research Systems (SRS) ; *ótima documentação e notas de aplicativos*

Revistas e tablóides

EDN, *mantém você atualizado sobre novos produtos e métodos*
Design Eletrônico, *idem; um pouco magro, ultimamente*
Produtos eletrônicos, *idem, ênfase apenas em produtos*
EE Times, *formato tablóide*
Computer Applications Journal, *mania de projeto de microcontrolador*
Circuit Cellar Ink, *ênfase em microcontroladores*
Nuts and Volts, *peculiar faça-você-mesmo, formato tablóide*
Make Magazine, *coisas legais que você pode construir*

Livros de dados; guias de forma resumida/design Uma seleção inicial, com ênfase no produto.
Outros: cPLD, FPGA
Analog Devices: todas as funções lineares; conversores; DSP
Atmel: PLDs e microcontroladores Avago (ÿAgilentÿHPÿAvantek): opto, rf Cirrus/Apex: amplificadores operacionais etc.

Cypress: memória, processadores
Diodes Inc/Zetex: discretos, etc.
Fairchild: discreta, linear, digital Freescale: processadores, DSP, IDT automotivo, Micron, Samsung: memória Infineon: discreta, potência, processadores, RF Intel: microprocessadores e microcontroladores Linear Technology Corp: todas as funções lineares M/ACom: RF e micro-ondas Maxim / Dallas: linear, digital, C MiniCircuits: RF – linha ampla, barato NXP (Philips): lógica, microcontrolador ON Semi/ ÿ Sanyo: linear, lógica, discreta Renesas: discreta, memória, processadores TI/National/Burr–Brown: linear , logic, opto, power, proc cessors, DSP Xilinx: cPLD, FPGA
Datasheets (no formato *.pdf) estão disponíveis on-line em quase todos os sites de fabricantes de semicondutores; tente, por exemplo, www.analog.com, www.maxim-ic.com, www.linear.com, www.ti.com, etc.

Outra maneira de encontrar planilhas de dados, preços e disponibilidade é por meio de um site de pesquisa como octopart.com ou find chips.com; eles exibem preço e estoque (e, às vezes, planilhas de dados) e o vinculam ao distribuidor de estoque.

LEITURA ADICIONAL E REFERÊNCIAS

APÊNDICE **N**

Em geral

Ashby, D., ed., *Circuit Design: Know It All.* Newnes (2008). Uma coleção de materiais fascinantes de engenharia eletrônica de 14 autores aclamados.

Camenzind, H., *Muito Barulho por Quase Nada, O Encontro do Homem com o Elétron.* Booklocker. com (2007). Histórias fascinantes sobre eletrônica, do famoso designer do 555.

Dobkin, B. e Williams, J., eds., *Analog Circuit Design: A Tutorial Guide to Applications and Solutions.* Novos (2011). Excelente seleção de notas de aplicação informativas e bem escritas da Linear Technology. Animado e divertido também.

Dunn, PC, *Gateways into Electronics.* Wiley (2000). Fascinante abordagem baseada em física para eletrônica; cobertura profunda de áreas críticas.

Jones, RV, *Instruments and Experiences: Papers on Measurement and Instrument Design.* Wiley (1988). Clássico sobre design de instrumentos, baseado nos artigos de Jones.

Lee, TH, *The Design of CMOS Radio-Frequency Integrated Circuits.* Cambridge University Press (2ª ed., 2003). Do criador do gigahertz CMOS vem este volume encantador, cobrindo muito mais do que seu humilde título sugere. Ótimo capítulo introdutório sobre a história do rádio.

Pease, RA, *Solução de problemas de circuitos analógicos.* Vale a pena – Heinemann (1991). O mesquinho-chefe revela seus truques.

Purcell, EM, e Morin, DJ, *Electricity and Magnetism.* Cambridge University Press (2013). Excelente livro sobre teoria eletromagnética. Seções relevantes sobre condução elétrica e análise de circuitos CA com números complexos.

Scherz, P. e Monk, S., *Practical Electronics for Inventors.* McGraw-Hill (3ª ed., 2013). O título diz tudo.

Sedra, AS e Smith, KC, *Circuitos Microeletrônicos.* Oxford University Press (6ª edição, 2009). Texto de engenharia clássico popular.

Senturia, SD e Wedlock, BD, *Circuitos Eletrônicos e Aplicações.* Wiley (1975). Bom livro introdutório de engenharia.

Sheingold, DH, ed., *Nonlinear Circuits Handbook.* Analog Devices (1976). Altamente recomendado.

Sheingold, DH, ed., *The Best of Analog Dialog, 1967 a 1991.* Analog Devices (1991). Excelente coleção de técnicas de engenharia analógica.

Terman, FE, *Manual dos Engenheiros de Rádio.* McGraw-Hill (1943). Três pontos e dez anos depois continua a surpreender, com excelentes seções sobre elementos de circuitos passivos e outras engenharias básicas.

Tietze, U., e Schenk, Ch., *Circuitos eletrônicos: Manual para Design e Aplicações.* Springer-Verlag (2ª edição, 2008). Espetacular referência geral.

Williams, J., ed., *Analog Circuit Design: Art, Science, and Personalities.* Butterworth-Heinemann (1991). Coleção idiossincrática de sabedoria de 22 gurus analógicos.

Williams, J., ed., *The Art and Science of Analog Circuit Design.* Butterworth-Heinemann (1998). A sequência: 16 gurus analógicos fornecem ainda mais sabedoria.

Manuais

Fink, DG e Beaty, HW, eds., *Manual padrão para engenheiros elétricos.* Nova York: McGraw-Hill (16ª ed., 2012). Artigos tutoriais sobre tópicos de engenharia elétrica.

Jordan, E., ed., *Reference Data for Engineers: Radio, Electronics, Computer, and Communications.* Howard W. Sams & Co. (9ª ed., 2001). Dados de engenharia de uso geral.

"Manual de Medição de Temperatura." Stamford, CT: Omega Engineering Corp. (revisado anualmente). Termopares, termistores, pirômetros, termômetros de resistência.

BJT e FETS

Camenzind, H., *Projetando Chips Analógicos.* Virtualbook worm.com e disponível online (2005). Inspirador

livro de um designer de circuitos integrados analógicos do mundo real; inclui a história de seu projeto do 555 na Signetics (agora NXP).

Ebers, JJ e Moll, JL, "Large-signal behavior of junction transistors." *Proc. IRE* 42:1761–1772 (1954). Nasce a equação de Ebers-Moll.

Gray, PR, Hurst, PJ, Lewis, SH e Meyer, RG, *Análise e Projeto de Circuitos Integrados Analógicos.* Wiley (5ª ed., 2009). O clássico livro para uma compreensão real do projeto de circuito linear integrado.

Howe, RT e Sodini, CG, *Microelectronics, an Inte grated Approach.* Prentice-Hall (1996). Projeto de IC introdutório.

Mead, C. e Conway, L., *Introdução aos Sistemas VLSI.* Addison-Wesley (1980). Física de dispositivos e design de circuitos; um clássico.

Muller, RS, e Kamins, TI, *Dispositivos Eletrônicos para Circuitos Integrados.* Wiley (1986). Propriedades do transistor em ICs.

Sze, SM, *Física de Dispositivos Semicondutores.* Wiley (1981). O clássico.

Tsividis, YP, e McAndrew, C., *Operação e Modelagem do Transistor MOS.* McGraw-Hill (3ª ed., 2010).

ESPECIARIA

Cheng, Y. e Hu, C., *MOSFET Modeling & BSIM3 User's Guide.* Springer (1999).

Kielkowski, R., *Inside SPICE.* McGraw-Hill (1998). Um pequeno livro com dicas sobre convergência SPICE, etc.

Liu, W., *MOSFET Models for SPICE Simulation: Incluindo BSIM3v3 e BSIM4.* Wiley (2001). Se você usa o SPICE para analisar projetos de MOSFET, precisa deste livro.

Massobrio, G. e Antognetti, P., *Modelagem de dispositivos semicondutores com SPICE.* McGraw-Hill (2ª ed., 1998). Modelagem de BJTs, JFETs e MOSFETs.

Ytterdal, T., Cheng, Y., e Fjeldy, TA, *Device Modeling for Analog and RF CMOS Circuit Design.* Wiley (2003). Física do dispositivo MOSFET e modelagem SPICE, ruído em MOSFETs.

Amplificadores, transdutores e ruído

Buckingham, MJ, *Ruído em Dispositivos Eletrônicos e Sistemas.* Wiley (1983).

Hollister, AL, *projeto de amplificador de banda larga.* Scitech (2007). Técnicas de projeto de amplificadores de banda larga usando BJTs e FETs, com extensa análise SPICE.

Morrison, R. *Técnicas de Aterramento e Blindagem em In instrumentação.* Wiley (1986).

Motchenbacher, CD e Connelly, JA, *Low-noise Electronic System Design.* Wiley (1993). Um tratamento sério e aprofundado do design de amplificadores de baixo ruído.

Netzer, Y., "O projeto de amplificadores de baixo ruído". *Proc. IEEE* 69:728–741 (1981). Excelente revisão.

Ott, H., *Técnicas de Redução de Ruído em Sistemas Eletrônicos.* Wiley (1988). Blindagem e design de baixo ruído.

Radeka, V., "Técnicas de baixo ruído em detectores." *Ana. Rev. Nucl. e Parte. Physics,* 38:217–277 (1988). Projeto de amplificador, processamento de sinal e limites fundamentais na medição de carga.

amplificadores operacionais

Manual de Aplicações para Amplificadores Operacionais, para Modelagem, Medição, Manipulação e Muito Mais. Philbrick/Nexus Research (1965). Charmoso compêndio dos criadores do primeiro amplificador operacional comercial; estes são itens de colecionador, há muito esgotados.1 Carter, B., e Brown,

TR, *Handbook of Operational Amplifier Applications.* Reformulação do manual clássico de Burr-Brown, descrito por Carter como um "tratamento de alguns dos melhores trabalhos sobre a teoria de claro. . . amplificadores operacionais que Eu já vi."

Frederiksen, TM, *Intuitive IC op-amps.* Santa Clara, CA: National Semiconductor Corp. (1984). Tratamento extremamente bom em todos os níveis.

Graeme, JG, *Aplicações de Amplificadores Operacionais: Técnicas de Terceira Geração.* McGraw-Hill (1987). Uma das séries Burr-Brown.

Jung, WG, ed., *Op Amp Applications Handbook.* Newnes (2004). Seção de história fascinante, excelente detalhe atualizado.

Jung, WG, *IC op-amp Cookbook.* Howard W. Sams & Co. (3ª ed., 1986). Muitos circuitos, com explicações. Veja também *Aplicações de amplificadores operacionais IC* de áudio de Jung .

Soclof, S., *Circuitos Integrados Analógicos.* Prentice-Hall (1985). Informações detalhadas do designer de IC, úteis também para usuários de IC.

Zumbahlen, H., *Manual de Projeto de Circuito Linear.* Newnes (2008). Coisas que você precisa saber sobre os engenheiros da Analog De vices.

[1] Mas felizmente ressuscitou em http://www.analog.com/library/analogdialogue/archives/philbrick/computing_amplificadores.html.

áudio

Duncan, B., *amplificadores de potência de áudio de alto desempenho.* Newnes (1996). Excelente revisão do projeto de amplificador de potência de áudio profissional.

Hickman, I., *Eletrônica Analógica.* Newnes (2ª ed., 1999). Visão geral interessante, gostaria de ter escrito mais.

Hood, JL, *A Arte da Eletrônica Linear.* Newnes (1998). Eletrônica de áudio, incluindo FM.

Pohlman, KC, *Princípios de Áudio Digital.* McGraw Hill (3ª ed., 1995). Todos os aspectos do áudio digital; não matemático, uma leitura fácil.

Self, D., *Design de áudio de pequenos sinais.* Imprensa Focal (2010). Noções básicas e truques de design de áudio, com uma visão especial de um mestre da indústria.

Strawn, J., ed., *Digital Audio Signal Processing.* AR Editions Inc. (Madison, WI; 1985). O primeiro artigo (de Moore) é uma introdução magnífica à matemática do processamento de sinais digitais. Infelizmente, este volume está esgotado.

Watkinson, J., *A Arte do Áudio Digital.* Focal Press (3ª ed., 2000). Outro bom livro sobre áudio digital.

Filtros e Osciladores

Hilburn, JL e Johnson, DE, *Manual de Filtro Ativo Projeto.* McGraw-Hill (1982).

Lancaster, D., *Active Filter Cookbook.* Howard W. Sams & Co. (1979). Procedimento de projeto explícito; fácil de ler.

Matthys, RJ, *Circuitos osciladores de cristal.* Wiley (1983), Krieger Publishing (revisado, 1992).

Parzen, B., *Projeto de cristais e outros osciladores harmônicos.* Wiley (1983). Circuitos osciladores discretos.

Williams, A. e Taylor, F., *Electronic Filter Design Handbook.* McGraw-Hill (4ª ed., 2006). Projeto de filtro prático, com fórmulas, tabelas e muitos exemplos.

Zverev, AI, *Handbook of Filter Synthesis.* Wiley (1967). Tabelas extensas para *LC* passivo e design de filtro de cristal.

Veja também Graeme, JG, nas listagens de amplificadores operacionais.

Alimentação, regulação e controle Basso,

CP, *Fontes de alimentação comutadas: Simulações SPICE e projetos práticos.* McGraw-Hill (2008). O título diz tudo.

Billings, K. e Morey, T., *Manual de fonte de alimentação em modo de comutação.* McGraw-Hill (3ª ed., 2010). Tratamento altamente legível e abrangente de um tópico muitas vezes confuso.

Erickson, RW e Maksimovic, D., *Fundamentos de Eletrônica de Potência.* Springer (2ª edição, 2001). Aprenda como compensar um loop de feedback SMPS.

Grover, FW, *Cálculos de Indutância.* Dover (reimpressão de 2009 do clássico de 1946). Fórmulas, tabelas e gráficos para a indutância de praticamente qualquer coisa.

Hnatek, ER, *Projeto de fontes de alimentação de estado sólido.* Van Nostrand Reinhold (1989). Troca de suprimentos.

MacFadyen, KA, *Pequenos Transformadores e Indutores.* Chapman & Hall (1953). Aprenda como calcular a indutância de idade de vazamento em seus transformadores.

Maniktala, S., *Fontes de alimentação comutadas: A a Z.* Newnes (2ª ed, 2012). Preenchido com material incomum útil, como design magnético com a importantíssima análise de perda de resistência AC.

Pressman, A., Billings, K., e Morey, T., *Switching Power Supply Design.* McGraw-Hill (3ª ed., 2009). Livro abrangente padrão para um curso introdutório de duas semanas em design SMPS.

Rogers, G. e Mayhew, Y., *Engenharia Termodinâmica: Trabalho e Transferência de Calor.* Prentice-Hall (4ª ed, 1996). Desenvolver uma melhor compreensão do gerenciamento térmico em eletrônica.

Snelling, EC, *Soft Ferrites.* Butterworth-Heinemann (2ª ed, 1988). A bíblia do projeto de indutores e transformadores.

Óptica e Luz

Friedman, E. e Miller, JL, *Photonics Rules of Thumb: Optics, Electro-Optics, Fiber-Optics e Lasers.* McGraw-Hill (2003). O que *isso* está fazendo aqui? Bem, é uma incrível coleção de coisas legais, tanto sérias quanto quixotescas (por exemplo, “grilos como termômetros”).

Graeme, JG, *Photodiode Amplifiers: Op Amp Solutions.* McGraw-Hill (1995). O low-down em amplificadores de simpedância tran.

Hobbs, PCD, *Building Electro-Optical Systems: Making It All Work.* Wiley (2ª ed., 2009). Grande equilíbrio entre teoria e prática.

Lenk, R. e Lenk, C. *Projeto prático de iluminação com LEDs.* Wiley (2011).

Schubert, EF *Diodos emissores de luz.* Cambridge University Press (2ª ed., 2006). Física de dispositivos LED, dispositivos práticos, física de cores.

Yariv, A., *Introdução à Eletrônica Óptica.* Rinehart e Winston (1976). Física da opto-eletrônica, lasers e detecção.

Digital de alta velocidade e RF

Hagen, JB, *Radio-Frequency Electronics: Circuits and Applications.* Cambridge University Press (2ª ed., 2009). Refrescantemente diferente, uma visão por página.

Johnson, H. e Graham, M., *Design Digital de Alta Velocidade: Um Manual de Magia Negra.* Prentice-Hall (1993). Ringing, cross-talk, ground bounce, etc. – obrigatório se você estiver fazendo design digital rápido.

Johnson, H. e Graham, M., *High Speed Signal Propagation: Advanced Black Magic.* Prentice-Hall (2003). Técnicas para ultrapassar os limites da transmissão de sinal de alta velocidade.

Johnson, RC, ed., *Antenna Engineering Handbook.* McGraw-Hill (3ª ed., 1992). Tabelas abrangentes e excelentes e informações de design.

Krauss, JD e Marhefka, RJ, *Antenas para todas as aplicações.* McGraw-Hill (3ª ed., 2001). Texto altamente legível e utilizável.

Ramo, R., Whinnery, JR e Van Duzer, T., *Campos e Ondas em Comunicação Eletrônica.* Wiley (3ª ed., 1994). Um texto clássico sobre eletricidade e magnetismo, com ênfase nas comunicações.

Roy, K. e Prasad, S., *Projeto de circuito CMOS VLSI de baixa potência.* Wiley (2000).

Sevick, J., *Transmission Line Transformers.* Noble (4ª ed., 2001). Guia prático para entender e construir transformadores de RF.

Processamento e Comunicação de Sinais Digitais

Bracewell, RN, *A transformada de Fourier e suas aplicações.* McGraw-Hill (3ª ed., 1999). O clássico neste campo.

Brigham, EO, *The Fast Fourier Transform and its Applications.* Prentice-Hall (1988). Altamente legível.

Oppenheim, AV e Schafer, RW, *Discrete-Time Signal Processing.* Prentice-Hall (3ª ed., 2009). Clássico bem recebido em análise de sinal digital.

Sklar, B., *Comunicações Digitais: Fundamentos e Aplicações.* Prentice-Hall (2ª ed., 2001). Bela introdução a todos os aspectos das comunicações digitais.

Lógica, Conversão e Sinal Misto

Melhores, RE, *Loops bloqueados por fase.* McGraw-Hill (6ª ed., 2007). Técnicas avançadas.

Brennan, PV, *Phase-Locked Loops: Princípios e Practice.* McGraw-Hill (1966).

Gardner, FM, *Técnicas de Phaselock.* Wiley (1979). O livro clássico de PLL: ênfase nos fundamentos.

Kester, E., ed., *The Data Conversion Handbook.* Newnes (2004). Inclui um excelente histórico de conversão de dados e amplos detalhes sobre as nuances de conversão, tempo, largura de banda, etc.

Lancaster, D., *CMOS Cookbook.* Howard W. Sams & Co. (2ª ed., 1997). Boa leitura, aplicações realistas. Inclui amplamente utilizado (mas raramente mencionado) Técnica M2L (lógica do Mickey Mouse).

Rohde, UL, *sintetizadores digitais de frequência PLL.* Prentice-Hall (1983). Teoria e muitos detalhes do circuito.

Sheingold, DH, ed., *Transducer Interface Handbook.* Dispositivos analógicos (1980).

Computadores e Programação

Hancock, L. e Krieger, M., *The C Primer.* McGraw-Hill (1982). Introdução para iniciantes.

Harbison, SP e Steele, GL, Jr., *C: A Reference Man ual.* Prentice-Hall (1987). Legível e definitivo; tem extensões ANSI.

Wescott, T., *Applied Control Theory for Embedded Systems.* Newnes (2006). Do autor de *PID sem Ph.D.*

Diversos

Gratzer, G., *Mais Matemática no LATEX.* Springer (4ª ed., 2007). Melhor referência única sobre composição com LATEX (a linguagem de composição de software na qual este livro foi escrito).

Kleppner, D. e Ramsey, N., *Quick Calculus.* Wiley (2ª ed., 1985). O título é honesto, é a maneira mais rápida de aprender cálculo. Não se deixe levar pela safra do livro (ei, o próprio cálculo remonta a quase quatro séculos).

O OSCILOSCÓPIO

APÊNDICE **O**

O osciloscópio ("escopo" para abreviar) é, de longe, o instrumento de teste de circuito eletrônico mais útil e versátil.[1] Como normalmente usado, ele permite que você "veja" as tensões em um circuito em função do tempo, disparando em um ponto específico da forma de onda para que o resultado seja uma exibição estacionária. Os osciloscópios contemporâneos são quase invariavelmente *digitais* (os sinais de entrada são digitalizados, processados e exibidos) e fazem (e geralmente *melhor)* o que seus ancestrais analógicos faziam. Para entender como usar um osciloscópio, achamos melhor começar com o tradicional (e quase extinto) osciloscópio *analógico* de 2 canais , para o qual desenhamos um diagrama de blocos (Figura O.1) e painel frontal típico (Figura O.2). Os osciloscópios digitais carregam quase todos os seus recursos, aos quais adicionam uma impressionante variedade de recursos (e alguns perigos).

O.1 O osciloscópio analógico

O.1.1 Vertical

Começando com as entradas de sinal, a maioria dos osciloscópios analógicos tem dois canais; isso é muito útil, porque muitas vezes você precisa ver a relação entre os sinais. Cada canal possui uma chave de ganho calibrada, que define a escala de 2 **VOLTS/DIVISÃO** *na tela*. Há também um botão de ganho **VARI ABLE** (concêntrico com a chave de ganho) caso você queira definir um determinado sinal para um certo número de divisões. Aviso: certifique-se de que o botão de ganho variável esteja na posição "calibrado" ao fazer medições de tensão! É fácil esquecer. Os melhores osciloscópios têm luzes indicadoras para avisá-lo se o botão de ganho variável estiver fora da posição calibrada.

O osciloscópio é acoplado em CC, uma característica essencial: o que você vê na tela é a tensão do sinal, valor CC e tudo. Às vezes, você pode querer ver um pequeno sinal em uma grande tensão CC; nesse caso você pode trocar a entrada para **AC COUPLING,** que acopla capacitivamente a entrada com uma constante de tempo de cerca de 0,1 segundo. A maioria dos osciloscópios também possui uma posição de entrada aterrada, que permite ver onde zero volts está na tela. (Na posição **GND ,** o sinal não está em curto com o terra, apenas desconectado do osciloscópio, cuja entrada é aterrada.) As entradas do osciloscópio são geralmente de alta impedância (1Mÿ em paralelo com cerca de 20 pF), como qualquer bom instrumento de medição de tensão deve ser.[3] A resistência de entrada de 1 Mÿ é um valor preciso e universal, de modo que pontas de prova de atenuação de alta impedância podem ser usadas (como será descrito mais adiante); infelizmente, a capacitância paralela não é padronizada, o que é um pouco incômodo ao trocar as pontas de prova.

Os amplificadores verticais incluem um controle **POSITION** vertical , um controle **INVERT** em pelo menos um dos canais e um switch **INPUT MODE .** O último permite que você veja um canal, sua soma (sua diferença, quando um canal é invertido) ou ambos. Há duas maneiras de ver ambos: **AL TERNATE,** em que entradas alternativas são exibidas em varreduras sucessivas do traço, e **CHOPPED,** em que o traço salta para frente e para trás rapidamente (0,1–1 MHz) entre os dois sinais. O modo **ALTERNATE** é geralmente melhor, exceto para sinais lentos. Muitas vezes é útil ver os sinais de ambas as maneiras, para ter certeza de que você não está sendo enganado.

O.1.2 Horizontal

O sinal vertical é aplicado à eletrônica de deflexão vertical, movendo o ponto para cima e para baixo na tela. O sinal de varredura horizontal é gerado por um gerador de rampa interno, dando deflexão proporcional ao tempo. Tal como acontece com os amplificadores verticais, há um interruptor de **TEMPO/DIVISÃO** calibrado e um botão concêntrico **VARIÁVEL ;** o mesmo aviso declarado anteriormente se aplica aqui.
A maioria dos osciloscópios tem um **MAGNIFIER** de **10 ×** e também permite que você use um dos canais de entrada para deflexão horizontal (isso permite gerar aqueles amados, mas geralmente inúteis

[1] Às vezes é dito que os praticantes de outras disciplinas de engenharia são especialmente invejosos dos EEs, porque somos abençoados com um instrumento tão esplêndido para visualizar os acontecimentos em nossos circuitos.

[2] Observe que os dois canais podem ser configurados para diferentes fatores de escala, deslocamentos e acoplamento. Isso vale também para osciloscópios digitais, que geralmente possuem quatro canais.

[3] Osciloscópios destinados a medições de alta frequência, indo além de 100 MHz, digamos, também oferecem uma opção de impedância de entrada de 50ÿ.

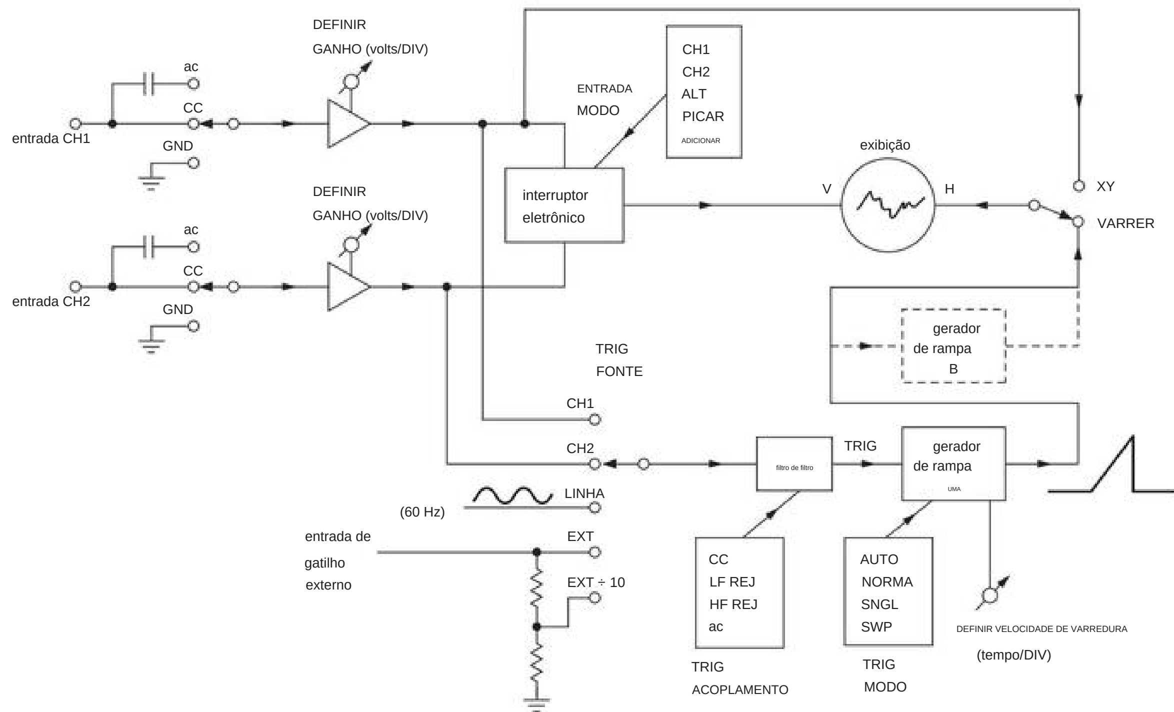


Figura O.1. Diagrama de blocos de um osciloscópio analógico de 2 canais.

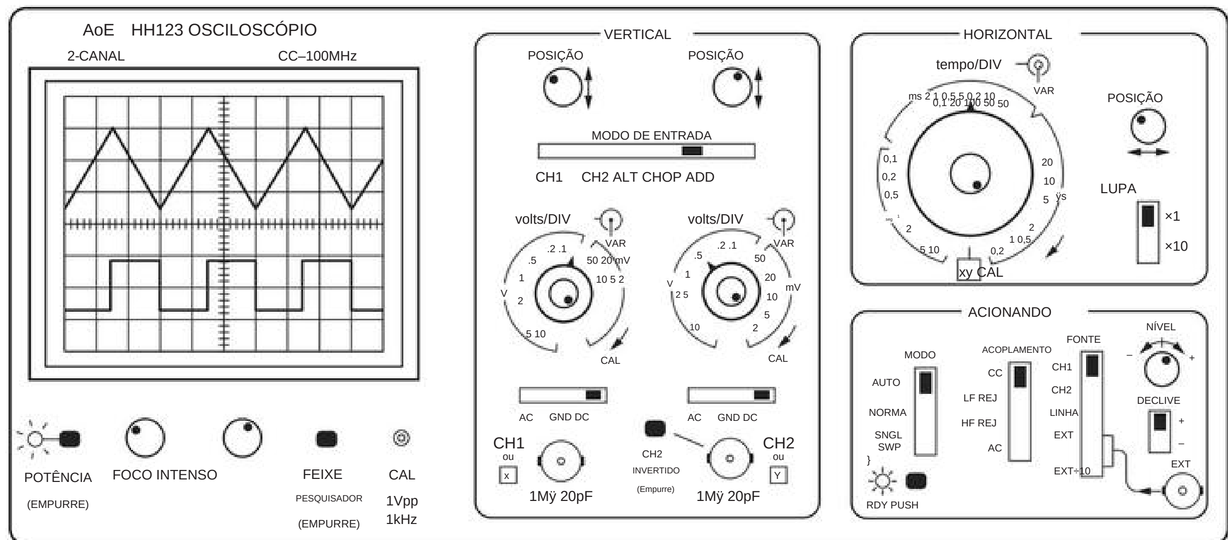


Figura O.2. Retrato de um osciloscópio analógico de 2 canais.

"figuras de Lissajous" apresentadas em livros elementares e filmes de ficção científica).

O.1.3 Acionamento

Agora vem a parte mais complicada: *acionar.* Temos sinais verticais e varredura horizontal; isso é necessário para um gráfico de tensão versus tempo. Mas se a varredura horizontal não pegar o sinal de entrada no mesmo ponto em sua onda

forma a cada vez (assumindo que o sinal é repetitivo), a exibição será uma bagunça – uma imagem da forma de onda de entrada superposta sobre si mesma em momentos diferentes. O circuito de disparo permite selecionar um **LEVEL** e **SLOPE** (+ ou ÿ) na forma de onda para iniciar a varredura. Você pode ver no painel frontal que tem várias opções sobre as fontes e o modo de disparo. O modo **NORMAL** produz uma varredura somente quando a fonte selecionada cruza o ponto de disparo que você definiu, movendo-se na direção **(SLOPE)** que você selecionou. Na prática, você ajusta o controle de nível para uma exibição estável. Em **AUTO ,** a varredura irá "correr livremente" se nenhum sinal estiver presente; isso é bom se o sinal às vezes cair para valores pequenos, já que o display não vai desaparecer e fazer você pensar que o sinal foi embora. É o melhor modo a ser usado se você estiver olhando para vários sinais diferentes e não quiser se preocupar em definir o gatilho a cada vez. **SINGLE SWEEP** é usado para sinais não repetitivos. **LINE** faz com que a varredura seja acionada na linha de energia CA, útil se você estiver observando um zumbido ou ondulação em um circuito. As entradas de trigger **EXTERNAL** são usadas se você tiver um sinal limpo disponível na mesma taxa que algum sinal "sujo" que você está tentando ver; é freqüentemente usado em situações onde você está dirigindo algum circuito com um sinal de teste, ou em circuitos digitais onde algum sinal de "relógio" sincroniza as operações do circuito. Os vários modos de acoplamento são úteis ao visualizar sinais compostos; por exemplo, você pode querer olhar para um sinal de áudio de alguns quilohertz que tenha alguns picos. A posição **HF REJ** (rejeição de alta frequência) coloca um filtro passa-baixo na frente do circuito de disparo, evitando disparos falsos nos picos. Se os picos forem interessantes, você pode acioná-los na posição **LF REJ .**

Muitos osciloscópios agora têm controles **BEAM FINDER** e **TRIGGER VIEW .** O localizador de feixe é útil se você estiver perdido e não conseguir encontrar o rastro; é um dos favoritos dos iniciantes. A visualização do acionador exibe o sinal do acionador; é especialmente útil ao disparar de fontes externas.

O.1.4 Dicas para iniciantes

Às vezes é difícil conseguir *algo* para mostrar no escopo. Comece ligando o osciloscópio; defina o acionamento para **AUTO, DC COUPLING, CH** 1. Defina a velocidade de varredura em 1 ms/div, cal e o ampliador desligado (×1). Aterre as entradas verticais, aumente a intensidade e mexa o controle de posição vertical até que uma linha horizontal apareça (se você tiver problemas neste ponto, tente o localizador de feixe).[4] Agora você pode aplicar um sinal, não aterrado a entrada e mexer no gatilho. Familiarize-se com a aparência das coisas quando o ganho vertical é muito alto, quando a velocidade de varredura é muito rápida ou lenta e quando o gatilho é ajustado incorretamente.

[4] Curiosamente, alguns osciloscópios (por exemplo, o outrora popular série Tektronix 400) não varrem em **AUTO ,** a menos que o nível de disparo seja ajustado corretamente.

O.1.5 Sondas

A capacitância de entrada do osciloscópio vista por um circuito em teste pode ser indesejavelmente alta, especialmente quando o cabo de conexão blindado necessário está incluído. A impedância de entrada resultante (1Mÿ em paralelo com 100 pF ou mais) geralmente é muito baixa para circuitos sensíveis e carrega-os pela ação usual do divisor de tensão; por exemplo, a 10 MHz, uma carga de 100 pF parece 160 ÿ – ai! Pior ainda, a capacitância pode fazer com que alguns circuitos se comportem mal, a ponto de entrar em oscilação. Nesses casos, o osciloscópio obviamente não está agindo como o instrumento de medição "low-profile" que esperamos; é mais como um touro em uma loja de porcelana.

A solução usual é o uso de "sondas" de alta impedância. De forma simplificada,[5] a popular sonda de 10× funciona conforme mostrado na Figura O.3. Em CC, é apenas um divisor de tensão de 10 ×. Ajustando C1 para ser a capacitância paralela de C2 e C3, o circuito se torna um divisor de 10× em todas as frequências, com impedância de entrada de 10Mÿ em paralelo com alguns picofarads. Na prática, você ajusta a ponta de prova observando uma onda quadrada de cerca de 1 kHz, disponível em todos os osciloscópios como **CALIB** ou **PROBE ADJ,** configurando o capacitor na ponta de prova para uma onda quadrada limpa sem overshoot. Às vezes, o ajuste é habilmente escondido; em algumas sondas você torce o corpo da sonda e trava apertando uma segunda parte roscada. Uma desvantagem: uma sonda de 10× dificulta a observação de sinais de apenas alguns milivolts; para essas situações, use uma "ponta de prova 1×", que é simplesmente um comprimento de cabo blindado de baixa capacitância com o hardware de ponta de prova usual (fio "agarrador", clipe de aterramento, belo cabo recartilhado, etc.). A sonda 10× deve ser a sonda padrão, deixada conectada ao osciloscópio, com a sonda 1× usada quando necessário. Algumas pontas de prova apresentam uma opção conveniente de atenuação de 1× ou 10×, comutável na ponta da sonda.

Mesmo com uma sonda de 10×, a carga do circuito pode ser inaceitável; afinal, sua melhoria é apenas o mesmo fator de dez pelo qual atenua o sinal de entrada. Você *pode* obter sondas 100×, com entrada correspondentemente maior

[5] Na prática, o próprio cabo é feito de fio de resistência, para amortecer os efeitos da linha de transmissão (picos de frequência e reflexões transitórias, consulte o Apêndice H), uma elegante invenção de 1959 de Kobbe e Polits (Patente dos EUA 2.883.619); você também vê truques como uma série *RC* nos terminais do osciloscópio (por exemplo, 500 ÿ e um capacitor trimmer), para fornecer uma correspondência de linha de transmissão em altas frequências.

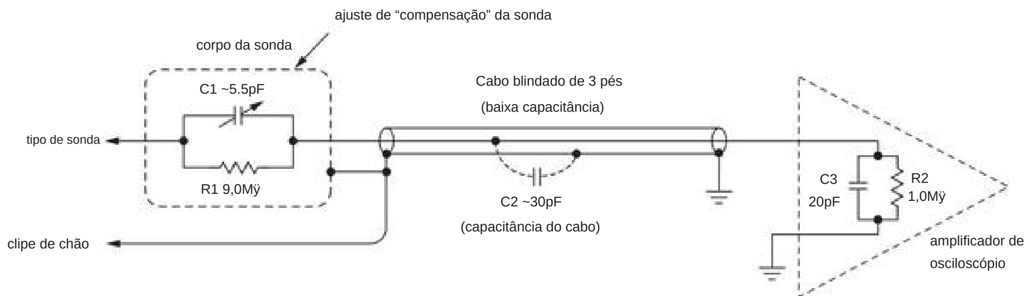


Figura O.3. Uma sonda de osciloscópio passivo de 10× atenua os sinais por um fator de dez em todas as frequências, aumentando convenientemente a impedância de entrada pelo mesmo fator. (Na prática, truques adicionais são usados para suprimir os efeitos da linha de transmissão, veja o texto.)

impedância (por exemplo, a série Tektronix P5100), mas destinam-se principalmente à visualização de sinais de alta tensão (o osciloscópio em si geralmente é limitado a um máximo de ± 400 V no conector de entrada) e não se destacam em recursos importantes, como como tamanho físico pequeno. O que você faz, em vez disso, é usar uma *ponta de prova ativa,* que usa um seguidor FET na ponta para atingir uma capacitância de entrada <1 pF.6 As pontas de prova ativas, destinadas ao uso de banda larga, destinam-se a conduzir uma entrada de 50 ÿ (disponível na maioria dos osciloscópios de alta velocidade; caso contrário, conecte um terminador de passagem de 50 ÿ); eles requerem uma fonte de alimentação, disponível no conector de entrada do osciloscópio (em osciloscópios digitais) ou fornecida por uma caixa autônoma como o Tek tronix 1103.

Qualquer discussão sobre sondas seria incompleta sem uma menção às sondas de *corrente :* esses dispositivos práticos, quando presos em torno de um fio em algum circuito, convertem a corrente do circuito em uma forma de onda de tensão que é exibida no osciloscópio. As pontas de prova de corrente mais simples são inerentemente acopladas em CA (envolvem um enrolamento secundário em torno de um núcleo magnético dividido que envolve o fio de uma volta “primário”) e, portanto, não detectam a corrente CC; os tipos mais sofisticados usam uma combinação de efeito Hall e acoplamento de transformador para obter resposta até CC. Exemplos deste último são o Tektronix A622 (dc a 100 kHz) e o TCP312A (dc a 100 MHz); o último requer o amplificador TCPA300 am correspondente.

O.1.6 Motivos

Como acontece com a maioria dos instrumentos de teste, a entrada do osciloscópio refere-se ao aterramento do instrumento (a conexão externa dos conectores BNC de entrada), que geralmente é ligada eletricamente ao gabinete. Isso, por sua vez, se conecta ao fio terra da linha de alimentação CA, por meio do cabo de alimentação de 3 fios. Isso significa que você não podem medir tensões entre os dois pontos arbitrários em um circuito, mas são forçados a medir sinais relativos a esse terra universal.

Um cuidado importante é necessário aqui: se você tentar conectar o clipe de aterramento de uma ponta de prova do osciloscópio a um ponto do circuito que esteja em alguma tensão em relação ao aterramento, você acabará causando um curto-circuito com o aterramento. Isso pode ter consequências desastrosas para o circuito em teste; além disso, pode ser totalmente perigoso com circuitos que são “quentes ao solo” (por exemplo, fontes de alimentação de comutação alimentadas por linha). Se for imperativo observar o sinal entre dois pontos, você pode fazer uma medição diferencial invertendo um canal de entrada e alternando para ADD, ou pode usar um pré-amplificador diferencial externo (por exemplo, o LeCroy DA1855A). Em situações desesperadoras, sabemos que “flutuamos” o osciloscópio levantando o cabo de aterramento no cabo de alimentação, mas isso *não é recomendado,* a menos que você realmente saiba o que está fazendo (e concorde em renunciar a qualquer responsabilidade de nossa parte) .

Outro cuidado com os aterramentos ao medir sinais fracos ou altas frequências: certifique-se de que o aterramento do osciloscópio seja o mesmo do circuito em que você está medindo. A melhor maneira de fazer isso é conectando o fio terra curto no corpo da ponta de prova diretamente ao terra do circuito,7 então verificando medindo a tensão de “terra” com a ponta de prova, observando nenhum sinal. Um problema com este esquema é que aqueles clipes de terra curtos geralmente estão faltando, perdidos! Mantenha seus acessórios de sonda em uma gaveta em algum lugar.

O.1.7 Outros recursos do osciloscópio analógico

Muitos osciloscópios têm um **DELAYED SWEEP** que permite ver um segmento de uma forma de onda ocorrendo algum tempo depois do ponto de disparo. Você pode discar o atraso com precisão com um ajuste de várias voltas e um segundo interruptor de velocidade de varredura. Um atraso

6 Um de nossos favoritos é o Tektronix P6243, <1 pF e largura de banda de 1 GHz.

7 Veja as ilustrações na Figura 12.32

o modo conhecido como **A INTENSIFIED BY B** permite exibir toda a forma de onda na primeira velocidade de varredura, com o segmento atrasado iluminado; isso é útil durante a configuração. Osciloscópios com varredura atrasada às vezes têm "varredura mista", na qual o traço começa em uma velocidade de varredura e, em seguida, muda para uma segunda velocidade (geralmente mais rápida) após o atraso selecionado.
Outra opção é iniciar a varredura atrasada imediatamente após o atraso selecionado ou no próximo ponto de disparo após o atraso; existem dois conjuntos de controles de acionamento, portanto, os dois pontos de acionamento podem ser definidos individualmente. (Não confunda varredura atrasada com "atraso de sinal". Todos os bons osciloscópios analógicos têm um atraso no canal de sinal, para que você possa exibir o evento que causou o disparo; permite que você olhe um pouco para trás no tempo! Veja as fotos das linhas de atraso analógicas nas Figuras H.19 e H.21).

Uma característica comum dos osciloscópios analógicos é um controle **TRIGGER HOLDOFF ;** ele inibe o disparo por um intervalo ajustável após cada varredura e é muito útil ao visualizar formas de onda complicadas sem a simples periodicidade de, digamos, uma onda senoidal. O caso usual é uma forma de onda digital com uma sequência complicada de 1s e 0s, que não gerará uma exibição estável de outra forma (exceto pelo ajuste do vernier de velocidade de varredura, o que significa que você não obtém uma varredura calibrada).

Todos os osciloscópios (analógicos e digitais) incluem algumas opções de amplificador vertical **BAND WIDTH LIMIT** (para simplificar, não mostrado nas Figuras O.1 e O.2), úteis para reduzir a quantidade de "fuzz" de banda larga no traço exibido quando você está trabalhando com sinais relativamente lentos.

Durante o auge da era dos osciloscópios analógicos, você podia obter osciloscópios com "armazenamento" na tela (para captura de tomada única) e osciloscópios com uma impressionante variedade de módulos plug-in que permitem fazer muitas coisas interessantes, incluindo a exibição de oito traços, ou análise de espectro, ou medições precisas (digitais) de tensão e tempo em formas de onda e assim por diante. Felizmente, essas funções e muitas outras (por exemplo, olhar para trás no tempo a partir do evento de disparo) estão agora incorporadas na espécie de osciloscópio dominante, o osciloscópio *digital* . Vamos dar uma olhada.

O.2 O osciloscópio digital

Os osciloscópios analógicos são fáceis de usar, mas limitam seriamente o que você pode fazer. Por exemplo, (a) é difícil ver um evento "single-shot"; (b) você não pode armazenar um rastreamento ou comparar um rastreamento ativo com um rastreamento anterior; (c) você não pode extrair um traço para medição ou ilustração; e (d) você não pode olhar para trás no tempo para ver o que aconteceu antes do evento desencadeador.

Os osciloscópios digitais fornecem sem esforço estes e muitos outros capacidades; e, por causa da impressionante capacidade e baixo custo de conversão e processamento digital, eles são, ironicamente, mais baratos do que um osciloscópio analógico (se você puder encontrar um) de largura de banda comparável. A transição para osciloscópios digitais capazes e amigáveis foi difícil no início, mas agora eles são onipresentes e universais.

O esquema básico (Figura O.4) é digitalizar o sinal de entrada após os estágios frontend de ganho programável e limitação de largura de banda, capturar as amostras em um buffer de memória circular rápido e, em seguida, usar um processador (ou vários processadores) para fazer todo o processamento de sinal, medições, conversão para uma exibição significativa, interface de usuário e E/S.

Manteremos esta seção breve e apenas examinaremos alguns recursos dos osciloscópios digitais.

O.2.1 O que há de diferente?

Em nenhuma ordem particular:

Front-end: O sinal que emerge dos amplificadores de entrada (ganho variável) é digitalizado em alguma taxa de amostragem fsamp (normalmente 1 Gsps ou mais, mas sempre acima da taxa mínima de Nyquist de 2 fmax quando o osciloscópio é definido em varredura rápida o suficiente taxas para resolver a largura de banda do osciloscópio (fmax. Mas – **importante** – veja "aliasing," abaixo). As amostras digitais, normalmente com resolução de 8 bits, são armazenadas em velocidade total em uma *memória de amostra* (ou "memória de captura"), geralmente com comprimento de 1 Mpt ou mais por canal (e atingindo 1 Gpt no limite superior). Observe que, embora os osciloscópios digitais permitam ampliar após a captura de um traço, a resolução depende do fator de escala vertical, devido à profundidade de bits fixa da conversão.

Simultâneo em todos os canais: Os escopos digitais digitalizam todos os canais simultaneamente; não há "alternativo" ou "corte". A maioria dos osciloscópios digitais vem em tipos de 2 ou 4 canais, aumentados em osciloscópios de "sinal misto" por dezesseis ou mais canais de 1 bit (isto é, nível lógico).

Pré-disparo: Como os sinais de entrada digitalizados estão sendo despejados na memória, você pode definir uma condição de disparo (mais simples, nível e inclinação; mas consulte "Acionador inteligente" abaixo) e, quando estiver satisfeito, você terá um pré-acionamento substancial. -história na memória de amostra. Do ponto de vista do usuário, você pode simplesmente definir o ponteiro do gatilho exibido para a parte direita da tela para revelar o que veio antes. E você pode andar para trás ou para a frente para o conteúdo do seu coração através de uma captura única salva (consulte "Captura única", abaixo).

Exibição: O intervalo de tempo entre os pontos na forma de onda exibida (o "intervalo da forma de onda") é normalmente mais longo (muitas vezes muito mais longo) do que o intervalo de *amostragem*

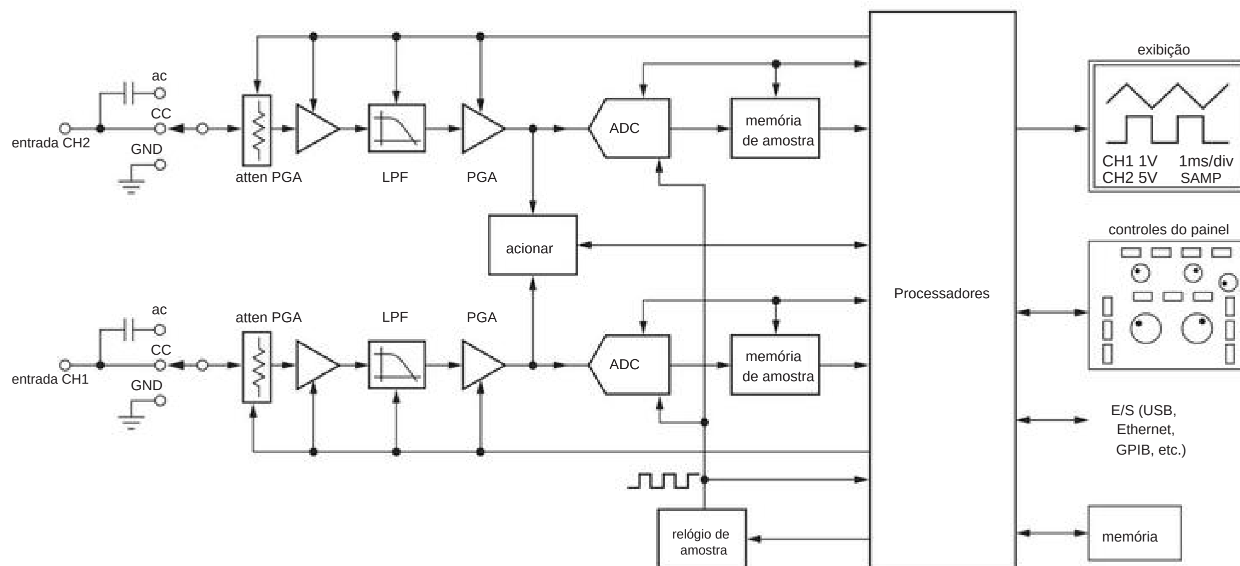


Figura O.4. Diagrama de blocos de um osciloscópio digital de 2 canais.

1/ fsamp. Isso permite vários modos de processamento dos pontos amostrados para produzir a forma de onda exibida, em particular: é exibido um ponto de **amostra** por intervalo da forma de onda; os demais são descartados. Simples, mas suscetível a aliasing, veja abaixo. **detecção de pico** são exibidos os pontos amostrados mais alto e mais baixo em dois intervalos de forma de onda sucessivos.

Produz uma forma de onda mais espessa, mas nenhum pico curto é perdido.

envelope semelhante à detecção de pico, mas combina min/max de múltiplas aquisições acionadas. Útil para ver as excursões de uma forma de onda repetitiva ideal. **média de** cada ponto na forma de onda exibida é a média calculada de amostras individuais (como no modo de amostra) sobre muitas (um número configurável, por exemplo, 2, 4, 8, . . . 512) aquisições acionadas. Reduz muito o ruído, sem reduzir a largura de banda, mas requer um sinal repetitivo. **alta resolução,** cada ponto exibido é calculado como o valor médio das várias amostras capturadas em um intervalo de forma de onda. Fornece maior resolução e não requer um sinal repetitivo, mas reduz a largura de banda.8

8 Você pode pensar nisso como uma "média horizontal" ao longo de uma captura de forma de onda, em comparação com a "média vertical" de pontos de amostra únicos em formas de onda empilhadas sucessivas no modo de *média* .

Persistência: Engenheiros com barbas grisalhas são poéticos sobre as belas gradações de intensidade com as quais os osciloscópios analógicos exibem formas de onda. Os escopos digitais demoraram um pouco para alcançar, mas agora eles alardeiam sua capacidade de fazer o mesmo, com termos como "fósforo digital", "traço de persistência" e "persistência digital".

Captura de disparo único: os escopos digitais se destacam na captura de disparo único. Você pode vasculhar os dados amostrados após a captura, manualmente (girando os botões de rolagem e ampliação) ou com algumas ferramentas de pesquisa automatizadas úteis (por exemplo, "Wave Inspector" da Tektronix – o nome diz tudo).

Varredura lenta: os osciloscópios analógicos são inúteis quando você deseja visualizar uma forma de onda que leva muitos segundos; escopos digitais não poderiam se importar menos. Use o "modo de rolagem" em taxas de varredura lentas.

Save/Recall: Você pode salvar uma ou mais formas de onda na memória, trazê-las de volta para comparação, etc. Você também pode salvar o *estado* do osciloscópio (ou seja, configurações).

Medições: Os dados estão todos lá, então os osciloscópios digitais não têm problemas para medir período, frequência, amplitude, intervalo de tempo, ciclo de trabalho, etc. Essas medições geralmente são atualizadas continuamente e você pode usar cursores horizontais e verticais configuráveis para definir a medida

regiões e intervalos de mento.

Matemática: Indo além, os osciloscópios digitais permitem calcular produtos (por exemplo, para medir potência de tensão e corrente), quocientes (para normalizar uma forma de onda), jitter, histogramas, espectros de frequência, etc. Possibilidades quase ilimitadas,

mas você pode preferir extrair os dados e fazer as contas offline.

E/S: você pode enviar formas de onda e dados (via Ethernet conectada ou qualquer outro) e pode controlar as operações do osciloscópio remotamente. Um sistema de aquisição de dados em rede!

Sinal misto: Muitos osciloscópios digitais vêm com vários canais de 2 níveis (normalmente 16 ou 32) junto com os 2 ou 4 canais de resolução total; então ele funciona como um analisador lógico, mas aumentado por alguns canais de visualização clara da forma de onda. Como em um analisador lógico tradicional, você pode disparar em um conjunto definido de níveis e pode fazer decodificação de barramento, disparo de barramento e outras coisas sofisticadas para você.

Gatilho inteligente: bons osciloscópios digitais permitem que você dispare em praticamente qualquer condição que você possa imaginar: largura de pulso <, >, = ou = para algum valor; pulsos fracos e falhas; configurar ou manter violações de tempo; faixa especificada de tempos de subida ou descida; condições ou violações especificadas em barramentos seriais; disparar após *n* eventos; e assim por diante. (confira a leitura agradável em uma folha de dados da Tektronix, LeCroy, Keysight/Agilent ou Rohde & Schwarz)

Teste de limite/máscara: você pode configurar um modelo e detectar formas de onda fora da especificação, para testes Go/No-Go em uma linha de produção; idem para jitter e outros parâmetros mensuráveis.

Autoset: É fácil se perder neste deserto multidimensional; os osciloscópios digitais fornecem um botão de resgate (configuração automática, dimensionamento automático ou alguma variante lingüística, dependendo do fabricante), que pelo menos fará algo acontecer na tela (mas veja os Cuidados, a seguir).

Probe skew: Quando você está usando vários sistemas de sondagem diferentes (por exemplo, sonda 10× passiva, sonda FET ativa, sonda de corrente), os atrasos do sinal podem variar em dezenas de nanossegundos ou mais, interrompendo completamente a fidelidade da exibição multicanal (ei, você pode ser levado a pensar que está violando a causalidade – o efeito precede a causa![9]).

Leitura da **ponta de prova, Potência da ponta de prova:** As pontas de prova para uso com osciloscópios digitais contemporâneos têm conexões extras pelas quais comunicam seu fator de atenuação (×1, ×10, ×100) e outras informações úteis do fator de escala (por exemplo, os amperes/div de uma corrente sonda); eles usam essas conexões também para enviar energia para a ponta de prova (necessária, por exemplo, com pontas de prova de tensão ativas FET ou pontas de prova de corrente de efeito Hall). Isso pode ser um aborrecimento, no entanto, se os conectores de entrada do seu osciloscópio estiverem no formato errado (o que acontece mesmo dentro das ofertas de escopo de um fabricante).

[9] Assim como o protagonista do delicioso conto de Asimov de 1960: *Thiotimoline and the Space Age.*

O.2.2 Alguns cuidados

Não há muito o que não gostar nos osciloscópios digitais. Mas aqui estão alguns cuidados, maneiras pelas quais um osciloscópio digital pode enganar os incautos.

A. Aliasing Isso pode enganar até mesmo o usuário experiente de osciloscópio: os osciloscópios digitais são projetados de forma que a taxa *máxima* de amostragem seja sempre adequada para sinais até a largura de banda total do osciloscópio; mas quando você está executando em uma taxa de varredura mais lenta no modo "sample" (ou seja, uma amostra por ponto de forma de onda exibido), a taxa de amostragem efetiva é muito menor. Portanto, você pode ver algumas bobagens sérias (sinal instável instável, incapacidade de disparar, mudança estranha de forma de onda quando a taxa de varredura é alterada, etc.) se houver um sinal de alta frequência presente.[10] Se você suspeitar de aliasing, tente acelerar a varredura ou mudando para o modo **PEAK DETECT .** O aliasing pode ser realmente irritante quando você está lidando com sinais que combinam escalas de tempo (o clássico era a televisão analógica, com uma portadora de cor de 3,59 MHz em uma frequência de linha horizontal de aproximadamente 15 kHz).

B. Tempo morto

Para a percepção visual humana, é necessário atualizar a exibição do osciloscópio em apenas aproximadamente 100 vezes por segundo. Se o osciloscópio capturar dados de forma de onda de entrada apenas nessa taxa, a fração de tempo em que é sensível a eventos de sinal importantes (como uma falha ou violação de tempo) pode ser extremamente baixa. Por exemplo, em uma taxa de varredura intermediária de 1 s/ÿdiv (portanto, 10 s por varredura), um osciloscópio que atualiza 100 vezes/segundo fica ÿ ativo apenas 0,1% do tempo.

Quando os usuários de osciloscópios ficaram sabendo desse segredo feio, os fabricantes de osciloscópios o atacaram e agora fornecem alguma medida da taxa de atualização real (geralmente na forma de "formas de onda por segundo", geralmente na faixa de 100.000 a 1.000.000). Tenha cuidado ao avaliar tais métricas, porque há mais do que um pouco de "especificação" acontecendo.[11]

[10] Atrevemo-nos a admitir? Um dos autores estava testando um circuito que opera em frequências na faixa dos quilohertz, acionando-o com um gerador de função digital a 1,0 kHz. Saia para almoçar, volte, olhe para a forma de onda – o osciloscópio está quebrado, não dispara, forma de onda instável deslizando para a esquerda e para a direita. Esquisito. Tentei de tudo. Em seguida, notei que o gerador havia padronizado para sua configuração de 1,0 megahertz. Ha! Problema resolvido (e nunca direi a ninguém como fui burro).

[11] Pergunte ao seu vendedor de escopo, eles adoram inflamar a concorrência mentirosa.

C. Perdido em um espaço vetorial multidimensional

Os osciloscópios analógicos são simples e você pode ver o estado completo do instrumento apenas olhando para os botões giratórios e indicadores. Não tive essa sorte com as imensas capacidades dos osciloscópios digitais. Os primeiros osciloscópios digitais eram particularmente problemáticos, faltando anunciadores e (principalmente) botões. Eles melhoraram enormemente,12 mas ainda é muito fácil ficar sentado em frente a um endoscópio que simplesmente não está disparando ou mostrando sinais vitais significativos. É preciso uma intuição aguçada para saber qual menu abrir (horizontal? modo de gatilho??) para resolver o problema. Pode ser tão simples quanto disparar no canal errado; ou pode ser que você tenha deixado o display no modo **AVERAGING** e falta de um gatilho repetitivo estável ger produz um monte de lixo. E você pode até perder um minuto sem perceber que a coisa está no modo **SINGLE-SWEEP** ou **STOP .**

[12] Gostamos particularmente do recurso “QuickMenu” que foi introduzido pela Tektronix em seus escopos “lunchbox” originais da série TDS3000. Inexplicavelmente, esse recurso altamente útil foi eliminado (apesar de nossos uivos de protesto) nos escopos sucessores da Tek. Nós os atormentamos desde então.

D. O osciloscópio está mentindo para você Ao observar sinais com um osciloscópio digital, você pode ser vítima de uma bênção (uma vasta gama de recursos e configurações de medição) que se torna uma maldição (as configurações do osciloscópio não são o que você pensa). É fácil esquecer algumas configurações obscuras, mas importantes, que falsificam as medições que você acha que está fazendo. Por exemplo, é fácil esquecer (fizemos isso com frequência) que você deixou uma compensação anterior de **PROBE SKEW** em vigor ou que alguns canais ainda têm **BANDWIDTH LIMIT** definido. Esses descuidos corrompem suas medições de maneiras nada óbvias que você pode não perceber por um bom tempo; e quando o fizer, será condenado a cumprir pena repetindo as medições corretamente.

ACRÔNIMOS E ABREVIAÇÕES

APÊNDICE **P**

Os engenheiros elétricos gostam *(muito* , diriam alguns) de acrônimos e abreviações, uma familiaridade que todo projetista de circuitos instruídos deve necessariamente adquirir. Para auxiliar nessa educação e para referência útil, fornecemos aqui uma lista levemente anotada de termos usados neste livro.

ac: literalmente "corrente alternada" (ou seja, *tensão alternada);* mais geralmente um sinal variável AC(T): CMOS avançado (família lógica)

A/D: analógico para digital

ADC: conversor analógico para digital ADI: Analog Devices Inc.

AES: Audio Engineering Society AFC: controle automático de frequência AGC: controle automático de ganho AGF: fibra totalmente de vidro AHC(T): CMOS avançado de alta velocidade (família lógica)

ALS: Schottky avançado de baixa potência (família lógica)

ALU: unidade lógica aritmética (em um processador)

ALV: baixa tensão avançada (família lógica)

AM: modulação de amplitude ANSI: American National Standards Institute APD: fotodiodo de avalanche APF: fibra totalmente plástica ARM: uma arquitetura de processador popular da ARM Holdings ASIC: circuito integrado totalmente personalizado específico da aplicação ASCII: American Standard Code for Information

Intercâmbio

ASF: fibra totalmente de sílica

ASSP: produto padrão específico da aplicação

ATA: anexo de tecnologia avançada (uma interface de disco; consulte PATA, SATA)

ATAPI: interface de pacote ATA (um ATA generalizado)

ATE: equipamento de teste automatizado

ATM: modo de transferência assíncrona

ATSC: Comitê de Sistemas Avançados de Televisão (digital padrões de TV)

AUC: CMOS avançado de ultrabaixa tensão (família lógica)

AVC: CMOS (família lógica) de tensão avançada (baixa)

AVR: uma família de microcontroladores da Atmel Corp.

AWG: calibre de fio americano

AZ: zero automático

BBM: break-before-make (switch)

BCD: decimal codificado em binário

BGA: matriz de grade de esferas (um pacote IC)

BJT: transistor de junção bipolar

BNC: baioneta Neill–Concelman (conector)

BPSK: chaveamento de mudança de fase binária

BRT: transistor de resistor de polarização

BSS: serviços de transmissão por satélite

BV: tensão de ruptura

BW: largura de banda

C0G: dielétrico cerâmico de baixa temperatura (estável)

CA: acesso condicional

CAN: rede de área do controlador (barramento)

CANH: rede de área do controlador alta (um sinal CAN)

CANL: rede de área do controlador baixa (um sinal CAN)

CBR: taxa de bits constante (codificação)

CCD: dispositivo de carga acoplada

CCFL: lâmpada fluorescente de cátodo frio

CCM: modo de condução contínua (em um conversor de potência)

CD: disco compacto (armazenamento ótico)

CDMA: acesso múltiplo por divisão de código

CDR: relógio e recuperação de dados

CES: Consumer Electronics Show

CF: compact flash (cartão de memória)

CFB: feedback atual (op-amp)

CHE: canal de elétron quente

CLB: bloco lógico configurável

CML: lógica do modo atual

CMOS: semicondutor de óxido de metal complementar

CMRR: codec de taxa de rejeição de modo comum: codificador-decodificador

cPLD: dispositivo lógico programável complexo

CPU: unidade central de processamento

CR: retorno de carro

CRC: soma de verificação de redundância cíclica

CRT: tubo de raios catódicos

CSMA: acesso múltiplo com detecção de operadora

CSP: pacote de escala de chip

CTR: taxa de transferência atual

CTS: claro para enviar (em um link serial)

CVBS: vídeo composto, blanking e sincronização

CVSD: modulação delta de inclinação continuamente variável

DA: absorção dielétrica D/A:

digital para analógico DAC:

conversor digital para analógico DAQ:

sistema de aquisição de dados DBS: satélite
de transmissão direta dc: corrente contínua

(ou seja, uma tensão fixa)

DCE: equipamento de comunicação de dados (em um link serial)

DCM: modo de condução descontínua (em um conversor de potência)

DDR: taxa de dados dupla (memória)

DDS: síntese digital direta DFC:

conversor de frequência digital DIN:

Deutsches Institut fur Normung (uma organização alemã de
padrões); uma série de conectores DIP: pacote em linha

duplo DIR: direção (um sinal de controle)

DMA: acesso direto à memória DMM:

multímetro digital DNL: não-linearidade

diferencial DPCP: proteção de conteúdo

da porta de exibição DPDT: duplo polo duplo

(interruptor)

DRAM: memória dinâmica de acesso aleatório DSBGA:

matriz de grade de esferas do tamanho de uma matriz (um pacote IC)

DSL: linha de assinante digital (para dados por linha telefônica)

DSP: processamento de sinal digital (ou processador)

DSR: conjunto de dados pronto (em um link serial)

DTE: equipamento terminal de dados (em um link serial)

DTH: direto para casa (TV via satélite)

DTL: lógica diodo-transistor DTR:

terminal de dados pronto (em um link serial)
DUT: dispositivo em teste DVI:

interface visual digital (para vídeo digital)

DVM: voltímetro digital DVR:

gravador de vídeo digital

EAROM: memória somente leitura eletricamente alterável

EAS: especificação de energia de avalanche

ECL: lógica acoplada ao emissor

EEPROM: somente leitura programável apagável eletricamente
memória

EIA: Electronic Industries Alliance (normas e organização comercial)

EMF: força eletromotriz (ÿtensão)

EMI: interferência eletromagnética
ENOB: número efetivo de bits

EPROM: memória somente leitura programável e apagável

eSATA: interface SATA externa

ESD: descarga eletrostática

ESL: indutância série equivalente

ESR: resistência em série equivalente

ETF: 8 a 14 (codificação digital)

FCC: Federal Communications Commission FDNR: resistor

negativo dependente de frequência FED: exibição de emissão

de campo FET: transistor de efeito de campo FFS: comutação
de campo marginal (uma tecnologia de exibição LCD)

FFT: transformada rápida de Fourier

FG: porta flutuante FGA: matriz de

porta flutuante FIFO: primeiro a

entrar, primeiro a sair (memória)

FIR: resposta de impulso finito (filtro)

FM: modulação de frequência FN

Fowler–Nordheim tunelling FOT: transceptor

de fibra ótica FPBW: largura de banda de

potência total FPGA: matriz de portas

programável em campo FR-4: “retardador de

chamas 4” (material de PCB de epóxi de vidro)

FRAM (também FeRAM, F-RAM): memória ferroelétrica de
acesso aleatório FSB: barramento frontal (de um

processador de computador)

FSE: equivalente a luz solar total (você viu aqui primeiro!)

GAL: lógica de matriz genérica

GBP, GBW: produto ganho de largura de banda

GCC: compilador GNU C GCPW: guia de onda

coplanar aterrado GDT: tubo de descarga de gás

GIC: conversor de impedância generalizada GMR:

magnetorresistência gigante GND: terra GPIB:

barramento de interface de uso geral GPL :

linguagem de programação gráfica; licença pública

geral (em GNU)

GPS: sistema de posicionamento global

GPU: unidade de processador gráfico

GUI: interface gráfica do usuário

HAPD: fotodiodo de avalanche híbrido (detector)

HBM: modelo do corpo humano

HC(T): CMOS de alta velocidade (família lógica)

HDCP: proteção de conteúdo digital de banda larga
HDD: unidade de disco rígido

HDL: linguagem de descrição de hardware

HDMI: interface multimídia de alta definição (para exibição digital)

HDTV: televisão de alta definição
OI: interface humana

HP: Hewlett-Packard

AT: alta tensão

CI: circuito integrado

ICSP: programação serial no circuito

IDC: conector de deslocamento de isolamento

IDE: ambiente de desenvolvimento integrado (para codificação)

IEC: Comissão Eletrotécnica Internacional

IEEE: Instituto de Engenheiros Elétricos e Eletrônicos

IF: frequência intermediária (no receptor de RF)

IGBT: transistor bipolar de porta isolada

IGFET: transistor de efeito de campo de porta isolada

IIC (I2C): circuito integrado (um barramento serial)

IIR: resposta de impulso infinito (filtro)

INA: amplificador de instrumentação

INL: não linearidade integral (na conversão A/D)

E/S: entrada-saída

IP: Protocolo de Internet; propriedade intelectual

IPS: comutação no plano (uma tecnologia de exibição LCD)

IV: infravermelho

ISA: Sociedade Internacional de Automação (uma organização de definição de padrões)

ISI: interferência intersimbólica

JFET: transistor de efeito de campo de junção

JTAG: Joint Test Action Group (uma interface IC)

KCL: Lei das correntes de Kirchhoff

KVL: Lei de voltagem de Kirchhoff

LAB: bloco de matriz lógica (em lógica programável)

LAN: rede local

LCD: tela de cristal líquido

LCX: crossvolt CMOS de baixa tensão (família lógica)

LDO: baixa queda (regulador de tensão linear)

LE: elemento lógico (em lógica programável)

LED: diodo emissor de luz

LFSR: registrador de deslocamento de feedback linear

LIFO: último a entrar, primeiro a sair (memória)

Li-ion: íon de lítio (bateria)

LIN: rede de interconexão local (barramento)

LNA: amplificador de baixo ruído

LNBF: conversor de baixo ruído de baixo ruído e alimentação (para TV via satélite)

LO: oscilador local (no receptor de RF)

LPF: filtro passa-baixo

LPT: impressora de linha (uma porta paralela)

LS: Schottky de baixa potência (família lógica)

LSB: bit menos significativo

LSI: circuito integrado de grande escala

LUT: tabela de consulta

LV: baixa tensão (família lógica)

LVC: CMOS de baixa tensão (família lógica)

LVDS: sinalização diferencial de baixa tensão

LVPECL: lógica acoplada ao emissor positivo de baixa tensão

LVX: crossvolt de baixa tensão (família lógica)

LXI: LAN eXtensions para Instrumentação

ÿ C: microcontrolador

MAC: multiplicador-acumulador; Controle de acesso de mídia

MBB: make-before-break (switch)

MCU: unidade microcontroladora

MDAC: conversor digital-analógico multiplicador

MEMS: sistema microeletromecânico

MFB: feedback múltiplo (filtro ativo)

MIPS: mega-instruções por segundo

MLC: célula multinível (em memória não volátil)

MMU: unidade de gerenciamento de memória modem: modulador-demodulador

MOS: semicondutor de óxido de metal

MOSFET: efeito de campo semicondutor de óxido de metal transistor

MOV: varistor de óxido de metal (protetor contra surtos)

MPTS: multiprogram transport stream (em TV digital)

MPU: unidade de microprocessador

MRAM: memória magnetorresistiva de acesso aleatório

RM: ressonância magnética

MSB: bit mais significativo

MSI: integração de média escala

MUX: multiplexador

NAN: não é um número

NC: normalmente fechado (interruptor)

NECL: lógica acoplada ao emissor negativo

NEMA: National Electrical Manufacturers Association (uma organização de definição de padrões)

NIC: conversor de impedância negativa; interface de rede cartão

NiCd: níquel cádmio (bateria)

NiMH: hidreto metálico de níquel (bateria)

NIST: Instituto Nacional de Padrões e Tecnologia

NMI: interrupção não mascarável

NMR: ressonância magnética nuclear nMOS: semicondutor de óxido metálico tipo n

NÃO: normalmente aberto (interruptor)

NP0: dielétrico cerâmico de baixa temperatura (estável)

NRZ: sem retorno a zero (código de dados)

NRZI: sem retorno a zero invertido (código de dados)

NSC: National Semiconductor Corporation (agora parte da TI)

NTC: coeficiente de temperatura negativo

NTSC: National Television System Committee (analógico padrão de TV)

NV: não volátil

NVM: memória não volátil

O/C: coletor aberto (saída lógica)

OCXO: oscilador de cristal controlado por forno

O/D: dreno aberto (saída lógica)

OEM: fabricante do equipamento original

OLED: diodo orgânico emissor de luz op-amp:

amplificador operacional

OSI: interconexão de sistemas abertos (hierarquia de rede)

OSR: taxa de sobreamostragem

OTA: over-the-air (transmissão)

OTP: memória NV programável uma vez

PAL: lógica de matriz programável

PARC: Centro de Pesquisa de Palo Alto

PATA: interface ATA paralela

PC: circuito impresso; computador pessoal

PCB: placa de circuito impresso

PCF: fibra revestida de plástico

PCI: interface de componente periférico (um barramento de computador)

PCIe (também PCI-E): interface de componente periférico estendida

PCM: modulação por código de pulso

PCMCIA: Cartão de Memória de Computador Pessoal Internacional Associação (um padrão de interface de cartão)[1]

PDA: assistente digital pessoal

PECL: lógica positiva acoplada ao emissor

PEN: naftalato de polietileno (um capacitor dielétrico)

PFC: correção do fator de potência (em conversores alimentados por CA)

PFD: detector de frequência de fase

PFM: modulação de frequência de pulso

PGA: amplificador de ganho programável

PID: proporcional-integral-diferencial (em sistemas de controle); identificador de programa (em TV digital)

PIN: positivo-intrínseco-negativo (diodo)

PI/PO: paralelo-entrada-paralela-saída

PIR: infravermelho passivo (detector)

PIV: pico de tensão inversa

PLA: matriz lógica programável

PLC: ciclos powerline

PLD: dispositivo lógico programável

PLL: loop de bloqueio de fase

pMOS: semicondutor de óxido de metal tipo p

PMT: tubo fotomultiplicador

POF: fibra óptica de plástico

POL: ponto de carga pp:

pico a pico (tensão)

PPS: sulfeto de polifenileno (um capacitor dielétrico)

PRAM: memória de acesso aleatório de mudança de fase

[1] Cuja falta de jeito gerou piadas como “Fabricantes de computadores pessoais não podem inventar siglas”.

PRBS: sequência de bits pseudo-aleatória

PROM: memória somente leitura de mudança de fase

PSRAM: memória pseudoestática de acesso aleatório

PSRR: taxa de rejeição da fonte de alimentação

PTAT: proporcional à temperatura absoluta

PUJT: transistor de unijunção programável

PV: fotovoltaico (detector de luz)

PVC: cloreto de polivinila (isolante)

PVR: gravador de vídeo pessoal

PWM: modulação por largura de pulso

QAM: modulação de amplitude em quadratura

QPSK: chaveamento de mudança de fase em quadratura

RAM: memória de acesso aleatório

RCO: saída de relógio de ondulação

RD: receber dados (em um link serial)

RF: radiofrequência

RFI: interferência de radiofrequência

RG-nn: “Radio Guide” (designadores de cabo coaxial)

RGB: vermelho-verde-azul (sinais de vídeo)

RISC: computação com conjunto de instruções reduzido

RLL: comprimento de execução limitado (códigos

digitais) rms: raiz quadrada média

ROM: memória somente leitura

RRI: entrada rail-to-rail

RRIO: entrada e saída rail-to-rail

RRO: saída rail-to-rail

RTC: relógio em tempo real

RTD: detector de temperatura de resistência (ou dispositivo de temperatura resistiva)

RTI: refere-se à entrada

RTL: lógica resistor-transistor; nível de transferência de registro (em um HDL)

RTO: refere-se à saída RTS:

solicitação para enviar (em um link serial)

SA: amplificador de sentido

SACD: disco compacto Super Audio SAD:

dispositivo de avalanche de silício (ou seja, um zener TVS)

SAR: registro de aproximação sucessiva SAS: SCSI

serial anexado (interface)

SATA: serial ATA (interface)

SAW: onda acústica de superfície SBC:

computador de placa única SC:

conector de assinante (um conector de fibra óptica)

SCPI: Comandos padrão para programáveis instrumentos

SCR: retificador controlado por silício

SCSI: interface de sistema de computador pequeno

SD: digital seguro (cartão de memória)

SDI: dados seriais em

SDO: saída de dados seriais

SDR: taxa de dados única (memória)

SDRAM: memória dinâmica síncrona de acesso aleatório

SDTV: televisão de definição padrão

SE: single-ended

SED: exibição de emissor de elétrons de condução de superfície

SEPIC: conversor de indutância primária simples

SERDES: serializador-desserializador

S/H: sample-and-hold

SHV: "alta tensão segura" (conector)

SI: entrada serial

SIP: pacote único em linha

SMA, SMB, SMC: série de conectores coaxiais RF subminiatura

SMI: pequena interface de mídia (um conector de fibra óptica)

SMPS: fonte de alimentação comutada

SMT: tecnologia de montagem em superfície

SMU: unidade fonte-medida

SNR: relação sinal-ruído

SO: saída serial; contorno pequeno (pacote IC)

SOA: área operacional segura

SODIMM: módulo de memória dual-in-line de contorno pequeno

SOIC: circuito integrado de contorno pequeno

SOT: transistor de contorno pequeno

SPDIF: Sony–Philips Digital Interconnect Format (para áudio digital)

SPICE: "programa de simulação com ênfase em circuito integrado" (software simulador de circuito analógico)

SPDT: single-pole double-throw (interruptor)

SPI: interface periférica serial (um barramento IC simples)

SPL: nível de pressão sonora sPLD:

dispositivo lógico programável simples

SPST: monopolar de lance único (interruptor)

SPTS: fluxo de transporte de programa único (em TV digital)

SR: taxa de variação

SRAM: memória estática de acesso aleatório

SSD: unidade de estado sólido (uma memória NV)

SSH: shell seguro (um protocolo de rede)

SSP: porta serial síncrona

SSR: relé de estado sólido

ST: ponta reta (um conector de fibra óptica)

STB: set-top box (para TV a cabo ou satélite)

STP: par trançado blindado (cabo)

SWR: relação de onda estacionária (em uma linha de transmissão)

T&M: teste e medição

TAC: conversão de tempo para amplitude

TBH: take-back-half (um algoritmo de controle)

TCP: protocolo de controle de transmissão (um protocolo de Internet)

TCXO: oscilador de cristal com compensação de temperatura

TD: transmitir dados (em um link serial) tempco:

coeficiente de temperatura THD: distorção

harmônica total TI: Texas Instruments TNC:

rosca Neill-Concelman (conector)

TO: contorno do transistor (por exemplo, TO-92, TO-220)

TSSOP: pacote de contorno pequeno de contração fina

TTL: lógica transistor-transistor TVS: supressor de tensão

transiente TWI: interface de dois fios (um barramento serial)

UART: receptor-transmissor assíncrono universal

UDP: protocolo de datagrama do usuário (um protocolo da Internet)

UHF: frequência ultra alta; também um conector coaxial herdado

UL: Underwriters Laboratories (uma empresa de certificação de segurança)

UPS: fonte de alimentação ininterrupta

USB: barramento serial universal (uma interface de dados)

UTP: par trançado não blindado (cabo)

UV: ultravioleta

VBR: taxa de bits variável (codificação)

VCO: oscilador controlado por tensão

VCVS: fonte de tensão controlada por tensão (filtro ativo)

VCXO: oscilador de cristal controlado por tensão

VDE: Verband der Elektrotechnik, Elektronik und Informationstechnik (uma organização alemã cujas atividades incluem normas de segurança)

V/F: tensão para frequência (conversor)

VFB: feedback de tensão

VFD: display fluorescente a vácuo

VGA: matriz de gráficos de vídeo (vídeo analógico 640 × 480)

VHS: sistema doméstico de vídeo (gravação de vídeo)

VLSI: integração em escala muito grande

VME: VERSAmodule Eurocard Bus (uma interface de cartão)

VOD: vídeo sob demanda

VOM: volt-ohm-milímetro

VSWR: relação tensão-onda estacionária (em uma transmissão linha)

VU: unidade de volume (um nível de áudio)

WL: latência de gravação (na memória do computador)

X7R: um dielétrico cerâmico

XLR: uma série de conectores de áudio profissionais

XO: oscilador de cristal

Y5V: um dielétrico cerâmico

YIG: granada de ítrio-ferro

Z5U: um dielétrico cerâmico

ZCS: comutação de corrente zero

ZVS: comutação de tensão zero

Machine Translated by Google

ÍNDICE

CHAVE

fonte do número da página **negrito** assunto principal tratamento

itálico figura "e páginas seguintes"

sufixos ff gráfico fotografia captura de

g tela ('scópio ou analisador de

p espectro) tabela

s

t

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google

Machine Translated by Google